

产品特性

RF带宽达4 GHz

2.7 V至3.3 V电源

独立的电荷泵电源 V_P 可提供扩展的调谐电压

提供Y版本: -40°C至+125°C

可编程小数模数

可编程电荷泵电流

三线式串行接口

模拟和数字锁定检测

省电模式

与ADF4110/ADF4111/ADF4112/ADF4113和

ADF4106引脚兼容

稳定的RF输出相位

利用ADIsimPLL可实现环路滤波器设计

通过汽车应用认证

应用

有线电视设备

移动无线电通讯基站(GSM、PCS、DCS、WiMAX、

SuperCell 3G、CDMA、W-CDMA)

无线手机(GSM、PCS、DCS、CDMA、W-CDMA)

无线局域网(LAN)、PMR

通信测试设备

概述

ADF4153是一款小数N分频频率合成器,用来在无线接收机和发射机的上变频和下变频部分实现本振。它由低噪声数字鉴频鉴相器(PFD)、精密电荷泵和可编程参考分频器组成。它内置一个 Σ - Δ 型小数插值器,能够实现可编程小数N分频。 INT 、 $FRAC$ 和 MOD 寄存器可构成一个总N分频器($N = (INT + (FRAC/MOD))$)。此外,4位参考计数器(R计数器)允许PFD输入端的REFIN频率为可选值。如果频率合成器与外部环路滤波器和电压控制振荡器(VCO)一起使用,则可以实现完整的锁相环(PLL)。

简单的三线式接口控制所有片内寄存器。该器件采用2.7 V至3.3 V电源供电,不用时可以关断。

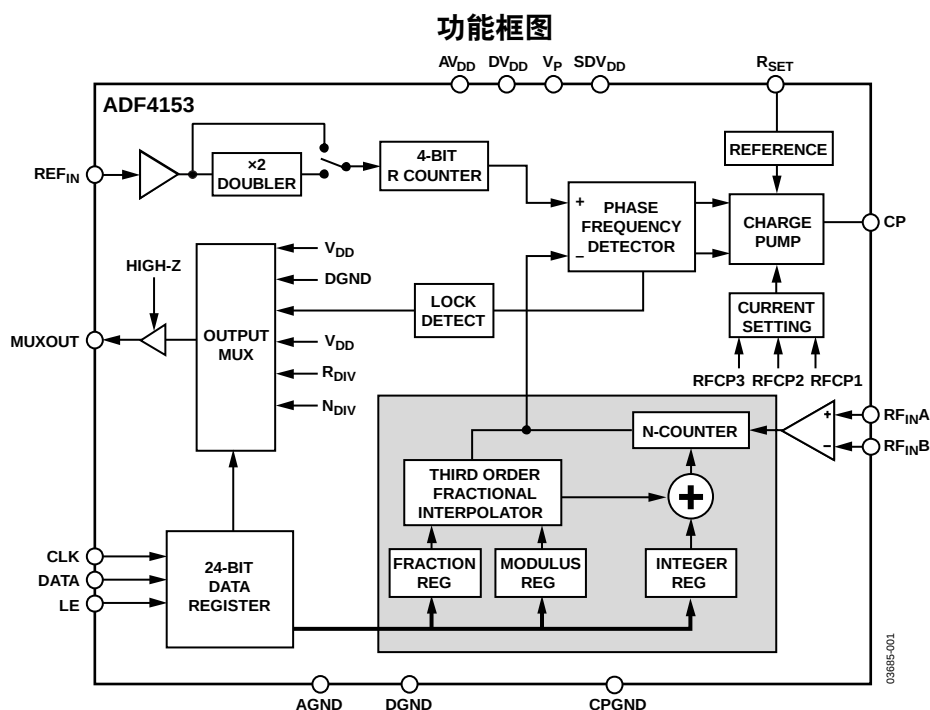


图1.

Rev. F

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2003–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	R分频器寄存器R1	16
应用	1	控制寄存器R2	16
概述	1	噪声和杂散寄存器R3	17
功能框图	1	保留位	17
修订历史	3	初始化序列	18
技术规格	4	RF频率合成器：一个成功范例	18
时序规格	5	模数	18
绝对最大额定值	6	参考倍频器和参考分频器	18
ESD警告	6	12位可编程模数	18
引脚配置和功能描述	7	带杂散优化的快速锁定	19
典型性能参数	8	杂散机制	19
电路描述	9	杂散一致性	20
参考输入部分	9	相位再同步	20
RF输入级	9	滤波器设计—ADIsimPLL	20
RF INT分频器	9	接口	20
INT、FRAC、MOD与R的关系	9	芯片级封装的PCB设计指南	21
RF R计数器	9	应用信息	22
鉴频鉴相器(PFD)和电荷泵	10	GSM基站发送器的本振	22
MUXOUT和锁定检测	10	外形尺寸	23
输入移位寄存器	10	订购指南	24
编程模式	10	汽车应用产品	24
N分频器寄存器R0	16		

修订历史

2013年11月—修订版E至修订版F

更改表1中的 I_{CP} 吸电流/源电流参数	4
更改“订购指南”	24

2012年7月—修订版D至修订版E

更新“外形尺寸”	23
更改“订购指南”	24

2010年8月—修订版C至修订版D

更改“产品特性”部分	1
更改表1中的噪声特性参数	5
更改图	47
更改“订购指南”	24
增加“汽车应用级产品”部分	24

2008年10月—修订版B至修订版C

增加Y级(通篇)	1
更改“订购指南”	23

2005年8月—修订版A至修订版B

更改“产品特性”部分	1
更改“应用”部分	1
更改“技术规格”部分	3
更改绝对最大额定值	5
更改图7至图9	7
删除图8至图10；重新排序	8
删除图11和图14；重新排序	9
更改表9	13

增加“初始化序列”部分	17
更改“带杂散优化的快速锁定”部分	18
插入图16；重新排序	18
增加“杂散机制”部分	18
增加表11；重新排序	18
增加“杂散一致性”部分	19
更改“相位再同步”部分	19
插入图17；重新排序	19
删除“杂散信号——预测它们何时出现”部分	20
更改图19	20
更改图20	21
增加“应用”部分	21
更改图22的标题	22
更改“订购指南”	22

2004年1月—修订版0至修订版A

图和表重新排序	通篇
更改“技术规格”部分	3
更改引脚功能描述	7
更改“RF关断”部分	17
更改“芯片级封装的PCB设计指南”部分	21
更新“外形尺寸”	22
更新“订购指南”	22

2003年7月—修订版0：初始版

规格

除非另有说明， $AV_{DD} = DV_{DD} = SDV_{DD} = 2.7\text{ V}$ 至 3.3 V ， $V_P = AV_{DD}$ 至 5.5 V ， $AGND = DGND = 0\text{ V}$ ， $T_A = T_{MIN}$ 至 T_{MAX} ，dBm以 $50\ \Omega$ 为基准。

表1.

参数	B级 ¹	Y级 ²	单位	测试条件/注释
RF特性(3 V)				输入电路见图12
RF输入频率(RF_{IN})	0.5/4.0	0.5/4.0	GHz(最小值/最大值)	B级：-8 dBm最小值/0 dBm最大值
	0.5/4.0	0.5/4.0	GHz(最小值/最大值)	Y级：-6.5 dBm最小值/0 dBm最大值
	1.0/4.0	1.0/4.0	GHz(最小值/最大值)	对于较低的频率，确保压摆率(SR)大于400 V/ μ s -10 dBm最小值/0 dBm最大值
基准电压源特性				输入电路见图11
REF _{IN} 输入频率	10/250	10/250	MHz(最小值/最大值)	如果f < 10 MHz，使用兼容直流耦合CMOS的方波， 压摆率> 25 V/ μ s
REF _{IN} 输入灵敏度	0.7/ AV_{DD}	0.7/ AV_{DD}	V p-p(最小值/最大值)	在 $AV_{DD}/2$ 处偏置 ³
REF _{IN} 输入电容	10	10	pF(最大值)	
REF _{IN} 输入电流	± 100	± 100	μ A(最大值)	
鉴相器				
鉴相器频率 ⁴	32	32	MHz(最大值)	
电荷泵				
I _{CP} 吸/源电流				可编程；见表9
高值	5	5	mA(典型值)	With R _{SET} = 5.1 k Ω
低值	312.5	312.5	μ A(典型值)	
绝对精度	2.5	2.5	%(典型值)	With R _{SET} = 5.1 k Ω
R _{SET} 范围	1.5/10	1.5/10	k Ω (最小值/最大值)	
I _{CP} 三态漏电流	1	4.5	nA(典型值)	吸电流和源电流
匹配	2	2	%(典型值)	0.5 V < V _{CP} < V _P - 0.5
I _{CP} 与V _{CP}	2	2	%(典型值)	0.5 V < V _{CP} < V _P - 0.5
I _{CP} 与温度	2	2	%(典型值)	V _{CP} = V _P /2
逻辑输入				
输入高电压V _{INH}	1.4	1.4	V(最小值)	
输入低电压V _{INL}	0.6	0.6	V(最大值)	
输入电流I _{INH} /I _{INL}	± 1	± 1	μ A(最大值)	
输入电容C _{IN}	10	10	pF(最大值)	
逻辑输出				
输出高电压V _{OH}	1.4	1.4	V(最小值)	开漏，1 k Ω 上拉至1.8 V
输出低电压V _{OL}	0.4	0.4	V(最大值)	I _{OL} = 500 μ A
电源				
AV _{DD}	2.7/3.3	2.7/3.3	V(最小值/最大值)	
DV _{DD} , SDV _{DD}	AV _{DD}	AV _{DD}		
V _P	AV _{DD} /5.5	AV _{DD} /5.5	V(最小值/最大值)	
I _{DD}	24	24	mA(最大值)	20 mA(典型值)
低功耗休眠模式	1	1	μ A(典型值)	

参数	B级 ¹	Y级 ²	单位	测试条件/注释
噪声特性				
Normalized Phase Noise Floor (PN _{SYNTH}) ⁵	-220	-220	dBc/Hz(典型值)	PLL环路带宽= 500 kHz
Normalized 1/f Noise (PN _{1/f}) ⁶	-114	-114	dBc/Hz(典型值)	10 kHz偏移时测量；归一化为1 GHz
相位噪声性能 ⁷				VCO输出
1750 MHz输出 ⁸	-102	-102	dBc/Hz(典型值)	5 kHz偏移、25 MHz PFD频率下

¹ B级工作温度范围为-40°C至+85°C。
² Y级工作温度范围为-40°C至+125°C。
³ 交流耦合确保AV_{DD}/2偏置。
⁴ 通过设计保证。样片经过测试，以确保符合标准要求。
⁵ 频率合成器相位噪声底的估算方法如下：测量VCO输出端的带内相位噪声，然后减去20 log(N)(其中N为N分频器的值)和10 log(F_{PFD})。PN_{SYNTH} = PN_{TOT} - 10 log(F_{PFD}) - 20 log(N)。
⁶ PLL相位噪声由1/f(闪烁)噪声加归一化PLL噪底组成。RF频率为F_{RF}，频率偏移为f时，计算1/f噪声贡献的公式为：PN = P1/f + 10 log(10 kHz/f) + 20 log(F_{RF}/1 GHz)。归一化相位噪底和闪烁噪声均在ADIsimPLL中进行了模拟。
⁷ 相位噪声使用EV-ADF4153SD1Z和Agilent E5500相位噪声系统进行测量。
⁸ f_{REFIN} = 100 MHz；F_{PFD} = 25 MHz；失调频率 = 5 kHz；RF_{OUT} = 1750 MHz；N = 70；环路带宽 = 20 kHz；最低噪声模式。

时序规格

除非另有说明，AV_{DD} = DV_{DD} = SDV_{DD} = 2.7 V至3.3 V，V_P = AV_{DD}至5.5 V，AGND = DGND = 0 V，T_A = T_{MIN}至T_{MAX}，dBm以50 Ω为基准。

表2.

参数	在T _{MIN} 至T _{MAX} 下的限值(B级)	单位	测试条件/注释
t ₁	20	ns(最小值)	LE建立时间
t ₂	10	ns(最小值)	DATA到CLK建立时间
t ₃	10	ns(最小值)	DATA到CLK保持时间
t ₄	25	ns(最小值)	CLK高电平持续时间
t ₅	25	ns(最小值)	CLK低电平持续时间
t ₆	10	ns(最小值)	CLK到LE建立时间
t ₇	20	ns(最小值)	LE脉冲宽度

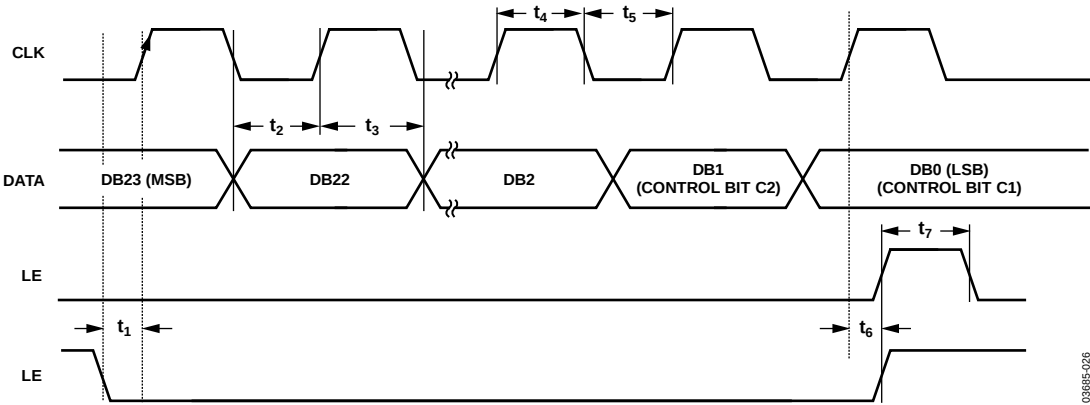


图2. 时序图

03685-026

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ ， $\text{GND} = \text{AGND} = \text{DGND} = 0\text{ V}$ ， $V_{\text{DD}} = \text{AV}_{\text{DD}} = \text{DV}_{\text{DD}} = \text{SDV}_{\text{DD}}$ 。

表3.

参数	额定值
V_{DD} 至 GND	−0.3 V至+4 V
V_{DD} 至 V_{DD}	−0.3 V至+0.3 V
V_{p} 至 GND	−0.3 V至+5.8 V
V_{p} 至 V_{DD}	−0.3 V至+5.8 V
数字I/O电压至 GND	−0.3 V至 $V_{\text{DD}} + 0.3\text{ V}$
模拟I/O电压至 GND	−0.3 V至 $V_{\text{DD}} + 0.3\text{ V}$
REF_{IN} 、 RF_{IN} 至 GND	−0.3 V至 $V_{\text{DD}} + 0.3\text{ V}$
工作温度范围	
工业(B级)	−40°C至+85°C
扩展(Y级)	−40°C至+125°C
存储温度范围	−65°C至+125°C
最高结温	150°C
TSSOP θ_{JA} 热阻	112°C/W
LFCSP θ_{JA} 热阻(焊盘焊接)	30.4°C/W
回流焊	
峰值温度	260°C
峰值温度时间	40秒
最高结温	150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能RF集成电路，ESD额定值小于2 kV，对ESD(静电放电)敏感。搬运和装配时应采取适当的防范措施。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

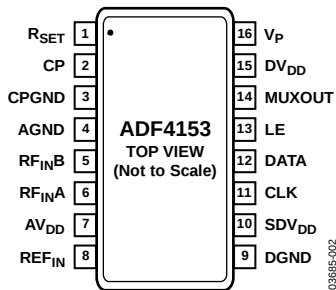
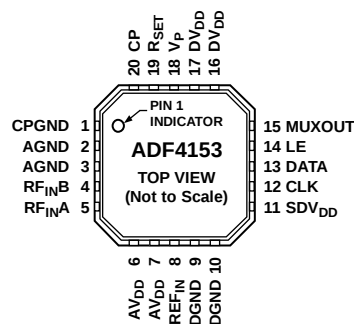


图3. TSSOP引脚配置



NOTES
1. THE LFCSP HAS AN EXPOSED PADDLE THAT MUST BE CONNECTED TO GND.

图4. LFCSP引脚配置

表4. 引脚功能描述

引脚编号 (TSSOP)	引脚编号 (LFCSP)	引脚名称	说明
1	19	RSET	在R _{SET} 与地之间连一个电阻可设置最大电荷泵输出电流。I _{CP} 与R _{SET} 的关系为： $I_{CPMAX} = \frac{25.5}{R_{SET}}$ 其中，R _{SET} = 5.1 kΩ，I _{CPMAX} = 5 mA。
2	20	CP	电荷泵输出。使能时，CP提供±I _{CP} 到外部环路滤波器，后者又驱动外部VCO。
3	1	CPGND	电荷泵地。这是电荷泵的接地回路。
4	2, 3	AGND	模拟地。这是预分频器的接地回路。
5	4	RFINB	RF预分频器的互补输入。此引脚应通过小旁路电容(通常为100 pF)去耦至接地层(见图12)。
6	5	RFINA	RF预分频器的输入。此小信号输入通常从VCO交流耦合。
7	6, 7	AVDD	RF部分的正电源。至数字接地层的去耦电容应尽可能靠近此引脚。AV _{DD} 数值为3 V ± 10%。AV _{DD} 的电压必须与DV _{DD} 相同。
8	8	REFIN	基准电压输入。这是一个CMOS输入，标称阈值为V _{DD} /2，并具有100 kΩ的等效输入电阻(见图11)。此输入可以采用TTL或CMOS晶振驱动，或者交流耦合。
9	9, 10	DGND	数字地。
10	11	SDVDD	Σ-Δ电源。至数字接地层的去耦电容应尽可能靠近此引脚。SDV _{DD} 数值为3 V ± 10%。SDV _{DD} 的电压必须与DV _{DD} 相同。
11	12	CLK	串行时钟输入。此串行时钟用来将串行数据逐个输入寄存器。数据在CLK上升沿锁存到移位寄存器内。此输入为高阻抗CMOS输入。
12	13	DATA	串行数据输入。串行数据以MSB优先方式加载，两个LSB用作控制位。此输入为高阻抗CMOS输入。
13	14	LE	加载使能，CMOS输入。当LE变为高电平时，存储在移位寄存器内的数据将载入四个锁存器中的一个，锁存器使用控制位选择。
14	15	MUXOUT	此多路复用器输出允许从外部访问RF锁定检测、经过缩放的RF或基准频率。
15	16, 17	DVDD	数字部分的正电源。至数字接地层的去耦电容应尽可能靠近此引脚。DV _{DD} 数值为3 V ± 10%。DV _{DD} 的电压必须与AV _{DD} 相同。
16	18	VP	电荷泵电源。此引脚应大于或等于V _{DD} 。在V _{DD} 为3 V的系统中，可设置为5.5 V并用于驱动调谐范围最高为5.5 V的VCO。
	21	EP	裸露焊盘。裸露焊盘必须连接到GND。

典型性能参数

环路带宽 = 20 kHz，基准频率 = 250 MHz，VCO = Sirenza 1750T VCO，评估板 = EV-ADF4153SD1Z，采用Agilent E5500 相位噪声系统进行测量。

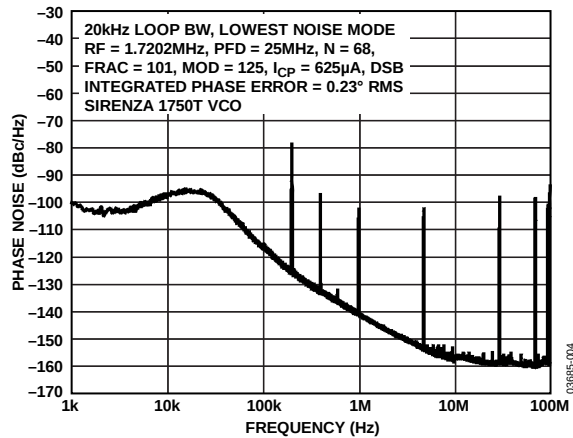


图5. 单边带相位噪声曲线(最低噪声模式)

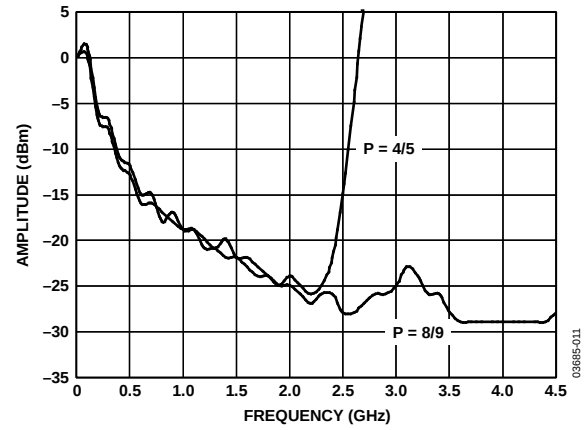


图8. RF输入灵敏度

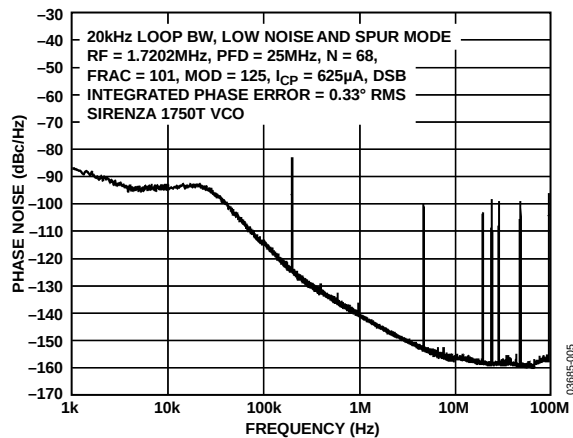


图6. 单边带相位噪声曲线(低噪声和杂散模式)

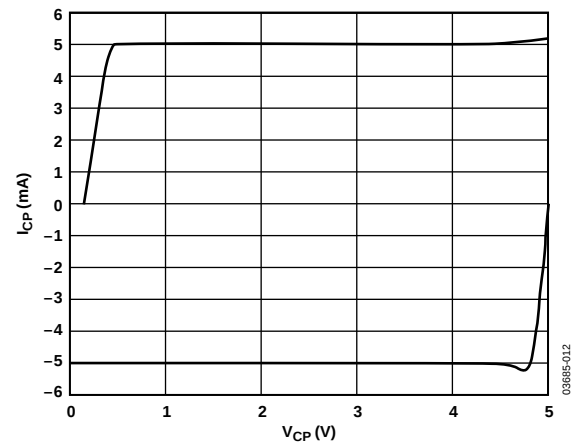


图9. 电荷泵输出特性

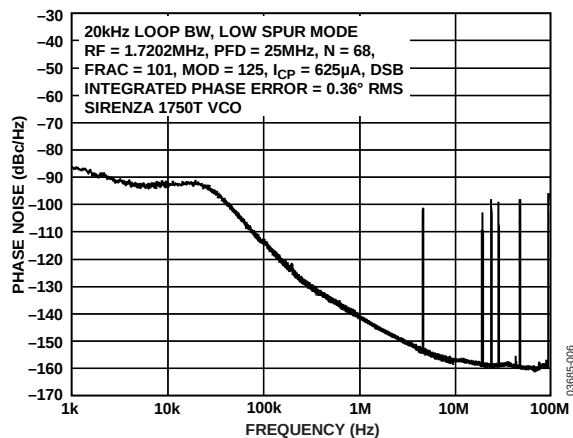


图7. 单边带相位噪声曲线(低杂散模式)

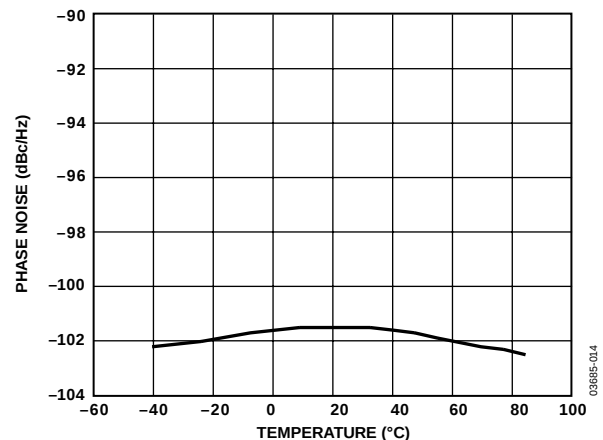


图10. 相位噪声与温度的关系

电路描述

参考输入部分

参考输入级如图11所示。SW1和SW2为常闭开关。SW3常开。启动关断程序后，SW3闭合，SW1和SW2断开，确保关断期间REF_{IN}引脚无负载。

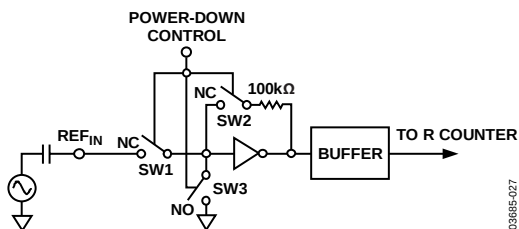


图11. 参考输入级

RF输入级

RF输入级如图12所示。紧跟其后的是2级限幅放大器，用以产生预分频器需要的电流模式逻辑(CML)时钟电平。

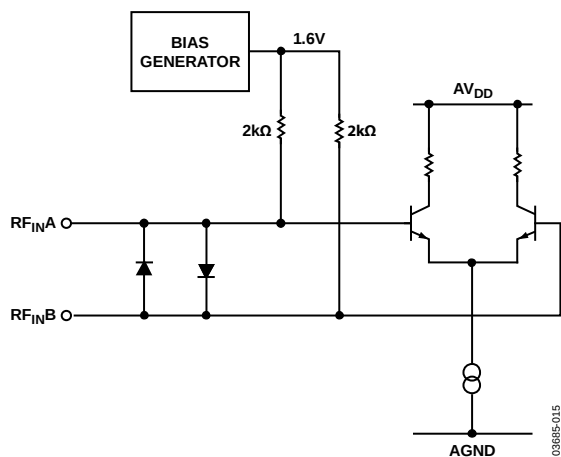


图12. RF输入级

RF INT分频器

RF INT CMOS计数器可以在PLL反馈计数器中提供一个分频比。分频比可以为31至511。

INT、FRAC、MOD与R的关系

利用INT、FRAC和MOD的值以及R计数器，可以产生间隔为鉴频鉴相器(PFD)的分数的输出频率。详情见“RF频率合成器：一个成功范例”部分。RF VCO频率(RF_{OUT})公式为：

$$RF_{OUT} = F_{PFD} \times (INT + (FRAC/MOD)) \quad (1)$$

其中：

RF_{OUT}是外部电压控制振荡器(VCO)的输出频率。

INT是二进制9位计数器(31至511)的预设分频比。

MOD是预设的小数模数(2至4095)。

FRAC是小数分频的分子(0至MOD - 1)。

PFD频率计算如下：

$$F_{PFD} = REF_{IN} \times (1 + D)/R \quad (2)$$

其中：

REF_{IN}是参考输入频率。

D是REF_{IN}倍频器位；

R是二进制4位可编程参考计数器的预设分频比(1至15)。

RFR计数器

利用4位RF R计数器，可以细分输入参考频率(REF_{IN})以产生PFD的参考时钟。分频比可以为1至15。

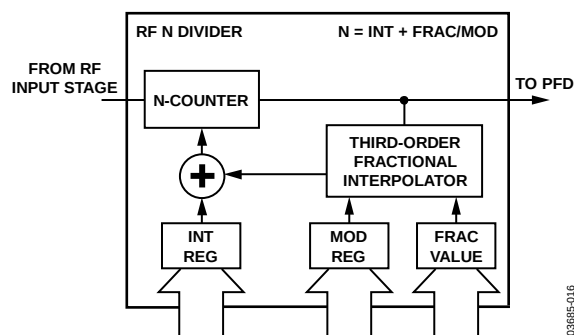


图13. RF N分频器

鉴频鉴相器(PFD)和电荷泵

PFD接受R计数器和N计数器的输入，产生与二者的相位和频率差成正比的输出。图14是该鉴频鉴相器的原理示意图。PFD内置一个固定延迟元件，用来设置反冲防回差脉冲宽度，其典型值为3 ns。此脉冲可确保PFD传递函数中无死区，从而提供一致的参考杂散水平。

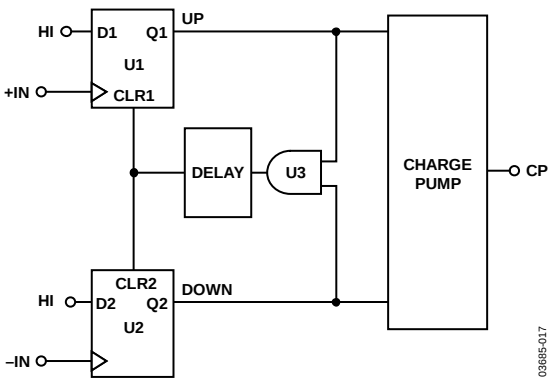


图14. PFD简化原理图

MUXOUT和LOCK检测

ADF4153的输出多路复用器允许用户访问芯片的各种内部点。MUXOUT状态由M3、M2和M1控制(见表8)。图15以框图形式显示了MUXOUT部分。

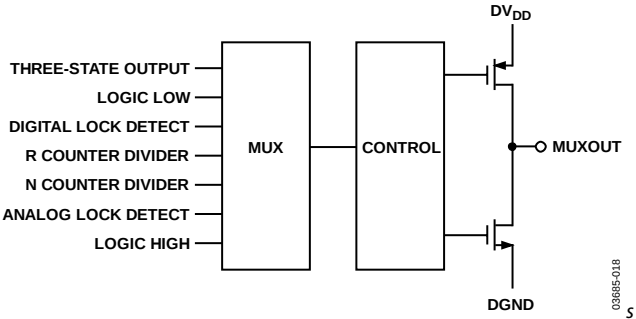


图15. MUXOUT原理图

输入移位寄存器

ADF4153数字部分包括一个4位RF R计数器、一个9位RF N计数器、一个12位FRAC计数器和一个12位模数计数器。数据在CLK的每个上升沿时逐个输入24位移位寄存器。数据输入方式是MSB优先。在LE上升沿时，数据从移位寄存器传输至四个锁存器之一。目标锁存器由移位寄存器中的两个控制位(C2和C1)的状态决定。这些控制位是2个LSB：DB1和DB0，如图2所示。这些位的真值表见表5。表6总结了这些寄存器如何编程。

编程模式

表5至表10显示如何设置ADF4153的编程模式。

ADF4153可编程模数为双缓冲。这意味着器件使用新值之前必须发生两个事件。首先，通过写入R分频器寄存器，将新模数值锁存至器件中。其次，必须对N分频器寄存器执行一次新的写操作。因此，为确保正确载入模数值，更新模数值时必须写入N分频器寄存器。

表5. C2和C1真值表

控制位		寄存器
C2	C1	
0	0	N分频器寄存器
0	1	R分频器寄存器
1	0	控制寄存器
1	1	噪声和杂散寄存器

表6. 寄存器小结

N分频器寄存器(R0)																								
快速锁定	9位整数(INT)									12位小数值(FRAC)												控制位		
	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	FL1	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C2 (0)	C1 (0)

R分频器寄存器(R1)																								
负载控制	MUXOUT				保留	预分频器	4位R计数器				12位插值器模数值(MOD)												控制位	
	DB23	DB22	DB21	DB20			DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4		
P3	M3	M2	M1	0	P1	R4	R3	R2	R1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C2 (0)	C1 (1)	

控制寄存器(R2)																						
再同步				参考倍频器	CP/2	CP电流设置			PD极性	UD	关断	CP三态	计数器复位	控制位								
DB15	DB14	DB13	DB12			DB11	DB10	DB9						DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
S4	S3	S2	S1			U6	CP3	CP2						CP1	CP0	U5	U4	U3	U2	U1	C2 (1)	C1 (0)

噪声和杂散寄存器(R3)											
保留	噪声和杂散模式					保留			噪声和杂散模式	控制位	
DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	T8	T7	T6	T5	0	0	0	T1	C2 (1)	C1 (1)	

03865-019

表7. N分频器寄存器映射(R0)

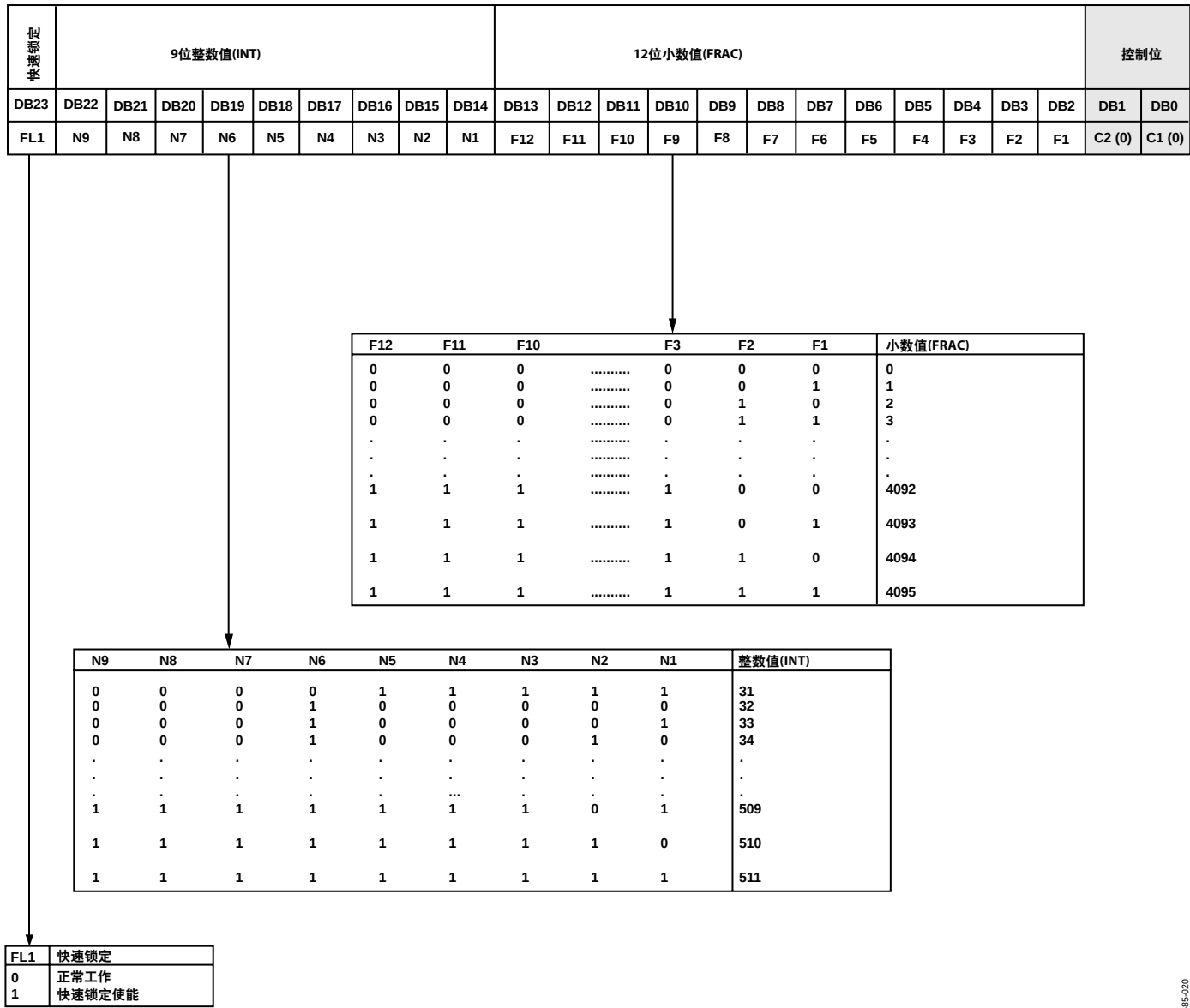
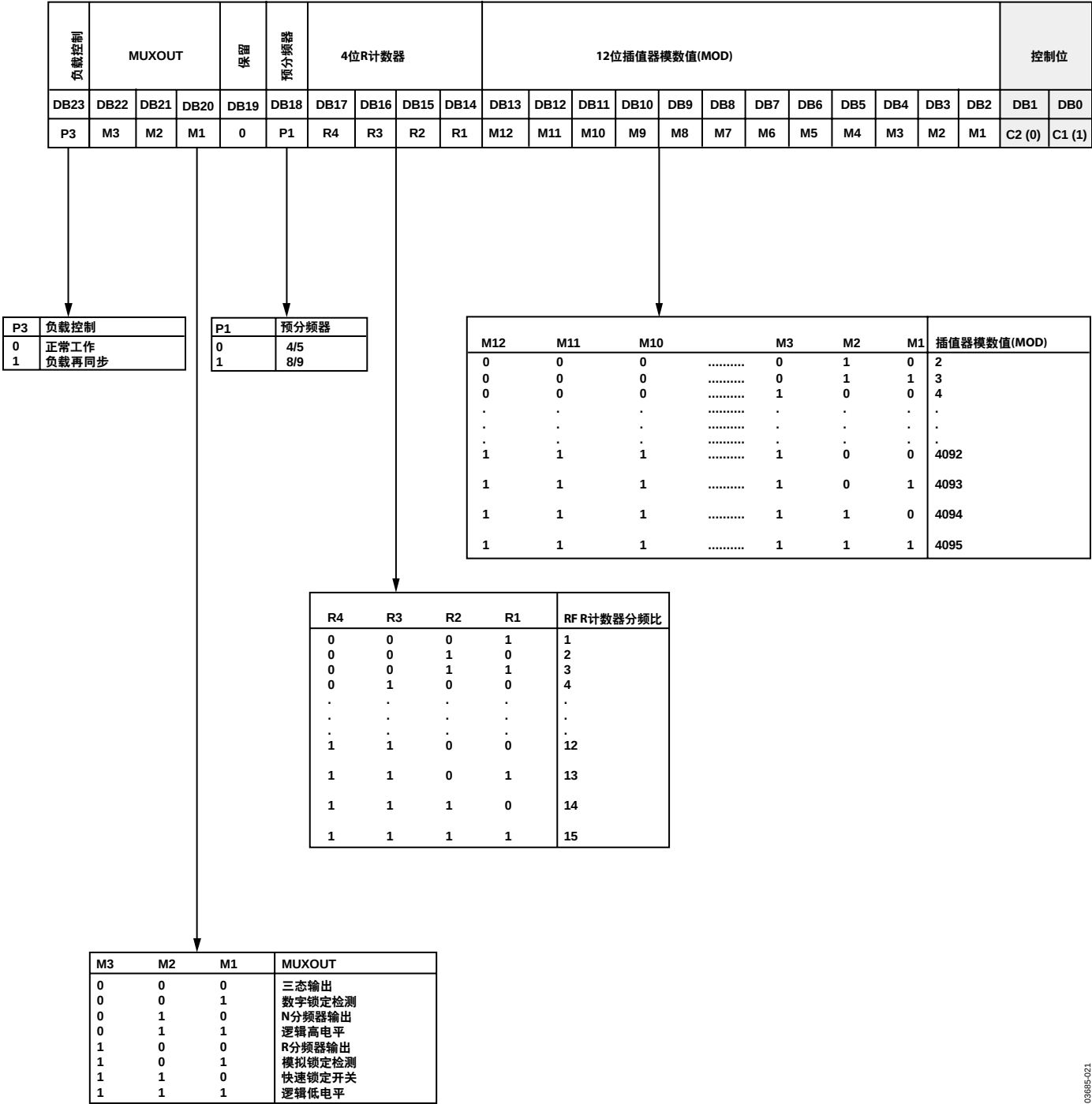
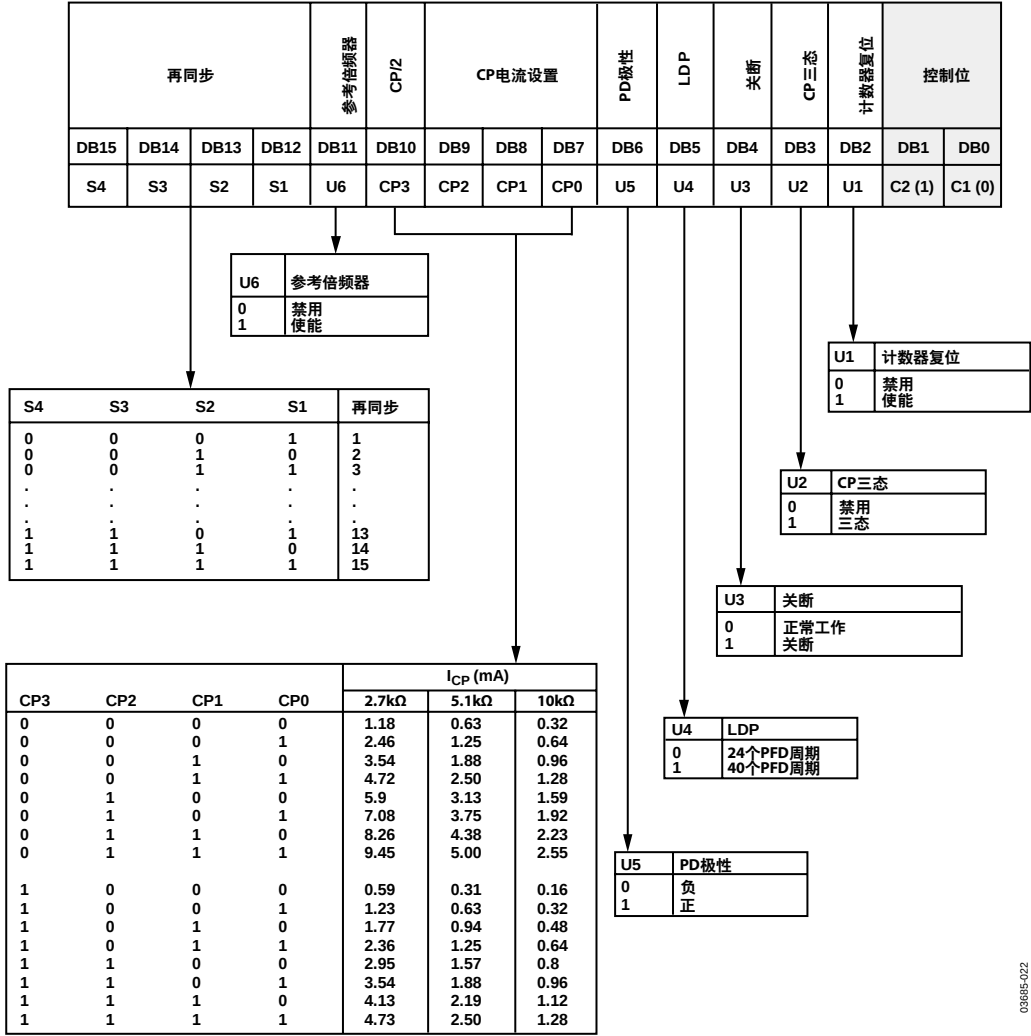


表8. R分频器寄存器映射(R1)



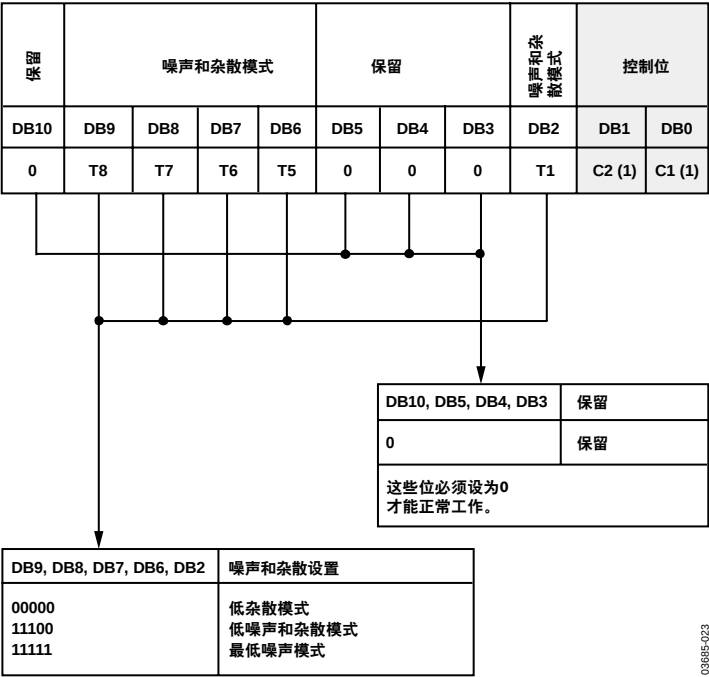
03885-021

表9. 控制寄存器映射(R2)



03805-022

表10. 噪声和杂散寄存器(R3)



03655-023

ADF4153

N分频器寄存器R0

编程片内N分频器寄存器时，应将R0[1, 0]设为[0, 0]。表7显示对此寄存器进行编程的输入数据格式。

9位INT值

这9位控制所加载的INT值，用于确定决定整体反馈分频系数。用于公式1(参见“INT、FRAC、MOD与R的关系”部分)。

12位FRAC值

这12位控制载入小数插值器的FRAC值。它是决定整体反馈分频系数的一部分因素，同样用于公式1中。RAC值必须小于等于载入MOD寄存器的值。

快速锁定

设为逻辑高电平时，使能快速锁定。该设置可将电荷泵电流设为其最大值。当设置为逻辑低电平时，电荷泵电流等于功能寄存器中的编程值。另外，如果MUXOUT编程为设置快速锁定开关，则当快速锁定为1时，MUXOUT短路至地；而当该位为0时，MUXOUT处于高阻抗。

R分频器寄存器R1

编程片内R分频器寄存器时，应将R1[1, 0]设为[0, 1]。表8显示对此寄存器进行编程的输入数据格式。

负载控制

设为逻辑高电平时，模数中的编程值不载入模数，而是设置 Σ - Δ 的再同步延迟。这样可以确保频率发生改变时相位执行再同步。详情参见“相位再同步”部分和成功范例。

MUXOUT

片内多路复用器由ADF4153上的DB22、DB21和DB20控制。有关真值表，请参见表8。

数字锁定检测

如果有24个连续PFD周期，且输入误差不足15 ns，那么数字锁定检测输出变为高电平(若LDP为0，则更详细的LDP位说明请参见“控制寄存器R2”部分)。它将保持高电平，直到编程设置新通道，或者直到一个或几个周期内的PFD输入误差超过30 ns。如果环路带宽相比PFD频率较窄，则PFD输入误差可能在一次周跳的24个周期内跌至15 ns以下。因此，数字锁定检测可能在短期内错误地变为高电平，直到误差再次超过30 ns。这种情况下，数字锁定检测只能可靠地用作一个失锁检测器。

预分频器(P/P + 1)

双模预分频器(P/P + 1)与INT、FRAC和MOD计数器一起，决定从RF_{IN}到PFD输入的整体分频比。

预分频器工作在CML电平，从RF输入级获得时钟，并针对计数器进行分频。它基于同步4/5内核。当设置为4/5时，容许的最大RF频率为2 GHz。因此，当ADF4153的工作频率超过2 GHz时，必须将它设置为8/9。预分频器限制INT的值。

$$P = 4/5 \text{ 时, } N_{\text{MIN}} = 31。$$

$$P = 8/9 \text{ 时, } N_{\text{MIN}} = 91。$$

4位R计数器

利用4位R计数器，可以细分输入基准频率(REF_{IN})以产生鉴频鉴相器(PFD)的基准时钟。分频比可以为1至15。

12位插值器MOD值

这些可编程位设置小数模数，即PFD频率与RF输出端通道步进分辨率的比值。更多信息，请参考“RF频率合成器：一个成功范例”部分。

ADF4153可编程模数为双缓冲。这意味着器件使用新值之前必须发生两个事件。首先，通过写入R分频器寄存器，将新模数值锁存至器件中。其次，必须对N分频器寄存器执行一次新的写操作。因此，无论何时，只要更新模数值，就必须写入N分频器寄存器，以确保正确载入模数值。

控制寄存器R2

编程片内控制寄存器时，应将R2[1, 0]设为[1, 0]。表9显示对此寄存器进行编程的输入数据格式。

RF计数器复位

DB2是ADF4153的RF计数器复位位。当此位设置为1时，RF频率合成器计数器保持复位状态。正常工作时，此位应设置为0。

RF电荷泵三态

DB3设置为1时，使电荷泵进入三态模式。正常工作时，此位应设置为0。

RF关断

ADF4153上的DB4提供可编程关断模式。当此位设置为1时，执行关断程序。当此位设置为0时，频率合成器恢复正常工作。在软件关断模式下，器件会保留寄存器中的所有信息。只有当切断电源时，寄存器内容才会丢失。

激活关断时，将发生下列事件：

1. 所有活动的直流电流路径切断。
2. 强制频率合成器的分频器进入加载状态。
3. 强制电荷泵进入三态模式。
4. 数字锁定检测电路复位。
5. RF_{IN} 输入去偏置。
6. 输入寄存器保持活动状态，能够加载并锁存数据。

锁定检测精度(LDP)

如果DB5通过编程设置为0，则必须经过24个连续的15 ns PFD周期后，才能设置数字锁定检测。如果此位设置为1，则必须经过40个连续的15 ns参考周期后，才能设置数字锁定检测。

鉴相器极性

ADF4153中的DB6设置鉴相器极性。VCO特性为正时，将其设为1；为负时，设为0。

电荷泵电流设置

DB7、DB8、DB9和DB10设置电荷泵电流设置。应将电荷泵电流设置为环路滤波器的设计电流(参见表9)。

REF_{IN} 倍频器

当DB11设置为0时，倍频器禁用， REF_{IN} 信号直接馈送至4位R分频器。当此位设置为1时， REF_{IN} 频率加倍，然后接入4位R分频器。倍频器禁用时， REF_{IN} 下降沿是小数频率合成器的PFD输入端的有效沿。倍频器使能时， REF_{IN} 的上升沿和下降沿均是PFD输入端的有效沿。

当使能倍频器且选择最低杂散模式时，带内相位噪声性能对 REF_{IN} 占空比敏感。对于45%至55%范围之外的 REF_{IN} 占空比，相位噪声性能下降可能多达5 dB。在最低噪声模式以及最低噪声和杂散模式下，相位噪声对 REF_{IN} 占空比不敏感。倍频器禁用时，相位噪声对 REF_{IN} 占空比不敏感。

倍频器使能时，最大容许 REF_{IN} 频率为30 MHz。

噪声和杂散寄存器R3

编程片内噪声和杂散寄存器时，应将R3[1, 0]设为[1, 1]。表10显示对此寄存器进行编程的输入数据格式。

噪声和杂散模式

噪声和杂散模式允许用户优化设计，以改善杂散性能或相位噪声性能。选择低杂散设置将使能扰动。扰动会将使小数量化噪声随机化，使其类似于白色噪声，而不是杂散噪声。因此，器件的杂散性能便得以改善。对于PLL闭环带宽较宽的快速锁定应用，一般使用此操作。(宽环路带宽是指大于 RF_{OUT} 通道步进分辨率(f_{RES}) 1/10的环路带宽)。宽环路滤波器无法将杂散衰减到与窄环路带宽相同的水平。

使能低噪声和杂散设置将禁用扰动。这样可以优化频率合成器，使其具有更佳的噪声性能。然而，该模式下，相比低杂散设置，杂散性能有所下降。

若要进一步改善噪声性能，可以使用最低噪声设置，该设置可降低相位噪声。它不会禁用扰动，而且会确保电荷泵在噪声性能最佳的区域工作。当环路滤波器带宽较窄时，此设置非常有用。频率合成器会确保噪声极低，滤波器则会衰减杂散。通过典型工作特性，用户可以了解典型W-CDMA设置中不同噪声和杂散设置的效果。

保留位

正常工作时，这些位应设置为0。

初始化序列

对器件上电时，应遵循下列初始化序列：

1. 向噪声和杂散寄存器写入全零。这样可以确保清零所有测试模式。
2. 再次写入噪声和杂散寄存器，这次选择所需的噪声和杂散模式。例如，向器件写入十六进制0003C7可选择最低噪声模式。
3. 向DB2写入1可使能控制寄存器中的计数器复位；同时，在控制寄存器中选择所需设置。如果使用相位再同步功能，则将再同步位设为所需的设置。
4. 载入R分频器寄存器(将负载控制DB23设为0)。
5. 载入N分频器寄存器。
6. 向控制寄存器的DB2写入0，禁用计数器复位。

器件锁定为设置的频率。

如果使用相位再同步功能，则步骤3之后需要额外执行一个步骤，包括：将负载控制 = 1载入R分频器寄存器，然后以要求的延迟间隔代替MOD值。然后便可遵循上一个序列，确保在步骤4中，MOD值写入R分频器寄存器中，且负载控制 = 0。

有关相位再同步特性的更多信息，请参阅“杂散一致性和相位再同步功能”部分。

RF频率合成器：一个成功范例

以下公式决定频率合成器的编程方式：

$$RF_{OUT} = [INT + (FRAC/MOD)] \times [F_{PFD}] \quad (3)$$

其中：

RF_{OUT} 是RF频率输出；

INT是整数分频系数；

FRAC是小数；

MOD是模数。

PFD频率计算如下：

$$F_{PFD} = [REF_{IN} \times (1 + D)/R] \quad (4)$$

其中：

REF_{IN} 是参考频率输入；

D是RF REF_{IN} 倍频器位；

R是RF基准分频系数。

例如，一个GSM 1800系统要求1.8 GHz RF频率输出(RF_{OUT})，基准频率输入(REF_{IN})为13 MHz，并且RF输出要求200 kHz通道分辨率(f_{RES})。

$$\begin{aligned} MOD &= REF_{IN} / f_{RES} \\ MOD &= 13 \text{ MHz} / 200 \text{ kHz} = 65 \end{aligned}$$

根据等式4：

$$F_{PFD} = [13 \text{ MHz} \times (1 + 0)/1] = 13 \text{ MHz} \quad (5)$$

$$1.8 \text{ G} = 13 \text{ MHz} \times (INT + FRAC/65)$$

$$\text{其中，} INT = 138; FRAC = 30 \quad (6)$$

模数

模数(MOD)的选择取决于可用的参考信号(REF_{IN})以及RF输出所需的通道分辨率(f_{RES})。例如，一个13 MHz REF_{IN} 的GSM系统将模数设置为65。这意味着，RF输出分辨率(f_{RES})为GSM所必需的200 kHz (13 MHz/65)。扰动关闭时，小数杂散间隔取决于所选择的模数值。更多信息参见表11。

参考倍频器和参考分频器

片内参考倍频器可以使输入参考信号频率加倍，这可用于提高PFD比较频率。提高PFD频率可改善系统的噪声性能。PFD频率加倍一般可使噪声性能改善3 dB。必须注意，由于N分频器的Σ-Δ电路速度有限，PFD无法在高于32 MHz的频率下工作。

12位可编程模数

与其它大多数小数N分频PLL不同，ADF4153允许用户在12位范围内设置模数。这意味着，结合参考倍频器和4位R计数器，用户可以实现许多不同的配置，以适合各种应用。

下述示例为一个要求1.75 GHz RF和200 kHz通道步进分辨率的应用。该系统具有13 MHz参考信号。

一种可能的设置是将13 MHz信号直接馈入PFD，并将模数设置为除以65，这样就能获得所需的200 kHz分辨率。

另一种可能的设置是使用参考倍频器，从13 MHz输入信号产生26 MHz信号。然后将此26 MHz馈入PFD。现在，模数编程为130分频。这样也能获得200 kHz分辨率，而且相位噪声优于前一种设置。

可编程模数对于多标准应用也非常有用。如果双模电话要求支持PDC和GSM 1800两种标准，则可编程模数非常有利。PDC要求25 kHz通道步进分辨率，GSM 1800则要求200 kHz通道设置分辨率。可以将13 MHz参考信号直接馈入PFD。在PDC模式下，模数设置为520 ($13\text{ MHz}/520 = 25\text{ kHz}$)。在GSM 1800模式下，模数编程设置为65 ($13\text{ MHz}/65 = 200\text{ kHz}$)。PFD频率必须保持恒定(13 MHz)，以便用户为两种设置设计一个环路滤波器，而不会发生不稳定问题。它是RF频率与PFD频率之比，会影响环路的设计。若保持这一比例关系不变，则同样的环路滤波器便可用于两个应用中。

带杂散优化的快速锁定

如“噪声和杂散模式”部分所述，器件可针对杂散性能优化。但是，快速锁定应用要求宽环路带宽，因此滤波器不能大幅衰减杂散。可编程电荷泵可用来解决这个问题。滤波器针对窄环路带宽设计，因此满足稳态杂散规格要求。它使用最低电荷泵电流设置设计。

若要在跳频时部署快速锁定，则可将电荷泵电流设为跳频期间具有最大值，方法是置位N分频器寄存器中的快速锁定。这样可以加宽环路带宽，改善锁定时间。若要保持宽带宽模式下的环路稳定性，环路滤波器需加以修改。这通过开关环路滤波器中与阻尼电阻并联的电阻(R1A)而实现(见图16)。MUXOUT必须设为快速锁定开关，才能使用内部开关。例如，在宽带宽模式下，如果电荷泵电流上升16，则阻尼电阻R1需下降 $\frac{1}{4}$ 。

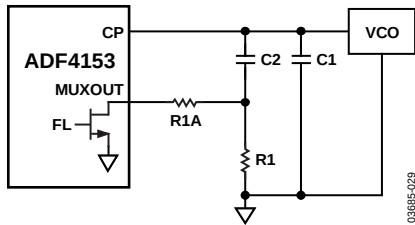


图16. 带快速锁定的ADF4153

然后，根据R1和R1A的总并联电阻等于R1的 $\frac{1}{4}$ ，选择R1A。这样可以使环路带宽整体扩大4倍，同时保持宽带宽模式的稳定性。

PLL锁定至新的频率后，电荷泵再次通过快速锁定位置0而编程设置为最低电荷泵电流。内部开关打开，阻尼电阻返回最初值。这样会将环路带宽收窄为原始截止频率，从而相比宽环路带宽可以更好地衰减杂散信号。

杂散机制

下列内容说明小数N分频频率合成器的三种不同杂散机制，以及如何降低ADF4153的杂散。

小数杂散

DF4153中的小数插值器是一种三阶 Σ - Δ 调制器(SDM)，其模数(MOD)可编程为2至4095范围内的任意整数值。在低杂散模式下(扰动使能)，MOD容许的最小值为50。SDM时钟频率为PFD基准频率(f_{PFD})，允许PLL输出频率以 $f_{\text{PFD}}/\text{MOD}$ 的通道步进分辨率合成。

在最低噪声模式以及低噪声和杂散模式下(扰动禁用)，来自 Σ - Δ 调制器的量化噪声作为小数杂散出现。杂散之间的间隔为 f_{PFD}/L ，其中L是数字 Σ - Δ 调制器代码序列的重复长度。对于ADF4153所用的三阶调制器，该重复长度取决于MOD值，如表11所列。

表11. 禁用扰动时的小数杂散

条件(禁用扰动)	重复长度	杂散间隔
MOD能被2整除，但不能被3整除	$2 \times \text{MOD}$	通道步进/2
MOD能被3整除，但不能被2整除	$3 \times \text{MOD}$	通道步进/3
MOD能被6整除	$6 \times \text{MOD}$	通道步进/6
其它情况	MOD	通道步进

在低杂散模式下(使能扰动)，重复长度扩展至 2^{21} 个周期，与MOD值无关，使得量化误差频谱看起来像宽带噪声。这可能会使PLL输出端的带内相位噪声性能下降多达10 dB。因此，为了获得最低噪声，禁用扰动是更好的选择，尤其是当最终环路带宽低到足以衰减最低频率小数杂散时。

整数边界杂散

小数杂散的另一个产生机制是RF VCO频率与基准频率的交互作用。当这些频率不是整数关系时(小数N分频频率合成器的点)，杂散边带将以一定的偏移频率出现在VCO输出频谱上，该偏移频率与整数倍数的基准频率和VCO频率之间的拍频或差频相对应。

这些杂散由环路滤波器予以衰减，在靠近参考频率整数倍数的通道上表现得更为明显；对于这些通道，差频率可能位于环路带宽以内，整数边界杂散的名称正是由此而来。

参考杂散

在小数N分频频率合成器中，参考杂散一般不是问题，因为参考偏移远远超出了环路带宽。不过，旁路环路的任何参考馈通机制可能会引起问题。一种此类机制是经由 RF_{IN} 引脚回到VCO的低电平片内参考切换噪声的馈通，可能会产生高达-90 dBc的参考杂散。PCB布局需要确保VCO与输入参考之间充分隔离，避免电路板上可能出现馈通路径。

杂散一致性

使用某些小数N分频频率合成器，从频率A跳频至频率B再回到频率A，则每次设置频率A时，杂散水平通常都不一样。然而，在ADF4153中，特定通道的杂散水平始终一致。

相位再同步

当MOD为小数模数时，小数N分频PLL的输出可以建立至相对于输入参考的任何一个MOD相位偏移。ADF4153的相位再同步特性可用来产生相对于输入参考的一致输出相位偏移，对于输出相位和频率十分重要的应用，如数字波束形成等，这是必需的。

当相位再同步使能时，内部定时器以下式所给出的间隔 t_{SYNC} 产生同步信号：

$$t_{SYNC} = RESYNC \times RESYNC_DELAY \times t_{PFD}$$

其中， t_{PFD} 是PFD参考周期。

RESYNC是寄存器R2的位DB[15...12]所设置的十进制值，可以是1至15范围内的任意整数；如果RESYNC编程设置为其全零默认值，则禁用相位再同步特性。

如果使能相位再同步，则RESYNC_DELAY必须编程设置为MOD值的整数倍。RESYNC_DELAY是寄存器R1的MOD位DB[13...3]所设置的十进制值，此时负载控制(寄存器R1的DB23) = 1。

新频率设置后，LE上升沿后的第二个同步脉冲用来使输出相位与参考重新同步。 t_{SYNC} 时间的设置值至少应与最差情况下的锁定时间相同，以保证相位再同步发生于PLL建立瞬态中的最后一个周跳之后。

在图17示例中，PFD参考为25 MHz，MOD = 125(200 kHz通道间隔)。通过设置RESYNC = 10且RESYNC_DELAY = 1000，可将 t_{SYNC} 设为400 μ s。

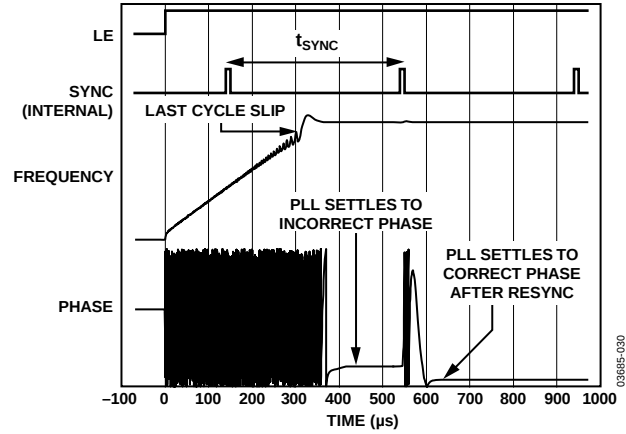


图17.相位再同步示例

滤波器设计—ADIsimPLL

ADI公司提供了滤波器设计和分析程序以帮助用户实现PLL设计。请访问www.analog.com/pll，免费下载ADIsim-PLL软件。该软件可设计、仿真和分析整个PLL频域和时域响应。允许使用各种无源和有源滤波器架构。

接口

ADF4153的数字接口为与SPI®兼容的串行接口，用于将数据写入器件。在CLK、DATA和LE控制数据传输。当锁存使能(LE)为高电平时，在SCLK每个上升沿将22位数据逐位写入输入寄存器，并传送至对应的锁存器。时序图见图2，寄存器真值表见表5。

最大容许串行时钟速率为20 MHz。

ADuC812接口

图18显示ADF4153与ADuC812 MicroConverter®之间的接口。ADuC812基于8051内核，因此该接口可以用于任何基于8051的微控制器。MicroConverter设置为SPI主机模式，CPHA = 0。若要启动操作，驱动LE的I/O端口应变为低电平。ADF4153的各锁存器需要一个24位字，其实现方法是从MicroConverter写入三个8位字节至该器件。写入第三个字节后，LE输入应变为高电平，以完成传输。

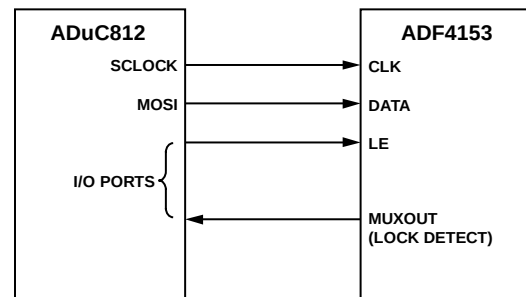


图18. ADuC812与ADF4153接口

当工作在此模式时，ADuC812的最大SCLOCK速率为4 MHz。这意味着，输出频率变化的最大速率为180 kHz。

ADSP-21xx接口

图19显示ADF4153与ADSP-21xx数字信号处理器之间的接口。如前所述，ADF4153的每次锁存器写入都需要一个24位串行字。对此，使用ADSP-21xx系列的最简单实现方法是利用帧交替式自缓冲传输工作模式。这样，中断产生之前，可以传输整块的串行数据。将字长度设置为8位，每个24位字使用三个存储器位置。为对各24位锁存器进行编程，存储三个8位字节，使能自缓冲模式，然后写入DSP的传输寄存器。最后一个操作启动自缓冲传输。

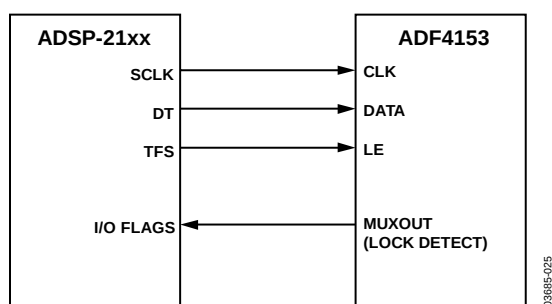


图19. ADSP-21xx与ADF4153接口

芯片级封装的PCB设计指南

芯片级封装(CP-20)上的引脚焊盘为方形。印刷电路板(PCB)焊盘应比封装引脚焊盘长0.1 mm，宽0.05 mm。封装焊盘应位于PCB焊盘中央，引脚焊盘应位于电路板焊盘中央。

芯片级封装的底部有一个居中的裸露焊盘用于散热，PCB的散热垫至少应与此裸露焊盘一样大。在PCB上，散热焊盘与焊盘图形内边的间距至少应为0.25 mm，以确保不会发生短路。

PCB散热焊盘上可以开散热通孔，以改善封装的散热性能。散热通孔应与散热焊盘合为一体，间距为1.2 mm。通孔直径应在0.3 mm至0.33 mm之间，通孔管应镀以1盎司的铜，以堵住通孔。用户应将PDB散热垫连到AGND。

应用信息

GSM基站发送器的本振

图20显示ADF4153采用VCO产生本振(LO)信号，用于GSM基站发送器。

参考输入信号施加于电路的 REF_{IN} ，本例中端接至 $50\ \Omega$ 。使用 $25\ \text{MHz}$ 作为基准，该基准信号直接馈入PFD。为实现 $200\ \text{kHz}$ 通道间隔，模数应当为125。注意，若采用125作为模数，则它无法被2、3或6整除，因此可避免次分小数杂散。更多信息请参见“杂散机制”部分。

ADF4153的电荷泵输出驱动环路滤波器。

电荷泵电流为 $I_{CP} = 5 \text{ mA}$ 。ADIsimPLL用于计算环路滤波器。设计的环路带宽为20 kHz，相位裕量为45°。

环路滤波器输出驱动VCO，然后馈入PLL频率合成器的RF输入端。它还驱动RF输出端。一个T型电路配置在频率合成器的VCO输出、RF输出和RF_{IN}引脚之间提供50 Ω匹配。

在PLL系统中，知道环路何时锁定十分重要。利用频率合成器的MUXOUT信号可实现锁定。可设置MUXOUT引脚来监控频率合成器中的各种内部信号。其中之一是锁定检测信号。

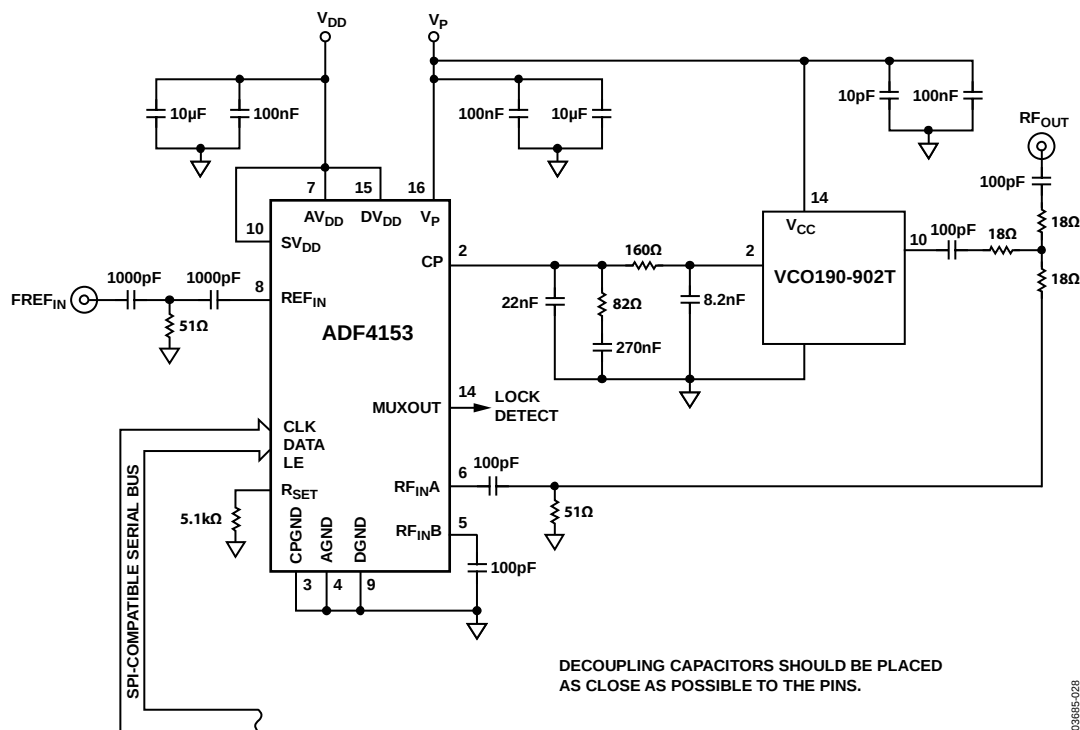
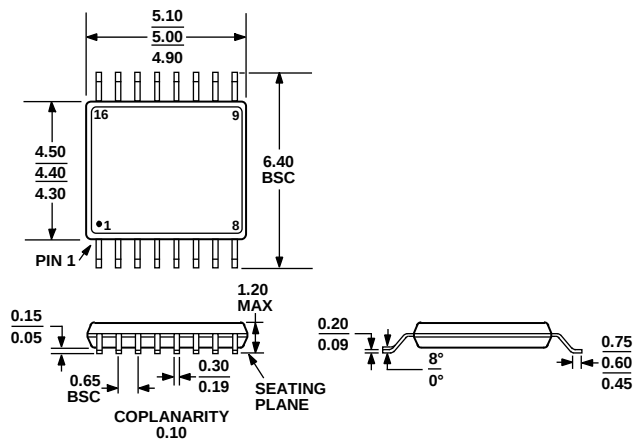


图20. GSM基站发送器的本振

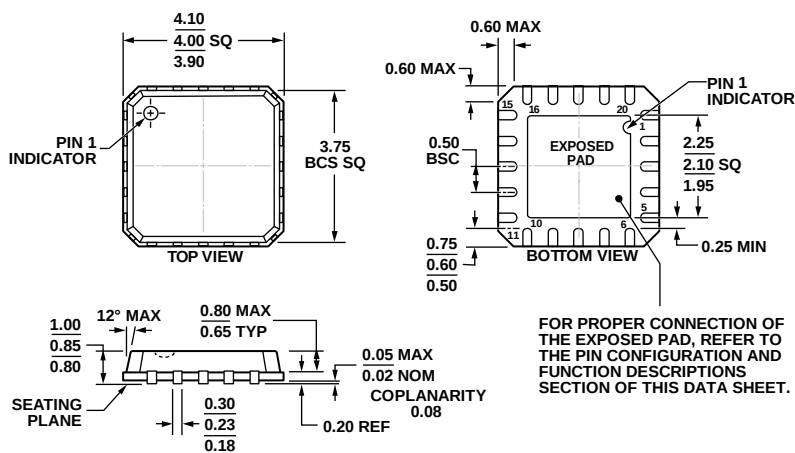
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图21. 16引脚超薄紧缩小型封装[TSSOP]
(RU-16)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

图22. 20引脚引线框芯片级封装[LFCSP_VQ]

4 mm x 4 mm, 超薄体

(CP-20-1)

图示尺寸单位: mm

04-09-2012-B

ADF4153

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
ADF4153BRU	−40°C至+85°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153BRU-REEL7	−40°C至+85°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153BRUZ	−40°C至+85°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153BRUZ-RL	−40°C至+85°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153BRUZ-RL7	−40°C至+85°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153YRUZ	−40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153YRUZ-RL	−40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153YRUZ-RL7	−40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
ADF4153BCPZ	−40°C至+85°C	20引脚引脚架构芯片级封装[LFCSP_VQ]	CP-20-1
ADF4153BCPZ-RL	−40°C至+85°C	20引脚引脚架构芯片级封装[LFCSP_VQ]	CP-20-1
ADF4153BCPZ-RL7	−40°C至+85°C	20引脚引脚架构芯片级封装[LFCSP_VQ]	CP-20-1
ADF4153YCPZ	−40°C至+125°C	20引脚引脚架构芯片级封装[LFCSP_VQ]	CP-20-1
ADF4153YCPZ-RL	−40°C至+125°C	20引脚引脚架构芯片级封装[LFCSP_VQ]	CP-20-1
ADF4153YCPZ-RL7	−40°C至+125°C	20引脚引脚架构芯片级封装[LFCSP_VQ]	CP-20-1
ADF4153WYRUZ-RL7	−40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
EV-ADF4153SD1Z		评估板	

¹ Z = 符合RoHS标准的器件。
² W = 通过汽车应用认证。

汽车应用产品

ADF4153WYRUZ-RL7生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的“技术规格”部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得该型号的汽车可靠性报告，请联系当地ADI客户代表。

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。

