

特性

1.8 V模拟电源供电

1.8 V至3.3 V输出电平

SNR: 69.5 dBc(70.5 dBFS, 至70 MHz输入)

SFDR: 85 dBc(至70 MHz输入)

低功耗: 395 mW @125 MSPS

差分输入、650 MHz带宽

片内基准电压源和采样保持放大器

DNL: ± 0.15 LSB

灵活的模拟输入范围: 1 V p-p至2 V p-p

数据格式: 偏移二进制、格雷码或二进制补码

时钟占空比稳定器

数据输出时钟

串行端口控制

内置可选数字测试码生成功能

可编程时钟与数据对准

应用

超声设备

中频采样的通信接收机

IS-95、CDMA-One、IMT-2000

电池供电仪表

手持式示波器

低成本数字示波器

概述

AD9233是一款单芯片、12位、80 MSPS/105 MSPS/125 MSPS模数转换器(ADC), 采用1.8 V单电源供电, 内置一个高性能采样保持放大器(SHA)和片内基准电压源。它采用多级差分流水线架构, 内置输出纠错逻辑, 在125 MSPS数据速率时可提供12位精度, 并保证在整个工作温度范围内无失码。

利用宽带宽、真差分采样保持放大器(SHA), 用户可以选择包括单端应用在内的各种输入范围和偏置。该器件适用于满量程输入信号在连续通道间切换的多路复用系统, 以及采用远超过奈奎斯特速率频率的单通道输入采样。与以前的模数转换器相比, AD9233的功耗与成本均有所降低, 适用于通信、成像和医疗超声等应用。

采用一个差分时钟输入来控制所有内部转换周期。一个占空比稳定器(DCS)用来补偿较大的时钟占空比波动, 同时

功能框图

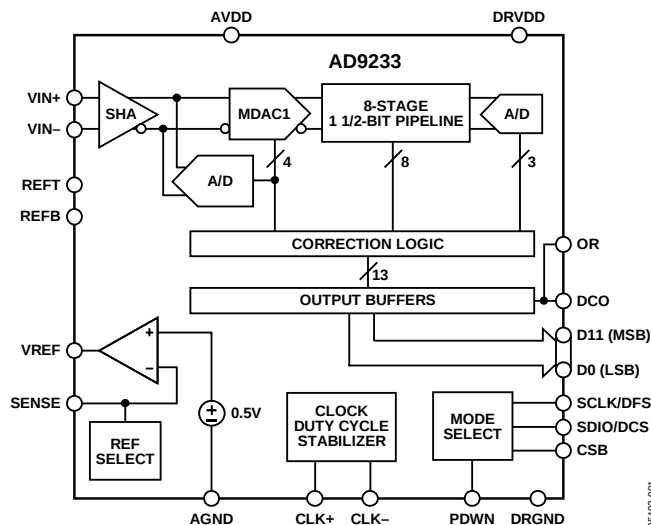


图1

保持出色的ADC总体性能。

数字输出数据格式为偏移二进制、格雷码或二进制补码。一个数据输出时钟(DCO)用来确保接收逻辑具有正确的锁存时序。

AD9233采用48引脚LFCSP封装, 额定温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 工业温度范围。

产品聚焦

1. AD9233采用1.8 V单电源供电, 而数字输出驱动器采用一个独立的电源供电, 以适应1.8 V至3.3 V逻辑。
2. 取得专利的SHA输入在高达225 MHz的输入频率时仍保持出色的性能。
3. 时钟占空比稳定器(DCS)在较宽的时钟脉冲宽度范围内仍保持ADC的整体性能。
4. 标准串行端口接口支持各种产品特性和功能, 例如: 数据格式化(偏移二进制、二进制补码或格雷码)、启用时钟DCS、掉电模式以及基准电压模式等。
5. AD9233与AD9246引脚兼容, 使12位产品可轻松升级至14位产品。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2006 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性	1	时序	22
应用	1	串行端口接口(SPI)	23
概述	1	使用SPI的配置	23
功能框图	1	硬件接口	23
产品聚焦	1	不使用SPI的配置	23
修订历史	3	存储器映射	24
技术规格	4	读取存储器映射表	24
直流规格	4	布局布线考虑	27
交流规格	5	电源和接地建议	27
数字规格	6	CML	27
转换规格	7	RBIAS	27
时序图	7	基准电压源去耦	27
绝对最大额定值	8	评估板	28
热阻	8	电源	28
ESD警告	8	输入信号	28
引脚配置和功能描述	9	输出信号	28
等效电路	10	默认操作与跳线选择设置	29
典型工作特性	11	可选时钟配置	29
工作原理	15	可选模拟输入驱动配置	30
模拟输入考虑	15	原理图	31
基准电压源	17	评估板布局布线	36
时钟输入考虑	18	物料清单(BOM)	39
抖动考虑	19	外形尺寸	42
功耗和待机模式	20	订购指南	42
数字输出	21		

修订历史

2006年8月—修订版0至修订版A

格式更新 通篇

增加80 MSPS 通篇

删除图19、图20、图22和图23；重新按序编号 11

删除图24、图25、图27至图29；重新按序编号 12

删除图31和图34；重新按序编号 13

删除图37、图38、图40和图41；重新按序编号 14

删除图46；重新按序编号 15

删除图52；重新按序编号 16

更改图40 16

更改图46 18

插入图54；重新按序编号 20

更改数字输出部分 21

更改时序部分 22

增加数据时钟输出(DCO)部分 22

更改“使用SPI的配置”部分和
“不使用SPI的配置”部分 23

更改表15 25

更改表16 39

更改订购指南部分 42

2006年4月—修订版0：初始版

AD9233

技术规格

直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 2.5 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS使能。

表1

参数	温度	AD9233BCPZ-80			AD9233BCPZ-105			AD9233BCPZ-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	12			12			12			位
精度											
无失码	全	保证			保证			保证			
失调误差	全	±0.3	±0.5		±0.3	±0.8		±0.3	±0.8		% FSR
增益误差	全	±0.2	±4.7		±0.2	±4.9		±0.2	±3.9		% FSR
微分非线性(DNL) ¹	全		±0.3			±0.5			±0.5		LSB
	25°C	±0.2			±0.2			±0.2			LSB
积分非线性(INL) ¹	全		±1.2			±1.2			±1.2		LSB
	25°C	±0.5			±0.5			±0.5			LSB
温度漂移											
失调误差	全	±15			±15			±15			ppm/°C
增益误差	全	±95			±95			±95			ppm/°C
内部参考电压											
输出电压误差(1 V模式)	全	±5	±20		±5	±35		±5	±35		mV
负载调整@ 1.0 mA	全	7			7			7			mV
等效输入噪声											
VREF = 1.0 V	25°C	0.34			0.34			0.34			LSB rms
模拟输入											
输入范围, VREF = 1.0 V	全	2			2			2			V p-p
输入电容 ²	全	8			8			8			pF
基准电压输入阻抗	全	6			6			6			kΩ
电源											
电源电压											
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	3.3	3.6	1.7	3.3	3.6	1.7	3.3	3.6	V
电源电流											
IAVDD ¹	全	138	155		178	194		220	236		mA
IDRVDD ¹ (DRVDD = 1.8 V)	全	7			8			10			mA
IDRVDD ¹ (DRVDD = 3.3 V)	全	12			14			17			mA
功耗											
直流输入	全	248	279		320	350		395	425		mW
正弦波输入 ¹ (DRVDD = 1.8 V)	全	261			335			415			mW
正弦波输入 ¹ (DRVDD = 3.3 V)	全	288			365			452			mW
待机 ³	全	40			40			40			mW
掉电	全	1.8			1.8			1.8			mW

¹ 测量条件为：低输入频率、满量程正弦波、每个输出位的负载约为5 pF。

² 输入电容指一个差分输入引脚与AGND之间的有效电容。等效模拟输入结构见图4。

³ 待机功耗的测量条件为：直流输入、CLK引脚无动作（设为AVDD或AGND）。

交流规格

除非另有说明， $AVDD = 1.8\text{ V}$ 、 $DRVDD = 2.5\text{ V}$ 、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、 $A_{IN} = -1.0\text{ dBFS}$ 、DCS使能。

表2

参数 ¹	温度	AD9233BCPZ-80 最小值 典型值 最大值	AD9233BCPZ-105 最小值 典型值 最大值	AD9233BCPZ-125 最小值 典型值 最大值	单位
信噪比(SNR)					
$f_{IN} = 2.4\text{ MHz}$	25°C	69.5	69.5	69.5	dBc
$f_{IN} = 70\text{ MHz}$	25°C	69.5	69.5	69.5	dBc
	全	68.9	68.3	68.3	dBc
$f_{IN} = 100\text{ MHz}$	25°C	69.4	69.4	69.4	dBc
$f_{IN} = 170\text{ MHz}$	25°C	68.9	68.9	68.9	dBc
信纳比(SINAD)					
$f_{IN} = 2.4\text{ MHz}$	25°C	69.2	69.2	69.2	dBc
$f_{IN} = 70\text{ MHz}$	25°C	69.2	69.2	69.2	dBc
	全	68.5	67.3	67.3	dBc
$f_{IN} = 100\text{ MHz}$	25°C	69.1	69.1	69.1	dBc
$f_{IN} = 170\text{ MHz}$	25°C	68.6	68.6	68.6	dBc
有效位数(ENOB)					
$f_{IN} = 2.4\text{ MHz}$	25°C	11.4	11.4	11.4	Bits
$f_{IN} = 70\text{ MHz}$	25°C	11.4	11.4	11.4	Bits
$f_{IN} = 100\text{ MHz}$	25°C	11.4	11.4	11.4	Bits
$f_{IN} = 170\text{ MHz}$	25°C	11.3	11.3	11.3	Bits
最差的二次/三次谐波					
$f_{IN} = 2.4\text{ MHz}$	25°C	-90.0	-90.0	-90.0	dBc
$f_{IN} = 70\text{ MHz}$	25°C	-85.0	-85.0	-85.0	dBc
	全	-76.0	-73.0	-73.0	dBc
$f_{IN} = 100\text{ MHz}$	25°C	-85.0	-85.0	-85.0	dBc
$f_{IN} = 170\text{ MHz}$	25°C	-83.5	-83.5	-83.5	dBc
无杂散动态范围(SFDR)					
$f_{IN} = 2.4\text{ MHz}$	25°C	90.0	90.0	90.0	dBc
$f_{IN} = 70\text{ MHz}$	25°C	85.0	85.0	85.0	dBc
	全	76.0	73.0	73.0	dBc
$f_{IN} = 100\text{ MHz}$	25°C	85.0	85.0	85.0	dBc
$f_{IN} = 170\text{ MHz}$	25°C	83.5	83.5	83.5	dBc
最差其它谐波或杂散					
$f_{IN} = 2.4\text{ MHz}$	25°C	-90.0	-90.0	-90.0	dBc
$f_{IN} = 70\text{ MHz}$	25°C	-90.0	-90.0	-90.0	dBc
	全	-85.0	-81.0	-81.0	dBc
$f_{IN} = 100\text{ MHz}$	25°C	-90.0	-90.0	-90.0	dBc
$f_{IN} = 170\text{ MHz}$	25°C	-90.0	-90.0	-90.0	dBc
双音无杂散动态范围(SFDR)					
$f_{IN} = 30\text{ MHz} (-7\text{ dBFS}), 31\text{ MHz} (-7\text{ dBFS})$	25°C	87	87	85	dBFS
$f_{IN} = 170\text{ MHz} (-7\text{ dBFS}), 171\text{ MHz} (-7\text{ dBFS})$	25°C	83	83	84	dBFS
模拟输入带宽	25°C	650	650	650	MHz

¹ 如需了解完整的定义，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

AD9233

数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 2.5 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS使能。

表3

参数	温度	AD9233BCPZ-80/105/125			单位
		最小值	典型值	最大值	
差分时钟输入(CLK+, CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
内部共模偏置	全		1.2		V
差分输入电压	全	0.2		6	V p-p
输入电压范围	全	AVDD - 0.3		AVDD + 1.6	V
输入共模范围	全	1.1		AVDD	V
高电平输入电压(V_{IH})	全	1.2		3.6	V
低电平输入电压(V_{IL})	全	0		0.8	V
高电平输入电流(I_{IH})	全	-10		+10	μ A
低电平输入电流(I_{IL})	全	-10		+10	μ A
输入电阻	全	8	10	12	k Ω
输入电容	全		4		pF
逻辑输入 (SCLK/DFS、OE、PWDN)					
高电平输入电压(V_{IH})	全	1.2		3.6	V
低电平输入电压(V_{IL})	全	0		0.8	V
高电平输入电流(I_{IH})	全	-50		-75	μ A
低电平输入电流(I_{IL})	全	-10		+10	μ A
输入电阻	全		30		k Ω
输入电容	全		2		pF
逻辑输入(CSB)					
高电平输入电压(V_{IH})	全	1.2		3.6	V
低电平输入电压(V_{IL})	全	0		0.8	V
高电平输入电流(I_{IH})	全	-10		+10	μ A
低电平输入电流(I_{IL})	全	+40		+135	μ A
输入电阻	全		26		k Ω
输入电容	全		2		pF
逻辑输入(SDIO/DCS)					
高电平输入电压(V_{IH})	全	1.2		DRVDD + 0.3	V
低电平输入电压(V_{IL})	全	0		0.8	V
高电平输入电流(I_{IH})	全	-10		+10	μ A
低电平输入电流(I_{IL})	全	+40		+130	μ A
输入电阻	全		26		k Ω
输入电容	全		5		pF
数字输出					
DRVDD = 3.3 V					
高电平输出电压(V_{OH} , I_{OH} = 50 μ A)	全	3.29			V
高电平输出电压(V_{OH} , I_{OH} = 0.5 mA)	全	3.25			V
低电平输出电压(V_{OL} , I_{OL} = 1.6 mA)	全			0.2	V
低电平输出电压(V_{OL} , I_{OL} = 50 μ A)	全			0.05	V
DRVDD = 1.8 V					
高电平输出电压(V_{OH} , I_{OH} = 50 μ A)	全	1.79			V
高电平输出电压(V_{OH} , I_{OH} = 0.5 mA)	全	1.75			V
低电平输出电压(V_{OL} , I_{OL} = 1.6 mA)	全			0.2	V
低电平输出电压(V_{OL} , I_{OL} = 50 μ A)	全			0.05	V

转换规格

除非另有说明，AVDD = 1.8 V，DRVDD = 2.5 V。

表4

参数 ¹	温度	AD9233BCPZ-80			AD9233BCPZ-105			AD9233BCPZ-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数											
转换速率，DCS使能	全	20		80	20		105	20		125	MSPS
转换速率，DCS禁用	全	10		80	10		105	10		125	MSPS
CLK周期	全	12.5			9.5			8			ns
CLK脉宽高电平，DCS使能	全	3.75	6.25	8.75	2.85	4.75	6.65	2.4	4	5.6	ns
CLK脉宽高电平，DCS禁用	全	5.63	6.25	6.88	4.28	4.75	5.23	3.6	4	4.4	ns
数据输出参数											
数据传播延迟(t _{pd}) ²	全	3.1	3.9	4.8	3.1	3.9	4.8	3.1	3.9	4.8	ns
DCO传播延迟(t _{dco})	全		4.4			4.4			4.4		ns
建立时间(t _s)	全	4.9	5.7		3.4	4.3		2.6	3.5		ns
保持时间(t _h)	全	5.9	6.8		4.4	5.3		3.7	4.5		ns
流水线延迟	全		12			12			12		周期数
孔径延迟(t _a)	全		0.8			0.8			0.8		ns
孔径不确定性（抖动，t _j ）	全		0.1			0.1			0.1		ps rms
唤醒时间 ³	全		350			350			350		ms
超范围恢复时间	全		2			2			3		周期数
串行端口接口 ⁴											
SCLK周期(t _{clk})	全	40			40			40			ns
SCLK脉宽高电平时间(t _{hi})	全	16			16			16			ns
SCLK脉宽低电平时间(t _{lo})	全	16			16			16			ns
SDIO至SCLK建立时间(t _{ds})	全	5			5			5			ns
SDIO至SCLK保持时间(t _{dH})	全	2			2			2			ns
CSB至SCLK建立时间(t _s)	全	5			5			5			ns
CSB至SCLK保持时间(t _h)	全	2			2			2			ns

¹ 如需了解完整的定义，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

² 输出传播延迟的测量条件为：时钟50%转换至数据50%转换，使用5 pF负载。

³ 唤醒时间取决于去耦电容的值；所示值的测量条件为：REFT和REFB接0.1 μ F电容。

⁴ 参见图57和串行端口接口(SPI)部分。

时序图

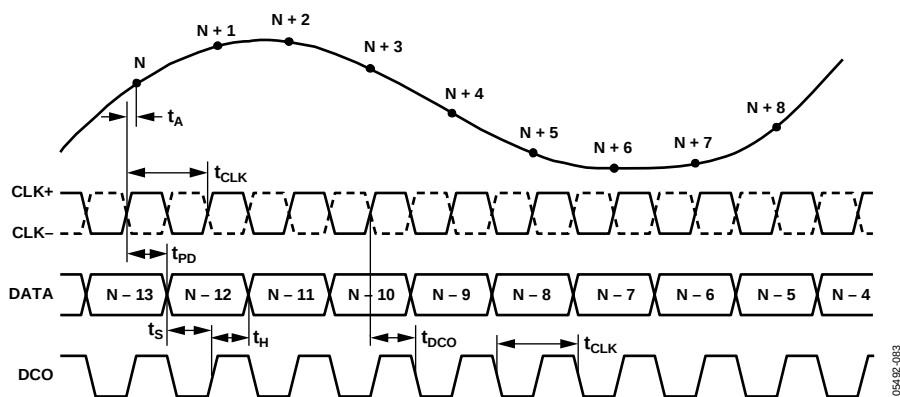


Figure 2. Timing Diagram

图2. 时序图

绝对最大额定值

表5

参数	额定值
电气参数	
AVDD至AGND	−0.3 V至+2.0 V
DRVDD至DRGND	−0.3 V至+3.9 V
AGND至DRGND	−0.3 V至+0.3 V
AVDD至DRVDD	−3.9 V至+2.0 V
D0-D11至DRGND	−0.3 V至DRVDD + 0.3 V
DCO至DRGND	−0.3 V至DRVDD + 0.3 V
OR至DRGND	−0.3 V至DRVDD + 0.3 V
CLK+至AGND	−0.3 V至+3.9 V
CLK−至AGND	−0.3 V至+3.9 V
VIN+至AGND	−0.3 V至AVDD + 1.3 V
VIN−至AGND	−0.3 V至AVDD + 1.3 V
VREF至AGND	−0.3 V至AVDD + 0.2 V
SENSE至AGND	−0.3 V至AVDD + 0.2 V
REFT至AGND	−0.3 V至AVDD + 0.2 V
REFB至AGND	−0.3 V至AVDD + 0.2 V
SDIO/DCS至DRGND	−0.3 V至DRVDD + 0.3 V
PDWN至AGND	−0.3 V至+3.9 V
CSB至AGND	−0.3 V至+3.9 V
SCLK/DFS至AGND	−0.3 V至+3.9 V
OEB至AGND	−0.3 V至+3.9 V
环境参数	
存储温度范围	−65°C至+125°C
工作温度范围	−40°C至+85°C
引脚温度(焊接10秒)	300°C
结温	150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

LFCSP封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到客户板上，可提高焊接可靠性，从而最大限度发挥封装的热性能。

表6

封装类型	θ_{JA}	θ_{JC}	单位
48-lead LFCSP (CP-48-3)	26.4	2.4	°C/W

θ_{JA} 和 θ_{JC} 典型值的测试条件为静止空气下的4层电路板。气流可增强散热，从而有效降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

ESD警告

ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积，可高达4000 V，并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



引脚配置和功能描述

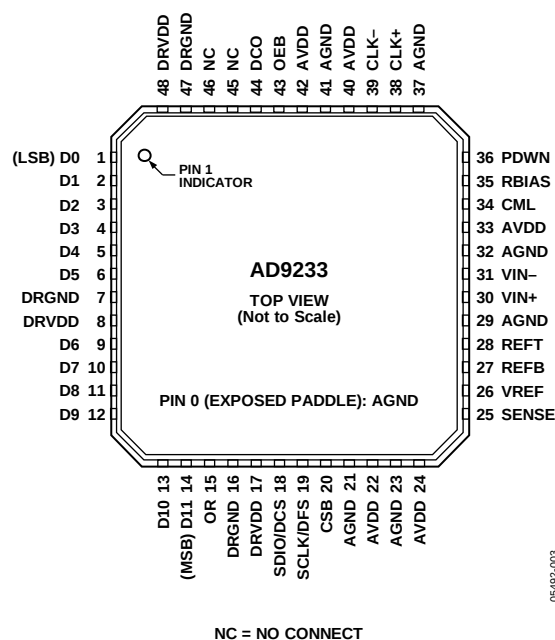


图3.引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
0, 21, 23, 29, 32, 37, 41	AGND	模拟地。(引脚0为封装底部的裸露焊盘。)
1 to 6, 9 to 14	D0 (LSB) to D11 (MSB)	数据输出位。
7, 16, 47	DRGND	数字输出地。
8, 17, 48	DRVDD	数字输出驱动电源(1.8 V至3.3 V)。
15	OR	超范围指示器。
18	SDIO/DCS	串行端口接口(SPI)*数据输入/输出(串行端口模式)；占空比稳定器选择(外部引脚模式)。参见表10。
19	SCLK/DFS	SPI时钟(串行端口模式)；数据格式选择引脚(外部引脚模式)。参见表10。
20	CSB	SPI片选(低电平有效)。
22, 24, 33, 40, 42	AVDD	模拟电源。
25	SENSE	基准电压模式选择。参见表9。
26	VREF	基准电压输入/输出。
27	REFB	差分基准电压(-)。
28	REFT	差分基准电压(+)
30	VIN+	模拟输入引脚(+)
31	VIN-	模拟输入引脚(-)
34	CML	共模电平偏置输出。
35	RBIAS	外部偏置电阻连接。此引脚与模拟地(AGND)之间必须接一个10 kΩ电阻。
36	PDWN	掉电功能选择。
38	CLK+	时钟输入(+)
39	CLK-	时钟输入(-)
43	OEB	输出使能(低电平有效)。
44	DCO	数据时钟输出。
45, 46	NC	不连接。

等效电路

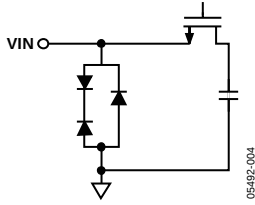


图4.等效模拟输入电路

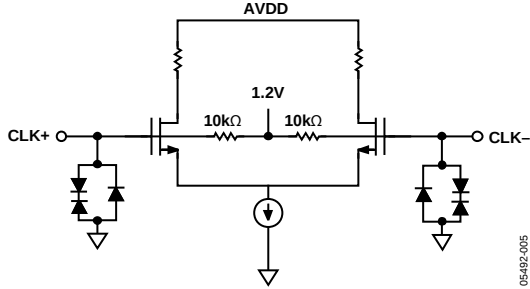


图5.等效时钟输入电路

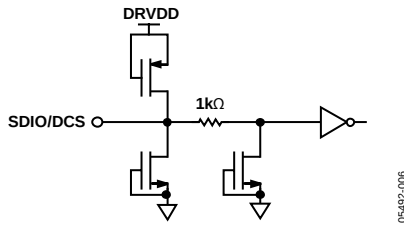


图6.等效SDIO/DCS输入电路

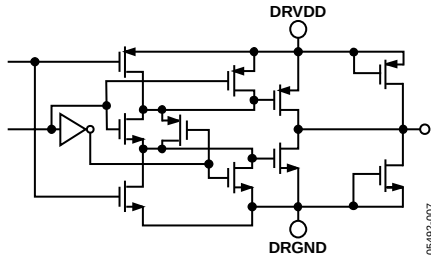


图7.等效数字输出电路

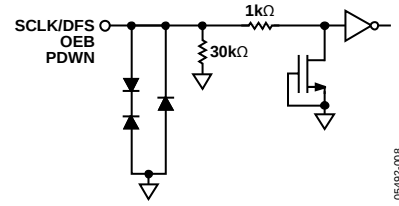


图8.等效SCLK/DFS、OEB、PDWN输入电路

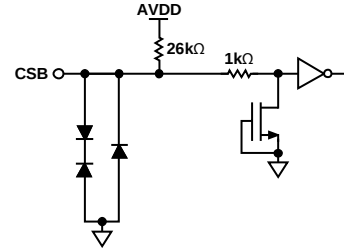


图9.等效CSB输入电路

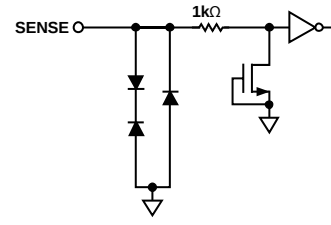


图10.等效SENSE电路

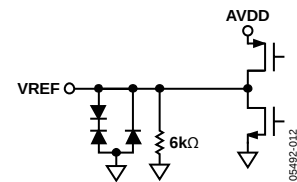


图11.等效VREF电路

典型工作特性

除非另有说明， $AVDD = 1.8\text{ V}$ 、 $DRVDD = 2.5\text{ V}$ 、最大采样速率、DCS使能、1 V内部基准电压、2 V峰峰值差分输入、 $A_{IN} = -1.0\text{ dBFS}$ 、64k采样、 $T_A = 25^\circ\text{C}$ 。所有图形显示的均为所有速度等级的典型性能。

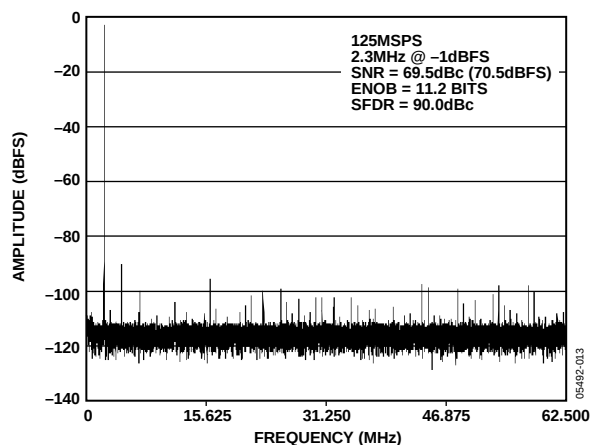


图12. AD9233-125单音FFT($F_{IN} = 2.3\text{ MHz}$)

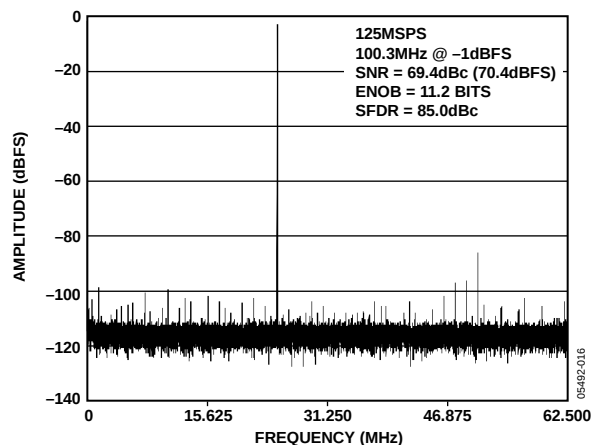


图15. AD9233-125单音FFT($F_{IN} = 100.3\text{ MHz}$)

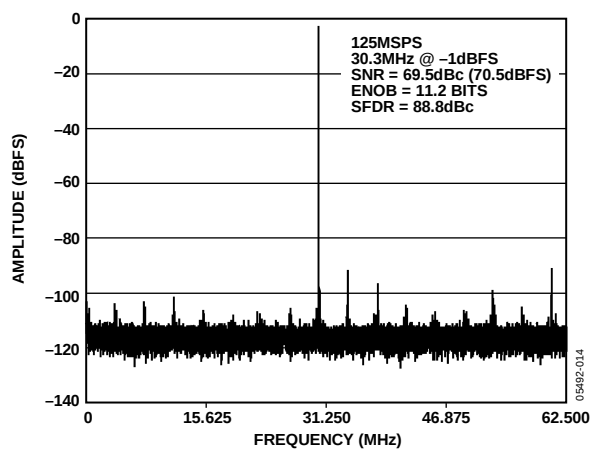


图13. AD9233-125单音FFT($F_{IN} = 30.3\text{ MHz}$)

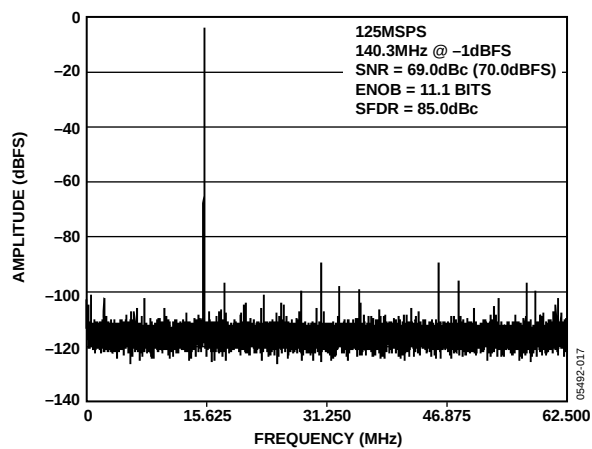


图16. AD9233-125单音FFT($F_{IN} = 140.3\text{ MHz}$)

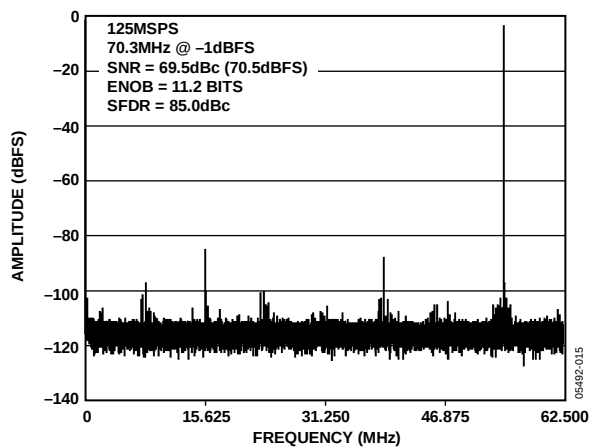


图14. AD9233-125单音FFT($F_{IN} = 70.3\text{ MHz}$)

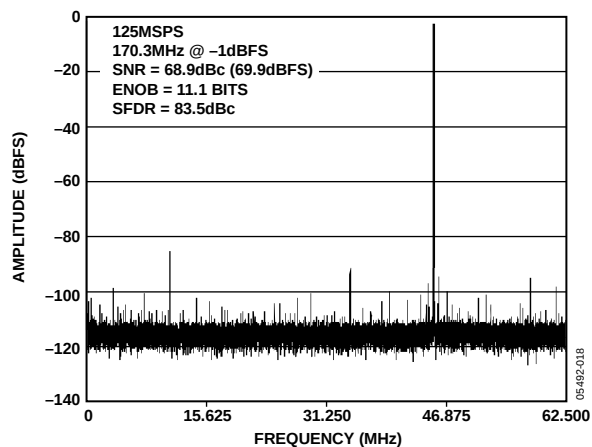


图17. AD9233-125单音FFT($F_{IN} = 170.3\text{ MHz}$)

AD9233

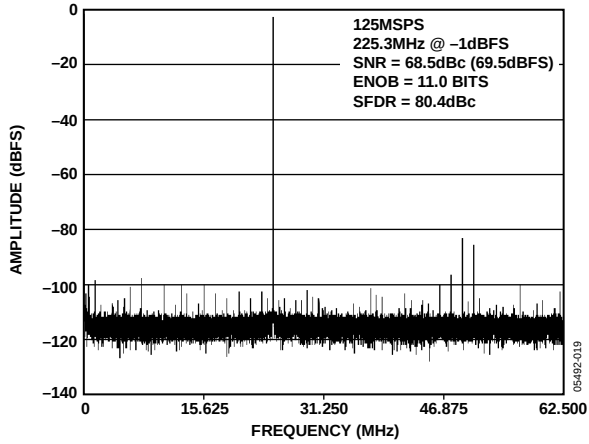


图18. AD9233-125单音FFT($F_{IN} = 225.3$ MHz)

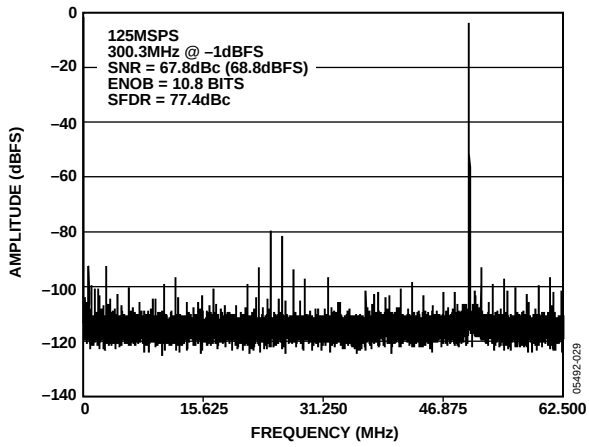


图19. AD9233-125单音FFT($F_{IN} = 300.3$ MHz)

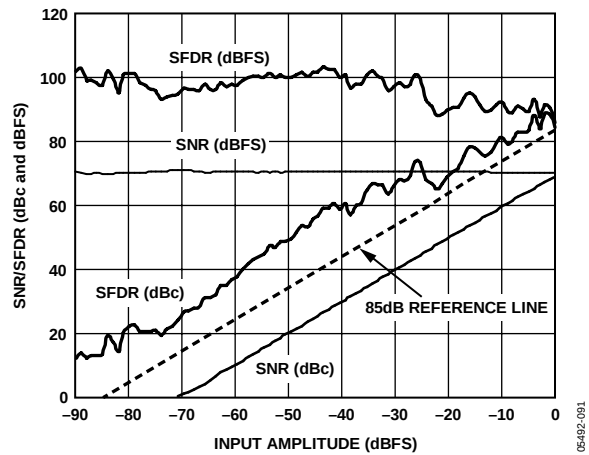


图20. AD9233单音SNR/SFDR与输入幅度(A_{IN})的关系
($F_{IN} = 2.4$ MHz)

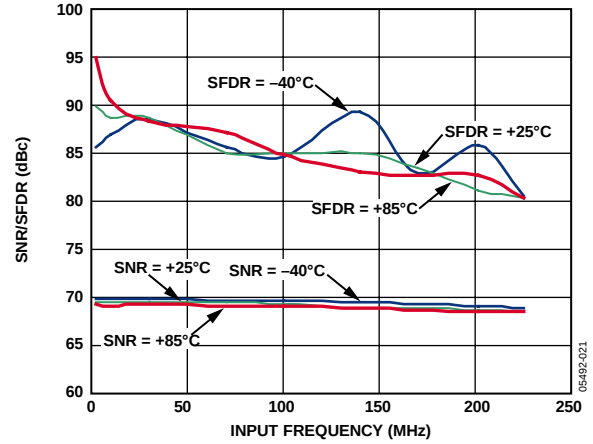


图21. AD9233单音SNR/SFDR与输入频率(F_{IN})和温度的关系
(2 V峰值满量程)

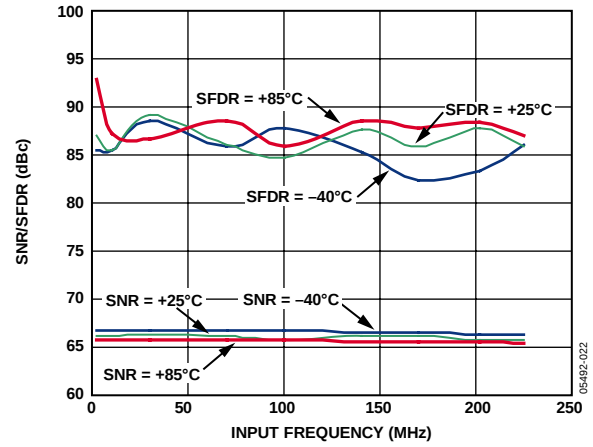


图22. AD9233单音SNR/SFDR与输入频率(F_{IN})和温度的关系
(1 V峰值满量程)

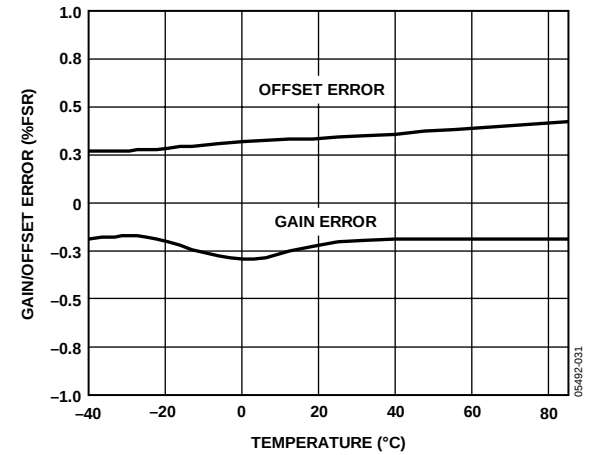


图23. AD9233增益和失调与温度的关系

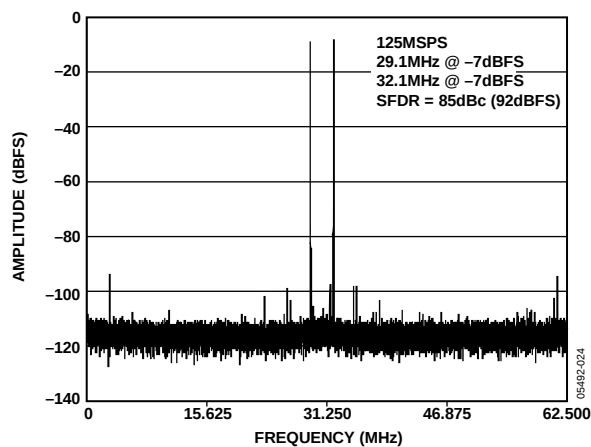


图24. AD9233-125双音FFT
($F_{IN1} = 29.1 \text{ MHz}$, $F_{IN2} = 32.1 \text{ MHz}$)

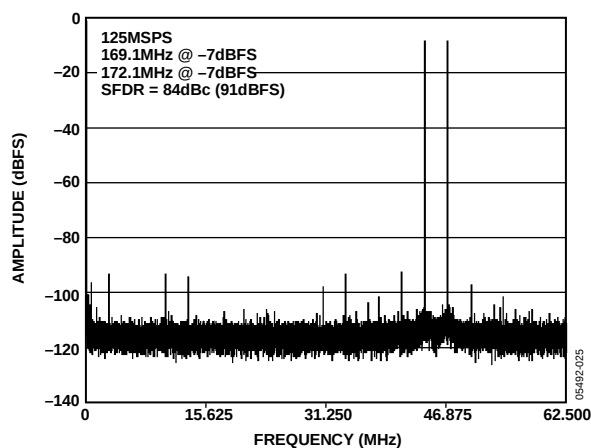


图25. AD9233-125双音FFT
($F_{IN1} = 169.1 \text{ MHz}$, $F_{IN2} = 172.1 \text{ MHz}$)

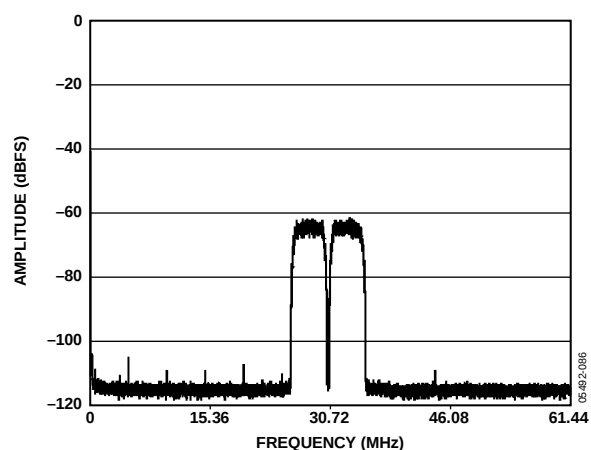


图26. AD9233-125双64k WCDMA载波
($F_{IN} = 215.04 \text{ MHz}$, $F_S = 122.88 \text{ MHz}$)

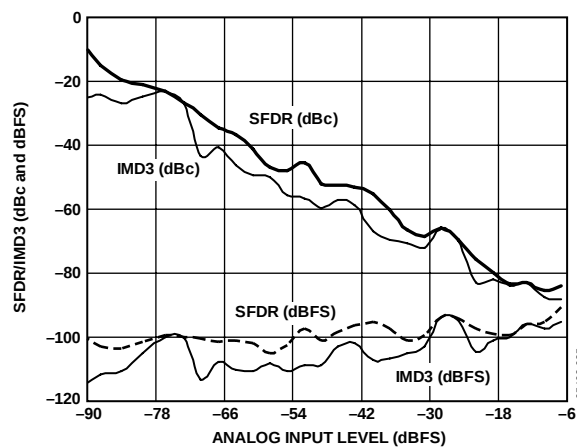


图27. AD9233双音SFDR/IMD与输入幅度(AIN)的关系
($F_{IN1} = 29.1 \text{ MHz}$, $F_{IN2} = 32.1 \text{ MHz}$)

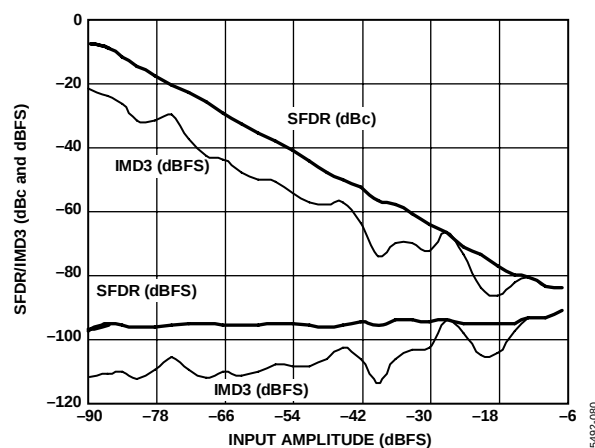


图28. AD9233双音SFDR/IMD与输入幅度(AIN)的关系
($F_{IN1} = 169.1 \text{ MHz}$, $F_{IN2} = 172.1 \text{ MHz}$)

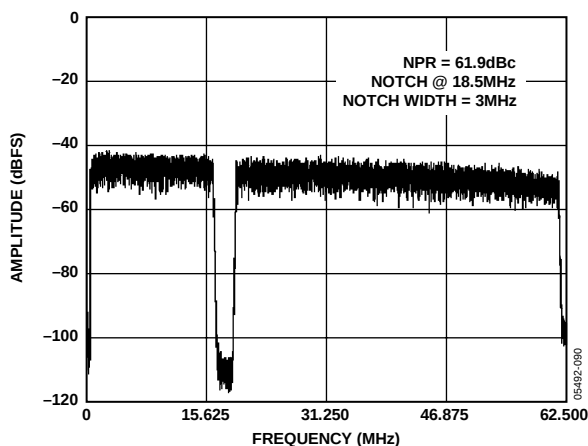


图29. AD9233-125噪声功率比

AD9233

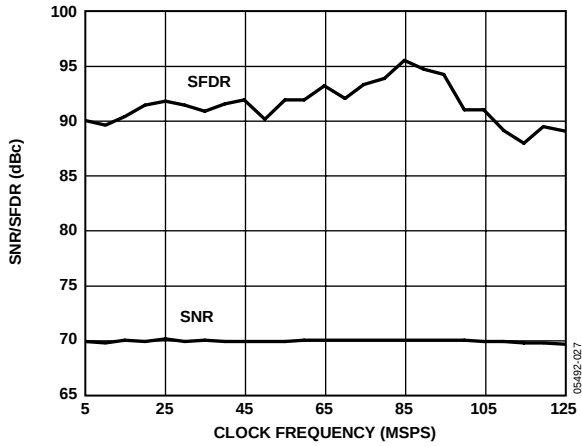


图30. AD9233单音SNR/SFDR与时钟频率 ($F_{IN} = 2.4 \text{ MHz}$) 的关系

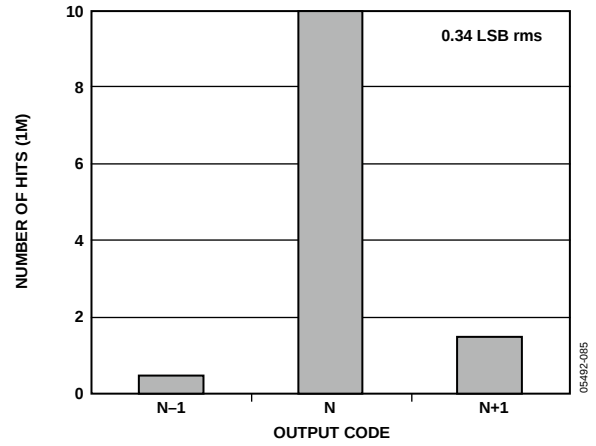


图33. AD9233接地输入直方图

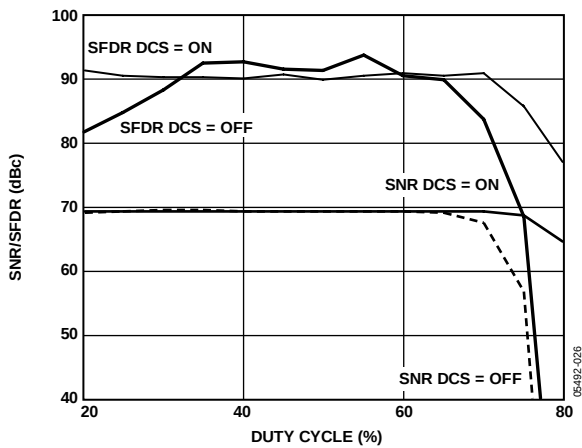


图31. AD9233 SNR/SFDR与占空比的关系 ($F_{IN} = 10.3 \text{ MHz}$)

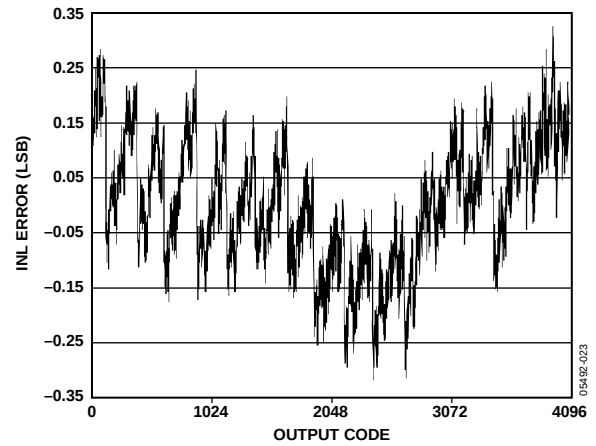


图34. AD9233 INL ($F_{IN} = 10.3 \text{ MHz}$)

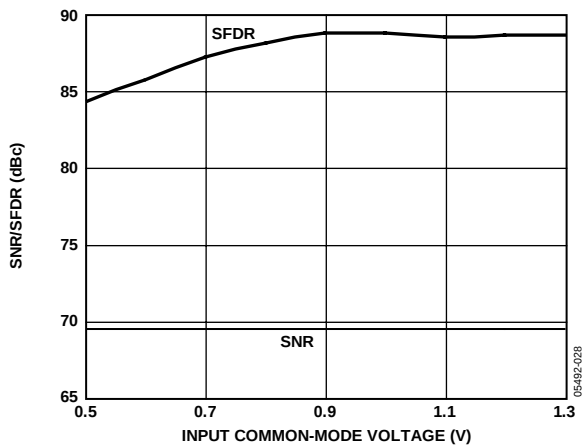


图32. AD9233 SNR/SFDR与输入共模 (V_{CM}) 的关系 ($F_{IN} = 30 \text{ MHz}$)

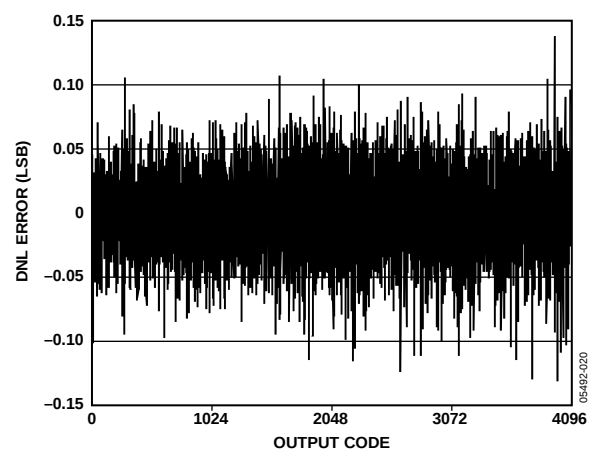


图35. AD9233 DNL ($F_{IN} = 10.3 \text{ MHz}$)

工作原理

AD9233架构由一个前端采样保持放大器(SHA)和其后的流水线型开关电容ADC组成。各个级的量化输出组合在一起，在数字校正逻辑条件下最终形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级外，流水线的每一级都由一个低分辨率Flash型ADC、一个开关电容DAC和一个级间余量放大器(MDAC)组成。余量放大器用于放大重构DAC输出与Flash型输入之间的差，用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了1位的冗余量。最后一级仅由一个Flash型ADC组成。

输入级包含一个差分SHA，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对齐，执行错误校正，并且将数据传输到输出缓冲器。输出缓冲器需要单独供电，允许调整输出电压摆幅。在掉电模式下，输出缓冲器进入高阻抗状态。

模拟输入考虑

AD9233的模拟输入端是一个差分开关电容SHA，其处理差分输入信号的性能极佳。

SHA根据时钟信号，在采样模式和保持模式之间切换(见图36)。当SHA切换到采样模式时，信号源需要对采样电容充电且在半时钟周期内完成建立。每个输入端都串联一个小电阻，可以降低驱动源输出级所需的峰值瞬态电流。

在两个输入端之间可配置一个并联电容，以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器；因此，模数转换的精度与应用相关。

在中频欠采样应用中，需要去掉并联电容。因为这些电容与驱动源阻抗共同作用，会限制输入带宽。关于此话题的更多信息，请参阅应用笔记AN-742“开关电容ADC的频域响应”、AN-827“放大器与开关电容ADC接口的谐振匹配方法”和Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”。

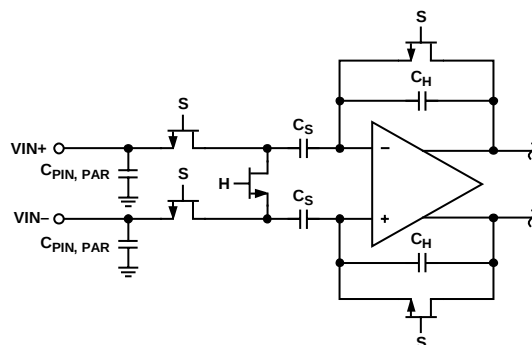


图36. 开关电容SHA输入

为得到最佳动态性能，必须保证驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会由ADC的共模抑制而减小。

内部差分基准电压缓冲器用于形成两个基准电压，进而决定ADC内核的输入范围。ADC内核的输入范围由该缓冲器设置为 $2 \times V_{REF}$ 。这些基准电压不向用户提供。引出了两个旁路点REFT和REFB用于去耦，以降低内部基准电压缓冲器所产生的噪声。建议用一个 $0.1 \mu\text{F}$ 电容对REFT去耦到REFB，如“布局布线考虑”部分所述。

输入共模

AD9233的模拟输入端无内部直流偏置。在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件进行设置，使得 $V_{CM} = 0.55 \times AVDD$ ；但器件可以在更宽的范围内获得合理的性能(见图32)。芯片通过CML引脚提供板上共模基准电压。通过CML引脚提供模拟输入共模电压(典型值为 $0.55 \times AVDD$)时，可实现芯片的最佳性能。必须用一个 $0.1 \mu\text{F}$ 电容对CML去耦到地，如“布局布线考虑”部分所述。

差分输入配置

通过差分输入配置驱动AD9233时，可实现芯片的最佳性能。在基带应用中，AD8138差分驱动器能够为ADC提供出色的性能和灵活的接口。通过AD9233的CML引脚，可以方便地设置AD8138的输出共模电压(见图37)；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

AD9233

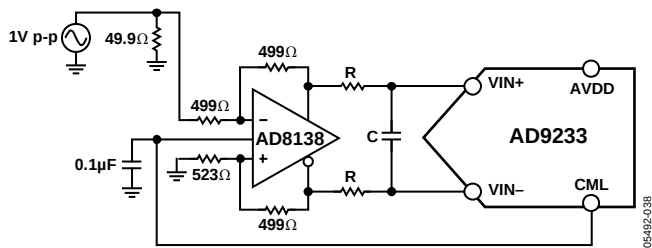


图37. 利用AD8138进行差分输入配置

在SNR为关键参数的基带应用中，建议使用的输入配置是差分变压器耦合，如图38的示例。为实现模拟输入偏置，须将CML电压连接到变压器次级绕组的中心抽头处。

在选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时产生饱和现象；信号功率过大也可导致内核磁芯饱和，从而引起失真。

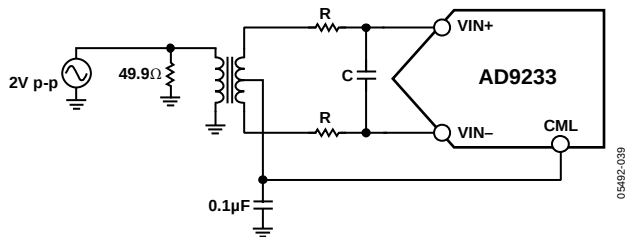


图38. 差分变压器耦合配置

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到AD9233真正的SNR性能。在SNR为关键参数的应用中，建议使用的输入配置是变压器耦合。在SFDR为关键参数的应用中，建议使用的输入配置是差分双巴伦耦合，实例如图39所示。

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用AD8352差分驱动器，实例如图40所示。

在任何配置中，并联电容值C均取决于输入频率和源阻抗，并且可能需要降低电容量或去掉该并联电容。表8列出了设置RC网络的建议值。不过，这些值取决于输入信号，且只能用作初始参考。

表8. RC网络建议值

频率范围(MHz)	串联电阻R(Ω)	差分电容C(pF)
0至70	33	15
70至200	33	5
200至300	15	5
>300	15	开路

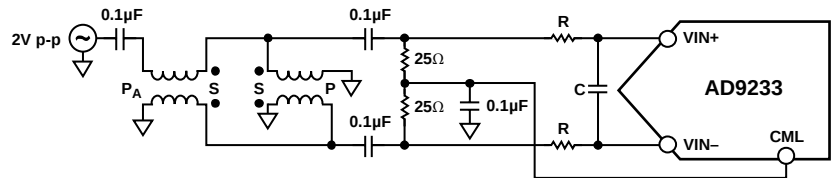


图39. 差分双巴伦输入配置

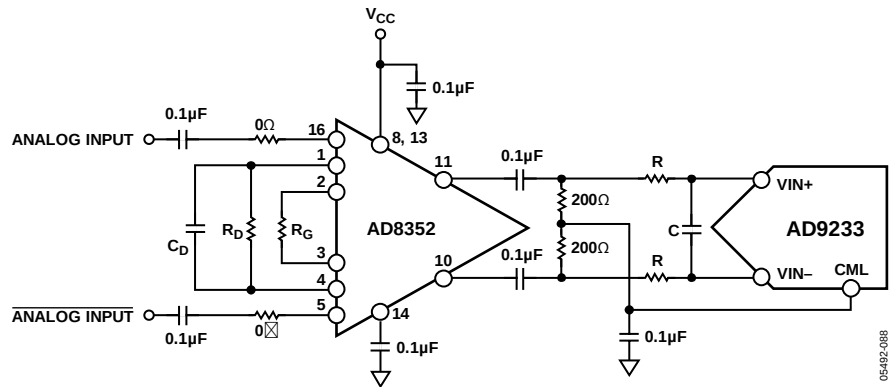


图40. 利用AD8352进行差分输入配置

单端输入配置

只要输入电压摆幅在AVDD电源电压范围内，AD9233便可工作在单端输入配置下，但不推荐这样做。单端操作在对成本敏感的应用中可以实现足够的性能。在此配置中，由于输入共模摆幅较大，因此会降低无杂散动态范围(SFDR)和失真性能。如果每个输入端的各信号源阻抗都是匹配的，则对信噪比(SNR)性能的影响极小。图41详细显示了典型的单端输入配置。

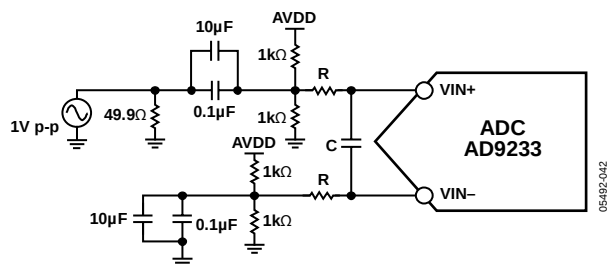


图41. 单端输入配置

基准电压源

AD9233内置稳定、精确的基准电压源。通过改变施加于AD9233的基准电压(内部基准电压或外部基准电压)，可以调整电压输入范围。ADC输入电压范围跟随基准呈线性变化。在接下来的部分中，将对各种基准电压模式进行介绍。“基准电压去耦”部分详细描述基准电压的最佳PCB布局布线方式和要求。

内部基准电压连接

AD9233的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成四种不同的状态(见表9)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图42)，因而将VREF设为1 V。

将SENSE引脚与VREF相连，可将基准放大器输出端切换至SENSE引脚，从而形成一个环路，提供0.5 V基准输出电压。如果芯片与一个外部电阻分压器相连(如图43)，则开关也切换至SENSE引脚。

这样，可使基准放大器进入同相模式；VREF输出端电压的计算公式如下：

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

如果SENSE引脚连接到AVDD引脚，则基准放大器禁用，可以将一个外部基准电压施加于VREF引脚(见外部基准电压部分)。

无论芯片使用内部基准电压还是外部基准电压，ADC的电压输入范围始终是基准电压引脚电压的两倍。

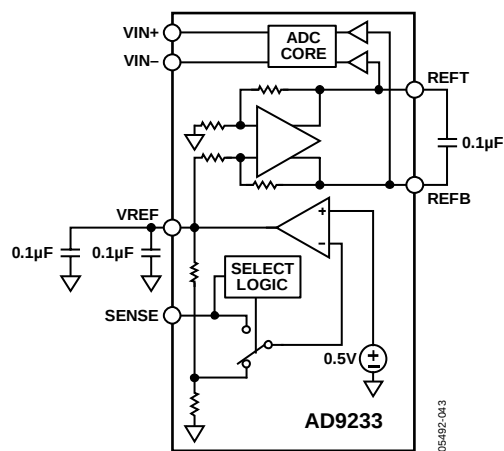


图42. 内部基准电压配置

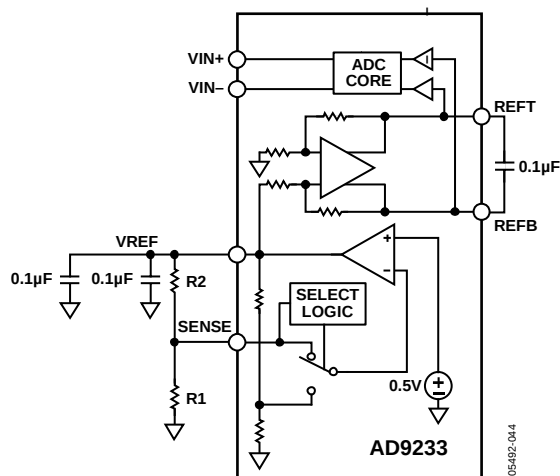


图43. 可编程基准电压配置

如需利用AD9233的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图44说明负载如何影响内部基准电压。

AD9233

表9. 基准电压配置汇总

选择模式	SENSE电压	相应的VREF (V)	相应的差分范围(Vp-p)
外部基准电压	AVDD	不可用	2 × 外部基准电压
内部固定基准电压	VREF	0.5	1.0
可编程基准电压	0.2 V 至 VREF	$0.5 \times (1 + R2/R1)$ (见图43)	2 × VREF
内部固定基准电压	AGND 至 0.2 V	1.0	2.0

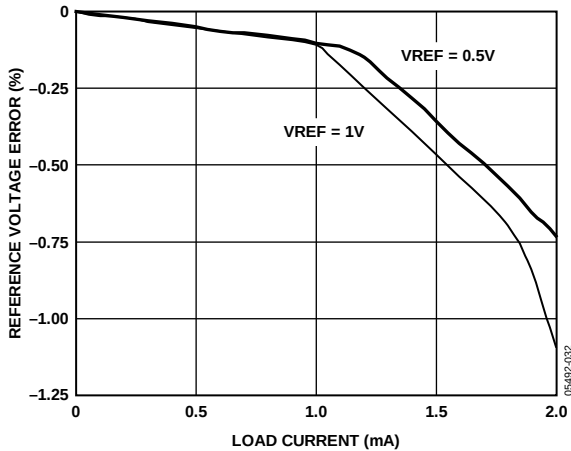


图44. VREF精度与负载的关系

外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度、改善热漂移特性。图45显示内部基准电压为1.0V和0.5V时的典型漂移特性。

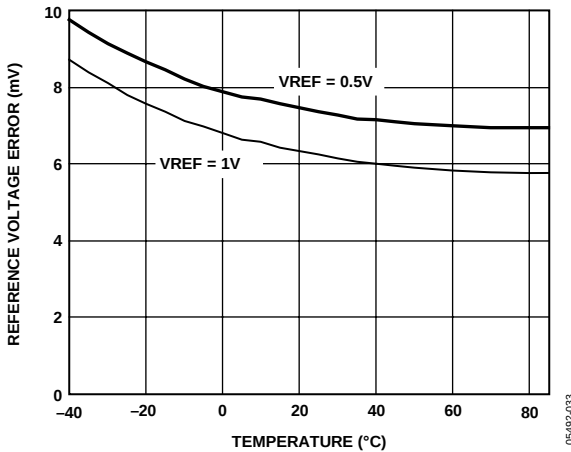


图45. 典型VREF漂移

将SENSE引脚与AVDD引脚相连，可以禁用内部基准电压，从而允许使用外部基准电压。内部电阻分压器对外部基准电压等效为6 kΩ负载(见图11)。此外，内部缓冲器可以为ADC内核生成正、负满量程基准电压。因此，外部基准电压的最大值为1 V。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9233采样时钟输入端(CLK+和CLK-)的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到CLK+引脚和CLK-引脚。CLK+和CLK-引脚有内部偏置(见图5)，无需外部偏置。

时钟输入选项

AD9233的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见“抖动考虑”部分说明)。

图46显示了一种为AD9233提供时钟信号的首选方法。利用射频变压器，可将低抖动时钟源的单端信号转换成差分信号。跨接在变压器次级上的背对背肖特基二极管可以将输入到AD9233中的时钟信号限制为约差分0.8 V峰峰值。这样，既可以保留信号的快速上升和下降时间，还可以防止时钟的大电压摆幅馈通至AD9233的其它部分，这一点对低抖动性能来说非常重要。

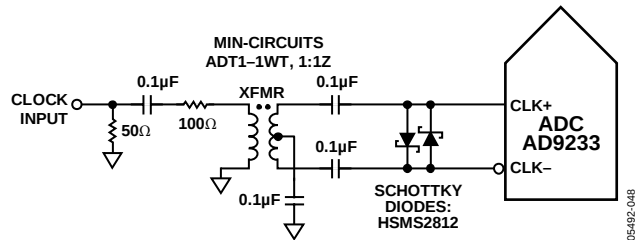


图45. 典型VREF漂移

如果没有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图47所示)。AD9510 / AD9511 / AD9512 / AD9513 / AD9514 / AD9515系列时钟驱动器具有出色的抖动性能。

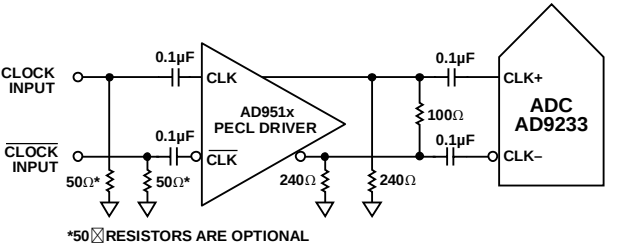


图47. 差分PECL采样时钟

第三种方法是对差分LVDS信号进行交流耦合，并传输至采样时钟输入引脚(如图48所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515系列时钟驱动器具有出色的抖动性能。

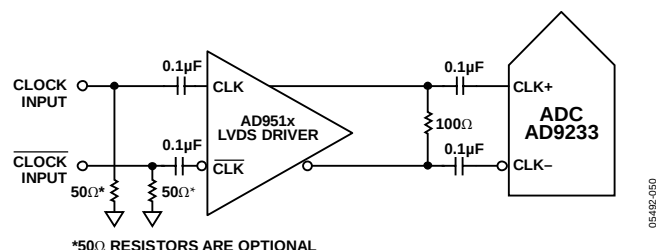


图48. 差分LVDS采样时钟

在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过一个0.1 μF电容旁路至地。虽然CLK+输入电路电源为AVDD(1.8 V)，但该输入电路可支持高达3.6 V的输入电压，因此，驱动逻辑的电压选择非常灵活。用1.8 V CMOS信号驱动CLK+时，要求通过一个0.1 μF电容与一个39 kΩ电阻的并联偏置CLK-引脚(见图49)。用3.3 V CMOS信号驱动CLK+时，则不需要39 kΩ电阻(见图50)。

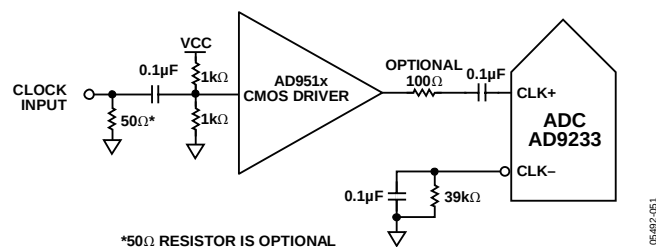


图49. 单端1.8 V CMOS采样时钟

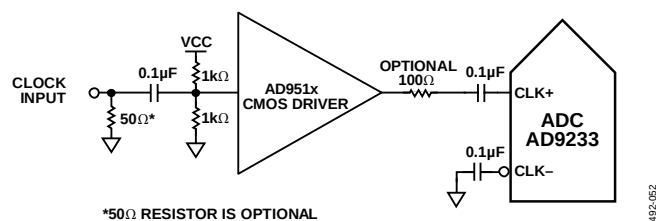


图50. 单端3.3 V CMOS采样时钟

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为±5%。

AD9233内置一个占空比稳定器(DCS)，可对非采样边沿(或下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，时钟输入占空比范围非常广，且不会影响

AD9233的性能。当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的(如图31所示)。

输入上升沿的抖动依然非常重要，且无法借助内部稳定电路降低这种抖动。当时钟速率低于20 MHz(标称值)时，占空比控制环路没有作为。在时钟速率动态改变的应用中，必须考虑与环路相关的时间常量。如果动态时钟频率增加或下降，在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。在环路处于非锁定状态时，DCS环路被旁路，内部器件定时取决于输入时钟信号的占空比。在此类应用中，建议禁用占空比稳定器。在所有其它应用中，建议使能DCS电路，以便获得最佳交流性能。

在外部引脚模式下工作时，通过设置SDIO/DCS引脚可以使能或禁用DCS(见表10)；或者通过SPI，如表15所示。

表10. 模式选择(外部引脚模式)

引脚电压	SCLK/DFS	SDIO/DCS
AGND	二进制(默认)	DCS禁用
AVDD	二进制补码	DCS使能(默认)

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(F_{IN})下，由于抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$SNR = -20 \log(2\pi \times F_{IN} \times t_j)$$

公式中，均方根孔径抖动(t_j)表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(如图51所示)。

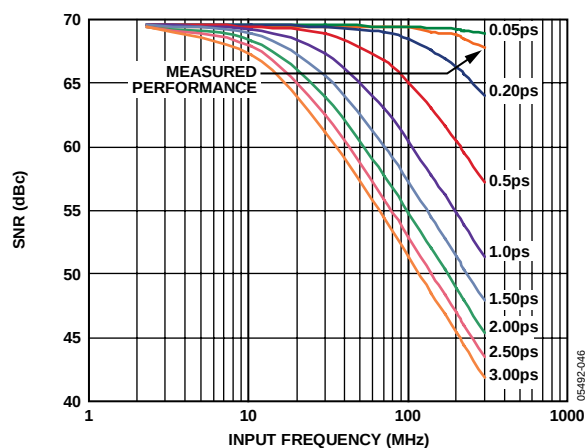


图51. 信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD9233的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。时钟驱动器同样不应与缓冲器等模拟输入电路共用电源，以免在输入信号中混入时钟信号或者相反。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源（通过门控、分频或其它方法），则需要在后面利用原始时钟进行重定时。

如需深入了解更多与ADC相关的抖动性能信息，请参阅应用笔记AN-501“孔径不确定性与ADC系统性能”和AN-756“采样系统与时钟相位噪声和抖动的影响”。

功耗和待机模式

如图52和图53所示，AD9233的功耗与其采样速率成比例关系。数字功耗主要由数字驱动器的强度和每个输出位的负载大小决定。最大DRVDD电流值(I_{DRVDD})的计算公式如下：

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times \frac{f_{CLK}}{2} \times N$$

其中N为输出位数(对于AD9233，N = 12)。

当每个输出位在每个时钟周期内都发生切换时(即以 $f_{CLK}/2$ 的奈奎斯特频率产生满量程方波时)，电流达到最高值。实际操作中，DRVDD电流由输出位切换的平均数确定，后者取决于采样速率和模拟输入信号的特性。降低输出驱动器的容性负载可以很好地降低数字功耗。

图52和图53所用的数据基于与测量典型工作特性相同的工作条件，每个输出驱动器的负载为5 pF。

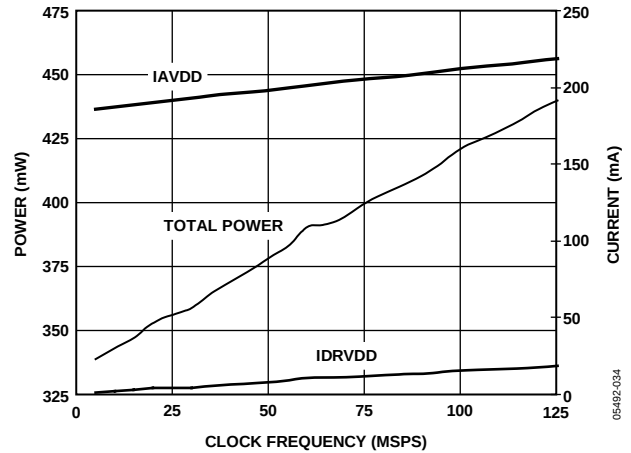


图52. AD9233-125功率和电流与时钟频率的关系， $F_{IN} = 30$ MHz

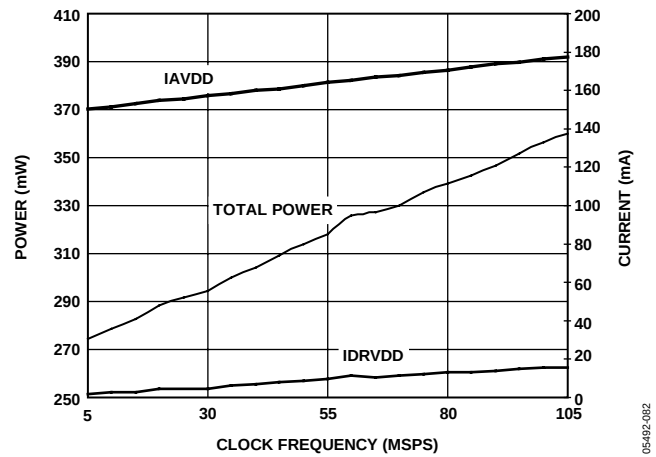


图53. AD9233-105功率和电流与时钟频率的关系， $F_{IN} = 30$ MHz

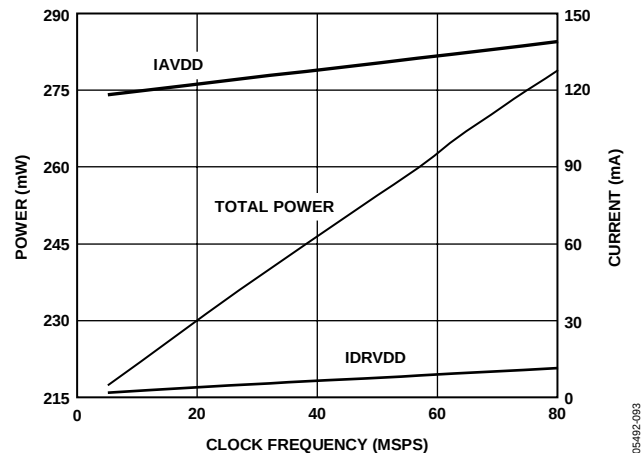


图54. AD9233-80功率和电流与时钟频率的关系， $F_{IN} = 30$ MHz

掉电模式

将PDWN引脚置位高电平，可使AD9233进入掉电模式。在这种状态下，ADC的典型功耗为1.8 mW。在掉电模式下，输出驱动器处于高阻抗状态。将PDWN引脚重新置位低电平后，AD9233返回正常工作模式。此引脚兼容1.8 V和3.3 V。

在掉电模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入掉电模式时，REFT和REFB上的去耦电容放电；返回正常工作模式时，去耦电容必须重新充电。因此，唤醒时间与处于掉电模式的时间有关；处于掉电模式的时间越短，则相应的唤醒时间越短。REFT和REFB上采样推荐的0.1 μ F去耦电容时，约需要0.25 ms才能使基准电压缓冲器的去耦电容完全充电，并需要0.35 ms才能恢复正常工作。

待机模式

使用SPI接口接口时，用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。更多信息见存储器映射部分。

数字输出

通过DRVDD将接口逻辑电路的数字电源实现对应，AD9233输出驱动器可配置为兼容1.8 V至3.3 V系列的逻辑电平接口。输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。因此，在那些需要ADC来驱动大容性负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。

在外部引脚模式下，设置SCLK/DFS引脚可以控制数据以偏移二进制格式或二进制补码格式输出(见表10)。如用户手册“[通过SPI与高速ADC接口](#)”中所述，在SPI控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

表12. 输出数据格式

条件(V)	二进制输出模式	二进制补码模式	格雷码模式(可通过SPI访问)	OR
$V_{IN+} - V_{IN-} < -V_{REF} - 0.5 \text{ LSB}$	0000 0000 0000	1000 0000 0000	1100 0000 0000	1
$V_{IN+} - V_{IN-} = -V_{REF}$	0000 0000 0000	1000 0000 0000	1100 0000 0000	0
$V_{IN+} - V_{IN-} = 0$	1000 0000 0000	0000 0000 0000	0000 0000 0000	0
$V_{IN+} - V_{IN-} = +V_{REF} - 1.0 \text{ LSB}$	1111 1111 1111	0111 1111 1111	1000 0000 0000	0
$V_{IN+} - V_{IN-} > +V_{REF} - 0.5 \text{ LSB}$	1111 1111 1111	0111 1111 1111	1000 0000 0000	1

超范围(OR)状况

当模拟输入电压超出ADC的输入范围时，即发生超范围状况。OR是一个数字输出，与对应特定采样输入电压的输出数据一同更新。因此，OR具有与数字数据相同的流水线延迟。

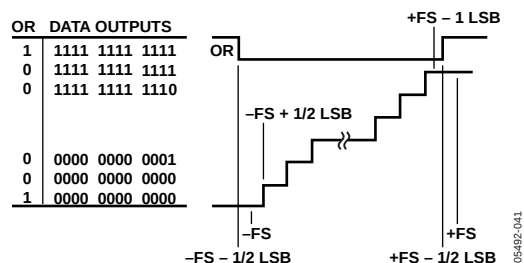


图56.超范围/欠范围逻辑

当模拟输入电压在模拟输入范围以内时，OR为低电平；当模拟输入电压超出输入范围时，OR为高电平，如图55所示。OR将保持高电平，直到模拟输入回到输入范围以内，并且完成了另一次转换为止。对OR位与MSB及其补码执行逻辑“和”运算，可以检测超范围高电平或欠范围低电平状况。表11为图56的超范围/欠范围电路的真值表，该电路使用NAND门电路。

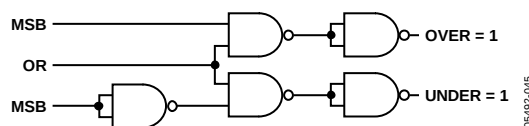


表11. 超范围/欠范围真值表

OR	MSB	模拟输入:
0	0	在范围内
0	1	在范围内
1	0	欠范围
1	1	超范围

数据输出使能功能(OEB)

AD9233具有三态功能。若OEB引脚处于低电平状态，则使能输出数据驱动器。若OEB引脚处于高电平状态，则将输出数据驱动器置于高阻态。此功能不适用于快速访问数据总线。注意，OEB以数字电源电压(DRVDD)为基准，且不得高于该电压。

AD9233

时序

AD9233的典型最低转换速率为10 MSPS。当时钟速率低于10 MSPS时，芯片的动态性能会有所下降。

AD9233提供流水线延迟为12个时钟周期的锁存数据输出。在经过时钟信号上升沿后的一个传播延迟时间(tPD)之后，产生输出数据。

为降低AD9233内的瞬时现象，应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象会降低转换器的动态性能。

数据时钟输出(DCO)

AD9233提供数据时钟输出(DCO)，用于采集数据至外部寄存器中。数据输出在DCO的上升沿有效，除非通过SPI改变了DCO时钟的极性。时序图参见图2

串行端口接口(SPI)

AD9233 SPI允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。这使得用户能够更加灵活地运用器件，并根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位构成，并且进一步划分为多个区域，如“存储器映射”部分所述。如需了解更多操作信息，请参阅用户手册“[通过SPI与高速ADC接口](#)”。

使用SPI的配置

如表13所示，该ADC的SPI由三部分组成：SCLK/DFS引脚用于同步提供给ADC的读出和写入数据。SDIO/DCS双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表13. 串行端口接口引脚

引脚名称	描述
SCLK/DFS	SCLK(串行时钟)是串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO/DCS	SDIO(串行数据输入/输出)是双功能引脚，通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	CSB(片选信号)是低电平有效控制信号，用来对读写周期进行选通。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图57和表14分别为串行时序图范例及其规定。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态(这称作流)。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。在上电期间，当CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。如果CSB在上电时为高电平，然后变为低电平以激活SPI，则SPI引脚的第二功能不再可用，除非器件再次掉电重启。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将串行数据输入/输出(SDIO)引脚的数据传输方向设置为输入或输出。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而允许通过串行端口对芯片进行编程或是读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

数据可通过MSB优先或LSB优先的模式进行发送。芯片上电后，默认采用MSB优先的方式，可以通过配置寄存器来更改数据发送方式。如需了解更多信息，请参阅用户手册“[通过SPI与高速ADC接口](#)”。

表14. SPI时序图规格

名称	描述
t _{DS}	数据与SCLK上升沿之间的建立时间
t _{DH}	数据与SCLK上升沿之间的保持时间
t _{CLK}	时钟周期
t _S	CSB与SCLK之间的建立时间
t _H	CSB与SCLK之间的保持时间
t _{HI}	SCLK应处于逻辑高电平状态的最短时间
t _{LO}	SCLK应处于逻辑低电平状态的最短时间

硬件接口

表13中所描述的引脚包括用户编程器件与AD9233的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，PROM或PIC微控制器均可控制该接口，因而用户能够使用其它方法对ADC编程。应用笔记[AN-812](#)中详细介绍了一种方法。

当不使用SPI接口时，有些引脚用作第二功能。在器件上电期间，当引脚与AVDD或接地端连接时，这些引脚可起到特定的作用。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/DCS引脚和SCLK/DFS引脚用作独立的CMOS兼容控制引脚。当器件上电时，CSB片选引脚与AVDD相连，从而禁用串行端口接口。这种模式下，假设用户希望将这些引脚用作静态控制线，分别控制输出数据格式和占空比稳定器(见表10)。如需了解更多信息，请参阅用户手册“[通过SPI与高速ADC接口](#)”。

存储器映射

读取存储器映射表

存储器映射表的每一行有8个地址位。存储器映射大致分为三个部分：芯片配置寄存器映射(地址0x00至地址0x02)、器件索引和传送寄存器映射(地址0xFF)以及ADC功能映射(地址0x08至地址0x18)。

存储器映射寄存器表(见表15)的第一栏显示十六进制寄存器地址码，最后一栏显示各十六进制地址的默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，十六进制地址0x16，output_phase的十六进制默认值为0x00。这表明，位3=0，位2=0，位1=0，位0=0或0000(二进制)。此设置是默认的输出时钟或DCO相位调整选项。该默认值将DCO相位调整为相对于标称DCO沿90°和相对于数据沿180°。如需了解有关此功能的更多信息，请参阅用户手册“[通过SPI与高速ADC接口](#)”。

禁用的地址

此器件目前不支持标示为禁用的地址。需要时，这些地址应写入0。当一个地址(例如地址0x14)仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址(例如地址0x13)均禁用，则无需对该地址进行写操作。

默认值

复位后，将对关键寄存器内载入默认值。表15列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。

SPI访问特性

下面列出了可通过SPI访问和设定的特性以及这些特性的简要说明。有关这些特性的详细说明，请参阅用户手册“通过SPI与高速ADC接口”。

- 模式：设置掉电或待机模式。
- 时钟：通过SPI访问DCS。
- 失调：以数字方式调整转换器失调。
- 测试I/O：设置测试模式，以便在输出位上获得已知数据。
- 输出模式：设置输出，改变输出驱动器的强度。
- 输出相位：设置输出时钟极性。
- VREF：设置基准电压。

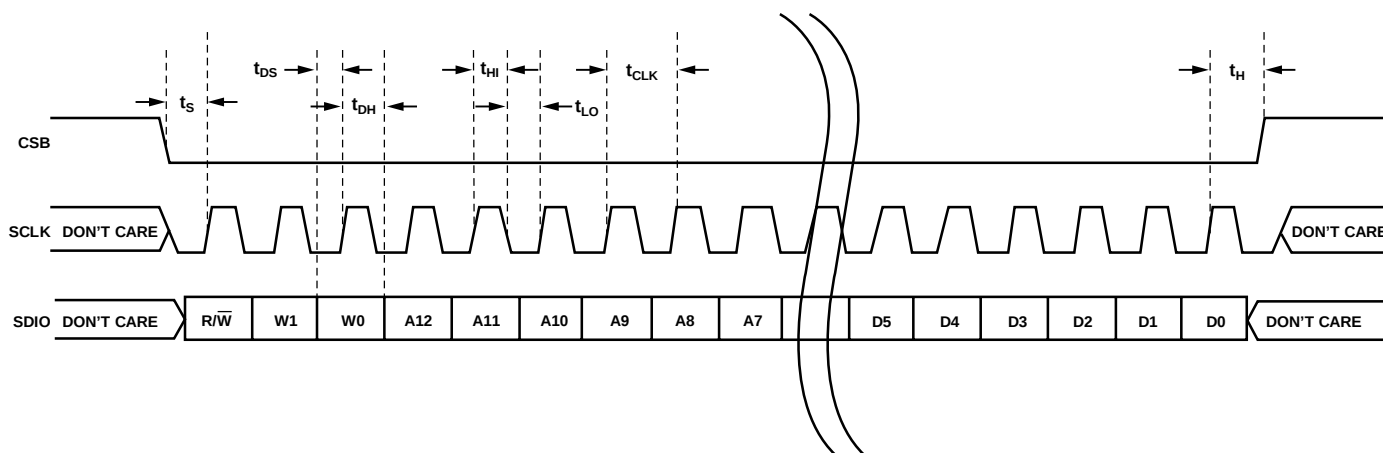


图57.串行端口接口时序图

表15. 存储器映射寄存器

地址 (十六 进制)	参数名称	位7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值 (十六 进制)	默认值注释
芯片配置寄存器											
00	chip_port_config	0	LSB优先 0 = 关 (默认值) 1 = 开	软件复位 0 = 关 (默认值) 1 = 开	1	1	软件复位 0 = 关 (默认值) 1 = 开	LSB优先 0 = 关 (默认值) 1 = 开	0	0x18	半字节之间应 建立镜像关系。 参见“ 通过SPI 与高速ADC接 口 ”。
01	chip_id	8-Bit Chip ID Bits 7:0 (AD9233 = 0x00), (Default)								只读	默认值为唯一 芯片ID, 各器 件均不相同。
02	chip_grade	禁用	禁用	禁用	禁用	Child ID 0 = 125 MSPS, 1 = 105 MSPS	禁用	禁用	禁用	只读	子ID用来区分 速度等级。
器件索引和传送寄存器											
FF	device_update	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SW传输	0x00	从主移位寄存 器向从移位寄 存器同步传输 数据。
ADC全局功能											
08	模式	禁用	禁用	PDWN 0—完全 1—待机	禁用	禁用	内部掉电模式 000—正常(上电) 001—完全掉电 010—待机 011—正常(上电) 注意: 外部PDWN引脚 优先于此设置。			0x00	决定芯片的一 般工作模式。 参见功耗和待 机模式及SPI 访问特性部分。
09	时钟	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比 稳定器 0—禁用 1—使能	0x01	参见时钟占空 比和SPI访问 特性部分。
ADC灵活功能											
10	失调			数字失调调整<5:0> 011111 011110 011101 ... 000010 000001 000000 111111 111110 111101 ... 100001 100000			用LSB表示的失调 +7 3/4 +7 1/2 +7 1/4 ... +1/2 +1/4 0 -1/4 -1/2 -3/4 ... -7 3/4 -8			0x00	可调整转换器 固有的失调。 参见SPI访问特 性部分。

AD9233

地址 (十六进制)	参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认值注释
0D	test_io		PN23 0 = 正常 1 = 复位	PN9 0 = 正常 1 = 复位			全局输出测试选项 000 = 关 001—中间电平短路 010—+FS短路 011—-FS短路 100—检验板输出 101—PN 23序列 110—PN 9 111—1/0字反转			0x00	参见“ 通过SPI与高速ADC接口 ”。
14	output_mode	输出驱动器配置 00: DRVDD = 3.3V 10: DRVDD = 1.8V		禁用	输出禁用 1—禁用 0—使能 ¹	禁用	输出数据反相 1 = 反相	数据格式选择 00—偏移二进制 (默认值) 01—二进制补码 10—格雷码		0x00	配置数据的输出和格式以及输出驱动器强度。
16	output_phase	DCO极性 1 = 反相 0 = 正常	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0x00	参见SPI访问特性部分。。
18	VREF	内部基准电压电阻分压器 00—VREF = 1.25 V 01—VREF = 1.5 V 10—VREF = 1.75 V 11—VREF = 2.00 V		禁用	禁用	禁用	禁用	禁用	禁用	0xC0	参见SPI访问特性部分。

¹ 外部输出使能(OEB)引脚必须为高电平。

布局布线考虑

电源和接地建议

建议使用两个独立的电源为AD9233供电：一个用于模拟端(AVDD, 标称1.8 V)，一个用于数字端(DRVDD, 标称1.8 V至3.3 V)。如果仅提供一个1.8 V电源, 则应先连接到AVDD, 然后分接出来, 并用铁氧体磁珠或滤波扼流圈及去耦电容隔离, 再连接到DRVDD。用户可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置处, 尽可能地缩短走线长度。

AD9233仅需要一个PCB接地层。只要对板的模拟、数字和时钟部分进行适当的去耦和巧妙的分隔, 就能轻松实现最佳性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能, 必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露的完整铜平面应与AD9233的裸露焊盘(引脚0)匹配。铜平面上应有多个通孔, 以便获得尽可能低的热阻路径以通过PCB底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现ADC与PCB之间的覆盖与连接, 应在PCB上覆盖一个丝印层, 以便将PCB上的连续平面划分为多个均等的部分。这样, 在回流焊过程中, 可在二者之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。可以参考图58所示的PCB布局布线范例。如需了解有关封装和芯片级封装PCB布局布线的详细信息, 请参阅应用笔记AN-772: “LFCSP封装设计与制造指南”。

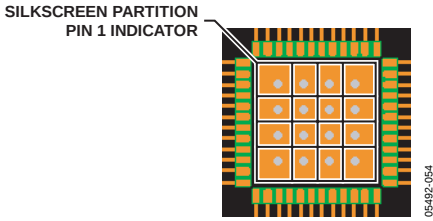


图58.典型PCB布局布线

CML

CML引脚应通过一个0.1 μF 电容去耦至地(见图38)。

RBIAS

AD9233要求用户将一10 $\text{k}\Omega$ 电阻置于RBIAS引脚与地之间。该电阻用来设置ADC内核的主基准电流, 该电阻容差至少为1%。

基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μF 陶瓷电容和一个低ESR 1.0 μF 电容的并联去耦至地。在所有基准电压配置中, REFT和REFB都是旁路点, 用于降低内部基准电压缓冲器所贡献的噪声。建议将一个外部0.1 μF 陶瓷电容置于REFT/REFB上。不放置此0.1 μF 电容时, SNR性能降低约0.1 dB。所有基准电压去耦电容都应尽可能靠近ADC放置, 使走线长度最短。

评估板

AD9233评估板提供了在各种模式和配置下运行ADC所需的全部电路支持。转换器既可以通过双巴伦配置(默认)差分驱动,也可以通过AD8352差分驱动器来驱动。此外,ADC还可在单端模式下驱动。分开的电源引脚用于将DUT与AD8352驱动电路隔离。通过连接不同的元件,可以选择各个输入配置。图59显示的是典型的平台特性设置,可用于评估AD9233的交流性能。

为实现转换器的最佳性能,须保证模拟输入和时钟的信号源的相位噪声极低(<1 ps均方根抖动)。为达到指定的噪声性能,须对模拟输入信号进行适当的滤波,从而清除谐波、降低输入端的累积噪声或宽带噪声。

图60至图70给出了系统级布线和接地技术的完整原理图及布局布线图。

电源

该评估板带有一个开关电源,它支持的最大输出电压为6 V、最大输出电流为2 A。该开关电源只需输入额定电压为100 V至240 V的交流电源(频率为47 Hz至63 Hz)。另一端是一个内径为2.1 mm的插孔,该插孔通过P500与PCB相连。在PC板上,6 V电源经过保险丝和调理之后,连接至5个低压差线性调节器。那些低压差线性调节器可为板上各个部分提供适当的偏置电压。当评估板在非默认条件下工作时,可以移除L501、L503、L504、L508和L509,以断开开关电源。这样,用户可以单独为评估板的各个部分提供适当的偏置电压。通过P501可为每个部分连接一个独立的电源。

至少需要为AVDD_DUT和DRVDD_DUT提供一个1 A 1.8 V电源,但建议为模拟端和数字端提供单独的电源。

在评估板上使用AD8352时,需要为评估板提供一个独立的5.0 V模拟电源。5.0 V电源(或AMP_VDD)的电流能力应为1 A。在评估板上使用另外的SPI选项时,除其它电源外,还需要为评估板提供一个独立的3.3 V模拟电源。3.3 V电源(AVDD_3.3V)的电流能力也应为1 A。用户可以利用焊接跳线J501、J502和J505来合并这些电源。更多信息参见图64。

输入信号

在连接时钟和模拟信号源时,使用低相位噪声的信号发生器,例如Rohde & Schwarz SMHU或Agilent HP8644信号发生器等。应使用一条1米长RG-58 50 Ω 屏蔽同轴电缆连接到评估板上。为ADC提供期望的频率和幅度下的输入。通常,ADI公司的大多数评估板可接受约2.8 V p-p 或13 dBm 正弦波输入信号,作为其时钟信号。当与模拟输入源相连时,建议使用带有50 Ω 端接电阻的多极窄带带通滤波器。ADI公司使用TTE®、Allen Avionics和K&L®类型的带通滤波器。可能时,应将滤波器与评估板直接相连。

输出信号

并联CMOS输出直接与ADI公司的标准单通道FIFO数据采样板(HSC-ADC-EVALB-SC)相连。如需了解更多关于FIFO板及其设置的信息,请访问www.analog.com/FIFO。

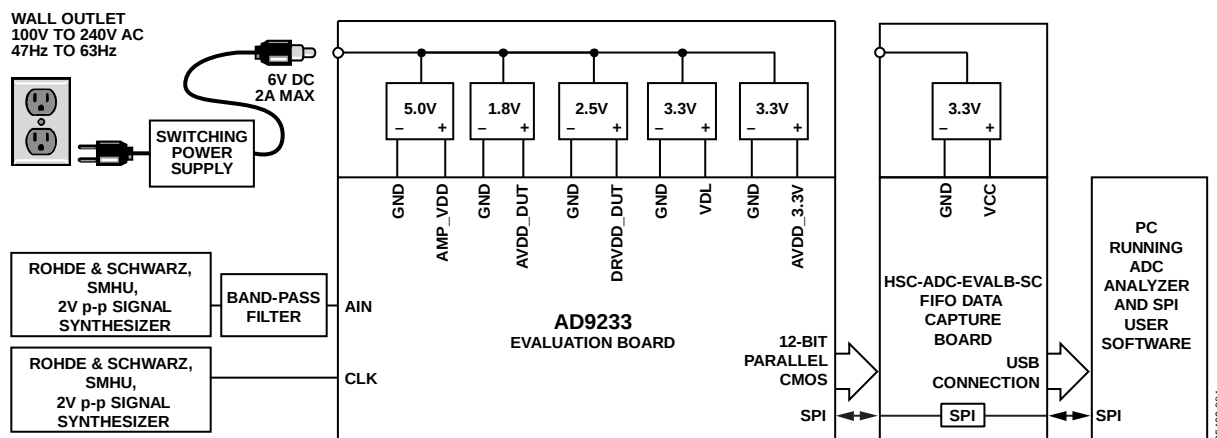


图59.评估板连接

默认操作与跳线选择设置

下文列出了AD9233 Rev. A评估板的默认和可选设置或模式。

电源

将评估套件内的开关电源连接在交流电源(额定电压为100 V至240 V交流电压, 频率为47 Hz至63 Hz)与P500之间。

VIN

评估板配置为双巴伦配置模拟输入, 带有与最高70 MHz频率信号匹配最佳的50 Ω 阻抗。为获得更大的带宽响应, 可以更换或移除模拟输入端之间的差分电容(见表8)。变压器中点抽头通过ADC的CML引脚来提供模拟输入共模电压。更多信息参见模拟输入考虑部分。

VREF

通过JP507(引脚1和引脚2), 可将SENSE引脚接地, 从而将VREF设置为1.0 V。这样, 可以让ADC在2.0 V峰峰值满量程范围内工作。此外, 评估板还提供了一个独立的外部基准电压选项。只需连接引脚2与引脚3之间的JP507, 连接JP501, 并在E500处提供外部基准电压。“基准电压”部分详细介绍了VREF选项的正确用法。

RBIAS

RBIAS需要通过一个10 k Ω 电阻(R503)与地相连, 用于设置ADC内核偏置电流。

CLOCK

默认的时钟输入电路由一个简单的变压器耦合电路构成, 它使用高带宽、阻抗比为1:1的变压器(T503), 在时钟路径内产生极低的抖动。时钟输入端带有50 Ω 端接电阻且输入信号经交流耦合, 用以处理单端正弦波输入信号。变压器将单端输入信号转换成差分信号, 该差分信号在进入ADC时钟输入端前被箝位。

PDWN

为利用芯片的掉电特性, 连接JP506, 将PDWN引脚短接至AVDD。

CSB

当CSB引脚被内部上拉, 芯片被设置为外部引脚模式, 从而忽略SDIO和SCLK信息。为了通过评估板上的SPI电路控制CSB引脚, 需连接JP1引脚1和引脚2。为将芯片设置为串行引脚模式并使能SDIO和SCLK引脚上的SPI信息, 需在始终使能模式下将JP1接低电平(连接引脚2和引脚3)。

SCLK/DFS

如SPI端口处于外部引脚模式, 则SCLK/DFS引脚可设置输出数据的格式。如果该引脚处于悬空, 则该引脚被内部下拉, 从而将默认条件设置为二进制。连接JP2引脚2和引脚3, 可将数据格式设置为二进制补码格式。如果SPI端口处于串行引脚模式, 连接JP2引脚1和引脚2, 可将SCLK引脚与板上SPI电路相连。更多信息参见串行端口接口(SPI)部分。

SDIO/DCS

如果SPI端口处于外部引脚模式, 则可通过SDIO/DCS引脚设置占空比稳定器。如果该引脚处于悬空, 则该引脚被内部上拉, 从而将默认条件设置为DCS使能。为禁用DCS, 需连接JP3引脚2和引脚3。如果SPI端口处于串行引脚模式, 连接JP3引脚1和引脚2, 可将SDIO引脚与板上SPI电路相连。更多信息参见串行端口接口(SPI)部分。

可选时钟配置

也可以使用AD9515(U500)差分LVPECL时钟来驱动ADC的时钟输入。当使用这一驱动选项时, 需要安装表16所列的元件。详情请参见AD9515数据手册。

为了配置模拟输入以驱动AD9515而不是使用默认变压器选项, 应增加、移除和/或更换下列元件:

- 从默认时钟路径内移除R507、R508、C532和C533;
- 在默认时钟路径内安装阻值为0 Ω 的R505和C531;
- 安装R511、R512、R513、R515至R524、U500、R580、R582、R583、R584、C536、C537和R586。

如果使用振荡器, 也有两个振荡器尺寸选项(OSC500)来检查ADC的性能。JP508使用户能够灵活地使用使能引脚, 大多数振荡器都有使能引脚。使用此选项需安装OSC500、R575、R587和R588。

可选模拟输入驱动配置

本部分对使用AD8352的可选模拟输入驱动配置进行简单的说明。当使用这一特定驱动选项时，需要安装表16所列的一些元件。如需了解更多关于AD8352差分驱动器的信息，包括其工作原理以及可选引脚设置情况，请参阅AD8352数据手册。

为了配置模拟输入以驱动AD8352而不是使用默认变压器选项，应增加、移除和/或更换下列元件：

- 从默认模拟输入路径内移除C1和C2。
- 在模拟输入路径内连接两个阻值为200 Ω 的电阻R3和R4。
- 在可选放大器输入路径内安装除R594、R595和C502以外的所有其它元件。注意，为了端接该输入路径，只应连接其中一组元件(R9、R592或R590和R591)。
- 在模拟输入路径内连接电容值为5 pF的电容C529。

目前，R561和R562安装了0 Ω 电阻以支持信号连接。如有其它要求，此区域允许用户设计一个滤波器。

原理图

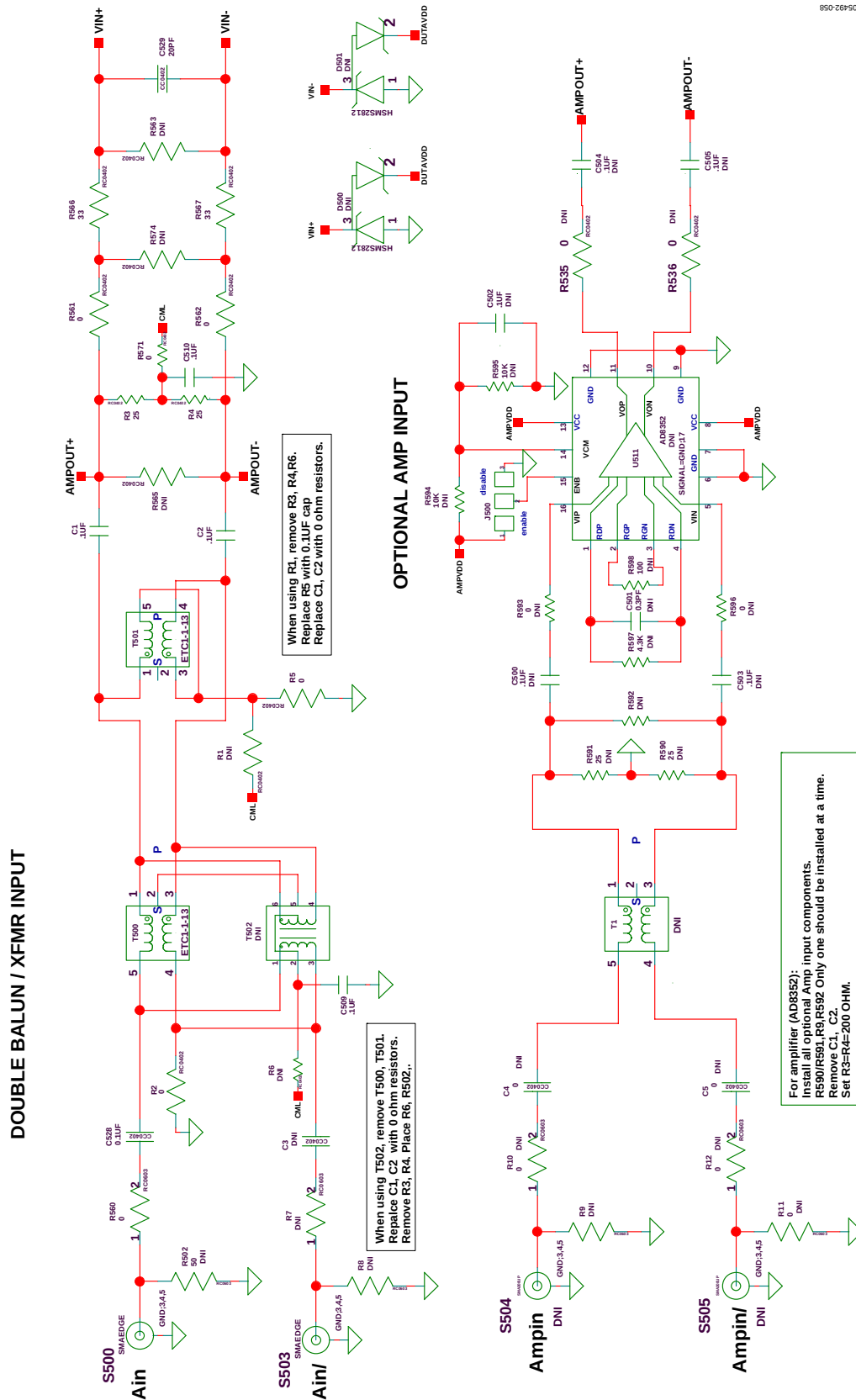


图60.评估板原理图，DUT模拟输入

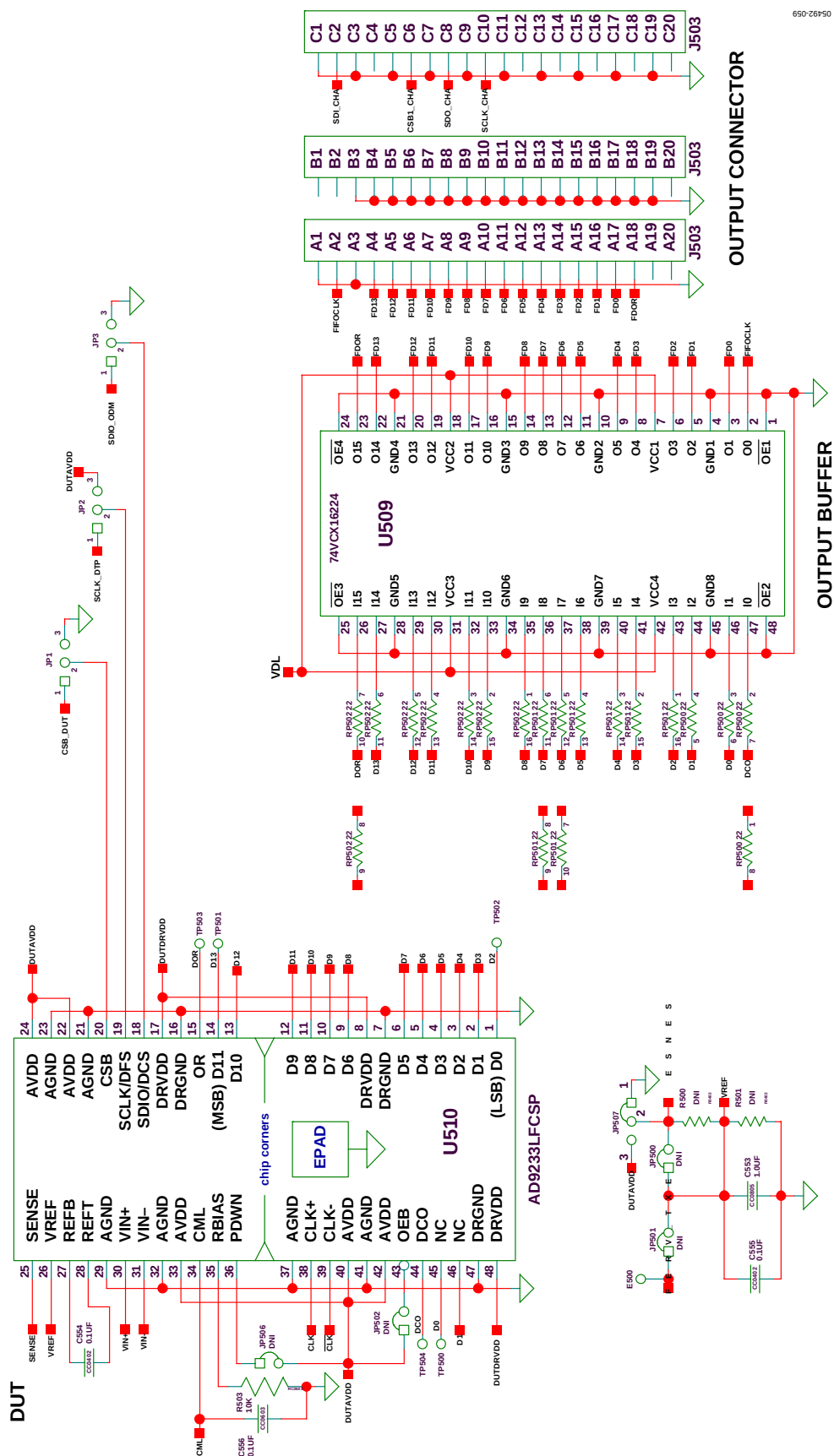


图61.评估板原理图, DUT、VREF和数字输出接口

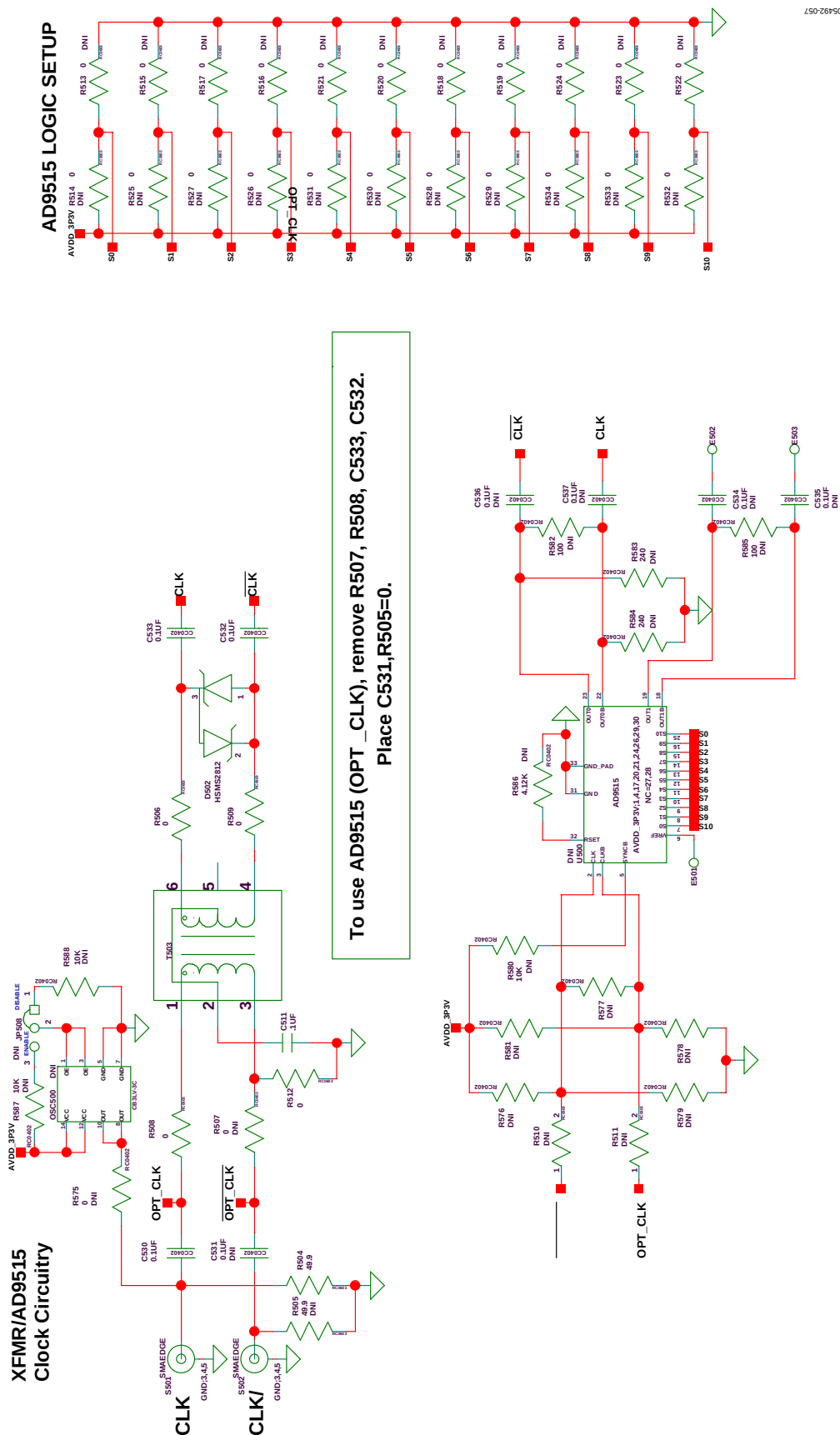
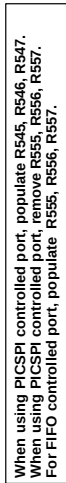


图62.评估板原理图，DUT时钟输入



Rev. A | Page 34 of 44

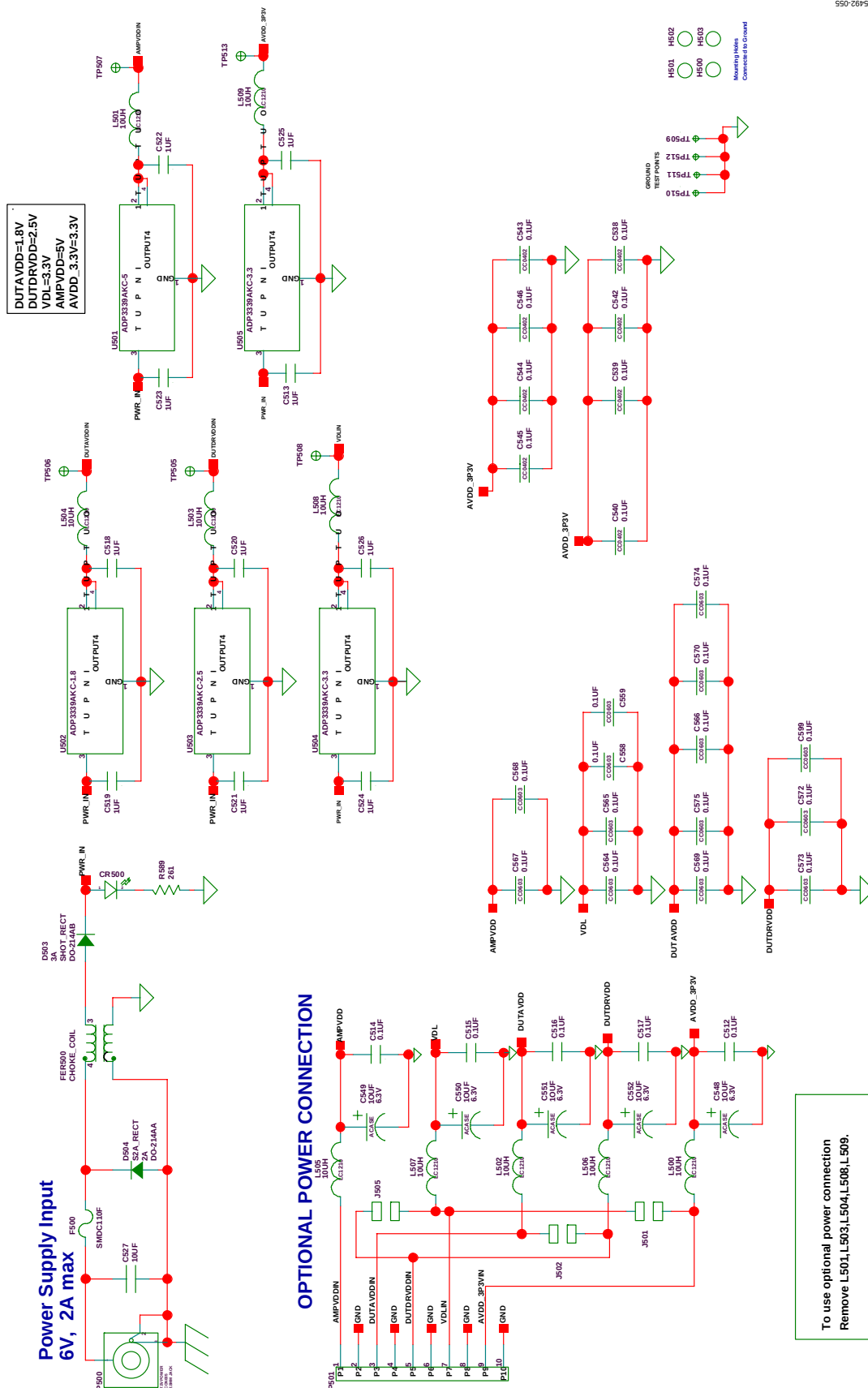


图64.评估板原理图，电源输入

评估板布局布线

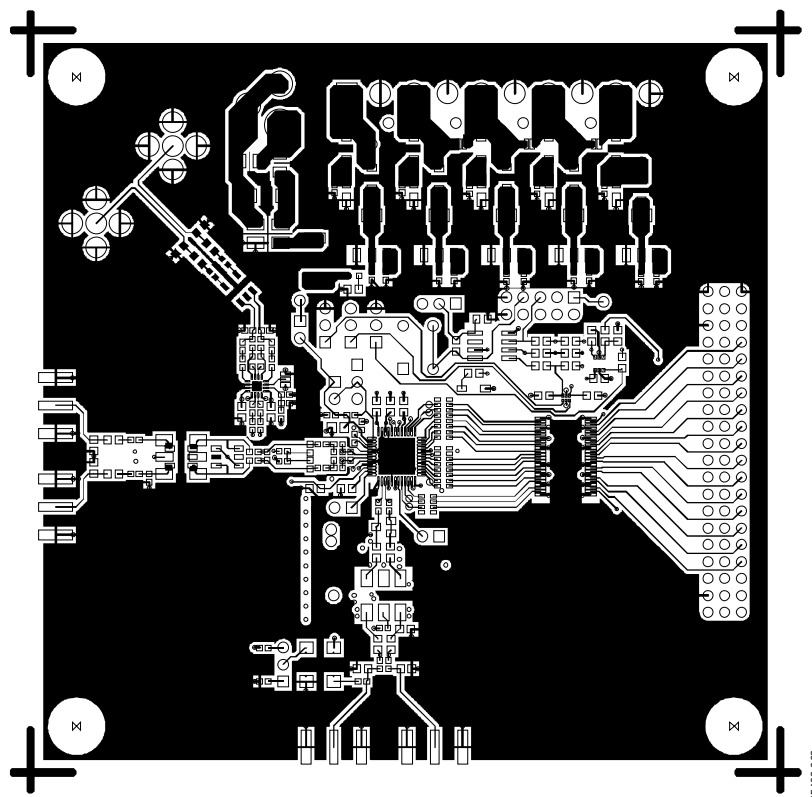


图65.评估板布局布线——主面

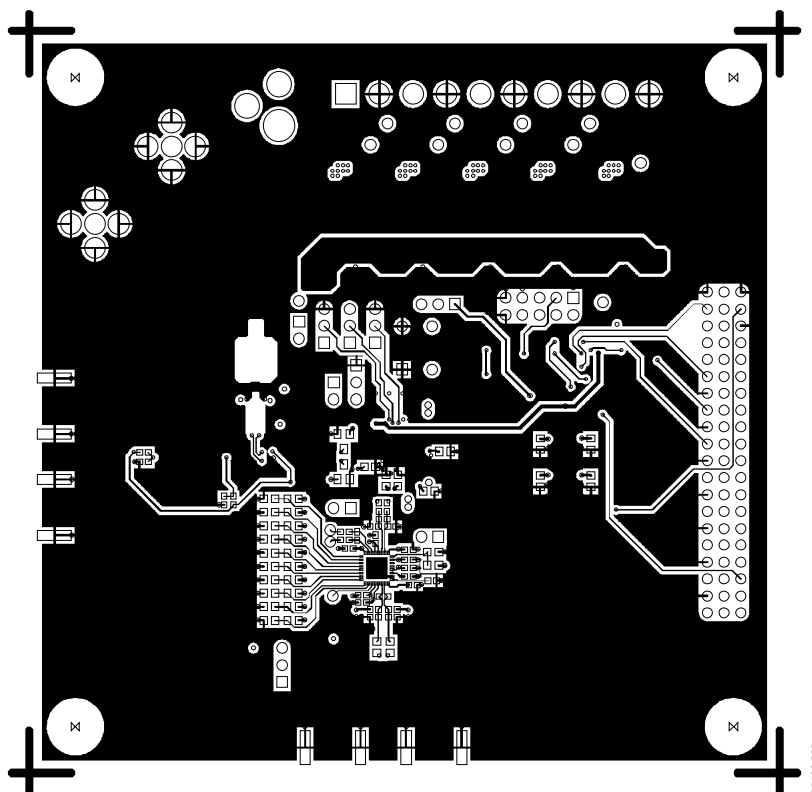


图66.评估板布局布线——辅面(镜像)

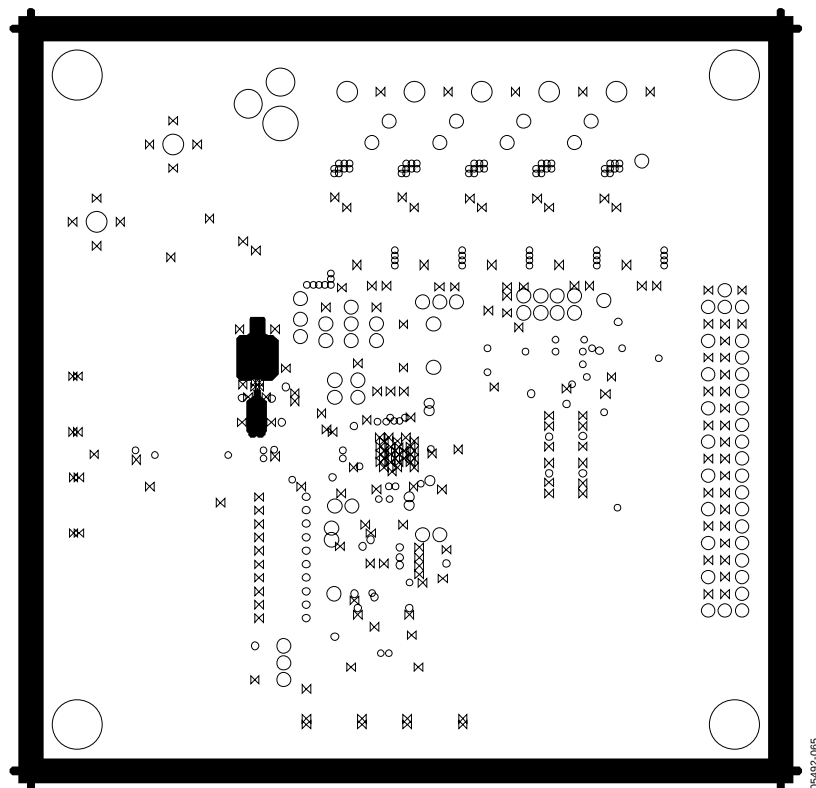


图67.评估板布局布线——地层

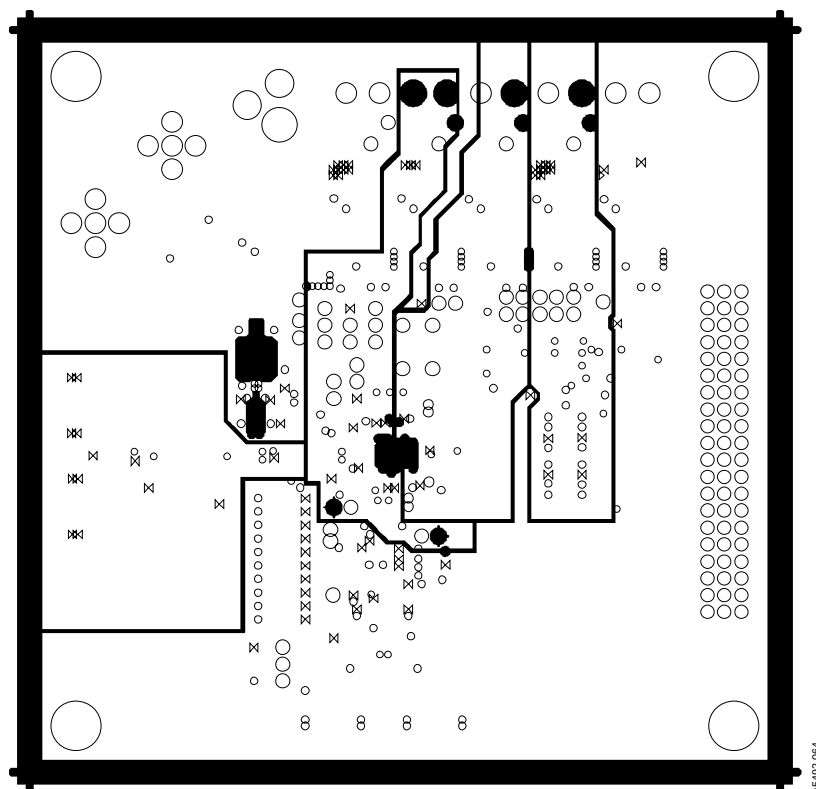


图68.评估板布局布线——电源层

AD9233

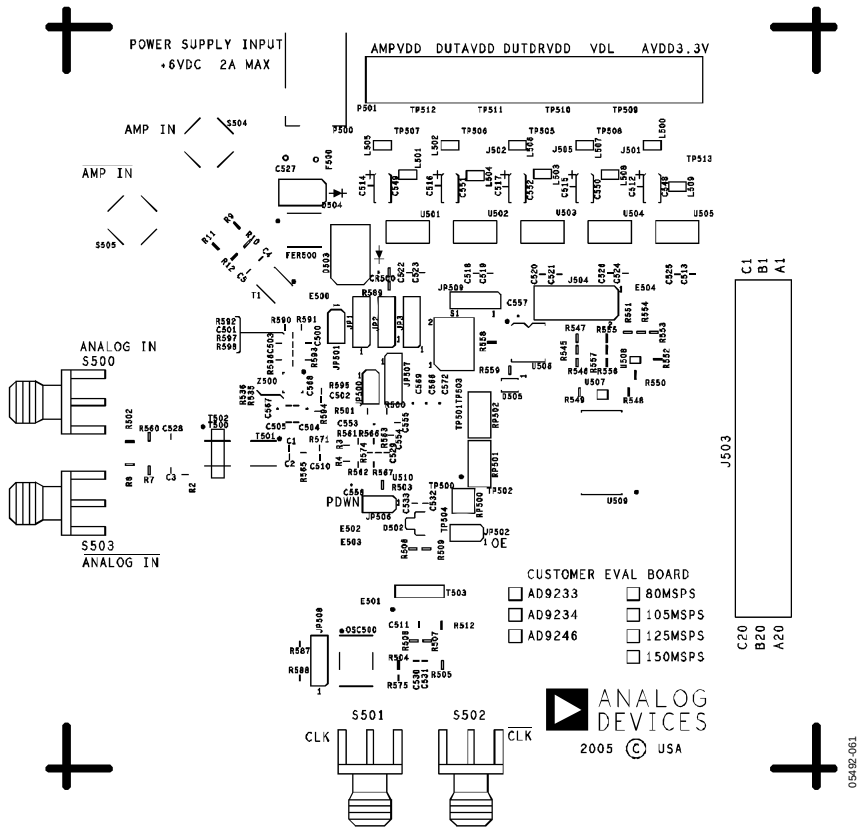


图69.评估板布局布线——主面丝印层

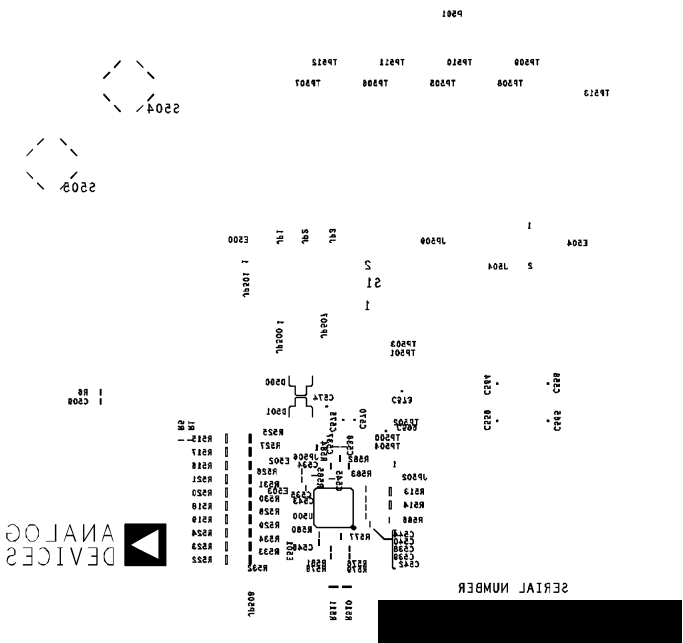


图70.评估板布局布线——辅面丝印层(镜像)

物料清单(BOM)

表16. 评估板BOM

项目	数量	省略 (DNI)	索引标识符	器件	封装	描述	供应商/产品型号
1	1		AD9246CE_REVA	PCB		PCB	Analog Devices, Inc.
2	24		C1, C2, C509, C510, C511, C512, C514, C515, C516, C517, C528, C530, C532, C533, C538, C539, C540, C542, C543, C544, C545, C546, C554, C555	电容	0402	0.1 μ F	
		12	C3, C500, C502, C503, C504, C505, C531, C534, C535, C536, C537, C557				
3		1	C501	电容	0402	0.3 pF	
4		2	C4, C5	电阻	0402	0 Ω	
5	10		C513, C518, C519, C520, C521, C522, C523, C524, C525, C526	电容	0402	1.0 μ F	
6	1		C527	电容	1206	10 μ F	
7	1		C529	电容	0402	20 pF	
8	5		C548, C549, C550, C551, C552	电容	ACASE	10 μ F	
9	1		C553	电容	0805	1.0 μ F	
10	15		C556, C558, C559, C564, C565, C566, C567, C568, C569, C570, C572, C573, C574, C575, C599	电容	0603	0.1 μ F	
11	1		CR500	LED	0603	绿色	Panasonic LNJ314G8TRA
12	1	2	D502 D500, D501	二极管 二极管	SOT-23	30 V、20 mA、 双肖特基	HSMS2812
13	1		D503	二极管	DO-214AB	3 A, 30 V, SMC	Micro Commercial Group SK33-TPMSCT-ND
14	1		D504	二极管	DO-214AA	2 A, 50 V, SMC	Micro Commercial Group S2A-TPMSTR-ND
15		1	D505	LED	LN1461C	AMB	Amber LED
16	1		F500	保险丝	1210	6.0 V、2.2 A、 动作电流自复 保险丝	Tyco, Raychem NANO SMDC110F-2
17	1		FER500	扼流圈	2020		Murata DLW5BSN191SQ2
18		1	J500	跳线		焊接跳线	
19		3	J501, J502, J505	跳线		焊接跳线	
20	1		J503	连接器	120引脚	针式	Samtec TSW-140-08-G-T-RA
21		1	J504	连接器	10引脚	针式, 2x5	Samtec
22	3		JP1, JP2, JP3	跳线	3 引脚	直脚针式	Samtec TSW-103-07-G-S
23	4		JP500, JP501, JP502, JP506	跳线	2 引脚	直脚针式	Samtec TSW-102-07-G-S
24	1		JP507	跳线	3 引脚	直脚针式	Samtec TSW-103-07-G-S
		2	JP508, JP509				
25	10		L500, L501, L502, L503, L504, L505, L506, L507, L508, L509	铁氧体磁珠	3.2 mm $\times$ 2.5 mm $\times$ 1.6 mm		Digi-Key P9811CT-ND
26		1	OSC500	振荡器	SMT	125 MHz or 105 MHz	CTS Reeves CB3LV-3C
27	1		P500	振荡器	PJ-102A	直流电源插座	Digi-Key CP-102A-ND
28		1	P501	振荡器	10 引脚	直脚针式	PTMICRO10

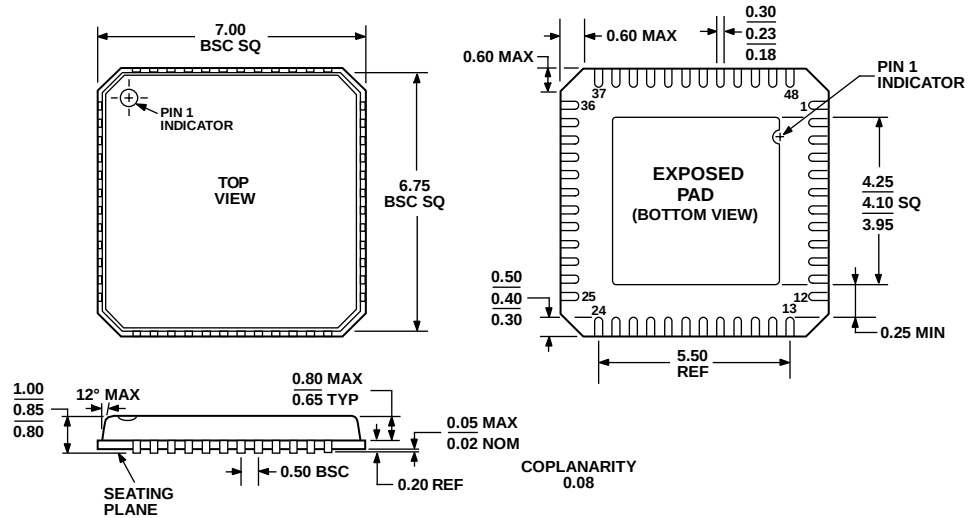
AD9233

项目	数量	省略 (DNI)	索引标识符	器件	封装	描述	供应商/产品型号
29		6	R1, R6, R563, R565, R574, R577	电阻	0402	DNI	
30	5	6	R2, R5, R561, R562, R571 R10, R11, R12, R535, R536, R575	电阻 电阻	0402	0 Ω	
31	2		R3, R4	电阻	0402	25 Ω	
32		6	R7, R8, R9, R502, R510, R511	电阻	0603	DNI	
33		6	R500, R501, R576, R578, R579, R581	电阻	0402	DNI	
34	4		R503, R548, R549, R550	电阻	0603	10 kΩ	
35	1	1	R504 R505	电阻 电阻	0603	49.9 Ω	
36	9		R506, R508, R509, R512, R554, R555, R556, R557, R560	电阻	0603	0 Ω	
		23	R507, R514, R513, R515, R516, R517, R518, R519, R520, R521, R522, R523, R524, R525, R526, R527, R528, R529, R530, R531, R532, R533, R534				
37		4	R545, R546, R547, R558	电阻	0603	4.7 kΩ	
38	3		R551, R552, R553	电阻	0603	1 kΩ	
39	1		R589	电阻	0603	261 Ω	
		1	R559				
40	2		R566, R567	电阻	0402	33 Ω	
41		3	R582, R585, R598	电阻	0402	100 Ω	
42		2	R583, R584	电阻	0402	240 Ω	
43		1	R586	电阻	0402	4.12 kΩ	
44		3	R580, R587, R588	电阻	0402	10 kΩ	
45		2	R590, R591	电阻	0402	25 Ω	
46		1	R592	电阻	0402	DNI	
47		2	R593, R596	电阻	0402	0 Ω	
48		2	R594, R595	电阻	0402	10 kΩ	
49		1	R597	电阻	0402	4.3 kΩ	
50	1		RP500	电阻	RCA74204	22 Ω	
51	2		RP501, RP502	电阻	RCA74208	22 Ω	
52		1	S1	开关		瞬时(常开)	Panasonic EVQ-PLDA15
53	2		S500, S501	连接器	SMAEDGE	SMA边缘直角	
		2	S502, S503				
54		2	S504, S505	连接器	SMA200UP	SMARF 5引脚垂直	
55	2		T500, T501	变压器	SM-22		M/A-Com ETC1-1-13
		1	T1				
56	1		T503	变压器	CD542		Mini-Circuits ADT1-1WT
		1	T502				
57		1	U500	IC	32引脚 LFCSP	时钟分配	Analog Devices, Inc. AD9515BCPZ
58	1		U501	IC	SOT-223	电压调节器	Analog Devices, Inc. ADP3339AKCZ-5
59	1		U502	IC	SOT-223	电压调节器	Analog Devices, Inc. ADP3339AKCZ-1.8
60	1		U503	IC	SOT-223	电压调节器	Analog Devices, Inc. ADP3339AKCZ-2.5
61	2		U504, U505	ICs	SOT-223	电压调节器	Analog Devices, Inc. ADP3339AKCZ-3.3

项目	数量	省略 (DNI)	索引标识符	器件	封装	描述	供应商/产品型号
62		1	U506	IC	8引脚SOIC	8位微控制器	Microchip PIC12F629
63	1		U507	IC	SC70	双路缓冲器	Fairchild NC7WZ16
64	1		U508	IC	SC70	双路缓冲器	Fairchild NC7WZ07
65	1		U509	IC	48引脚 TSSOP	缓冲器/ 线路驱动器	Fairchild 74VCX162244
66	1		U510	DUT (AD9233)	48引脚 LFCSP	ADC	Analog Devices, Inc. AD9233BCPZ
67		1	U511 (or Z500)	IC	16引脚 LFCSP	差分放大器	Analog Devices, Inc. AD8352ACPZ
Total	128	107					

AD9233

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2

图71. 48引脚架构芯片级封装[LFCSP_VQ]

7 mm x 7 mm, 超薄体

(CP-48-3)

图示尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项 ¹
AD9233BCPZ-125 ²	-40°C 至 +85°C	48引脚LFSCP_VQ	CP-48-3
AD9233BCPZRL7-125 ²	-40°C 至 +85°C	48引脚LFSCP_VQ	CP-48-3
AD9233BCPZ-105 ²	-40°C 至 +85°C	48引脚LFSCP_VQ	CP-48-3
AD9233BCPZRL7-105 ²	-40°C 至 +85°C	48引脚LFSCP_VQ	CP-48-3
AD9233BCPZ-80 ²	-40°C 至 +85°C	48引脚LFSCP_VQ	CP-48-3
AD9233BCPZRL7-80 ²	-40°C 至 +85°C	48引脚LFSCP_VQ	CP-48-3
AD9233-125EB		评估板	
AD9233-105EB		评估板	
AD9233-80EB		评估板	

¹ 为实现最佳的电气和热性能，要求将裸露焊盘焊接到AGND平面。

² Z = 无铅器件。

注释

注释