



AK4645

## Stereo CODEC with MIC/HP-AMP

## 概 要

AK4645はマイクアンプおよびヘッドフォンアンプを内蔵したステレオCODECです。AK4645はアナログミキシング回路とPLLを内蔵しており、PMP(ポータブルマルチメディアプレーヤ)や携帯電話用途のシステムと容易にインタフェースを取ることが可能です。パッケージは小型の32pin QFNを採用、従来システムと比較して実装面積を大幅に削減します。

## 特 長

## 1. 録音側機能

- 4ステレオ入力セレクタ
- ステレオマイク入力(差動 or シングルエンド入力)
- ステレオライン入力
- マイク用ゲインアンプ内蔵 (+32dB/+26dB/+20dB or 0dB)
- Digital ALC (Automatic Level Control) 回路内蔵  
(+36dB ~ -54dB, 0.375dB Step, Mute)
- ADC特性: S/(N+D): 83dB, DR, S/N: 86dB (MIC-Amp=+20dB)  
S/(N+D): 88dB, DR, S/N: 95dB (MIC-Amp=0dB)
- 風切り音フィルタ
- ステレオ感強調回路
- Programmable EQ

## 2. 再生側機能

- デジタルディエンファシスフィルタ (tc=50/15 $\mu$ s, fs=32kHz, 44.1kHz, 48kHz)
- バスブースト
- ソフトミュート
- デジタルボリューム内蔵 (+12dB ~ -115.0dB, 0.5dB Step, Mute)
- Digital ALC (Automatic Level Control) 回路内蔵  
(+36dB ~ -54dB, 0.375dB Step, Mute)
- ステレオ感強調回路
- Programmable EQ
- ステレオライン出力
  - 特性: S/(N+D): 88dB, S/N: 92dB
- ステレオヘッドフォンアンプ内蔵
  - HP-AMP特性: S/(N+D): 70dB@7.5mW, S/N: 90dB
  - 定格出力: 70mW@16 $\Omega$  (HVDD=5V), 62mW@16 $\Omega$  (HVDD=3.3V)
  - 電源ON/OFF時クリックノイズフリー
- アナログミキシング: 4ステレオ入力

## 3. パワーマネジメント機能

## 4. マスタクロック:

## (1) PLLモード

- 周波数: 11.2896MHz, 12MHz, 12.288MHz, 13MHz, 13.5MHz, 19.2MHz, 24MHz, 26MHz, 27MHz (MCKI pin)  
1fs (LRCK pin)  
32fs or 64fs (BICK pin)

## (2) 外部クロックモード

- 周波数: 256fs, 512fs or 1024fs (MCKI pin)

## 5. マスタクロック出力周波数: 32fs/64fs/128fs/256fs

## 6. サンプリング周波数:

- PLL Slave Mode (LRCK pin): 7.35kHz ~ 48kHz
- PLL Slave Mode (BICK pin): 7.35kHz ~ 48kHz
- PLL Slave Mode (MCKI pin):  
8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz

- PLL Master Mode:  
8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
- EXT Master/Slave Mode:  
7.35kHz ~ 48kHz (256fs), 7.35kHz ~ 26kHz (512fs), 7.35kHz ~ 13kHz (1024fs)
- 7. シリアル $\mu$ Pインタフェース: 3線シリアル, I<sup>2</sup>Cバス (Ver 1.0, 400kHz高速モード)
- 8. マスタ/スレーブモード
- 9. オーディオインタフェースフォーマット: MSB First, 2's complement
  - ADC : 16bit前詰め, I<sup>2</sup>S, DSP Mode
  - DAC : 16bit前詰め, 16bit後詰め, 16-24bit I<sup>2</sup>S, DSP Mode
- 10. Ta = -30 ~ 85°C
- 11. 電源電圧:
  - AVDD, DVDD: 2.6 ~ 3.6V (typ. 3.3V)
  - HVDD: 2.6 ~ 5.25V (typ. 3.3V/5.0V)
  - TVDD (Digital I/O): 1.6 ~ 3.6V (typ. 3.3V)
- 12. パッケージ : 32pin QFN (5mm x 5mm, 0.5mm pitch)
- 13. AK4644とレジスタ互換

■ ブロック図

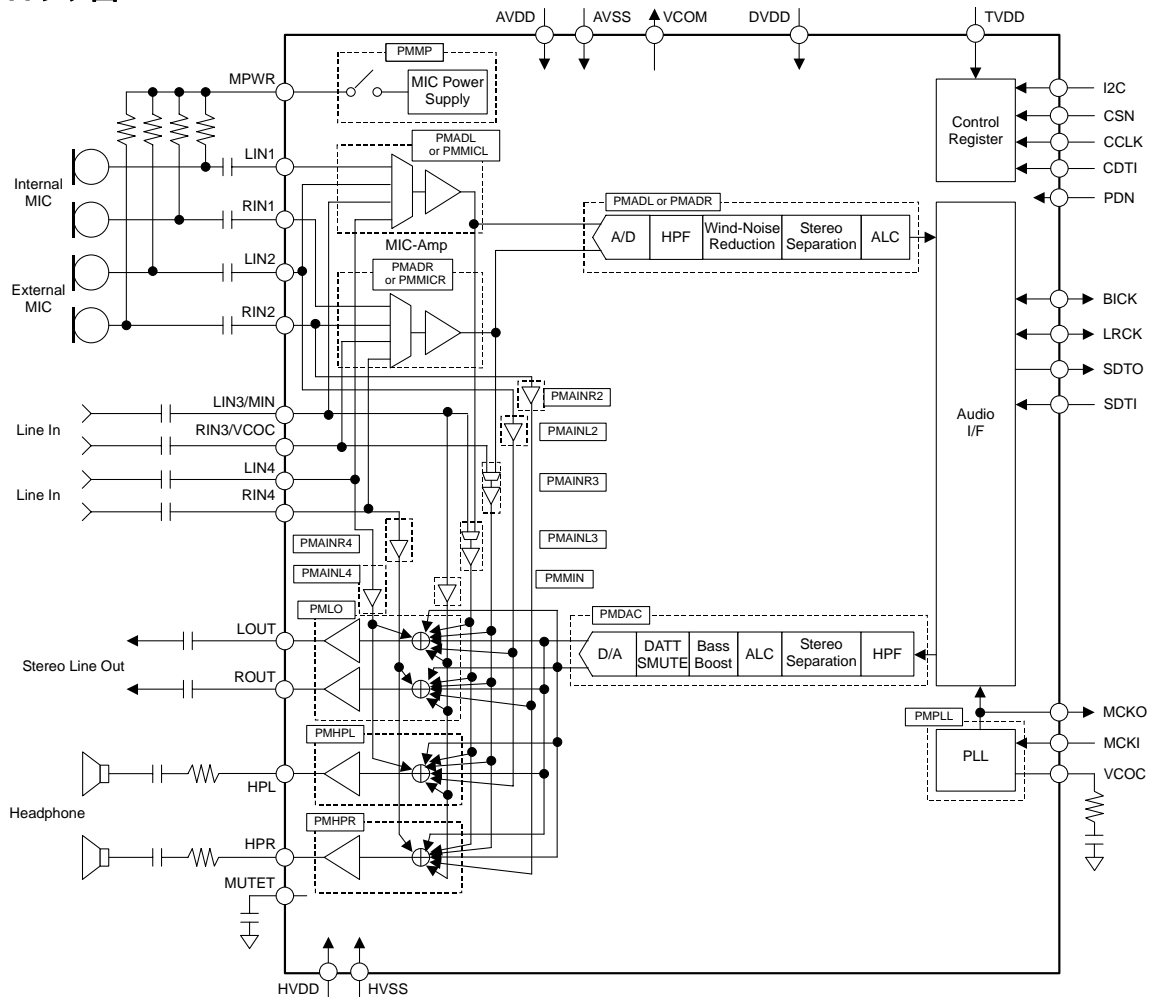


Figure 1. ブロック図

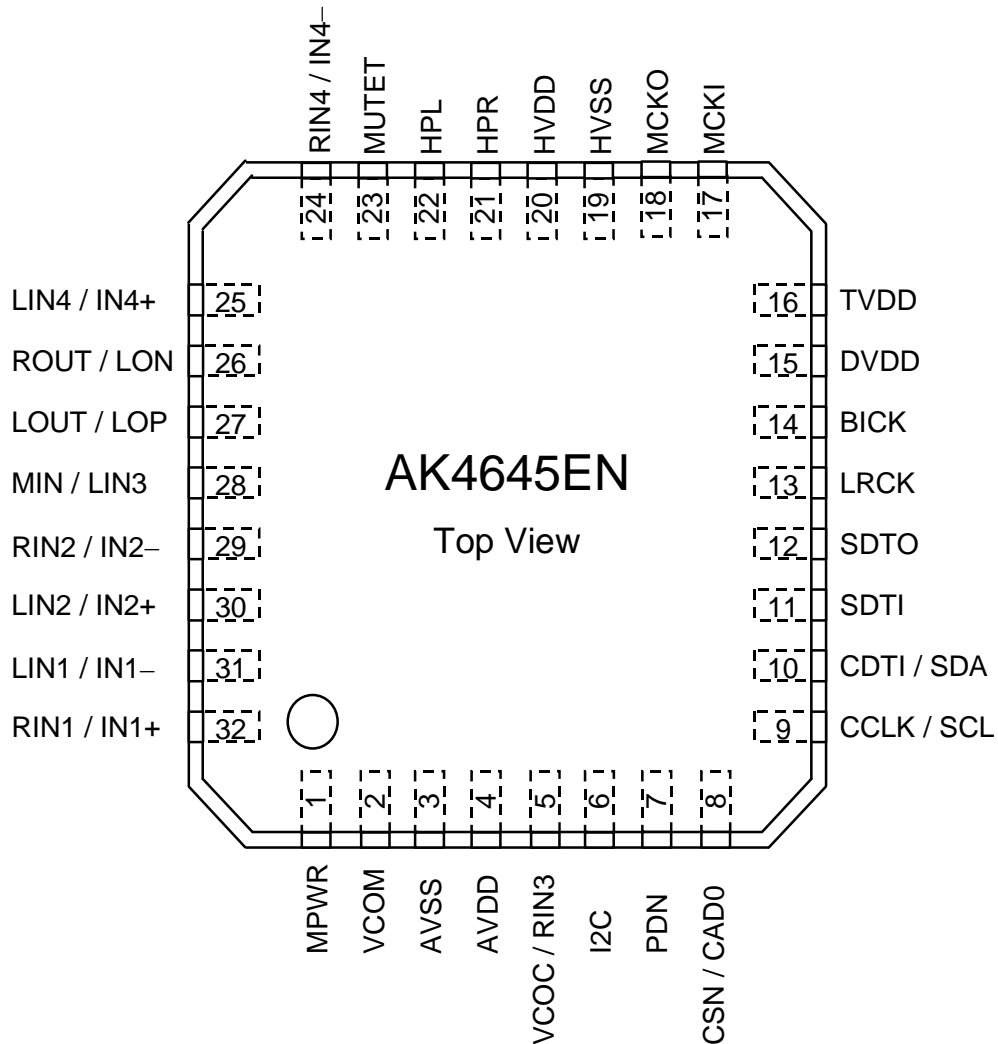
■ オーダリングガイド

AK4645EN  
AKD4645

-30 ~ +85°C  
AK4645用評価ボード

32pin QFN (0.5mm pitch)

■ ピン配置



■ AK4643/44との互換性

1. Function

Function	AK4643	AK4644	AK4645
Digital I/O of $\mu$ P I/F	2.6 to 3.6V	←	1.6 to 3.6V
Analog Mixing for Playback	3 Stereo	←	4 Stereo
Input Selector for Recording	3 Stereo	←	4 Stereo
HP-Amp Hi-Z Setting for wired OR	No	←	Yes
PLL	11.2896/12/12.288/ 13.5/24/27MHz	←	11.2896/12/12.288/13/ 13.5/19.2/24/26/27MHz
Speaker-Amp	Yes	No	←
Receiver-Amp	Yes	←	No

## 2. Pin

Pin#	AK4643	AK4644	AK4645
16	DVSS	←	TVDD
19	SPN	TEST1	HVSS
20	SPP	TEST2	HVDD
21	HVDD	←	HPR
22	HVSS	←	HPL
23	HPR	←	MUTET
24	HPL	←	RIN4 / IN4-
25	MUTET	←	LIN4 / IN4+
26	ROUT/RCN	←	ROUT/LON
27	LOUT/RCP	←	LOUT/LOP

## 3. レジスタ(AK4644からの変更点)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMMIN	0	PMLO	PMDAC	0	PMADL
01H	Power Management 2	HPZ	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
02H	Signal Select 1	0	0	0	DACL	0	PMMP	0	MGAIN0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	0	0	MINL	0	0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
05H	Mode Control 2	PS1	PS0	FS3	MSBS	BCKP	FS2	FS1	FS0
06H	Timer Select	DVTM	WTM2	ZTM1	ZTM0	WTM1	WTM0	RFST1	RFST0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
09H	Lch Input Volume Control	IVL7	IVL6	IVL5	IVL4	IVL3	IVL2	IVL1	IVL0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	VBAT	0
0CH	Rch Input Volume Control	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
0EH	Mode Control 3	0	LOOP	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
0FH	Mode Control 4	0	0	0	0	IVOLC	HPM	MINH	DACH
10H	Power Management 3	INR1	INL1	HPG	MDIF2	MDIF1	INR0	INL0	PMADR
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8
20H	Power Management 4	PMMAINR4	PMMAINL4	PMMAINR3	PMMAINL3	PMMAINR2	PMMAINL2	PMMICR	PMMICL
21H	Mode Control 5	0	0	MICR3	MICL3	L4DIF	MIX	AIN3	LODIF
22H	Lineout Mixing Select	LOM	LOM3	RINR4	LINL4	RINR3	LINL3	RINR2	LINL2
23H	HP Mixing Select	0	HPM3	RINH4	LINH4	RINH3	LINH3	RINH2	LINH2
24H	Reserved	0	0	0	0	0	0	0	0

AK4645で追加されたビット

## ピン/機能

No.	Pin Name	I/O	Function
1	MPWR	O	マイク用電源供給ピン
2	VCOM	O	コモン電圧出力ピン, 0.45 x AVDD ADC入力とDAC出力のバイアス電圧です。
3	AVSS	-	アナロググランドピン
4	AVDD	-	アナログ電源ピン
5	VCOC	O	PLLのループフィルタ用出力ピン(AIN3 bit = "0": PLL使用可能) AVSSとの間に抵抗とコンデンサをシリーズ接続して下さい。
	RIN3	I	Rchアナログ入力3ピン(AIN3 bit = "1": PLL使用不可)
6	I2C	I	コントロールモード選択ピン "H": I <sup>2</sup> Cバス, "L": 3線式シリアル
7	PDN	I	パワーダウンモードピン "H": パワーアップ "L": パワーダウン、リセット、コントロールレジスタの初期化
8	CSN	I	チップセレクトピン (I2C pin = "L": 3線シリアルモード)
	CAD0	I	チップアドレス0ピン (I2C pin = "H": I <sup>2</sup> Cバスモード)
9	CCLK	I	コントロールクロック入力ピン (I2C pin = "L": 3線シリアルモード)
	SCL	I	コントロールクロック入力ピン (I2C pin = "H": I <sup>2</sup> Cバスモード)
10	CDTI	I	コントロールデータ入力ピン (I2C pin = "L": 3線シリアルモード)
	SDA	I/O	コントロールデータ入出力ピン (I2C pin = "H": I <sup>2</sup> Cバスモード)
11	SDTI	I	オーディオシリアルデータ入力ピン
12	SDTO	O	オーディオシリアルデータ出力ピン
13	LRCK	I/O	入出力チャネルクロックピン
14	BICK	I/O	オーディオシリアルクロックピン
15	DVDD	-	デジタル電源ピン
16	TVDD	-	デジタルI/O電源ピン
17	MCKI	I	外部マスタクロック入力ピン
18	MCKO	O	マスタクロック出力ピン
19	HVSS	-	ヘッドフォンアンプグランドピン
20	HVDD	-	ヘッドフォンアンプ電源ピン
21	HPR	O	Rchヘッドフォンアンプ出力ピン
22	HPL	O	Lchヘッドフォンアンプ出力ピン
23	MUTET	O	ミュート時定数コントロールピン HVSS pinとの間に時定数設定用コンデンサを接続します。
24	RIN4	I	Rchアナログ入力4ピン(L4DIF bit = "0": シングルエンド入力)
	IN4-	I	反転ライン入力4ピン(L4DIF bit = "1": 差動入力)
25	LIN4	I	Lchアナログ入力2ピン(L4DIF bit = "0": シングルエンド入力)
	IN4+	I	非反転ライン入力4ピン(L4DIF bit = "1": 差動入力)
26	ROUT	O	Rchライン出力ピン(LODIF bit = "0": シングルエンドステレオ出力)
	LO <sub>N</sub>	O	反転ライン出力ピン(LODIF bit = "1": 差動モノラル出力)
27	LOUT	O	Lchライン出力ピン(LODIF bit = "0": シングルエンドステレオ出力)
	LO <sub>P</sub>	O	非反転ライン出力ピン(LODIF bit = "1": 差動モノラル出力)
28	MIN	I	モノラルアナログ入力ピン(AIN3 bit = "0": PLL使用可能)
	LIN3	I	Lchアナログ入力3ピン (AIN3 bit = "1": PLL使用不可)
29	RIN2	I	Rchアナログ入力2ピン(MDIF2 bit = "0": シングルエンド入力)
	IN2-	I	マイク反転入力2ピン(MDIF2 bit = "1": 差動入力)
30	LIN2	I	Lchアナログ入力2ピン(MDIF2 bit = "0": シングルエンド入力)
	IN2+	I	マイク非反転入力2ピン(MDIF2 bit = "1": 差動入力)
31	LIN1	I	Lchアナログ入力1ピン(MDIF1 bit = "0": シングルエンド入力)
	IN1-	I	マイク反転入力1ピン(MDIF1 bit = "1": 差動入力)
32	RIN1	I	Rchアナログ入力1ピン(MDIF1 bit = "0": シングルエンド入力)
	IN1+	I	マイク非反転入力1ピン(MDIF1 bit = "1": 差動入力)

Note 1. アナログ入力ピン (MIN/LIN3, LIN1, RIN1, LIN2, RIN2, RIN3, LIN4, RIN4)以外のすべての入力ピンはフロートにしておくべきではありません。

Note 2. I2C pinにはAVDDもしくはAVSSを入力して下さい。

## ■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	MPWR, VCOC/RIN3, HPR, HPL, MUTET, RIN4/IN4-, LIN4/IN4+, ROUT/LON, LOU/LOP, MIN/LIN3, RIN2/IN2-, LIN2/IN2+, LIN1/IN1-, RIN1/IN1+	オープン
Digital	MCKO	オープン
	MCKI	HVSSに接続

### 絶対最大定格

(AVSS, HVSS=0V; Note 3)

Parameter	Symbol	Min	max	Units	
Power Supplies:	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	Digital I/O	TVDD	-0.3	6.0	V
	Headphone-Amp	HVDD	-0.3	6.0	V
	AVSS - HVSS  (Note 4)	$\Delta$ GND2	-	0.3	V
Input Current, Any Pin Except Supplies	IIN	-	$\pm$ 10	mA	
Analog Input Voltage (Note 5)	VINA	-0.3	AVDD+0.3	V	
Digital Input Voltage (Note 6)	VIND	-0.3	TVDD+0.3	V	
Ambient Temperature (powered applied)	Ta	-30	85	°C	
Storage Temperature	Tstg	-65	150	°C	

Note 3. 電圧はすべてグランドピンに対する値です。

Note 4. AVSSとHVSSは同じアナロググランドに接続して下さい。

Note 5. I2C, RIN4/IN4-, LIN4/IN4+, MIN/LIN3, RIN3, RIN2/IN2-, LIN2/IN2+, LIN1/IN1-, RIN1/IN1+ pins

Note 6. PDN, CSN/CAD0, CCLK/SCL, CDTI/SDA, SDTI, LRCK, BICK, MCKI pins

SDA, SCL pinsのプルアップ抵抗の接続先は(TVDD+0.3)V以下にして下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、通常の動作は保証されません。

### 推奨動作条件

(AVSS, HVSS=0V; Note 3)

Parameter	Symbol	min	typ	max	Units	
Power Supplies (Note 7)	Analog	AVDD	2.6	3.3	3.6	V
	Digital	DVDD	2.6	3.3	3.6	V
	Digital I/O	TVDD	1.6	3.3	DVDD	V
	HP-Amp	HVDD	2.6	3.3 / 5.0	5.25	V
	Difference	AVDD-DVDD	-0.3	0	+0.3	V

Note 3. 電圧はすべてグランドピンに対する値です。

Note 7. AVDD, DVDD, TVDD, HVDDの電源立ち上げシーケンスを考慮する必要はありません。AVDD, HVDD, TVDDだけOFFした場合、DVDDのリーク電流が増加する可能性があります。AVDD, HVDD, DVDDだけOFFした場合、TVDDのリーク電流が増加する可能性があります。DVDDまたはTVDDをOFFする場合はAVDD, HVDDもOFFしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

## アナログ特性

(Ta=25°C; AVDD, DVDD, TVDD, HVDD=3.3V; AVSS=HVSS=0V; fs=44.1kHz, BICK=64fs;  
Signal Frequency=1kHz; 16bit Data; Measurement frequency=20Hz ~ 20kHz; unless otherwise specified)

Parameter		min	typ	max	Units
<b>MIC Amplifier:</b> LIN1/RIN1/LIN2/RIN2/LIN4/RIN4 pins & LIN3/RIN3 pins (AIN3 bit = "1"); MDIF1=MDIF2 bits = "0" (Single-ended inputs)					
Input Resistance	MGAIN1-0 bits = "00"	40	60	80	kΩ
	MGAIN1-0 bits = "01", "10" or "11"	20	30	40	kΩ
Gain	MGAIN1-0 bits = "00"	-	0	-	dB
	MGAIN1-0 bits = "01"	-	+20	-	dB
	MGAIN1-0 bits = "10"	-	+26	-	dB
	MGAIN1-0 bits = "11"	-	+32	-	dB
<b>MIC Amplifier:</b> IN1+/IN1-/IN2+/IN2- pins; MDIF1 = MDIF2 bits = "1" (Full-differential input)					
Input Voltage (Note 8)					
	MGAIN1-0 bits = "01"	-	-	0.228	Vpp
	MGAIN1-0 bits = "10"	-	-	0.114	Vpp
	MGAIN1-0 bits = "11"	-	-	0.057	Vpp
<b>MIC Power Supply:</b> MPWR pin					
Output Voltage (Note 9)		2.22	2.47	2.72	V
Load Resistance		0.5	-	-	kΩ
Load Capacitance		-	-	30	pF
<b>ADC Analog Input Characteristics:</b> LIN1/RIN1/LIN2/RIN2/LIN4/RIN4 pins & LIN3/RIN3 pins (AIN3 bit = "1") → ADC → IVOL, IVOL=0dB, ALC=OFF					
Resolution		-	-	16	Bits
Input Voltage (Note 10)	(Note 11)	0.168	0.198	0.228	Vpp
	(Note 12)	1.68	1.98	2.28	Vpp
S/(N+D) (-1dBFS)	(Note 11, LIN1/RIN1/LIN2/RIN2)	71	83	-	dBFS
	(Note 11, LIN3/RIN3/LIN4/RIN4)	-	83	-	dBFS
	(Note 12, except for LIN3/RIN3)	-	88	-	dBFS
	(Note 12, LIN3/RIN3)	-	72	-	dBFS
D-Range (-60dBFS, A-weighted)	(Note 11)	76	86	-	dB
	(Note 12)	-	95	-	dB
S/N (A-weighted)	(Note 11)	76	86	-	dB
	(Note 12)	-	95	-	dB
Interchannel Isolation	(Note 11)	75	90	-	dB
	(Note 12)	-	100	-	dB
Interchannel Gain Mismatch	(Note 11)	-	0.1	0.8	dB
	(Note 12)	-	0.1	0.8	dB

Note 8. プラス入力ピンとマイナス入力ピンの差分です。ACカップリングコンデンサを各入力ピンにシリーズに接続して下さい。MGAIN1-0 bits = "00" のとき差動入力の使用禁止です。IN1+, IN1-, IN2+, IN2- pin の最大入力電圧はそれぞれAVDDに比例します。Vin = |(IN+) - (IN-)| = 0.069 x AVDD (max)@MGAIN1-0 bits = "01", 0.035 x AVDD (max)@MGAIN1-0 bits = "10", 0.017 x AVDD (max)@MGAIN1-0 bits = "11".

この電圧を越える信号が入力された場合、ADCの動作は保証できません。

Note 9. 出力電圧はAVDDに比例します。Vout = 0.75 x AVDD (typ)。

Note 10. 入力電圧はAVDDに比例します。Vin = 0.06 x AVDD (typ)@MGAIN1-0 bits = "01" (+20dB), Vin = 0.6 x AVDD (typ)@MGAIN1-0 bits = "00" (0dB)

Note 11. MGAIN1-0 bits = "01" (+20dB)

Note 12. MGAIN1-0 bits = "00" (0dB)

Parameter		min	typ	max	Units
<b>DAC Characteristics:</b>					
Resolution		-	-	16	Bits
<b>Stereo Line Output Characteristics:</b> DAC → LOUT/ROUT pins, ALC=OFF, IVOL=0dB, DVOL=0dB, LOVL bit = "0", LODIF bit = "0", $R_L=10k\Omega$ ; unless otherwise specified.					
Output Voltage (Note 13)	LOVL bit = "0"	1.78	1.98	2.18	$V_{pp}$
	LOVL bit = "1"	2.25	2.50	2.75	$V_{pp}$
S/(N+D) (-3dBFS)		78	88	-	dBFS
S/N (A-weighted)		82	92	-	dB
Interchannel Isolation		80	100	-	dB
Interchannel Gain Mismatch		-	0.1	0.5	dB
Load Resistance		10	-	-	$k\Omega$
Load Capacitance		-	-	30	pF
<b>Mono Line Output Characteristics:</b> DAC → LOP/LON pins, ALC=OFF, IVOL=0dB, DVOL=0dB, LOVL bit = "0", LODIF bit = "1", $R_L=10k\Omega$ for each pin (Full-differential)					
Output Voltage (Note 14)	LOVL bit = "0"	3.52	3.96	4.36	$V_{pp}$
	LOVL bit = "1"	-	5.00	-	$V_{pp}$
S/(N+D) (-3dBFS)		78	88	-	dBFS
S/N (A-weighted)		85	95	-	dB
Load Resistance (LOP/LON pins, respectively)		10	-	-	$k\Omega$
Load Capacitance (LOP/LON pins, respectively)		-	-	30	pF

Note 13. 出力電圧はAVDDに比例します。  $V_{out} = 0.6 \times AVDD$  (typ)@LOVL bit = "0".

Note 14. 出力電圧はAVDDに比例します。  $V_{out} = (LOP) - (LON) = 1.2 \times AVDD$  (typ)@LOVL bit = "0".

Parameter		min	typ	max	Units
<b>Headphone-Amp Characteristics:</b> DAC → HPL/HPR pins, ALC=OFF, IVOL=0dB, DVOL=0dB; VBAT bit = "0"; unless otherwise specified.					
<b>Output Voltage (Note 15)</b>					
HPG bit = "0", 0dBFS, HVDD=3.3V, $R_L=22.8\Omega$		1.58	1.98	2.38	V <sub>pp</sub>
HPG bit = "1", 0dBFS, HVDD=5V, $R_L=100\Omega$		2.40	3.00	3.60	V <sub>pp</sub>
HPG bit = "1", 0dBFS, HVDD=3.3V, $R_L=16\Omega$ (Po=62mW)		-	1.0	-	V <sub>rms</sub>
HPG bit = "1", 0dBFS, HVDD=5V, $R_L=16\Omega$ (Po=70mW)		-	1.06	-	V <sub>rms</sub>
<b>S/(N+D)</b>					
HPG bit = "0", -3dBFS, HVDD=3.3V, $R_L=22.8\Omega$		60	70	-	dBFS
HPG bit = "1", -3dBFS, HVDD=5V, $R_L=100\Omega$		-	80	-	dBFS
HPG bit = "1", 0dBFS, HVDD=3.3V, $R_L=16\Omega$ (Po=62mW)		-	20	-	dBFS
HPG bit = "1", 0dBFS, HVDD=5V, $R_L=16\Omega$ (Po=70mW)		-	70	-	dBFS
S/N (A-weighted)	(Note 16)	80	90	-	dB
	(Note 17)	-	90	-	dB
Interchannel Isolation	(Note 16)	65	75	-	dB
	(Note 17)	-	80	-	dB
Interchannel Gain Mismatch	(Note 16)	-	0.1	0.8	dB
	(Note 17)	-	0.1	0.8	dB
Load Resistance		16	-	-	$\Omega$
Load Capacitance	Figure 2 $\phi$ C1	-	-	30	pF
	Figure 2 $\phi$ C2	-	-	300	pF

Note 15. 出力電圧はAVDDに比例します。

$$V_{out} = 0.6 \times AVDD(\text{typ}) @ \text{HPG bit} = "0", 0.91 \times AVDD(\text{typ}) @ \text{HPG bit} = "1".$$

Note 16. HPG bit = "0", HVDD=3.3V,  $R_L=22.8\Omega$ .

Note 17. HPG bit = "1", HVDD=5V,  $R_L=100\Omega$ .

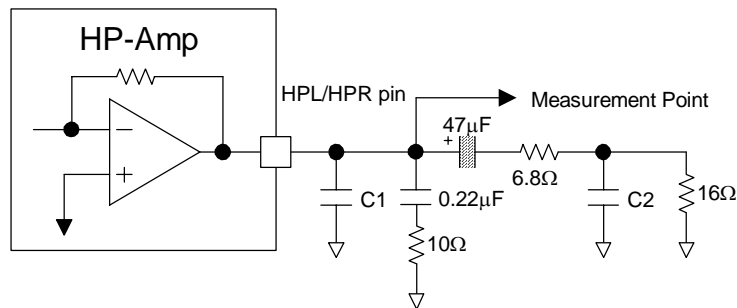


Figure 2. ヘッドフォンアンプ出力回路

Parameter	min	typ	max	Units	
<b>Mono Input: MIN pin (AIN3 bit = "0"; External Input Resistance=20kΩ)</b>					
Maximum Input Voltage (Note 18)	-	1.98	-	V <sub>pp</sub>	
Gain (Note 19)					
MIN → LOU/ROUT	LOVL bit = "0"	-4.5	0	+4.5	dB
	LOVL bit = "1"	-	+2	-	dB
MIN → HPL/HPR	HPG bit = "0"	-24.5	-20	-15.5	dB
	HPG bit = "1"	-	-16.4	-	dB
<b>Stereo Input: LIN2/RIN2/LIN4/RIN4 pins; LIN3/RIN3 pins (AIN3 bit = "1")</b>					
Maximum Input Voltage (Note 20)	-	1.98	-	V <sub>pp</sub>	
Gain					
LIN/RIN → LOU/ROUT	LOVL bit = "0"	-4.5	0	+4.5	dB
	LOVL bit = "1"	-	+2	-	dB
LIN/RIN → HPL/HPR	HPG bit = "0"	-4.5	0	+4.5	dB
	HPG bit = "1"	-	+3.6	-	dB
<b>Full-differential Mono Input: IN4+/- pins (L4DIF bit = "1")</b>					
Maximum Input Voltage (Note 21)	-	3.96	-	V <sub>pp</sub>	
Gain					
IN4+/- → LOU/ROUT (LODIF bit = "0")	LOVL bit = "0"	-10.5	-6	-1.5	dB
	LOVL bit = "1"	-	-4	-	dB
IN4+/- → LOP/LON (LODIF bit = "1", Note 22)	LOVL bit = "0"	-4.5	0	+4.5	dB
	LOVL bit = "1"	-	+2	-	dB
IN4+/- → HPL/HPR	HPG bit = "0"	-10.5	-6	-1.5	dB
	HPG bit = "1"	-	-2.4	-	dB
<b>Power Supplies:</b>					
Power Up (PDN pin = "H")					
All Circuit Power-up:					
AVDD+DVDD+TVDD (Note 23)	-	16	24	mA	
HVDD: HP-Amp Normal Operation No Output (Note 24)	-	5	8	mA	
Power Down (PDN pin = "L") (Note 25)					
AVDD+DVDD+TVDD+HVDD	-	1	100	μA	

Note 18. 最大入力電圧はAVDDと外部入力抵抗(R<sub>in</sub>)に比例します。V<sub>in</sub> = 0.6 x AVDD x R<sub>in</sub> / 20kΩ (typ).

Note 19. ゲインは外部入力抵抗に反比例します。

Note 20. 最大入力電圧はAVDDに比例します。V<sub>in</sub> = 0.6 x AVDD (typ).

Note 21. 最大入力電圧はAVDDに比例します。V<sub>in</sub> = (IN4+) - (IN4-) = 1.2 x AVDD (typ).

同じ振幅の逆相信号をIN4+, IN4- pinsにそれぞれ入力して下さい。

Note 22. V<sub>out</sub> = (LOP) - (LON) at LODIF bit = "1".

Note 23. PLL Master Mode (MCKI=12.288MHz)で、PMADL = PMADR = PMDAC = PMLO = PMHPL = PMHPR = PMVCM = PMPLL = MCKO = PMMIN = PMMP = M/S bits = "1"の場合です。このとき、MPWR pinの出力電流は0mAです。

AVDD=11mA(typ), DVDD=3mA(typ), TVDD=2mA(typ).

EXT Slave Mode (PMPLL = M/S = MCKO bits = "0")の場合: AVDD=10mA(typ), DVDD=3mA(typ),

TVDD=0.03mA(typ).

Note 24. PMADL = PMADR = PMDAC = PMLO = PMHPL = PMHPR = PMVCM = PMPLL = PMMIN bits = "1"の場合です。

Note 25. 全てのデジタル入力ピンをTVDDまたはHVSSに固定した時の値です。

■ モード別の消費電力

条件: Ta=25°C; AVDD=DVDD=TVDD=HVDD=3.3V; AVSS=HVSS=0V; fs=44.1kHz, External Slave Mode, BICK=64fs; 1kHz, 0dBFS input; Headphone = No output.

Mode	Power Management Bit														AVDD [mA]	DVDD [mA]	TVDD [mA]	HVDD [mA]	Total Power [mW]				
	00H					01H		10H	20H														
	PMVCM	PMMIN	PMLO	PMDAC	PMADL	PMHPL	PMHPR	PMADR	PMMICL	PMMICR	PMAINL2	PMAINR2	PMAINL3	PMAINR3						PMAINL4	PMAINR4		
All Power-down	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
DAC → Lineout	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4.4	1.8	0.03	0.2	21.2
DAC → HP	1	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	3.8	1.8	0.03	5	35.1
LIN2/RIN2 → HP	1	0	0	0	0	1	1	0	0	0	1	1	0	0	0	0	0	0	1.9	0	0	5	22.8
LIN2/RIN2 → ADC	1	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	5.5	1.6	0.03	0.2	24.2
LIN1 (Mono) → ADC	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	3.5	1.5	0.03	0.2	17.3
LIN2/RIN2 → ADC & DAC → HP	1	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	8.3	2.7	0.03	5	52.9

Table 1. Power Consumption for each operation mode (typ)

<b>フィルタ特性</b>
---------------

(Ta=25°C; AVDD, DVDD=2.6 ~ 3.6V; TVDD=1.6 ~ 3.6V; HVDD=2.6 ~ 5.25V; fs=44.1kHz; DEM=OFF; FIL1=FIL3=EQ=OFF)

Parameter	Symbol	min	typ	max	Units		
<b>ADC Digital Filter (Decimation LPF):</b>							
Passband (Note 26)	±0.16dB	PB	0	-	17.3	kHz	
	-0.66dB		-	19.4	-	kHz	
	-1.1dB		-	19.9	-	kHz	
	-6.9dB		-	22.1	-	kHz	
Stopband	SB	26.1	-	-	kHz		
Passband Ripple	PR	-	-	±0.1	dB		
Stopband Attenuation	SA	73	-	-	dB		
Group Delay (Note 27)	GD	-	19	-	1/fs		
Group Delay Distortion	ΔGD	-	0	-	μs		
<b>ADC Digital Filter (HPF): (Note 28)</b>							
Frequency Response (Note 26)	-3.0dB	FR	-	0.9	-	Hz	
	-0.5dB		-	2.7	-	Hz	
	-0.1dB		-	6.0	-	Hz	
<b>DAC Digital Filter (LPF):</b>							
Passband (Note 26)	±0.1dB	PB	0	-	19.6	kHz	
	-0.7dB		-	20.0	-	kHz	
	-6.0dB		-	22.05	-	kHz	
Stopband	SB	25.2	-	-	kHz		
Passband Ripple	PR	-	-	±0.01	dB		
Stopband Attenuation	SA	59	-	-	dB		
Group Delay (Note 27)	GD	-	25	-	1/fs		
<b>DAC Digital Filter (LPF) + SCF:</b>							
Frequency Response: 0 ~ 20.0kHz	FR	-	±1.0	-	dB		
<b>DAC Digital Filter (HPF): (Note 28)</b>							
Frequency Response (Note 26)	-3.0dB	FR	-	0.9	-	Hz	
	-0.5dB		-	2.7	-	Hz	
	-0.1dB		-	6.0	-	Hz	
<b>BOOST Filter: (Note 29)</b>							
Frequency Response	MIN	20Hz	FR	-	5.76	-	dB
		100Hz		-	2.92	-	dB
		1kHz		-	0.02	-	dB
	MID	20Hz	FR	-	10.80	-	dB
		100Hz		-	6.84	-	dB
		1kHz		-	0.13	-	dB
	MAX	20Hz	FR	-	16.06	-	dB
		100Hz		-	10.54	-	dB
		1kHz		-	0.37	-	dB

Note 26. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば、PB=20.0kHz(@-0.7dB)は0.454 x fsです(DAC)。各応答は1kHzを基準にします。

Note 27. デジタルフィルタによる遅延演算で、ADC部はアナログ信号が入力されてから両チャンネルの16ビットデータが出力レジスタにセットされるまでの時間です。

DAC部は16ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。PMADL=PMADR bits = "0"のときDAC部のGroup Delayは25/fs(typ)です。

Note 28. PMADL bit = "1" or PMADR bit = "1"のとき、ADCのHPFはON、DACのHPFはOFFです。

PMADL=PMADR bits = "0", PMDAC bit = "1"のとき、DACのHPFはON、ADCのHPFはOFFです。

Note 29. 周波数特性はサンプリングレートに比例します。高レベルの低周波信号を入力した場合、低域でクリップします。

## DC特性

(Ta=25°C; AVDD, DVDD=2.6 ~ 3.6V; TVDD=1.6 ~ 3.6V; HVDD=2.6 ~ 5.25V)

Parameter		Symbol	min	typ	max	Units
High-Level Input Voltage	$2.2V \leq TVDD \leq 3.6V$	VIH	70%TVDD	-	-	V
	$1.6V \leq TVDD < 2.2V$	VIH	75%TVDD	-	-	V
Low-Level Input Voltage	$2.2V \leq TVDD \leq 3.6V$	VIL	-	-	30%TVDD	V
	$1.6V \leq TVDD < 2.2V$	VIL	-	-	25%TVDD	V
High-Level Output Voltage (Iout=-200μA)		VOH	TVDD-0.2	-	-	V
Low-Level Output Voltage (Except SDA pin: Iout=200μA) (SDA pin: Iout=3mA)		VOL	-	-	0.2	V
		VOL	-	-	0.4	V
Input Leakage Current		Iin	-	-	±10	μA

## スイッチング特性

(Ta=25°C; AVDD, DVDD=2.6 ~ 3.6V; TVDD=1.6 ~ 3.6V; HVDD=2.6 ~ 5.25V; CL=20pF; unless otherwise specified)

Parameter		Symbol	min	typ	max	Units
<b>PLL Master Mode (PLL Reference Clock = MCKI pin)</b>						
<b>MCKI Input Timing</b>						
Frequency		fCLK	11.2896	-	27	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
<b>MCKO Output Timing</b>						
Frequency		fMCK	0.2352	-	12.288	MHz
Duty Cycle	Except 256fs at fs=32kHz, 29.4kHz	dMCK	40	50	60	%
	256fs at fs=32kHz, 29.4kHz	dMCK	-	33	-	%
<b>LRCK Output Timing</b>						
Frequency		fs	7.35	-	48	kHz
DSP Mode: Pulse Width High		tLRCKH	-	tBCK	-	ns
Except DSP Mode: Duty Cycle		Duty	-	50	-	%
<b>BICK Output Timing</b>						
Period	BCKO bit = "0"	tBCK	-	1/(32fs)	-	ns
	BCKO bit = "1"	tBCK	-	1/(64fs)	-	ns
Duty Cycle		dBCK	-	50	-	%
<b>PLL Slave Mode (PLL Reference Clock = MCKI pin)</b>						
<b>MCKI Input Timing</b>						
Frequency		fCLK	11.2896	-	27	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
<b>MCKO Output Timing</b>						
Frequency		fMCK	0.2352	-	12.288	MHz
Duty Cycle	Except 256fs at fs=32kHz, 29.4kHz	dMCK	40	50	60	%
	256fs at fs=32kHz, 29.4kHz	dMCK	-	33	-	%
<b>LRCK Input Timing</b>						
Frequency		fs	7.35	-	48	kHz
DSP Mode: Pulse Width High		tLRCKH	tBCK-60	-	1/fs - tBCK	ns
Except DSP Mode: Duty Cycle		Duty	45	-	55	%
<b>BICK Input Timing</b>						
Period		tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low		tBCKL	0.4 x tBCK	-	-	ns
Pulse Width High		tBCKH	0.4 x tBCK	-	-	ns

Parameter	Symbol	min	typ	max	Units
<b>PLL Slave Mode (PLL Reference Clock = LRCK pin)</b>					
<b>LRCK Input Timing</b>					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	tBCK-60	-	1/fs - tBCK	ns
Except DSP Mode: Duty Cycle	Duty	45	-	55	%
<b>BICK Input Timing</b>					
Period	tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low	tBCKL	130	-	-	ns
Pulse Width High	tBCKH	130	-	-	ns
<b>PLL Slave Mode (PLL Reference Clock = BICK pin)</b>					
<b>LRCK Input Timing</b>					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	tBCK-60	-	1/fs - tBCK	ns
Except DSP Mode: Duty Cycle	Duty	45	-	55	%
<b>BICK Input Timing</b>					
Period	PLL3-0 bits = "0010" PLL3-0 bits = "0011"	tBCK tBCK	- -	1/(32fs) 1/(64fs)	ns ns
Pulse Width Low		tBCKL	0.4 x tBCK	-	ns
Pulse Width High		tBCKH	0.4 x tBCK	-	ns
<b>External Slave Mode</b>					
<b>MCKI Input Timing</b>					
Frequency	256fs 512fs 1024fs	fCLK fCLK fCLK	1.8816 3.7632 7.5264	- - -	12.288 13.312 13.312 MHz MHz MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	ns
<b>LRCK Input Timing</b>					
Frequency	256fs 512fs 1024fs	fs fs fs	7.35 7.35 7.35	- - -	48 26 13 kHz kHz kHz
DSP Mode: Pulse Width High		tLRCKH	tBCK-60	-	1/fs - tBCK
Except DSP Mode: Duty Cycle		Duty	45	-	55
<b>BICK Input Timing</b>					
Period		tBCK	312.5	-	ns
Pulse Width Low		tBCKL	130	-	ns
Pulse Width High		tBCKH	130	-	ns
<b>External Master Mode</b>					
<b>MCKI Input Timing</b>					
Frequency	256fs 512fs 1024fs	fCLK fCLK fCLK	1.8816 3.7632 7.5264	- - -	12.288 13.312 13.312 MHz MHz MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	ns
<b>LRCK Output Timing</b>					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	-	tBCK	-	ns
Except DSP Mode: Duty Cycle	Duty	-	50	-	%
<b>BICK Output Timing</b>					
Period	BCKO bit = "0" BCKO bit = "1"	tBCK tBCK	- -	1/(32fs) 1/(64fs)	ns ns
Duty Cycle		dBCK	-	50	%

Parameter	Symbol	min	typ	max	Units
<b>Audio Interface Timing (DSP Mode)</b>					
<b>Master Mode</b>					
LRCK “↑” to BICK “↑” (Note 30)	tDBF	0.5 x tBCK - 40	0.5 x tBCK	0.5 x tBCK + 40	ns
LRCK “↑” to BICK “↓” (Note 31)	tDBF	0.5 x tBCK - 40	0.5 x tBCK	0.5 x tBCK + 40	ns
BICK “↑” to SDTO (BCKP bit = “0”)	tBSD	-70	-	70	ns
BICK “↓” to SDTO (BCKP bit = “1”)	tBSD	-70	-	70	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
<b>Slave Mode</b>					
LRCK “↑” to BICK “↑” (Note 30)	tLRB	0.4 x tBCK	-	-	ns
LRCK “↑” to BICK “↓” (Note 31)	tLRB	0.4 x tBCK	-	-	ns
BICK “↑” to LRCK “↑” (Note 30)	tBLR	0.4 x tBCK	-	-	ns
BICK “↓” to LRCK “↑” (Note 31)	tBLR	0.4 x tBCK	-	-	ns
BICK “↑” to SDTO (BCKP bit = “0”)	tBSD	-	-	80	ns
BICK “↓” to SDTO (BCKP bit = “1”)	tBSD	-	-	80	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
<b>Audio Interface Timing (Right/Left justified &amp; I<sup>2</sup>S)</b>					
<b>Master Mode</b>					
BICK “↓” to LRCK Edge (Note 32)	tMBLR	-40	-	40	ns
LRCK Edge to SDTO (MSB) (Except I <sup>2</sup> S mode)	tLRD	-70	-	70	ns
BICK “↓” to SDTO	tBSD	-70	-	70	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
<b>Slave Mode</b>					
LRCK Edge to BICK “↑” (Note 32)	tLRB	50	-	-	ns
BICK “↑” to LRCK Edge (Note 32)	tBLR	50	-	-	ns
LRCK Edge to SDTO (MSB) (Except I <sup>2</sup> S mode)	tLRD	-	-	80	ns
BICK “↓” to SDTO	tBSD	-	-	80	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns

Note 30. MSBS, BCKP bits = “00” or “11”.

Note 31. MSBS, BCKP bits = “01” or “10”.

Note 32. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

Parameter	Symbol	min	typ	max	Units
<b>Control Interface Timing (3-wire Serial mode)</b>					
CCLK Period	tCCK	200	-	-	ns
CCLK Pulse Width Low	tCCKL	80	-	-	ns
Pulse Width High	tCCKH	80	-	-	ns
CDTI Setup Time	tCDS	40	-	-	ns
CDTI Hold Time	tCDH	40	-	-	ns
CSN “H” Time	tCSW	150	-	-	ns
CSN “↓” to CCLK “↑”	tCSS	50	-	-	ns
CCLK “↑” to CSN “↑”	tCSH	50	-	-	ns
<b>Control Interface Timing (I<sup>2</sup>C Bus mode):</b>					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	μs
Clock Low Time	tLOW	1.3	-	-	μs
Clock High Time	tHIGH	0.6	-	-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	μs
SDA Hold Time from SCL Falling (Note 34)	tHD:DAT	0	-	-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	μs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	μs
Capacitive Load on Bus	Cb	-	-	400	pF
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	ns
<b>Power-down &amp; Reset Timing</b>					
PDN Pulse Width (Note 35)	tPD	150	-	-	ns
PMADL or PMADR “↑” to SDTO valid (Note 36)	tPDV	-	1059	-	1/fs

Note 33. I<sup>2</sup>CはPhilips Semiconductorsの登録商標です。

Note 34. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。

Note 35. AK4645はPDN pin = “L”でリセットされます。

Note 36. PMADL bitまたはPMADR bitを立ち上げてからのLRCKクロックの“↑”の回数です。

■ タイミング波形

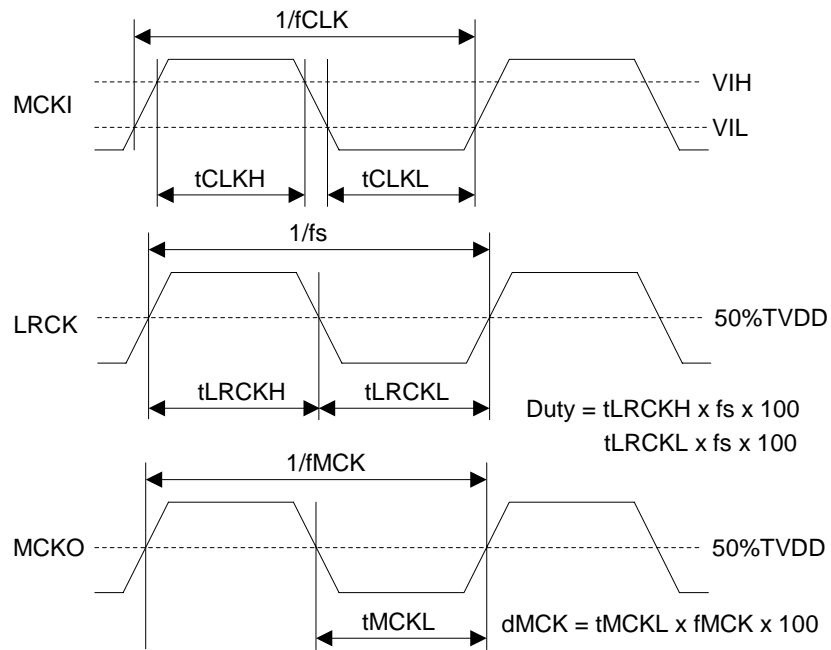


Figure 3. Clock Timing (PLL/EXT Master mode)  
 Note 37. MCKO is not available at EXT Master mode.

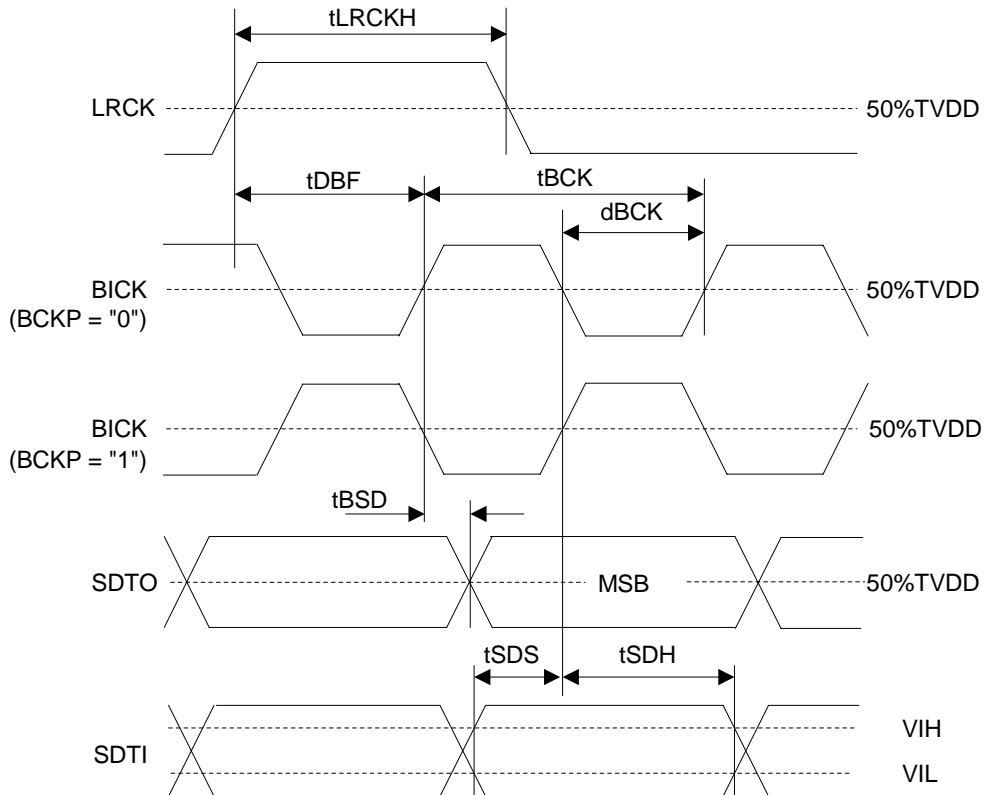


Figure 4. Audio Interface Timing (PLL/EXT Master mode, DSP mode, MSBS = "0")

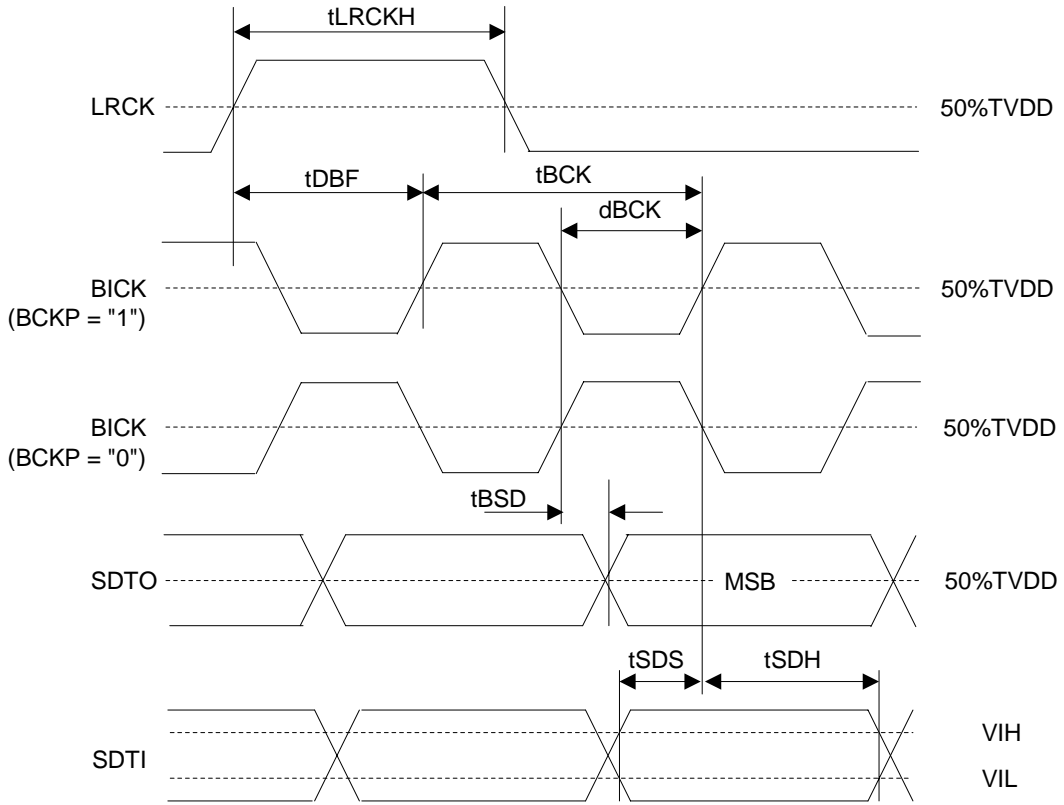


Figure 5. Audio Interface Timing (PLL/EXT Master mode, DSP mode, MSBS = "1")

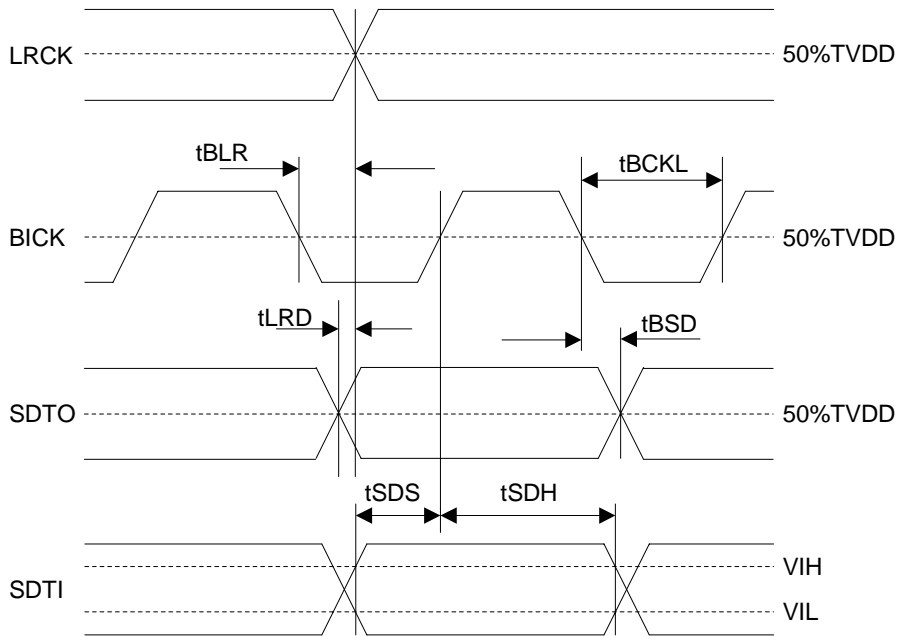


Figure 6. Audio Interface Timing (PLL/EXT Master mode, Except DSP mode)

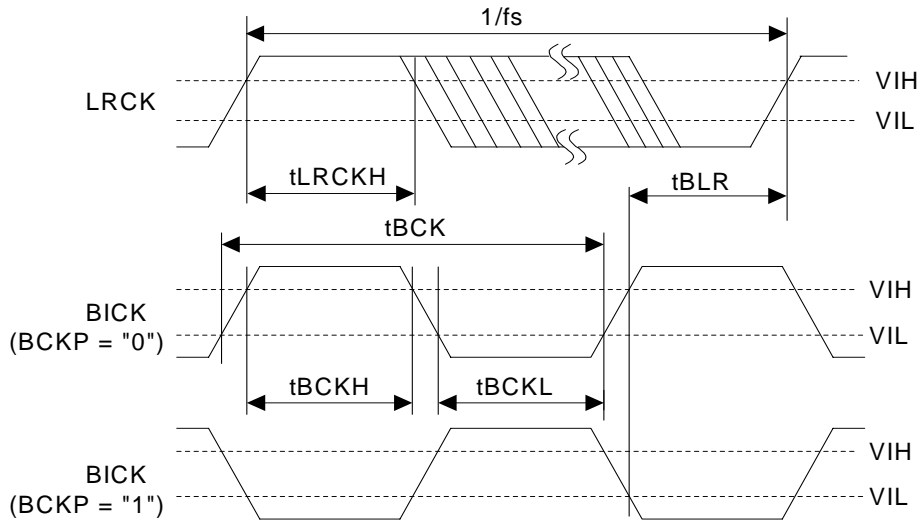


Figure 7. Clock Timing (PLL Slave mode; PLL Reference Clock = LRCK or BICK pin, DSP mode, MSBS = "0")

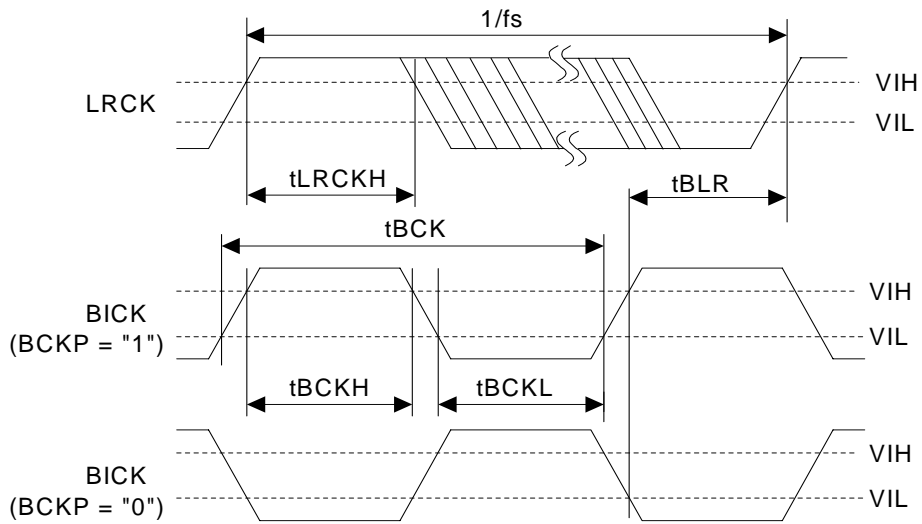


Figure 8. Clock Timing (PLL Slave mode; PLL Reference Clock = LRCK or BICK pin, DSP mode, MSBS = "1")

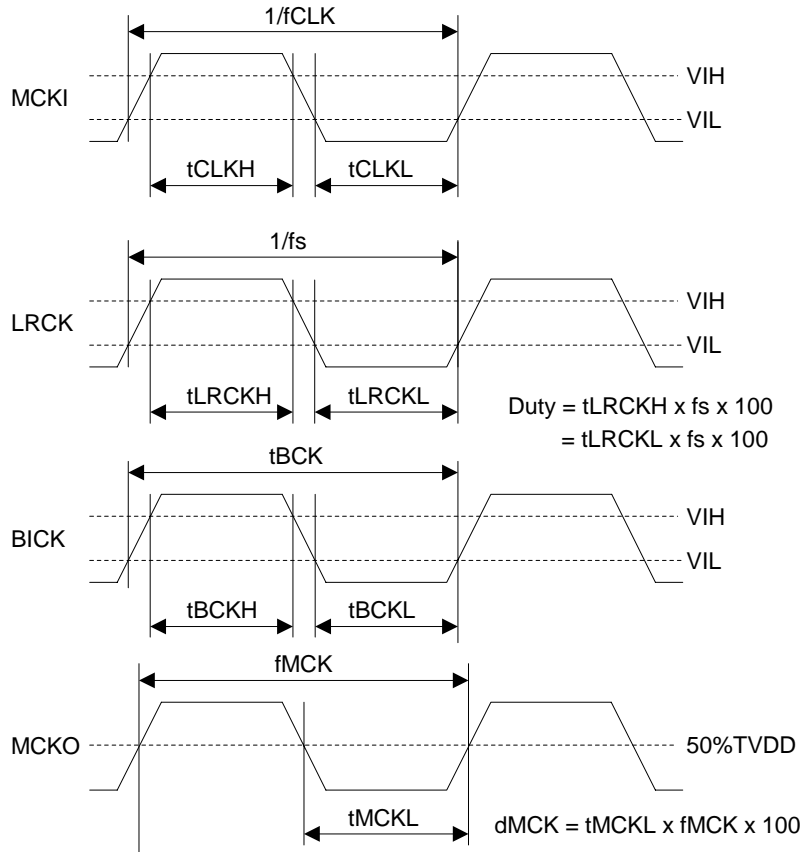


Figure 9. Clock Timing (PLL Slave mode; PLL Reference Clock = MCKI pin, Except DSP mode)

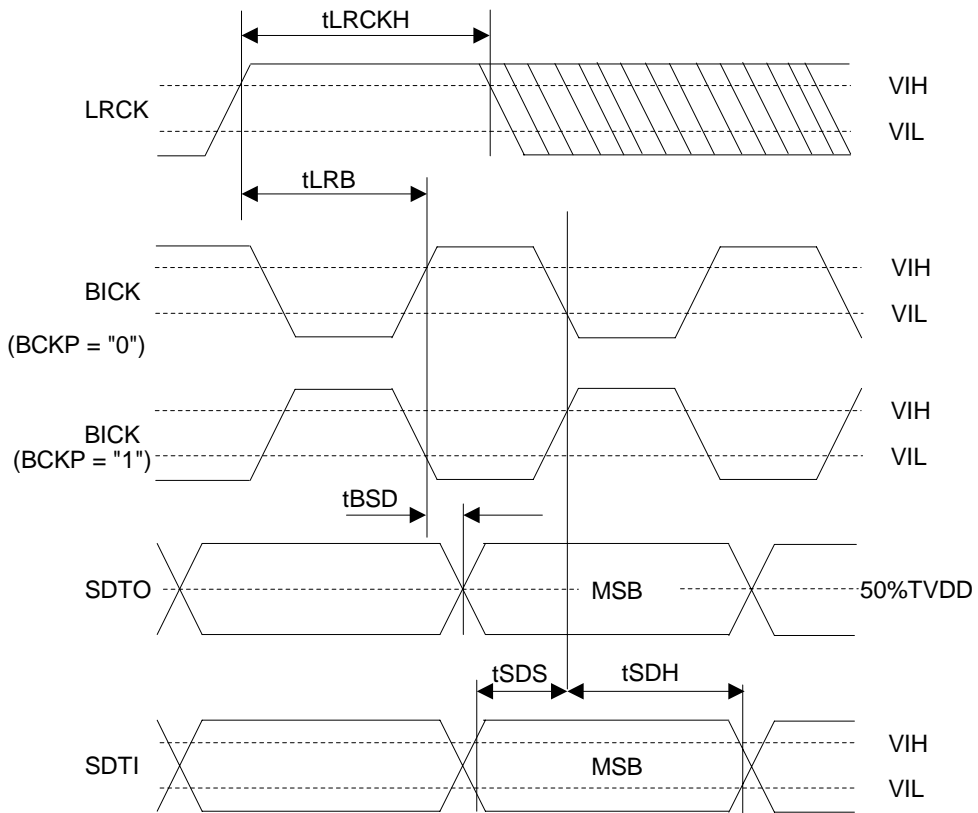


Figure 10. Audio Interface Timing (PLL Slave mode, DSP mode; MSBS = "0")

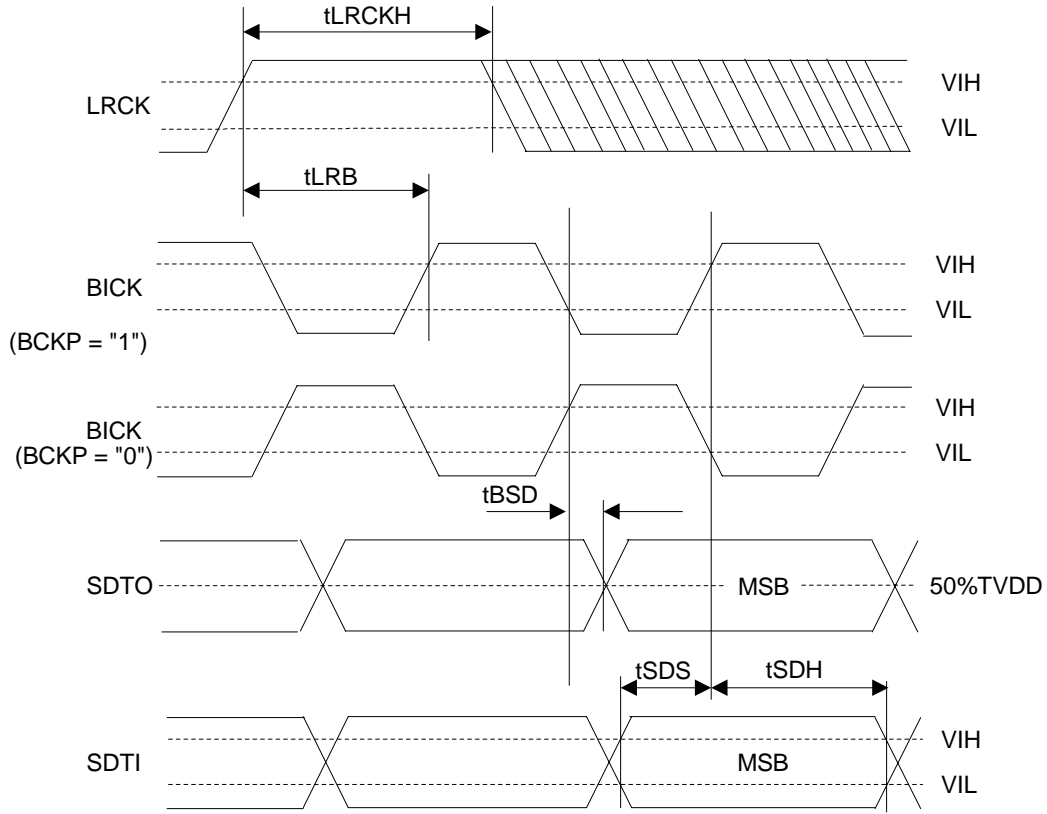


Figure 11. Audio Interface Timing (PLL Slave mode, DSP mode, MSBS = "1")

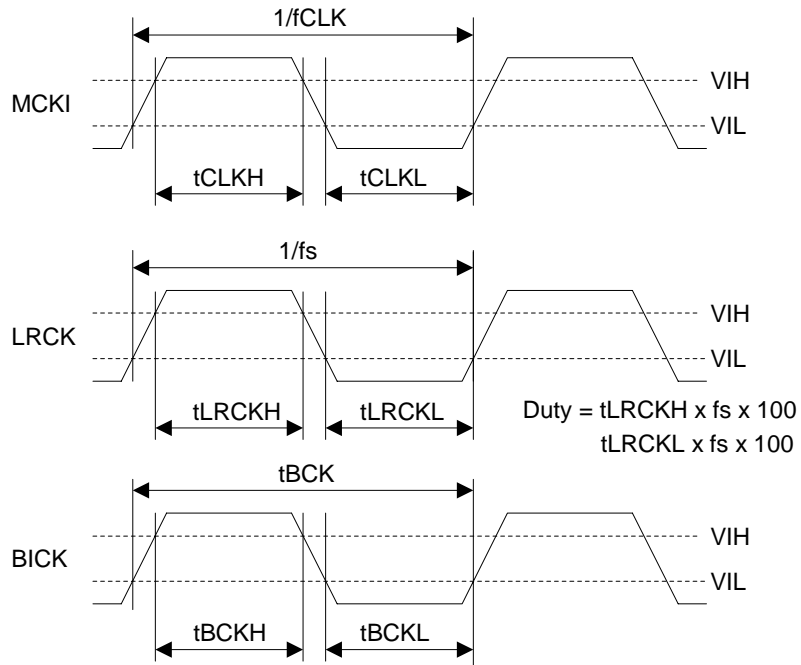


Figure 12. Clock Timing (EXT Slave mode)

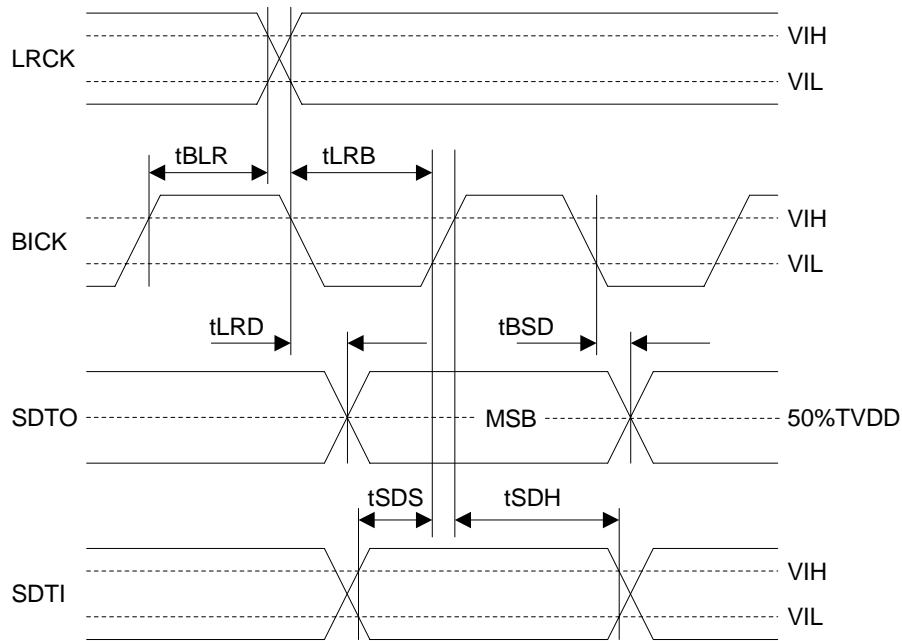


Figure 13. Audio Interface Timing (PLL/EXT Slave mode, Except DSP mode)

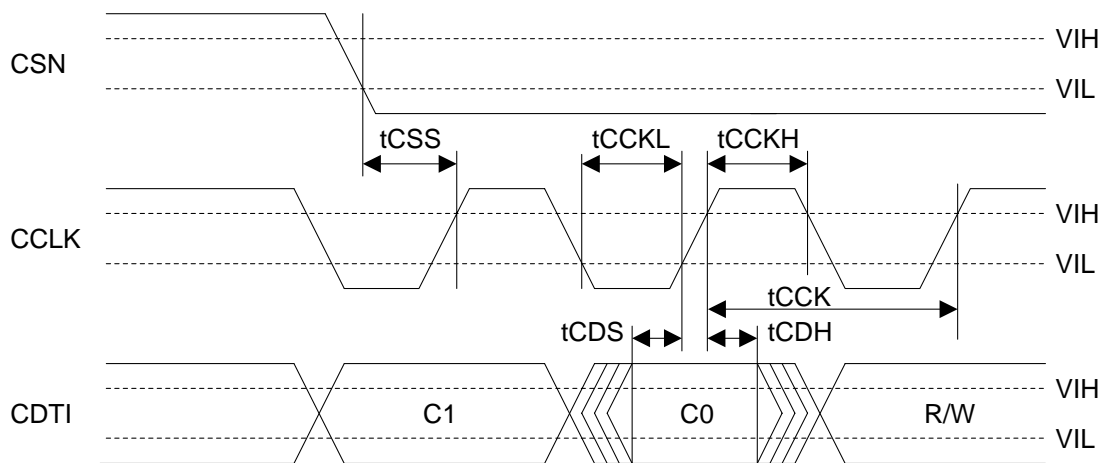


Figure 14. WRITE Command Input Timing

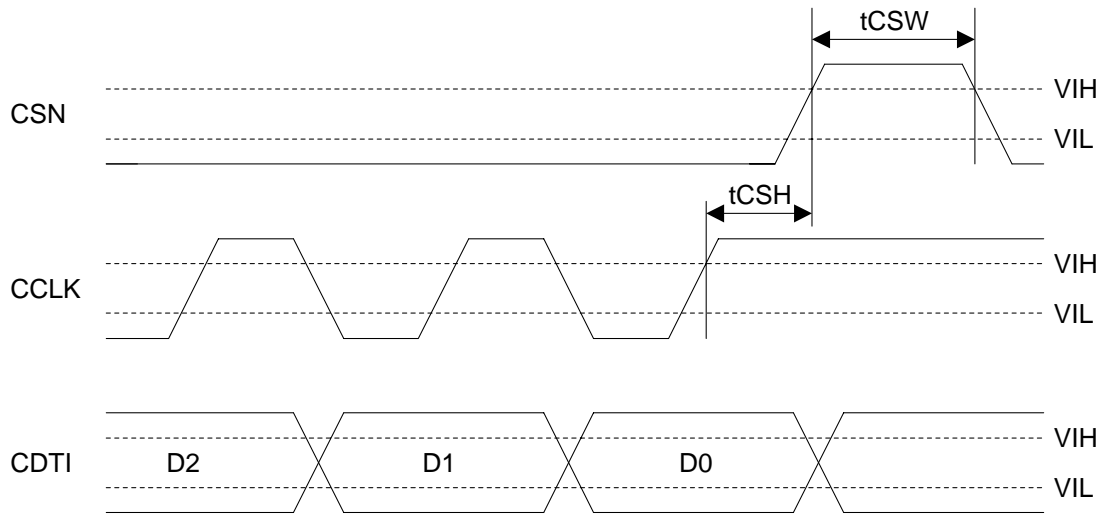


Figure 15. WRITE Data Input Timing

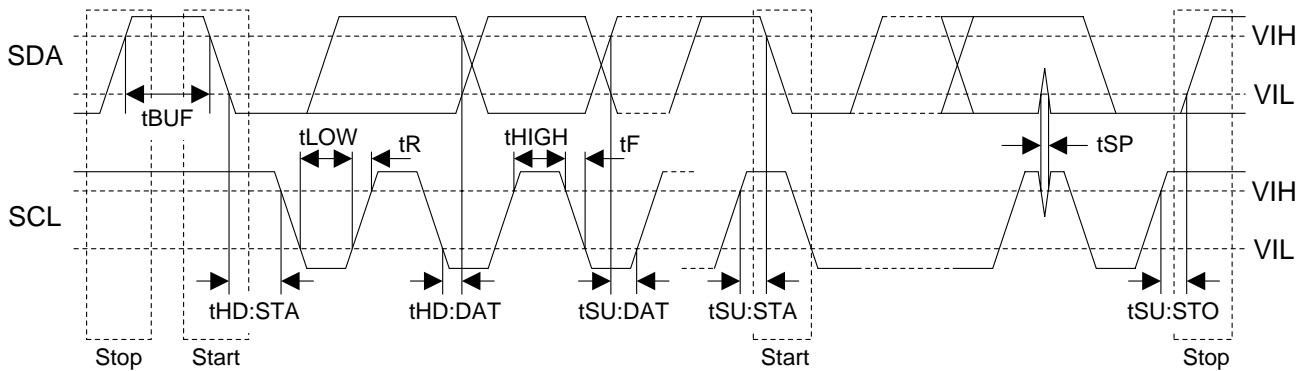


Figure 16. I<sup>2</sup>Cバスモードタイミング

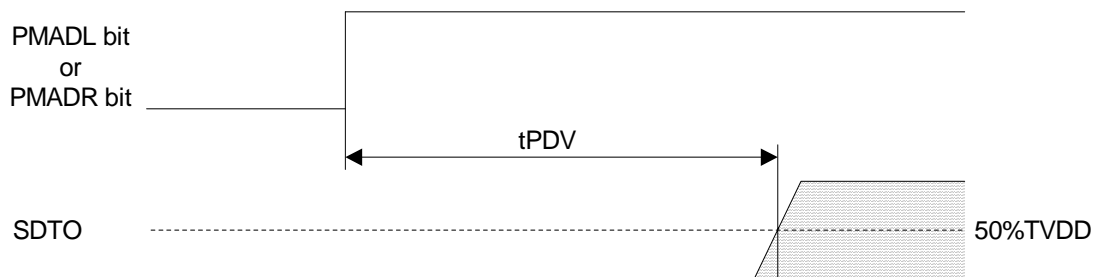


Figure 17. Power Down & Reset Timing 1

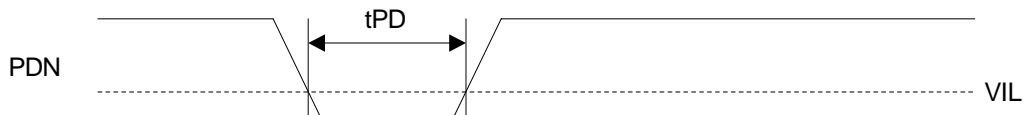


Figure 18. Power Down & Reset Timing 2

## 機能説明

## ■ システムクロック

外部とのI/Fモードは以下の4通りの方法があります。(See Table 2 and Table 3.)

Mode	PMPLL bit	M/S bit	PLL3-0 bits	Figure
PLL Master Mode (Note 38)	1	1	See Table 5	Figure 19
PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)	1	0	See Table 5	Figure 20
PLL Slave Mode 2 (PLL Reference Clock: LRCK or BICK pin)	1	0	See Table 5	Figure 21 Figure 22
EXT Slave Mode	0	0	x	Figure 23
EXT Master Mode	0	1	x	Figure 24

Note 38. PLL Master Modeに設定する過程で、M/S bit = “1”, PMPLL bit = “0”, MCKO bit = “1”のときMCKO pinから正常でない周波数のクロックが出力されます。

Table 2. Clock Mode Setting (x: Don't care)

Mode	MCKO bit	MCKO pin	MCKI pin	BICK pin	LRCK pin
PLL Master Mode	0	“L”	PLL3-0 bits で選択	Output (BCKO bit で選択)	Output (1fs)
	1	PS1-0 bits で選択			
PLL Slave Mode (PLL Reference Clock: MCKI pin)	0	“L”	PLL3-0 bits で選択	Input (≥ 32fs)	Input (1fs)
	1	PS1-0 bits で選択			
PLL Slave Mode (PLL Reference Clock: LRCK or BICK pin)	0	“L”	GND	Input (PLL3-0 bitsで選択)	Input (1fs)
EXT Slave Mode	0	“L”	FS1-0 bits で選択	Input (≥ 32fs)	Input (1fs)
EXT Master Mode	0	“L”	FS1-0 bits で選択	Output (BCKO bit で選択)	Output (1fs)

Table 3. Clock pins state in Clock Mode

## ■ マスタモードとスレーブモードの切り替え

マスタモードとスレーブモードの切り替えはM/S bitで行います。“1”でマスタモード、“0”でスレーブモードです。AK4645はパワーダウン時 (PDN pin = “L”)、及びパワーダウン解除後はスレーブモードです。パワーダウン解除後、M/S bitを“1”に変更することでマスタモードになります。

マスタモードで使用する場合、M/S bitに“1”が書き込まれるまで、AK4645のLRCK, BICK pinはフローティングの状態です。そのため、AK4645のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

M/S bit	Mode
0	Slave Mode
1	Master Mode

Default

Table 4. Select Master/Slave Mode

### ■ PLLモード(AIN3 bit = “0”, PMPLL bit = “1”)

PMPLL bit = “1”の時、内蔵の高精度アナログPLLはFS3-0 bits, PLL3-0 bitsで選択したクロックに応じて動作します。PLLのロック時間は、電源投入後、PMPLL bit を “0” → “1”に変更し、安定したクロックが入力された場合、またはサンプリング周波数に変更された場合、Table 5の通りです。AIN3 bit = “1”のときPLLは使用できません。

#### 1) PLL Modeの設定

Mode	PLL3 bit	PLL2 bit	PLL1 bit	PLL0 bit	PLL基準クロック入力ピン	入力周波数	VCOC pinの R,C		PLLロック時間 (max)	
							R[Ω]	C[F]		
0	0	0	0	0	LRCK pin	1fs	6.8k	220n	160ms	Default
1	0	0	0	1	N/A	-	-	-	-	
2	0	0	1	0	BICK pin	32fs	10k	4.7n	2ms	
							10k	10n	4ms	
3	0	0	1	1	BICK pin	64fs	10k	4.7n	2ms	
							10k	10n	4ms	
4	0	1	0	0	MCKI pin	11.2896MHz	10k	4.7n	40ms	
5	0	1	0	1	MCKI pin	12.288MHz	10k	4.7n	40ms	
6	0	1	1	0	MCKI pin	12MHz	10k	4.7n	40ms	
7	0	1	1	1	MCKI pin	24MHz	10k	4.7n	40ms	
8	1	0	0	0	MCKI pin	19.2MHz	10k	4.7n	40ms	
12	1	1	0	0	MCKI pin	13.5MHz	10k	10n	40ms	
13	1	1	0	1	MCKI pin	27MHz	10k	10n	40ms	
14	1	1	1	0	MCKI pin	13MHz	10k	220n	60ms	
15	1	1	1	1	MCKI pin	26MHz	10k	220n	60ms	
Others	Others			N/A						

Table 5. Setting of PLL Mode (\*fs: Sampling Frequency)

#### 2) PLL Modeのサンプリング周波数設定

基準クロックがMCKI入力の場合は、Table 6の設定によりサンプリング周波数が選択できます。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency		
0	0	0	0	0	8kHz	Default	
1	0	0	0	1	12kHz		
2	0	0	1	0	16kHz		
3	0	0	1	1	24kHz		
4	0	1	0	0	7.35kHz		
5	0	1	0	1	11.025kHz		
6	0	1	1	0	14.7kHz		
7	0	1	1	1	22.05kHz		
10	1	0	1	0	32kHz		
11	1	0	1	1	48kHz		
14	1	1	1	0	29.4kHz		
15	1	1	1	1	44.1kHz		
Others	Others				N/A		

Table 6. Setting of Sampling Frequency at PMPLL bit = “1” (Reference Clock = MCKI pin)

基準クロックがLRCK or BICKより入力の場合は、FS3, FS1-0 bitsでサンプリング周波数の設定を行って下さい(Table 7)。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency Range	
0	0	Don't care	0	0	7.35kHz ≤ fs ≤ 8kHz	Default
1	0	Don't care	0	1	8kHz < fs ≤ 12kHz	
2	0	Don't care	1	0	12kHz < fs ≤ 16kHz	
3	0	Don't care	1	1	16kHz < fs ≤ 24kHz	
6	1	Don't care	1	0	24kHz < fs ≤ 32kHz	
7	1	Don't care	1	1	32kHz < fs ≤ 48kHz	
Others	Others				N/A	

Table 7. Setting of Sampling Frequency at PMPLL bit = "1" (Reference Clock = LRCK or BICK pin)

■ PLLのアンロックについて

1) PLL Master Mode (AIN3 bit = "0", PMPLL bit = "1", M/S bit = "1")

このモードでPMPLL bit = "0" → "1"にした後PLLがロックするまでの間、BICKとLRCKは"L"を出力、MCKO bit = "1"のときMCKO pinからは正常でない周波数のクロックが出力されます。MCKO bit = "0"の場合は、MCKO pinは"L"を出力します。(See Table 8)

PLLロック後、BICKとLRCK出力は"L"からクロック出力となります。最初の1周期分のLRCK, BICKは、正常でない可能性があります、1fs後には正常なクロックになります。

サンプリング周波数を変更する場合は一度PMPLL bit = "0"にすることでアンロック状態の不定なBICK, LRCKを出力させずに"L"を出力させることができます。

PLL State	MCKO pin		BICK pin	LRCK pin
	MCKO bit = "0"	MCKO bit = "1"		
PMPLL bit "0" → "1"直後	"L" Output	不定	"L" Output	"L" Output
PLL Unlock 時(上記以外)	"L" Output	不定	不定	不定
PLL Lock 時	"L" Output	See Table 10	See Table 11	1fs Output

Table 8. Clock Operation at PLL Master Mode (PMPLL bit = "1", M/S bit = "1")

2) PLL Slave Mode (AIN3 bit = "0", PMPLL bit = "1", M/S bit = "0")

このモードではPMPLL bit = "0" → "1"にした後PLLがロックするまでの間、MCKOからは正常でない周波数のクロックが出力されます。その後、PLLがロックするとMCKO pinからTable 10で選択されたクロックが出力されます。但し、PLLがアンロックになった場合、ADC及びDACからは正常なデータが出力されません。DACに関しては、DACL, DACH bitsを"0"にすることにより出力をミュートすることが可能です。

PLL State	MCKO pin	
	MCKO bit = "0"	MCKO bit = "1"
PMPLL bit "0" → "1"直後	"L" Output	不定
PLL Unlock 時(上記以外)	"L" Output	不定
PLL Lock 時	"L" Output	Output

Table 9. Clock Operation at PLL Slave Mode (PMPLL bit = "0", M/S bit = "0")

■ PLL Master Mode (AIN3 bit = “0”, PMPLL bit = “1”, M/S bit = “1”)

外部から11.2896MHz, 12MHz, 12.288MHz, 13MHz, 13.5MHz, 19.2MHz, 24MHz, 26MHz or 27MHzのクロックを入力し、内部のPLLによりMCKO, BICK, LRCKクロックを生成し出力します。マスタクロック出力(MCKO)はPS1-0 bits (Table 10)で設定された周波数を出し、MCKO bitでON/OFF可能です。BICK出力はBCKO bitにより、32fs or 64fsを選択することができます。(See Table 11)

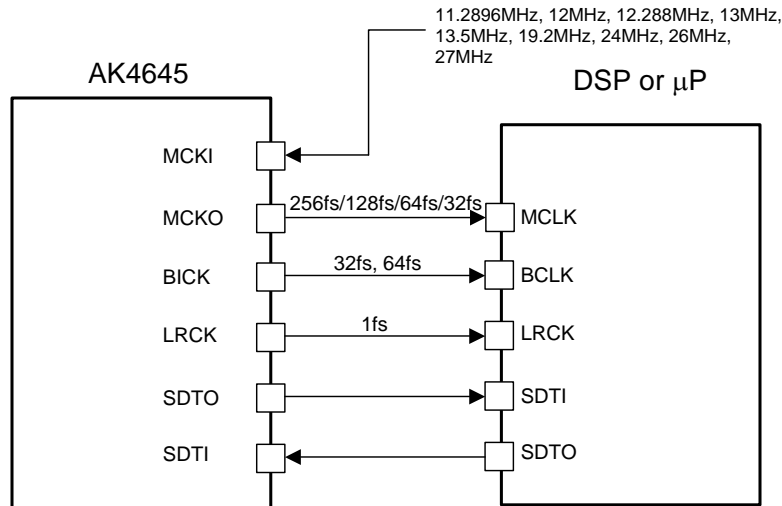


Figure 19. PLL Master Mode

Mode	PS1 bit	PS0 bit	MCKO pin
0	0	0	256fs
1	0	1	128fs
2	1	0	64fs
3	1	1	32fs

Default

Table 10. MCKO周波数 (PLLモード, MCKO bit = “1”)

BCKO bit	BICK出力周波数
0	32fs
1	64fs

Default

Table 11. BICK Output Frequency at Master Mode

■ PLL Slave Mode (AIN3 bit = “0”, PMPLL bit = “1”, M/S bit = “0”)

MCKI, BICK or LRCK pinへ入力されるクロックを基準に内部のPLLにてAK4645に必要なクロックを生成します。PLLの基準クロックは、PLL3-0 bitsにて設定することができます(Table 5)。

a) PLL 基準クロック: MCKI pin

MCKOに同期したBICK, LRCKを入力します。MCKOとLRCKは同期する必要がありますが位相を合わせる必要はありません。マスタクロック出力(MCKO pin)はPS1-0 bits (Table 10)で設定された周波数を出力し、MCKO bitでON/OFF可能です。サンプリング周波数は、FS3-0 bitsで設定することができます。(See Table 6)

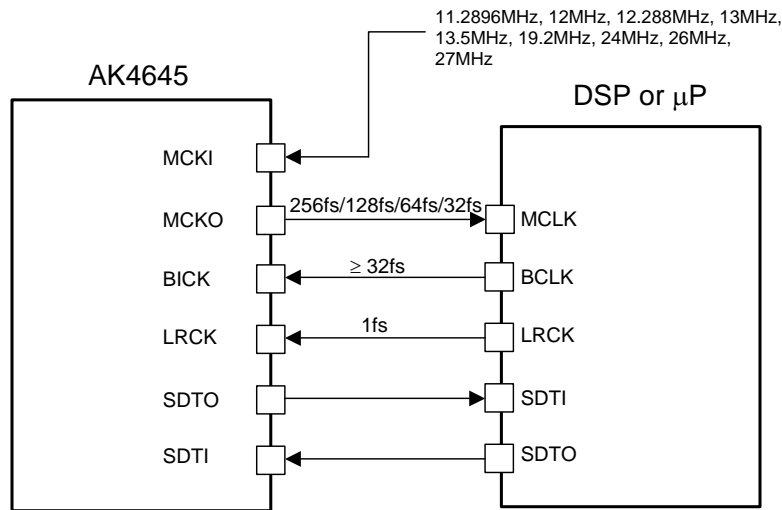


Figure 20. PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)

**b) PLL 基準クロック: BICK or LRCK pin**

FS3-0 bitsを設定することで、7.35kHz ~ 48kHzの任意のサンプリング周波数に対応します。(See Table 7.)

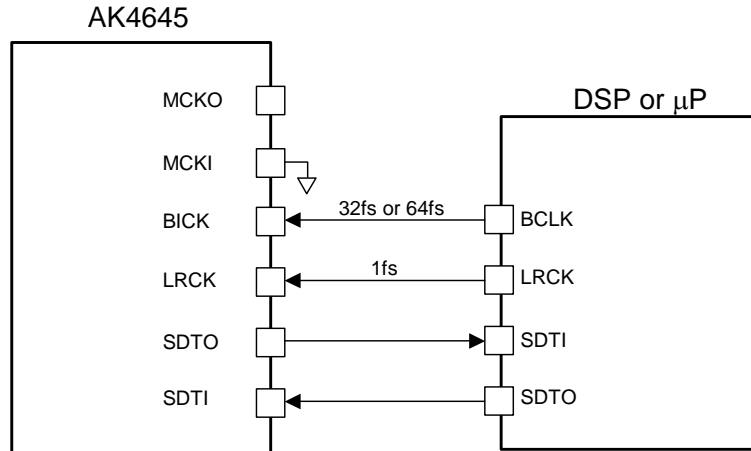


Figure 21. PLL Slave Mode 2 (PLL Reference Clock: BICK pin)

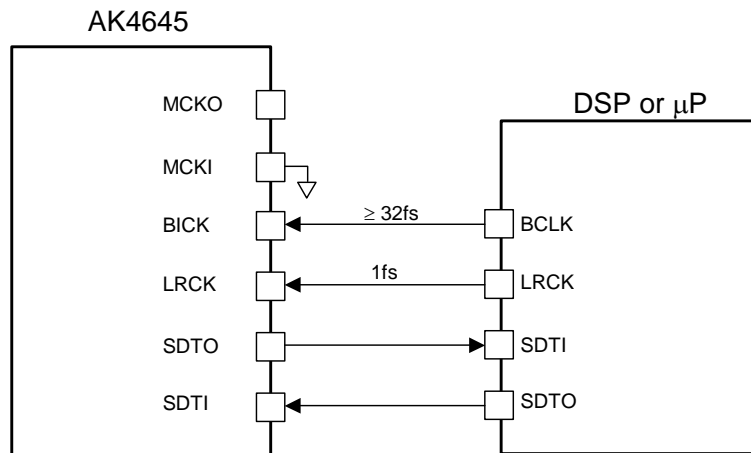


Figure 22. PLL Slave Mode 2 (PLL Reference Clock: LRCK pin)

ADC or DACが動作中(PMADL bit = “1”, PMADR bit = “1” or PMDAC bit = “1”)は外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMADL=PMADR=PMDAC bits = “0”)にしてください。

■ EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

PMPLL bitを“0”にすることで、外部クロックモード(EXT Mode)で動作し、MCKI pinからPLLを介さずに直接、ADC, DACにマスタクロックを入力できます。このモードは通常のオーディオCODECとのI/Fに対して互換性があります。必要なクロックはMCKI (256fs, 512fs or 1024fs), BICK ( $\geq 32fs$ ), LRCK(fs)です。MCKIとLRCKは同期する必要がありますが位相を合わせる必要はありません。MCKIの入力周波数はFS1-0 bitにより選択することが可能です。(See Table 12)

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range	
0	Don't care	0	0	256fs	7.35kHz ~ 48kHz	Default
1	Don't care	0	1	1024fs	7.35kHz ~ 13kHz	
2	Don't care	1	0	256fs	7.35kHz ~ 48kHz	
3	Don't care	1	1	512fs	7.35kHz ~ 26kHz	

Table 12. EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”) 時のMCKI周波数の設定

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。MCKIに入力されるマスタクロックの周波数を上げることで、S/Nを改善できます。Table 13はDAC出力からLOUT/ROUT pinsに通した場合のS/Nです。

MCKI	S/N (fs=8kHz, 20kHzLPF + A-weighted)
256fs	83dB
512fs	93dB
1024fs	93dB

Table 13. Relationship between MCKI and S/N of LOUT/ROUT pins

ADC or DACが動作中(PMADL bit = “1”, PMADR bit = “1” or PMDAC bit = “1”)は外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMADL=PMADR=PMDAC bits = “0”)にしてください。

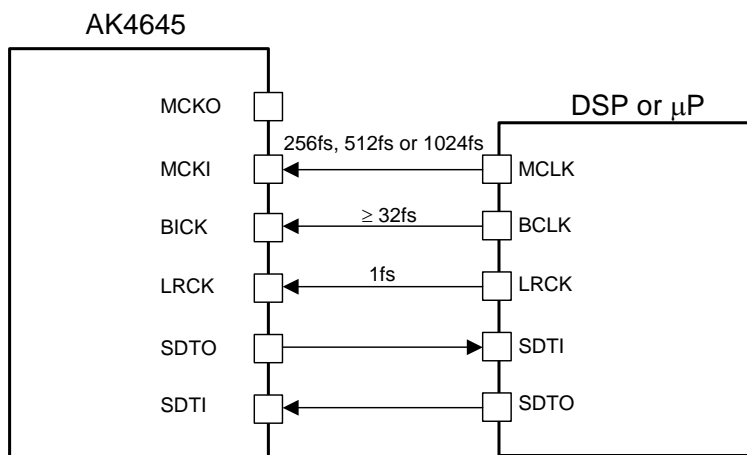


Figure 23. EXT Slave Mode

■ EXT Master Mode (PMPLL bit = “0”, M/S bit = “1”)

PMPLL bit = “0”およびM/S bit = “1”に設定することで、外部クロックマスタモード(EXT Master Mode)で動作し、MCKI pinからPLLを介さずに直接、ADC,DACにマスタクロックを入力できます。必要なクロックはMCKI (256fs, 512fs or 1024fs)です。MCKIの入力周波数はFS1-0 bitsにより選択することが可能です(See Table 14)。

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range
0	Don't care	0	0	256fs	7.35kHz ~ 48kHz
1	Don't care	0	1	1024fs	7.35kHz ~ 13kHz
2	Don't care	1	0	256fs	7.35kHz ~ 48kHz
3	Don't care	1	1	512fs	7.35kHz ~ 26kHz

Default

Table 14. EXT Master Mode (PMPLL bit = “0”, M/S bit = “1”)時のMCKI周波数の設定

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。MCKIに入力されるマスタクロックの周波数を上げることで、S/Nを改善できます。Table 15はDAC出力からLOUT/ROUT pinsに通した場合のS/Nです。

MCKI	S/N (fs=8kHz, 20kHzLPF + A-weighted)
256fs	83dB
512fs	93dB
1024fs	93dB

Table 15. Relationship between MCKI and S/N of LOUT/ROUT pins

ADCまたはDACが動作中(PMADL bit = “1”, PMADR bit = “1” or PMDAC bit = “1”)はMCKIを止めてはいけません。MCKIが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。MCKIを止める場合はパワーダウン状態(PMADL=PMADR=PMDAC bits = “0”)にしてください。

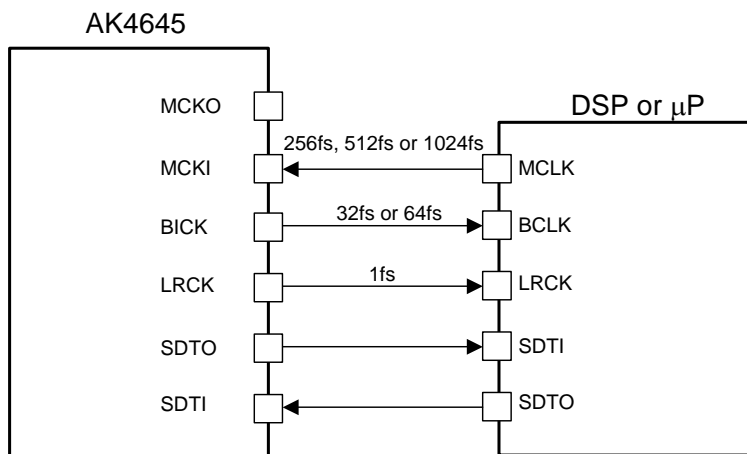


Figure 24. EXT Master Mode

BCKO bit	BICK出力周波数
0	32fs
1	64fs

Default

Table 16. BICK Output Frequency at Master Mode

### ■ システムリセット

電源立ち上げ時には、PDN pinに一度“L”を入力してリセットを行って下さい。システムリセットが行われると、AK4645の内部レジスタは全て初期値になります。

PMDAC bit = “0”の状態ではPMADL bitまたはPMADR bitを“0” → “1”に変更することにより、ADCの初期化サイクルが開始されます。初期化サイクルは $1059/fs=24ms@fs=44.1kHz$ です。初期化サイクル中のADC出力データは2'sコンプリメントの“0”です。初期化サイクル終了後、ADCの出力はアナログ入力信号に相当するデータにセトリングします。PMDAC bit = “1”のとき、ADCの初期化サイクルはありません。

PMADL=PMADR bits = “0”でPMDAC bit = “0” → “1”に変更することで、DACの初期化サイクルが開始されます。初期化サイクルは $1059/fs=24ms@fs=44.1kHz$ です。初期化サイクル中のDAC入力データは内部で2'sコンプリメントの“0”に固定されます。初期化サイクルが終了すると、DACの群遅延( $25/fs=0.6ms@fs=44.1kHz$ )経過後、DAC出力はデジタル入力信号に相当する電圧になります。PMADL bitまたはPMADR bitが“1”のとき、DACの初期化サイクルはありません。

### ■ オーディオインタフェースフォーマット

4種類のデータフォーマット(Table 17)がDIF1-0 bitsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットです。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではLRCKとBICKは出力になり、スレーブモードでは入力になります。

Mode	DIF1 bit	DIF0 bit	SDTO (ADC)	SDTI (DAC)	BICK	Figure
0	0	0	DSP Mode	DSP Mode	≥ 32fs	Table 18
1	0	1	前詰め	後詰め	≥ 32fs	Figure 29
2	1	0	前詰め	前詰め	≥ 32fs	Figure 30
3	1	1	I <sup>2</sup> S互換	I <sup>2</sup> S互換	≥ 32fs	Figure 31

Default

Table 17. Audio Interface Format

Mode 1, 2, 3ではSDTOはBICKの“↓”で出力され、SDTIはBICKの“↑”でラッチされます。

Mode 0 (DSPモード)では、BCKP, MSBS bitsにより、オーディオI/Fのタイミングを変更することができます (Table 18)。

DIF1	DIF0	MSBS	BCKP	Audio Interface Format	Figure
0	0	0	0	SDTOのMSBデータはLRCK “↑”後の1回目のBICK “↑”で出力され、その直後のBICK “↓”でSDTIのMSBデータがラッチされます。	Figure 25
		0	1	SDTOのMSBデータはLRCK “↑”後の1回目のBICK “↓”で出力され、その直後のBICK “↑”でSDTIのMSBデータがラッチされます。	Figure 26
		1	0	SDTOのMSBデータはLRCK “↑”後の1回目のBICK “↓”の次のBICK “↑”で出力され、その直後のBICK “↓”でSDTIのMSBデータがラッチされます。	Figure 27
		1	1	SDTOのMSBデータはLRCK “↑”後の1回目のBICK “↑”の次のBICK “↓”で出力され、その直後のBICK “↑”でSDTIのMSBデータがラッチされます。	Figure 28

Default

Table 18. Audio Interface Format in Mode 0

ADCより出力された16bitデータを8bitデータへ変換し保存する場合、16bitデータを単純に切り捨てると、16bitデータの“-1”は8bitデータで“-1”に変換されます。この8bitデータの“-1”をDACにて再生するため16bitデータに再変換すると“-256”となり大きなノイズになります。8bitデータへ変換する前に、16bitデータにオフセット(128)を加算することを推奨します。

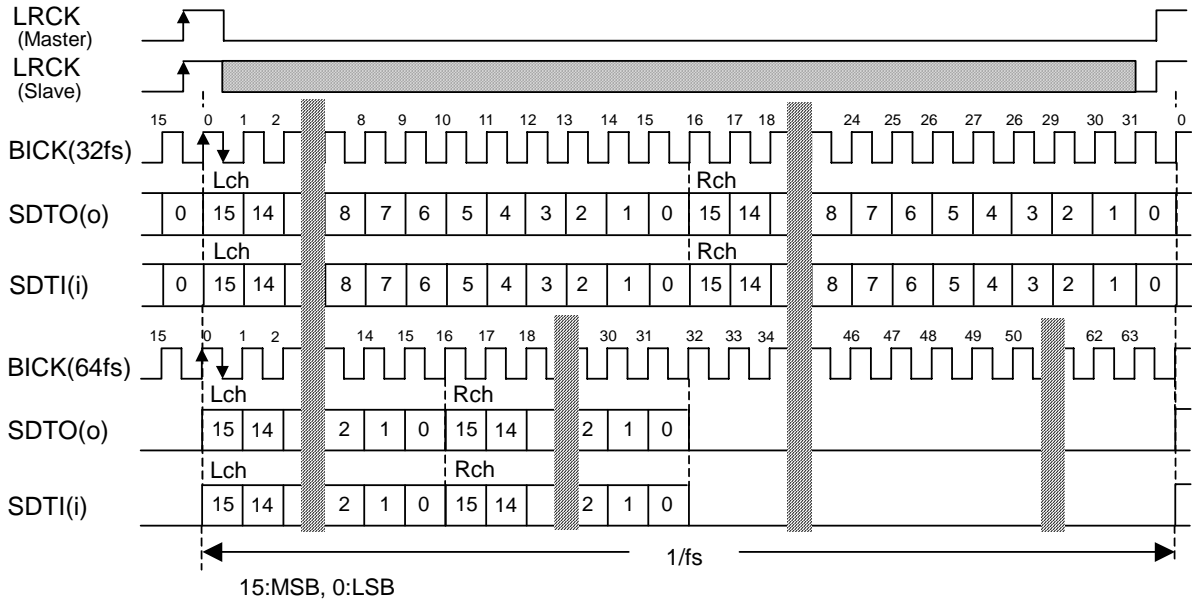


Figure 25. Mode 0 Timing (BCKP = "0", MSBS = "0")

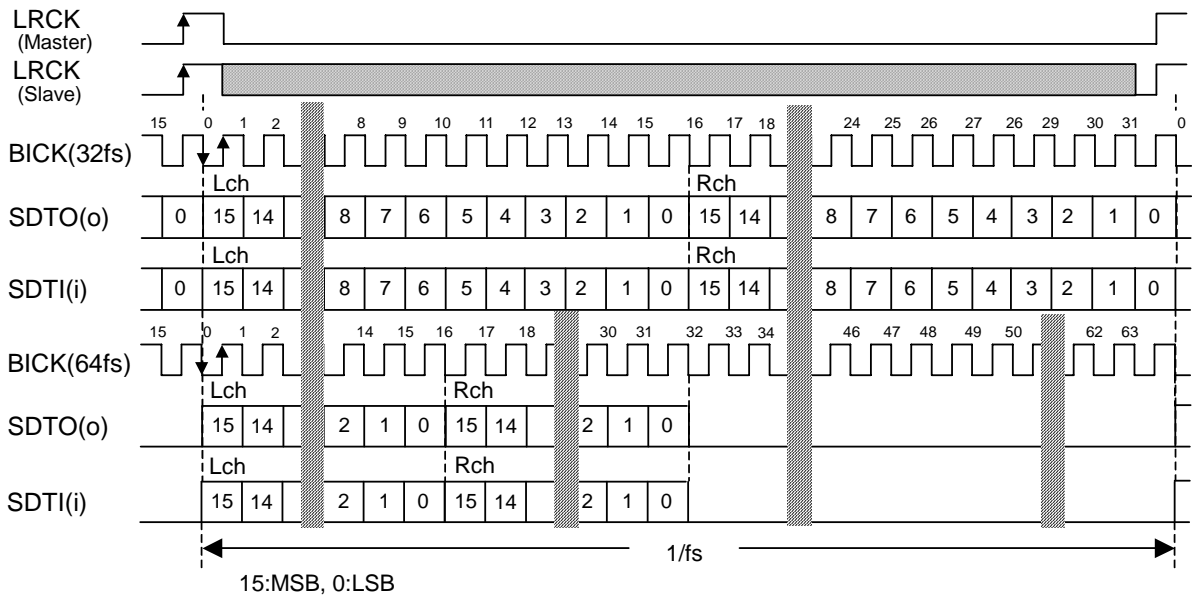


Figure 26. Mode 0 Timing (BCKP = "1", MSBS = "0")

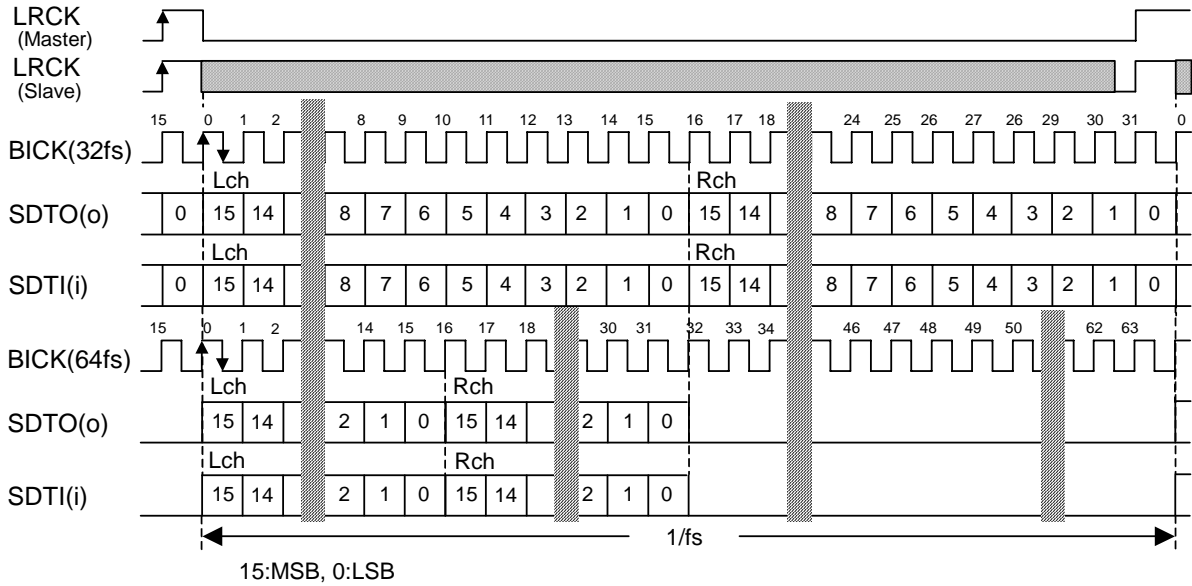


Figure 27. Mode 0 Timing (BCKP = "0", MSBS = "1")

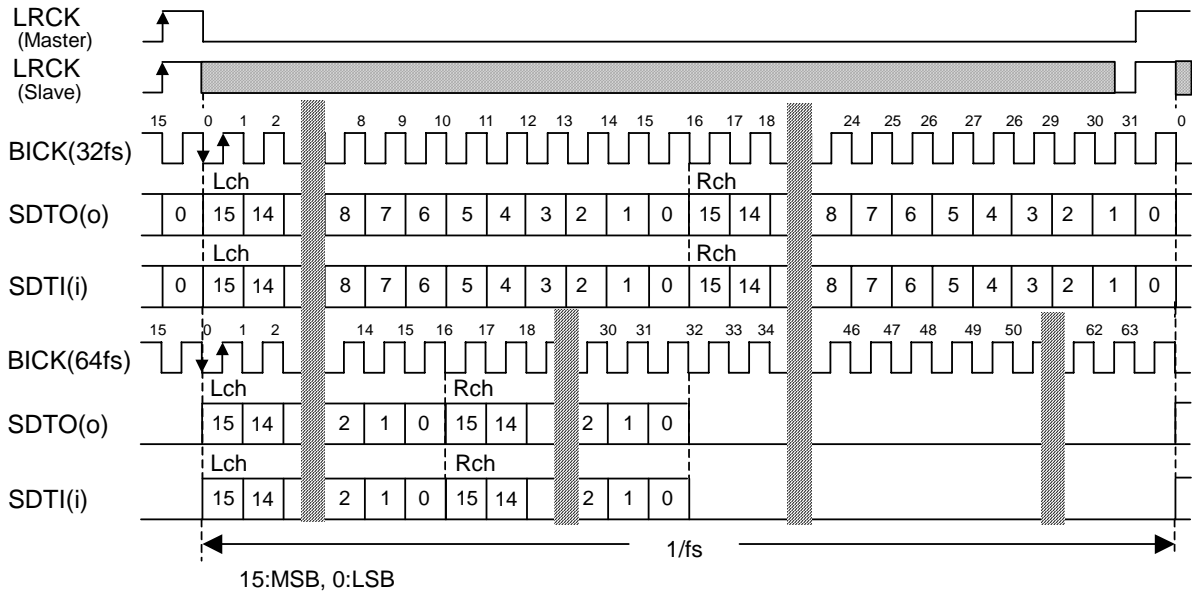


Figure 28. Mode 0 Timing (BCKP = "1", MSBS = "1")

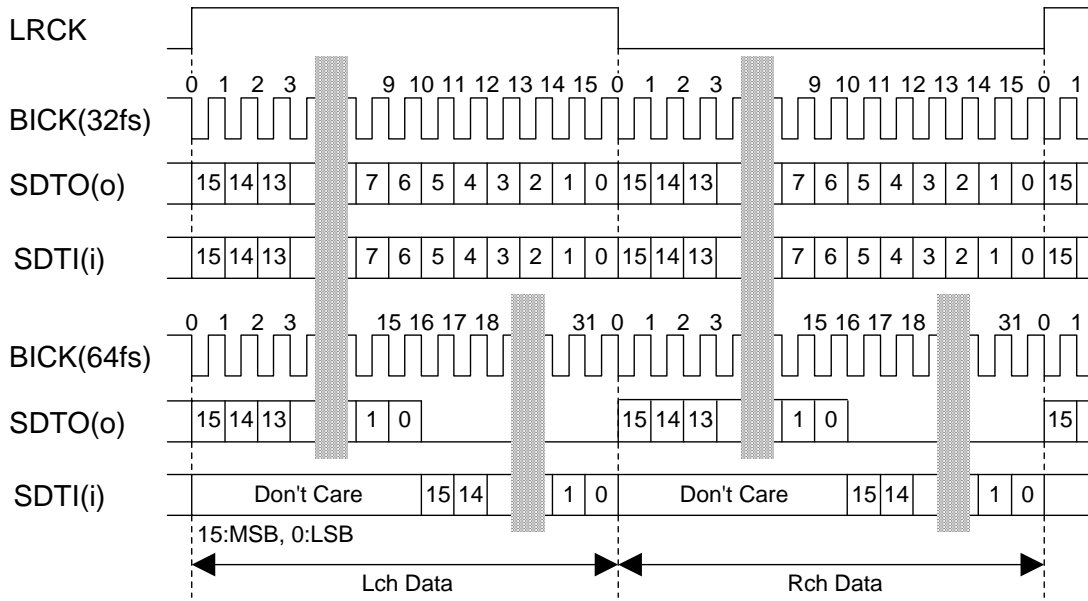


Figure 29. Mode 1 Timing

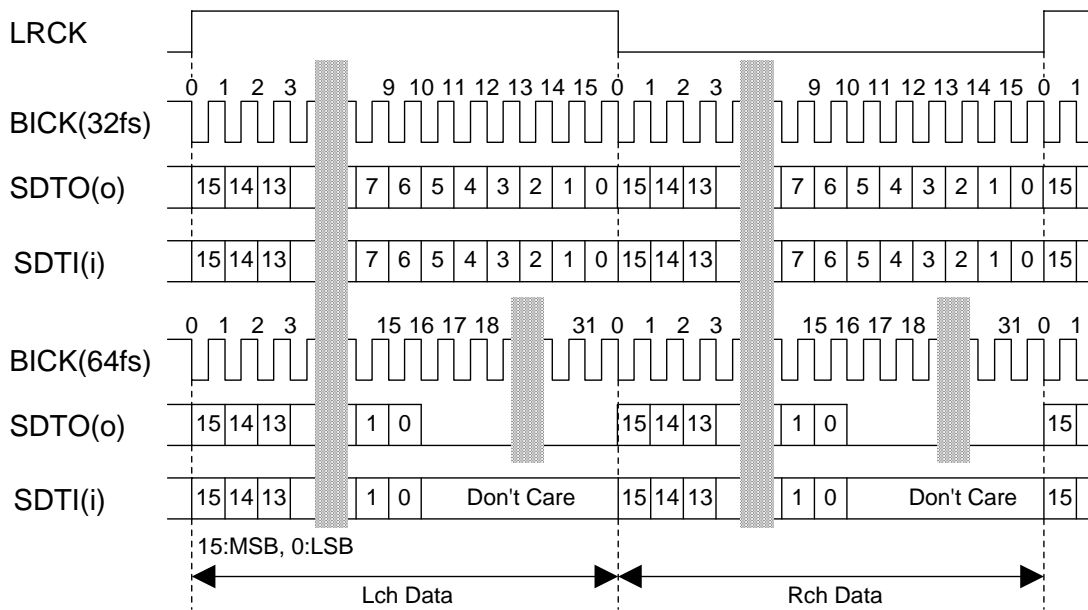


Figure 30. Mode 2 Timing

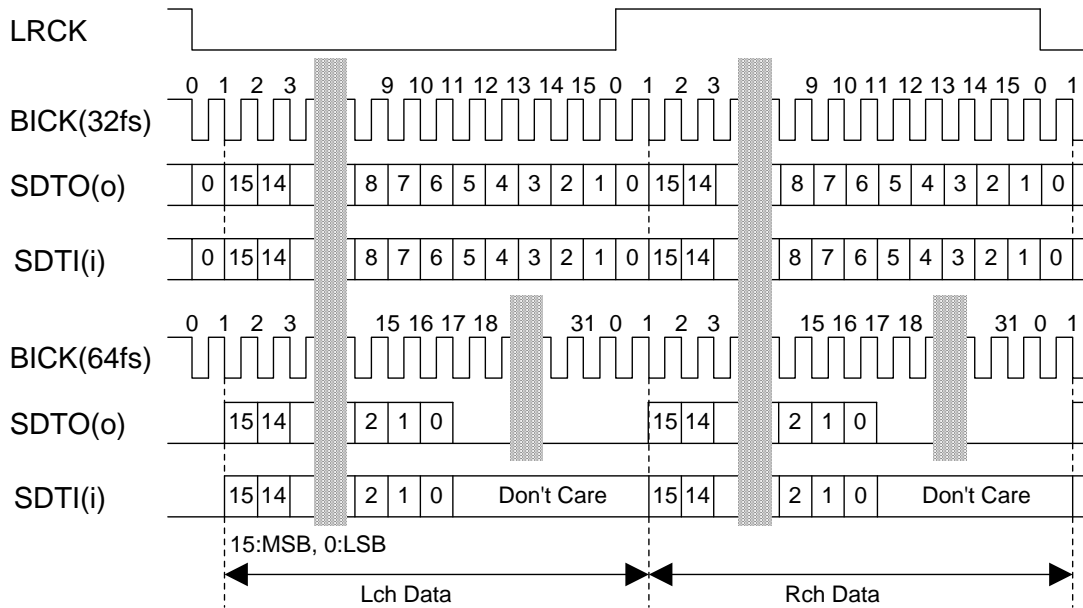


Figure 31. Mode 3 Timing

■ モノラル/ステレオ切り替え

PMADL, PMADR, MIX bitsの設定によりADCのモノラル/ステレオ動作を切り替えることができます。MIX bit = “1”の場合、EQ=FIL3 bits = “0”に設定して下さい。下表のデータに対してALC動作(ALC bit = “1”)またはデジタルボリューム動作(ALC bit = “0”)が行われます。

PMADL bit	PMADR bit	MIX bit	ADC Lch data	ADC Rch data	Default
0	0	x	All “0”	All “0”	
0	1	x	Rch Input Signal	Rch Input Signal	
1	0	x	Lch Input Signal	Lch Input Signal	
1	1	0	Lch Input Signal	Rch Input Signal	
		1	(L+R)/2	(L+R)/2	

Table 19. モノラル/ステレオ切り替え(x: Don’t care)

■ デジタルHPF

AK4645はDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は0.9Hz (@fs=44.1kHz)になっており、サンプリング周波数(fs)に比例します。PMADL bit = “1” or PMADR bit = “1”のとき、ADCのHPFはON、DACのHPFはOFFです。PMADL=PMADR bits = “0”, PMDAC bit = “1”のとき、DACのHPFはON、ADCのHPFはOFFです。

## ■ マイク/ライン入力セクタ

AK4645はマイクアンプへの入力セクタを内蔵しています。MDIF1, MDIF2 bits = “0”のとき、INL1-0, INR1-0 bitsにより、LIN1/LIN2/LIN3/LIN4, RIN1/RIN2/RIN3/RIN4をそれぞれ切り替えることができます。MDIF1, MDIF2 bits = “1”のとき、LIN1, RIN1, LIN2, RIN2 pinsはそれぞれIN1-, IN1+, IN2+, IN2- pinsとなり、差動入力が可能です(Figure 33)。差動入力で使用する場合、Table 21で“X”印のついているピンには信号を入力しないでください。

MDIF1 bit	MDIF2 bit	INL1 bit	INL0 bit	INR1 bit	INR0 bit	Lch	Rch	
0	0	0	0	0	0	LIN1	RIN1	Default
0	0	0	0	0	1	LIN1	RIN2	
0	0	0	0	1	0	LIN1	RIN3	
0	0	0	0	1	1	LIN1	RIN4	
0	0	0	1	0	0	LIN2	RIN1	
0	0	0	1	0	1	LIN2	RIN2	
0	0	0	1	1	0	LIN2	RIN3	
0	0	0	1	1	1	LIN2	RIN4	
0	0	1	0	0	0	LIN3	RIN1	
0	0	1	0	0	1	LIN3	RIN2	
0	0	1	0	1	0	LIN3	RIN3	
0	0	1	0	1	1	LIN3	RIN4	
0	0	1	1	0	0	LIN4	RIN1	
0	0	1	1	0	1	LIN4	RIN2	
0	0	1	1	1	0	LIN4	RIN3	
0	0	1	1	1	1	LIN4	RIN4	
0	1	0	0	0	0	LIN1	IN2+/-	
0	1	1	0	0	0	LIN3	IN2+/-	
0	1	1	1	0	0	LIN4	IN2+/-	
1	0	0	0	0	1	IN1+/-	RIN2	
1	0	0	0	1	0	IN1+/-	RIN3	
1	0	0	0	1	1	IN1+/-	RIN4	
1	1	0	0	0	0	IN1+/-	IN2+/-	
Others						N/A	N/A	

Table 20. MIC/Line In Path Select

Register			Pin							
AIN3 bit	MDIF1 bit	MDIF2 bit	LIN1 IN1-	RIN1 IN1+	LIN2 IN2+	RIN2 IN2-	MIN LIN3	VCOC RIN3	LIN4 IN4+	RIN4 IN4-
0	0	0	O	O	O	O	O	-	O	O
0	0	1	O	X	O	O	O	-	O	X
0	1	0	O	O	X	O	O	-	X	O
0	1	1	O	O	O	O	O	-	X	X
1	0	0	O	O	O	O	O	O	O	O
1	0	1	O	X	O	O	O	X	O	X
1	1	0	O	O	X	O	X	O	X	O
1	1	1	O	O	O	O	X	X	X	X

Table 21. Handling of MIC/Line Input Pins (“-”: N/A; “X”: Signal should not be input.)

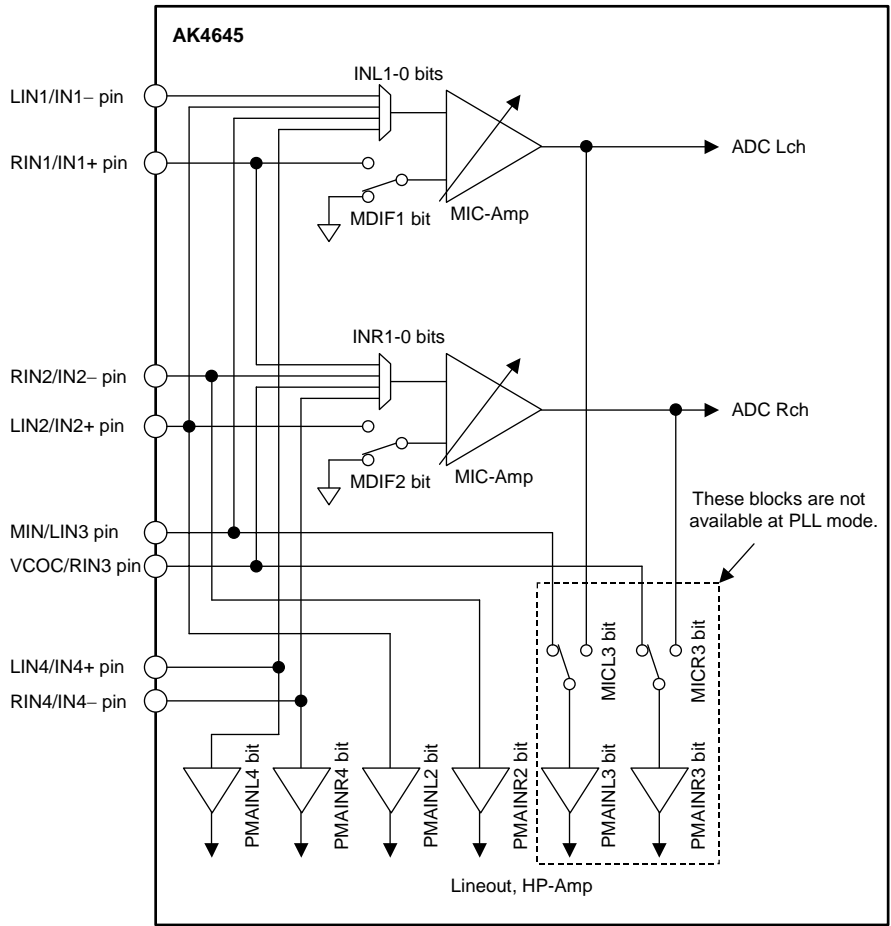


Figure 32. マイク / ライン入力セレクト

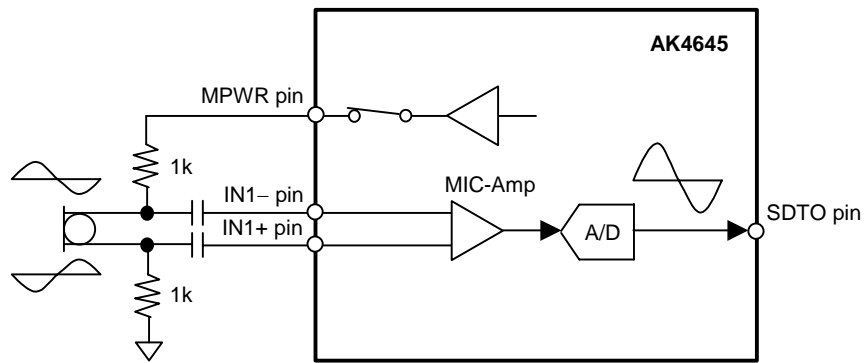


Figure 33. 差動マイク入力の回路例(MDIF1/2 bits = “1”)

<入力セクタ設定例>

IN1+/- pinsを差動マイク入力、LIN2/RIN2 pinsをステレオライン入力として使用する場合、次の2モードを場面に応じて切り替えて使用してください。

MDIF1 bit	MDIF2 bit	INL1 bit	INL0 bit	INR1 bit	INR0 bit	Lch	Rch
1	0	0	0	0	1	IN1+/-	RIN2
0	0	0	1	0	1	LIN2	RIN2

Table 22. MIC/Line In Path Select Example

■ マイク用ゲインアンプ

AK4645はマイク用ゲインアンプを内蔵しています。MGAIN1-0 bitによりゲインを設定することができます (Table 23)。入力インピーダンスはMGAIN1-0 bits = “00”のときtyp. 60kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 30kΩです。

MGAIN1 bit	MGAIN0 bit	Input Gain
0	0	0dB
0	1	+20dB
1	0	+26dB
1	1	+32dB

Default

Table 23. マイク入力ゲイン

■ マイクパワー

PMMP bit = “1”のとき、MPWR pinからマイク用の電源を供給することができます。出力電圧は(0.75 x AVDD)V (typ)で、負荷抵抗は、min. 0.5kΩです。ステレオマイク2系統の場合は各チャンネル min. 2kΩです。MPWR pinにコンデンサは接続しないで下さい。(Figure 34参照)

PMMP bit	MPWR pin
0	Hi-Z
1	Output

Default

Table 24. マイクパワー

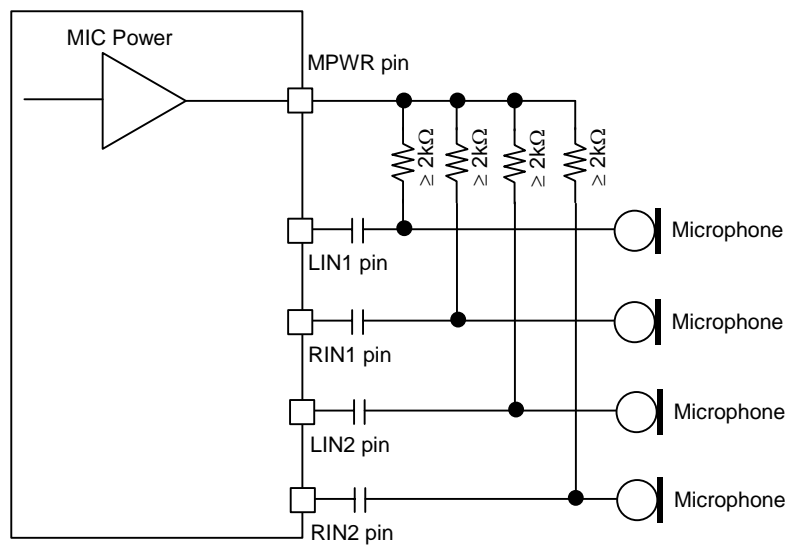


Figure 34. MIC Block Circuit

■ Digital EQ/HPF/LPF回路

AK4645ではA/D変換後のデータに対して、風切り音フィルタ、ステレオ感強調、ゲイン補正及びALCの処理を行うことができます(Figure 35参照)。FIL1, FIL3, EQはそれぞれ1次のIIRフィルタで、フィルタ係数を任意に設定できます。ALCについては、“ALC動作”の項を参照して下さい。

DACのみ動作させる場合、再生パスに対してDigital EQ/HPF/LPF回路が動作します。ADCのみ動作させる場合またはADCとDACを両方動作させる場合では録音パスに対して動作します。録音から再生に切り替えた場合、録音時の設定が保持されているので、Digital EQ/HPF/LPFを使用しない場合はFIL3, EQ, FIL1, GN1-0 bitsを“0”に設定して下さい。

PMADL bit, PMADR bit	PMDAC bit	LOOP bit	状態	Digital EQ/HPF/LPF	
“00”	0	x	パワーダウン	パワーダウン	Default
	1	x	再生	再生パス	
“01”, “10” or “11”	0	x	録音	録音パス	
	1	0	録音, 再生	録音パス	
		1	録音モニター再生	録音パス	

Note 39. ステレオ感強調回路はステレオ動作のときのみ有効です。

Table 25. Digital EQ/HPF/LPF回路動作設定 (x: Don't care)

ステレオ感強調のATTはFIL3の係数で同時に設定します。

ゲイン補正のゲインはGN1-0 bits (Table 26参照)とEQの係数の組み合わせで設定します。

FIL1, FIL3はそれぞれF1AS, F3AS bitsが“0”のときHPFになり、F1AS, F3AS bitsが“1”のときLPFになります。

FIL3をOFF(MUTE)し、EQ, FIL1を0dBでスルーさせる場合は、それぞれFIL3, EQ, FIL1 bitsを“0”に設定して下さい。各フィルタ係数を書き換える場合は、一度スルー(FIL3はMUTE)のモードにしてから行って下さい。

MIX bit = “1”の場合は、FIL1のみ使用できます。EQ=FIL3 bits = “0”に設定して下さい。

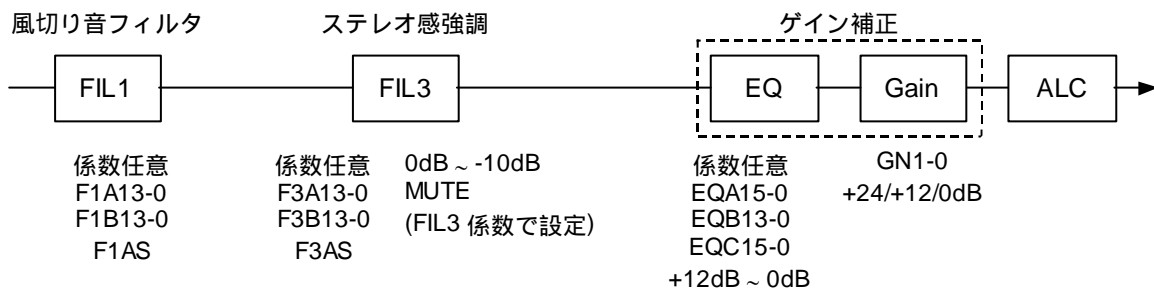


Figure 35. Digital EQ/HPF/LPF

GN1	GN0	Gain	
0	0	0dB	Default
0	1	+12dB	
1	x	+24dB	

Table 26. Gain部のゲイン設定 (x: Don't care)

[フィルタ係数の設定について]

1) FIL1, FIL3をHPFに設定する場合

- fs: サンプリング周波数
- fc: カットオフ周波数
- f: 入力信号周波数
- K: ゲイン[dB] (FIL1のゲインは0dBに設定して下さい。)

レジスタ設定

FIL1: F1AS bit = “0”, F1A[13:0] bits =A, F1B[13:0] bits =B  
 FIL3: F3AS bit = “0”, F3A[13:0] bits =A, F3B[13:0] bits =B  
 (MSB=F1A13, F1B13, F3A13, F3B13; LSB=F1A0, F1B0, F3A0, F3B0)

$$A = 10^{K/20} \times \frac{1 / \tan (\pi f c / f s)}{1 + 1 / \tan (\pi f c / f s)}, \quad B = \frac{1 - 1 / \tan (\pi f c / f s)}{1 + 1 / \tan (\pi f c / f s)}$$

伝達関数	振幅	位相
$H(z) = A \frac{1 - z^{-1}}{1 + Bz^{-1}}$	$M(f) = A \sqrt{\frac{2 - 2\cos (2\pi f / f s)}{1 + B^2 + 2B\cos (2\pi f / f s)}}$	$\theta(f) = \tan^{-1} \frac{(B+1)\sin (2\pi f / f s)}{1 - B + (B-1)\cos (2\pi f / f s)}$

2) FIL1, FIL3をLPFに設定する場合

- fs: サンプリング周波数
- fc: カットオフ周波数
- f: 入力信号周波数
- K: ゲイン[dB] (FIL1のゲインは0dBに設定して下さい。)

レジスタ設定

FIL1: F1AS bit = “1”, F1A[13:0] bits =A, F1B[13:0] bits =B  
 FIL3: F3AS bit = “1”, F3A[13:0] bits =A, F3B[13:0] bits =B  
 (MSB=F1A13, F1B13, F3A13, F3B13; LSB=F1A0, F1B0, F3A0, F3B0)

$$A = 10^{K/20} \times \frac{1}{1 + 1 / \tan (\pi f c / f s)}, \quad B = \frac{1 - 1 / \tan (\pi f c / f s)}{1 + 1 / \tan (\pi f c / f s)}$$

伝達関数	振幅	位相
$H(z) = A \frac{1 + z^{-1}}{1 + Bz^{-1}}$	$M(f) = A \sqrt{\frac{2 + 2\cos (2\pi f / f s)}{1 + B^2 + 2B\cos (2\pi f / f s)}}$	$\theta(f) = \tan^{-1} \frac{(B-1)\sin (2\pi f / f s)}{1 + B + (B+1)\cos (2\pi f / f s)}$

3) EQ

- fs: サンプリング周波数
- fc<sub>1</sub>: 極の周波数
- fc<sub>2</sub>: 零点の周波数
- f: 入力信号周波数
- K: ゲイン[dB] (最大+12dBまで設定できます。)

レジスタ設定

EQA[15:0] bits =A, EQB[13:0] bits =B, EQC[15:0] bits =C  
 (MSB=EQA15, EQB13, EQC15; LSB=EQA0, EQB0, EQC0)

$$A = 10^{K/20} \times \frac{1 + 1 / \tan(\pi f c_2 / f_s)}{1 + 1 / \tan(\pi f c_1 / f_s)}, \quad B = \frac{1 - 1 / \tan(\pi f c_1 / f_s)}{1 + 1 / \tan(\pi f c_1 / f_s)}, \quad C = 10^{K/20} \times \frac{1 - 1 / \tan(\pi f c_2 / f_s)}{1 + 1 / \tan(\pi f c_1 / f_s)}$$

伝達関数	振幅	位相
$H(z) = \frac{A + Cz^{-1}}{1 + Bz^{-1}}$	$M(f) = \sqrt{\frac{A^2 + C^2 + 2AC \cos(2\pi f / f_s)}{1 + B^2 + 2B \cos(2\pi f / f_s)}}$	$\theta(f) = \tan^{-1} \frac{(AB - C) \sin(2\pi f / f_s)}{A + BC + (AB + C) \cos(2\pi f / f_s)}$

[上式により算出されたフィルタ係数を実数から2進数(2の補数)へ変換する手順]

X=(上式により算出された実数のフィルタ係数) x 2<sup>13</sup>

このXの小数点以下を四捨五入した整数値を2進数(2の補数)に変換して下さい。  
 各フィルタ係数設定レジスタのMSBは符号ビットです。

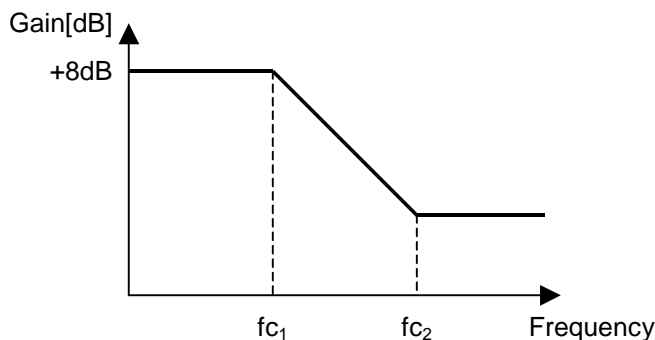
[フィルタ係数の設定例]

1) FIL1ブロック

例: fs=44.1kHz, fc=100HzのHPFの場合  
 F1AS bit = “0”  
 F1A[13:0] bits = 01 1111 1100 0110  
 F1B[13:0] bits = 10 0000 0111 0100

2) EQブロック

例: fs=44.1kHz, fc<sub>1</sub>=300Hz, fc<sub>2</sub>=3000Hz, Gain=+8dBの場合



EQA[15:0] bits = 0000 1001 0110 1110  
 EQB[13:0] bits = 10 0001 0101 1001  
 EQC[15:0] bits = 1111 1001 1110 1111

## ■ ALC動作

ALC bit = “1”のとき、ALCブロックにより、ALC動作が行われます。DACのみ動作させる場合、再生パスに対してALC動作が行われます。それ以外の状態では録音パスに対してALC動作が行われます。

PMADL bit, PMADR bit	PMDAC bit	LOOP bit	状態	ALC	
“00”	0	x	パワーダウン	パワーダウン	Default
	1	x	再生	再生パス	
“01”, “10” or “11”	0	x	録音	録音パス	
		0	録音, 再生	録音パス	
	1	1	録音モニター再生	録音パス	

Table 27. ALC動作設定 (x: Don't care)

### 1. ALCリミッタ動作

ALCリミッタ動作ではLch, Rchの出力レベルのどちらか一方でもALCリミッタ検出設定レベル(Table 28)を越えた場合、LMAT1-0 bitsで設定した値(Table 29)だけ、IVL, IVR値(L/R共通)を自動的に減衰させます。

ZELMN bit = “0”(ゼロクロス検出有効)のとき、ALCリミッタ動作によりIVL, IVR値が変更されるのは、L/R独立にそれぞれゼロクロスするかゼロクロスタイムアウトしたときです。ゼロクロスタイムアウト時間はZTM1-0 bitsにて設定できます(Table 30)。

ZELMN bit = “1”(ゼロクロス検出無効)のとき、ALCリミッタ動作によりIVL, IVR値は瞬時(周期: 1/fs)に変更されません。リミッタ動作の減衰量はLMAT1-0 bitsの設定にかかわらず1 step固定です。

減衰動作終了後でもALC bitを“0”にしない限り、再び出力レベルがALCリミッタ検出レベルを越えれば、この減衰動作は繰り返されます。

LMTH1	LMTH0	ALCリミッタ検出レベル	ALCリカバリ待機カウンタリセットレベル	
0	0	ALC Output $\geq$ -2.5dBFS	-2.5dBFS > ALC Output $\geq$ -4.1dBFS	Default
0	1	ALC Output $\geq$ -4.1dBFS	-4.1dBFS > ALC Output $\geq$ -6.0dBFS	
1	0	ALC Output $\geq$ -6.0dBFS	-6.0dBFS > ALC Output $\geq$ -8.5dBFS	
1	1	ALC Output $\geq$ -8.5dBFS	-8.5dBFS > ALC Output $\geq$ -12dBFS	

Table 28. ALC リミッタ検出レベル/リカバリ待機カウンタリセットレベル

ZELMN	LMAT1	LMAT0	ALC リミッタATTステップ		
0	0	0	1 step	0.375dB	Default
	0	1	2 step	0.750dB	
	1	0	4 step	1.500dB	
	1	1	8 step	3.000dB	
1	x	x	1step	0.375dB	

Table 29. ALC リミッタATTステップの設定 (x: Don't care)

ZTM1	ZTM0	ゼロクロスタイムアウト時間				
			8kHz	16kHz	44.1kHz	
0	0	128/fs	16ms	8ms	2.9ms	Default
0	1	256/fs	32ms	16ms	5.8ms	
1	0	512/fs	64ms	32ms	11.6ms	
1	1	1024/fs	128ms	64ms	23.2ms	

Table 30. ALCゼロクロスタイムアウト時間の設定

2. ALCリカバリ動作

ALCリカバリ動作は、WTM2-0で設定された時間(Table 31)待機を行い、この間、出力信号がALCリカバリ待機カウンタリセットレベル(Table 28)を越すことがなければALCリカバリ動作を行います。このALCリカバリ動作は設定された基準レベル(Table 33)までZTM1-0 bitsで設定した時間(Table 30)でゼロクロス検出動作を行いながら、RGAIN1-0 bitsで設定した値(Table 32)だけIVL, IVR値(L/R共通)を自動的に増加させます。このALCリカバリ動作はWTM2-0 bitsで設定した周期で行われます。ただし、WTM2-0 bitsでの設定よりZTM1-0 bitsでの設定が長い場合において、信号がゼロクロスしないときには、ZTM1-0 bitsの設定でALCリカバリ動作が行われます。

例えば、現在のIVL, IVR値が30Hの場合、RGAIN1-0 bits = “01”(2 steps)に設定しておく、ALCリカバリ動作によってIVL, IVR値は32Hに変更され、0.75dB(0.375dB x 2)増加されます。IVL, IVR値が基準レベル (REF7-0 bits)に達した場合、IVL, IVR値の増加は行いません。

また、ALCリカバリ待機中に

(リカバリ待機カウンタリセットレベル) ≤ Output Signal < (リミッタ検出レベル)

となっている場合、待機タイマはリセットされます。そのため、

(リカバリ待機カウンタリセットレベル) > Output Signal

となった時から、待機時間のカウントが開始されます。

また、ALC動作はインパルス性のノイズにも対応したALCになっています。インパルス性のノイズが入力された場合、通常のリカバリ動作よりも早いサイクルでリカバリ動作(ファーストリカバリ動作)を行います。例えば、マイクロフォンに瞬間的に大きな音が入力された場合、この動作により大きな音に埋もれた小信号を改善することができます。ファーストリカバリ動作の速さは、RFST1-0 bits により設定します(Table 34)。

WTM2	WTM1	WTM0	ALCリカバリ周期			Default
			8kHz	16kHz	44.1kHz	
0	0	0	128/fs	16ms	8ms	2.9ms
0	0	1	256/fs	32ms	16ms	5.8ms
0	1	0	512/fs	64ms	32ms	11.6ms
0	1	1	1024/fs	128ms	64ms	23.2ms
1	0	0	2048/fs	256ms	128ms	46.4ms
1	0	1	4096/fs	512ms	256ms	92.9ms
1	1	0	8192/fs	1024ms	512ms	185.8ms
1	1	1	16384/fs	2048ms	1024ms	371.5ms

Table 31. ALCリカバリ待機時間の設定

RGAIN1	RGAIN0	GAIN STEP		Default
0	0	1 step	0.375dB	
0	1	2 step	0.750dB	
1	0	3 step	1.125dB	
1	1	4 step	1.500dB	

Table 32. ALC リカバリゲイン量の設定

REF7-0	GAIN(dB)	Step
F1H	+36.0	0.375dB
F0H	+35.625	
EFH	+35.25	
:	:	
E2H	+30.375	
E1H	+30.0	
E0H	+29.625	
:	:	
03H	-53.25	
02H	-53.625	
01H	-54.0	
00H	MUTE	

Table 33. ALCリカバリ動作時の基準値設定

RFST1 bit	RFST0 bit	リカバリ速度
0	0	4倍
0	1	8倍
1	0	16倍
1	1	N/A

Table 34. ファーストリカバリ速度設定

3. ALC動作設定手順例

Table 35は、録音パスの場合のALC設定例です。

Register Name	Comment	fs=8kHz		fs=44.1kHz	
		Data	Operation	Data	Operation
LMTH1-0	Limiter detection Level	01	-4.1dBFS	01	-4.1dBFS
ZELMN	Limiter zero crossing detection	0	Enable	0	Enable
ZTM1-0	Zero crossing timeout period	01	32ms	11	23.2ms
WTM2-0	Recovery waiting period *WTM2-0 bits should be the same or longer data as ZTM1-0 bits.	001	32ms	011	23.2ms
REF7-0	Maximum gain at recovery operation	E1H	+30dB	E1H	+30dB
IVL7-0, IVR7-0	Gain of IVOL	E1H	+30dB	E1H	+30dB
LMAT1-0	Limiter ATT step	00	1 step	00	1 step
RGAIN1-0	Recovery GAIN step	00	1 step	00	1 step
RFST1-0	Fast Recovery Speed	00	4 times	00	4 times
ALC	ALC enable	1	Enable	1	Enable

Table 35. ALC設定例

ALC動作中は、以下のビットへの変更を禁止します。これらのビットを変更する場合は、ALC動作を終了(ALC bit = "0"またはPMADL = PMADR bits = "0")してから行って下さい。

• LMTH1-0, LMAT1-0, WTM2-0, ZTM1-0, RGAIN1-0, REF7-0, ZELMN, RFST1-0の各ビット

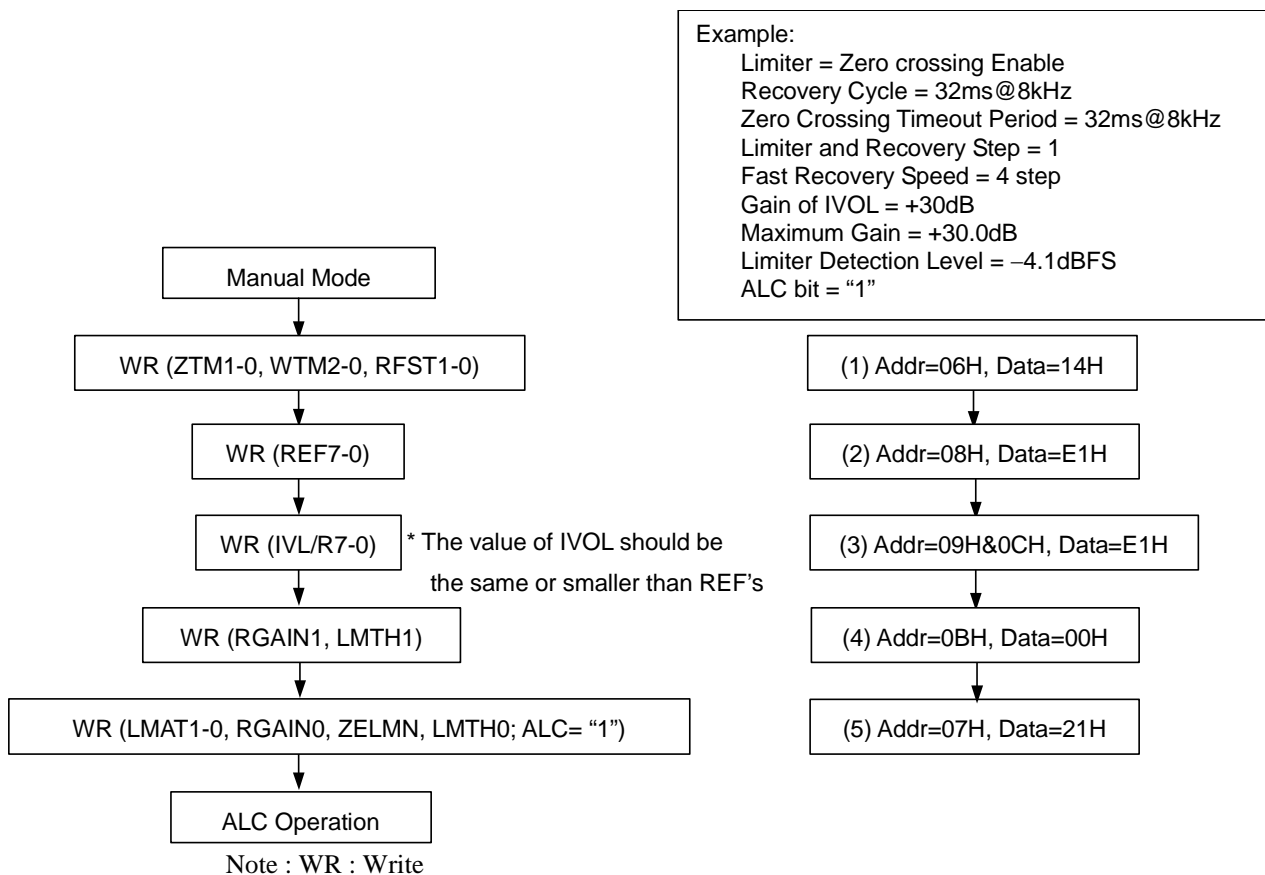


Figure 36. ALC動作設定手順例

## ■ 入力デジタルボリューム (マニュアルモード時)

ALC bit = “0” のとき、入力デジタルボリュームはマニュアルモードになります。このモードは以下の場合に使用します。

1. リセット解除後、ALC動作に関するレジスタ設定(ZTM1-0, LMTH1-0 bitsなど)を行う場合。
2. サンプリング周波数の変更に伴い、リミッタ/リカバリ周期などALC動作に関するレジスタ変更を行う場合。
3. 入力デジタルボリュームをマニュアルボリュームとして使用する場合。

入力デジタルボリュームのゲイン量はIVL7-0, IVR7-0 bitsで設定します(Table 36)。ボリューム変更時、L/R独立にゼロクロス検出動作を行います。ゼロクロスタイムアウト時間はZTM1-0 bitsで設定することができます。

PMADL = PMADR bits = “0” のときにIVL7-0, IVR7-0 bitsに書き込みを行うと、PMADL bit = “1” or PMADR bit = “1” に書き換えてからADCの初期化サイクル後に、その設定値でIVOLが動作を開始します。

録音から再生に切り替えた場合、録音時の設定が保持されているので、IVL7-0 = IVR7-0 bits = “91H” (0dB) に設定して下さい。

IVL7-0 IVR7-0	GAIN (dB)	Step
F1H	+36.0	0.375dB Default
F0H	+35.625	
EFH	+35.25	
:	:	
E2H	+30.375	
E1H	+30.0	
E0H	+29.625	
:	:	
03H	-53.25	
02H	-53.625	
01H	-54	
00H	MUTE	

Table 36. 入力デジタルボリュームの設定値

IVL7-0, IVR7-0 bitsの書き込みを続けて行う場合は、ゼロクロスタイムアウト時間以上の間隔をあけて行って下さい。所定の間隔をあけないで書き込みを行うと、ゼロクロスカウンタが毎回リセットされボリュームが切り替わりません。ただし、書き込むレジスタ値が前回と同じ値の場合は書き込みが無視され、ゼロクロスカウンタはリセットされないで、ゼロクロスタイムアウト時間より短い間隔で書き込みを行うことができます。

ALC bit			
ALC Status	Disable	Enable	Disable
IVL7-0 bits		E1H(+30dB)	
IVR7-0 bits		C6H(+20dB)	
Internal IVL	E1H(+30dB)	E1(+30dB) --> F1(+36dB)	E1(+30dB)
Internal IVR	C6H(+20dB)	E1(+30dB) --> F1(+36dB)	C6H(+20dB)

Figure 37. ALC動作中のIVOL動作例

- (1) ALC開始時にIVLとIVRの値が異なっている場合は、IVLの値がスタート値になります。ALC bit = “1”を書き込んでからIVL7-0 bitsの値でALC動作を開始するまでの待ち時間は最大でリカバリ待機時間 (WTM2-0 bits) + ゼロクロスタイムアウト時間(ZTM1-0 bits)です。
- (2) ALC動作中は、IVL, IVRのレジスタ(09H, 0CH)に書き込みを行っても反映されません。ALCがDisableされた後、ゼロクロスまたはゼロクロスタイムアウト時にその値が反映されます。再度ALCをEnableする場合は、ALC bit = “0”の後、ゼロクロスタイムアウト時間以上の間隔を空けてALC bit = “1”を設定して下さい。

■ ディエンファシスフィルタコントロール

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ( $t_c=50/15\mu s$ 特性)を内蔵しています。入力データに対して、DEM1-0 bitsで選択された周波数のディエンファシスフィルタが有効になります(Table 37)。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

Default

Table 37. ディエンファシスコントロール

■ バスブースト回路

BST1-0 bitsをコントロールすることで、DACからバスブーストされた信号を出力することができます(Table 38)。また、BST1-0 bits = “01”(MIN)に固定することで、ヘッドフォン出力のDCカット用コンデンサを47 $\mu F$ まで小さくすることができます。バスブーストされた信号がフルスケールを超えた場合、DACからの出力がクリップします。Figure 38は-20dBの信号レベルを入力した場合のバスブースト後の特性です。

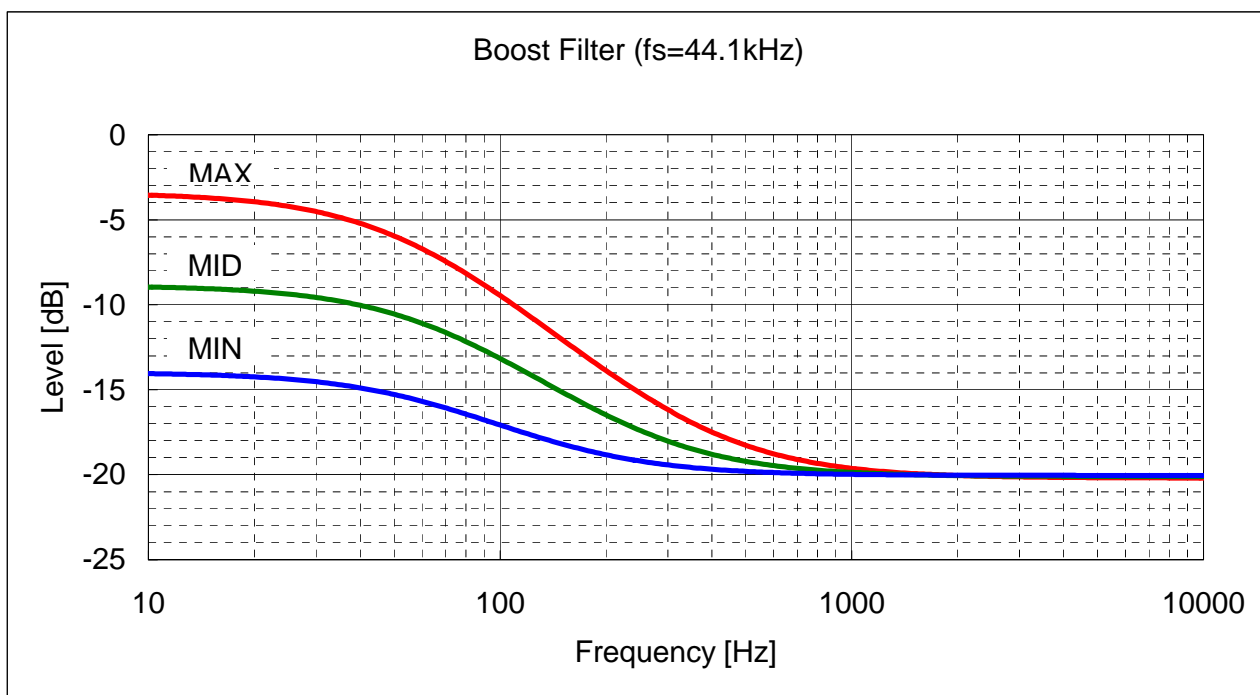


Figure 38. バスブースト周波数 (fs=44.1kHz)

BST1	BST0	Mode
0	0	OFF
0	1	MIN
1	0	MID
1	1	MAX

Default

Table 38. バスブーストコントロール

## ■ 出力ボリューム

AK4645はMUTEを含む0.5dBステップ、256レベルのチャンネル独立デジタル出力ボリューム(DATT)を内蔵します。このボリュームはDACの前段にあり、入力データを+12dBから-115dBまで減衰、またはミュートします。DVOLC bitを“1”にすると、DVL7-0 bitsでLch, Rchのボリュームを同時にコントロールできます。DVOLC bitが“0”の場合、Lch, Rchのボリュームは独立にコントロールできます。また、ATT設定間の遷移は1061レベルまたは256/fsでソフト遷移します。遷移ステップはDVTM bitで設定します。DVTM bit = “0”のとき、00H(+12dB)からFFH(MUTE)までには1061/fs(24ms@fs=44.1kHz)がかかります。

DVL/R7-0	Gain	Step
00H	+12.0dB	0.5dB
01H	+11.5dB	
02H	+11.0dB	
:	:	
18H	0dB	
:	:	
FDH	-114.5dB	
FEH	-115.0dB	
FFH	MUTE (-∞)	

Default

Table 39. Digital Volume Code Table

DVTM bit	DVL/R7-0 bits = 00HからFFHまでの遷移時間		
	設定値	fs=8kHz時	fs=44.1kHz時
0	1061/fs	133ms	24ms
1	256/fs	32ms	6ms

Default

Table 40. 出力ボリュームの遷移時間設定

## ■ ソフトミュート機能

DAC入力のデジタル部にソフトミュート機能を内蔵します。ソフトミュートはSMUTE bitでコントロールできます。SMUTE bitを“1”にするとDVTM bitで設定したサイクルで入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE bitを“0”にすると $-\infty$ 状態が解除され、 $-\infty$ からDVTM bitで設定したサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します。ソフトミュート開始後、DVTM bitで設定したサイクル以内に解除されるとアテネーションが中断され、同じサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します(Figure 39)。

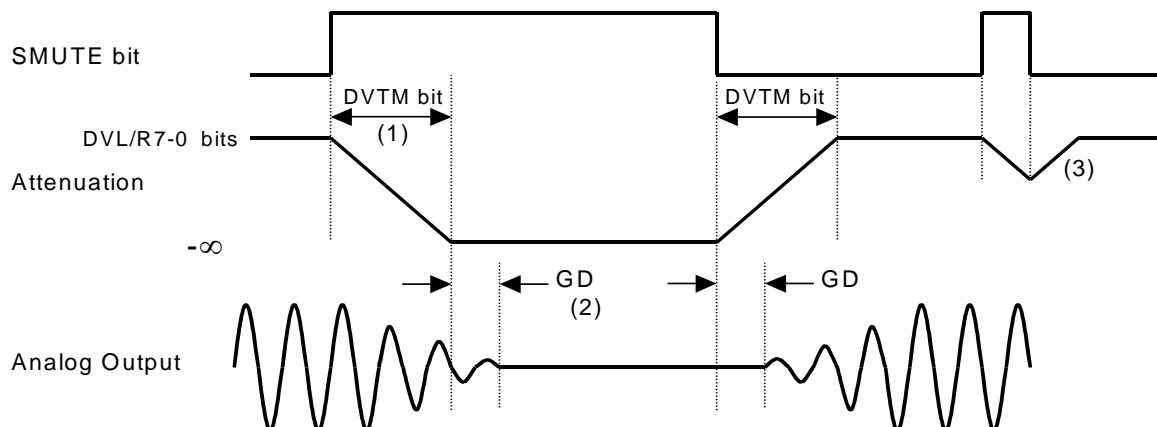


Figure 39. ソフトミュート機能

- (1) DVTM bitで設定したサイクルで入力データが $-\infty$ (“0”)までアテネーションされます。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (3) ソフトミュート開始後、DVTM bitで設定したサイクル以内に解除されるとアテネーションが中断され、同じサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します。

■ アナログミキシング: ステレオ入力(LIN2/RIN2/LIN4/RIN4 pins, AIN3 bit = “1”: LIN3/RIN3 pins)

PMAINL2=PMAINR2 bits = “1”のとき、LIN2/RIN2 pinsはアナログミキシング用ステレオ入力として使用できます。LINH2 bitおよびRINH2 bitを “1”にするとヘッドフォンアンプから出力し、LINL2 bitおよびRINR2 bitを “1”にするとステレオライン出力から出力することができます。

PMAINL4=PMAINR4 bits = “1”のとき、LIN4/RIN4 pinsはアナログミキシング用ステレオ入力として使用できます。LINH4 bitおよびRINH4 bitを “1”にするとヘッドフォンアンプから出力し、LINL4 bitおよびRINR4 bitを “1”にするとステレオライン出力から出力することができます。

アナログミキシングを使用しているとき、PMADL bitおよびPMADR bitを “1”にするとA/D変換ができます。このときLIN2/RIN2/LIN4/RIN4 pinsの入力インピーダンスはMGAIN1-0 bits = “00”のときtyp. 30kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 20kΩです。

AIN3 bit = “1”のとき、MIN/VCOC pinsはそれぞれLIN3/RIN3 pinsになります。このときPLLは使用できません。PMAINL3=PMAINR3 bits = “1”のとき、LIN3/RIN3 pinsはアナログミキシング用ステレオ入力として使用できます。また、PMMICL=PMMICR=MICL3=MICR3 bits = “1”のとき、ミキシングできる信号がLIN3/RIN3 pins入力からMIC-Amp出力に切り替わります。LINH3 bitおよびRINH3 bitを “1”にするとヘッドフォンアンプから出力し、LINL3 bitおよびRINR3 bitを “1”にするとステレオライン出力から出力することができます。

アナログミキシングを使用しているとき、PMADL bitおよびPMADR bitを “1”にするとA/D変換ができます。LIN3/RIN3 pinsの入力インピーダンスは、MICL3=MICR3 bits = “0”で使用している場合、MGAIN1-0 bits = “00”のときtyp. 30kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 20kΩです。MICL3=MICR3 bits = “1”で使用している場合、MGAIN1-0 bits = “00”のときtyp. 60kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 30kΩです。

各パスのゲイン(typ)をTable 41, Table 42, Table 43に示します。

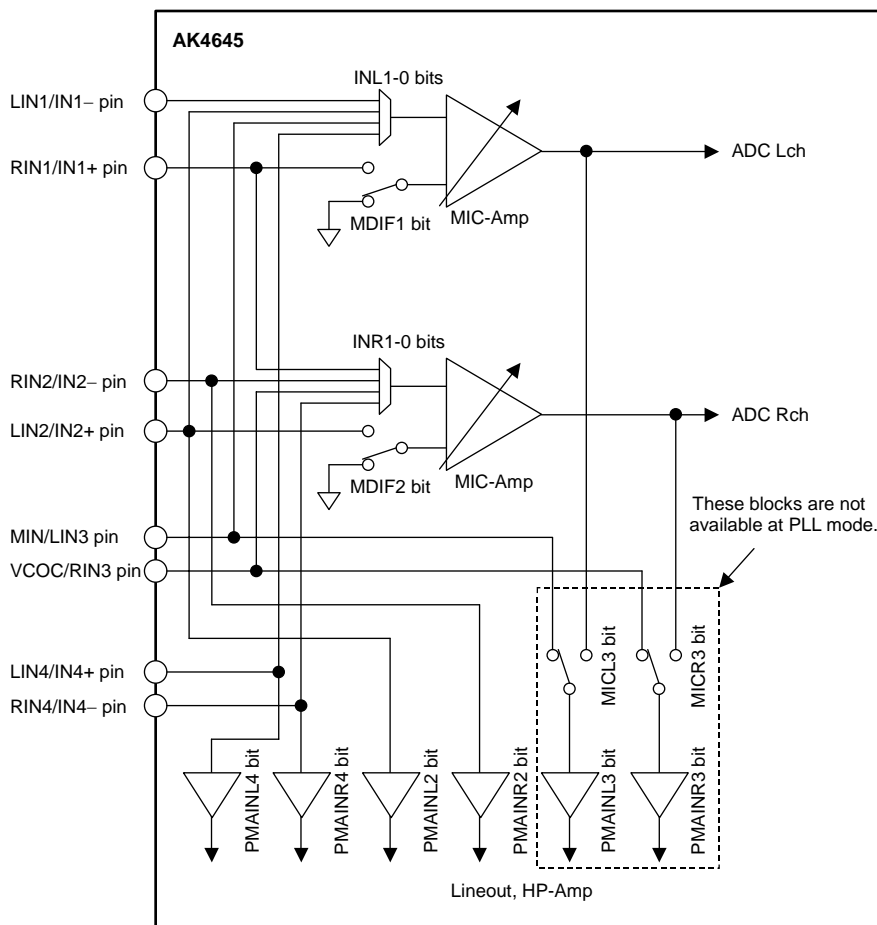


Figure 40. アナログミキシング回路(ステレオ入力)

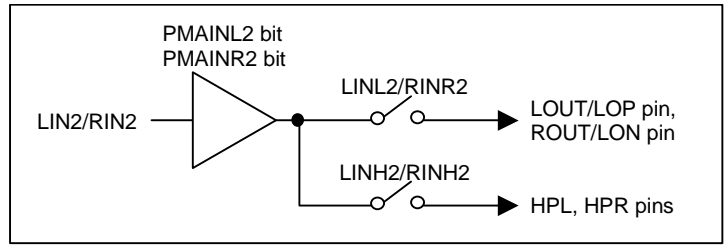


Figure 41. アナログミキシング回路(LIN2/RIN2)

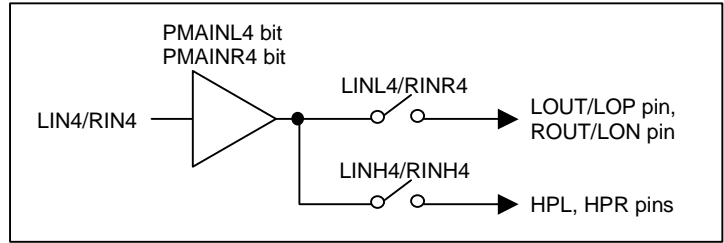


Figure 42. アナログミキシング回路(LIN4/RIN4)

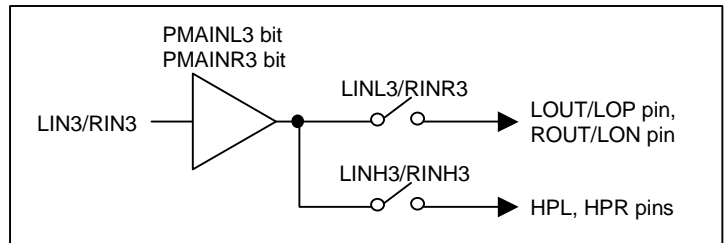


Figure 43. アナログミキシング回路(LIN3/RIN3: PLL使用不可)

LOVL bit	LIN2/RIN2/LIN3/RIN3/LIN4/RIN4 → LOUT/ROUT	Default
0	0dB	Default
1	+2dB	

Table 41. LIN2/RIN2/LIN3/RIN3/LIN4/RIN4 Input → LOUT/ROUT Output Gain (typ)

LOVL bit	LIN2/RIN2/LIN3/RIN3/LIN4/RIN4 → LOP/LON	Default
0	0dB	Default
1	+2dB	

Table 42. LIN2/RIN2/LIN3/RIN3/LIN4/RIN4 Input → LOP/LON Output Gain (typ)

HPG bit	LIN2/RIN2/LIN3/RIN3/LIN4/RIN4 → HPL/HPR	Default
0	0dB	Default
1	+3.6dB	

Table 43. LIN2/RIN2/LIN3/RIN3/LIN4/RIN4 Input → Headphone-Amp Output Gain (typ)

■ アナログミキシング: 差動モノラル入力 (L4DIF bit = “1”: IN4+/IN4- pins)

L4DIF bit = “1”のとき、LIN4, RIN4 pinsはそれぞれIN4+, IN4- pinsになります。

PMAINL4 bit = “1”のとき、IN4+, IN4- pinsはアナログミキシング用差動モノラル入力として使用できます。LINH4 bitおよびRINH4 bitを“1”にするとヘッドフォンアンプから出力し、LINL4 bitおよびRINR4 bitを“1”にするとステレオライン出力から出力することができます。

各パスのゲイン(typ)をTable 44, Table 45, Table 46に示します。ただし入力振幅は(IN4+) – (IN4-)の値です。

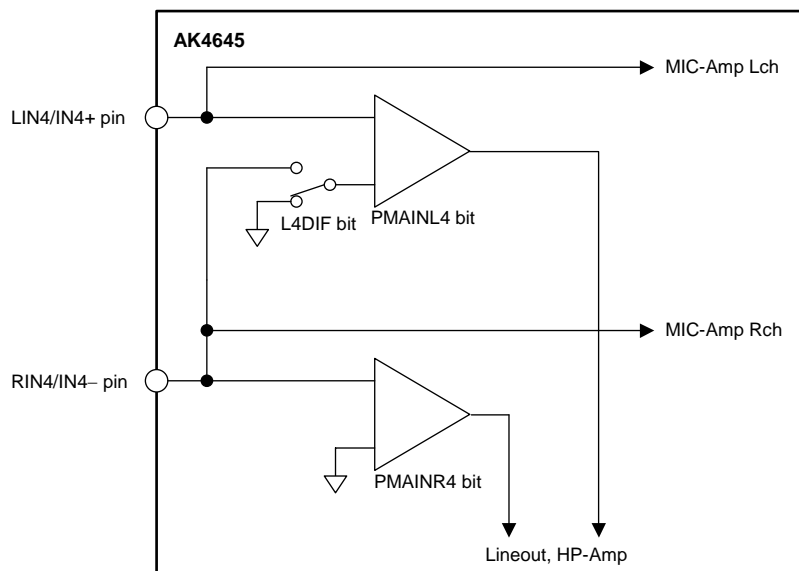


Figure 44. Full-differential Mono Analog Mixing Circuit

LOVL bit	IN4+/IN4- → LOUT/ROUT	
0	-6dB	Default
1	-4dB	

Table 44. IN4+/IN4- Input → LOUT/ROUT Output Gain (typ)

LOVL bit	IN4+/IN4- → LOP/LON	
0	0dB	Default
1	+2dB	

Table 45. IN4+/IN4- Input → LOP/LON Output Gain (typ)

HPG bit	IN4+/IN4- → HPL/HPR	
0	-6dB	Default
1	-2.4dB	

Table 46. IN4+/IN4- Input → Headphone-Amp Output Gain (typ)

■ アナログミキシング: モノラル入力(AIN3 bit = “0”: MIN pin)

AIN3 bit = “0”のとき、MIN pinはアナログミキシングへのモノラル入力として使用できます。PMMIN bit = “1”の時、MINH bitを“1”にするとヘッドフォンアンプから出力し、MINL bitを“1”にするとステレオライン出力から出力することができます。入力される信号は $R_i$ でレベル調整できます。 $R_i = 20k\Omega$ 時のゲイン(typ)をTable 47, Table 48, Table 49に示します。このゲインは、 $R_i$ の値に反比例します。

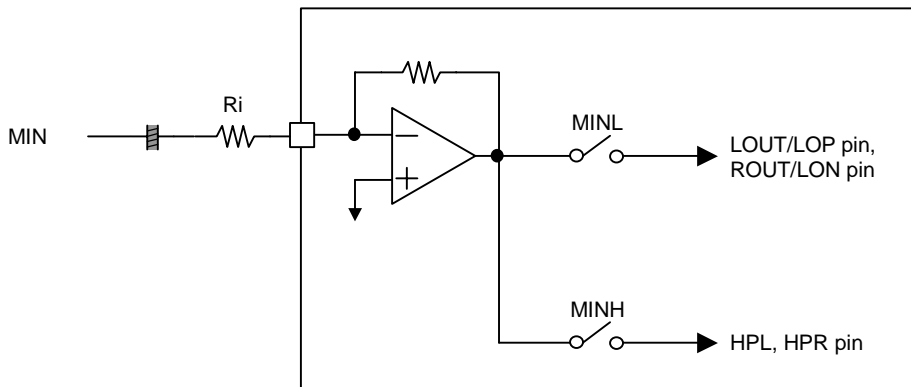


Figure 7. Block Diagram of MIN pin

LOVL bit	MIN → LOUT/ROUT
0	0dB
1	+2dB

Default

Table 47.  $R_i = 20k\Omega$  時、MIN入力 → LOUT/ROUT出力ゲイン(typ)

LOVL bit	MIN → LOP/LON
0	+6dB
1	+8dB

Default

Table 48.  $R_i = 20k\Omega$  時、MIN入力 → LOP/LON出力ゲイン(typ)

HPG bit	MIN → HPL/HPR
0	-20dB
1	-16.4dB

Default

Table 49.  $R_i = 20k\Omega$  時、MIN入力 → ヘッドフォン出力ゲイン(typ)

■ ステレオライン出力 (LOUT/ROUT pins)

DACL bitを“1”にすると、DACのLch, Rch信号をそれぞれLOUT, ROUT pinsからシングルエンドで出力します。DACL bitを“0”にすると、出力をOFFにすることも可能です。この時、LOUT, ROUT pinsはVCOM電圧を出力します。また、負荷抵抗はmin. 10kΩです。PMLO=LOPS bits = “0” にすると、パワーダウン状態になりAVSSに100kΩ(typ)でプルダウンされます。LOPS bit = “1”とすると、パワーセーブモードになります。また、LOPS bit = “1”として、PMLO bitでパワーダウンのON/OFFを行うと、ON/OFF時に発生するポップ音を低減することができます。このとき、Figure 46に示すようにCカップル後、ステレオライン出力のラインを20kΩの抵抗でプルダウンしてください。立ち上がりおよび立下がりの時間はC=1μF, AVDD=3.3Vのとき、最大300msです。ステレオライン出力は、PMLO bit = “1”かつLOPS bit = “0”でパワーアップ状態となります。

ステレオライン出力のゲインはLOVL bitで設定します。

LOM bit = “1”のとき、DACの出力信号は[(L+R)/2]のモノラル信号としてLOUT, ROUT pinsに出力されます。

LOM3 bit = “1”のとき、MICL3, MICR3 bitsで選択された信号(LIN3/RIN3入力またはMIC-Amp出力)は[(L+R)/2]のモノラル信号としてLOUT, ROUT pinsに出力されます。

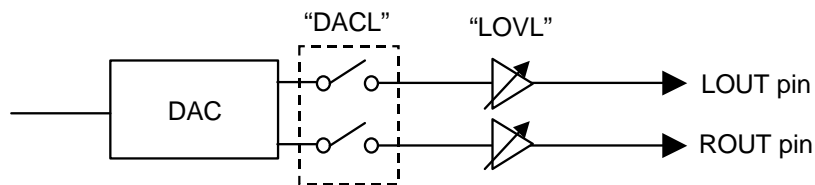


Figure 45. ステレオライン出力

LOPS	PMLO	Mode	LOUT/ROUT pin	
0	0	パワーダウン	Pull-down to AVSS	Default
	1	通常動作	通常動作	
1	0	パワーセーブ	Fall down to AVSS	
	1	パワーセーブ	Rise up to VCOM	

Table 50. ステレオライン出力のモード設定 (x: Don't care)

LOVL	Gain	出力電圧(typ)	
0	0dB	0.6 x AVDD	Default
1	+2dB	0.757 x AVDD	

Table 51. ステレオライン出力ボリューム設定

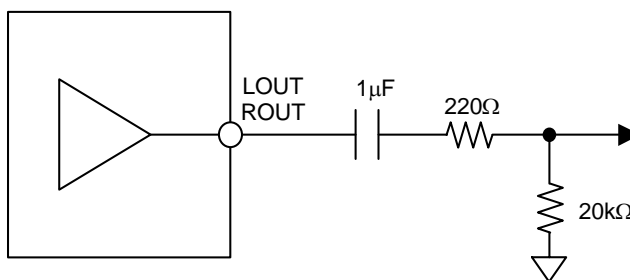


Figure 46. ステレオライン出力外付け回路(ポップ音低減回路使用時)

### <ステレオライン出力コントロールシーケンス(ポップ音低減回路使用時)>

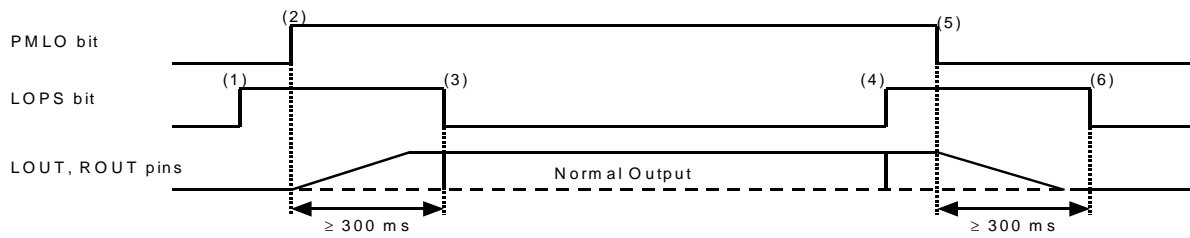


Figure 47. ステレオライン出力コントロールシーケンス(ポップ音低減回路使用時)

- (1) パワーセーブモードをON します。LOPS bit = “1”
- (2) パワーダウンを解除します。PMLO bit = “1”  
LOUT, ROUT pins が立ち上がります。立ち上がり時間は $C=1\mu\text{F}$ ,  $\text{AVDD}=3.3\text{V}$ のとき200ms (max 300ms)です。
- (3) LOUT, ROUT pins が立ち上がった後でパワーセーブモードを解除します。LOPS bit = “0”  
ステレオライン出力が可能になります。
- (4) パワーセーブモードをON します。LOPS bit = “1”
- (5) パワーダウンに設定します。PMLO bit = “0”  
LOUT, ROUT pins が立ち下がります。立ち下がり時間は $C=1\mu\text{F}$ ,  $\text{AVDD}=3.3\text{V}$ のとき200ms (max 300ms)です。
- (6) LOUT, ROUT pins が立ち下がった後でパワーセーブモードを解除します。LOPS bit = “0”

<ステレオライン出力のミキシング回路>

AIN3 bit = “0”のとき、各パスのON/OFFはそれぞれDACL, MINL, LINL2, RINL2, LINL4, RINL4 bitsで設定します。MINの加算ゲインは外部入力抵抗20kΩのとき0dB(typ)@LOVL bit = “0”です。LIN2/RIN2/LIN4/RIN4/DACの加算ゲインは0dB(typ)@LOVL bit = “0”です。

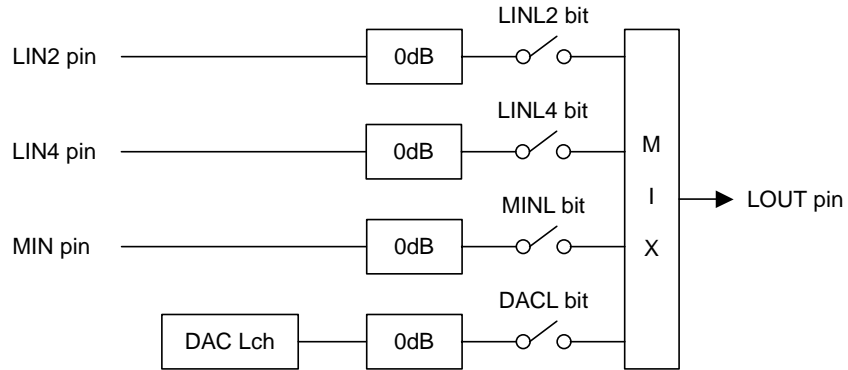


Figure 48. LOUTのミキシング回路(AIN3 bit = “0”, LOVL bit = “0”)

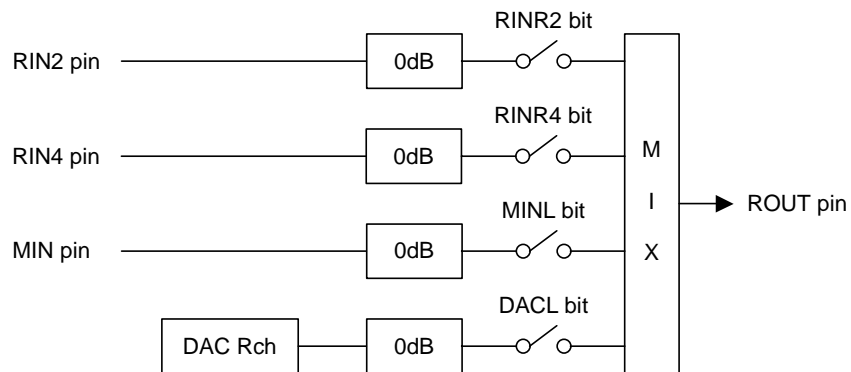


Figure 49. ROUTのミキシング回路(AIN3 bit = “0”, LOVL bit = “0”)

AIN3 bit = “1”のとき、各パスのON/OFFはそれぞれDACL, LINL2, RINR2, LINL3, RINR3, LINL4, RINR4, MICL3, MICR3 bitsで設定します。加算ゲインはいずれのパスも0dB(typ)です。

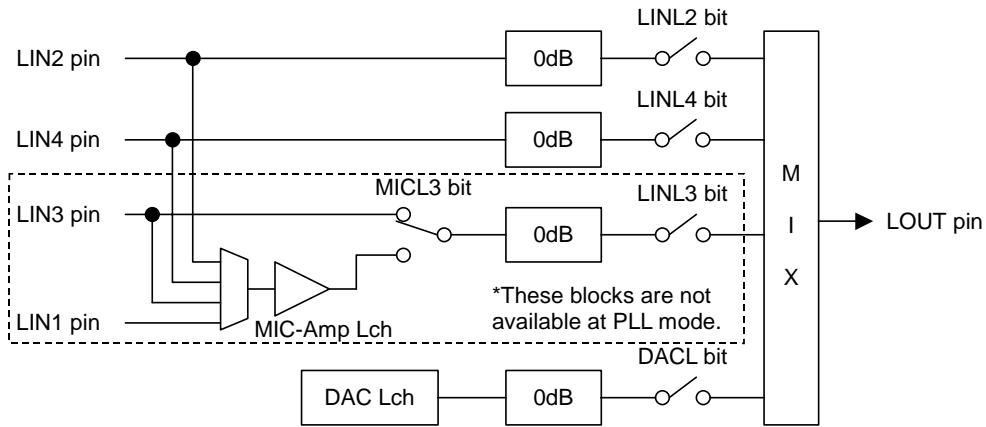


Figure 50. LOUTのミキシング回路(AIN3 bit = “1”, LOVL bit = “0”)

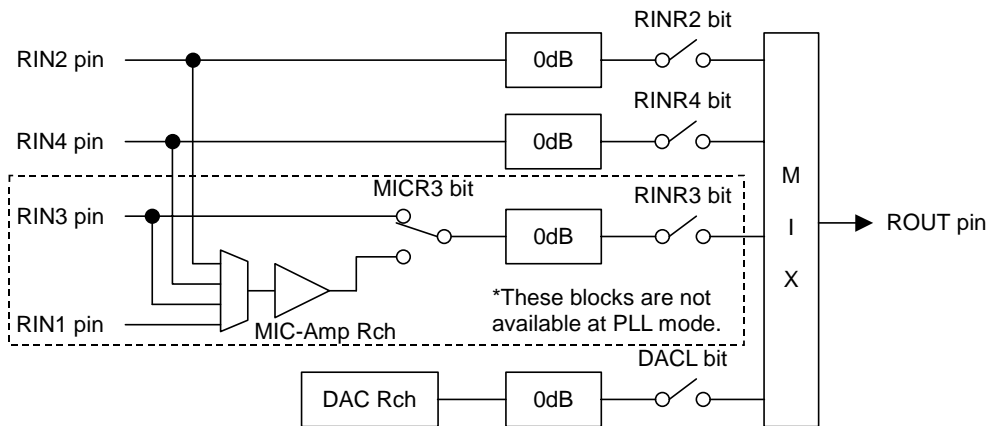


Figure 51. ROUTの加算回路(AIN3 bit = “1”, LOVL bit = “0”)

■ 差動モノラルライン出力 (LOP/LON pins)

LODIF bit = “1” のとき、LOUT/ROUT pins はそれぞれLOP/LON pins になります。DACまたはLIN2/RIN2/LIN3/RIN3/LIN4/RIN4からの信号をモノラル信号[(L+R)/2]に変換し、LOP/LON pinsから差動出力します。また、負荷抵抗は各ピンに対してmin. 10kΩです。PMLO bit = “0” にするとパワーダウン状態になり、LOP/LON pinsはHi-Zになります。PMLO bit = “1”, LOPS bit = “1” とすると、パワーセーブモードになります。PMLO bit = “1”, LOPS bit = “0” とすると、パワーアップします。モノラルライン出力はLOVL bitにてゲインを調整することができます。

L4DIF=LODIF bits = “1” のとき、差動出力信号は(LOP) – (LON) = (IN4+) – (IN4-) となります。

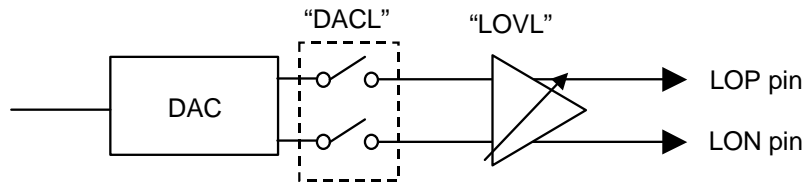


Figure 52. Mono Line Output

PMLO	LOPS	Mode	LOP	LON	
0	x	Power-down	Hi-Z	Hi-Z	Default
1	1	Power-save	Hi-Z	VCOM	
	0	Normal Operation	Normal Operation	Normal Operation	

Table 52. Mono Line Output Mode Setting (x: Don't care)

LOVL	Gain	Output Voltage (typ)	
0	+6dB	1.2 x AVDD	Default
1	+8dB	1.5 x AVDD	

Table 53. Mono Line Output Volume Setting

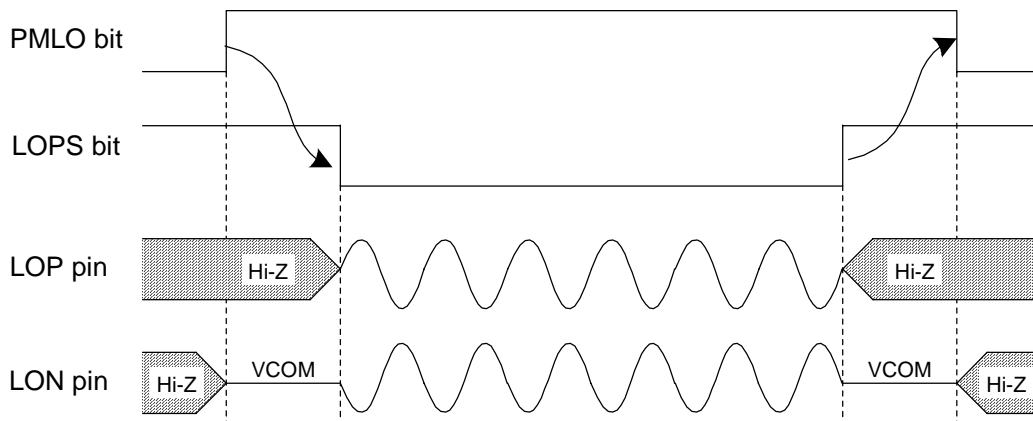


Figure 53. Power-up/Power-down Timing for Mono Line Output

<モノラルライン出力のミキシング回路>

AIN3 bit = “0”のとき、各パスのON/OFFはそれぞれDACL, MINL, LINL2, RINR2, LINL4, RINR4 bitsで設定します。MINの加算ゲインは外部入力抵抗20kΩのとき+6dB(typ)@LOVL bit = “0”です。LIN2/RIN2/LIN4/RIN4/DACの加算ゲインは0dB(typ)@LOVL bit = “0”です。

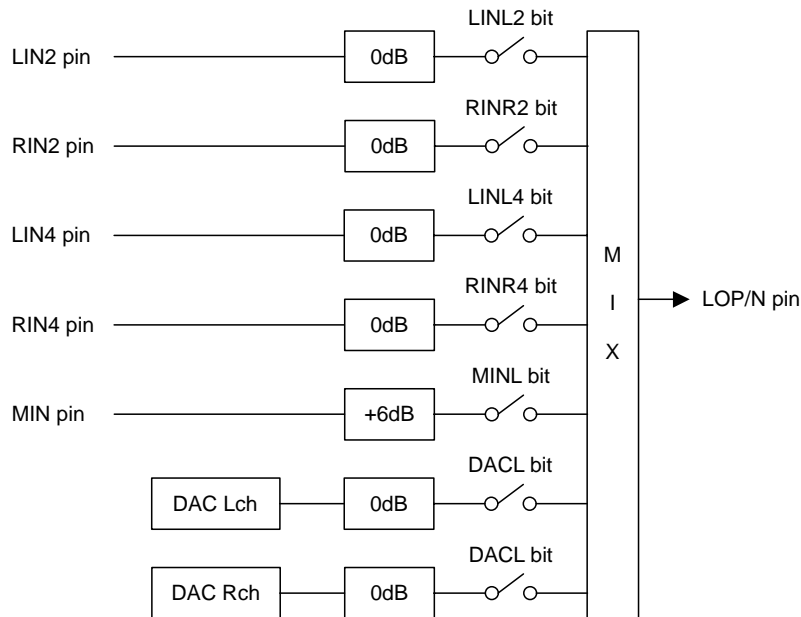


Figure 54. モノラルライン出力のミキシング回路(AIN3 bit = “0”, LOVL bit = “0”)

AIN3 bit = “1”のとき、各パスのON/OFFはそれぞれDACL, LINL2, RINR2, LINL3, RINR3, LINL4, RINR4, MICL3, MICR3 bitsで設定します。加算ゲインはすべてのパスで0dB(typ)@LOVL bit = “0”です。

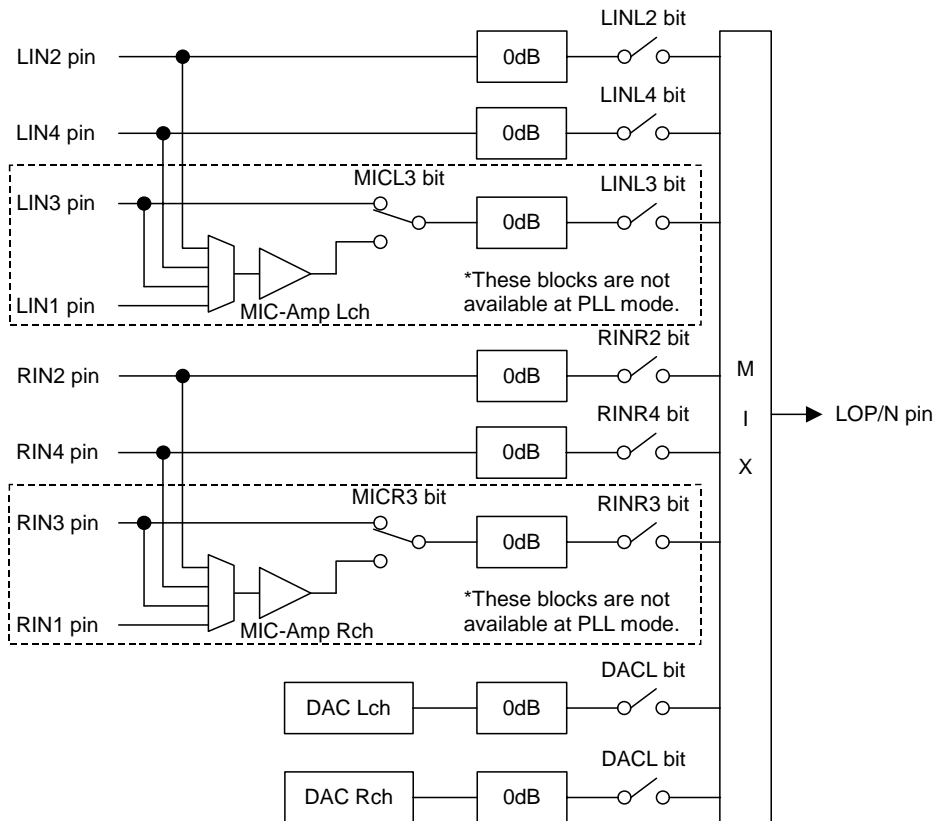


Figure 55. モノラルライン出力のミキシング回路(AIN3 bit = “1”, LOVL bit = “0”)

## ■ ヘッドフォンアンプ(HPL/HPR pins)

ヘッドフォンアンプの電源はHVDDから供給されます。コモン電圧はHVDD/2@VBAT bit = “0”です。負荷抵抗は16Ω (min)です。出力電圧はHPG bitで切り替えることができます(Table 54)。

HPM bit = “1”のとき、DACの出力信号は[(L+R)/2]のモノラル信号としてHPL, HPR pinsに出力されます。

HPM3 bit = “1”のとき、MICL3, MICR3 bitsで選択された信号(LIN3/RIN3入力またはMIC-Amp出力)は[(L+R)/2]のモノラル信号としてHPL, HPR pinsに出力されます。

HPG bit	0	1
Output Voltage [Vpp]	0.6 x AVDD	0.91 x AVDD

Table 54. ヘッドフォンの出力電圧

HPMTN bitを“0”にすると、ヘッドフォンアンプのコモン電圧をHVSSに立ち下げます。HPMTN bitを“1”にするとコモン電圧をHVDD/2@VBAT bit = “0”に立ち上げます。ポップノイズ防止のために、MUTET pinとグランド間にコンデンサを接続します。立ち上げ/立ち下げ時定数はHVDDおよびMUTET pinのコンデンサに比例します。

例：MUTET pinのコンデンサC=1μF, HVDD=3.3Vの場合

- ・ ヘッドフォンアンプ立ち上げ/立ち下げ時定数: 100ms(typ), 250ms(max)
- ・ 完全に立ち下がるまでの時間: 500ms(max)

PMHPL, PMHPR bitsを“0”にすることで、ヘッドフォンアンプを完全にパワーダウンすることができます。この時、HPL, HPR pinsは“L” (HVSS)になります。

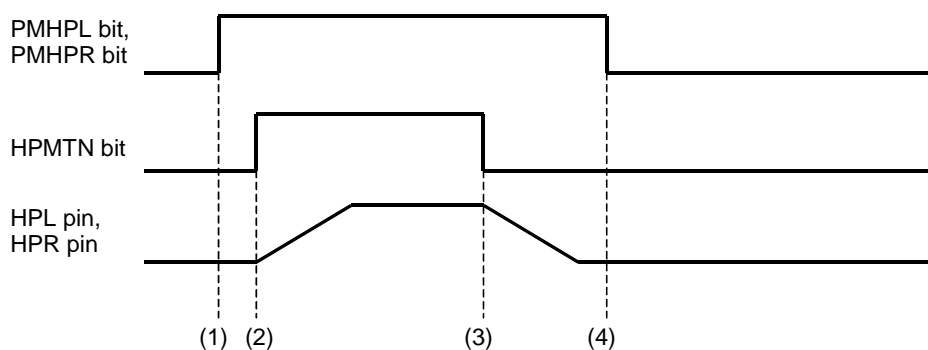


Figure 56. ヘッドフォンアンプのパワーアップ / ダウンシーケンス

- (1) ヘッドフォンアンプのパワーアップ(PMHPL, PMHPR bits = “1”)。出力はHVSSのままです。
- (2) ヘッドフォンアンプのコモン電圧立ち上げ(HPMTN bit = “1”)。
- (3) ヘッドフォンアンプのコモン電圧立ち下げ(HPMTN bit = “0”)。
- (4) ヘッドフォンアンプのパワーダウン(PMHPL, PMHPR bits = “0”)。出力はHVSSになります。ポップ音防止のため、ヘッドフォンアンプのコモン電圧が完全に下がってからパワーダウンしてください。

### <ヘッドフォンアンプの外部回路>

BOOST=OFF時、ヘッドフォンアンプの外部抵抗とコンデンサでカットオフ周波数( $f_c$ )が決まります。バスブーストを併用することでカットオフ周波数を低域ヘシフトすることができます。Table 55に外部抵抗とコンデンサ及びカットオフ周波数( $f_c$ )の関係とその時の出力パワーを示します。但し、ヘッドフォンの $R_L$ は16Ωとします。出力パワーはHVDD=3.0, 3.3, 5V時の値です。ヘッドフォンアンプの出力は0.6 x AVDD (Vpp)@HPG bit = “0”, 0.91 x AVDD (Vpp)@HPG bit = “1”です。

外付けのRが12Ω以下の場合、ヘッドフォンアンプが発振する可能性がありますので、発振防止回路(0.22μF±20%のコンデンサと10Ω±20%の抵抗)をつけて下さい。

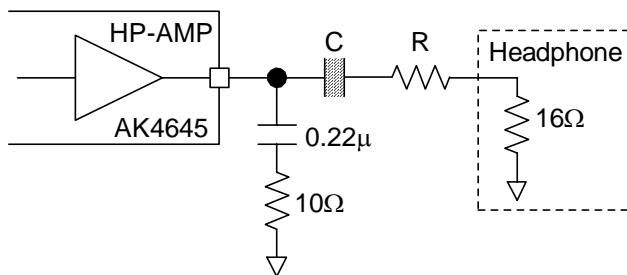


Figure 57. ヘッドフォンアンプの外付け回路例

HPG bit	R [Ω]	C [μF]	fc [Hz] BOOST =OFF	fc [Hz] BOOST =MIN fs=44.1kHz	Output Power [mW]@0dBFS		
					HVDD=3.0V AVDD=3.0V	HVDD=3.3V AVDD=3.3V	HVDD=5V AVDD=3.3V
0	0	220	45	17	25.3	30.6	30.6
		100	100	43			
	6.8	100	70	28	12.5	15.1	15.1
		47	149	78			
	16	100	50	19	6.3	7.7	7.7
		47	106	47			
1	0	220	45	17	51 (Note 41)	62 (Note 41)	70
		100	100	43			
	100	22	62	25	1.1	1.3	1.3
		10	137	69			

Table 55. 外付け回路例

Note 40. 16Ω負荷端での出力電力です。

Note 41. 出力信号はクリップします。

<ヘッドフォンアンプのPSRR>

携帯電話のシステムにおいてHVDDをバッテリー電圧から直接供給する場合、RFノイズがヘッドフォンアンプの特性に影響を及ぼす場合があります。VBAT bit = “1”に設定すると、HVDDに重畳されるノイズに対するヘッドフォンアンプのPSRRを改善することができます。このときヘッドフォンアンプのコモン電圧は0.64 x AVDD(typ)です。AVDD=3.3V時、コモン電圧は2.1Vとなるので、HVDDの電圧が4.2Vよりも下がった場合、出力信号がクリップしやすくなります。

VBAT bit	0	1
Common Voltage [V]	0.5 x HVDD	0.64 x AVDD

Table 56. ヘッドフォンアンプのコモン電圧

<外部ヘッドフォンアンプとのWired OR>

PMVCM=PMHPL=PMHPR bits = “0”, HPZ bit = “1”のとき、HP-Ampはパワーダウンし、HPL, HPR pinsは200kΩ(typ)でHVSSにプルダウンされます。この設定ではAK4645のHP-Ampと外部の単電源HP-AmpをWired ORで接続することが可能です。このモードでの消費電流は20μA(typ)です。

PMVCM	PMHPL/R	HPMTN	HPZ	Mode	HPL/R pins
x	0	x	0	Power-down & Mute	HVSS
0	0	x	1	Power-down	Pull-down by 200kΩ
1	1	0	x	Mute	HVSS
1	1	1	x	Normal Operation	Normal Operation

Default

Table 57. HP-Amp Mode Setting (x: Don't care)

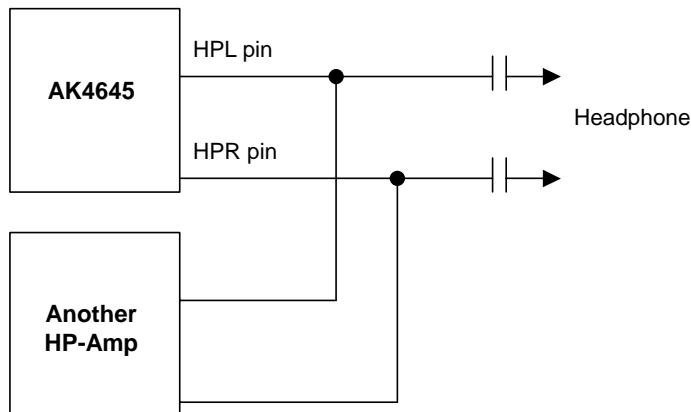


Figure 58. 外部単電源ヘッドフォンアンプとのWired OR

<ヘッドフォン出力のミキシング回路>

AIN3 bit = “0”のとき、各パスのON/OFFはそれぞれDACH, MINH, LINH2, RINH2, LINH4, RINH4 bitsで設定します。MINの加算ゲインは外部入力抵抗20kΩのとき-20dB(typ)@HPG bit = “0”です。LIN2/RIN2/LIN4/RIN4/DACの加算ゲインは0dB(typ)@HPG bit = “0”です。

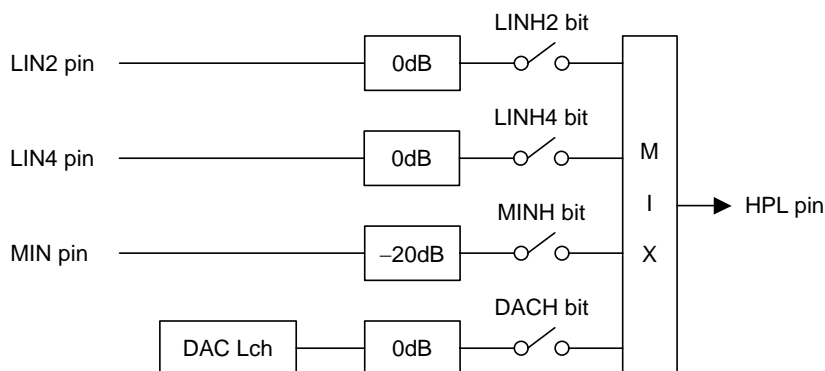


Figure 59. HPLのミキシング回路(AIN3 bit = “0”, HPG bit = “0”)

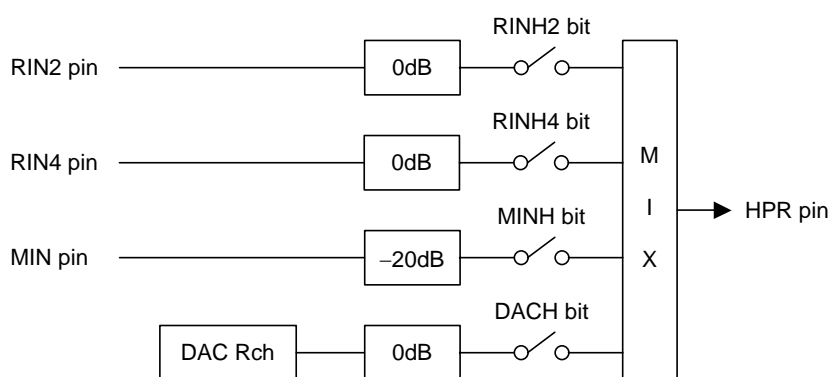


Figure 60. HPRのミキシング回路(AIN3 bit = “0”, HPG bit = “0”)

AIN3 bit = “1”のとき、各パスのON/OFFはそれぞれDACH, LINH2, RINH2, LINH3, RINH3, LINH4, RINH4, MICL3, MICR3 bitsで設定します。加算ゲインはいずれのパスも0dB(typ)です。

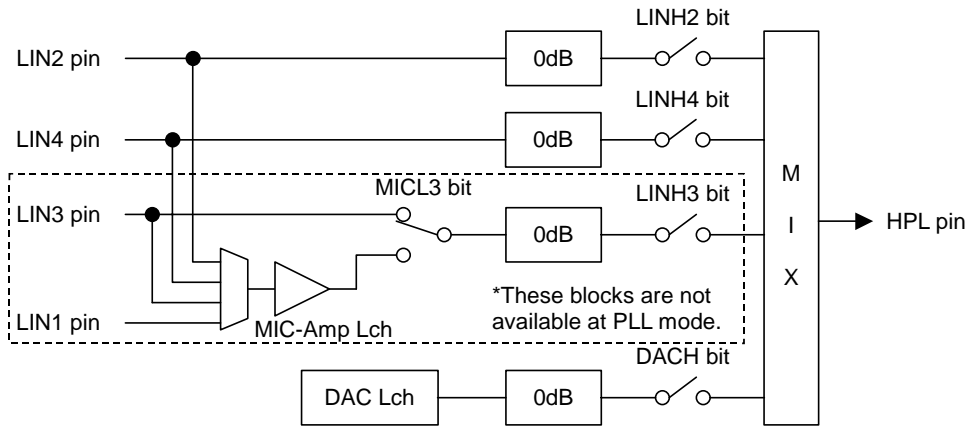


Figure 61. HPLのミキシング回路(AIN3 bit = “1”, HPG bit = “0”)

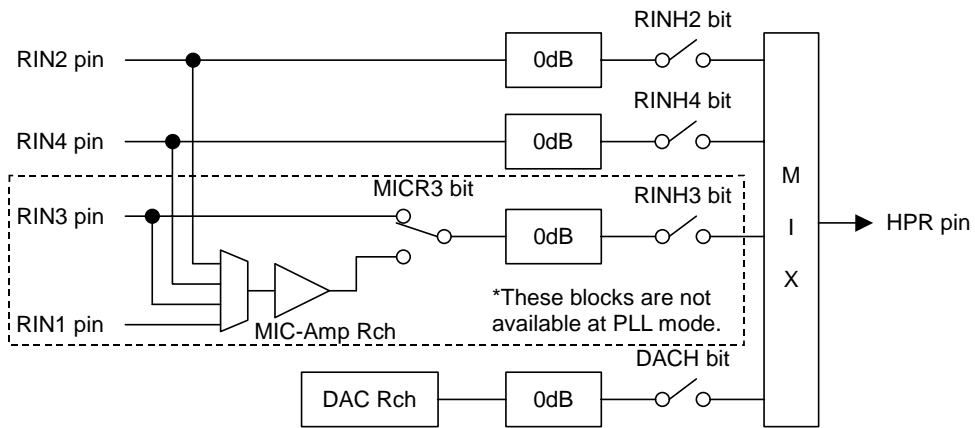


Figure 62. HPRの加算回路(AIN3 bit = “1”, HPG bit = “0”)

■ シリアルコントロールインタフェース

(1) 3線シリアルコントロールモード (I2C pin = “L”)

レジスタ設定は3線式シリアルI/Fピン(CSN, CCLK, CDTI)で書き込みを行います。I/F上のデータはChip address (1bit, “1”固定), Read/Write (1bit, “1”固定), Register address (MSB first, 6bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↓”後16回目のCCLK“↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。PDN pin = “L”でレジスタの値はリセットされます。

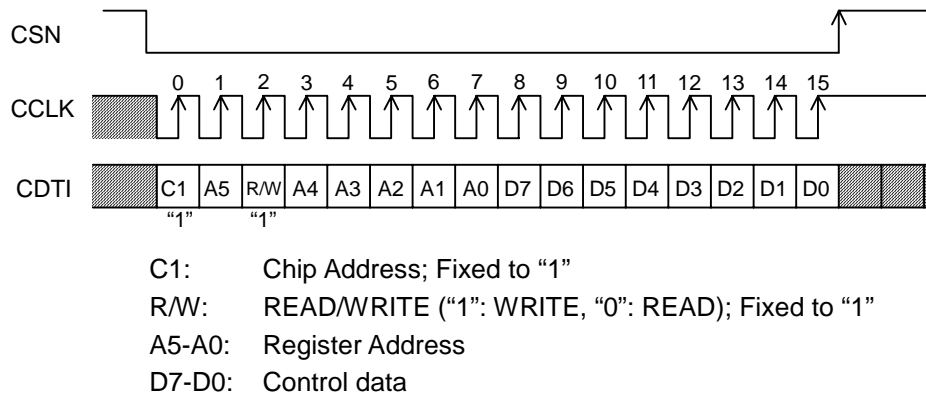


Figure 63. シリアルコントロールインタフェースタイミング

(2) I<sup>2</sup>Cバスコントロールモード (I2C pin = “H”)

AK4645のI<sup>2</sup>Cバスモードのフォーマットは、高速モード(max:400kHz)に対応しています。SDA, SCL pinsのプルアップ抵抗の接続先は(TVDD+0.3)V以下にしてください。

(2)-1. WRITE命令

I<sup>2</sup>Cバスモードにおけるデータ書き込みシーケンスはFigure 64に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(Figure 70)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます。上位6ビットは“001001”固定、次の1ビットはアクセスするICを選ぶためのアドレスビットで、CAD0 pinにより設定されます(Figure 65)。アドレスが一致した場合、AK4645は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 71)。R/W bitが“0”の場合はデータ書き込み、R/W bitが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位2ビットは“0”固定です(Figure 66)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(Figure 67)。AK4645は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 70)。

AK4645は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“24H”にデータを書き込んだ後、さらに次のアドレスに書き込んだ場合にはアドレス“00H”にデータが書き込まれます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 72)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

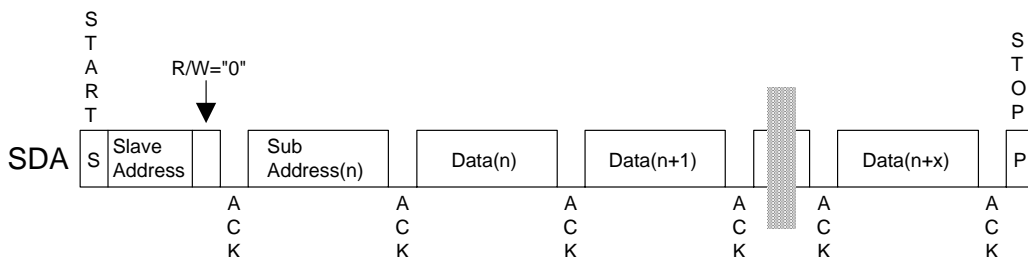


Figure 64. I<sup>2</sup>Cバスモードのデータ転送シーケンス

0	0	1	0	0	1	CAD0	R/W
---	---	---	---	---	---	------	-----

(CAD0はピンにより設定)

Figure 65. 第1バイトの構成

0	0	A5	A4	A3	A2	A1	A0
---	---	----	----	----	----	----	----

Figure 66. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Figure 67. 第3バイト以降の構成

(2)-2. READ命令

R/W bitが“1”の場合、AK4645はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“24H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4645はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

(2)-2-1. カレントアドレスリード

AK4645は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4645はREAD命令のスレーブアドレス(R/W bit = “1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを読み出したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

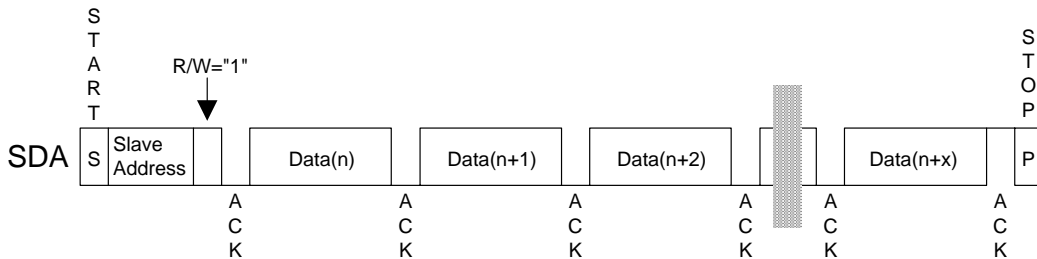


Figure 68. カレントアドレスリード

(2)-2-2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4645がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit = “1”)を入力します。AK4645はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを読み出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

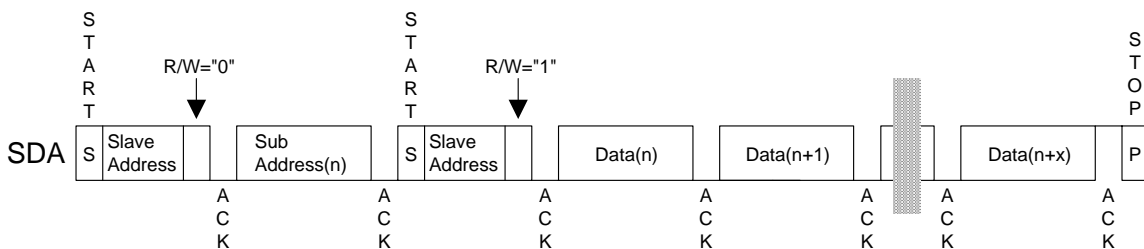


Figure 69. ランダムアドレスリード

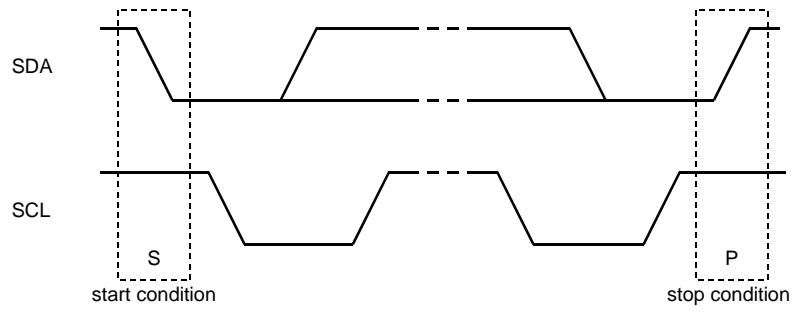


Figure 70. 開始条件と停止条件

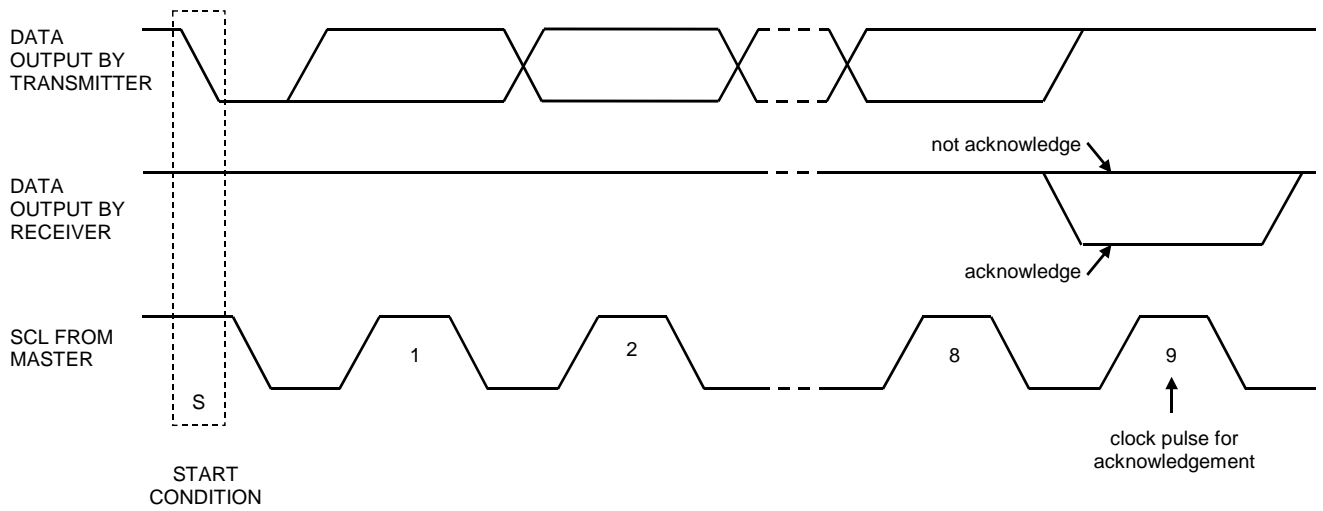


Figure 71. I<sup>2</sup>Cバスでの確認応答

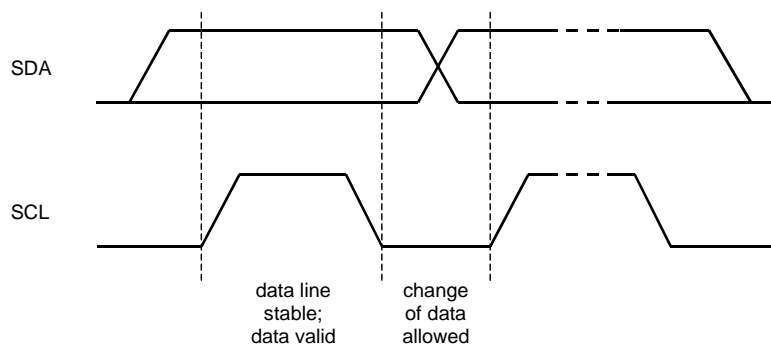


Figure 72. I<sup>2</sup>Cバスでのビット転送

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMMIN	0	PMLO	PMDAC	0	PMADL
01H	Power Management 2	HPZ	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
02H	Signal Select 1	0	0	0	DACL	0	PMMP	0	MGAIN0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	0	0	MINL	0	0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
05H	Mode Control 2	PS1	PS0	FS3	MSBS	BCKP	FS2	FS1	FS0
06H	Timer Select	DVTM	WTM2	ZTM1	ZTM0	WTM1	WTM0	RFST1	RFST0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
09H	Lch Input Volume Control	IVL7	IVL6	IVL5	IVL4	IVL3	IVL2	IVL1	IVL0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	VBAT	0
0CH	Rch Input Volume Control	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
0EH	Mode Control 3	0	LOOP	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
0FH	Mode Control 4	0	0	0	0	IVOLC	HPM	MINH	DACH
10H	Power Management 3	INR1	INL1	HPG	MDIF2	MDIF1	INR0	INL0	PMADR
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8
20H	Power Management 4	PMAINR4	PMAINL4	PMAINR3	PMAINL3	PMAINR2	PMAINL2	PMMICR	PMMICL
21H	Mode Control 5	0	0	MICR3	MICL3	L4DIF	MIX	AIN3	LODIF
22H	Lineout Mixing Select	LOM	LOM3	RINR4	LINL4	RINR3	LINL3	RINR2	LINL2
23H	HP Mixing Select	0	HPM3	RINH4	LINH4	RINH3	LINH3	RINH2	LINH2
24H	Reserved	0	0	0	0	0	0	0	0

Note 42. PDN pinを“L”にすると、レジスタ値は初期化されます。

Note 43. “0”で指定されたビットへの“1”の書き込みは禁止です。

## ■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMMIN	0	PMLO	PMDAC	0	PMADL
	Default	0	0	0	0	0	0	0	0

PMADL: MIC-Amp Lch, ADC Lchのパワーマネジメント

0: Power down (Default)

1: Power up

PMADLまたはPMADR bitを“0”から“1”に変更すると、初期化サイクル(1059/fs=24ms@44.1kHz)が開始されます。初期化サイクル終了後、ADCはデータを出力します。

PMDAC: DACのパワーマネジメント

0: Power down (Default)

1: Power up

PMLO: ステレオライン出力のパワーマネジメント

0: Power down (Default)

1: Power up

PMMIN: モノラル入力のパワーマネジメント

0: Power down (Default)

1: Power up

再生パスを使用時はPMMIN or PMAINL3 bit = “1”として下さい。

PMVCM: VCOMのパワーマネジメント

0: Power down (Default)

1: Power up

各ブロックを動作させる場合は、必ずPMVCM bitを“1”にしなければなりません。PMVCM bitに対して“0”を書き込むことができるのは、アドレス00H, 01H, 02H, 10H, 20Hの全てのパワーマネジメントビットとMCKO bitを“0”にする時だけです。

このアドレスのビットをON/OFF (“1”/“0”)することで部分的にパワーダウンすることができます。また、PDN pinを“L”にすることで、レジスタの内容に関係なく、全回路を一度にパワーダウンすることができます。このときレジスタ値は初期化されます。

また、アドレス00H, 01H, 02H, 10H, 20Hの全てのパワーマネジメントビットとMCKO bitを“0”にすることで、全回路を一度にパワーダウンすることができます。このときレジスタの内容は保持されています。消費電流は20μA(typ)なので、完全にシャットダウン(typ. 1μA)するにはPDN pin = “L”として下さい。

ADCとDACを使用しない場合、クロックを供給する必要はありません。ADCまたはDACのどれか一つでも使用する場合はクロックを供給して下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Power Management 2	HPZ	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
	Default	0	0	0	0	0	0	0	0

PMPLL: PLLのパワーマネジメント

- 0: EXT Mode and Power Down (Default)
- 1: PLL Mode and Power up

MCKO: MCKO信号の制御

- 0: Disable: MCKO pin = "L" (Default)
- 1: Enable: Output frequency is selected by PS1-0 bits.

M/S: Master / Slave Modeの選択

- 0: Slave Mode (Default)
- 1: Master Mode

PMHPR: Rchヘッドフォンアンプのパワーマネジメント

- 0: Power down (Default)
- 1: Power up

PMHPL: Lchヘッドフォンアンプのパワーマネジメント

- 0: Power down (Default)
- 1: Power up

HPMTN: ヘッドフォンアンプのミュート

- 0: Mute (Default)
- 1: Normal operation

HPZ: HP-Ampのプルダウン設定

- 0: グランドにショート (Default)
- 1: 200kΩ(typ)でプルダウン

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Signal Select 1	0	0	0	DAACL	0	PMMP	0	MGAIN0
	Default	0	0	0	0	0	0	0	1

MGAIN1-0: マイクアンプのゲインコントロール(See Table 23)

MGAIN1 bitは03HのD5 bitです。

PMMP: MPWR pinのパワーマネジメント

- 0: Power down: Hi-Z (Default)
- 1: Power up

DAACL: DACからステレオライン出力に入力される信号のコントロール

- 0: OFF (Default)
- 1: ON

PMLO bit = "1"の時、このビットは有効になります。PMLO bit = "0"の時、LOUT, ROUT pinsはAVSSを出力します。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	0	0	MINL	0	0
	Default	0	0	0	0	0	0	0	0

MINL: ステレオライン出力に入力されるMIN信号のコントロール

0: OFF (Default)

1: ON

PMLO bit = “1”の時、このビットは有効になります。PMLO bit = “0”の時、LOUT, ROUT pinsはAVSSを出力します。

MGAIN1: マイクアンプのゲインコントロール(See Table 23)

LOPS: ステレオライン出力のパワーセーブモード

0: Normal Operation (Default)

1: Power Save Mode

LOVL: ステレオライン出力/差動モノラルライン出力ゲイン設定(See Table 51, Table 53)

0: 0dB/+6dB (Default)

1: +2dB/+8dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
	Default	0	0	0	0	0	0	1	0

DIF1-0: オーディオインタフェースフォーマット (See Table 17)

Default: “10” (前詰め)

BCKO: マスタモード時のBICK出力周波数の設定 (See Table 11)

PLL3-0: PLL基準クロックの選択(See Table 5)

Default: “0000”(LRCK pin)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Mode Control 2	PS1	PS0	FS3	MSBS	BCKP	FS2	FS1	FS0
	Default	0	0	0	0	0	0	0	0

FS3-0: サンプリング周波数(See Table 6 and Table 7)及びMCKI周波数の設定(See Table 12)

PLLモード時はサンプリング周波数の設定を行い、EXTモード時はMCKIの入力周波数を設定します。

BCKP: DSP Mode時のBICK極性設定 (See Table 18)

“0”: “↑”でSDTO出力, “↓”でSDTIラッチ(Default)

“1”: “↓”でSDTO出力, “↑”でSDTIラッチ

MSBS: DSP Mode時のLRCK位相設定 (See Table 18)

“0”: LRCKの “↑”がチャンネル切替のBICK 半周期前(Default)

“1”: LRCKの “↑”がチャンネル切替のBICK 1周期前

PS1-0: MCKO周波数の設定(See Table 10)

Default: “00”(256fs)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Timer Select	DVTM	WTM2	ZTM1	ZTM0	WTM1	WTM0	RFST1	RFST0
	Default	0	0	0	0	0	0	0	0

RFST1-0: ALCファーストリカバリの速度(See Table 34)

Default: "00"(4倍)。

WTM2-0: ALCリカバリ待機時間の設定(See Table 31)

ALC動作中にリミッタ動作が発生しない場合、リカバリ動作を行う周期を設定します。初期値は"000" (128/fs)です。

ZTM1-0: ALCゼロクロスタイムアウト時間の設定(See Table 30)

マイコン書き込み動作、ALCリカバリ動作により、ゲインが変更されるのは、ゼロクロスするかまたはタイムアウトした場合です。初期値は"00" (128/fs)です。

DVTM: Digital Volumeのソフト遷移時間を設定します。

0: 1061/fs (Default)

1: 256/fs

このソフト遷移時間は DVL7-0, DVR7-0 bits を00HからFFHへ変更した場合の遷移時間です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
	Default	0	0	0	0	0	0	0	0

LMTH1-0: ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル(See Table 28)

Default: "00"

LMTH1 bitは0BHのD6 bitです。

RGAIN1-0: ALCリカバリゲインステップ(See Table 32)

Default: "00"

RGAIN1 bitは0BHのD7 bitです。

LMAT1-0: ALCリミッタATTステップ(See Table 29)

Default: "00"

ZELMN: ALCリミッタ動作時ゼロクロス検出イネーブル

0: Enable (Default)

1: Disable

ALC: ALCイネーブル

0: ALC Disable (Default)

1: ALC Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
	Default	1	1	1	0	0	0	0	1

REF7-0: ALCリカバリ動作時の基準値の設定。0.375dB step, 242 Level (See Table 33)

Default: "E1H" (+30.0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Lch Input Volume Control	IVL7	IVL6	IVL5	IVL4	IVL3	IVL2	IVL1	IVL0
0CH	Rch Input Volume Control	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
Default		1	1	1	0	0	0	0	1

IVL7-0, IVR7-0: 入力デジタルボリューム; 0.375dB step, 242 Level (See Table 36)

Default: "E1H" (+30.0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
Default		0	0	0	1	1	0	0	0

DVL7-0, DVR7-0: 出力デジタルボリューム(See Table 39)

Default: "18H" (0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	VBAT	0
Default		0	0	0	0	0	0	0	0

VBAT: ヘッドフォンアンプのコモン電圧(See Table 56)

0: 0.5 x HVDD (Default)

1: 0.64 x AVDD

LMTH1: ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル(See Table 28)

RGAIN1: ALCリカバリゲインステップ(See Table 32)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0EH	Mode Control 3	0	LOOP	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
Default		0	0	0	1	0	0	0	1

DEM1-0: ディエンファシスコントロール(See Table 37)

Default: "01" (OFF)

BST1-0: 低域補正回路のコントロール(See Table 38)

Default: "00" (OFF)

DVOLC: デジタルボリュームのコントロール

0: Independent

1: Dependent (Default)

DVOLC bit = "1"のとき、DVL7-0 bitで両チャンネルのデジタルボリュームが変化します。但し、DVR7-0 bitにDVL7-0 bitの値は書き込まれません。

SMUTE: ソフトミュートコントロール

0: Normal Operation (Default)

1: DAC outputs soft-muted

LOOP: デバイス内部ループバック

0: SDTI → DAC (Default)

1: SDTO → DAC

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0FH	Mode Control 4	0	0	0	0	IVOLC	HPM	MINH	DACH
	Default	0	0	0	0	1	0	0	0

DACH: DACからヘッドフォンアンプに入力される信号のコントロール

0: OFF (Default)

1: ON

MINH: MIN pinからヘッドフォンアンプに入力される信号のコントロール

0: OFF (Default)

1: ON

HPM: ヘッドフォンのモノラル出力

0: ステレオ (Default)

1: モノラル

HPM bit = “1”のとき、DACの出力信号は(L+R)/2としてヘッドフォンアンプから出力されます。

IVOLC: IVOLのコントロール

0: Independent

1: Dependent (Default)

IVOLC bit = “1”のとき、IVL7-0 bitで両チャンネルのIVOLが変化します。但し、IVR7-0 bitにIVL7-0 bitの値は書き込まれません。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
10H	Power Management 3	INR1	INL1	HPG	MDIF2	MDIF1	INR0	INL0	PMADR
	Default	0	0	0	0	0	0	0	0

PMADR: MIC-Amp Rch, ADC Rchのパワーマネジメント

0: Power down (Default)

1: Power up

INL1-0: ADC Lch入力ソース選択(See Table 20)

Default: 00 (LIN1 pin)

INR1-0: ADC Rch入力ソース選択(See Table 20)

Default: 00 (RIN1 pin)

MDIF1: シングルエンド/差動入力切替1

0: シングルエンド入力 (LIN1/RIN1 pin: Default)

1: 差動入力 (IN1+/IN1- pin)

このビットはPin#32と#31の入力形式を設定します。

MDIF2: シングルエンド/差動入力切替2

0: シングルエンド入力 (LIN2/RIN2 pin: Default)

1: 差動入力 (IN2+/IN2- pin)

このビットはPin#30と#29の入力形式を設定します。

HPG: ヘッドフォンアンプゲイン設定 (See Table 54)

0: 0dB (Default)

1: +3.6dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
	Default	0	0	0	0	0	0	0	0

GN1-0: Gain部のゲイン設定(See Table 26)

Default: "00" (0dB)

FIL3: ステレオ感強調用FIL3の係数設定有効

0: 無効(Default)

1: 有効

FIL3 bit = "1"のとき、F3A13-0, F3B13-0 bitの設定が有効になります。FIL3 bit = "0"のとき、FIL3ブロックはOFF(MUTE)です。

EQ: ゲイン補正用フィルタの係数設定有効

0: 無効(Default)

1: 有効

EQ bit = "1"のとき、EQA15-0, EQB13-0, EQC15-0 bitの設定が有効になります。EQ bit = "0"のとき、EQブロックはスルー(0dB)です。

FIL1: 風切り音フィルタ用FIL1の係数設定有効

0: 無効(Default)

1: 有効

FIL1 bit = "1"のとき、F1A13-0, F1B13-0 bitの設定が有効になります。FIL1 bit = "0"のとき、FIL1ブロックはスルー(0dB)です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8
	Default	0	0	0	0	0	0	0	0

F3A13-0, F3B13-0: ステレオ感強調用FIL3係数(14bit x 2)

Default: "0000H"

F3AS: ステレオ感強調用FIL3の選択

0: HPF (Default)

1: LPF

EQA15-0, EQB13-0, EQC15-0: ゲイン補正用フィルタ係数(14bit x 2 + 16bit x 1)

Default: "0000H"

F1A13-0, F1B13-0: 風切り音フィルタ用FIL1係数(14bit x 2)

Default: "0000H"

F1AS: 風切り音フィルタ用FIL1の選択

0: HPF (Default)

1: LPF

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
20H	Power Management 4	PMAINR4	PMAINL4	PMAINR3	PMAINL3	PMAINR2	PMAINL2	PMMICR	PMMICL
	Default	0	0	0	0	0	0	0	0

PMMICL: MIC-Amp Lchのパワーマネジメント

0: Power down (Default)

1: Power up

PMMICR: MIC-Amp Rchのパワーマネジメント

0: Power down (Default)

1: Power up

PMAINL2: LIN2ミキシング回路のパワーマネジメント

0: Power down (Default)

1: Power up

PMAINR2: RIN2ミキシング回路のパワーマネジメント

0: Power down (Default)

1: Power up

PMAINL3: LIN3ミキシング回路のパワーマネジメント

0: Power down (Default)

1: Power up

再生パスを使用時はPMMIN or PMAINL3 bit = “1”として下さい。

PMAINR3: RIN3ミキシング回路のパワーマネジメント

0: Power down (Default)

1: Power up

PMAINL4: LIN4ミキシング回路のパワーマネジメント

0: Power down (Default)

1: Power up

PMAINR4: RIN4ミキシング回路のパワーマネジメント

0: Power down (Default)

1: Power up

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
21H	Mode Control 5	0	0	MICR3	MICL3	L4DIF	MIX	AIN3	LODIF
	Default	0	0	0	0	0	0	0	0

**LODIF: ライン出力設定**

- 0: ステレオライン出力 (LOUT/ROUT pins) (Default)
- 1: 差動モノラルライン出力 (LOP/LON pins)

**AIN3: アナログミキシング設定**

- 0: モノラル入力 (MIN pin) (Default)
- 1: ステレオ入力 (LIN3/RIN3 pins): PLLは使用できません。

**MIX: モノラル録音設定**

- 0: ステレオ (Default)
- 1: モノラル: (L+R)/2

**L4DIF: ライン入力形式選択**

- 0: ステレオ入力: LIN4/RIN4 pins (Default)
- 1: 差動モノラル入力: IN4+/- pins

**MICL3: ミキシングパス設定**

- 0: LIN3 pin入力 (Default)
- 1: MIC-Amp Lch出力

**MICR3: ミキシングパス設定**

- 0: RIN3 pin入力 (Default)
- 1: MIC-Amp Rch出力

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
22H	Lineout Mixing Select	LOM	LOM3	RINR4	LINL4	RINR3	LINL3	RINR2	LINL2
	Default	0	0	0	0	0	0	0	0

LINL2: LIN2からステレオライン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

RINR2: RIN2からステレオライン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

LINL3: LIN3 (or MIC-Amp Lch)からステレオライン出力に入力される信号のコントロール

0: OFF (Default)

1: ON

RINR3: RIN3 (or MIC-Amp Rch)からステレオライン出力に入力される信号のコントロール

0: OFF (Default)

1: ON

LINL4: LIN4からステレオライン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

RINR4: RIN4からステレオライン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

LOM3: MIC-Amp (or LIN3/RIN3)からステレオライン出力に入力される信号のモノラル設定

0: Stereo Mixing (Default)

1: Mono Mixing

LOM: DACからステレオライン出力に入力される信号のモノラル設定

0: Stereo Mixing (Default)

1: Mono Mixing

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
23H	HP Mixing Select	0	HPM3	RINH4	LINH4	RINH3	LINH3	RINH2	LINH2
	Default	0	0	0	0	0	0	0	0

LINH2: LIN2からヘッドフォン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

RINH2: RIN2からヘッドフォン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

LINH3: LIN3 (or MIC-Amp Lch)からヘッドフォン出力に入力される信号のコントロール

0: OFF (Default)

1: ON

RINH3: RIN3 (or MIC-Amp Rch)からヘッドフォン出力に入力される信号のコントロール

0: OFF (Default)

1: ON

LINH4: LIN4からヘッドフォン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

RINH4: RIN4からヘッドフォン出力に入力される信号のコントロール(MIC-Ampバイパス)

0: OFF (Default)

1: ON

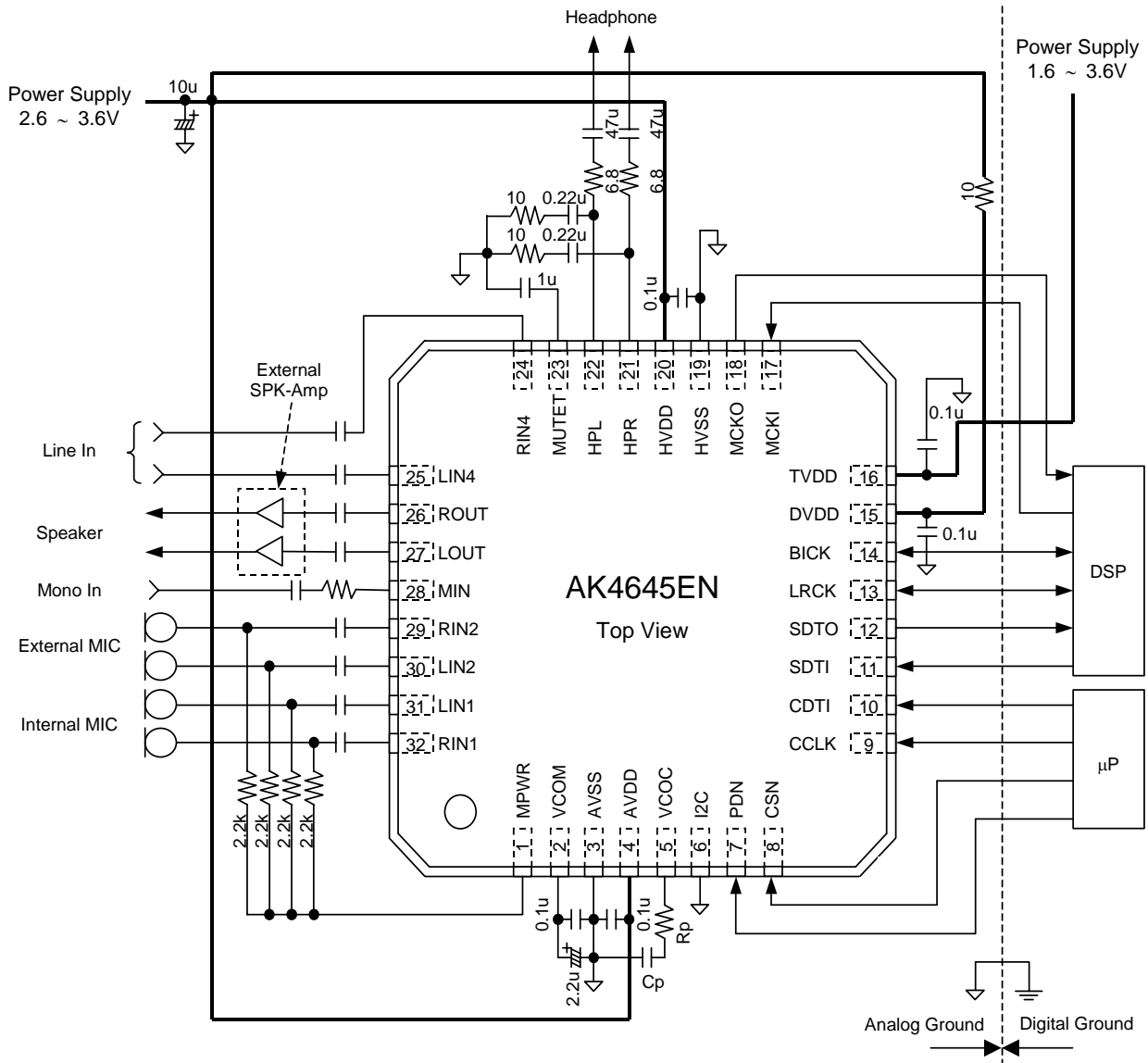
HPM3: MIC-Amp (or LIN3/RIN3)からヘッドフォン出力に入力される信号のモノラル設定

0: Stereo Mixing (Default)

1: Mono Mixing

システム設計

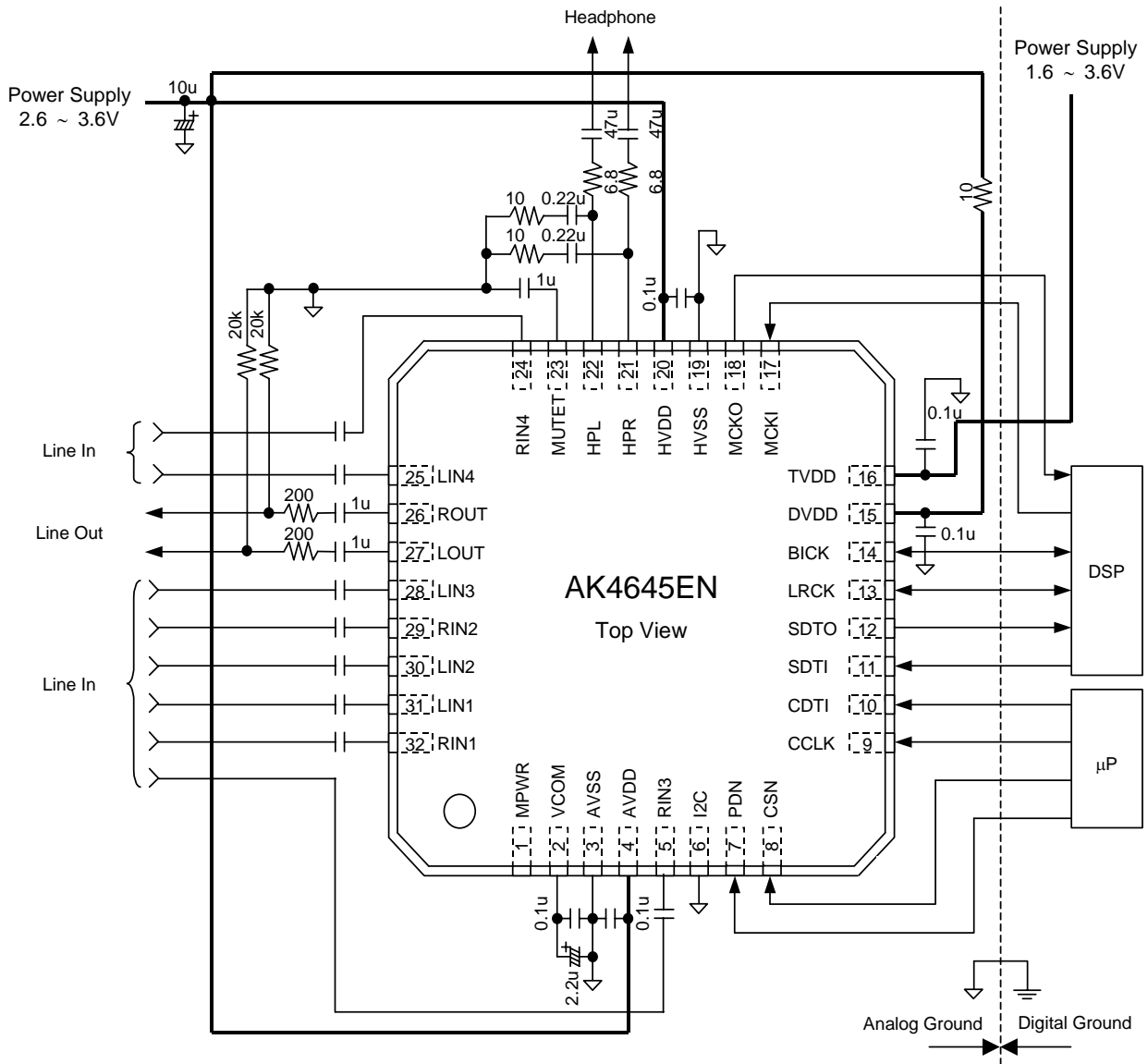
Figure 73およびFigure 74はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4645)を参照して下さい。



注:

- AK4645のAVSS, HVSSと周辺コントローラ等のグラウンドは分けて配線して下さい。
- デジタル入力ピンはオープンにしないで下さい。
- EXTモード(PMPLL bit = "0")の場合、VCOC pinはオープンで構いません。
- PLLモード(PMPLL bit = "1")の場合、CpとRpはTable 5のようにして下さい。
- マスタモードで使用する場合、M/S bitに"1"が書き込まれるまで、AK4645のLRCK, BICK pinはフローティングの状態です。そのため、AK4645のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

Figure 73. システム接続図(AIN3 bit = "0", マイク入力時)



注:

- AK4645のAVSS, HVSSと周辺コントローラ等のグラウンドは分けて配線して下さい。
- デジタル入力ピンはオープンにしないで下さい。
- マスタモードで使用する場合、M/S bitに“1”が書き込まれるまで、AK4645のLRCK, BICK pinはフローティングの状態です。そのため、AK4645のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

Figure 74. システム接続図(AIN3 bit = “1”: PLL使用不可, ライン入力時)

## 1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD, DVDD, TVDD, HVDDにはシステムのアナログ電源を供給します。AVDD, DVDD, TVDD, HVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。AVSS, HVSSはアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

## 2. 基準電圧

VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 $\mu$ F程度の電解コンデンサと並列に0.1 $\mu$ FのセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

## 3. アナログ入力

マイク入力、ライン入力とMIN入力はシングルエンド入力になっています。マイク入力とライン入力の入力レンジは内部のコモン電圧(0.45 x AVDD)を中心に0.06 x AVDD Vpp(typ)@MGAIN1-0 bits = "01", 0.03 x AVDD Vpp(typ)@MGAIN1-0 bits = "10", 0.015 x AVDD Vpp(typ)@MGAIN1-0 bits = "11"または、0.6 x AVDD Vpp(typ)@MGAIN1-0 bits = "00"になります。MIN入力の入力レンジは内部のコモン電圧(0.45 x AVDD)を中心に0.6 x AVDD Vpp(typ)になります。通常、入力信号はコンデンサでDCカットします。この時カットオフ周波数は $f_c=1/(2\pi RC)$ です。AK4645はAVSSからAVDDまでの電圧を入力することができます。

## 4. アナログ出力

DACに対する入力データのフォーマットは2'sコンプリメントで、7FFFH(@16bit)に対しては正のフルスケール、8000H(@16bit)に対しては負のフルスケール、0000H(@16bit)での理論値はVCOM電圧です。VCOM電圧は、ステレオライン出力では0.45 x AVDD (typ)を中心に出力され、ヘッドフォン出力ではHVDD/2を中心に出力されます。

**コントロールシーケンス**

**■ クロックの設定**

ADCまたはDACをPower-up時にはクロックが供給されている必要があります。

1. PLLマスタモードの場合

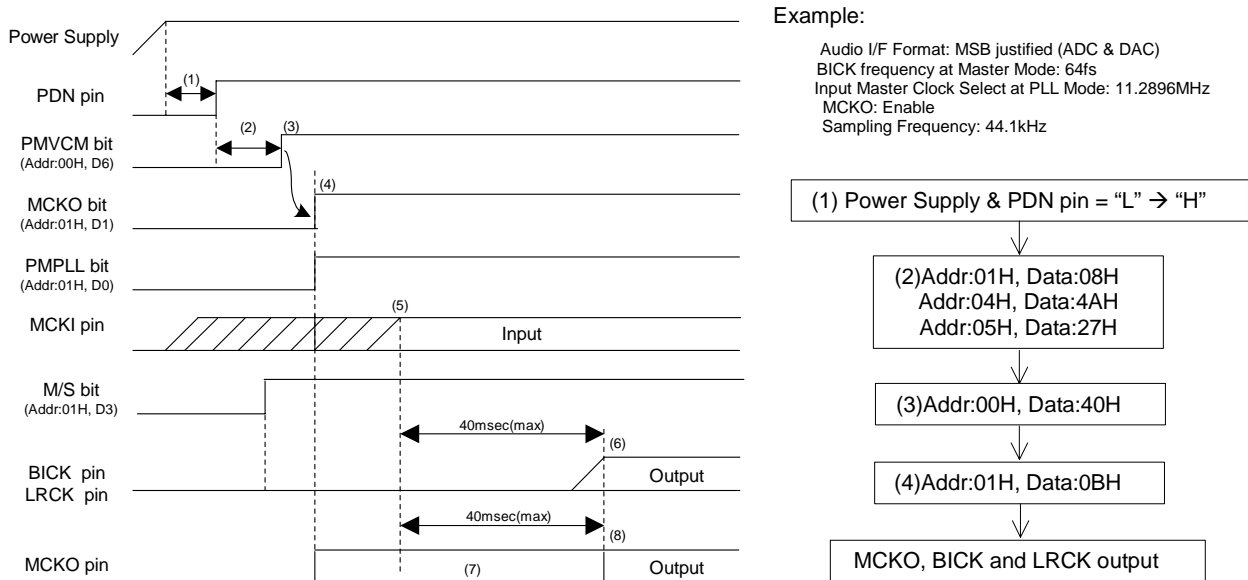


Figure 75. Clock Set Up Sequence (1)

<手順例>

- (1) 電源立ち上げ後、PDN pin “L” → “H”  
この区間はAK4645のリセットのため、150ns以上の“L”区間が必要です。
- (2) この区間に、DIF1-0, PLL3-0, FS3-0, BCKO, M/S bitsの設定を行って下さい。
- (3) VCOMのパワーアップ: PMVCM bit = “0” → “1”  
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) MCKO出力を使用する場合: MCKO bit = “1”  
MCKO出力を使用しない場合: MCKO bit = “0”
- (5) PMPLL bitが “0” → “1”になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。  
PLLのロック時間は40ms(max)です。
- (6) PLLが安定後、BICK, LRCKを出力し始め、正常な動作が開始します。
- (7) MCKO bit = “1”の場合、この区間ではMCKO pinから正常でないクロックが出力されます。
- (8) MCKO bit = “1”の場合、PLLが安定後MCKO pinから正常なクロックが出力されます。

## 2. PLLスレーブモードで外部クロック(LRCK or BICK pin)を使用する場合

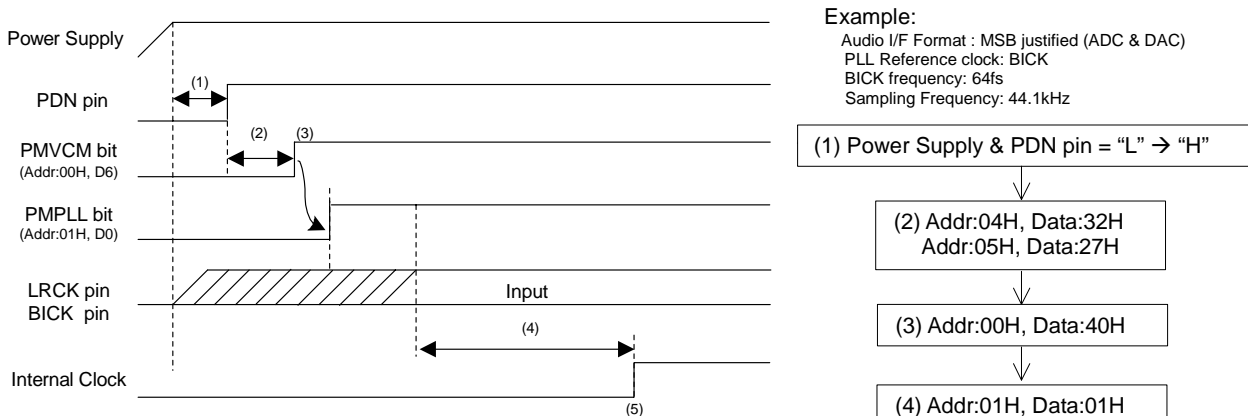


Figure 76. Clock Set Up Sequence (2)

## &lt;手順例&gt;

- (1)電源立ち上げ後、PDN pin “L” → “H”  
この区間はAK4645のリセットのため、150ns以上の“L”区間が必要です。
- (2)この区間に、DIF1-0, FS3-0, PLL3-0 bitsの設定を行って下さい。
- (3)VCOMのパワーアップ: PMVCM bit = “0” → “1”  
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4)PMPLL bitが “0” → “1”になり、PLL基準クロック(LRCK or BICK pin)が供給された後、PLL動作がスタートします。PLLのロック時間はLRCKがPLL基準クロック入力の場合、160ms(max), BICKがPLL基準クロックの場合、2ms(max)です。
- (5)PLLが安定後、正常な動作が開始します。

3. PLLスレーブモードで外部クロック(MCKI pin)を使用する場合

Example:

Audio I/F Format: MSB justified (ADC & DAC)  
 BICK frequency at Master Mode: 64fs  
 Input Master Clock Select at PLL Mode: 11.2896MHz  
 MCKO: Enable  
 Sampling Frequency: 44.1kHz

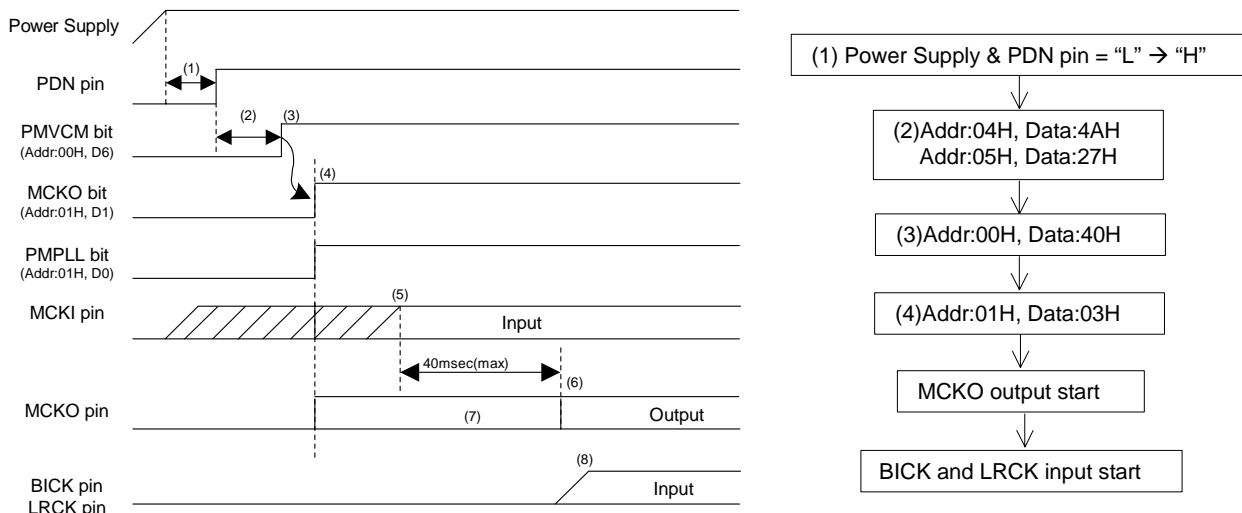


Figure 77. Clock Set Up Sequence (3)

<手順例>

- (1) 電源立ち上げ後、PDN pin “L” → “H”  
この区間はAK4645のリセットのため、150ns以上の“L”区間が必要です。
- (2) この区間に、DIF1-0, PLL3-0, FS3-0 bitsの設定を行って下さい。
- (3) VCOMのパワーアップ：PMVCM bit = “0” → “1”  
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) MCKO 出力の設定: MCKO bit = “1”
- (5) PMPLL bitが “0” → “1”になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。  
PLLのロック時間は40ms(max)です。
- (6) PLLが安定後、MCKO pin から正常なクロックが出力されます。
- (7) この区間では、MCKO pin から正常でないクロックが出力されます。
- (8) MCKOクロックに同期したBICK, LRCKクロックを入力してください。

4. 外部クロックモードで使用する場合(スレーブモード)

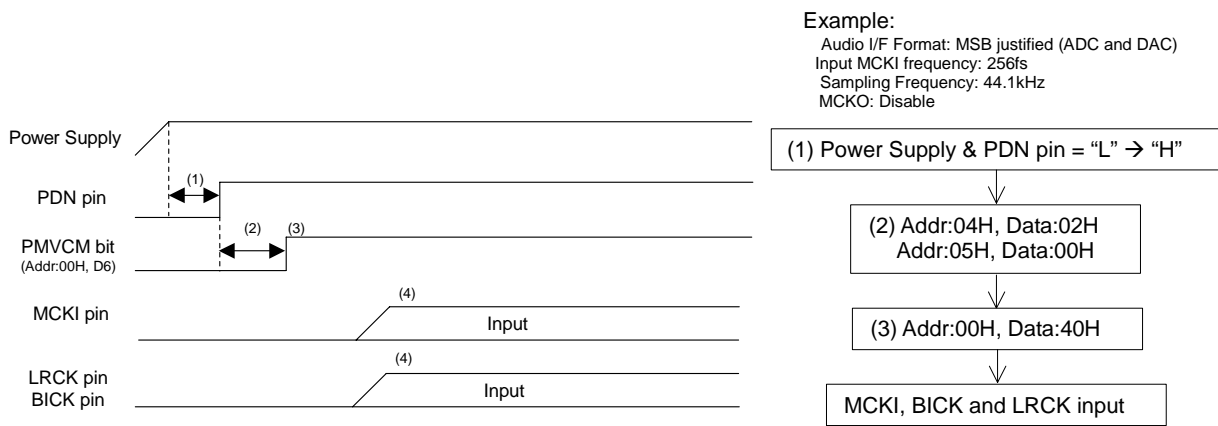


Figure 78. Clock Set Up Sequence (4)

<手順例>

- (1) 電源立ち上げ後、PDN pin “L” → “H”  
 この区間はAK4645のリセットのため、150ns以上の“L”区間が必要です。
- (2) この区間に、DIF1-0, FS1-0 bitsの設定を行って下さい。
- (3) VCOMのパワーアップ：PMVCM bit = “0” → “1”  
 各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) MCKI, LRCK, BICKクロック入力後、正常な動作が開始します。

## 5. 外部クロックモードで使用する場合(マスタモード)

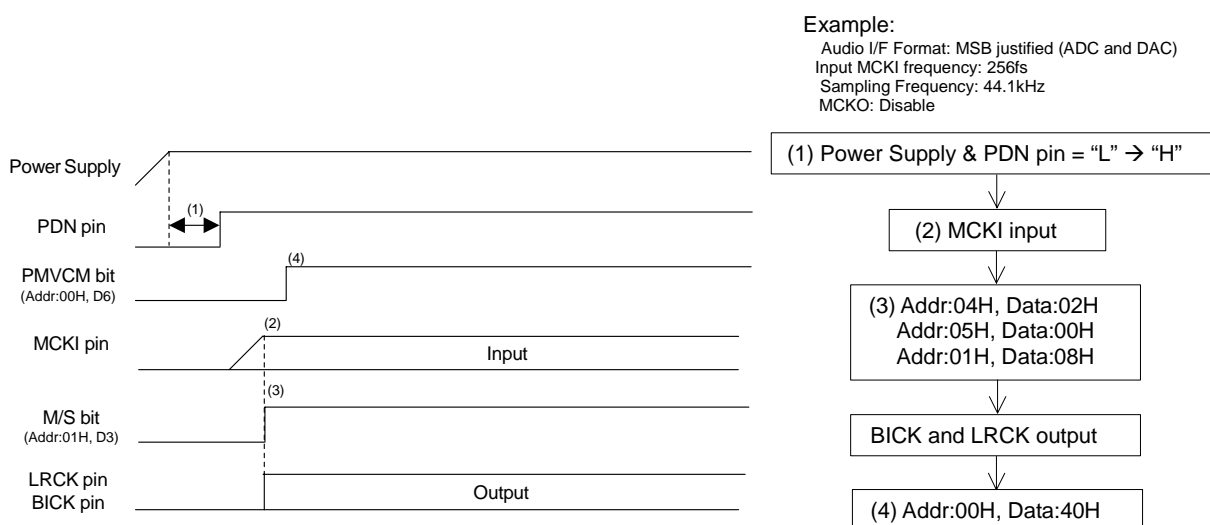


Figure 79. Clock Set Up Sequence (5)

## &lt;手順例&gt;

- (1) 電源立ち上げ後、PDN pin "L" → "H"  
この区間はAK4645のリセットのため、150ns以上の"L"区間が必要です。
- (2) MCKIを入力して下さい。
- (3) DIF1-0, FS1-0 bitsの設定後、M/S bitを"1"に設定して下さい。LRCKおよびBICKが出力されます。
- (4) VCOMのパワーアップ：PMVCM bit = "0" → "1"  
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

■ マイク入力録音(ステレオ)

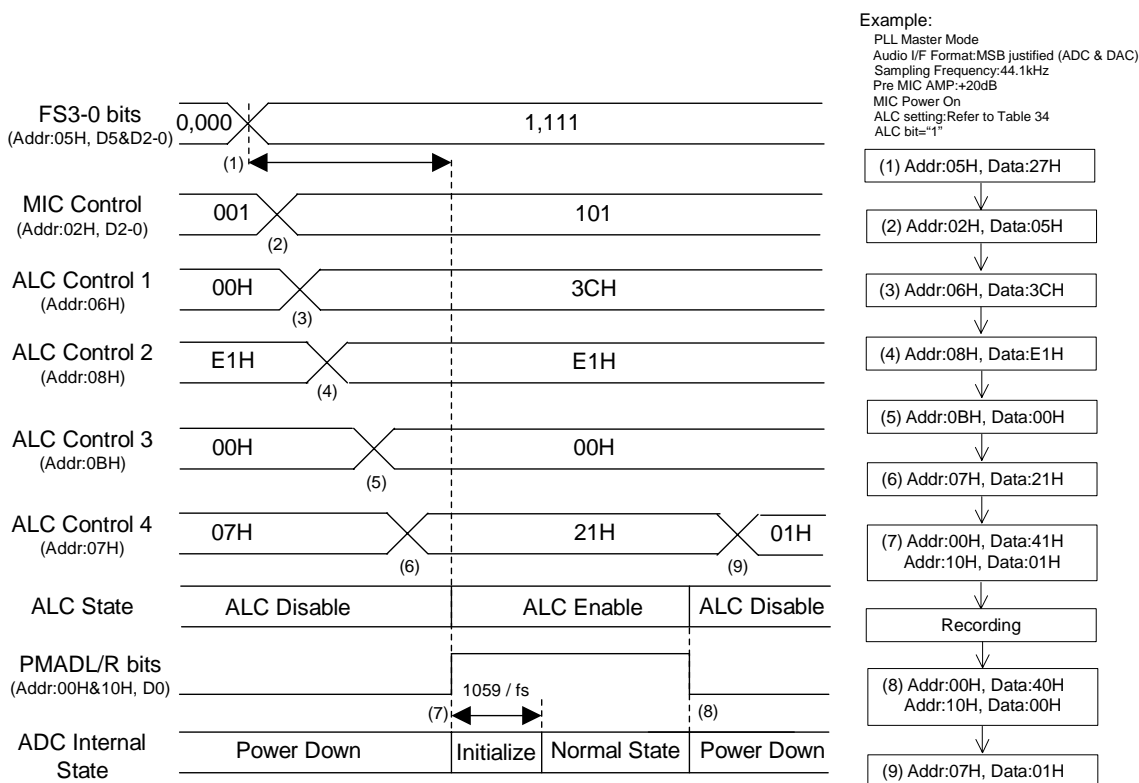


Figure 80. MIC Input Recording Sequence

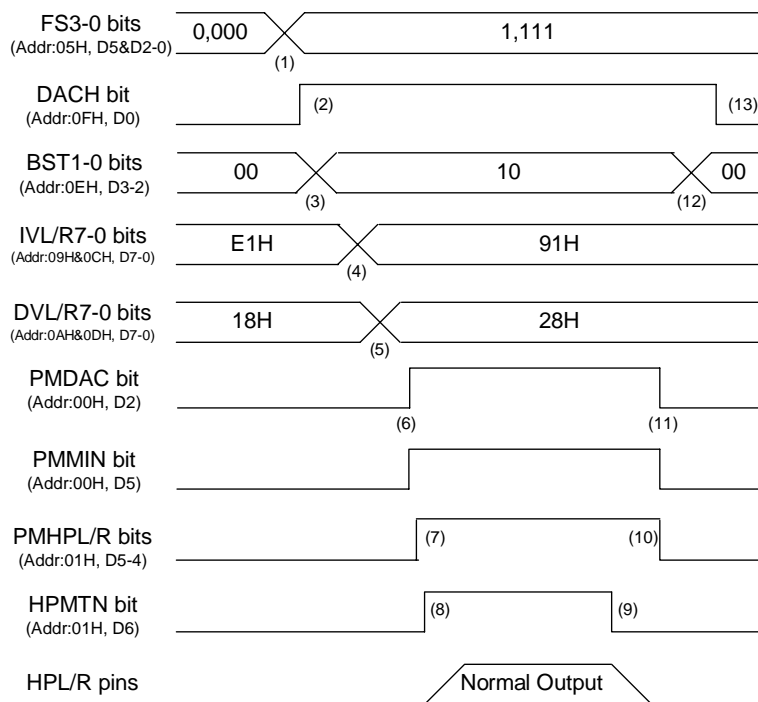
<手順例>

fs=44.1kHz時のALCの設定例です。ALCのパラメータを変更する場合は、“Figure 36.”を参照して下さい。

「クロックの設定」の項を参照し、クロックを供給して下さい。

- (1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからPLLロック時間を考慮し、(7)のマイク及びADCのパワーアップを行って下さい。
- (2) マイク入力(アドレス 02H)の設定。
- (3) ALC Timer (アドレス 06H)の設定
- (4) ALC REF値(アドレス 08H)の設定
- (5) LMTH1, RGAIN1 bitsの設定(アドレス 0BH)
- (6) LMTH0, RGAIN0, LMAT1-0, ALC bitsの設定(アドレス 07H)
- (7) マイク及びADCのパワーアップ: PMADL = PMADR bits = “0” → “1”  
 ADCの初期化サイクルは1059/fs=24ms@fs=44.1kHzです。  
 ALCは入力デジタルボリューム(IVL/R7-0 bits)の初期値(+30dB)から動作を開始します。  
 初期化サイクル終了後、オフセット電圧が収束するまでの時間はアナログ入力ピンがコモン電圧に収束するまで時間とデジタルHPFの時定数に依存します。収束時間を短縮するには、PMVCM bit = “1”に続けてPMMP bit = “1”を設定し、アナログ入力のACカップリングコンデンサと60k(typ)で決まる時定数の4倍経過後、ADCをPower-upする方法があります。
- (8) マイク及びADCのパワーダウン: PMADL = PMADR bits = “1” → “0”  
 マイク及びADCをパワーダウンすることでALCもDisable状態になります。サンプリング周波数を変更し、ALCの設定を変更する場合は、マニュアルモード(ALC bit = “0”)あるいはマイク及びADCをパワーダウン(PMADL = PMADR bits = “0”)してから行って下さい。また、PMADL = PMADR bits = “0”のとき、入力デジタルボリューム(IVL/R7-0 bits)のゲインはリセットされず、次のパワーアップ時はコントロールレジスタの設定値で動作を開始します。
- (9) ALC Disable: ALC bit = “1” → “0”

■ ヘッドフォン出力



Example :

PLL Master Mode  
 Sampling Frequency: 44.1kHz  
 DVOLC bit = "1"(default)  
 Digital Volume Level: -8dB  
 Bass Boost Level: Middle  
 De-emphases response: OFF  
 Soft Mute Time: 256fs

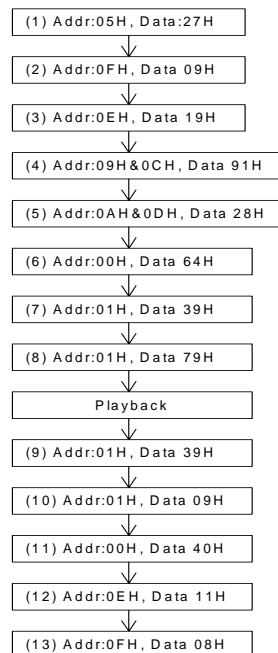


Figure 81. Headphone-Amp Output Sequence

<手順例>

- 「クロックの設定」の項を参照し、クロックを供給して下さい。
- (1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからPLLロック時間を考慮し、(5)のDACのパワーアップを行って下さい。
- (2) DAC → HP-Ampのパス設定: DACH bit = “0” → “1”
- (3) パスブーストレベル(BST1-0 bits)の設定。
- (4) 入力デジタルボリューム(アドレス09H&0CH)の設定  
 PMADL = PMADR bits = “0”のときIVL7-0 = IVR7-0 bits = “91H”(0dB)に設定して下さい。
- (5) 出力デジタルボリューム(アドレス0AH&0DH)の設定。  
 DVOLC bit = “1”(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。
- (6) DACおよびMIN-Ampのパワーアップ: PMDAC = PMMIN bits = “0” → “1”  
 初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2’sコンプリメントの“0”に固定されます。初期化サイクルが終了すると、DACの群遅延(25/fs = 0.5ms@fs=44.1kHz)経過後、DAC出力はデジタル入力信号に相当する電圧になります。PMADL bitまたはPMADR bitが“1”のとき、DACの初期化サイクルはありません。ALC bit = “1”の場合、初期化サイクル中(1059/fs = 24ms @fs=44.1kHz)、ALCはディセーブル状態(ALCのゲインはIVL/R7-0 bitsの設定)で、初期化サイクルが終了するとALCはIVL/R7-0 bitsの設定から動作を開始します。
- (7) ヘッドフォンアンプのパワーアップ: PMHPL = PMHPR bits = “0” → “1”  
 出力はHVSSのままです。
- (8) ヘッドフォンアンプのコモン電圧立ち上げ: HPMTN bit = “0” → “1”  
 立ち上げ時間はMUTET pinのコンデンサの容量とHVDDで決まります。MUTET pinのコンデンサC = 1μF, HVDD=3.3Vの時の時定数はτ = 100ms(typ), 250ms(max)です。
- (9) ヘッドフォンアンプのコモン電圧立ち下げ: HPMTN bit = “1” → “0”  
 立ち上げ時間はMUTET pinのコンデンサの容量とHVDDで決まります。MUTET pinのコンデンサC = 1μF, HVDD=3.3Vの時の時定数はτ = 100ms(typ), 250ms(max)です。  
 コモン電圧がHVSSへ下がる前に電源をオフするか、または、ヘッドフォンアンプをパワーダウンした場合、ポップ音が発生します。コモン電圧がHVSSへ下がるまでの時間は時定数の2倍の時間です。
- (10) ヘッドフォンアンプのパワーダウン: PMHPL = PMHPR bits = “1” → “0”
- (11) DACおよびMIN-Ampのパワーダウン: PMDAC = PMMIN bits = “1” → “0”
- (12) パスブーストのOFF: BST1-0 bits = “00”
- (13) DAC → HP-AmpのパスのDisable: DACH bit = “1” → “0”

## ■ ステレオライン出力

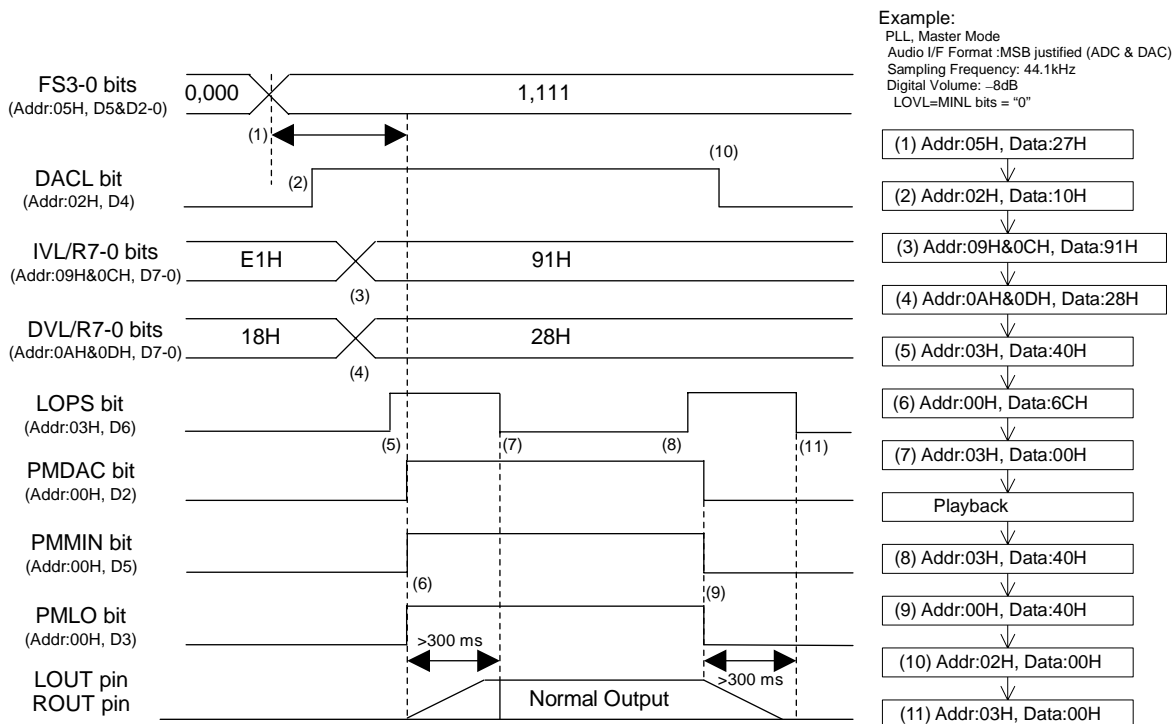


Figure 82. Stereo Lineout Sequence

### <手順例>

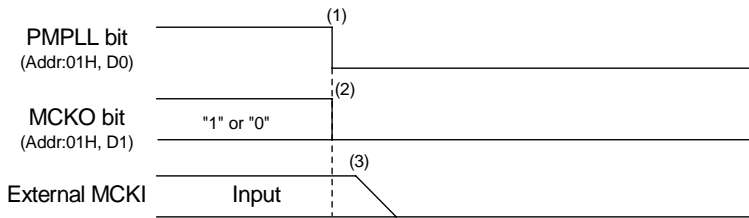
「クロックの設定」の項を参照し、クロックを供給して下さい。

- (1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからPLLロック時間を考慮し、(5)のDACのパワーアップを行って下さい。
- (2) DAC → ステレオライン出力のパスの設定: DACL bit = “0” → “1”
- (3) 入力デジタルボリューム(アドレス09H&0CH)の設定  
PMADL = PMADR bits = “0”のときIVL7-0 = IVR7-0 bits = “91H”(0dB)に設定して下さい。
- (4) 出力デジタルボリューム(アドレス0AH&0DH)の設定。  
DVOLC bit = “1”(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。
- (5) ステレオライン出力をパワーセーブモードへ移行: LOPS bit = “0” → “1”
- (6) DAC, MIN-Amp及びステレオライン出力のパワーアップ: PMDAC = PMMIN = PMLO bits = “0” → “1”  
初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2’sコンプリメントの“0”に固定されます。初期化サイクルが終了すると、DACの群遅延(25/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はデジタル入力信号に相当する電圧になります。PMADL bitまたはPMADR bitが“1”のとき、DACの初期化サイクルはありません。ALC bit = “1”の場合、初期化サイクル中(1059/fs = 24ms @fs=44.1kHz)、ALCはディセーブル状態(ALCのゲインはIVL/R7-0 bitsの設定)で、初期化サイクルが終了するとALCはIVL/R7-0 bitsの設定から動作を開始します。  
PMLO bit = “1”でLOUT, ROUT pinsが立ち上がり始めます。立ち上がり時間はC = 1μF, AVDD=3.3Vのときmax. 300msです。
- (7) ステレオライン出力のパワーセーブモードの解除: LOPS bit = “1” → “0”  
LOUT, ROUT pinsが立ち上がった後、設定を行ってください。設定後、LOUT, ROUT pinsからの音声出力が開始されます。
- (8) ステレオライン出力をパワーセーブモードへ移行: LOPS bit: “0” → “1”
- (9) DAC, MIN-Amp及びステレオライン出力のパワーダウン: PMDAC = PMMIN = PMLO bits = “1” → “0”  
LOUT, ROUT pinsが立ち下がり始めます。立ち下がり時間はC = 1μF, AVDD=3.3Vのときmax. 300msです。
- (10) DAC → ステレオライン出力のパスのDisable: DACL bit = “1” → “0”
- (11) ステレオライン出力のパワーセーブモードの解除: LOPS bit = “1” → “0”  
LOUT, ROUT pinsが立ち下がった後、設定を行ってください。

## ■ クロックの停止

ADCおよびDACを使用しない場合は、マスタクロックを停止することができます。

### 1. PLLマスタモードの場合



Example:

Audio I/F Format: MSB justified (ADC & DAC)  
 BICK frequency at Master Mode: 64fs  
 Input Master Clock Select at PLL Mode: 11.2896MHz  
 Sampling Frequency: 8kHz

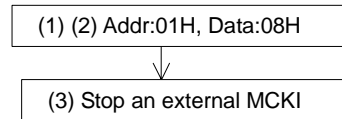
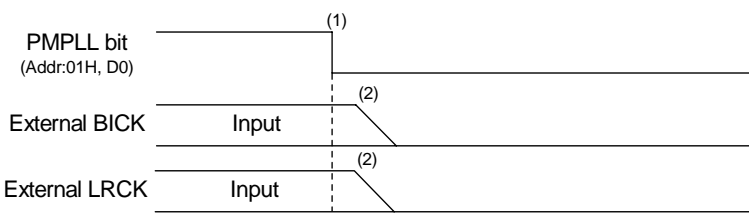


Figure 83. Clock Stopping Sequence (1)

<手順例>

- (1) PLLのパワーダウン: PMPLL bit = “1” → “0”
- (2) MCKO出力の停止: MCKO bit = “1” → “0”
- (3) 外部クロックを止めて下さい。

### 2. PLLマスタモードの場合PLLスレーブモード(LRCK, BICK pin)の場合



Example

Audio I/F Format : MSB justified (ADC & DAC)  
 PLL Reference clock: BICK  
 BICK frequency: 64fs  
 Sampling Frequency: 8kHz

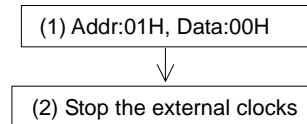
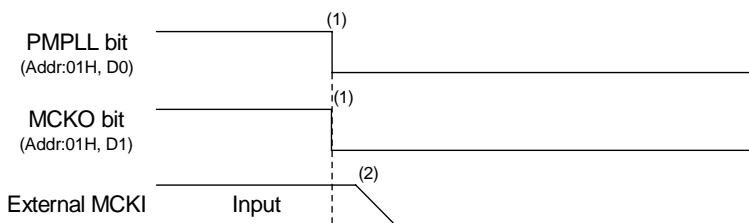


Figure 84. Clock Stopping Sequence (2)

<手順例>

- (1) PLLのパワーダウン: PMPLL bit = “1” → “0”
- (2) 外部クロックを止めて下さい。

### 3. PLLスレーブモード(MCKI pin)の場合



Example

Audio I/F Format: MSB justified (ADC & DAC)  
 PLL Reference clock: MCKI  
 BICK frequency: 64fs  
 Sampling Frequency: 8kHz

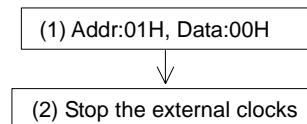


Figure 85. Clock Stopping Sequence (3)

<手順例>

- (1) PLLのパワーダウン: PMPLL bit = “1” → “0”  
 MCKO出力の停止: MCKO bit = “1” → “0”
- (2) 外部クロックを止めて下さい。

4. 外部クロックスレーブモードの場合

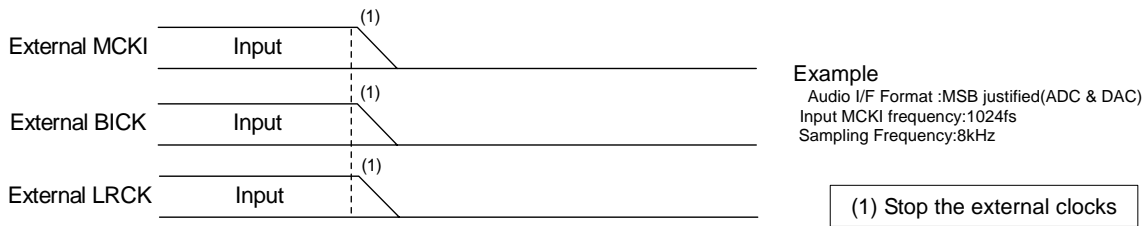


Figure 86. Clock Stopping Sequence (4)

<手順例>

- (1) 外部クロックを止めて下さい。

5. 外部クロックマスタモードの場合

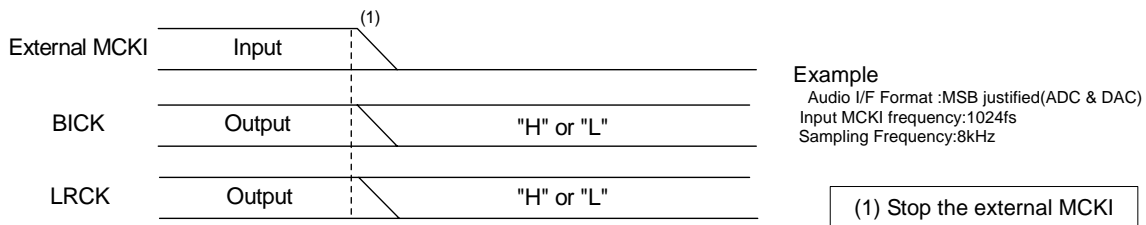


Figure 87. Clock Stopping Sequence (5)

<手順例>

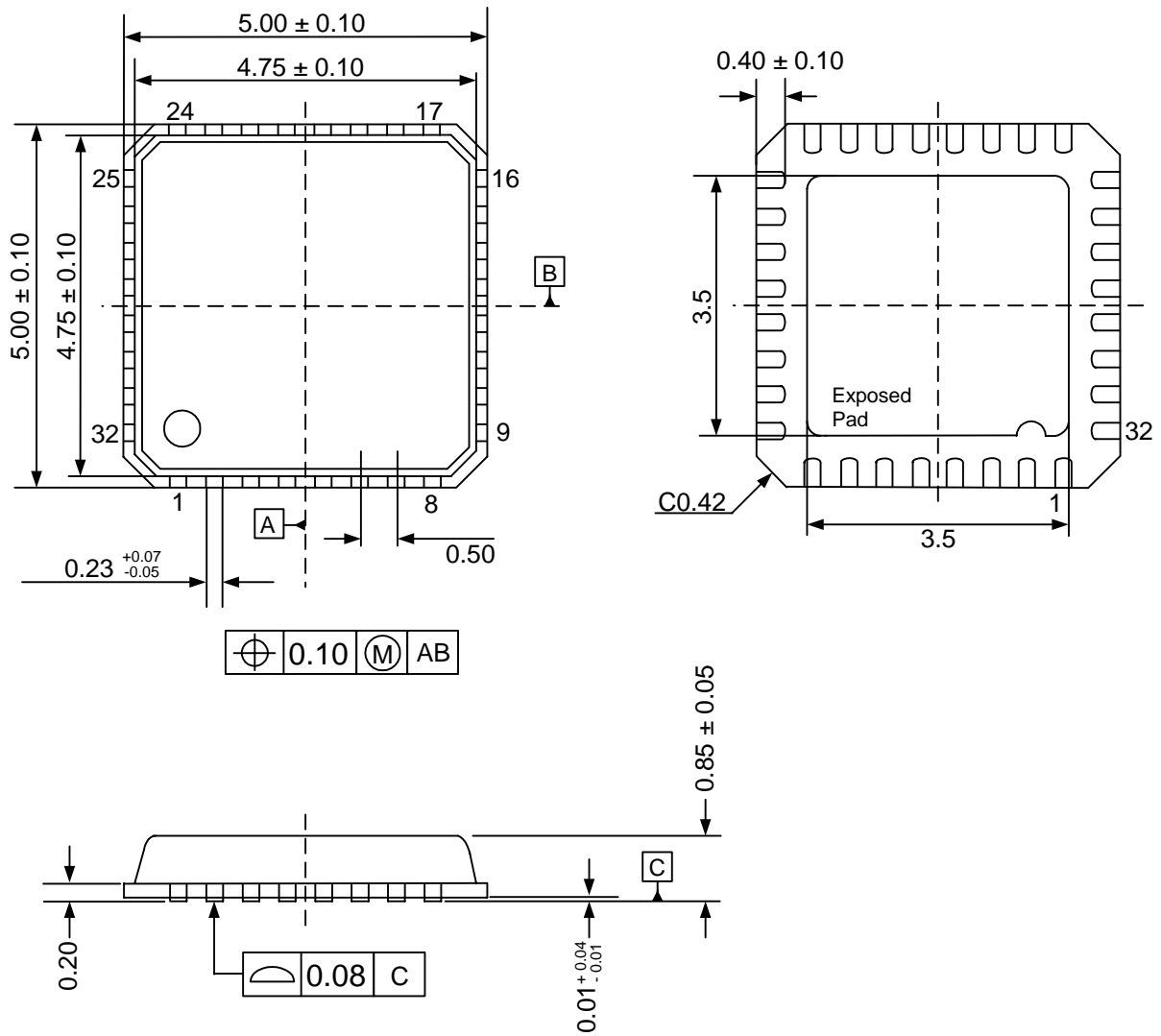
- (1) MCKIを止めて下さい。BICKおよびLRCKは“H”または“L”に固定されます。

■ パワーダウン

各ブロックをパワーダウンし、各クロック停止かつPMVCM bit = “0”とすることで電流をシャットダウン(typ. 20μA)できます。また、各クロック停止かつPDN pin = “L”とすることで電流をシャットダウン(typ. 1μA)することも可能です。但し、この場合レジスタが初期化されます。

パッケージ

● 32pin QFN (Unit: mm)

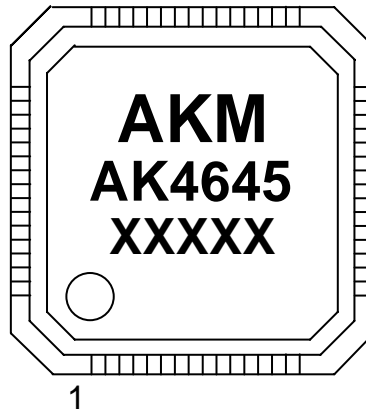


注：パッケージ裏面中央の露出パッド(Exposed Pad)は、オープンまたはグランドに接続して下さい

■ 材質・メッキ仕様

- パッケージ材質: エポキシ系樹脂
- リードフレーム材質: 銅
- リードフレーム処理: 半田 (無鉛) メッキ

マーキング
-------



XXXXXX : Date code identifier (5桁)

改訂履歴
------

Date (YY/MM/DD)	Revision	Reason	Page	Contents
06/09/14	00	初版		

重要な注意事項
---------

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。