16位、2 MSPS/1 MSPS、精密伪差分SAR ADC

数据手册

AD4000/AD4004

产品特性

- 吞吐速率：2 MSPS/1 MSPS可选
- INL：±1.0 LSB（最大值）
- 保证16位、无失码
- 低功耗
  - 9.75 mW (2 MSPS)，4.9 mW (1 MSPS)（仅VDD）
  - 70 µW (10 kSPS)，14 mW (2 MSPS)（总计）
- SNR：典型值93 dB（1 kHz，V_{REF} = 5 V）；典型值90 dB (100 kHz)
- THD：典型值-115 dB（1 kHz，V_{REF} = 5 V）；典型值-95 dB (100 kHz)
- 易用特性可降低系统功耗和复杂性
  - 输入过压箝位电路
  - 减少了非线性输入电荷反冲
  - 高阻态模式
  - 长采集阶段
  - 输入范围压缩
  - 快速转换时间支持很低的SPI时钟速率
  - SPI可编程模式、读/写能力、状态字
- 伪差分（单端）模拟输入范围为0 V至V_{REF}，其中V_{REF}介于2.4 V到5.1 V之间
- 单电源工作：1.8 V，逻辑接口电压：1.71 V至5.5 V
- SAR架构：无延迟/流水线延迟，首次转换有效
- 精确的首次转换
- 保证工作：−40°C至125°C
- SPI/QSPI/MICROWIRE/DSP兼容串行接口
- 以菊花链形式连接多个ADC，并能提供繁忙指示
- 10引脚封装：3 mm × 3 mm LFCSP、3 mm × 4.90 mm MSOP封装

应用

- 自动测试设备
- 机器自动化
- 医疗设备
- 电池供电设备
- 精密数据采集系统

概述

AD4000/AD4004是低噪声、低功耗、高速、16位精密逐次逼近型寄存器（SAR）模数转换器（ADC）。AD4000提供2 MSPS吞吐速率，AD4004提供1 MSPS吞吐速率。这些器件易于使用，可降低信号链的功耗和复杂性，支持较高的通道密度。高阻态模式与长采集阶段的结合，无需使用专用的高功耗、高速ADC驱动器即可扩展直接驱动这些ADC的低功耗精密放大器的范围，同时仍能实现出色的性能。输入范围压缩特性可使ADC驱动放大器和ADC采用公共供电轨供电，而无需采用负电源供电，同时保留完整的ADC代码范围。低串行外设接口（SPI）时钟速率要求降低了数字输入/输出功耗，拓宽了处理器选项并简化了横跨数字隔离发送数据的工作过程。

AD4000/AD4004采用1.8 V电源供电，对（IN+）与参考地（IN−）之间的模拟输入电压进行采样，范围从0 V至V_{REF}，V_{REF}范围为2.4 V至5.1 V。在turbo模式下，AD4000以2 MSPS和最小70 MHz SCK速率工作时，功耗仅为14 mW。在turbo模式下，AD4004以1 MSPS和最小25 MHz SCK速率工作时，功耗仅为7 mW。AD4000/AD4004均实现了最大±1.0 LSB积分非线性误差(INL)、16位无失码和93 dB信噪比（SNR）。基准电压由外部提供，并且可以独立于电源电压。

SPI兼容型多功能串行接口提供七种不同的模式，包括能够利用SDI输入将几个ADC以菊花链形式连接到一条三线式总线上，并提供可选的繁忙指示。利用独立VIO电源，AD4000/AD4004可与1.8 V、2.5 V、3 V和5 V逻辑兼容。

AD4000/AD4004采用10引脚MSOP或LFCSP封装，工作温度范围为−40°C至+125°C。这些器件与18位、2 MSPS AD4003引脚兼容（参见表8）。

功能框图

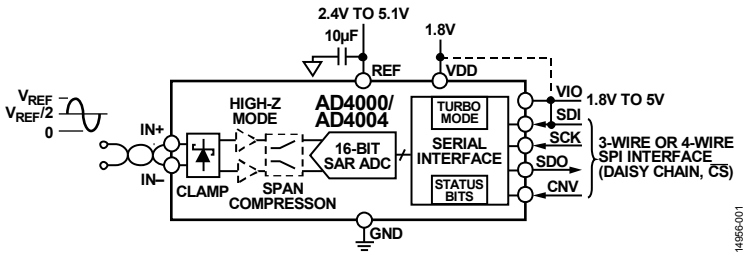


图1.

Rev. A Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 **Technical Support** **www.analog.com/cn**

©2016–2017 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性 1
应用 1
概述 1
功能框图 1
修订历史 2
技术规格 3
时序规格 6
绝对最大额定值 8
热阻 8
ESD警告 8
引脚配置和功能描述 9
典型性能参数 10
术语 15
工作原理 16
电路信息 16
转换器操作 16
传递函数 17
应用信息 18
典型应用图 18
模拟输入 19
驱动放大器选择 20
易驱动特性 20
基准电压输入 22
电源 22
数字接口 22
寄存器读/写功能 23
状态字 25
$\overline{CS}$ 模式（三线Turbo模式） 26
$\overline{CS}$ 模式（三线式且无繁忙指示） 27
$\overline{CS}$ 模式（三线式且有繁忙指示） 28
$\overline{CS}$ 模式（四线Turbo模式） 29
$\overline{CS}$ 模式（四线式且无繁忙指示） 30
$\overline{CS}$ 模式（四线式且有繁忙指示） 31
菊花链模式 32
布局布线指南 33
评估AD4000/AD4004性能 33
外形尺寸 34
订购指南 34

修订历史

2017年4月—修订版0至修订版A

增加AD4004 ..... 通篇
更改标题、“产品特性”部分、“概述”部分和图1 1
更改表1 3
更改表2 6
更改表4 7
更改表7 9
更改图19和图21 12
更改图24 13
增加图25；重新排序 13
移动“术语”部分 15
更改“电路信息”部分和表8 16
更改图33 18
更改“RC滤波器”部分 19
更改“高频输入信号”部分 20
更改“高阻态”部分、图38和图39 21
更改“长采集阶段”部分和图43 22
更改“数字接口”部分和“寄存器读/写功能”部分 23
更改图45 24
更改“$\overline{CS}$模式（三线Turbo模式）”部分 26
增加图48 26
更改“$\overline{CS}$模式（四线Turbo模式）”部分 29
增加图54 29
更改图56和图57 30
更改“布局布线指南”部分和“评估AD4000/AD4004性能”部分 33
更新外形尺寸 34
更改“订购指南”部分 34

2016年10月—修订版0：初始版

技术规格

除非另有说明，VDD = 1.71 V至1.89 V，VIO = 1.71 V至5.5 V，V_{REF} = 5 V，所有规格的温度范围为T_{MIN}至T_{MAX}，禁用高阻态模式，禁用跨度压缩，使能turbo模式，采样频率（f_S）= 2 MSPS (AD4000)，f_S = 1 MSPS (AD4004)。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
模拟输入					
电压范围	$V_{IN+} - V_{IN-}$	0		V_{REF}	V
工作输入电压	V_{IN+}至GND	−0.1		V_{REF} + 0.1	V
	V_{IN-}至GND	−0.1		+0.1	V
	使能跨度压缩	0.1 × V_{REF}		0.9 × V_{REF}	V
模拟输入电流	采集阶段，T = 25°C		0.3		nA
	使能高阻态模式，以2 MSPS转换直流输入		1		µA
吞吐速率					
完整周期					
AD4000		500			ns
AD4004		1000			ns
转换时间		270	290	320	ns
采集阶段[1]					
AD4000		290			ns
AD4004		790			ns
吞吐速率（f_S）[2]					
AD4000		0		2	MSPS
AD4004		0		1	MSPS
瞬态响应[3]			150		ns
直流精度					
无失码		16			位
积分非线性误差（INL）		−1.0	±0.2	+1.0	LSB
	T = 0°C至85°C	−0.8	±0.2	+0.8	LSB
差分非线性误差（DNL）		−0.5	±0.15	+0.5	LSB
跃迁噪声			0.5		LSB
零电平误差		−4.5		+4.5	LSB
零电平误差漂移[4]		−0.55		+0.55	ppm/°C
增益误差		−20	±3	+20	LSB
增益误差漂移[4]		−0.92		+0.92	ppm/°C
电源灵敏度	VDD = 1.8 V ± 5%		0.5		LSB
1/f噪声[5]	带宽 = 0.1 Hz至10 Hz		6		µV p-p
交流精度					
动态范围			93.5		dB
总RMS噪声			37		µV rms
f_{IN} = 1 kHz，−0.5 dBFS，V_{REF} = 5 V					
信噪比（SNR）		91	93		dB
无杂散动态范围（SFDR）			112		dB
总谐波失真（THD）			−115		dB
信纳比（SINAD）		91	92.5		dB
过采样动态范围	过采样比（OSR）= 256，V_{REF} = 5 V		117		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
f_{IN} = 1 kHz，−0.5 dBFS，V_{REF} = 2.5 V					
SNR		85.5	87.5		dB
SFDR			115		dB
THD			−113		dB
SINAD		85.5	87		dB
f_{IN} = 100 kHz，−0.5 dBFS，V_{REF} = 5 V					
SNR			90		dB
THD			−95		dB
SINAD			89		dB
f_{IN} = 400 kHz，−0.5 dBFS，V_{REF} = 5 V					
SNR			85		dB
THD			−91		dB
SINAD			84		dB
−3 dB输入带宽			10		MHz
孔径延迟			1		ns
孔径抖动			1		ps rms
基准电压源					
电压范围，V_{REF}		2.4		5.1	V
电流	V_{REF} = 5 V				
AD4000	2 MSPS		0.75		mA
AD4004	1 MSPS		0.325		mA
输入过压箝位					
IN+/IN−电流（I_{IN+}/I_{IN-}）	V_{REF} = 5 V			50	mA
	V_{REF} = 2.5 V			50	mA
V_{IN+}/V_{IN-}（最大I_{IN+}/I_{IN-}时）	V_{REF} = 5 V		5.4		V
	V_{REF} = 2.5 V		3.1		V
V_{IN+}/V_{IN-}箝位开/关阈值	V_{REF} = 5 V	5.25	5.4		V
	V_{REF} = 2.5 V	2.68	2.8		V
停用时间			360		ns
REF电流（最大I_{IN+}时）	V_{IN+} > V_{REF}		100		µA
数字输入					
逻辑电平					
输入低电压，V_{IL}	VIO > 2.7 V	−0.3		+0.3 × VIO	V
	VIO ≤ 2.7 V	−0.3		+0.2 × VIO	V
输入高电压，V_{IH}	VIO > 2.7 V	0.7 × VIO		VIO + 0.3	V
	VIO ≤ 2.7 V	0.8 × VIO		VIO + 0.3	V
输入低电流，I_{IL}		−1		+1	µA
输入高电流，I_{IH}		−1		+1	µA
输入引脚电容			6		pF
数字输出					
数据格式		串行16位直接二进制			
流水线延迟		转换完成后转换结果立即可用			
输出低电压，V_{OL}	I_{SINK} = 500 µA			0.4	V
输出高电压，V_{OH}	I_{SOURCE} = −500 µA	VIO − 0.3			V
电源					
VDD		1.71	1.8	1.89	V
VIO		1.71		5.5	V
待机电流	VDD和VIO = 1.8 V，T = 25°C		1.6		µA

参数	测试条件/注释	最小值	典型值	最大值	单位
功耗	VDD = 1.8 V，VIO = 1.8 V，V_{REF} = 5 V				
	10 kSPS，禁用高阻态模式		70		μW
	1 MSPS，禁用高阻态模式		7	8.2	mW
	2 MSPS，禁用高阻态模式		14	16	mW
	1 MSPS，使能高阻态模式		8	9.9	mW
	2 MSPS，使能高阻态模式		16	19	mW
仅VDD	2 MSPS，禁用高阻态模式		9.75		mW
	1 MSPS，禁用高阻态模式		4.9		mW
仅REF	2 MSPS，禁用高阻态模式		3.75		mW
	1 MSPS，禁用高阻态模式		1.9		mW
仅VIO	2 MSPS，禁用高阻态模式		0.5		mW
	1 MSPS，禁用高阻态模式		0.2		mW
每次转换的能量			7		nJ/采样
温度范围					
额定性能	T_{MIN}至T_{MAX}	−40		+125	°C

[1] 采集阶段是指AD4000以2 MSPS的吞吐速率运行或AD4004以1 MSPS的吞吐速率运行时，可用于输入采样电容采集新输入的时间。

[2] 要实现2 MSPS的吞吐速率，必须使能turbo模式且SCK最低速率为70 MHz。使能turbo模式时，1 MSPS运行所需的最低SCK速率为25 MHz。不同工作模式下可以实现的最大吞吐速率参见表4。

[3] 瞬态响应是指ADC以±0.5 LSB精度采集一个满量程输入阶跃所需的时间。

[4] 通过特性保证最小值和最大值，未经生产测试。

[5] 参见图18所示的1/f噪声图。

时序规格

除非另有说明，VDD = 1.71 V至1.89 V，VIO = 1.71 V至5.5 V，V_{REF} = 5 V，所有规格的温度范围为T_{MIN}至T_{MAX}，禁用高阻态模式，禁用跨度压缩，使能turbo模式，f_S = 2 MSPS (AD4000)，f_S = 1 MSPS (AD4004)。时序电压电平参见图2。

表2. 数字接口时序

参数	符号	最小值	典型值	最大值	单位
转换时间（CNV上升沿至数据可用）	t_{CONV}	270	290	320	ns
采集阶段[1]	t_{ACQ}				
AD4000		290			ns
AD4004		790			ns
转换间隔时间	t_{CYC}				
AD4000		500			ns
AD4004		1000			ns
CNV脉冲宽度（$\overline{CS}$模式）[2]	t_{CNVH}	10			ns
SCK周期（$\overline{CS}$模式）[3]	t_{SCK}				
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
SCK周期（菊花链模式）[4]	t_{SCK}				
VIO > 2.7 V		20			ns
VIO > 1.7 V		25			ns
SCK低电平时间	t_{SCKL}	3			ns
SCK高电平时间	t_{SCKH}	3			ns
SCK下降沿至数据仍然有效延迟时间	t_{HSDO}	1.5			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO > 2.7 V				7.5	ns
VIO > 1.7 V				10.5	ns
CNV或SDI低电平至SDO D15 MSB有效延迟时间（$\overline{CS}$模式）	t_{EN}				
VIO > 2.7 V				10	ns
VIO > 1.7 V				13	ns
CNV上升沿到第一SCK上升沿延迟时间	t_{QUIET1}	190			ns
最后一个SCK下降沿至CNV上升沿延迟时间[5]	t_{QUIET2}	60			ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态（$\overline{CS}$模式）	t_{DIS}			20	ns
CNV上升沿至SDI有效建立时间	$t_{SSDICNV}$	2			ns
CNV上升沿至SDI有效保持时间（$\overline{CS}$模式）	$t_{HSDICNV}$	2			ns
CNV上升沿至SCK有效保持时间（菊花链模式）	$t_{HSCKCNV}$	12			ns
SCK上升沿至SDI有效建立时间（菊花链模式）	$t_{SSDISCK}$	2			ns
SCK上升沿至SDI有效保持时间（菊花链模式）	$t_{HSDISCK}$	2			ns

[1] 采集阶段是指AD4000以2 MSPS的吞吐速率运行或AD4004以1 MSPS的吞吐速率运行时，可用于输入采样电容采集新输入的时间。

[2] 针对turbo模式，t_{CNVH}必须与t_{QUIET1}最小值一致。

[3] 要实现2 MSPS的吞吐速率，必须使能turbo模式且SCK最低速率为70 MHz。使能turbo模式时，1 MSPS运行所需的最低SCK速率为25 MHz。不同工作模式下可以实现的最大吞吐速率参见表4。

[4] 假设SCK为50%占空比。

[5] SINAD、SNR和ENOB与t_{QUIET2}的关系参见图22。

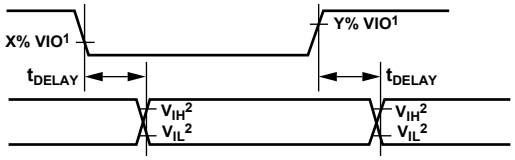


图2. 时序电压电平

表3. 寄存器读/写时序

参数	符号	最小值	典型值	最大值	单位
读/写操作					
CNV脉冲宽度[1]	t_{CNVH}	10			ns
SCK周期	t_{SCK}				
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
SCK低电平时间	t_{SCKL}	3			ns
SCK高电平时间	t_{SCKH}	3			ns
读操作					
CNV低电平至SDO D15 MSB有效延迟时间	t_{EN}				
VIO > 2.7 V				10	ns
VIO > 1.7 V				13	ns
SCK下降沿至数据仍然有效	t_{HSDO}	1.5			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO > 2.7 V				7.5	ns
VIO > 1.7 V				10.5	ns
CNV上升沿到SDO高阻态	t_{DIS}			20	ns
写操作					
SCK上升沿至SDI有效建立时间	$t_{SSDISCK}$	2			ns
SCK上升沿至SDI有效保持时间	$t_{HSDISCK}$	2			ns
CNV上升沿至SCK沿保持时间	$t_{HCNVSCK}$	0			ns
CNV下降沿至SCK有效沿建立时间	$t_{SCNVSCK}$	6			ns

[1] 针对turbo模式，t_{CNVH}必须与t_{QUIET1}最小值一致。

表4. 不同工作模式可实现的吞吐速率

参数	测试条件/注释	最小值	典型值	最大值	单位
吞吐速率，$\overline{CS}$模式					
三线和四线Turbo模式	f_{SCK} = 100 MHz, VIO ≥ 2.7 V			2	MSPS
	f_{SCK} = 80 MHz, VIO < 2.7 V			2	MSPS
	f_{SCK} = 25 MHz, VIO > 1.7 V			1	MSPS
三线和四线Turbo模式及六状态位	f_{SCK} = 100 MHz, VIO ≥ 2.7 V			2	MSPS
	f_{SCK} = 80 MHz, VIO < 2.7 V			1.86	MSPS
	f_{SCK} = 33 MHz, VIO > 1.7 V			1	MSPS
三线和四线模式	f_{SCK} = 100 MHz, VIO ≥ 2.7 V			1.82	MSPS
	f_{SCK} = 80 MHz, VIO < 2.7 V			1.69	MSPS
	f_{SCK} = 27 MHz, VIO > 1.7 V			1	MSPS
三线和四线模式及六状态位	f_{SCK} = 100 MHz, VIO ≥ 2.7 V			1.64	MSPS
	f_{SCK} = 80 MHz, VIO < 2.7 V			1.5	MSPS
	f_{SCK} = 40 MHz, VIO > 1.7 V			1	MSPS

绝对最大额定值

注意，输入过压箝位不能无限长时间地承受过压条件。

表5.

参数	额定值
模拟输入	
IN+、IN−至GND[1]	−0.3 V至V_{REF} + 0.4 V或±50 mA
电源电压	
REF、VIO至GND	−0.3 V至+6.0 V
VDD至GND	−0.3 V至+2.1 V
VDD至VIO	−6 V至+2.4 V
数字输入至GND	−0.3 V至VIO + 0.3 V
数字输出至GND	−0.3 V至VIO + 0.3 V
存储温度范围	−65°C至+150°C
结温	150°C
引脚温度，焊接	260°C回流，依据JEDEC J-STD-020
ESD额定值	
人体模型	4 kV
机器模型	200 V
场感应充电器件模型	1.25 kV

[1] 有关IN+和IN−的解释，请参见“模拟输入”部分。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板（PCB）设计和工作环境直接相关。必须慎重对待PCB散热设计。

表6. 热阻

封装类型[1]	θ_{JA}[2]	θ_{JC}[3]	单位
RM-10	147	38	°C/W
CP-10-9	114	33	°C/W

[1] 测试条件1：热阻仿真值基于2S2P JEDEC PCB。参见“订购指南”部分。

[2] θ_{JA}是自然对流下的结至环境热阻，在1立方英尺的密封外罩中测量。

[3] θ_{JC}是指结至外壳热阻。

ESD警告



ESD（静电放电）敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

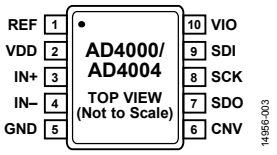


图3. 10引脚MSOP引脚配置

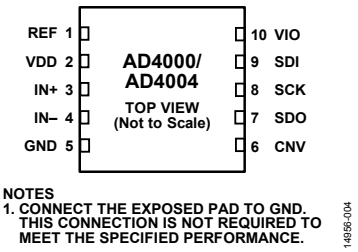


图4. 10引脚LFCSP引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	类型[1]	描述
1	REF	AI	基准输入电压。V_{REF}范围为2.4 V至5.1 V。此引脚参考GND引脚，必须通过与之靠近的10 µF、X7R陶瓷电容去耦至GND引脚。
2	VDD	P	1.8 V电源。VDD范围为1.71 V至1.89 V。通过一个0.1 µF陶瓷电容将VDD旁路至GND。
3	IN+	AI	模拟输入引脚。参考模拟地检测引脚 (IN–)。器件在CNV前沿对IN+与IN-引脚之间的电压差进行采样。IN+ – IN–的工作输入范围为0 V至V_{REF}。
4	IN–	AI	模拟输入地检测。此引脚连接到模拟接地层或远端检测地。
5	GND	P	电源地。
6	CNV	DI	转换输入。此输入具有多个功能。它在前沿启动转换并选择器件的接口模式：菊花链模式或$\overline{CS}$模式。在$\overline{CS}$模式下，CNV为低电平时SDO引脚使能。在菊花链模式下，数据在CNV为高电平时读取。
7	SDO	DO	串行数据输出。转换结果通过此引脚输出。它与SCK同步。
8	SCK	DI	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
9	SDI	DI	串行数据输入。此输入提供多个功能。如下选择ADC接口模式： 如果SDI在CNV上升沿期间为低电平，则选择菊花链模式。此模式下，SDI用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI上的数字数据电平通过SDO输出，延迟16个SCK周期。 $\overline{CS}$ 如果SDI在CNV上升沿期间为高电平，则选择模式。此模式下，SDI或CNV在低电平时均可使能串行输出信号。当转换完成时，如果SDI或CNV为低电平，繁忙指示功能被使能。在CNV为低电平时，器件可通过如下方式编程：在SCK上升沿经SDI输入一个16位字。
10	VIO	P	输入/输出接口数字电源。此引脚的标称电源与主机接口电源相同（1.8 V、2.5 V、3 V或5 V）。通过一个0.1 µF陶瓷电容将VIO旁路至GND。
N/A[2]	EPAD	P	裸露焊盘（仅限LFCSP封装）。裸露焊盘应连接至GND。为了满足额定性能，此连接不是必须的。

[1] AI表示模拟输入，P表示电源，DI表示数字输入，DO表示数字输出。

[2] N/A表示不适用。

典型性能参数

除非另有说明，VDD = 1.8 V，VIO = 3.3 V，V_{REF} = 5 V，T = 25°C，禁用高阻态模式，禁用跨度压缩，使能turbo模式，f_S = 2 MSPS (AD4000)，f_S = 1 MSPS (AD4004)。

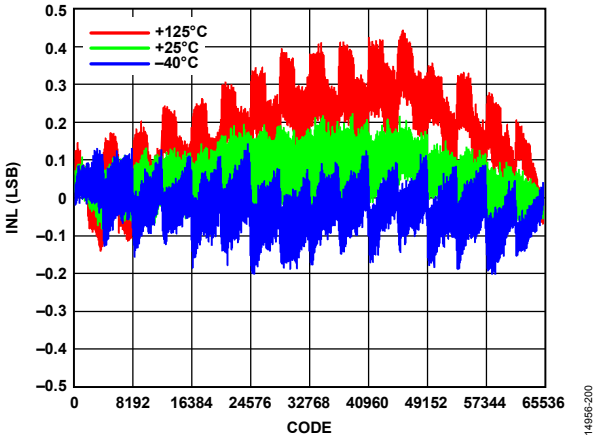


图5. INL与代码和温度的关系，V_{REF} = 5 V

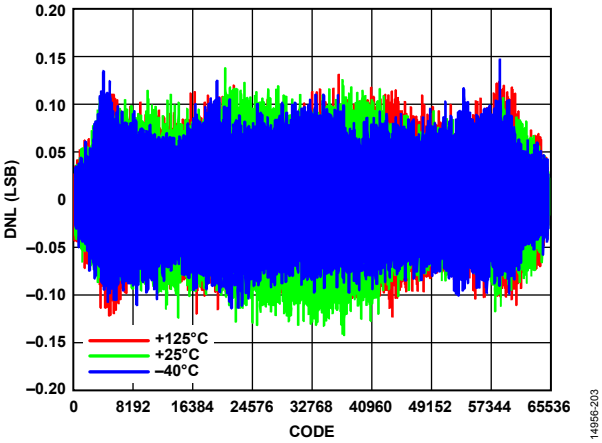


图8. DNL与代码和温度的关系，V_{REF} = 5 V

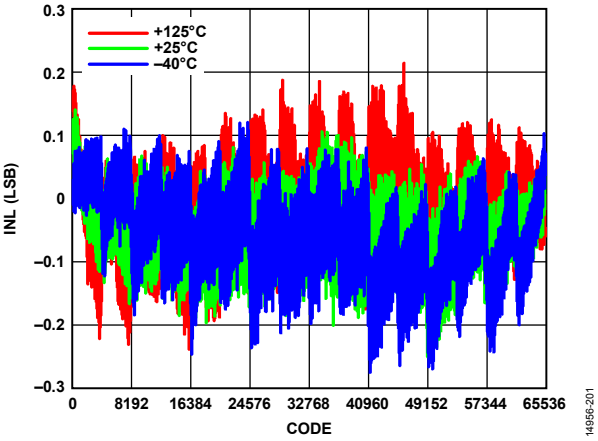


图6. INL与代码和温度的关系，V_{REF} = 2.5 V

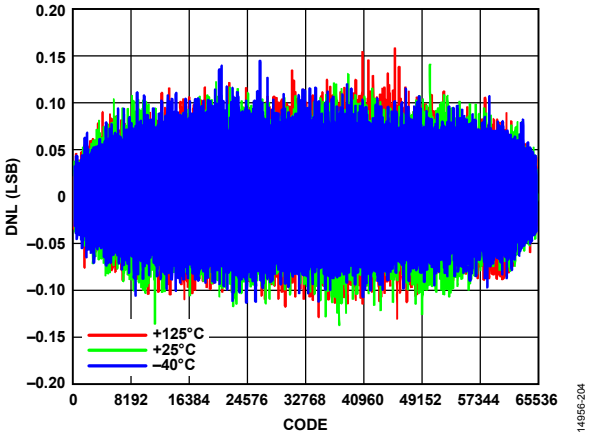


图9. DNL与代码和温度的关系，V_{REF} = 2.5 V

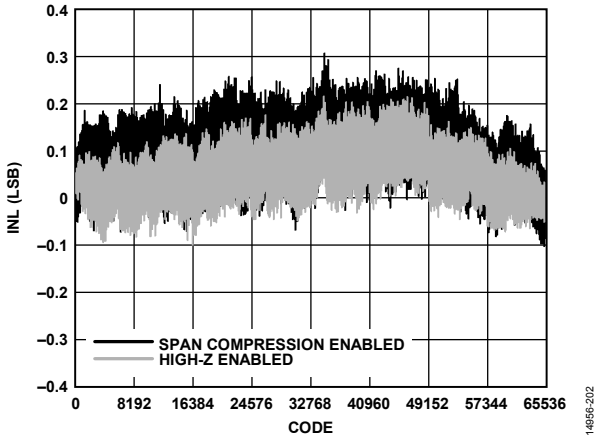


图7. INL与代码的关系，使能高阻态和跨度压缩，V_{REF} = 5 V

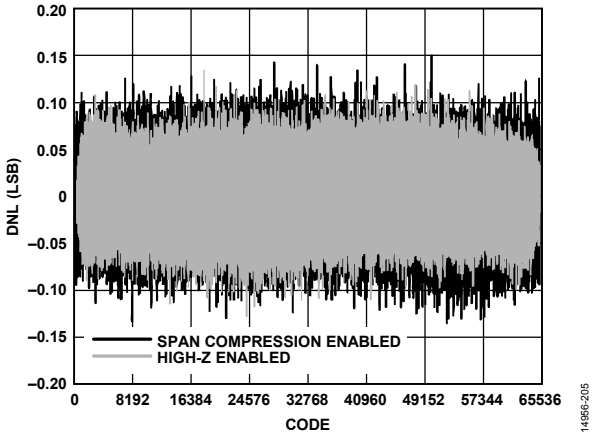


图10. DNL与代码的关系，使能高阻态和跨度压缩，V_{REF} = 5 V

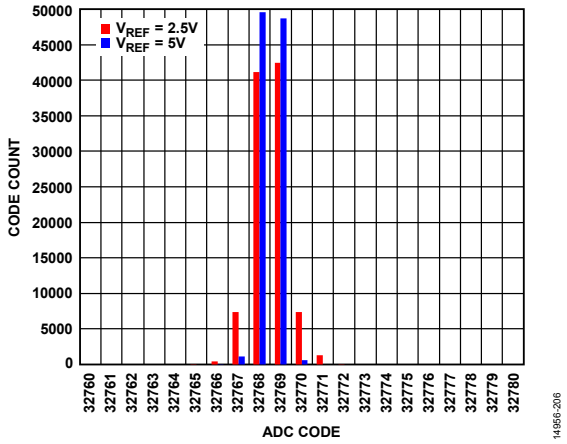


图11. 码中心处的直流输入直方图，V_{REF} = 2.5 V和V_{REF} = 5 V

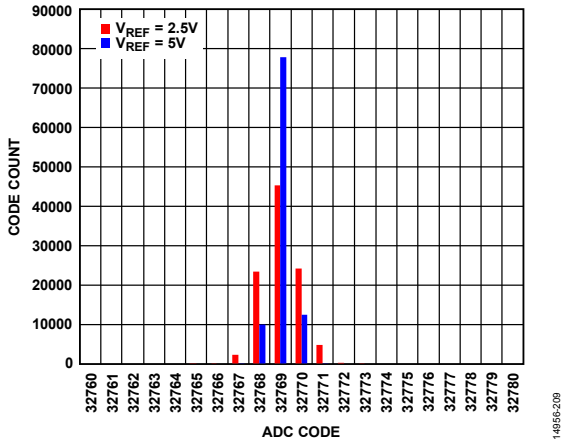


图14. 码变换处的直流输入直方图，V_{REF} = 2.5 V和V_{REF} = 5 V

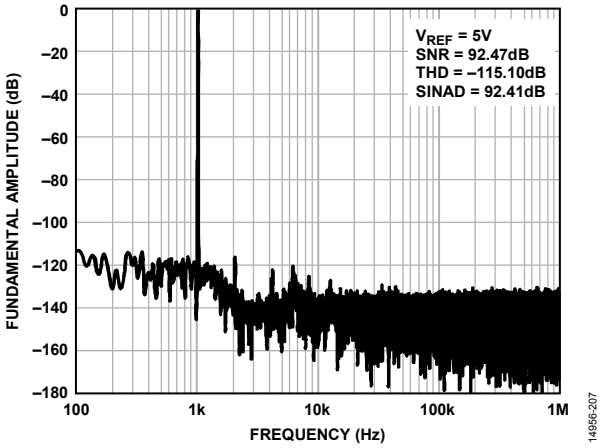


图12. 1 kHz、−0.5 dBFS输入音FFT，宽视图，V_{REF} = 5 V

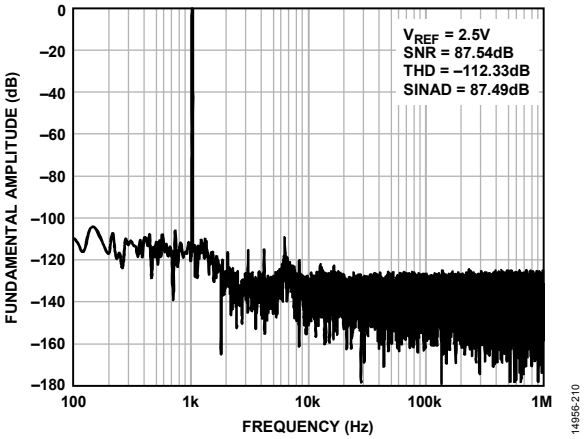


图15. 1 kHz、−0.5 dBFS输入音FFT，宽视图，V_{REF} = 2.5 V

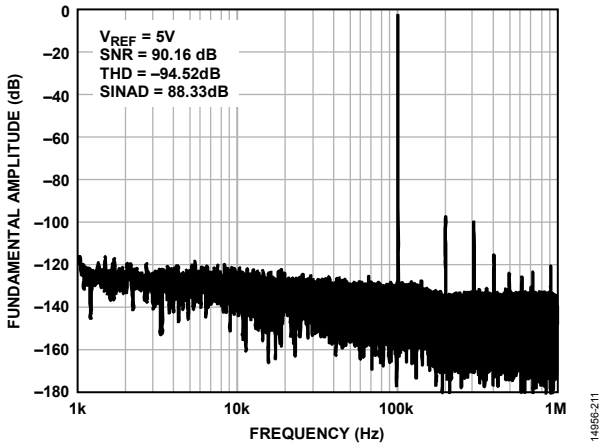


图13. 100 kHz、−0.5 dBFS输入音FFT，宽视图

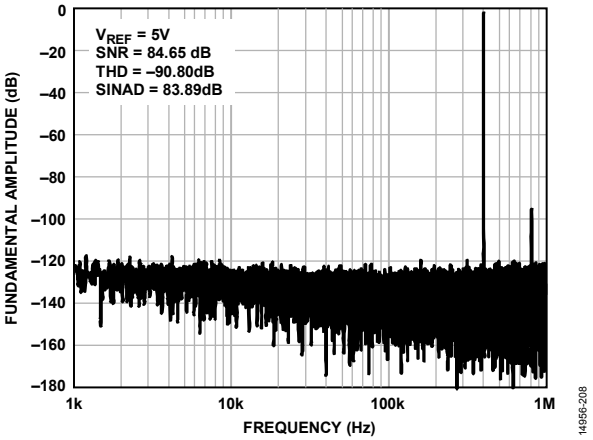


图16. 400 kHz、−0.5 dBFS输入音FFT，宽视图

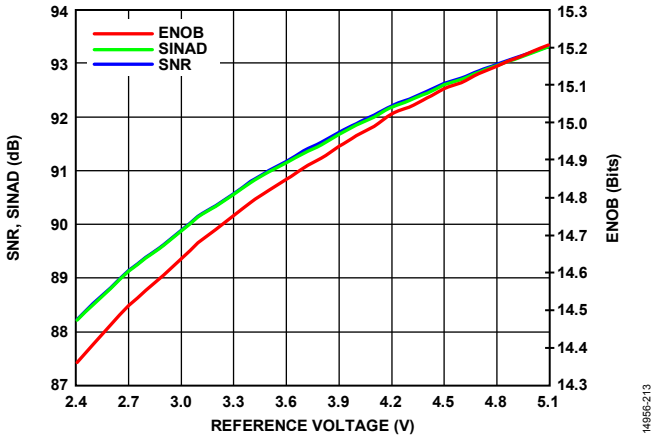


图17. SNR、SINAD和ENOB与基准电压的关系

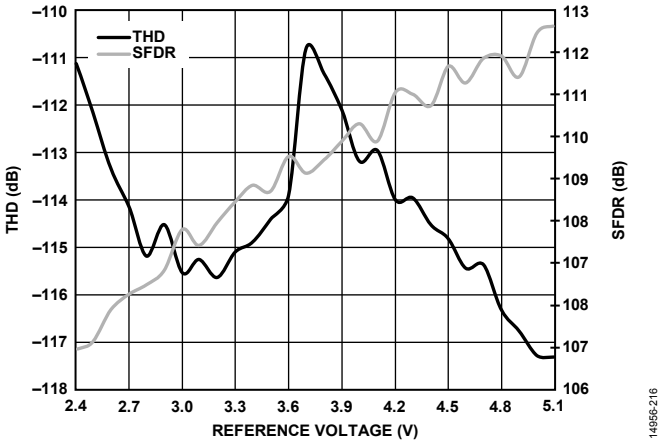


图20. THD和SFDR与基准电压的关系

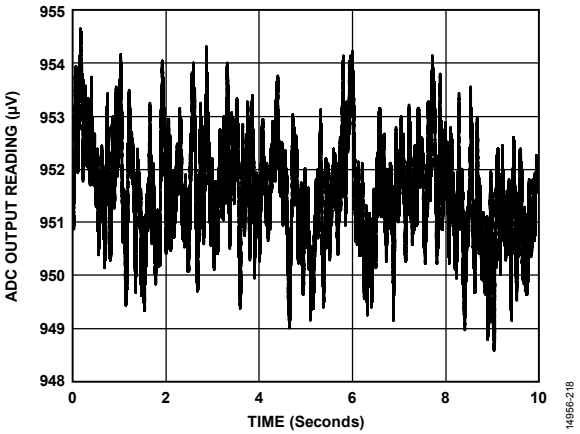


图18. 0.1 Hz至10 Hz带宽的1/f噪声，50 kSPS，每次读取对2500样本求均值

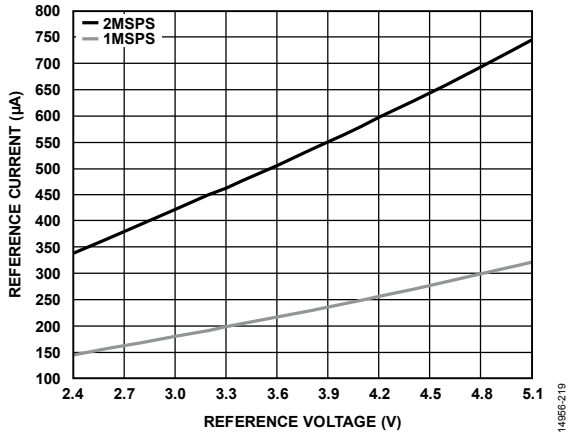


图21. 基准电流与基准电压的关系

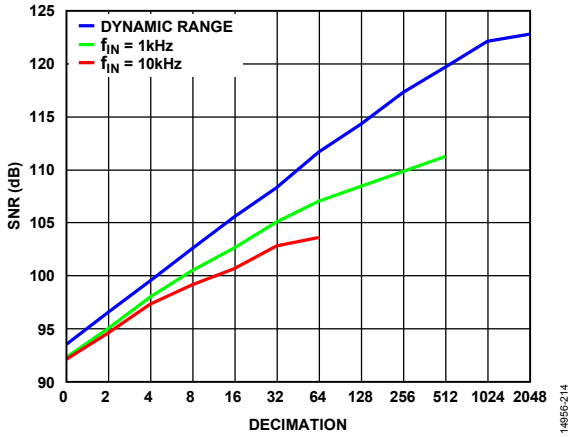


图19. 不同输入频率下SNR与抽取率的关系，2 MSPS

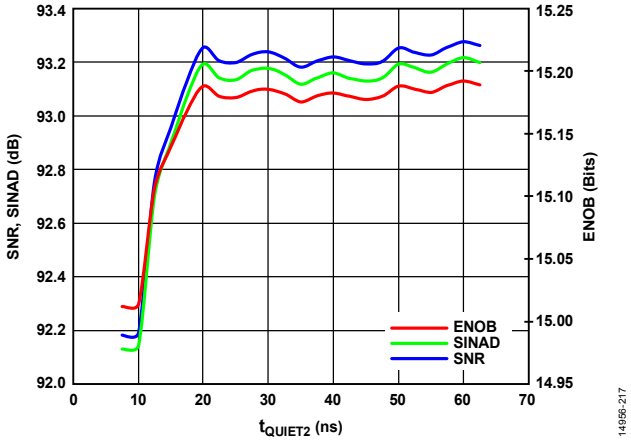


图22. SINAD、SNR和ENOB与t_{QUIET2}的关系

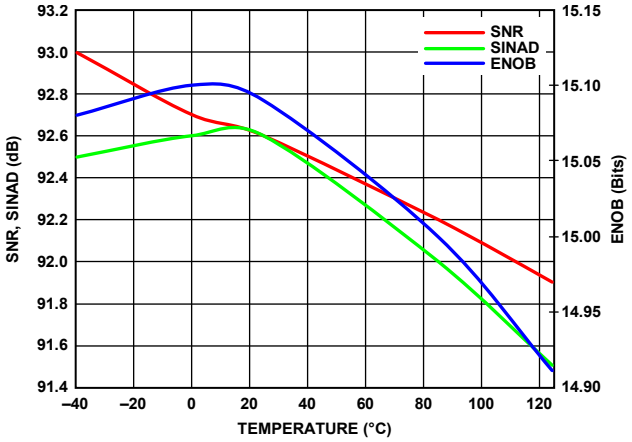


图23. SNR、SINAD和ENOB与温度的关系，f_{IN} = 1 kHz

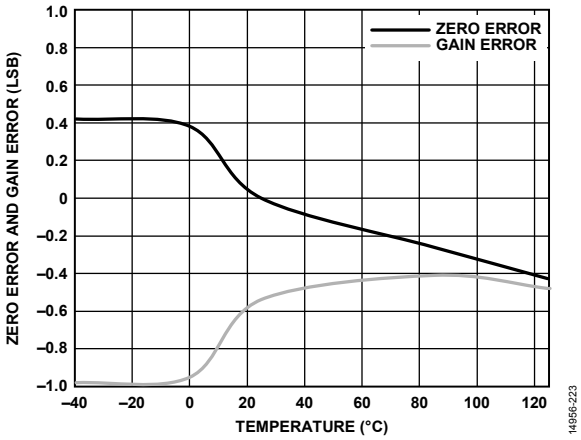


图26. 零电平误差和增益误差与温度的关系

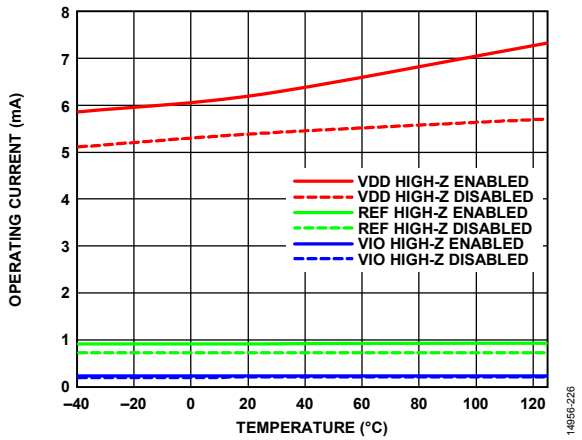


图24. 工作电流与温度的关系，AD4000，2 MSPS

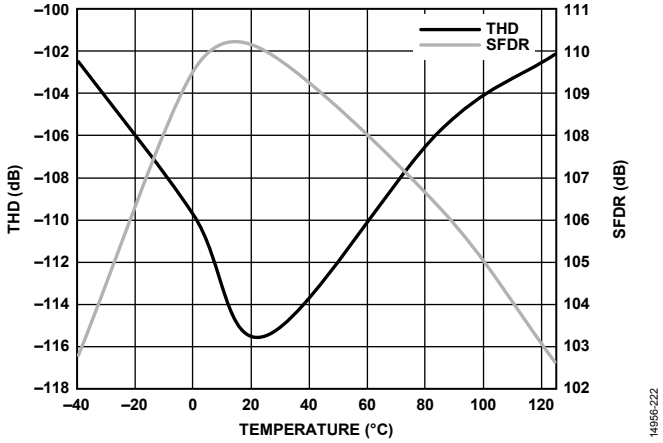


图27. THD和SFDR与温度的关系，f_{IN} = 1 kHz

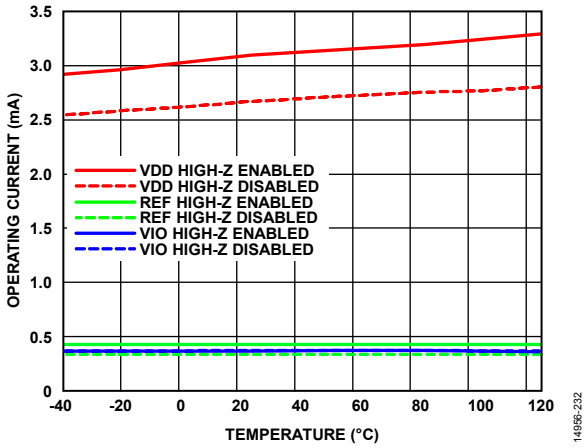


图25. 工作电流与温度的关系，AD4004，1 MSPS

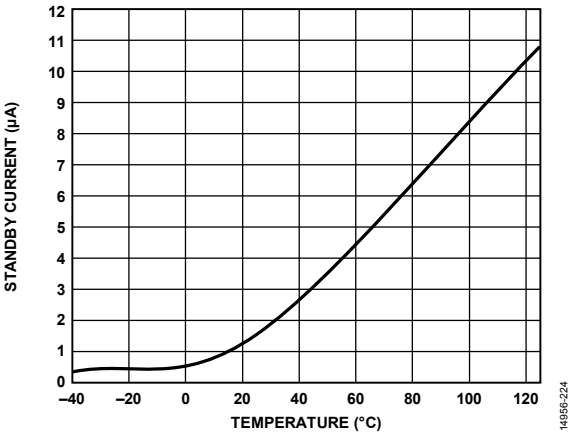


图28. 待机电流与温度的关系

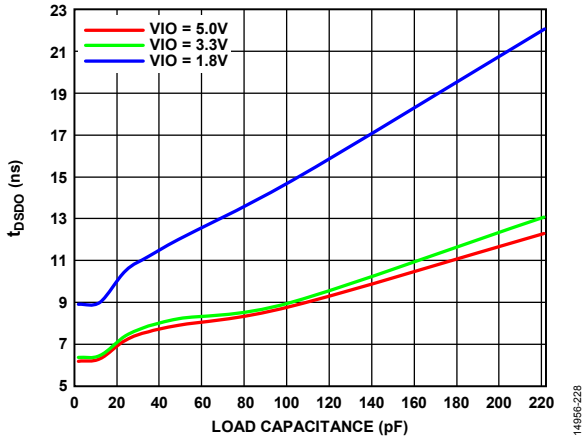


图29. t_{DSDO}与负载电容的关系

术语

积分非线性误差（INL）

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的½ LSB处。正满量程定义为超出最后一个码跃迁1½ LSB的一个电平。从各码的中心到该直线的距离即为偏差（见图31）。

差分非线性误差（DNL）

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

零电平误差

理想中间值电压（即0 V）与产生中间值输出码（即0 LSB）的实际电压之差称为零点误差。

增益误差

当模拟电压高于标称负满量程½ LSB时（对于±5 V范围为−4.999981 V），发生第一个码跃迁（从100 ... 00跃迁至100 ... 01）。当模拟电压低于标称正满量程1½ LSB时（对于±5 V范围为+4.999943 V），发生最后一个码跃迁（从011 ... 10跃迁至011 ... 11）。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

无杂散动态范围（SFDR）

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝（dB）表示。

有效位数（ENOB）

ENOB指利用正弦波输入测得的分辨率。与SINAD的关系如下：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ENOB用位表示。

总谐波失真（THD）

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝（dB）表示。

动态范围

动态范围指满量程的均方根值与测得的总均方根噪声之比，用分贝（dB）表示。它使用−60 dBFS的信号测得，因此包括所有噪声源和DNL伪像。

信噪比（SNR）

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝（dB）表示。

信纳比（SINAD）

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝（dB）表示。

孔径延迟

孔径延迟用于衡量采集性能，指从CNV输入的上升沿到输入信号被保持以用于转换的时间。

瞬态响应

瞬态响应是指ADC以±0.5 LSB精度采集一个满量程输入阶跃所需的时间。

电源抑制比（PSRR）

PSRR指频率f下ADC输出功率与频率f下施加于ADC VDD电源的200 mV p-p正弦波功率的比值。

$$PSRR\ (\text{dB}) = 10\log(P_{VDD_IN}/P_{ADC_OUT})$$

其中：

P_{VDD_IN}为频率f下VDD引脚的功率。

P_{ADC_OUT}为频率f下ADC输出的功率。

工作原理

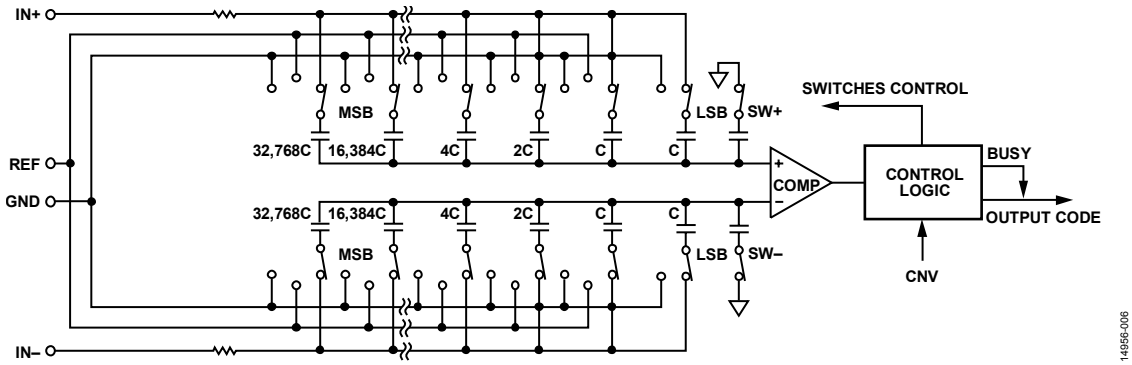


图30. ADC原理示意图

电路信息

AD4000/AD4004是高速、低功耗、单电源、精密16位伪差分ADC，采用逐次逼近型架构。

AD4000每秒能够转换2,000,000个样本（2 MSPS），AD4004每秒能够转换1,000,000个样本（1 MSPS），两次转换之间器件进入省电模式。例如，当以10 kSPS速率工作时，典型功耗为70 µW，非常适合电池供电的应用，因为其功耗与吞吐速率成线性比例。长时间关断后，AD4000/AD4004提供的首次转换结果是有效的。

AD4000/AD4004为用户提供片内采样保持电路，没有任何流水线延迟，堪称多路复用应用的理想之选。

AD4000/AD4004整合了许多独特的易用特性，可减小系统功耗和尺寸。

AD4000/AD4004均内置电压箝位功能，可保护器件免受模拟输入端的过压损坏。

模拟输入整合了降低典型开关电容SAR输入的非线性电荷反冲的电路。较低的反冲与较长的采集阶段相结合，意味着驱动放大器的建立要求得以降低。这种组合使得较低带宽和较低功耗的放大器可用作驱动器。由此还能获得其他好处，那就是输入RC滤波器可以使用较大电阻值，以及使用相应的较小电容，导致放大器的RC负载较小，改善稳定性和功耗。

通过SPI接口对寄存器位进行编程，可使能高阻态模式（见表14）。使能高阻态模式时，ADC输入在输入信号频率较低时具有低输入充电电流，并且在高达100 kHz的宽频率范围内，失真性能得到改善。对于100 kHz以上的频率和多路复用应用，应禁用高阻态模式。

对于单电源应用，跨度压缩特性可为驱动放大器产生更大的上裕量和下裕量，从而使用ADC的完整范围。

AD4000/AD4004的快速转换时间加上turbo模式，使得利用较低时钟速率便可回读转换结果，即便器件分别以2 MSPS和1 MSPS的最高吞吐速率运行也无妨。注意，AD4000要实现2 MSPS的全部吞吐速率，必须使能turbo模式。

AD4000/AD4004可与任何1.8 V至5 V数字逻辑系列接口，提供10引脚MSOP封装或小型10引脚LFCSP封装，节省空间，配置灵活。

AD4000/AD4004与表8中列出的一些14/16/18位精密SAR ADC引脚兼容。

表8. MSOP、LFCSP 14/16/18位精密SAR ADC

位	100 kSPS	250 kSPS	400 kSPS至500 kSPS	≥1000 kSPS
18[1]	AD7989-1[2]	AD7691[2]	AD7690[2]、AD7989-5[2]	AD4003[2]、AD7982[2]、AD7984[2]
16[1]	AD7684	AD7687[2]	AD7688[2]、AD7693[2]、AD7916[2]	AD4001[2]、AD4005[2]、AD7915[2]
16[3]	AD7680、AD7683、AD7988-1[2]	AD7685[2]、AD7694	AD7686[2]、AD7988-5[2]	AD4000、AD4004、AD7980[2]、AD7983[2]
14[3]	AD7940	AD7942[2]	AD7946[2]	不适用

[1] 真差分。
[2] 引脚兼容。
[3] 伪差分。

转换器操作

AD4000/AD4004为SAR型ADC，采用电荷再分配数模转换器(DAC)。图30显示了该ADC的简化电路图。容性DAC包含两个完全相同的16位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过开关SW+和SW−连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN−输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW−首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的IN+和IN−输入之间的差分电压施加于比较器输入端，导致比较器不平衡。在GND和V_{REF}之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进（$V_{REF}/2$、$V_{REF}/4$、…、$V_{REF}/65,536$）变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，控制逻辑产生ADC输出码和繁忙信号指示。

AD4000和AD4004具有片上转换时钟，因此转换过程不需要串行时钟SCK。

传递函数

AD4000/AD4004的理想传递特性如图31和表9所示。

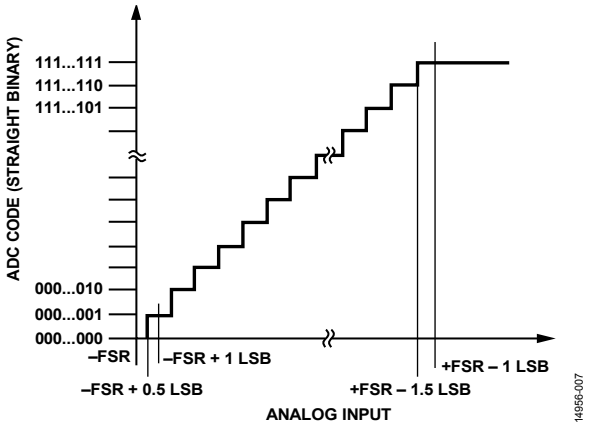


图31. ADC理想传输函数（FSR表示满量程范围）

表9. 输出码和理想输入电压

描述	模拟输入，V_{REF} = 5 V	V_{REF} = 5 V，使能跨度压缩（V）	数字输出码（十六进制）
FSR − 1 LSB	4.999924 V	4.499939	FFFF[1]
中间电平 + 1 LSB	2.500076 V	2.500061	8001
中间电平	2.5 V	2.5	8000
中间电平 − 1 LSB	2.499924 V	2.499939	7FFF
−FSR + 1 LSB	76.3 µV	0.50006103	0001
−FSR	0 V	0.5	0000[2]

[1] 此输出码也是超量程模拟输入（$V_{IN+} - V_{IN-}$大于V_{REF} − 0 V）对应的码。

[2] 此输出码也是欠量程模拟输入（$V_{IN+} - V_{IN-}$小于0 V）对应的码。

应用信息

典型应用图

图32所示的例子为采用多个电源时AD4000/AD4004的建议连接图。此配置用于实现最佳性能，因为可以选择放大器电源以提供最大信号范围。

图33显示了采用单电源系统的建议连接图。当系统仅提供数量有限的供电轨且功耗至关重要时，应优先选择此设置。

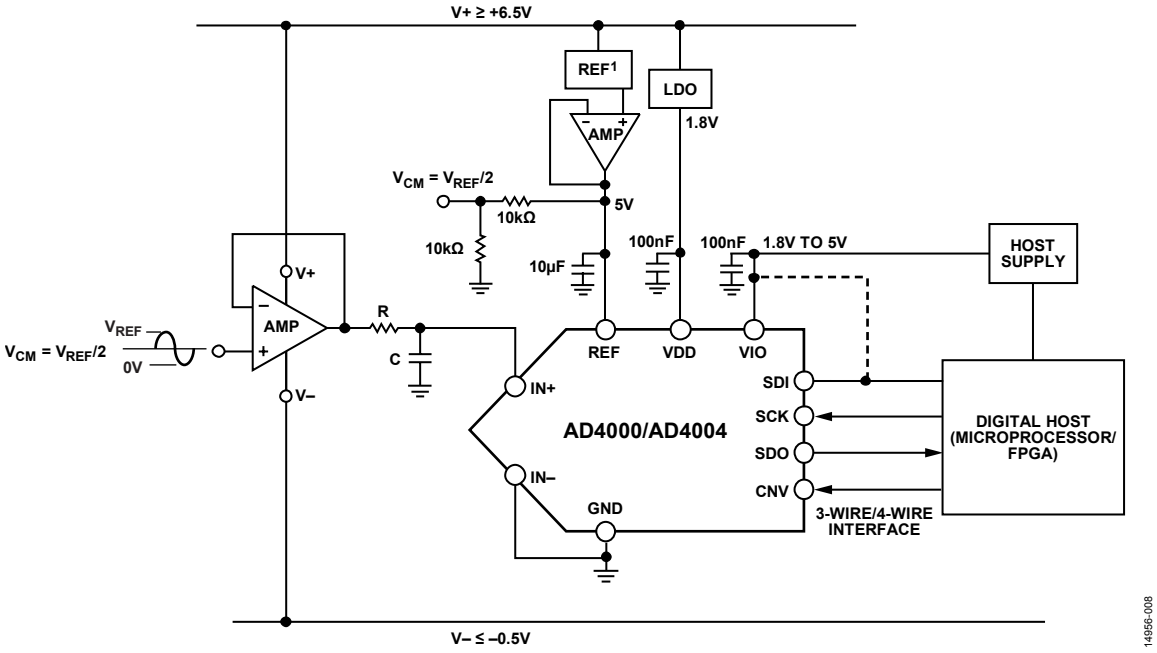
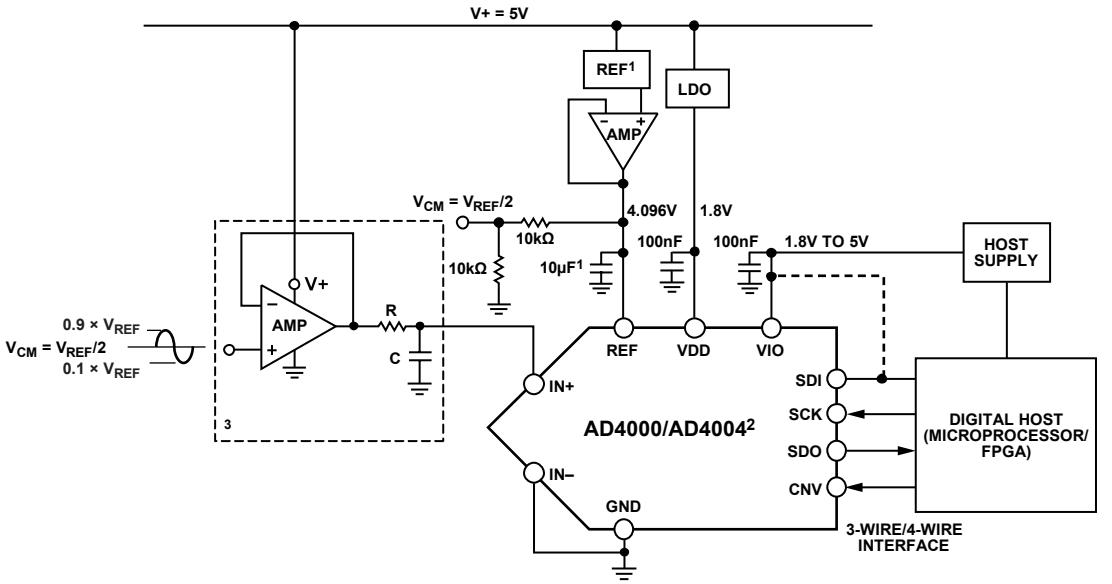


图32. 采用多个电源的典型应用电路



1SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION. C_{REF} IS USUALLY A 10µF CERAMIC CAPACITOR (X7R).
2SPAN COMPRESSION MODE ENABLED.
3SEE TABLE 10 FOR RC FILTER AND AMPLIFIER SELECTION.

图33. 采用单个电源的典型应用电路

模拟输入

图34显示了模拟输入结构等效电路，包括AD4000/AD4004的过压箝位。

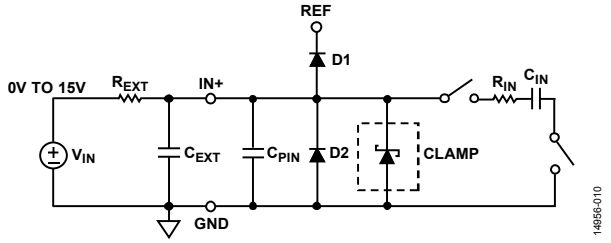


图34. 等效模拟输入电路

输入过压箝位电路

多数ADC模拟输入（IN+和IN−）除ESD保护二极管以外没有过压保护电路。在过压事件中，连接在模拟输入（IN+或IN−）和REF之间的ESD保护二极管正偏并将连接REF的输入引脚短路，这有可能使基准电压源过载或导致器件损毁。AD4000/AD4004内部过压箝位电路有一个较大的外部电阻(R_{EXT} = 200 Ω)，可以保护ADC输入免受直流过压影响，故而无需外部保护二极管。

在放大器电轨大于V_{REF}且小于地电压的应用中，输出可以超出器件的输入电压范围。这种情况下，AD4000/AD4004内部电压箝位电路确保输入引脚上的电压不超过V_{REF} + 0.4 V，通过将输入电压箝位在安全工作范围内来防止器件受损，并且避免干扰基准电压源，这对多个ADC共享基准电压源的系统尤其重要。

当模拟输入超过基准电压0.4 V时，内部箝位电路开启，电流通过箝位电路流入地，防止输入进一步升高而可能损坏器件。箝位在D1之前开启（参见图34），其最大吸电流能力为50 mA。

当箝位有效时，寄存器中的$\overline{OV}$箝位标志位会置位，可以回读该位（参见表14）；它是一个粘滞位，必须读取才能清零。箝位状态也可利用状态位中的过压箝位标志来检查（参见表15）。在关断状态下，箝位电路无静态功耗。注意，箝位不能无限长时间地承受过压条件。

ADC输入端通常存在外部RC滤波器，用以限制输入信号的频带。过压事件期间，R_{EXT}上的过大电压会下降，R_{EXT}成为保护电路的一部分。对于15 V保护，R_{EXT}值可在200 Ω至20 kΩ之间变化。箝位电路正常工作时，C_{EXT}值可以低至100 pF。输入过压箝位规格参见表1。

模拟输入结构支持IN+和IN−之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。如果利用IN−检测远程信号地，则传感器与本地ADC地之间的地电位差将被消除。

开关电容输入

在采集阶段，模拟输入（IN+或IN−）的阻抗可以看成是电容C_{PIN}与由R_{IN}和C_{IN}串联构成的网络的并联组合。C_{PIN}主要包括引脚电容。R_{IN}典型值为400 Ω，是由串联电阻与开关导通电阻构成的集总元件。C_{IN}典型值为40 pF，主要包括ADC采样电容。

在转换阶段，开关断开，输入阻抗仅包括C_{PIN}。R_{IN}和C_{IN}构成一个单极点低通滤波器，可以降低不良混叠效应并限制噪声。

RC滤波器值

RC滤波器值（图32和图33中用R和C表示）及驱动放大器可根据最高吞吐速率时的目标输入信号带宽来选择。较低的输入信号带宽意味着RC截止频率可以较低，从而降低进入转换器的噪声。为在不同吞吐速率下实现最优性能，应使用建议的RC值（200 Ω、180 pF）和ADA4805-1。

表10所示RC值的选择基于易驱动考虑和更好的ADC输入保护。大R值（200 Ω）和小C值组合可降低放大器要驱动的动态负载。C值越小，则越不用担心放大器的稳定性和相位裕量问题。当放大器输出超过ADC输入范围时，大R值会限制流入ADC输入端的电流。

表10. 不同输入带宽下RC滤波器和放大器的选择

输入信号带宽（kHz）	R (Ω)	C (pF)	推荐使用的放大器
<10			参见“高阻态模式”部分
<200	200	180	ADA4805-1
>200	200	120	ADA4897-1
多路复用	200	120	ADA4897-1

驱动放大器选择

虽然AD4000/AD4004很容易驱动，但驱动放大器必须满足下列要求：

- 驱动器放大器所产生的噪声必须尽可能低，以便保持AD4000/AD4004的SNR和转换噪声性能。来自驱动器的噪声由R_{IN}和C_{IN}所构成的模拟输入电路单极点低通滤波器进行滤波，或者由外部滤波器（如有）进行滤波。AD4000/AD4004的典型噪声为37 μV rms，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log\left(\frac{37}{\sqrt{37^2 + \frac{\pi}{2} f_{-3\,dB}(Ne_N)^2}}\right)$$

其中：

$f_{-3\,dB}$为AD4000/AD4004的输入带宽（10 MHz），单位为兆赫，或者是输入滤波器（如有）的截止频率。

N为放大器的噪声增益（例如，缓冲器配置时为1）。

e_N为运算放大器的等效输入噪声电压，单位为nV/√Hz。

- 对于交流应用，驱动器的THD性能必须与AD4000/AD4004相当。
- 对于多通道多路复用应用，驱动放大器和AD4000/AD4004模拟输入电路必须使电容阵列以16位水平（0.0001525%，15.25 ppm）建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与16位水平的建立时间显著不同，因此选择之前必须进行验证。

高频输入信号

在宽频率范围内，采用5 V基准电压（−0.5 dBFS）时，AD4000/AD4004典型交流性能如图35和图36所示。不同于其他传统SAR ADC，AD4000/AD4004能在高达奈奎斯特频率的输入频率下保持出色的交流性能，性能降幅非常小。注意：输入频率以所用采样速率的奈奎斯特频率为限。

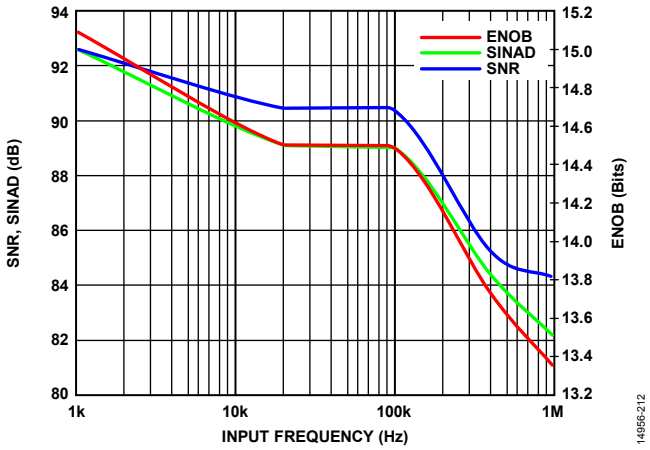


图35. SNR、SINAD和ENOB与频率的关系，VIO = 3.3 V，V_{REF} = 5 V

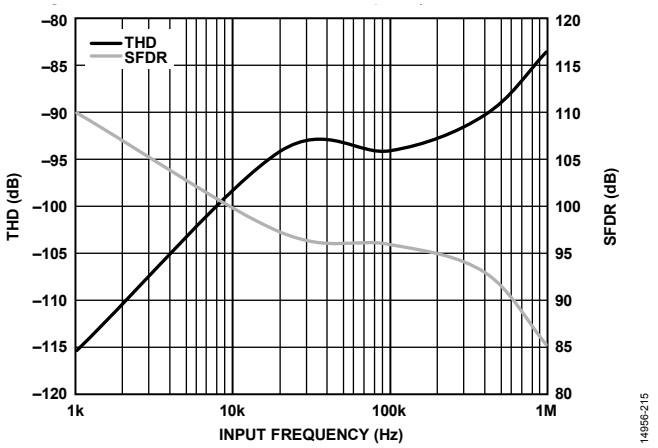


图36. THD和SFDR与输入频率的关系，VIO = 3.3 V，V_{REF} = 5 V

易驱动特性

输入跨度压缩

在单电源应用中，希望使用ADC的满量程，但放大器可能有一定的上裕量和下裕量要求，这可能是一个问题，哪怕它是轨到轨输入输出放大器。使用跨度压缩时，输入范围的上下限均减小10%，从而增大放大器可用的上裕量和下裕量，同时仍能使用所有可用的ADC码（参见图37）。当使能跨度压缩时，输入范围减小，SNR降低大约1.9 dB (20 × log(4/5))。跨度压缩默认禁用，但可通过写入相关寄存器位来使能（参见“数字接口”部分）。

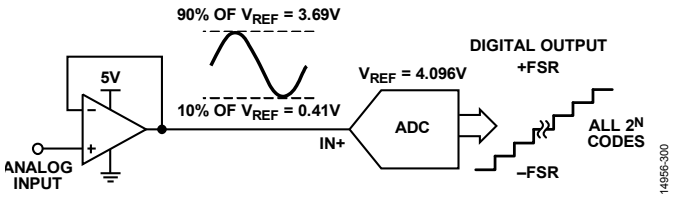


图37. 跨度压缩

高阻态模式

AD4000/AD4004集成了一种高阻态模式，在采集开始时，它可以在电容DAC切换回输入时减少非线性电荷反冲。图38所示为AD4000/AD4004在高阻态模式使能/禁用时的输入电流。低输入电流使ADC比市场上现有的传统SAR ADC更易驱动，即便是在高阻态模式禁用的情况下。高阻态模式使能时，输入电流进一步降至亚微安级。高阻态模式默认禁用，但可通过写入寄存器来使能该模式（参见表14）。当输入频率超过100 kHz或在多路复用情况下，应禁用高阻态模式。

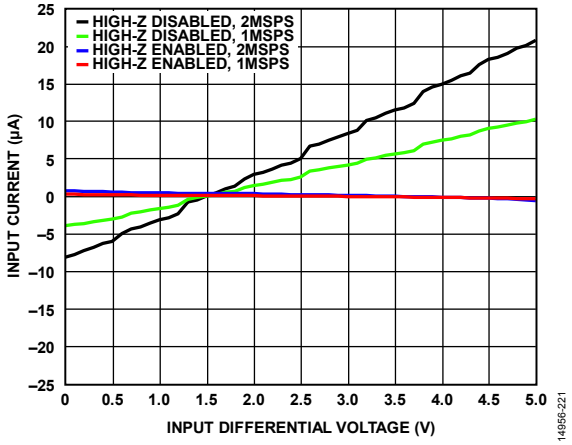


图38. 输入电流与输入差分电压的关系，VIO = 3.3 V，V_{REF} = 5 V

为了达到高分辨率精密SAR ADC数据手册中列示的最佳性能，系统设计师通常不得不使用专用的高功率、高速放大器来驱动其精密应用中的传统型开关电容SAR ADC输入，这在设计精密数据采集信号链时常常会遇到。高阻态模式的优势在于，能在慢速（<10 kHz）或直流类信号条件下支持低输入电流，并且可在高达100 kHz的输入频率范围内改善THD性能。高阻态模式允许选择带较低截止频率RC滤波器的低功率和低带宽精密放大器来驱动ADC，而无需使用专用高速ADC驱动器，从而减小精密低带宽应用的系统功耗、尺寸和成本。高阻态模式允许基于目标信号带宽，而非基于开关电容SAR ADC输入的建立要求来选择ADC之前的放大器和RC滤波器。

此外，AD4000/AD4004可以利用比传统SAR高得多的源阻抗来驱动，这意味着RC滤波器中的电阻值可以比之前的SAR设计高出10倍；若使能高阻态模式，支持的阻抗甚至更高。图39显示了高阻态模式使能/禁用时不同源阻抗对应的THD性能。

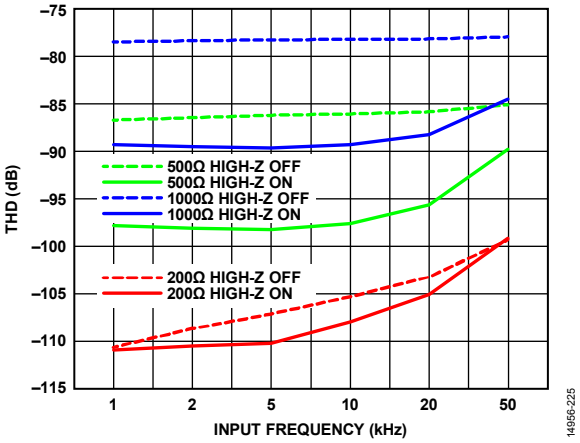


图39. 各种源阻抗下THD与输入频率的关系，V_{REF} = 5 V

图40和图41显示了AD4000/AD4004的SNR和THD性能，使用ADA4077-1（每个放大器的电源电流（I_{SY}）= 400 µA）和ADA4610-1 (I_{SY} = 1.50 mA）精密放大器，在最高吞吐速率下驱动AD4000/AD4004，高阻态模式使能或禁用，并采用不同的RC滤波器值。在2.27MHz RC带宽条件下使能高阻态模式时，这些放大器可实现91 dB至92 dB的典型SNR以及接近−100dB的典型THD。使能高阻态模式时，即使R值大于200Ω时，THD也能改善大约5 dB。即使RC滤波器截止频率非常低，SNR也能保持在接近85dB的水平。

高阻态模式使能时，ADC会额外消耗2 mW/MSPS的功率，但这仍然显著低于采用专用ADC驱动器（例如ADA4807-1）的情况。对于任何系统，前端通常会限制信号链的整体交流/直流性能。从图40和图41所示的选定精密放大器的数据手册中可以看出，在一定输入频率下，其自身的噪声和失真性能主导着SNR和THD规格。

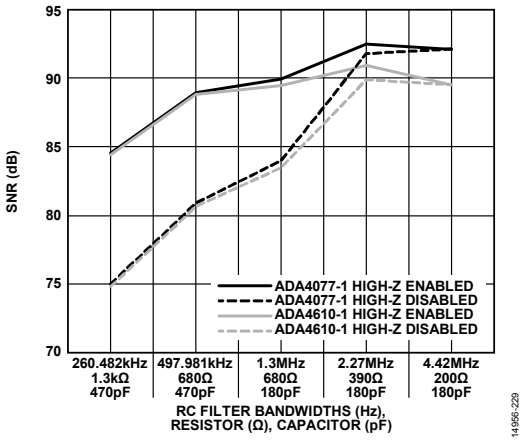


图40. 各种精密ADC驱动器的SNR与RC滤波器带宽的关系，V_{REF} = 5 V，f_{IN} = 1 kHz（Turbo模式开启，高阻态使能/禁用），VIO = 3.3 V

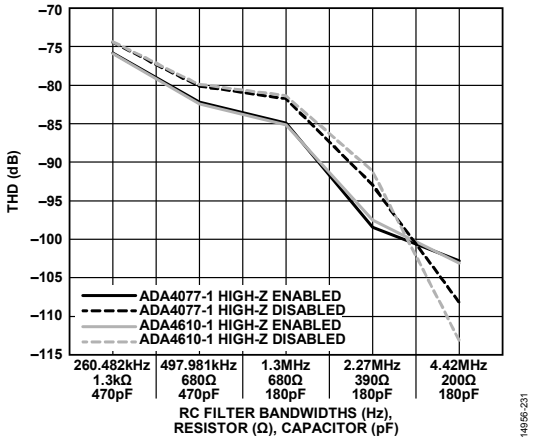


图41. 各种精密ADC驱动器的THD与RC带宽的关系，V_{REF} = 5 V，f_{IN} = 1 kHz（Turbo模式开启，高阻态使能/禁用）

长采集阶段

AD4000/AD4004的转换时间超快（290 ns），故而采集阶段较长。采集时间由AD4000/AD4004的一个重要特性进一步延长：ADC通常在转换结束前100 ns返回采集阶段。此特性让ADC有更长时间来采集新输入电压。较长的采集阶段可以降低对驱动放大器的建立要求，并且可以选择较低功率/带宽的放大器。较长的采集阶段意味着可以使用较低的RC滤波器（参见图32和图33）截止频率，因而也可承受较大的放大器噪声。可以在RC滤波器中使用较大的R值和较小的对应C值，减少放大器稳定性问题，同时也不会大幅影响失真性能。较大的R值还能降低放大器中的动态功耗。

有关设置RC滤波器带宽和选择合适放大器的详细信息参见表10。

基准电压输入

10 µF（X7R，0805尺寸）陶瓷芯片电容适合用来实现基准输入的最优性能。

如需更高的性能和更低的漂移，请使用ADR4550等基准电压源。使用ADR3450等低功耗基准源的代价是噪声性能略有下降。建议在基准源和ADC基准输入之间使用一个基准电压缓冲器，例如ADA4807-1。电容大小务必取最优值，以使基准电压缓冲器保持稳定，并且满足本部分之前所述的ADC最低要求（即10 µF陶瓷芯片电容C_{REF}）。

电源

AD4000/AD4004使用两个电源引脚：内核电源（VDD）以及数字输入/输出接口电源（VIO）。VIO可以与1.8 V至5.5 V的任何逻辑直接接口。为减少所需的电源数，VIO和VDD引脚可以连在一起以采用1.8 V电源供电。建议利用ADP7118低噪声、CMOS、低压差（LDO）线性稳压器来为VDD和VIO引脚供电。AD4000/AD4004与VIO和VDD电源的时序无关。此外，AD4000/AD4004在很宽的频率范围内对电源变化不敏感，如图42所示。

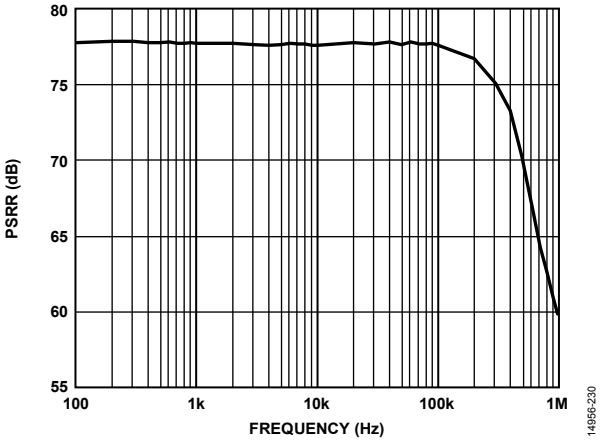


图42. PSRR与频率的关系，VIO = 3.3 V，V_{REF} = 5 V

AD4000/AD4004在每个转换阶段结束时自动进入省电模式。因此，功耗与采样速率成线性比例，此特性使得该器件非常适合低采样速率（甚至几赫兹）和电池供电的应用。图43显示了AD4000/AD4004的总功耗和各轨的功耗。

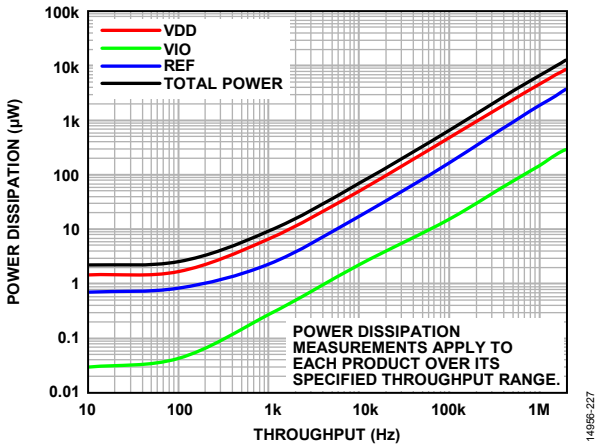


图43. 功耗与吞吐速率的关系，VIO = 1.8 V，V_{REF} = 5 V

数字接口

虽然引脚数很少，但AD4000/AD4004在串行接口模式上仍具有灵活性。AD4000/AD4004也可通过对配置寄存器执行16位SPI写操作来编程。

在$\overline{CS}$模式下，AD4000/AD4004兼容SPI、QSPI™、MICROWIRE®、数字主机和DSP。在此模式下，AD4000/AD4004可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号，可将线路连接减至最少，在隔离应用中非常有用。

四线式接口使用SDI、CNV、SCK和SDO信号，用于启动转换的CNV与回读时序（SDI）独立，此接口在低抖动采样或同步采样应用中很有用。

AD4000/AD4004提供菊花链特性，利用SDI输入在类似移位寄存器的单条数据线上实现多个ADC的级联。

器件工作模式取决于CNV上升沿出现时的SDI电平。$\overline{CS}$ 模式的选择条件是SDI为高电平，菊花链模式的选择条件是SDI为低电平。SDI保持时间是当SDI和CNV连接在一起时，始终选择菊花链模式。

在三线或四线模式下，AD4000/AD4004提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。如果无繁忙指示，用户必须在回读前等待最大转换时间。

在$\overline{CS}$模式下，当ADC转换结束时，若CNV或SDI为低电平，则使能繁忙指示特性。

上电时SDO状态为低电平或高阻态，取决于CNV和SDI的状态，如表11所示。

表11. 上电时SDO状态

CNV	SDI	SDO
0	0	低电平
0	1	高阻态
1	0	低电平
1	1	高阻态

在三线和四线模式下，AD4000/AD4004均支持turbo模式。Turbo模式通过写入配置寄存器来使能，使能后可取代繁忙指示特性。Turbo模式支持较低SPI时钟速率，因此接口会更简单。AD4000要实现2 MSPS的最大吞吐速率，必须使能turbo模式且SCK最低速率为70 MHz。AD4004要实现1 MSPS的最大吞吐速率，必须使能turbo模式且SCK最低速率为25 MHz。

如果配置寄存器中使能了状态位，则在转换数据结束时也可输出状态位。总共有6个状态位，如表15所示。

AD4000/AD4004通过对所需的配置寄存器执行16位SPI写操作来配置。16位字可在CNV保持低电平时通过SDI线路写入。它由8位标头和8位寄存器数据组成。对于隔离系统，建议使用ADuM141D，其最大时钟速率为70 MHz，允许AD4000以2 MSPS速率运行。

寄存器读/写功能

AD4000/AD4004寄存器位是可编程的，其默认状态详见表12。寄存器映射如表14所示。过压箝位（$\overline{OV}$）标志是一个只读粘滞位，只有读取寄存器且过压状态不再存在时才能清零。此位置0时指示发生过压状况。

表12. 寄存器位

寄存器位	默认状态
过压（$\overline{OV}$）箝位标志	1位，1 = 无效（默认）
跨度压缩	1位，0 = 禁用（默认）
高阻态模式	1位，0 = 禁用（默认）
Turbo模式	1位，0 = 禁用（默认）
使能六状态位	1位，0 = 禁用（默认）

所有对寄存器映射的访问都必须从写入SPI接口模块中的8位命令寄存器开始。AD4000/AD4004会忽略所有1，直至输入第一个0为止；载入命令寄存器的值总是一个0后跟7个命令位。此命令决定相关操作是写还是读。AD4000/AD4004命令寄存器如表13所示。

表13. 命令寄存器

位7	位6	位5	位4	位3	位2	位1	位0
WEN	R/$\overline{W}$	0	1	0	1	0	0

所有寄存器读/写操作都必须在CNV为低电平时进行。SDI上的数据在SCK的上升沿逐个输入。SDO上的数据在SCK的下降沿逐个输出。数据传输结束时，如果菊花链模式未使能，则SDO在CNV上升沿被置于高阻态。如果菊花链模式已使能，则SDO在CNV上升沿变为低电平。菊花链模式下不允许进行寄存器读取。

寄存器写操作需要三条信号线：SCK、CNV和SDI。在寄存器写操作期间，要读取SDO上的当前转换结果，必须在转换完成后将CNV引脚拉低。否则，SDO上的转换结果可能不正确。但无论如何，寄存器写操作都会发生。

各配置寄存器的LSB保留，因为用户读取16位转换数据可能受限于16位SPI帧。传输SDI帧中最后一位时SDI的状态，可能就是其随后在CNV上升时持续所处的状态。接口模式部分地是基于CNV上升时SDI所处状态而设置，在此情况下，用户可能需要设置最终SDI状态。

图44至图46所示的时序图显示了当AD4000/AD4004器件配置为$\overline{CS}$模式（三线和四线模式）和菊花链模式时，如何读取和写入数据。

表14. 寄存器映射

ADDR[1:0]	位7	位6	位5	位4	位3	位2	位1	位0	复位
0x0	保留	保留	保留	使能六状态位	跨度压缩	高阻态模式	Turbo模式	过压（$\overline{OV}$）箝位标志（只读粘滞位）	0xE1

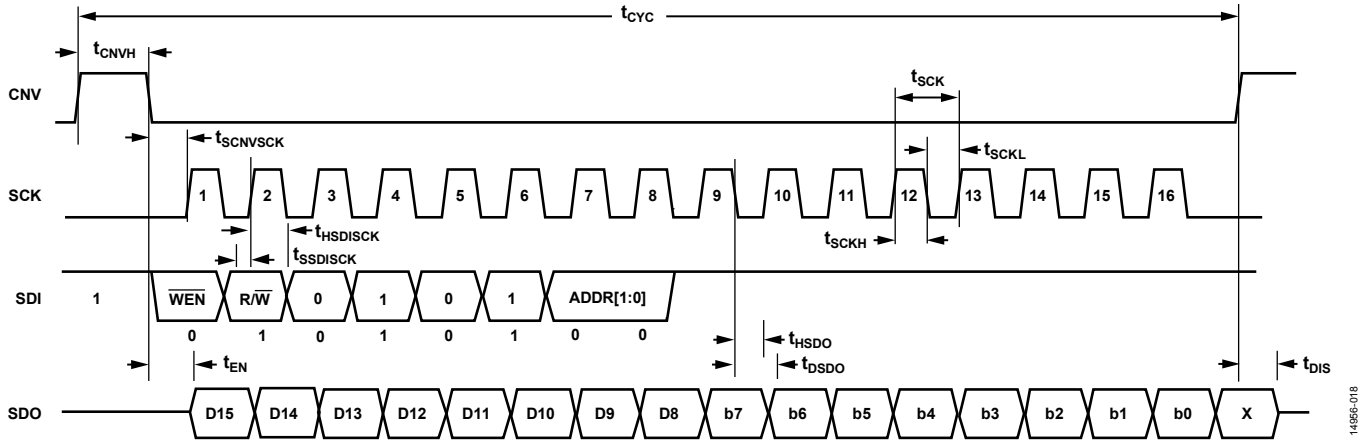
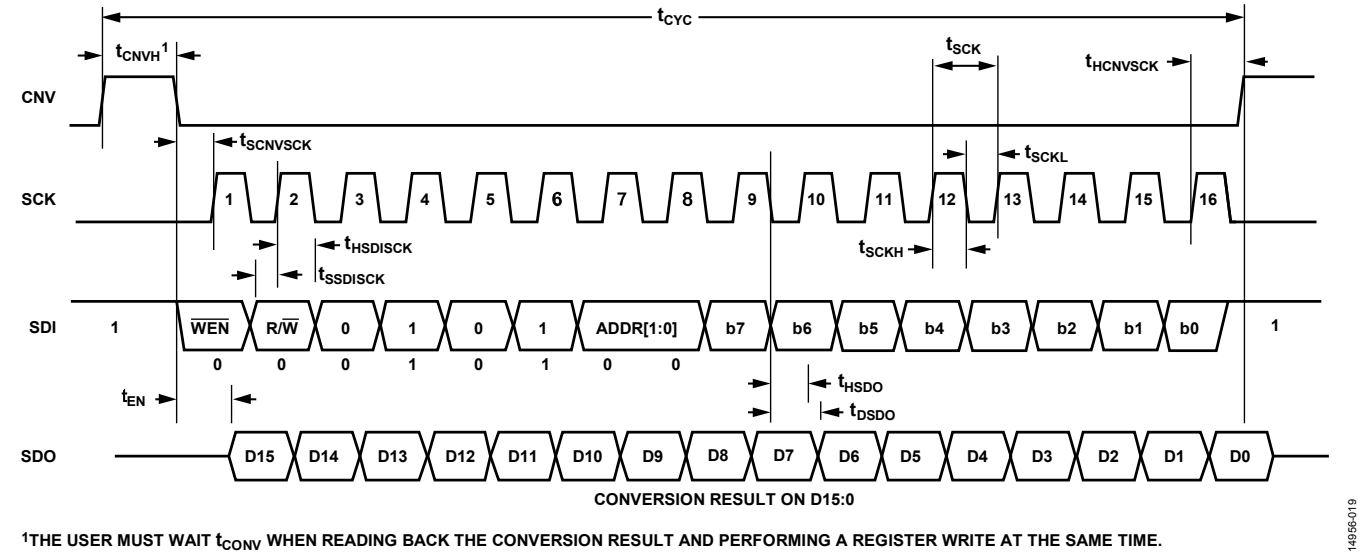


图44. 寄存器读操作时序图



[1]THE USER MUST WAIT t_{CONV} WHEN READING BACK THE CONVERSION RESULT AND PERFORMING A REGISTER WRITE AT THE SAME TIME.

图45. 寄存器写操作时序图

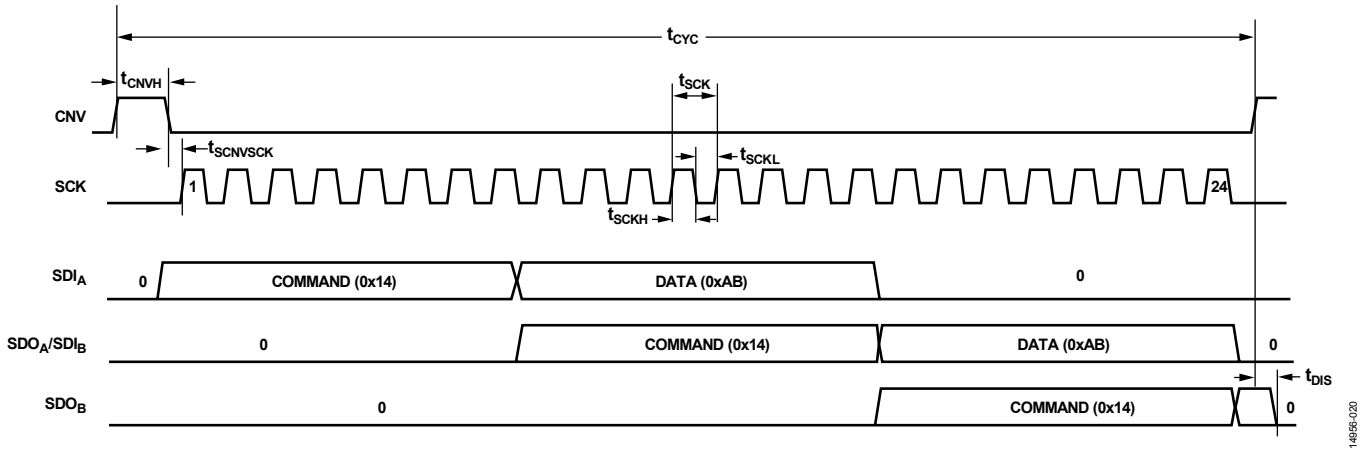


图46. 寄存器写操作时序图（菊花链模式）

状态字

6位状态字可附加于转换结果的末尾，这些位的默认状态如表15所示。状态位必须在寄存器设置中使能。当过压箝位标志为0时，说明发生过压状况。每转换一次，过压箝位标志状态位更新一次。

第6个状态位输出之后，SDO线变为高阻态（菊花链模式除外）。要启动下一转换，用户无需输出所有状态位。$\overline{CS}$模式（三线且无繁忙指示）的串行接口时序（包括状态位）如图47所示。

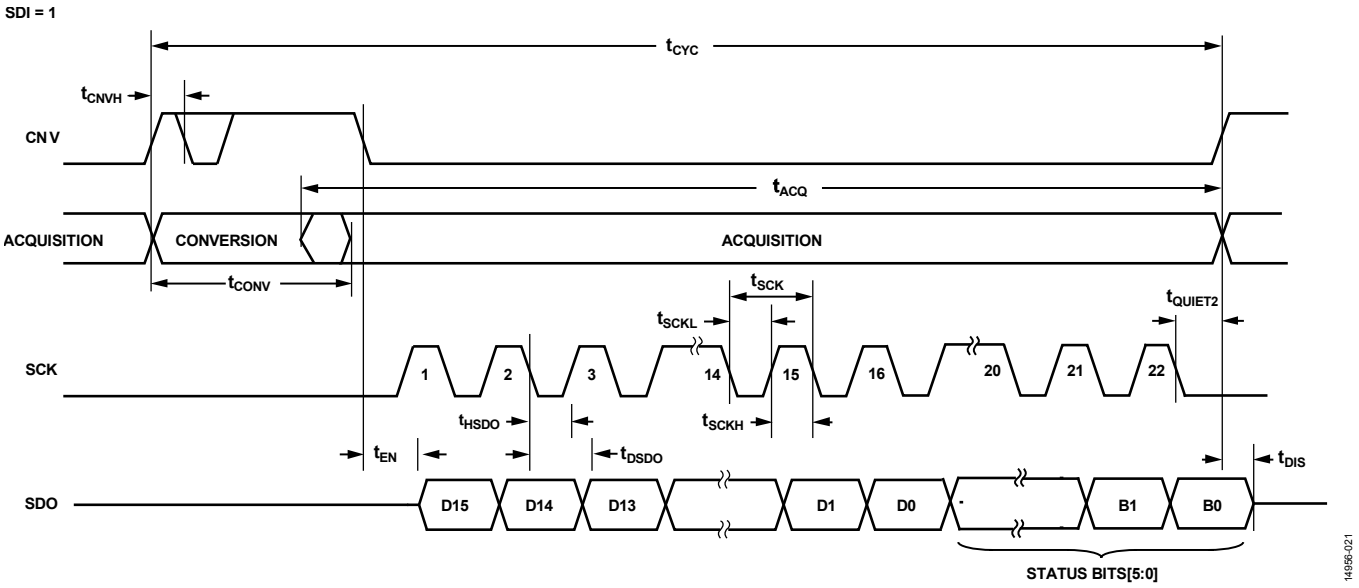


图47. $\overline{CS}$ 模式（三线式且无繁忙指示）串行接口时序图，包括状态位（SDI高电平）

表15. 状态位（默认条件）

位5	位4	位3	位2	位1	位0
过压（$\overline{OV}$）箝位标志	跨度压缩	高阻态模式	Turbo模式	保留	保留

$\overline{CS}$ 模式（三线TURBO模式）

将单个AD4000或AD4004连接到兼容SPI的数字主机时，通常使用此模式。在ADC转换过程结束时，它提供额外的时间以输出前次转换结果，从而支持较低的SCK速率。要实现2 MSPS的吞吐速率，AD4000必须使能turbo模式并使用最低70 MHz的SCK速率。当使能turbo模式时，在SCK最低速率为25 MHz的情况下，AD4004也能实现1 MSPS的最大吞吐速率。连接图如图48所示，时序图如图49所示。

通过设置turbo模式位（位1，参见表14），此模式可取代三线式且带繁忙指示模式。

当强制SDI变为高电平时，CNV上的上升沿启动转换。在CNV上升沿结束之后，前次转换数据可供读取。在CNV变为高电平后到CNV变为低电平前，用户必须等待t_{QUIET1}时间以便输出前次转换结果。在SCK最后一个下降沿之后到CNV变为高电平时，用户也必须等待t_{QUIET2}时间。

转换完成后，AD4000/AD4004进入采集阶段并关断。CNV变为低电平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

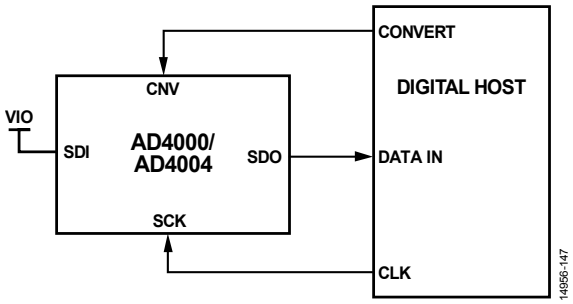


图48. $\overline{CS}$ 模式（三线Turbo模式）连接图（SDI高电平）

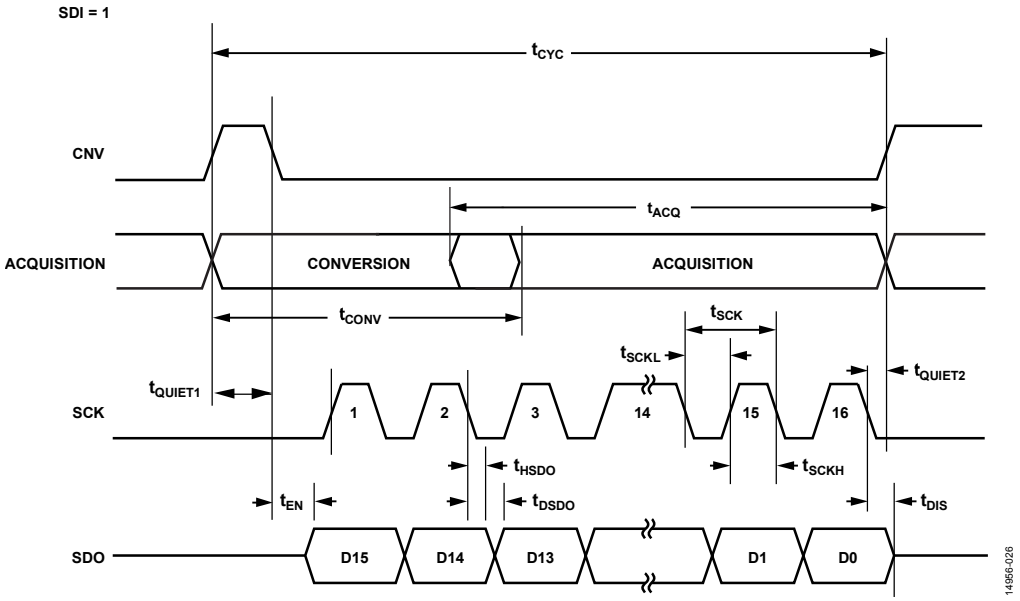


图49. $\overline{CS}$ 模式（三线Turbo模式）串行接口时序图（SDI高电平）

$\overline{CS}$ 模式（三线式且无繁忙指示）

将单个AD4000或AD4004连接到兼容SPI的数字主机时，通常使用此模式。连接图如图50所示，相应的时序图如图51所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择$\overline{CS}$模式，并强制SDO进入高阻态。启动转换后，无论CNV为何状态，转换都会执行到完成为止。此特性可能很有用，例如，可拉低CNV来选择模拟多路复用器等其他SPI器件。不过，在最小转换时间过去之前，CNV必须返回高电平，接着在最大可能的转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，AD4000/AD4004进入采集阶段并关断。CNV变为低电平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

转换过程中SCK上不得有任何数字活动。

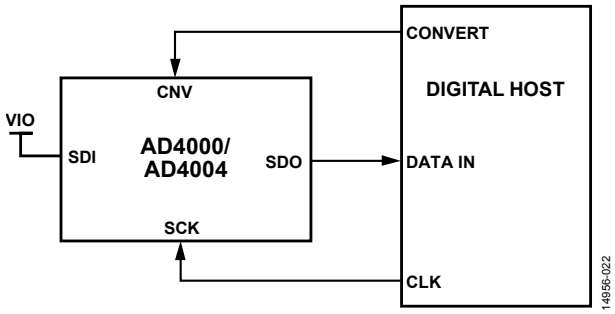


图50. $\overline{CS}$ 模式（三线式且无繁忙指示）连接图（SDI高电平）

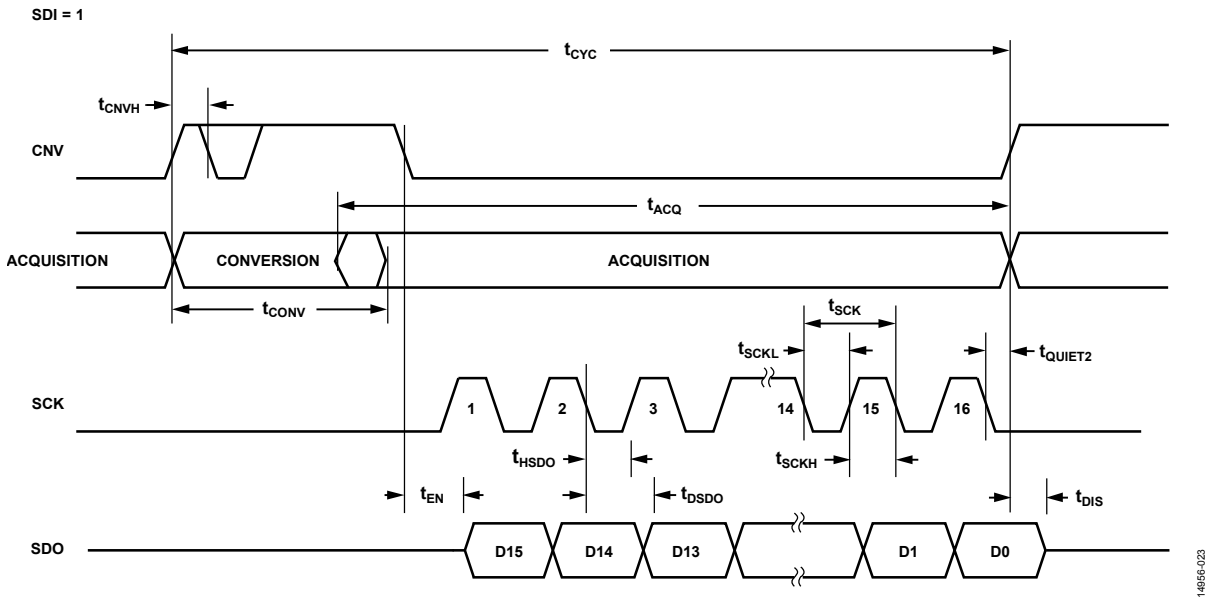


图51. $\overline{CS}$ 模式（三线式且无繁忙指示）串行接口时序图（SDI高电平）

$\overline{CS}$ 模式（三线式且有繁忙指示）

将单个AD4000或AD4004连接到带中断输入的SPI兼容数字主机时，通常使用此模式。

连接图如图52所示，相应的时序图如图53所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择$\overline{CS}$模式，并强制SDO进入高阻态。无论CNV状态如何，SDO都会保持高阻态，直至转换完成。最小转换时间之前，CNV可用于选择其他SPI器件，如模拟多路复用器。不过，在最小转换时间过去之前，CNV必须返回低电平，接着在最大可能的转换时间内保持低电平，以确保生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉电阻，此转换可用作中断信号，以启动由数字主机控制的数据读取。AD4000/AD4004接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

如果同时选择多个AD4000/AD4004器件，SDO输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时，建议此竞争尽可能短暂，以限制额外功耗。

转换过程中SCK上不得有任何数字活动。

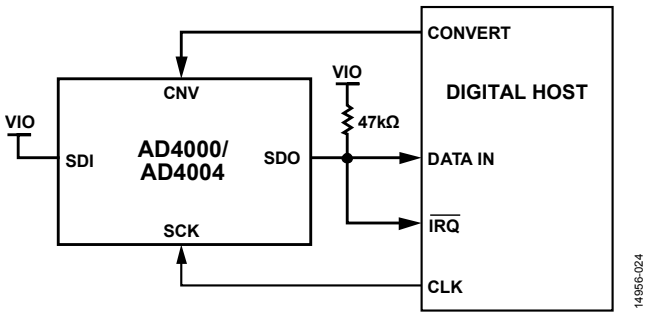


图52. $\overline{CS}$ 模式（三线式且有繁忙指示）连接图（SDI高电平）

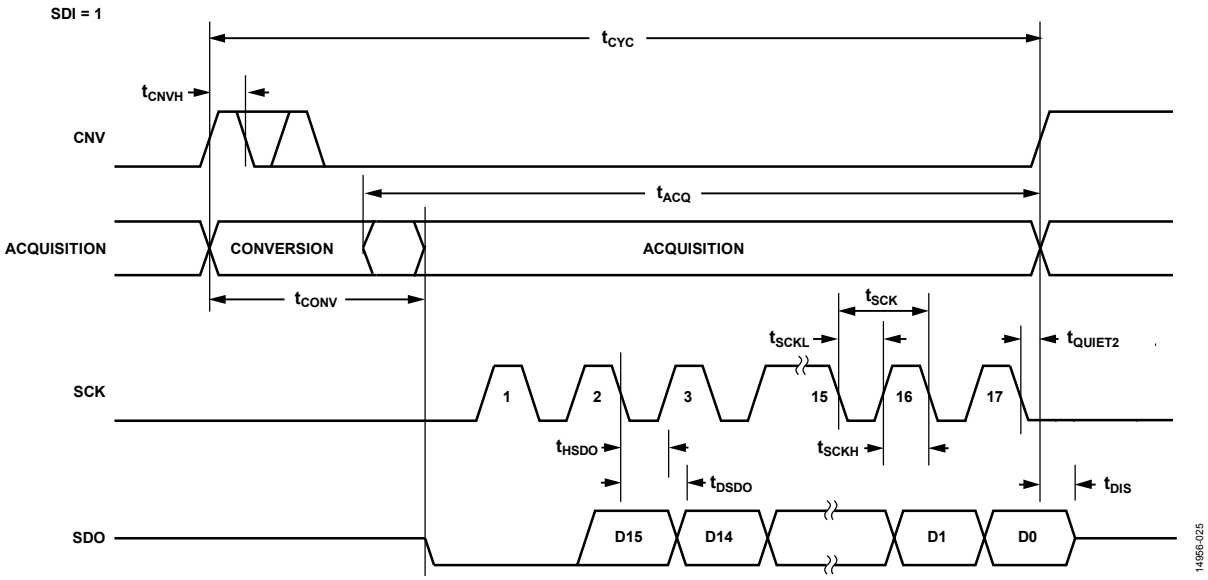


图53. $\overline{CS}$ 模式（三线式且有繁忙指示）串行接口时序图（SDI高电平）

$\overline{CS}$ 模式（四线TURBO模式）

将单个AD4000或AD4004连接到兼容SPI的数字主机时，通常使用此模式。在ADC转换过程结束时，它提供额外的时间以输出前次转换结果，从而支持较低的SCK速率。要实现2 MSPS的吞吐速率，AD4000必须使能turbo模式并使用最低70 MHz的SCK速率。当使能turbo模式时，在SCK最低速率为25 MHz的情况下，AD4004也能实现1 MSPS的最大吞吐速率。连接图如图54所示，相应的时序图如图55所示。

通过设置turbo模式寄存器（位1，参见表14），此模式可取代四线式且带繁忙指示模式。

SDI为高电平时，CNV上的上升沿启动转换。在CNV上升沿结束之后，前次转换数据可供读取。在CNV变为高电平后到SDI变为低电平前，用户必须等待t_{QUIET1}时间以便输出前次转换结果。在SCK最后一个下降沿之后到CNV变为高电平时，用户也必须等待t_{QUIET2}时间。

转换完成后，AD4000/AD4004进入采集阶段并关断。ADC结果可通过将SDI输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当SDI变为高电平时（以最先出现者为准），SDO返回高阻态。

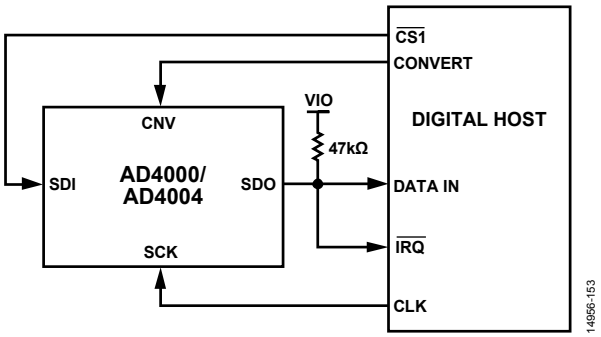


图54. $\overline{CS}$ 模式（四线Turbo模式）连接图

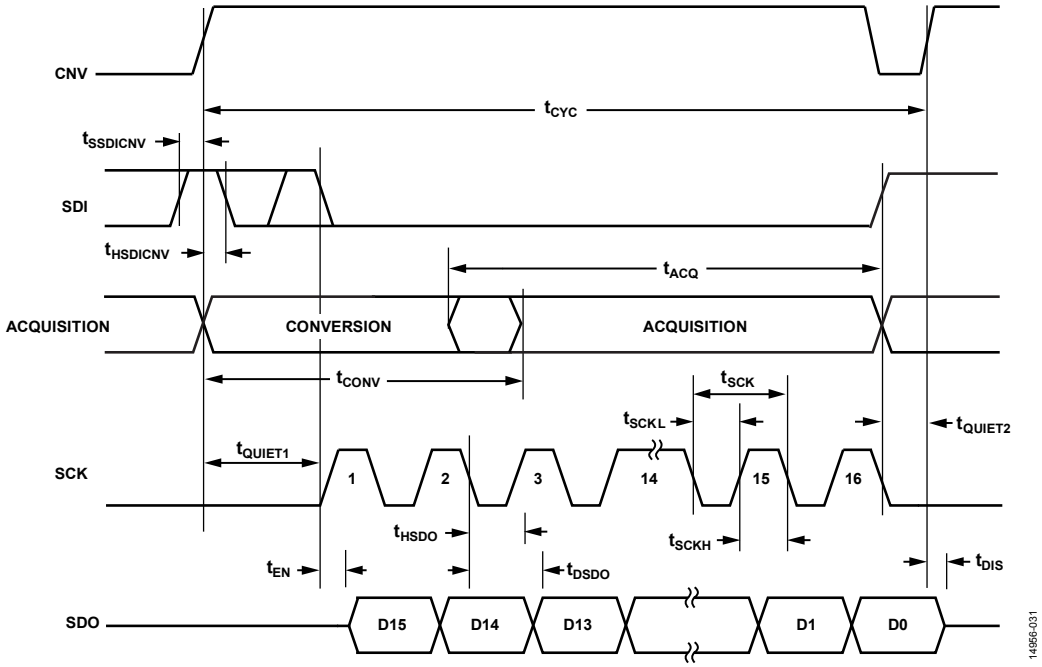


图55. $\overline{CS}$ 模式（四线Turbo模式）时序图

$\overline{CS}$ 模式（四线式且无繁忙指示）

将多个AD4000或AD4004器件连接到兼容SPI的数字主机时，通常使用此模式。

使用两个AD4000/AD4004器件的连接图示例如图56所示，相应的时序如图57所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择$\overline{CS}$模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。如果SDI和CNV为低电平，则SDO变为低电平。最小转换时间之前，SDI可用于选择其他SPI器件，如模拟多路复用器。不过，在最小转换时间过去之前，SDI必须返回高电平，接着在最大可能的转换时间内保持高电平，以避免生成繁忙信号指示。

转换完成后，AD4000/AD4004进入采集阶段并关断。每个ADC结果可通过将SDI输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当SDI变为高电平时（以最先出现者为准），SDO返回高阻态，可读取另一个AD4000/AD4004。

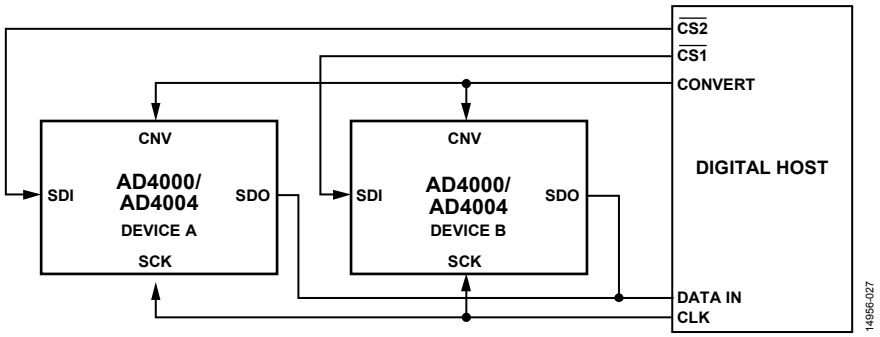


图56. $\overline{CS}$ 模式（四线式且无繁忙指示）连接图

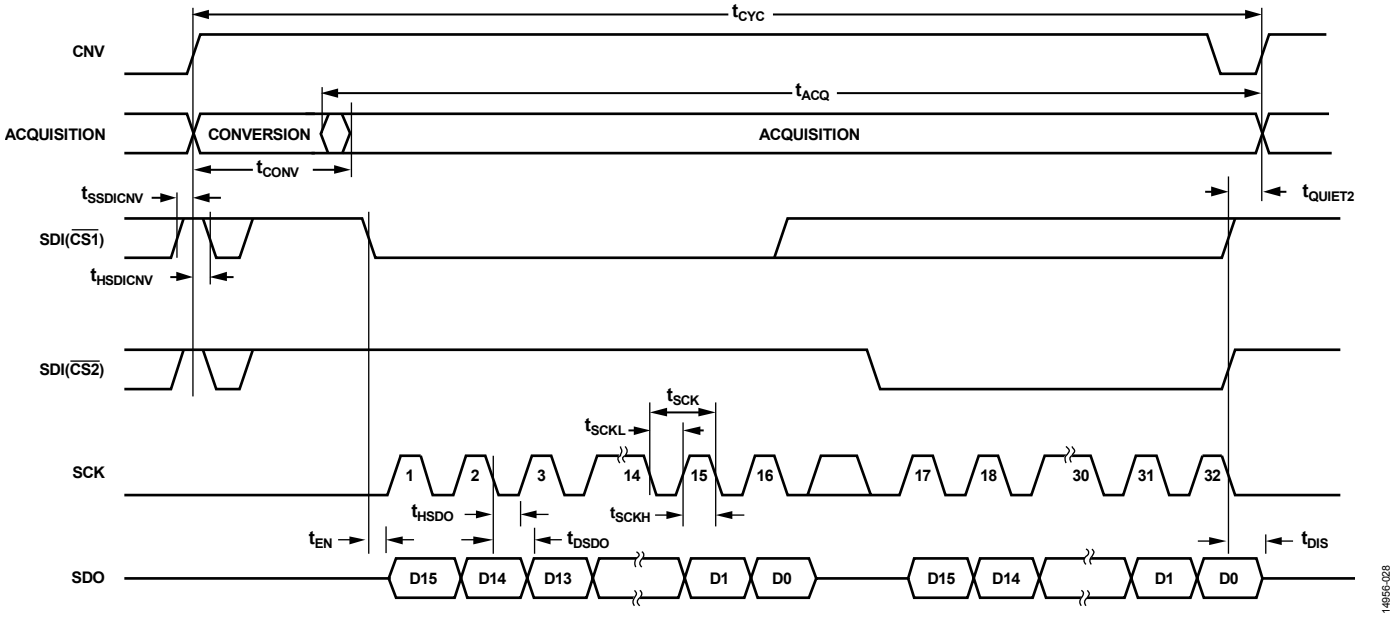


图57. $\overline{CS}$ 模式（四线式且无繁忙指示）串行接口时序图

$\overline{CS}$ 模式（四线式且有繁忙指示）

在将单个AD4000或AD4004连接到具有中断输入的SPI兼容数字主机时，以及用于采样模拟输入的CNV与用于选择数据读取的信号需要相互保持独立时，通常会使用此模式。该独立性在需要CNV低抖动的应用中尤其重要。

连接图如图58所示，相应的时序图如图59所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择$\overline{CS}$模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。如果SDI和CNV为低电平，则SDO变为低电平。最小转换时间之前，SDI可用于选择其他SPI器件，如模拟多路复用器。不过，在最小转换时间过去之前，SDI必须返回低电平，接着在最大可能的转换时间内保持低电平，以确保生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉电阻，此转换可用作中断信号，以启动由数字主机控制的数据回读。AD4000/AD4004接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，或者当SDI变为高电平时（以最先出现者为准），SDO返回高阻态。

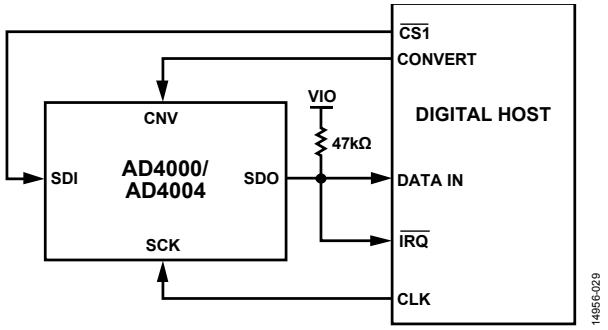


图58. $\overline{CS}$ 模式（四线式且有繁忙指示）连接图

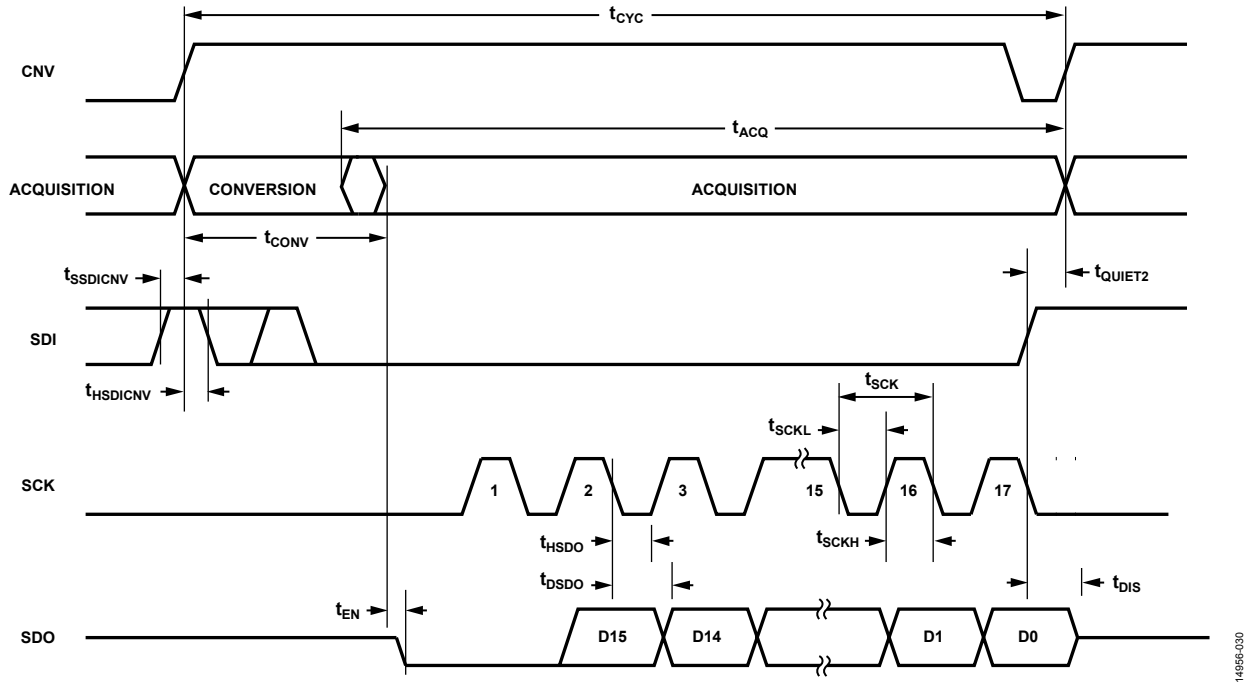


图59. $\overline{CS}$ 模式（四线式且有繁忙指示）串行接口时序图

菊花链模式

使用此模式可将多个AD4000/AD4004器件以菊花链形式连接到三线或四线式串行接口。这一特性有助于减少器件数量和线路连接，例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用两个AD4000/AD4004器件的连接图示例如图60所示，相应的时序如图61所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，选择菊花链模式，并禁用繁忙指示。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。

转换完成后，MSB输出至SDO，而AD4000/AD4004进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个从SDO输出。对于每个ADC，SDI馈入内部移位寄存器的输入，并以SCK上升沿为时钟。菊花链内每个ADC首先输出数据MSB，回读N个ADC需要16 × N个时钟。数据在SCK的上升沿和下降沿均有效。最大转换速率会因总回读时间而降低。

菊花链模式下可写入每个ADC寄存器。时序图见图46。此模式需要四线操作，因为数据在SDI线路上输入，CNV保持低电平。同一命令字节和寄存器数据可通过整个链移动，以便用相同寄存器内容对链中的所有ADC编程，N个ADC需要8 × (N + 1) 个时钟。可以将不同寄存器内容写入链中的各ADC，方法如下：先使用8 × (N + 1) 个时钟写入链中最远的ADC，再使用8 × N个时钟写入第二远的ADC，以此类推，直至达到链中最近的ADC，其命令和寄存器数据需要16个时钟。菊花链模式下无法读取寄存器内容；但若用户希望确定ADC配置，可以使能6个状态位。注意，使能状态位后，链中的每个ADC都需要6个额外时钟来输出ADC结果和状态位。菊花链模式下无法使用Turbo模式。

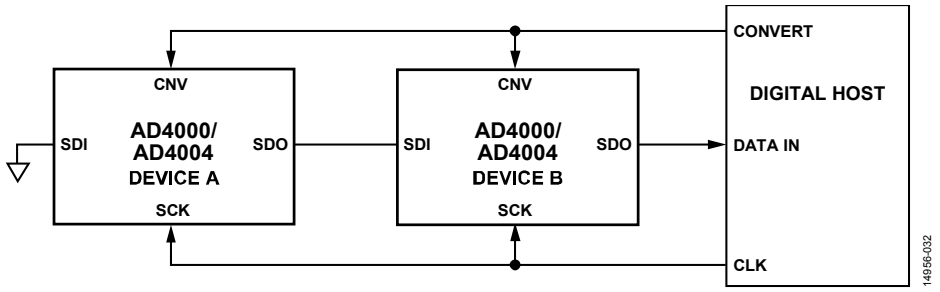


图60. 菊花链模式连接图

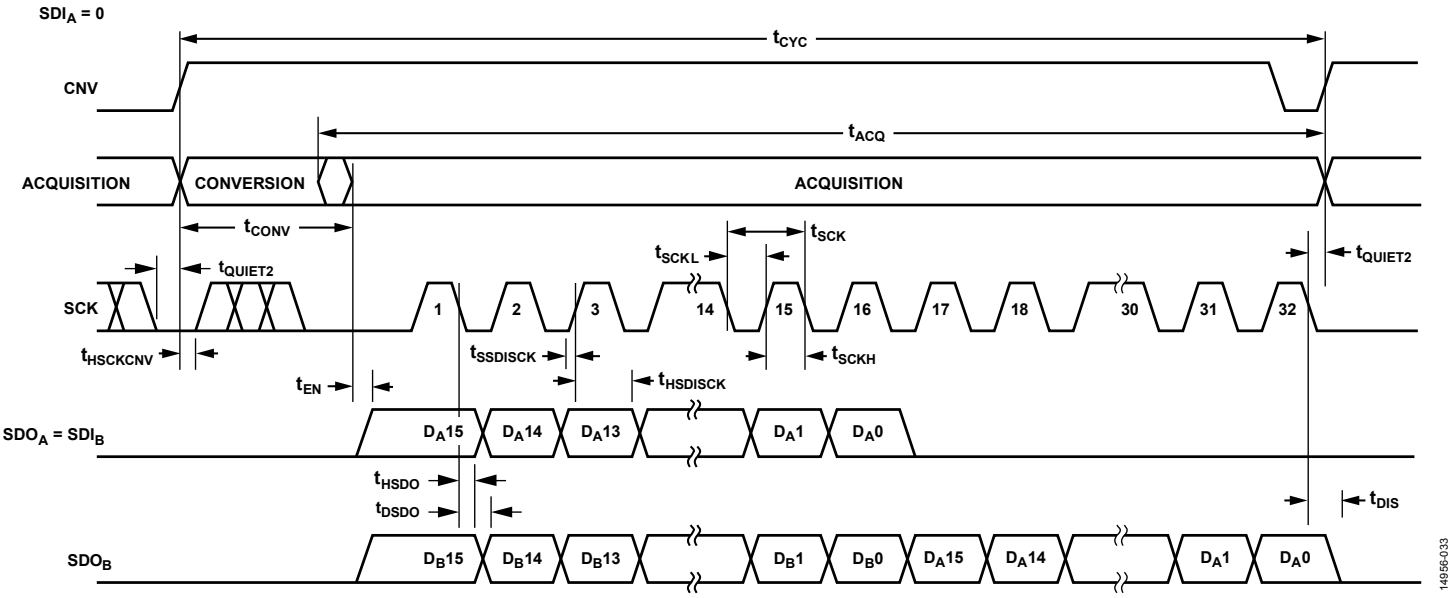


图61. 菊花链模式串行接口时序图

布局布线指南

AD4000/AD4004所在的PCB必须采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。AD4000/AD4004的模拟信号位于左侧，数字信号位于右侧，这种引脚排列可以简化设计。

避免在器件下方布设数字走线，否则会将噪声耦合至芯片，除非将AD4000/AD4004下方的一个地层用作屏蔽。诸如CNV或时钟之类的快速开关信号不得靠近模拟信号路径。避免数字信号与模拟信号交叠。

至少须使用一个接地层。数字和模拟部分可以共用或分割使用接地层。后一情况中，各层应在AD4000/AD4004器件下方连接。

AD4000/AD4004基准电压输入（REF）具有动态输入阻抗。去耦REF引脚时为使寄生电感最小，应将基准电压源的去耦陶瓷电容靠近（理想情况是正对）REF和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD4000/AD4004的VDD和VIO电源应通过陶瓷电容去耦，其值通常为0.1 µF，靠近AD4000/AD4004放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

图62和图63是遵循这些规则的布局布线示例。注意AD4004布局等同于AD4000布局。

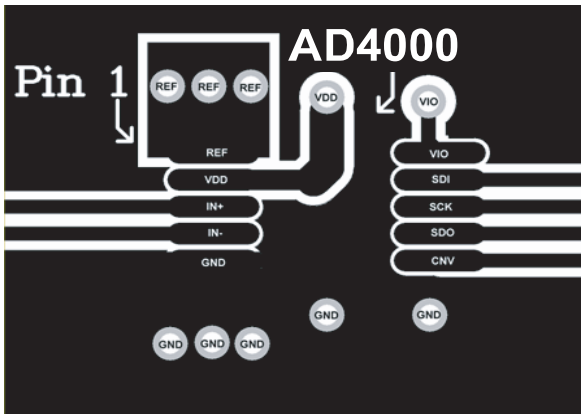


图62. AD4000布局布线示例（顶层）

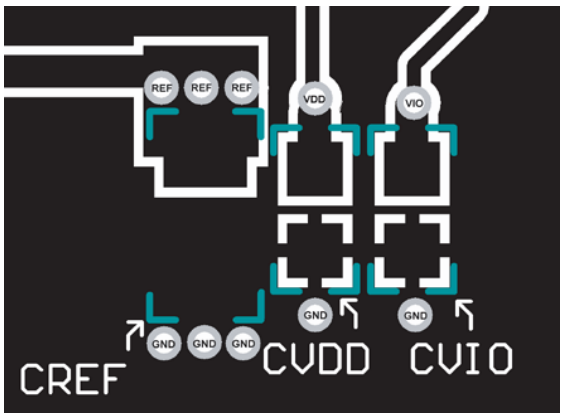


图63. AD4000布局布线示例（底层）

评估AD4000/AD4004性能

关于AD4000/AD4004的其他推荐布局，请参阅AD4000评估板（EVAL-AD4000FMCZ）用户指南。评估板套件包括装配完善且经过测试的AD4000评估板、文档以及在PC上通过EVAL-SDP-CH1Z控制评估板的软件。EVAL-AD4000FMCZ也可用于评估AD4004，只需在软件中将吞吐速率设置为1 MSPS（参见UG-1042）。

外形尺寸

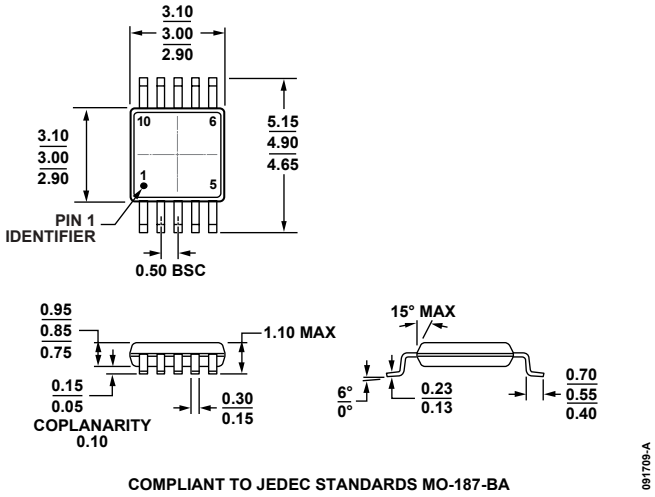


图64. 10引脚超小型封装 [MSOP]
(RM-10)
图示尺寸单位：mm

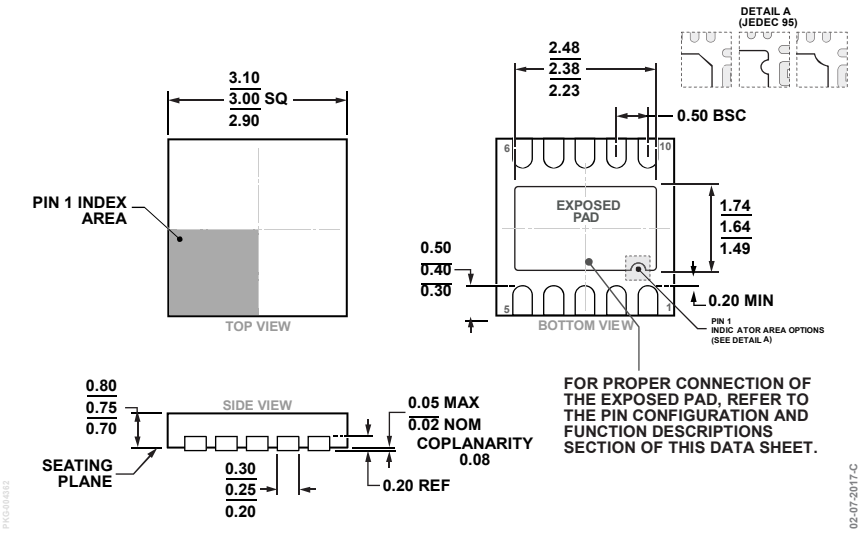


图65. 10引脚引线框芯片级封装 [LFCSP]
3 mm × 3 mm本体、0.75 mm封装高度
(CP-10-9)
图示尺寸单位：mm

订购指南

型号[1, 2]	积分非线性 (INL)	温度范围	封装描述	订购数量	封装选项	标识
AD4000BRMZ	±1.0 LSB	−40°C至+125°C	10引脚MSOP，卷带	50	RM-10	Y61
AD4000BRMZ-RL7	±1.0 LSB	−40°C至+125°C	10引脚MSOP，卷盘	1000	RM-10	Y61
AD4000BCPZ-RL7	±1.0 LSB	−40°C至+125°C	10引脚LFCSP，卷盘	1500	CP-10-9	Y61
AD4004BRMZ	±1.0 LSB	−40°C至+125°C	10引脚MSOP，卷带	50	RM-10	C8F
AD4004BRMZ-RL7	±1.0 LSB	−40°C至+125°C	10引脚MSOP，卷盘	1000	RM-10	C8F
AD4004BCPZ-RL7	±1.0 LSB	−40°C至+125°C	10引脚LFCSP，卷盘	1500	CP-10-9	C8F
EVAL-AD4000FMCZ			AD4000评估板兼容EVAL-SDP-CH1Z			

[1] Z = 符合RoHS标准的兼容器件。

[2] EVAL-AD4000FMCZ也可用于评估AD4004，只需在软件中将吞吐速率设置为1 MSPS（参见UG-1042）。

©2016–2017 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D14956sc-0-4/17(A)

ANALOG DEVICES

www.analog.com