

36V，单电源，SOT553，通用 运算放大器价值线系列

查询样品: [OPA171](#), [OPA2171](#), [OPA4171](#)

特性

- 电源范围: **+2.7V 至 +36V**, **±1.35V 至 ±18V**
- 低噪声: **14 nV/√Hz**
- 低偏移漂移: **0.3μV/°C** (典型值)
- 已过滤的射频干扰 (RFI) 输入
- 输入范围包括负电源
- 输入范围运行至正电源
- 轨至轨输出
- 增益带宽: **3MHz**
- 低静态电流: 每个放大器 **475μA**
- 高共模抑制: **120dB** (典型值)
- 低输入偏压电流: **8pA**
- 行业标准封装:
 - 8 引脚小外形尺寸集成电路 (SOIC) 封装
 - 8 引脚微型小外形尺寸 (MSOP) 封装
 - 14 引脚薄型小外形尺寸 (TSSOP) 封装
- 微型封装:
 - **SOT553** 封装内为单通道
 - **VSSOP-8** 封装内为双通道

应用范围

- 电源模块内的跟踪放大器
- 商用电源
- 变频器放大器
- 桥式放大器
- 温度测量
- 应力计放大器
- 精密积分器
- 电池供电仪器
- 测试设备

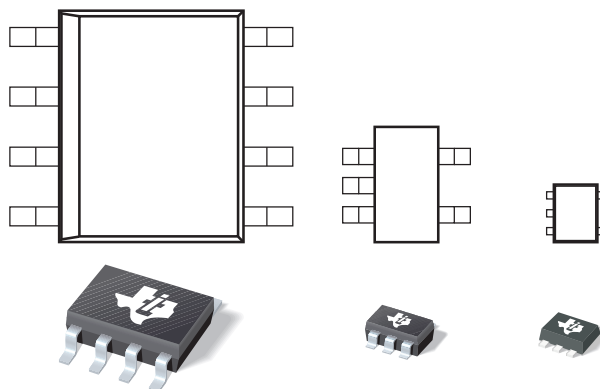
说明

OPA171, OPA2171 和 OPA4171 (OPAx171) 是系列 36V, 单电源, 低噪声运算放大器, 此系列运算放大器能够在 +2.7V (±1.35V) 至 +36V (±18V) 的电源范围内运行。这个器件采用微型封装并且在保证低静态电流的情况下提供低偏移、漂移和带宽。单通道、双通道和四通道版本均具有相同的技术规格, 可最大程度地提高设计灵活性。

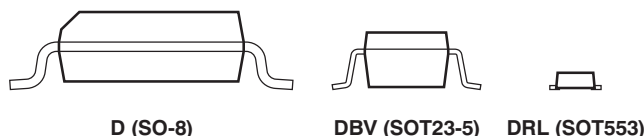
与大多数只有一个额定电源电压的运算放大器不同, OPAx171 的额定电压范围为 +2.7V 至 +36V。超过电源轨的输入信号不会导致相位反转。OPAx171 系列在电容负载高达 300pF 时保持稳定。输入可在负电源轨以下 100mV 以及正电源轨 2V 之内正常运行。请注意, 这些器件可在正电源轨之上 100mV 的满轨到轨输入上运行, 但是在正电源轨 2V 之内运行时性能会受到影响。

OPAx171 系列运算放大器额定运行温度范围为 -40°C 至 +125°C。

Package Footprint Comparison (to Scale)



Package Height Comparison (to Scale)



针对 36V 运算放大器的最小封装

产品系列

器件	封装
OPA171	SOT553, SOT23-5, 小外形尺寸 (SO)-8
OPA2171 (双通道)	VSSOP-8, SO-8, MSOP-8
OPA4171 (四通道)	TSSOP-14, SO-14



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.



这些装置包含有限的内置 ESD 保护。

存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

封装/订购信息 ⁽¹⁾

产品	封装-引线	封装指示符	封装标记	订购号	运输介质、数量
OPA171	SOT 553	DRL	DAP	OPA171AIDRLT	卷带封装, 250
				OPA171AIDRLR	卷带封装, 4000
	小外形尺寸晶体管封装 (SOT) 23-5	DBV	OSUI	OPA171AIDBVT	卷带封装, 250
				OPA171AIDBVR	卷带封装, 3000
	SO-8	D	O171A	OPA171AID	电源轨, 75
				OPA171AIDR	卷带封装, 2500
OPA2171	MSOP-8	DGK	OPMI	OPA2171AIDGK	电源轨, 80
				OPA2171AIDGKR	卷带封装, 2500
	VSSOP-8	DCU	OPOC	OPA2171AIDCUT	卷带封装, 250
				OPA2171AIDCUR	卷带封装, 3000
	SO-8	D	2171A	OPA2171AID	电源轨, 75
				OPA2171AIDR	卷带封装, 2500
OPA4171	SO-14	D	OPA4171	OPA4171AID	电源轨, 50
				OPA4171AIDR	卷带封装, 2500
	TSSOP-14	PW	OPA4171	OPA4171AIPW	电源轨, 90
				OPA4171AIPWR	卷带封装, 2000

(1) 要获得最新的封装和订货信息，请参阅本文档末尾的封装选项附录，或者访问www.ti.com上的器件产品文件夹。

最大绝对额定值 ⁽¹⁾

在自然通风温度范围内运行测得，除非另有说明。

		OPAx171	单位
电源电压		±20	V
信号输入端子	电压	(V-) -0.5 至 (V+) +0.5	V
	电流	±10	mA
输出短路 ⁽²⁾		连续	
工作温度		-55 至 +150	°C
存储温度		-65 至 +150	°C
结温		+150	°C
ESD 额定值:	人体模型 (HBM)	4	kV
	充电器件模型 (CDM)	750	V

(1) 超过这些额定值的应力有可能造成永久损坏。长时间处于最大绝对额定情况下会降低设备的可靠性。这些只是应力额定值，在这些值或者任何超过那些所标明的条件下的功能运行并未注明。

(2) 短路至接地，每封装一个放大器。

电气特性

黑体字应用在额定温度范围上的限值, $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。

在 $T_A = +25^{\circ}\text{C}$ 时, $V_S = +2.7\text{V}$ 至 $+36\text{V}$, $V_{CM} = V_{OUT} = V_S/2$, 并且 $R_{LOAD} = 10\text{k}\Omega$ 被连接至 $V_S/2$, 除非另外注明。

参数	测试条件	OPA171, OPA2171, OPA4171			单位
		最小值	典型值	最大值	
偏移电压					
输入偏移电压	V _{OS}		0.25	±1.8	mV
温度范围内			0.3	±2	mV
漂移	dV _{OS} /dT		0.3	±2	µV/°C
与电源的关系	电源抑制比 (PSRR)	V _S =+4V 至 +36V	1	±3	µV/V
通道分离, 直流	DC		5		µV/V
输入偏置电流					
输入偏置电流	I _B		±8	±15	pA
在温度范围内				±3.5	nA
输入偏移电流	I _{OS}		±4		pA
在温度范围内				±3.5	nA
噪声					
输入电压噪声		f=0.1Hz 至 10Hz	3		µV _{PP}
输入电压噪声密度	e _n	f=100Hz	25		nV/√Hz
		f=1kHz	14		nV/√Hz
输入电压					
共模电压范围 ⁽¹⁾	V _{CM}		(V-)-0.1V	(V+)-2V	V
共模抑制比	CMRR	V _S =±2V, (V-)-0.1V<V _{CM} <(V+)-2V	90	104	dB
		V _S =±18V, (V-)-0.1V<V _{CM} <(V+)-2V	104	120	dB
输入阻抗					
差分			100 3		MΩ pF
共模			6 3		10 ¹² Ω pF
开环增益					
开环电压增益	A _{OL}	V _S =+4V 至 +36V, (V-)+0.35V<V _O <(V+)-0.35V	110	130	dB
频率响应					
带宽增益产品	GBP		3.0		MHz
电压转换速率	SR	G=+1	1.5		V/µs
稳定时间	t _S	到 0.1%, V _S =±18V, G=+1, 10V 阶跃时的稳定时间	6		µs
		到 0.01% (12 位), V _S =±18V, G=+1, 10V 阶跃时的稳定时间	10		µs
过载恢复时间		V _{IN} × 增益 > V _S	2		µs
总谐波失真+噪声	THD+N	G=+1, f=1kHz, V _O =3V _{RMS}	0.0002		%
输出的输出部分将自电源轨参数的电压输出摆幅改为温度范围内的电压输出摆幅					
自电源轨的电压输出摆幅	V _O	V _S =5V, R _L =10kΩ	30		mV
在温度范围内		R _L =10kΩ, A _{OL} ≥110dB	(V-)+0.35	(V+)-0.35	V
短路电流	I _{SC}		+25/-35		mA
电容负载驱动	C _{LOAD}		请见 典型特点		pF
开环输出电阻	R _O	f=1MHz, I _O =0A	150		Ω
电源					
额定电压范围	V _S		+2.7	+36	V
每个放大器的静态电流	I _Q	I _O =0A	475	595	µA
温度范围内		I _O =0A		650	µA
温度					
额定温度			-40	+125	°C
工作范围			-55	+150	°C

(1) 输入范围可被扩展超过 $(V_+) - 2\text{V}$, 最高到 V_+ 。附件信息请见 [典型特征](#)和[应用信息](#)。

热性能信息：OPA171

热度量 ⁽¹⁾	OPA171			单位
	D (SO)	DBV (SOT23)	DRL (SOT553)	
	8 引脚	5 引脚	5 引脚	
θ_{JA} 结到环境热阻	149.5	245.8	208.1	°C/W
$\theta_{JC(top)}$ 结至芯片外壳 (顶部) 热阻	97.9	133.9	0.1	
θ_{JB} 结至电路板热阻	87.7	83.6	42.4	
Ψ_{JT} 结至顶部的特征参数	35.5	18.2	0.5	
Ψ_{JB} 结至电路板的特征参数	89.5	83.1	42.2	
$\theta_{JC(bottom)}$ 结至芯片外壳 (底部) 热阻	不可用	不可用	不可用	

(1) 有关传统和新的热 度量的更多信息，请参阅IC 封装热度量应用报告，[SPRA953](#)。

热性能信息：OPA2171

热度量 ⁽¹⁾	OPA2171			单位
	D (SO)	DCU (VSSOP)	DGK (MSOP)	
	8 引脚	8 引脚	8 引脚	
θ_{JA} 结到环境热阻	134.3	175.2	195.3	°C/W
$\theta_{JC(top)}$ 结至芯片外壳 (顶部) 热阻	72.1	74.9	59.4	
θ_{JB} 结至电路板热阻	60.6	22.2	115.1	
Ψ_{JT} 结至顶部的特征参数	18.2	1.6	4.7	
Ψ_{JB} 结至电路板的特征参数	53.8	22.8	114.4	
$\theta_{JC(bottom)}$ 结至芯片外壳 (底部) 热阻	不可用	不可用	不可用	

(1) 有关传统和新的热 度量的更多信息，请参阅IC 封装热度量应用报告，[SPRA953](#)。

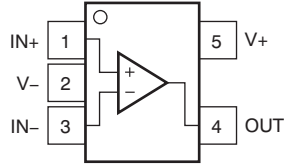
热性能信息：OPA4171

热度量 ⁽¹⁾	OPA4171		单位
	D (SO)	PW (TSSOP)	
	14 引脚	14 引脚	
θ_{JA} 结到环境热阻	93.2	106.9	°C/W
$\theta_{JC(top)}$ 结至芯片外壳 (顶部) 热阻	51.8	24.4	
θ_{JB} 结至电路板热阻	49.4	59.3	
Ψ_{JT} 结至顶部的特征参数	13.5	0.6	
Ψ_{JB} 结至电路板的特征参数	42.2	54.3	
$\theta_{JC(bottom)}$ 结至芯片外壳 (底部) 热阻	不可用	不可用	

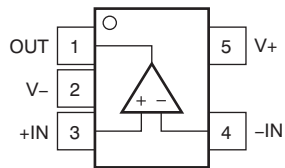
(1) 有关传统和新的热 度量的更多信息，请参阅IC 封装热度量应用报告，[SPRA953](#)。

引脚配置

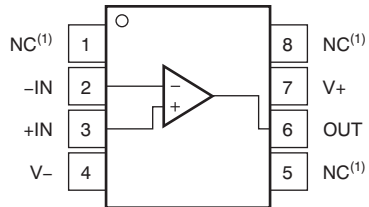
**DRL 封装: OPA171
SOT-553
(顶视图)**



**DBV 封装: OPA171
小外形尺寸晶体管封装 (SOT) 23-5
(顶视图)**

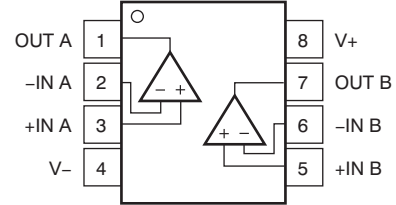


**D 封装: OPA171
SO-8
(顶视图)**

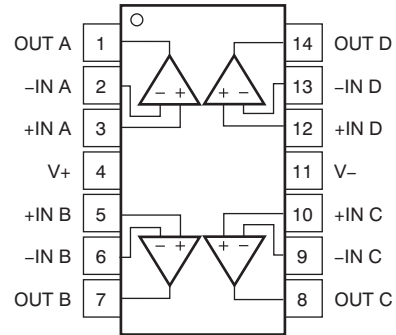


(1) 无内部连接。

**D, DCU 和 DGK 封装: OPA2171
SO-8, VSSOP-8, 和 MSOP-8
(顶视图)**



**D 和 PW 封装: OPA4171
SO-14 和 TSSOP-14
(顶视图)**



典型特征
Table 1. 特征性能测量

说明	图表
偏移电压产品分布	Figure 1
偏移电压漂移分布	Figure 2
偏移电压与温度间的关系	Figure 3
偏移电压与共模电压间的关系	Figure 4
偏移电压与共模电压间的关系（前级）	Figure 5
偏移电压与电源间的关系	Figure 6
I_B 和 I_{OS} 与共模电压间的关系	Figure 7
输入偏置电流与温度的关系	Figure 8
输出电压摆幅与输出电流间的关系（最大电源）	Figure 9
CMRR 和 PSRR 与频率间的关系（以输入为基准）	Figure 10
CMRR 与温度间的关系	Figure 11
PSRR 与温度间的关系	Figure 12
0.1Hz 至 10Hz 噪声	Figure 13
输入电压噪声频谱密度与频率间的关系	Figure 14
THD+N 比与频率间的关系	Figure 15
THD+N 与输出摆幅间的关系	Figure 16
静态电流与温度间的关系	Figure 17
静态电流与电源电压间的关系	Figure 18
开环增益和相位与频率间的关系	Figure 19
闭环增益与频率间的关系	Figure 20
开环增益与温度间的关系	Figure 21
开环输出阻抗与频率间的关系	Figure 22
小信号过冲与电容负载间的关系（100mV 输出阶跃）	Figure 23, Figure 24
无相位反转	Figure 25
正过载恢复	Figure 26
负过载恢复	Figure 27
小信号阶跃响应 (100mV)	Figure 28, Figure 29
大信号阶跃响应	Figure 30, Figure 31
大信号稳定时间（10V 正阶跃）	Figure 32
大信号稳定时间（10V 负阶跃）	Figure 33
短路电流与温度间的关系	Figure 34
最大输出电压与频率间的关系	Figure 35
通道分离与频率间的关系	Figure 36

典型特征

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 被连接至 $V_S/2$, 和 $C_L = 100pF$, 除非另外注明。

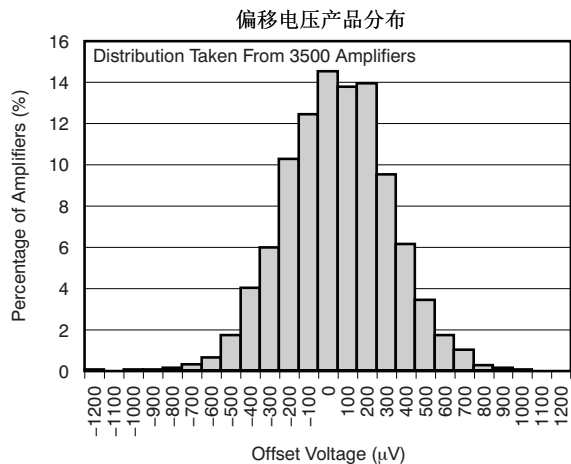


Figure 1.

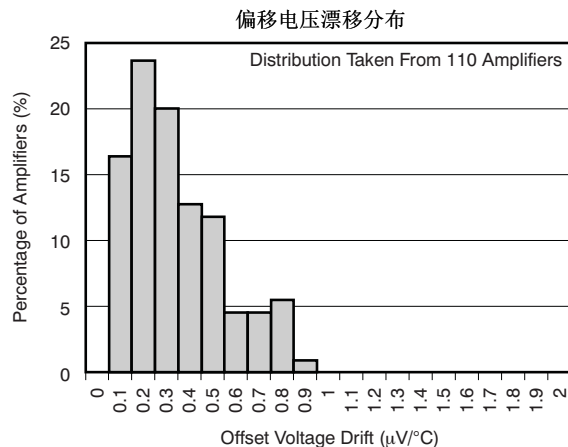


Figure 2.

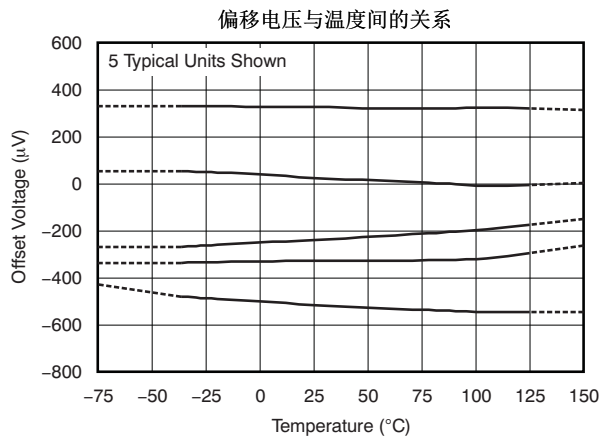


Figure 3.

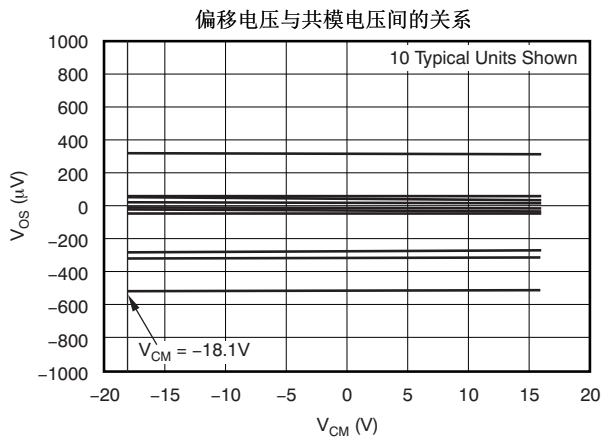


Figure 4.

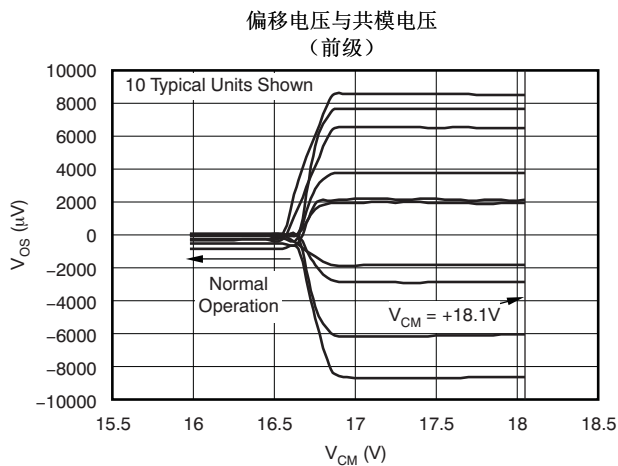


Figure 5.

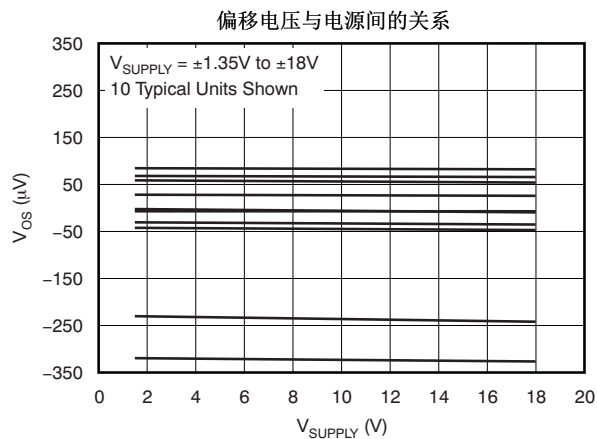


Figure 6.

典型特征 (continued)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 被连接至 $V_S/2$, 和 $C_L = 100pF$, 除非另外注明。

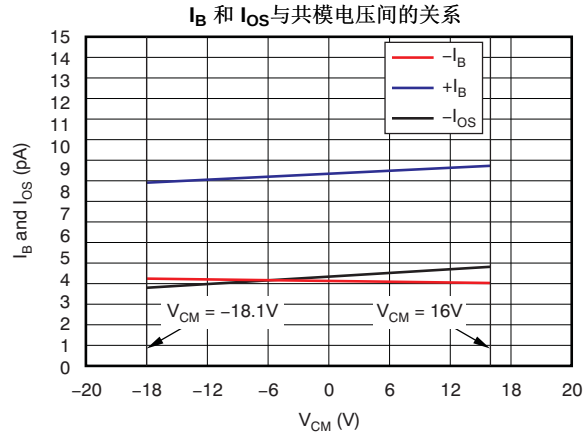


Figure 7.

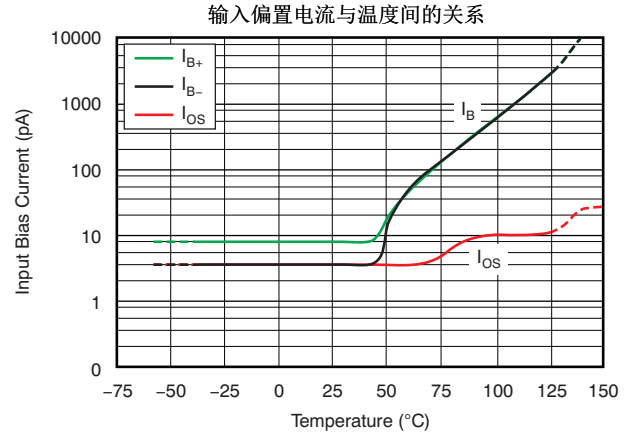


Figure 8.

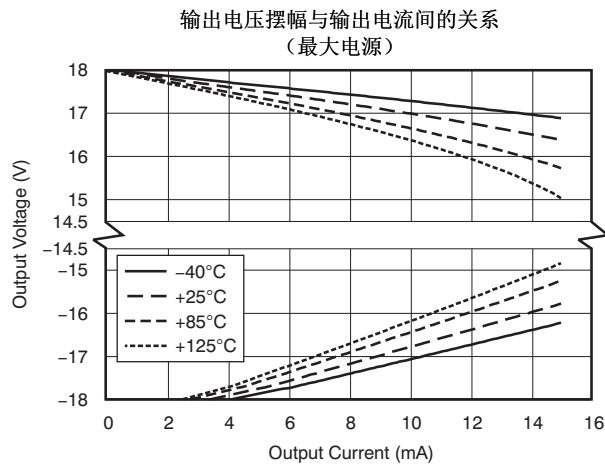


Figure 9.

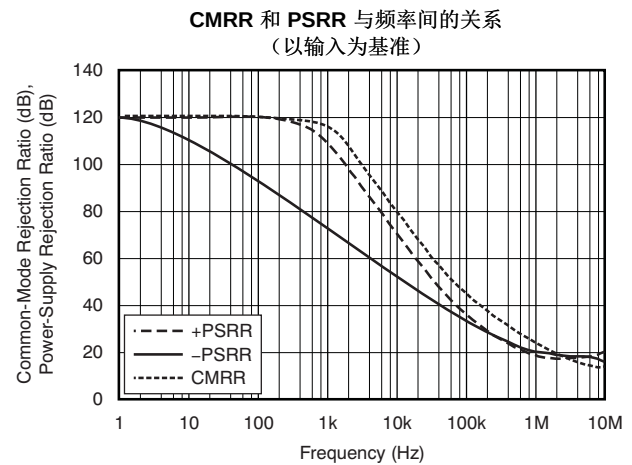


Figure 10.

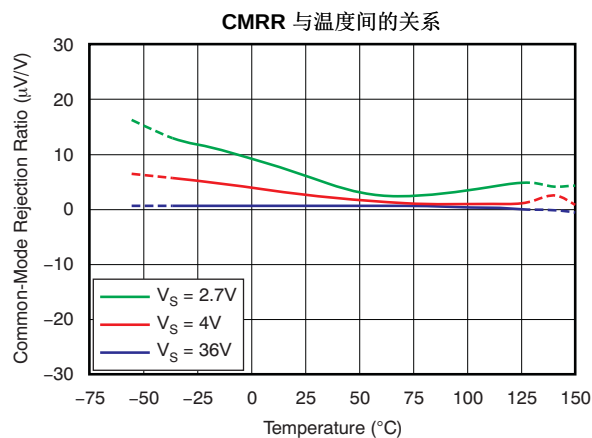


Figure 11.

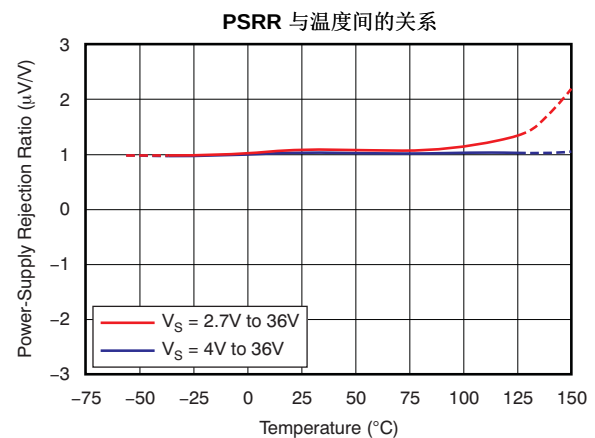


Figure 12.

典型特征 (continued)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 被连接至 $V_S/2$, 和 $C_L = 100pF$, 除非另外注明。

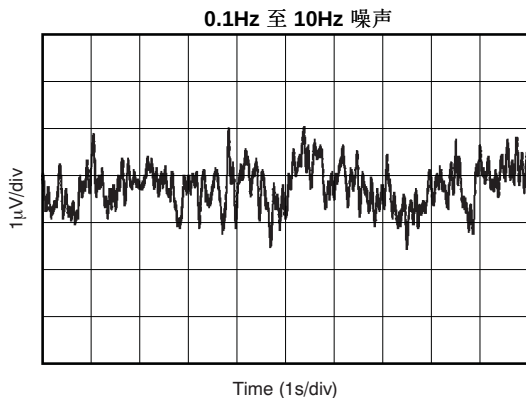


Figure 13.

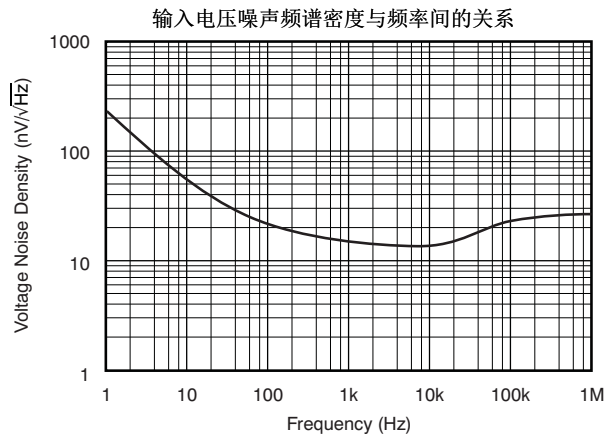


Figure 14.

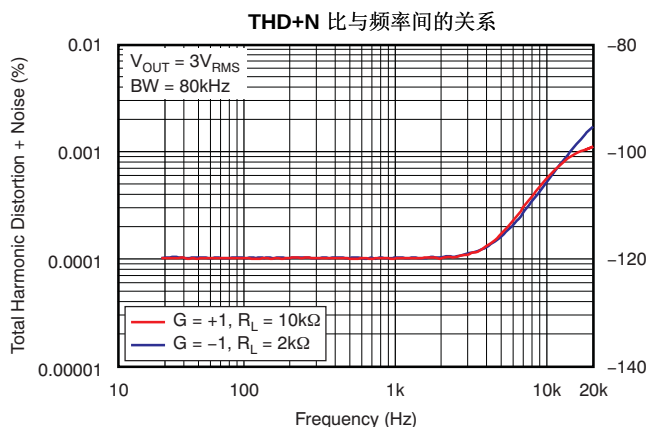


Figure 15.

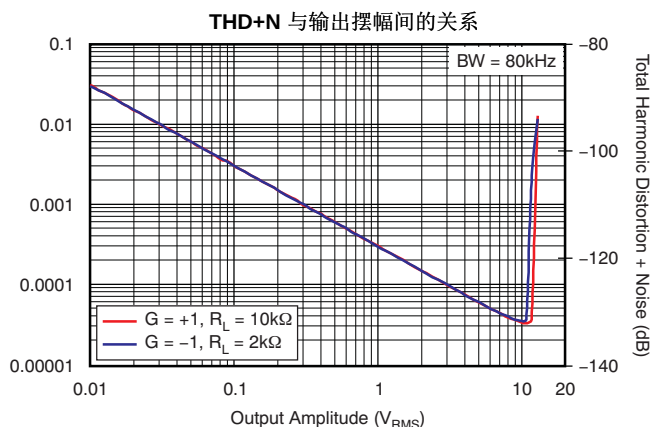


Figure 16.

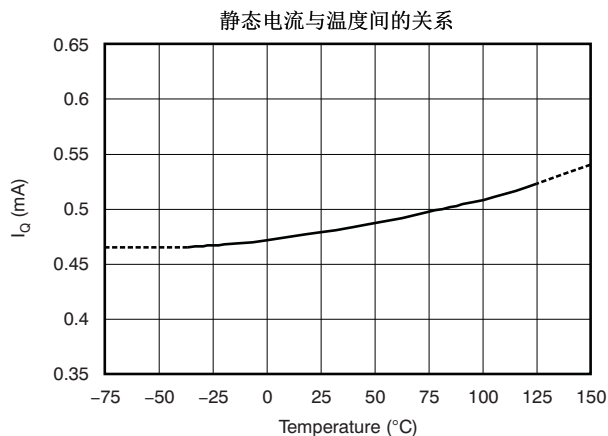


Figure 17.

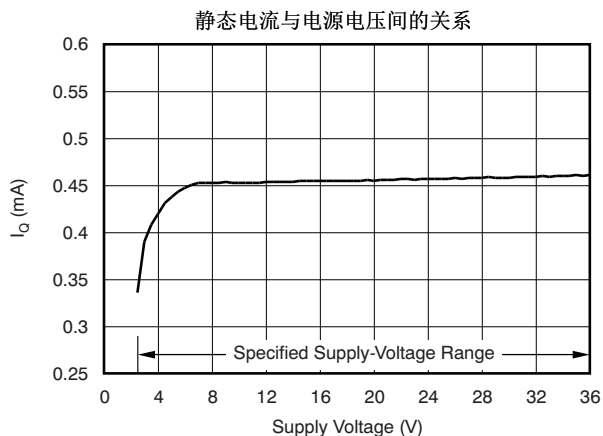


Figure 18.

典型特征 (continued)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 被连接至 $V_S/2$, 和 $C_L = 100pF$, 除非另外注明。

开环增益和相位与频率间的关系

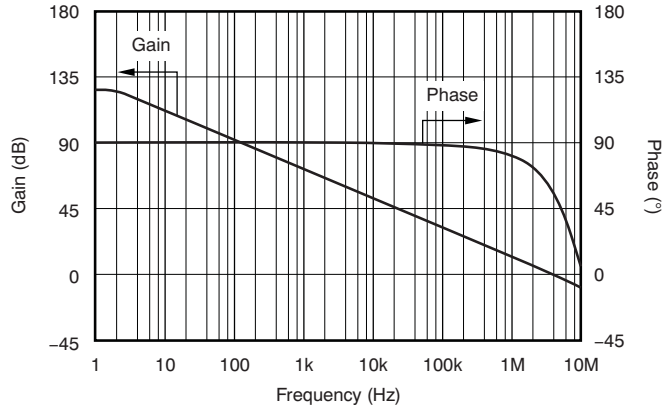


Figure 19.

闭环增益与频率间的关系

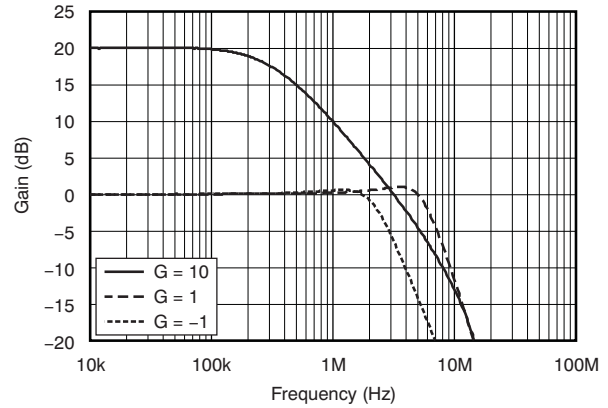


Figure 20.

开环增益与温度间的关系

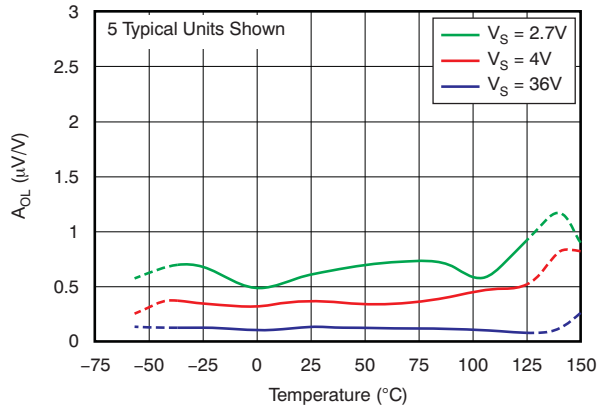


Figure 21.

开环输出阻抗与频率间的关系

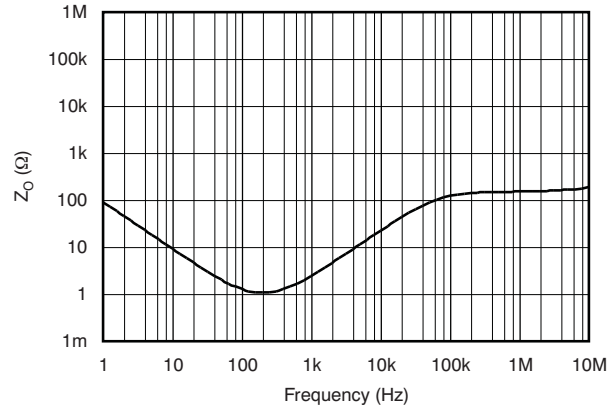


Figure 22.

小信号过冲与电容负载间的关系
(100mV 输出阶跃)

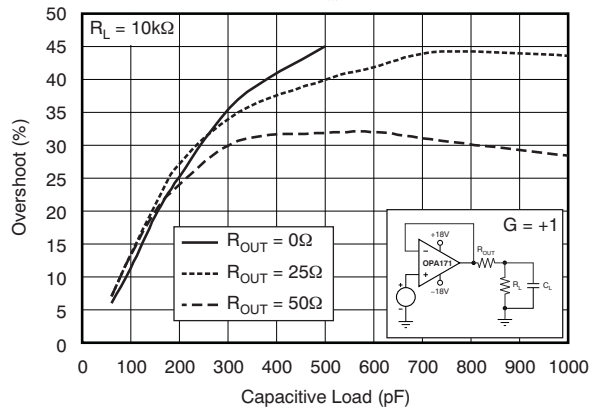


Figure 23.

小信号过冲与电容负载间的关系
(100mV 输出阶跃)

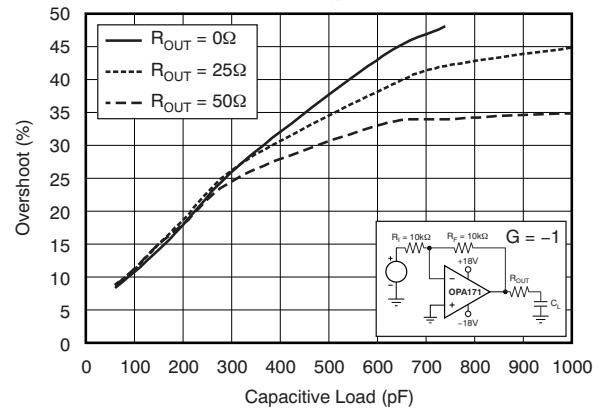


Figure 24.

典型特征 (continued)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 被连接至 $V_S/2$, 和 $C_L = 100pF$, 除非另外注明。

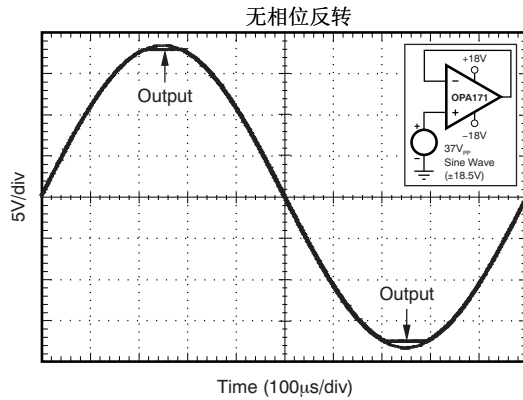


Figure 25.

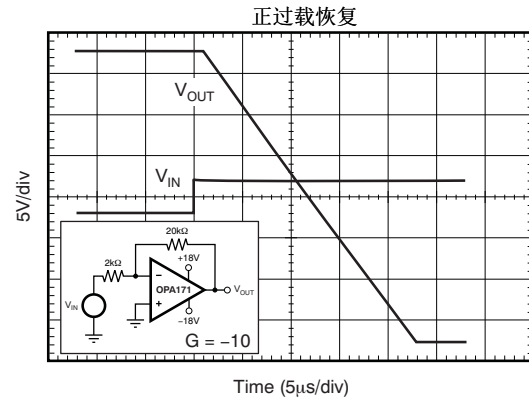


Figure 26.

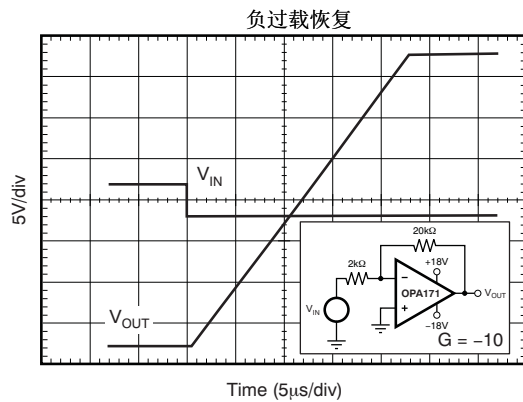


Figure 27.

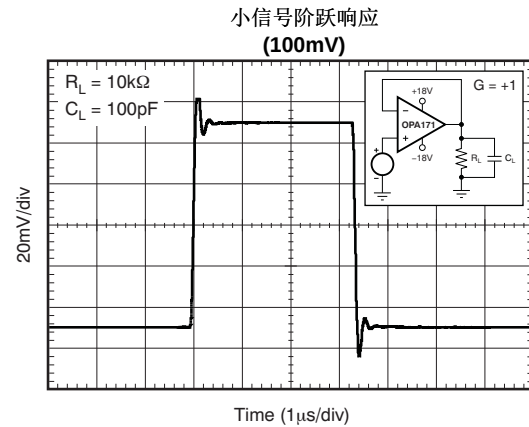


Figure 28.

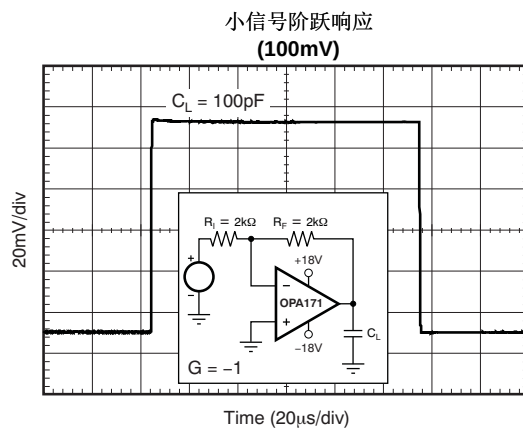


Figure 29.

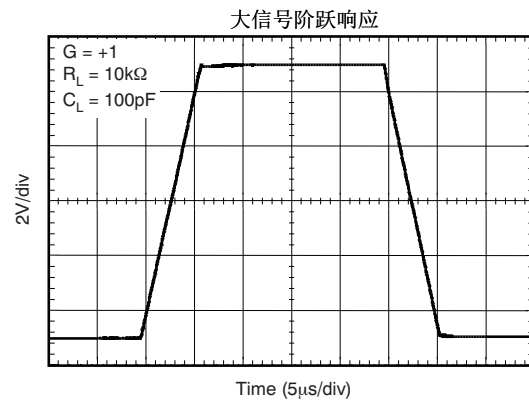


Figure 30.

典型特征 (continued)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 被连接至 $V_S/2$, 和 $C_L = 100pF$, 除非另外注明。

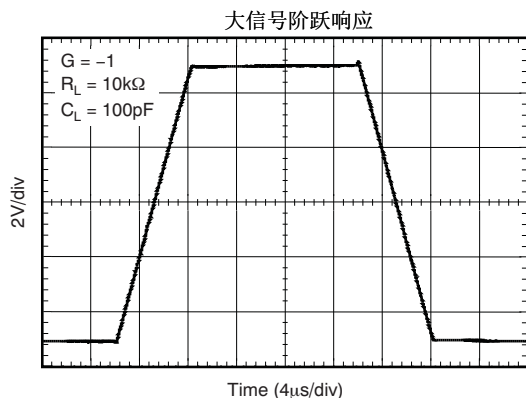


Figure 31.

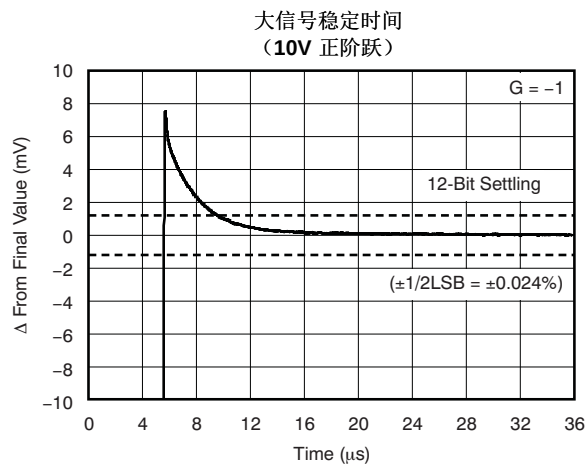


Figure 32.

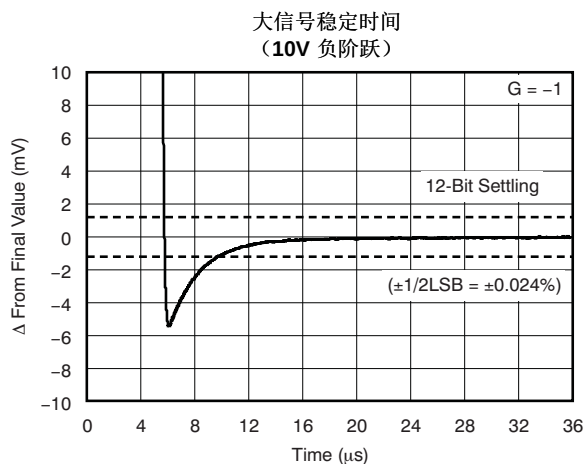


Figure 33.

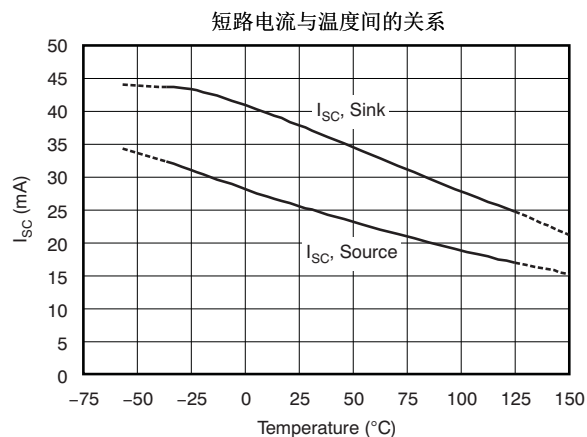


Figure 34.

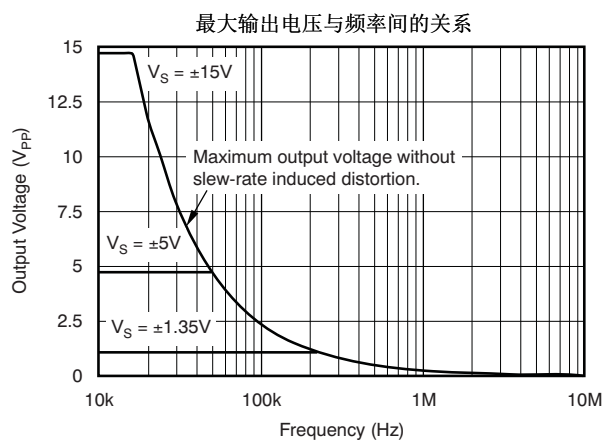


Figure 35.

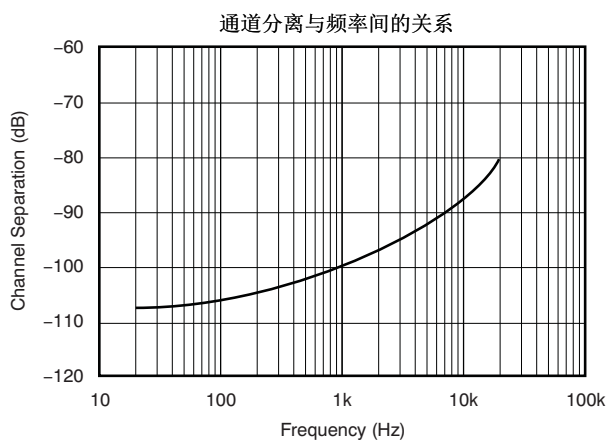


Figure 36.

应用信息

OPAx171 系列运算放大器提供较高的总体性能，从而非常适合于很多通用应用。只有 $2\mu\text{V}/^\circ\text{C}$ 的出色偏移漂移在整个温度范围内提供极佳的稳定性。此外，此器件提供具有高 CMRR, PSRR 和 A_{OL} 的极佳性能。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下， $0.1\mu\text{F}$ 已足够满足需求。

工作特性

OPAx171 系列放大器额定运行电压介于 2.7V 与 36V ($\pm 1.35\text{V}$ 至 $\pm 18\text{V}$) 之间。大多数技术规格在 -40°C 至 $+125^\circ\text{C}$ 温度范围内适用。会随工作电压或温度发生明显变化的参数显示在 **典型特征** 中。

常用布局布线指南

为了实现器件的最佳运算性能，建议使用设计合理的印刷电路板 (PCB) 布局布线做法。低损耗， $0.1\mu\text{F}$ 旁路电容器应该被连接在每个电源引脚和接地之间，尽可能地靠近器件。一个从 $V+$ 到接地的单一旁路电容器适用于单电源应用。

共模电压范围

为了实现正常运转，OPAx171 系列的输入共模电压范围向下扩展至低于负电源轨 100mV 并且在正电源轨上下 2V 之内。

这个器件可在正电源轨之上 100mV 的满轨到轨输入上运行，但是在正电源轨上下 2V 之内运行时性能会受到影响。Table 2 中汇总了这个范围内的典型性能。

相位反转保护

OPAx171 系列有一个内部相位反转保护。当输入被驱动至超过其线性共模范围时，很多运算放大器表现出一个相位反转。这个情况经常出现在输入被驱动至超过额定共模电压范围的时候，从而导致输出反向进入相对的电源轨。OPAx171 的输入用额外的共模电压来防止相位反转。或者，输出限制至适当的电源轨。

Figure 37 中显示了这个性能。

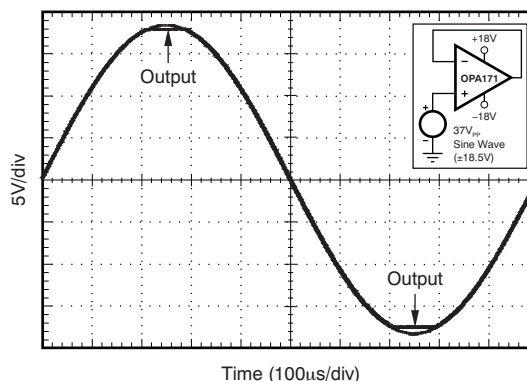


Figure 37. 无相位反转

Table 2. 无相位反转

参数	最小值	典型值	最大值	单位
输入共模电压	$(V+)-2$		$(V+)+0.1$	V
偏移电压		7		mV
与温度间的关系		12		$\mu\text{V}/^\circ\text{C}$
共模抑制		65		dB
开环增益		60		dB
GBW		0.7		MHz
电压转换速率		0.7		V/ μs
f=1kHz 时的噪声		30		nV/ $\sqrt{\text{Hz}}$

电容负载和稳定性

已针对常见工作条件对 OPAx170 的动态特征进行了优化。低闭环增益和高电容负载的组合减少了放大器的相位裕量并可能导致增益泄漏或振荡。因此，必须将更高的电容负载从输出上隔离开。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 50Ω 的 R_{OUT} ）。Figure 38 和 Figure 39 图示了小信号过冲与电容负载间针对几个 R_{OUT} 值的关系图。此外，详细分析技巧和应用电路请参考应用期刊 AB-028 (SBOA015)，此文件可从 TI 网站内下载。

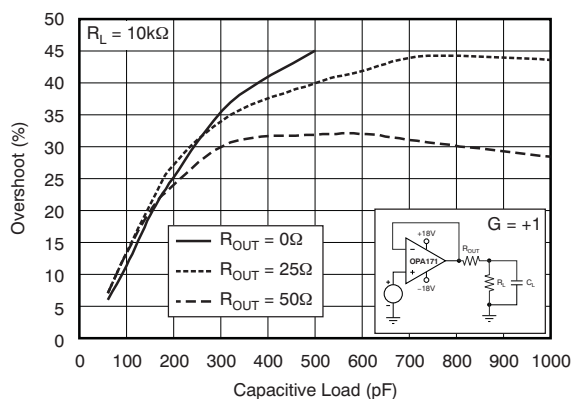


Figure 38. 小信号过冲与电容负载间的关系（100mV 输出阶跃）

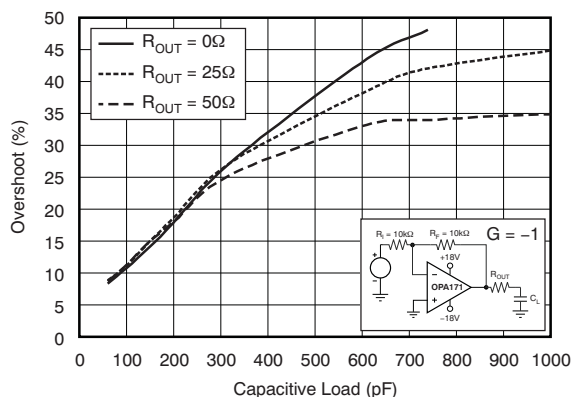


Figure 39. 小信号过冲与电容负载间的关系（100mV 输出阶跃）

电气过应力

设计人员经常会问到关于运算放大器耐受电气过应力的能力的问题。这些问题往往侧重于器件输入，但是却常常涉及到电源电压引脚。

或者甚至涉及输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气应力限值。此外，这些电路有内置的内部静电放电 (ESD) 保护来在产品组装之前和组装过程中保护此电路不受意外的 ESD 事件的影响。

只要电流如绝对最大额定值中所述被限制在 10mA，这些 ESD 保护二极管还提供电路内、输入过驱保护。Figure 40 显示了一个可被添加到被驱动输入上来限制输入电流的串联输入电阻器。这个被添加的电阻器会增加放大器输入上的热噪声，而在噪声敏感应用中需要将其值保持在最小水平上。

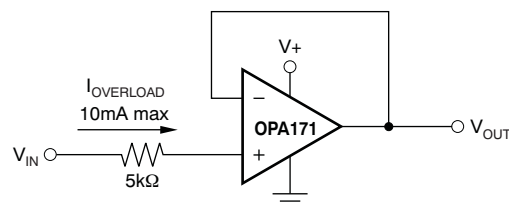


Figure 40. 输入电流保护

一个 ESD 事件产生一个持续时间短、高电压脉冲，此脉冲在它经半导体器件放电时被转变成一个持续时间短、高电流脉冲。ESD 保护电路被设计成用来运算放大器周围的电流路径来防止其被损坏。然后此保护电路吸收的能量以发热的形式被散发出来。

当运算放大器连接到一个电路时，ESD 保护组件将保持在未激活状态并且不会参与应用电路运行。然而，当施加的电压超过一个指定引脚的工作电压范围时，问题情况有可能会发生。如果这个情况出现，会存在一定的风险，某些内部 ESD 保护电路有可能被偏置而传导电流。此类电流都由 ESD 单元产生并且很少涉及吸收器件。

如果不能确定电源对于这个电流的吸收能力，可将齐纳二极管添加到电源引脚上。此齐纳二极管的电压是可选的，这样二极管就不会在正常运行期间打开。

然而，它的齐纳二极管电压应该足够低，这样才能使这个齐纳二极管在电源引脚电压开始上升到高于安全工作电源电压电平时导通。

修订历史记录

注意：前一修订版的页码可能与当前版本的页码不同。

Changes from Revision C (June 2011) to Revision D	Page
• 在标题中增加了“价值线系列”	1
Changes from Revision B (November 2010) to Revision C	Page
• 在器件图中添加了 MSOP-8 封装	1
• 在特性着重号中添加了 MSOP-8 封装	1
• 在产品系列表中添加了 MSOP-8 封装	1
• 在封装/订购信息表中增加了 MSOP-8 封装	2
• 从封装/订购信息表中的 OPA4171 封装标记中删除了后缀'A'	2
• 增加了自电源轨参数的电压输出摆幅行到电气特性的输出部分	3
• 在电气特性	3
• Updated format of thermal information tables	4
• Added MSOP-8 package to OPA2171 Thermal Information table	4
• 更新了针对 OPA2171 和 OPA4171 的引脚分配配置	5
• 已更改 Figure 9	8
Changes from Revision A (November, 2010) to Revision B	Page
• Changed 输入偏移电压技术规格	3
• Changed 输入偏移电压，在温度技术规格内	3
• Changed 每个放大器的静态电流，温度技术规格范围内	3

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA171AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A	Samples
OPA171AIDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI	Samples
OPA171AIDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI	Samples
OPA171AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A	Samples
OPA171AIDRLR	ACTIVE	SOT-5X3	DRL	5	4000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	DAP	Samples
OPA171AIDRLT	ACTIVE	SOT-5X3	DRL	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	DAP	Samples
OPA2171AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A	Samples
OPA2171AIDCUR	ACTIVE	VSSOP	DCU	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC	Samples
OPA2171AIDCUT	ACTIVE	VSSOP	DCU	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC	Samples
OPA2171AIDGK	ACTIVE	VSSOP	DGK	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI	Samples
OPA2171AIDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI	Samples
OPA2171AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A	Samples
OPA4171AID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171	Samples
OPA4171AIDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171	Samples
OPA4171AIPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171	Samples
OPA4171AIPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171	Samples

⁽¹⁾ The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA171, OPA2171, OPA4171 :

- Automotive: [OPA171-Q1](#), [OPA2171-Q1](#), [OPA4171-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA171AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDBVT	SOT-23	DBV	5	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA171AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA171AIDRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA171AIDRLT	SOT-5X3	DRL	5	250	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA2171AIDCUR	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDCUT	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2171AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4171AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4171AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

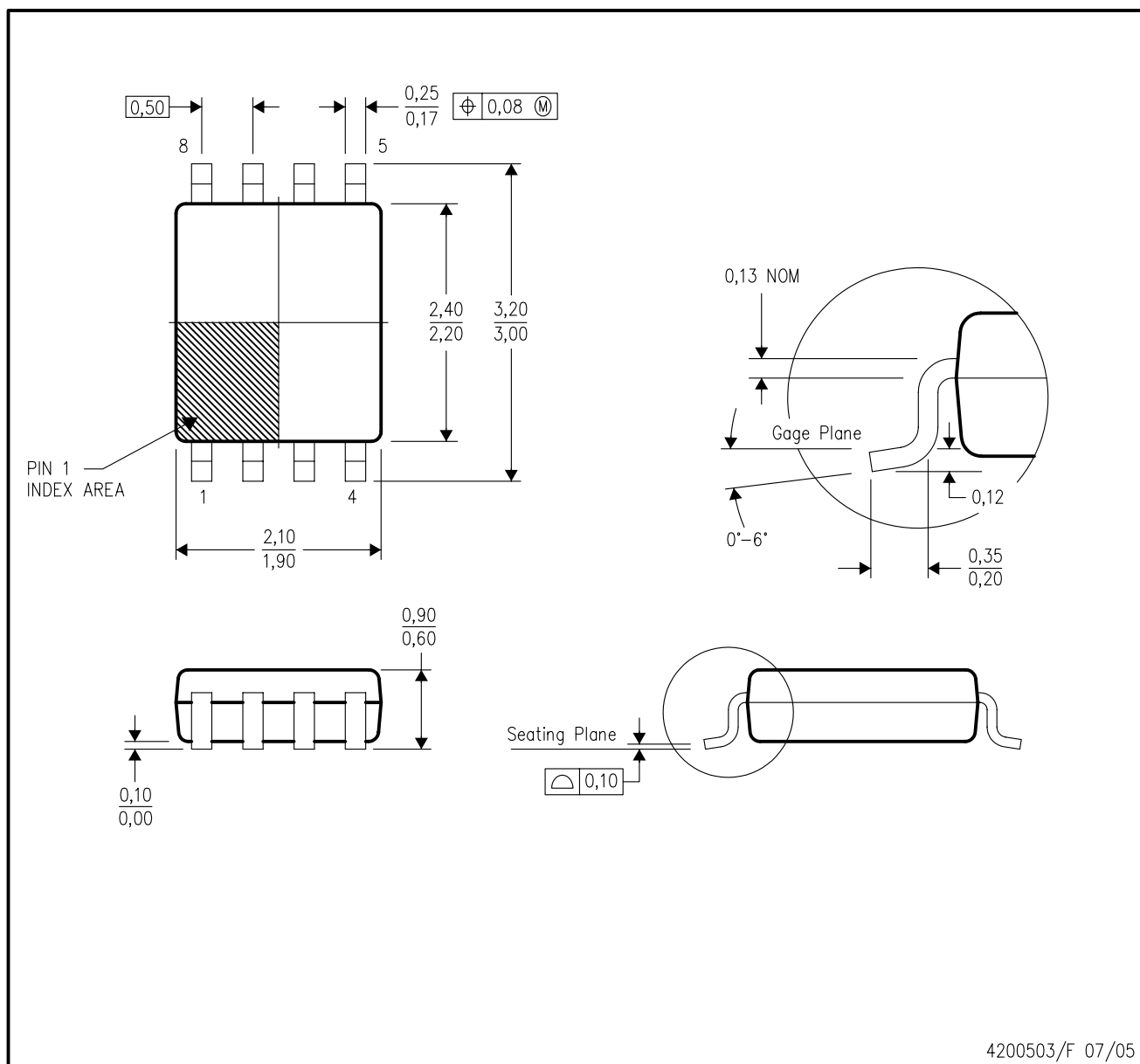


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA171AIDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA171AIDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA171AIDBVT	SOT-23	DBV	5	250	195.0	200.0	45.0
OPA171AIDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA171AIDRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
OPA171AIDRLT	SOT-5X3	DRL	5	250	202.0	201.0	28.0
OPA2171AIDCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
OPA2171AIDCUT	VSSOP	DCU	8	250	202.0	201.0	28.0
OPA2171AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2171AIDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA4171AIDR	SOIC	D	14	2500	367.0	367.0	38.0
OPA4171AIPWR	TSSOP	PW	14	2000	367.0	367.0	35.0

DCU (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE (DIE DOWN)

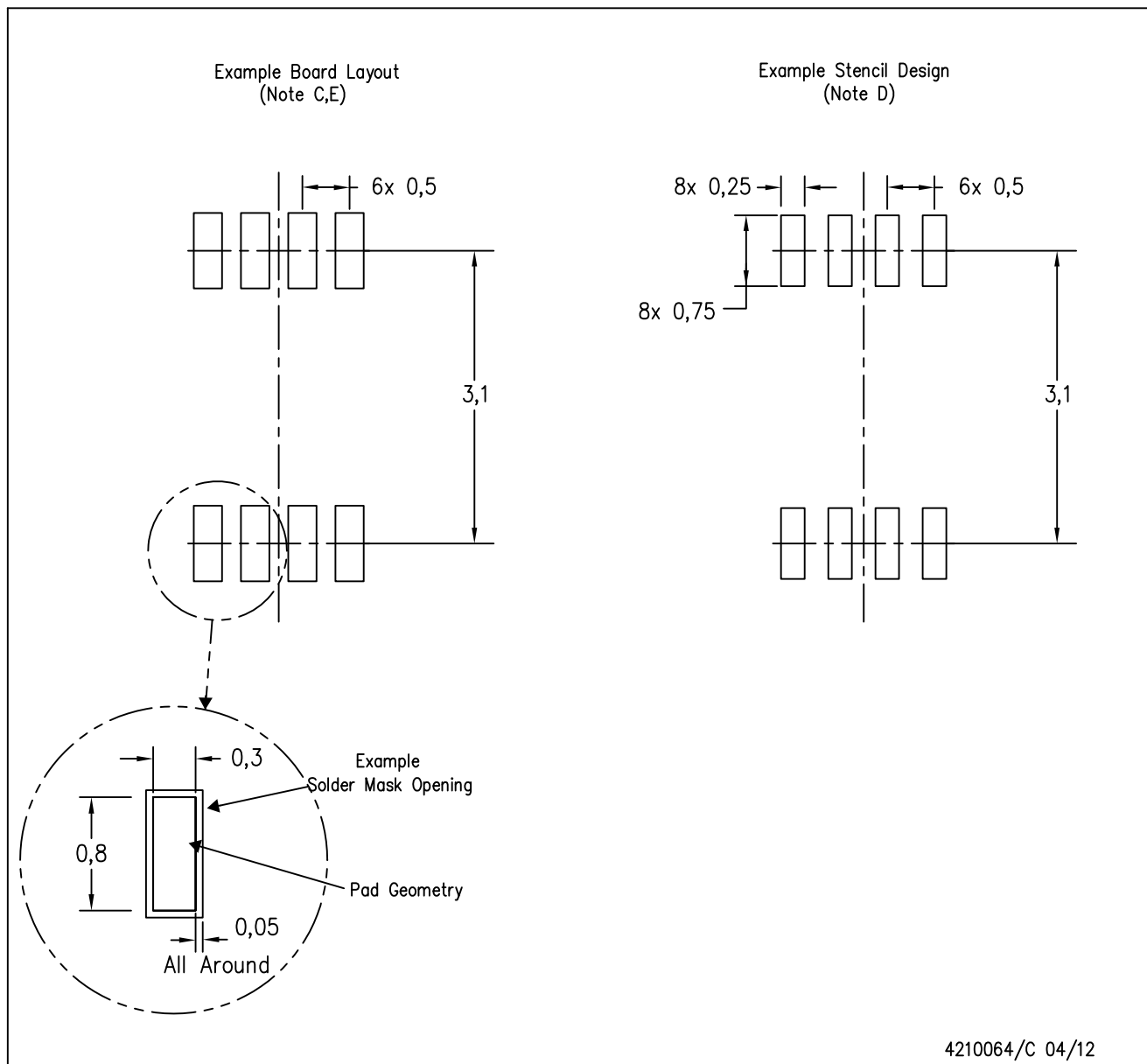


NOTES:

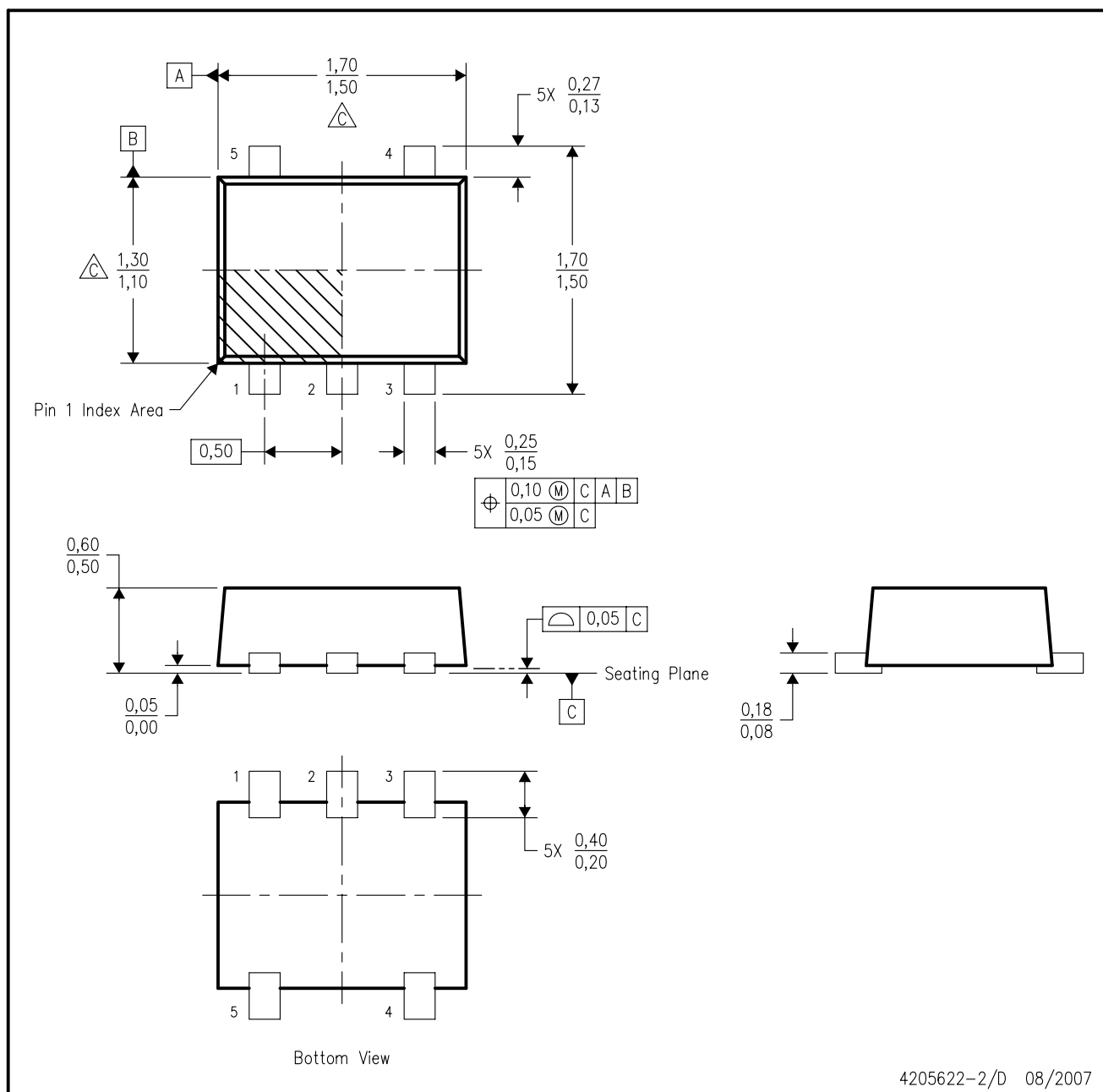
- All linear dimensions are in millimeters.
- This drawing is subject to change without notice.
- Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
- Falls within JEDEC MO-187 variation CA.

DCU (S-PDSO-G8)

PLASTIC SMALL OUTLINE PACKAGE (DIE DOWN)



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



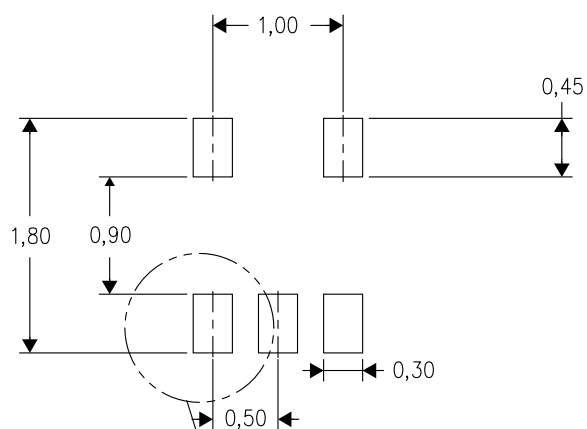
4205622-2/D 08/2007

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash, interlead flash, protrusions, or gate burrs. Mold flash, interlead flash, protrusions, or gate burrs shall not exceed 0,15 per end or side.
 - D. JEDEC package registration is pending.

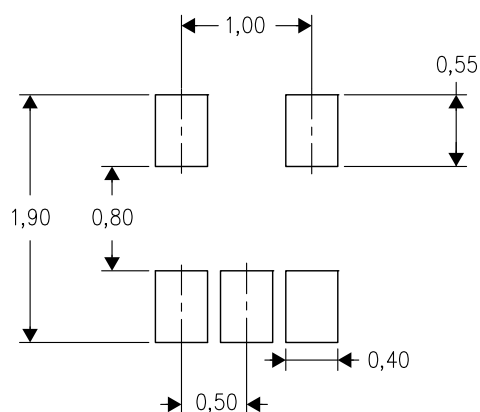
DRL (R-PDSO-N5)

PLASTIC SMALL OUTLINE

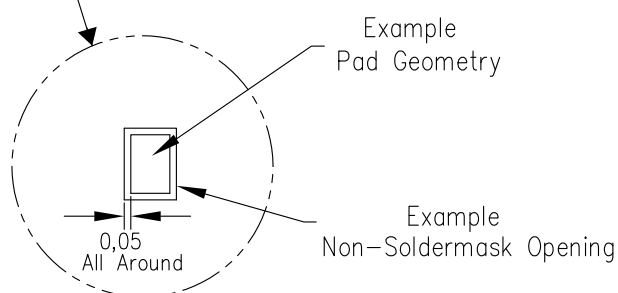
Example Board Layout



Example Stencil Design
(Note E)



Example
Non-Soldermask Defined Pad



4208207-2/E 06/12

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
 - E. Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
 - F. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - G. Side aperture dimensions over-print land for acceptable area ratio > 0.66. Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040047-5/M 06/11

NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

PW (R-PDSO-G14)

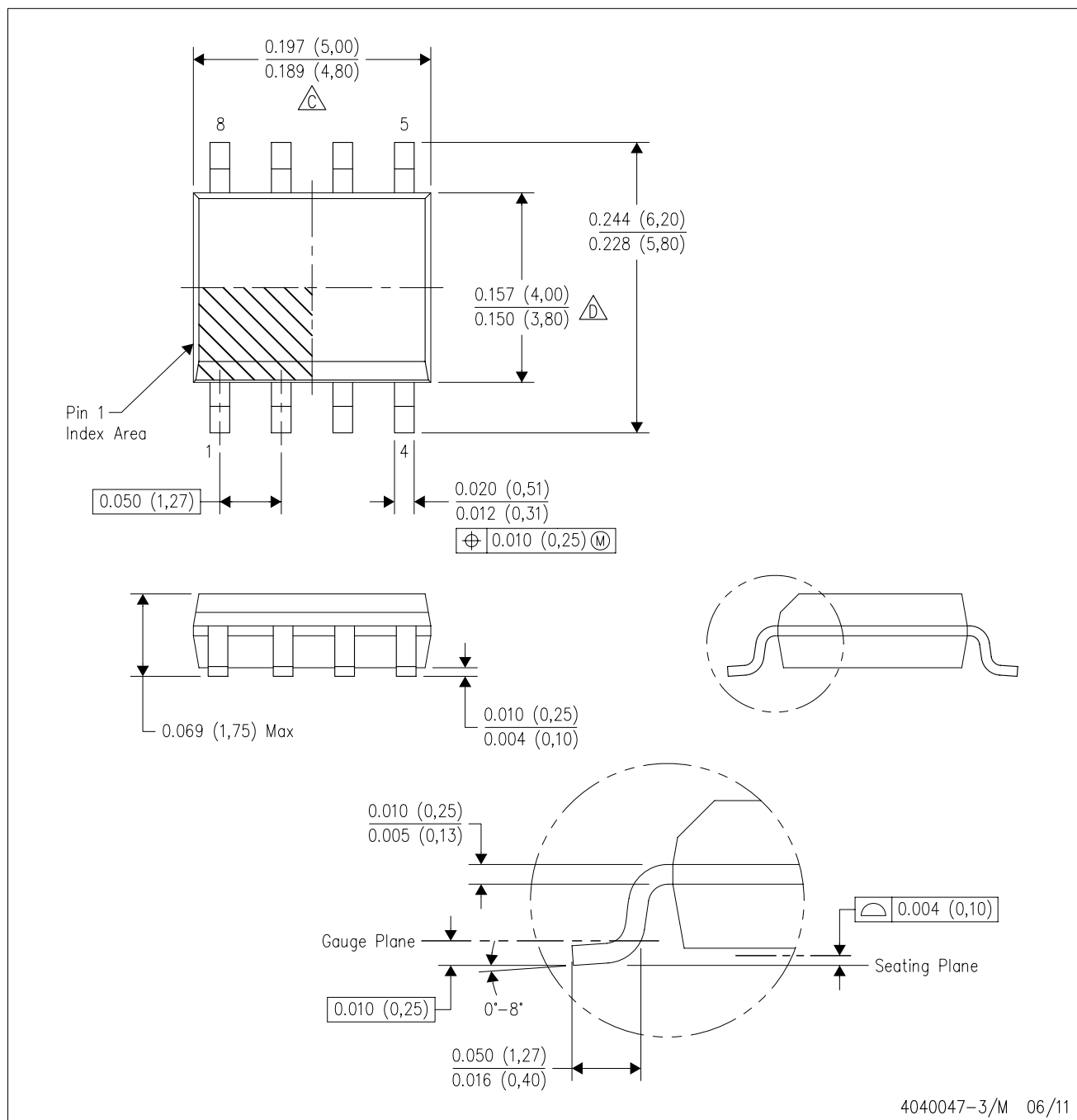
PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AA.

D (R-PDSO-G8)

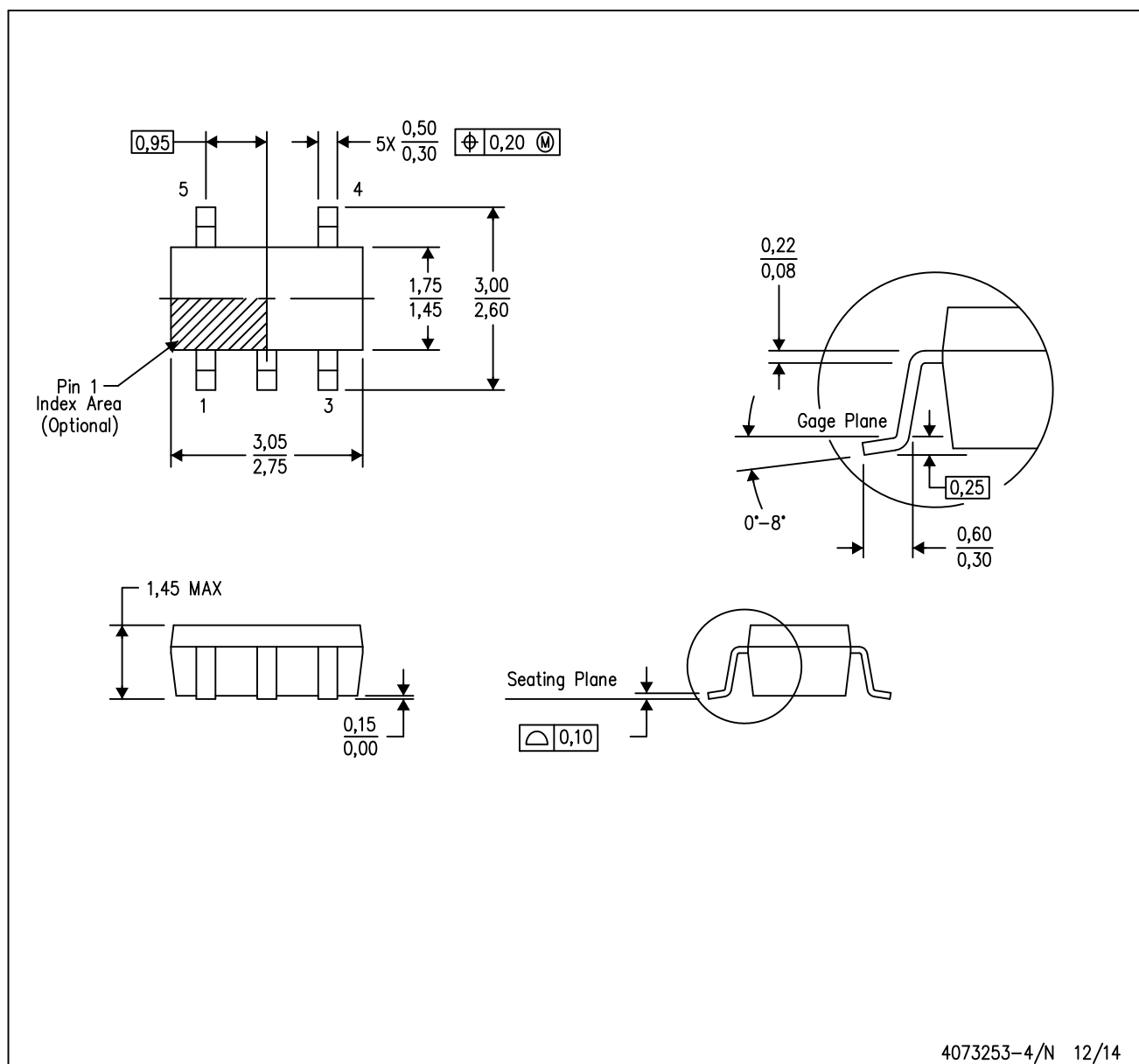
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DBV (R-PDSO-G5)

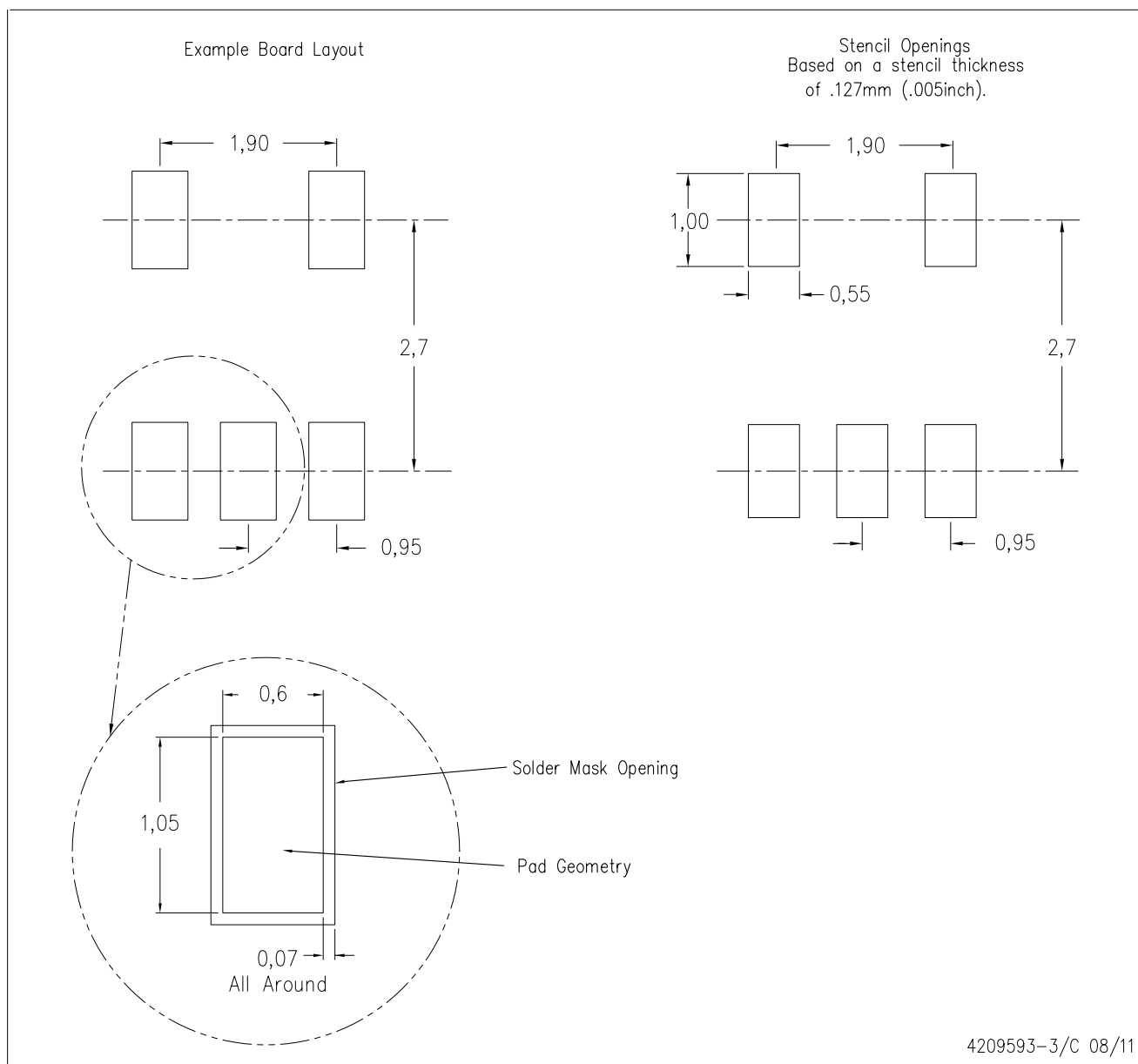
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
 - Falls within JEDEC MO-178 Variation AA.

DBV (R-PDSO-G5)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - D. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

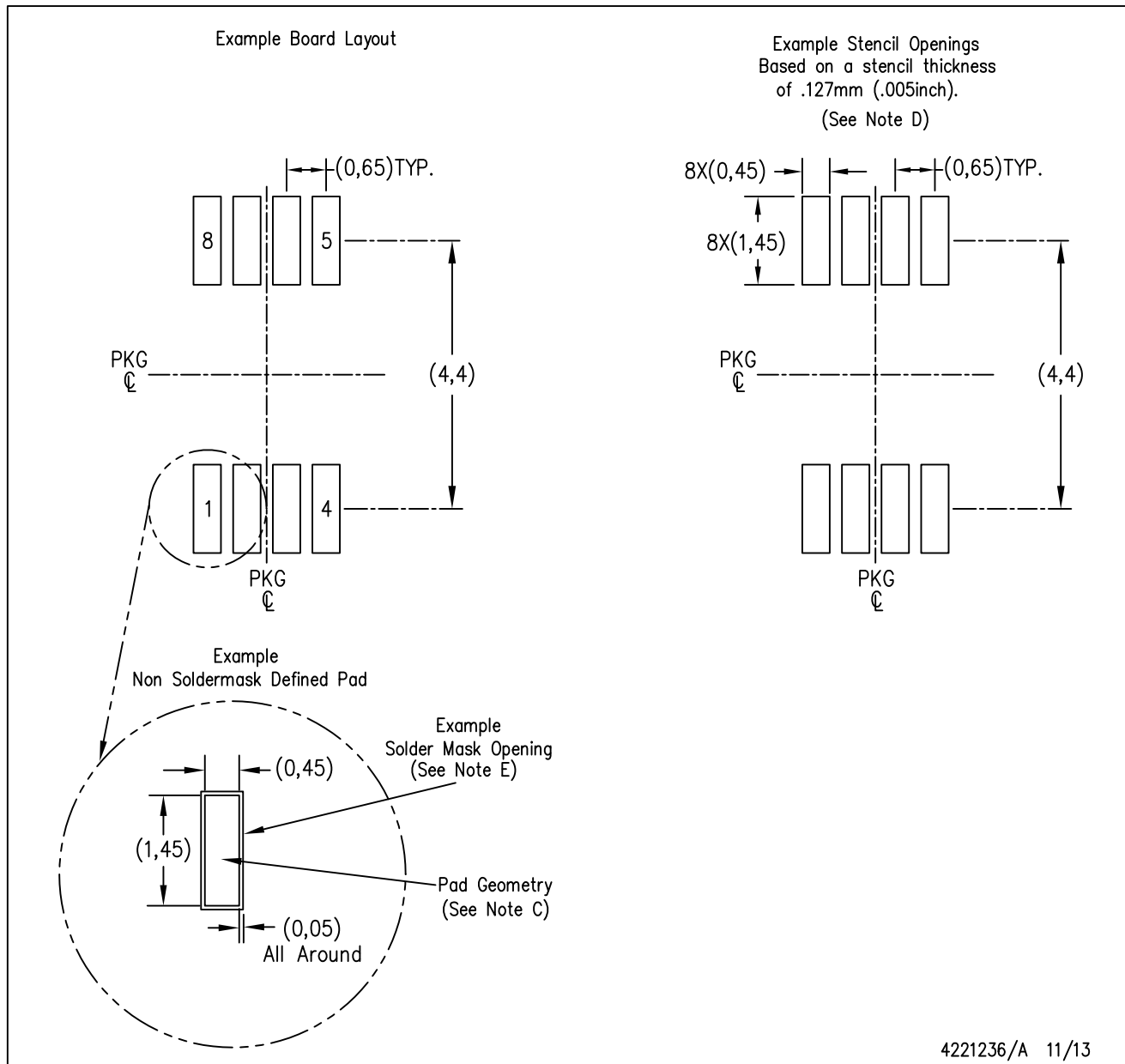


NOTES:

- A. All linear dimensions are in millimeters.
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
- E. Falls within JEDEC MO-187 variation AA, except interlead flash.

DGK (S-PDSO-G8)

PLASTIC SMALL OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明

德州仪器 (TI) 公司有权按照最新发布的 JESD46 对其半导体产品和服务进行纠正、增强、改进和其他修改，并不再按最新发布的 JESD48 提供任何产品和服务。买方在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。

TI 公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于 TI 已认证和批准上市的已封装集成电路产品的销售。另有其他条款可能适用于其他类型 TI 产品及服务的使用或销售。

复制 TI 数据表上 TI 信息的重要部分时，不得变更该等信息，且必须随附所有相关保证、条件、限制和通知，否则不得复制。TI 对该等复制文件不承担任何责任。第三方信息可能受到其它限制条件的制约。在转售 TI 产品或服务时，如果存在对产品或服务参数的虚假陈述，则会失去相关 TI 产品或服务的明示或暗示保证，且构成不公平的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

买方和在系统中整合 TI 产品的其他开发人员（总称“设计人员”）理解并同意，设计人员在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，及设计人员的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。设计人员就自己设计的应用声明，其具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。设计人员同意，在使用或分发包含 TI 产品的任何应用前，将彻底测试该等应用和该等应用中所用 TI 产品的功能。

TI 提供技术、应用或其他设计建议、质量特点、可靠性数据或其他服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用，如果设计人员（个人，或如果是代表公司，则为设计人员的公司）以任何方式下载、访问或使用任何特定的 TI 资源，即表示其同意仅为该等目标，按照本通知的条款使用任何特定 TI 资源。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

设计人员只有在开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等许可包括但不限于任何专利权、版权、屏蔽作品权或与其他 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。TI 不负任何责任，包括但不限于因组合产品所致或与之有关的申索，也不为或对设计人员进行辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

除 TI 已明确指出特定产品已达到特定行业标准（例如 ISO/TS 16949 和 ISO 26262）的要求外，TI 不对未达到任何该等行业标准要求而承担任何责任。

如果 TI 明确宣称产品有助于功能安全或符合行业功能安全标准，则该等产品旨在帮助客户设计和创作自己的符合相关功能安全标准和要求的的应用。在应用内使用产品的行为本身不会配有安全特性。设计人员必须确保遵守适用于其应用的相关安全要求和标准。设计人员不可将任何 TI 产品用于关乎性命的医疗设备，除非已由各方获得授权的管理人员签署专门的合同对此类应用专门作出规定。关乎性命的医疗设备是指出现故障会导致严重身体伤害或死亡的医疗设备（例如生命保障设备、心脏起搏器、心脏除颤器、人工心脏泵、神经刺激器以及植入设备）。此类设备包括但不限于，美国食品药品监督管理局认定为 III 类设备的设备，以及在美国以外的其他国家或地区认定为同等类别设备的所有医疗设备。

TI 可能明确指定某些产品具备某些特定资格（例如 Q100、军用级或增强型产品）。设计人员同意，其具备一切必要专业知识，可以为自己的应用选择适合的产品，并且正确选择产品的风险由设计人员承担。设计人员单方面负责遵守与该等选择有关的所有法律或监管要求。

设计人员同意向 TI 及其代表全额赔偿因其不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司