产品应用

无线、宽带通信
接收器
通信测试设备
雷达和卫星子系统
率放大器的线性化

产品特点

分辨率：14bit
采样率：250MSPS；
SNR 大于 65dB；
SFDR 大于 70dB；
功耗小于 0.45W
PIN 兼容 ADS4149 系列

产品描述

高速高精度 14 位 250MSPS A/D 转换器是采用 CMOS 工艺制造的单片集成电路，采样率最高可达 250 MSPS。该模数转换器利用新的设计方法在获得高的动态性能的同时，也能在 1.8V 的电源电压下获得超低功耗。它适用于多载波的宽带通信应用。

A/D 转换器的原理图。该电路主要包括多级流水线，输出驱动电路，内部基准产生电路、时钟稳定电路、控制逻辑、数字校正电路以及输出驱动电路等。

该电路采用 CMOS 工艺制造，48 引线封装（VQF48），该电路可相似替代美国 TI 公司的 ADS4149。

引脚配置

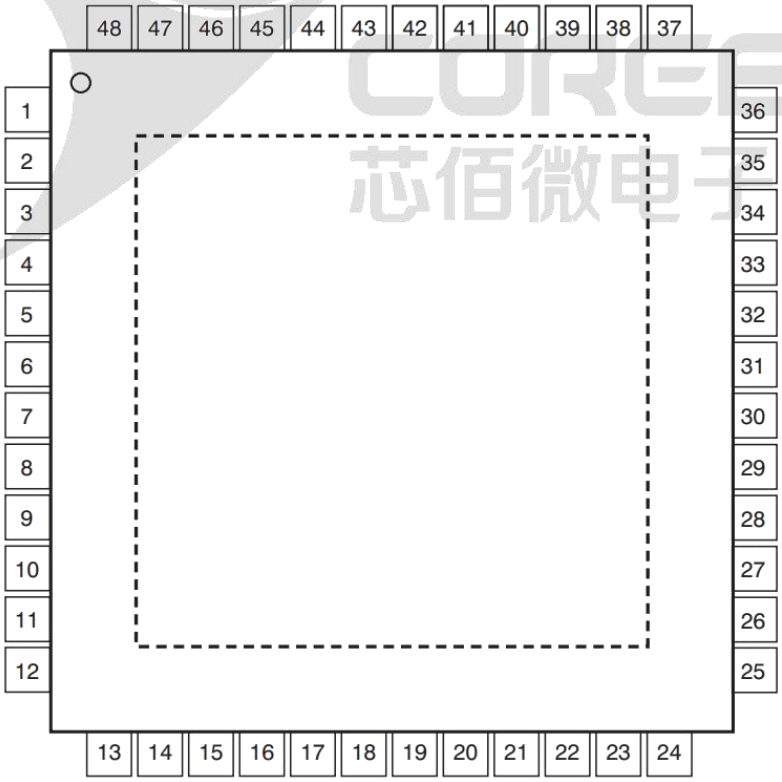


图 1.1　引脚配置图

Download from alldatasheet.com

引脚简述

引脚序号	符号	简述	引脚序号	符号	简述
1	GND_D	数字地	25	GND_A	模拟地
2	V_{DDD}	数字电源	26	V_{DDA}	模拟电源
3	Q_{OR}	溢出位	27	S_{EN}	串行接口使能
4	Q_{CLK+}	时钟输入正	28	S_{DATA}	串行接口数据输入
5	Q_{CLK-}	时钟输入负	29	S_{CLK}	串行接口时钟输入
6	DFS	输出数据格式	30	RESET	复位
7	OE	输出使能	31	DNC	悬空
8	V_{DDA}	模拟电源	32	DNC	悬空
9	GND_A	模拟地	33	D_{D0-}/D_{D1-}	D0、D1 输出负端
10	IN_{CLK+}	差分时钟输入正	34	D_{D0+}/D_{D1+}	D0、D1 输出正端
11	IN_{CLK-}	差分时钟输入负	35	V_{DDD}	数字电源
12	GND_A	模拟地	36	GND_D	数字地
13	V_{CM}	共模输出	37	D_{D2-}/D_{D3-}	D2、D3 输出负端
14	GND_A	模拟地	38	D_{D2+}/D_{D3+}	D2、D3 输出正端
15	IN+	差分模拟输入正	39	D_{D4-}/D_{D5-}	D4、D5 输出负端
16	IN-	差分模拟输入负	40	D_{D5+}/D_{D5+}	D4、D5 输出正端
17	GND_A	模拟地	41	D_{D6-}/D_{D7-}	D6、D7 输出负端
18	V_{DDA}	模拟电源	42	D_{D6+}/D_{D7+}	D6、D7 输出正端
19	GND_A	模拟地	43	D_{D8-}/D_{D9-}	D8、D9 输出负端
20	V_{DDA}	模拟电源	44	D_{D8+}/D_{D9+}	D8、D9 输出正端
21	DNC	悬空	45	D_{D10-}/D_{D11-}	D10、D11 输出负端
22	V_{DDA}	模拟电源	46	D_{D10+}/D_{D11+}	D10、D11 输出正端
23	DNC	备用	47	D_{D12-}/D_{D13-}	D12、D13 输出负端
24	V_{DDA}	模拟电源	48	D_{D12+}/D_{D13+}	D12、D13 输出正端

图 1.2　引脚简述

Download from alldatasheet.com

功能框图及定时特性

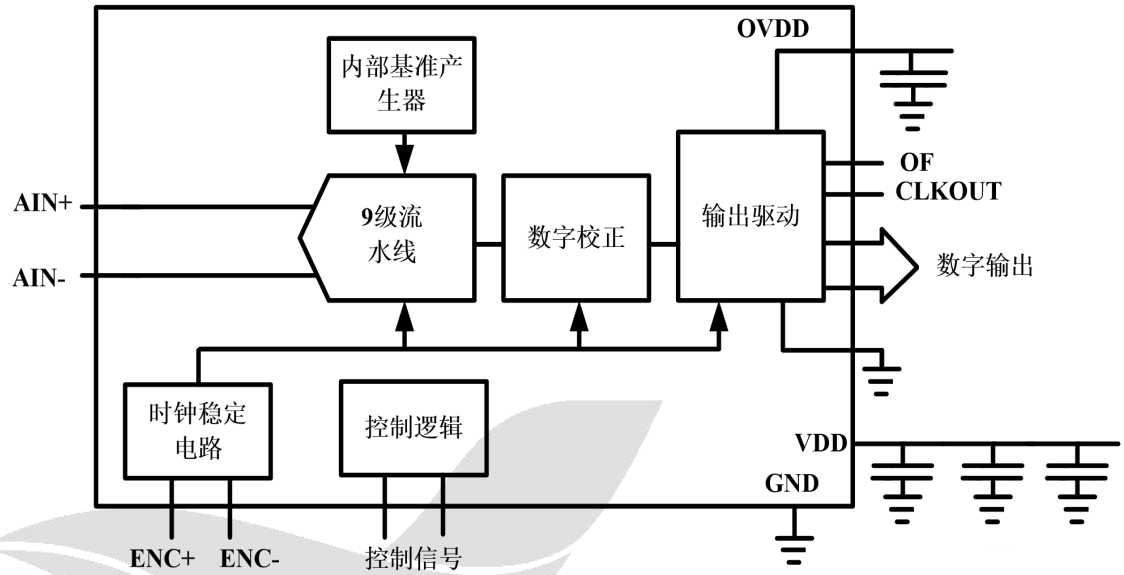


图 1.3　功能框图

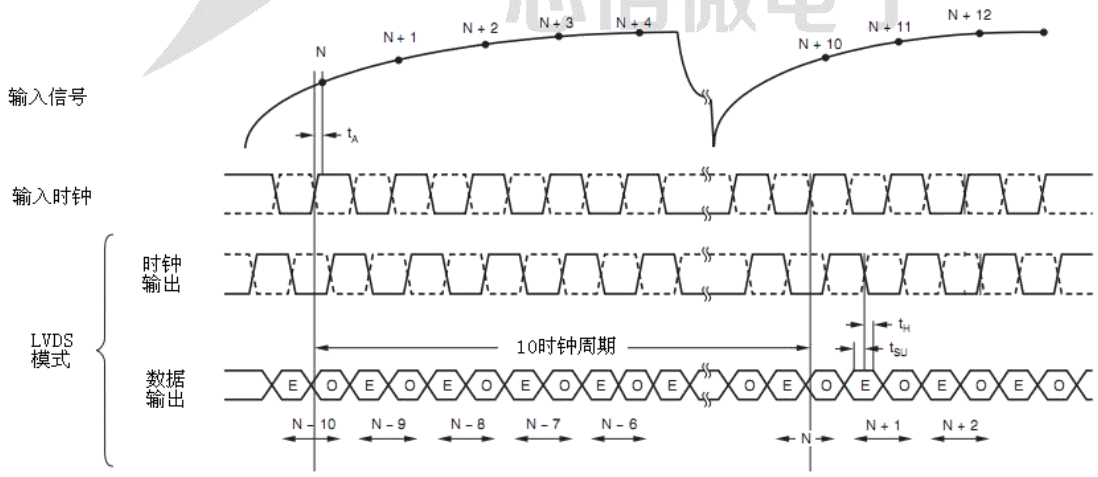


图 1.4　定时特性

Download from alldatasheet.com

性能参数

参数	测试条件	14 位 250MHz ADC			单位
		最小值	典型值	最大值	
分辨率	-	14			Bit
SNR	f_{CLK}=250MHz, f_{IN}=30MHz	69	71	-	dBFS
	f_{CLK}=250MHz, f_{IN}=70MHz	68	70	-	
	f_{CLK}=250MHz, f_{IN}=170MHz	67	69	-	
SINAD	f_{CLK}=250MHz, f_{IN}=30MHz	68	70	-	dBFS
	f_{CLK}=250MHz, f_{IN}=70MHz	67	69	-	
	f_{CLK}=250MHz, f_{IN}=170MHz	66	68	-	
SFDR	f_{CLK}=250MHz, f_{IN}=30MHz	78	82	-	dBFS
	f_{CLK}=250MHz, f_{IN}=70MHz	77	80	-	
	f_{CLK}=250MHz, f_{IN}=170MHz	76	78	-	
ENOB	f_{CLK}=250MHz, f_{IN}=30MHz	10.5	-	-	Bit
DNL	f_{CLK}=250MHz, f_{IN}=10MHz	-0.99	±0.8	-	LSB
INL	f_{CLK}=250MHz, f_{IN}=10MHz	-	±3.5	±5	LSB

Download from alldatasheet.com

模拟输入					
差分输入范围	—	-	2	-	Vpp
输入电阻	—	-	1	-	MΩ
输入电溶	—	-	4	-	pF
模拟输入带宽	—	-	480	-	MHz
共模输出电压	—	-	0.95	-	V
直流特性					
失调误差	—	-15	3	15	mV
增益误差	—	-2	-	2	%FS
功耗					
模拟电流	LVDS 模式 (350mV)	-	138	150	mA
数字电流	LVDS 模式 (350mV)	-	65	80	mA
模拟功耗	LVDS 模式 (350mV)	-	248.4	270	mW
数字功耗	LVDS 模式 (350mV)	-	117	144	mW
休眠功耗	LVDS 模式 (350mV)	-	3.5	25	mW
数字特性					
逻辑输入高电平	—	1.5	-	—	V
逻辑输入低电平	—	—	-	0.3	V

Download from alldatasheet.com

输入高电平电流	__	-15	-	15	uA
输入低电平电流	__	-2	-	2	uA
LVDS 差分输出电压	LVDS 模式 (350mV)	200	350	500	mV
LVDS 共模输出电压	LVDS 模式 (350mV)	0.8	1.05	1.3	V
时间参数					
孔径延迟	-	0.6	0.8	1.2	ns
数据建立时间	LVDS 模式 (350mV)	0.35	0.6	-	ns
数据保持时间	LVDS 模式 (350mV)	0.75	1.1	-	ns

图 1.5　　性能参数表

主要特性曲线图（电特性测试图）

1、DNL、INL 测试结果

测试条件：

采样率：fCLK=250MHz；

输入信号频率 fIN=10MHz；

测试结果：

DNL：　+0.8/-0.75　LSB

INL：　+4.1/-3.8　LSB

Download from alldatasheet.com

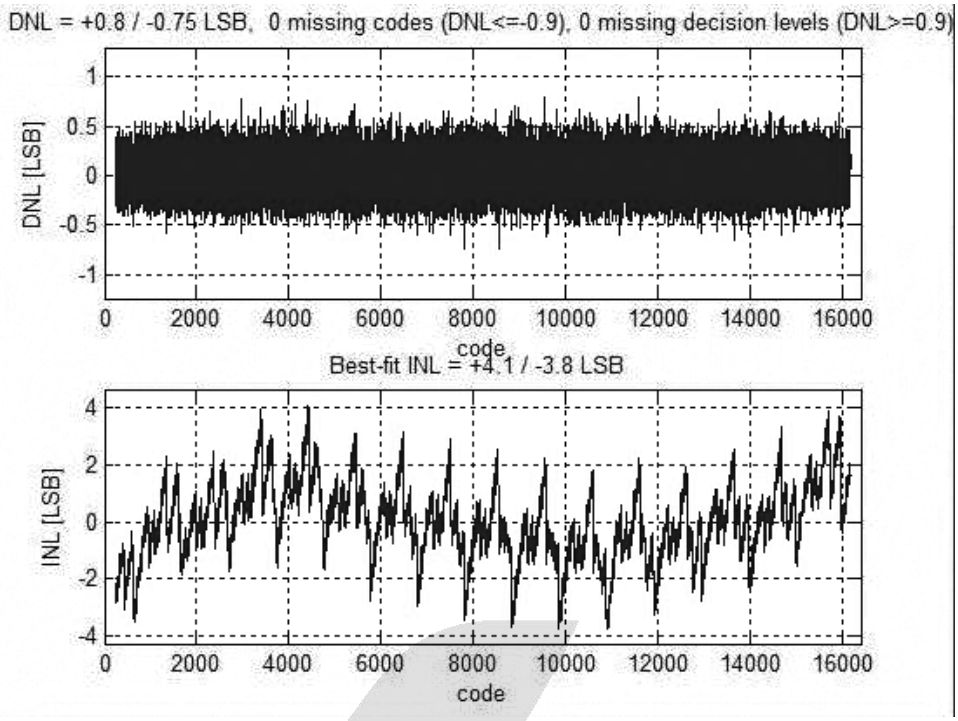


图 1.6　　DNL、INL 测试结果

2、动态参数测试结果

测试条件：

采样率：fCLK=250MHz；

输入信号频率 fIN=10MHz；

测试结果：

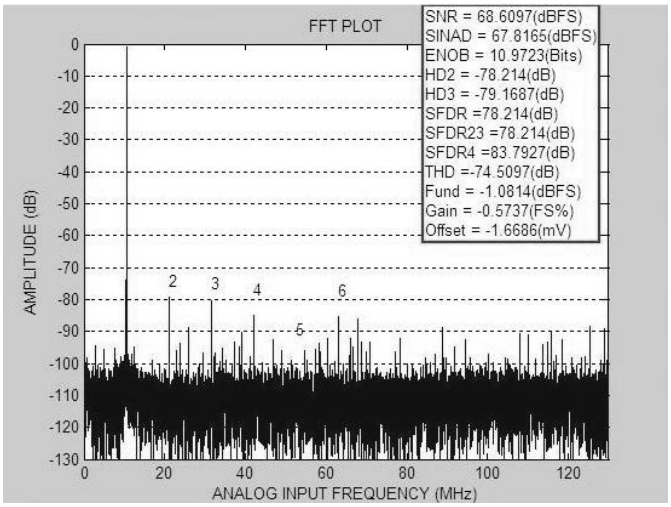
SFDR=78dB；

HD2，3nd = 78dB；

HD4nd = 83dB；

SNR = 68.6dB；

Download from alldatasheet.com



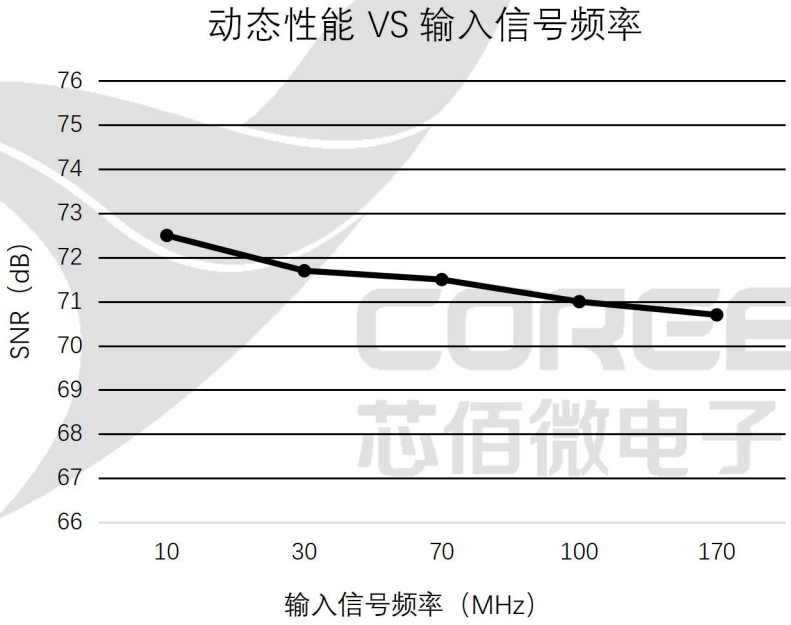


图 1.7　动态指标测试结果

Download from alldatasheet.com

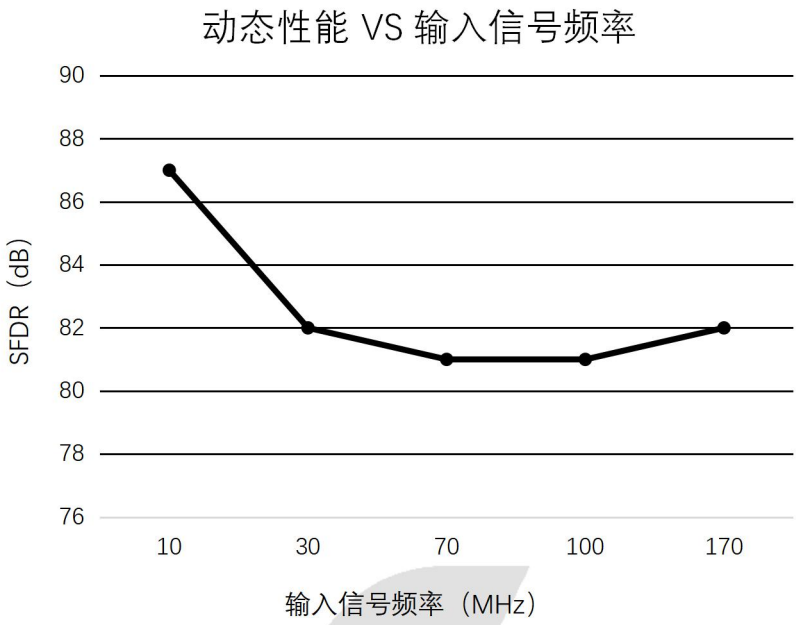


图 1.8　动态指标随频率变化

典型应用线路图

1 概述

高速高精度 14 位 A/D 转换器是采用 CMOS 工艺制造的半导体集成电路。该产品具有采样率高、线性误差小、失调增益校正和 SPI 接口控制等特点。通过 SPI 接口可对内部电路的工作状态、输入失调和满度输入范围进行配置；模拟输入为差分输入，既可交流耦合输入也可直流耦合输入；时钟输入电路内部设有直流偏置，必须交流耦合输入。

2 模拟输入

模拟输入包含一个差分的基于开关电容的采样保持结构，如图 1.9 所示。差分结构在高频输入时有更好的 AC 特性。差分输入 INP 和 INM 的共模电压为 0.95V,由片内引脚 VCM 提供。差分的最大输入摆幅为 $2V_{PP}$。

Download from alldatasheet.com

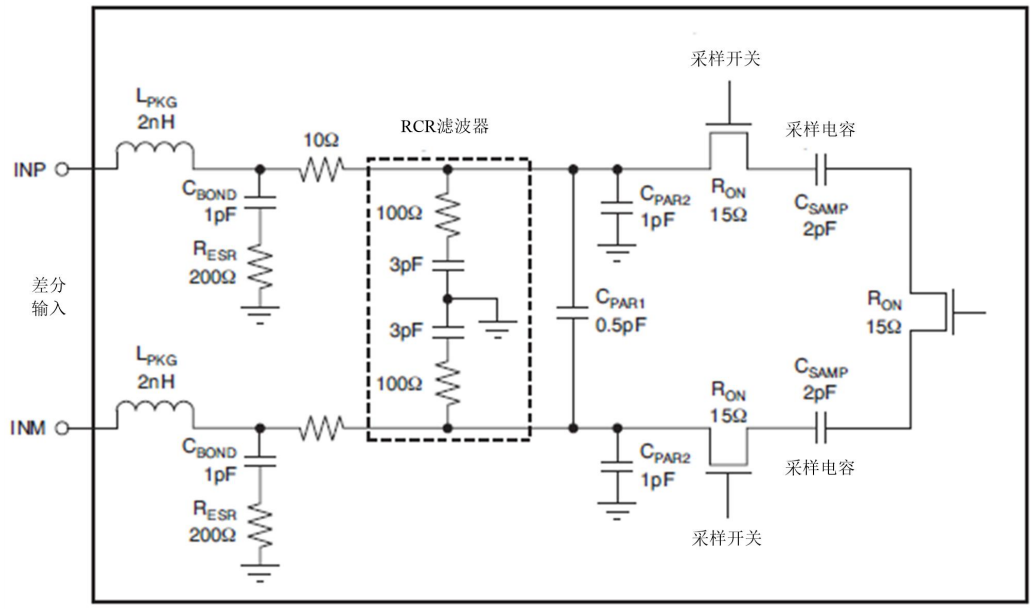


图 1.9　　模拟输入等效电路

3 驱动电路

图 2.0（a）和图 2.0（b）展示了驱动电路的两种配置情况：一个是从低带宽方面进行优化的，另一个则是从高带宽（以支持高输入频率）方面进行优化的。

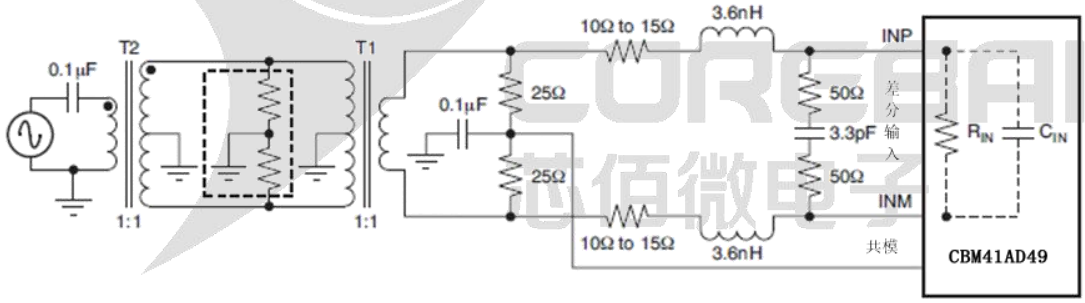


图 2.0（a）　低频模拟输入驱动电路

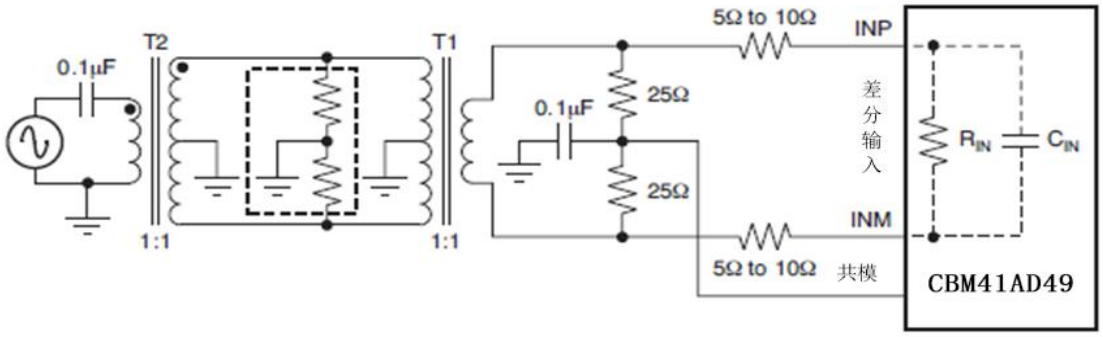


图 2.0（b）　高频模拟输入驱动电路

Download from alldatasheet.com

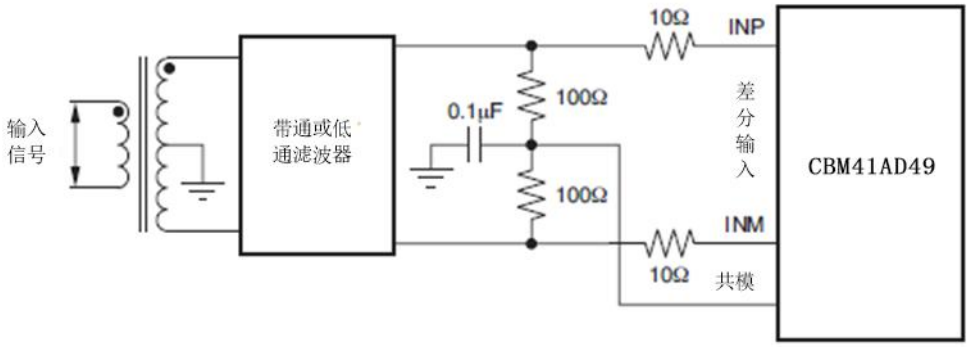


图 2.1　1：4 的变压器驱动电路

在各种情形下，为获得需要的动态性能，需要有带通或者低通的滤波器辅助，如图 12 所示。这样的一个滤波器在高频时有较低的源阻抗，有利于吸收采用尖峰，同时又不会造成性能的衰减。

4 时钟输入

产品的输入时钟可以差分（正弦、LVPECL 或者 LVDS）也可以单端（LVCMOS）驱动。当用正弦时钟信号时，驱动电路可以采用变压器耦合的；当用 LVPECL 或者 LVDS 的时钟信号源时，驱动电路可以采用交流耦合的。输入时钟的等效电路如图 2.2 所示。

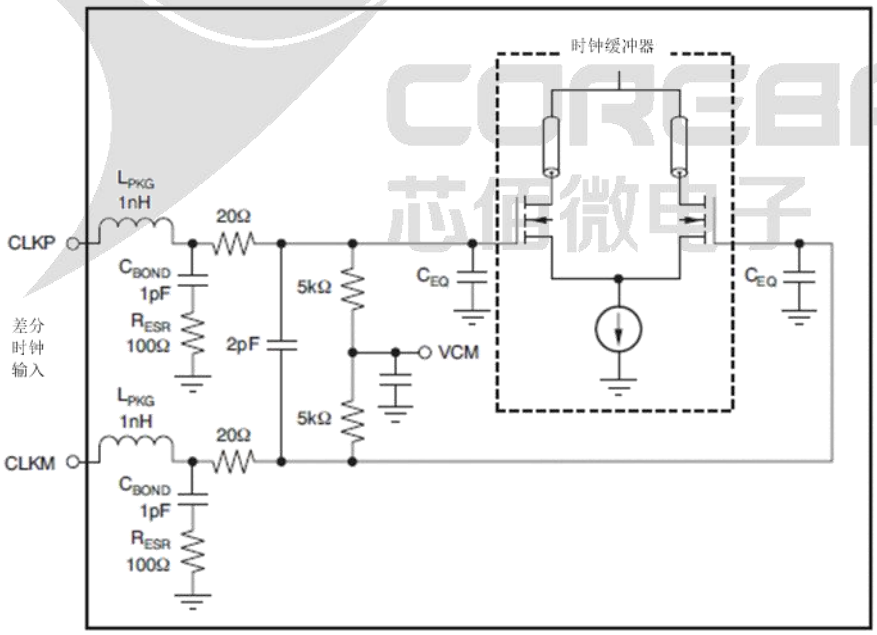


图 2.2　输入时钟等效电路

单端的时钟驱动电路如图 2.3 所示。差分的时钟驱动电路如图 2.4 所示。

Download from alldatasheet.com

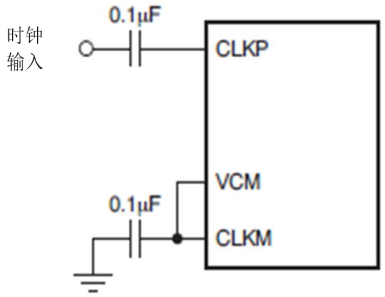


图 2.3　单端时钟驱动电路

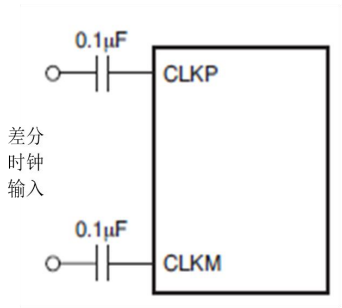


图 2.4　差分时钟驱动电路

5 数字功能

器件默认处于低延迟模式，该模式下没有开启任何数字功能。配置“低延迟模式”寄存器为“1”，可以开启的数字功能包含增益校正、失调校正以及测试模式，如图 2.5 所示。

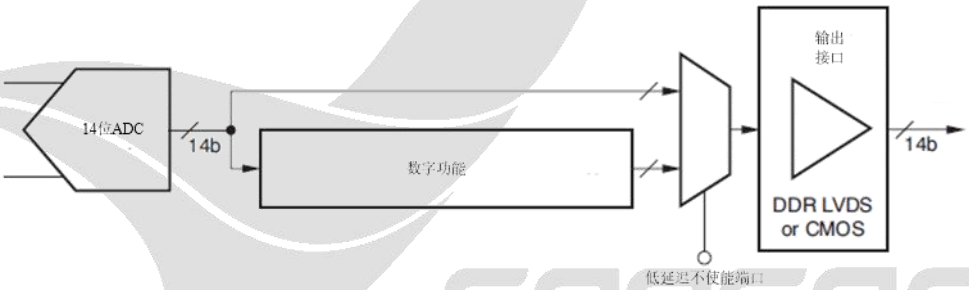


图 2.5　差分时钟驱动电路

注意事项

1.产品安装注意事项：

1) 要求应用对象电路板有一个完整干净的地。
2) 要求应用对象为多层布线板且内含独立的地层。
3) 要求应用对象电路板的数字地和模拟地尽量分离，不要将数字线布于模拟线旁边或于 ADC 底下。
4) AVDD，DRVDD 和 VCM 要接高质量的陶瓷旁路电容，且旁路电容要尽量靠近管脚，连接管脚和旁路电容的连线越短越宽越好。

2.产品使用注意事项：

1) 差分输入应尽量靠近且相互平行。

Download from alldatasheet.com

2) 输入连线应尽量短以最小化寄生电容和噪声引入。
3) 为了更好的散热并获得更好的电性能，芯片的底板应焊接到 PCB 板的一个大的地端，从而最大限度发挥封装的热性能。
4) 很重要的是，芯片的地应该通过尽量多的渠道和足够多的面积与 PCB 板的地层相连。

3.产品防护注意事项：

1) 静电电荷很容易在人体和测试设备上累积，并可能在没有察觉的情况下放电。尽管本产品具有专用 ESD 保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。
2) 超出绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

常见故障及处理办法

1. 无信号输出：检查电源电压、输入信号、时钟是否正确加载。
2. 出现溢出信号：检查基准是否正常工作，输入信号幅度是否正确。
3. 器件工作不稳定：检查电源，保证电源电压稳定。

Download from alldatasheet.com