

产品特性

高速

–3 dB带宽: 1.5 GHz ($G = +1$)

650 MHz、全功率带宽($G = +2$, $V_o = 2$ V p-p)

压摆率: 4,100 V/ μ s

0.1%建立时间: 12 ns

出色的视频特性

0.1 dB平坦度: 170 MHz

差分增益: 0.02%

差分相位: 0.01°

输出过驱恢复: 22 ns

低噪声: 输入电压噪声: 1.6 nV/ $\sqrt{\text{Hz}}$

宽带宽范围内低失真

无杂散动态范围(SFDR): 75 dBc (20 MHz)

无杂散动态范围(SFDR): 62 dBc (50 MHz)

输入失调电压: 1 mV(典型值)

高输出电流: 100 mA

宽电源电压范围: 4.5 V至12 V

电源电流: 13.5 mA

省电模式

应用

专业视频设备

高速仪器仪表

视频开关

中频/射频增益级

CCD成像

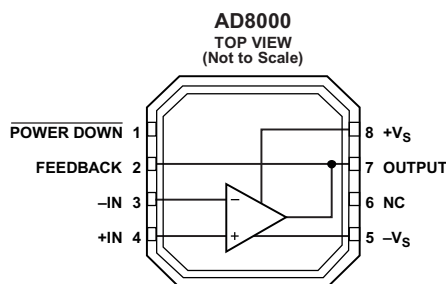
概述

AD8000是一款超高速、高性能、电流反馈型放大器。该放大器采用ADI专有超快速互补双极性(XFCB)工艺制造, 可实现1.5 GHz的小信号带宽和4100 V/ μ s的压摆率。

20 MHz时的无杂散动态范围(SFDR)低至75 dBc, 输入电压噪声为1.6 nV/ $\sqrt{\text{Hz}}$ 。AD8000可以驱动100 mA以上的负载电流, 失真极低。该放大器可以采用+5 V至±6 V电源供电。这些特性使它非常适合包括高速仪器仪表在内的各种应用。

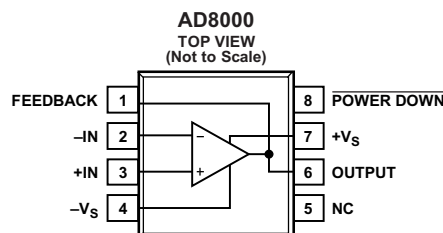
AD8000的差分增益为0.02%, 差分相位为0.01°, 且0.1 dB平坦度为170 MHz。它具有出色的视频规格特性, 确保哪怕要求最高的视频系统都具有优秀的保真度。

连接图



NOTES
1. NC = NO CONNECT.
2. THE EXPOSED PADDLE IS CONNECTED TO GROUND.

图1. 8引脚AD8000, 3 mm × 3 mm LFCSP_VD封装(CP-8-2)



NOTES
1. NC = NO CONNECT.
2. THE EXPOSED PADDLE IS CONNECTED TO GROUND.

图2. 8引脚AD8000, SOIC_N_EP封装(RD-8-1)

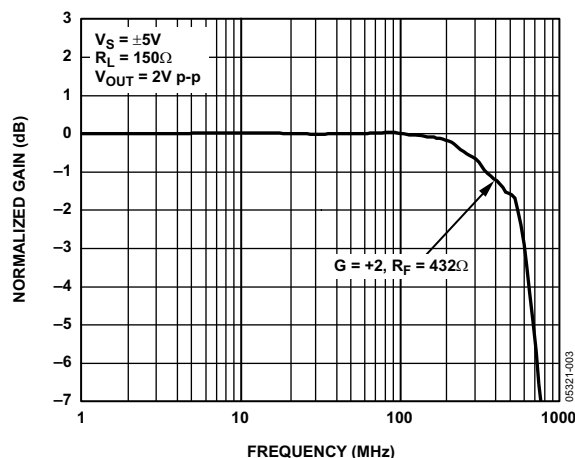


图3. 大信号频率响应

省电模式下, AD8000耗用的电源电流降至1.3 mA。该放大器采用小型8引脚LFCSP和8引脚SOIC两种封装。AD8000的额定工作温度范围为–40°C至+125°C扩展工业温度范围。AD8000的三通道版本(AD8003)正在开发中。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2005–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

目录.....	2	视频线路驱动器.....	14
采用±5 V电源时的技术规格.....	3	低失真引脚排列.....	15
采用+5 V电源时的技术规格.....	4	裸露焊盘.....	15
绝对最大额定值.....	5	印刷电路板布局.....	15
热阻.....	5	信号路由.....	15
ESD警告.....	5	电源旁路.....	15
典型性能参数.....	6	接地.....	16
测试电路.....	13	外形尺寸.....	17
应用.....	14	订购指南.....	17
电路配置.....	14		

修订历史

2013年3月—修订版A至修订版B

更改图1和图2.....	1
更改表1.....	3
更改表2.....	4
更新外形尺寸.....	17
更改订购指南.....	17

2010年3月—修订版0至修订版A

更改图1和图2.....	1
更改表3.....	5
更新外形尺寸并更改订购指南.....	17

2005年1月—修订版0：初始版

采用±5 V电源时的技术规格

除非另有说明，在 $T_A = 25^\circ\text{C}$ 时， $V_S = \pm 5\text{ V}$ ， $R_L = 150\ \Omega$ ，增益 = +2， $R_F = R_G = 432\ \Omega$ 。裸露焊盘必须接地。

表1.

参数	条件	最小值	典型值	最大值	单位
动态性能					
–3 dB带宽	$G = +1$, $V_O = 0.2\text{ V p-p}$, SOIC/LFCSP		1580/1350		MHz
	$G = +2$, $V_O = 2\text{ V p-p}$, SOIC/LFCSP		650/610		MHz
0.1 dB平坦度带宽	$V_O = 2\text{ V p-p}$, SOIC/LFCSP		190/170		MHz
压摆率	$G = +2$, $V_O = 4\text{ V}$ 步进		4100		V/ μs
0.1%建立时间	$G = +2$, $V_O = 2\text{ V}$ 步进		12		ns
噪声/谐波性能					
二次/三次谐波	$V_O = 2\text{ V p-p}$, $f = 5\text{ MHz}$, 仅限LFCSP封装		86/89		dBc
二次/三次谐波	$V_O = 2\text{ V p-p}$, $f = 20\text{ MHz}$, 仅限LFCSP封装		75/79		dBc
输入电压噪声	$f = 100\text{ kHz}$		1.6		nV/ $\sqrt{\text{Hz}}$
输入电流噪声	$f = 100\text{ kHz}$, –IN		26		pA/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$, +IN		3.4		pA/ $\sqrt{\text{Hz}}$
差分增益误差	NTSC, $G = +2$		0.02		%
差分相位误差	NTSC, $G = +2$		0.01		度
直流性能					
输入失调电压			1	10	mV
输入失调电压漂移			11		$\mu\text{V}/^\circ\text{C}$
输入偏置电流(使能)	+I _B		–5	+4	μA
	–I _B		–3	+45	μA
跨导		570	890	1600	k Ω
输入特性					
同相输入阻抗			2/3.6		M Ω /pF
输入共模电压范围			–3.5至+3.5		V
共模抑制比	$V_{CM} = \pm 2.5\text{ V}$	–52	–54	–56	dB
过驱恢复	$G = +1$, $f = 1\text{ MHz}$, 三角波		30		ns
掉电引脚					
关断输入电压	掉电		< +V _S – 3.1		V
	已启用		> +V _S – 1.9		V
关闭时间	掉电电压的50%至V _{OUT} 最终值的10%, V _{IN} = 0.3 V p-p		150		ns
开启时间	掉电电压的50%至V _{OUT} 最终值的90%, V _{IN} = 0.3 V p-p		300		ns
输入偏置电流					
已启用		–1.1	+0.17	+1.4	μA
掉电		–300	–235	–160	μA
输出特性					
输出电压摆幅	R _L = 100 Ω	±3.7	±3.9		V
输出电压摆幅	R _L = 1 k Ω	±3.9	±4.1		V
线性输出电流	V _O = 2 V p-p, 二次总谐波失真 < –50 dBc		100		mA
过驱恢复	$G = +2$, $f = 1\text{ MHz}$, 三角波		45		ns
	$G = +2$, V _{IN} = 2.5 V至0 V步进		22		ns
电源					
工作范围		4.5		12	V
静态电流		12.7	13.5	14.3	mA
静态电流(关断)		1.1	1.3	1.65	mA
电源抑制比	–PSRR/+PSRR	–56/–61	–59/–63		dB

采用+5 V电源时的技术规格

除非另有说明，在 $T_A = 25^{\circ}\text{C}$ 时， $V_S = +5\text{ V}$ ， $R_L = 150\ \Omega$ ，增益 = +2， $R_F = R_G = 432\ \Omega$ 。裸露焊盘必须接地。

表2.

参数	条件	最小值	典型值	最大值	单位
动态性能					
–3 dB带宽	$G = +1, V_O = 0.2\text{ V峰峰值}$		980		MHz
	$G = +2, V_O = 2\text{ V峰峰值}$		477		MHz
	$G = +10, V_O = 0.2\text{ V峰峰值}$		328		MHz
0.1 dB平坦度带宽	$V_O = 0.2\text{ V p-p}$		136		MHz
	$V_O = 2\text{ V p-p}$		136		MHz
压摆率	$G = +2, V_O = 2\text{ V步进}$		2700		V/ μs
0.1%建立时间	$G = +2, V_O = 2\text{ V步进}$		16		ns
噪声/谐波性能					
二次/三次谐波	$V_O = 2\text{ V p-p}$, 5 MHz, 仅限LFCSP封装		71/71		dBc
二次/三次谐波	$V_O = 2\text{ V p-p}$, 20 MHz, 仅限LFCSP封装		60/62		dBc
输入电压噪声	$f = 100\text{ kHz}$		1.6		nV/ $\sqrt{\text{Hz}}$
输入电流噪声	$f = 100\text{ kHz}$, –IN		26		pA/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$, +IN		3.4		pA/ $\sqrt{\text{Hz}}$
差分增益误差	NTSC, $G = +2$		0.01		%
差分相位误差	NTSC, $G = +2$		0.06		度
直流性能					
输入失调电压			1.3	10	mV
输入失调电压漂移			18		$\mu\text{V}/^{\circ}\text{C}$
输入偏置电流(使能)	+I _B		–5	+3	μA
	–I _B		–1	+45	μA
跨导		440	800	1500	k Ω
输入特性					
同相输入阻抗			2/3.6		M Ω /pF
输入共模电压范围			1.5至3.6		V
共模抑制比	$V_{CM} = \pm 2.5\text{ V}$	–51	–52	–54	dB
过驱恢复	$G = +1, f = 1\text{ MHz}$, 三角波		60		ns
掉电引脚					
关断输入电压	掉电		< +V _S – 3.1		V
	使能		> +V _S – 1.9		V
关闭时间	掉电电压的50%至V _{OUT} 最终值的10%, V _{IN} = 0.3 V p-p		200		ns
开启时间	掉电电压的50%至V _{OUT} 最终值的90%, V _{IN} = 0.3 V p-p		300		ns
输入电流					
已启用		–1.1	+0.17	+1.4	μA
掉电		–50	–40	–30	μA
输出特性					
输出电压摆幅	R _L = 100 Ω	1.1至3.9	1.05至4.1		V
	R _L = 1 k Ω	1至4.0	0.85至4.15		V
线性输出电流	V _O = 2 V p-p, 二次总谐波失真 < –50 dBc		70		mA
过驱恢复	$G = +2, f = 100\text{ kHz}$, 三角波		65		ns
电源					
工作范围		4.5		12	V
静态电流		11	12	13	mA
静态电流(关断)		0.7	0.95	1.25	mA
电源抑制比	–PSRR/+PSRR	–55/–60	–57/–62		dB

绝对最大额定值

表3.

参数	额定值
电源电压	12.6 V
功耗	见图4
共模输入电压	-V _S - 0.7 V至+V _S + 0.7 V
差分输入电压	±V _S
存储温度	-65°C至+125°C
工作温度范围	-40°C至+125°C
引脚温度范围 (焊接, 10秒)	300°C
结温	150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ _{JA}	θ _{JC}	单位
SOIC-8	80	30	°C/W
3 mm × 3 mm LFCSP	93	35	°C/W

最大功耗

AD8000的最大安全功耗受限于相应的芯片结温(T_J)的升高情况。达到玻璃化转变温度150°C左右时, 塑料的特性发生改变。即使只是暂时超过这一温度限值也会改变封装对芯片作用的应力, 从而永久性地转变AD8000的参数性能。长时间超过175°C的结温会导致芯片器件出现变化, 因而可能造成性能下降或功能丧失。

ESD警告

ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积, 可高达4000 V, 并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路, 但在遇到高能量静电放电时, 可能会发生永久性器件损坏。因此, 建议采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

封装的功耗(P_D)为静态功耗与芯片中AD8000的输出端驱动所导致的功耗之和, 而静态功耗则为电源引脚之间的电压(V_S)乘以静态电流(I_S)。

$$P_D = \text{静态功耗} + (\text{总驱动功耗} - \text{负载功耗})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

应当考虑均方根输出电压。如果R_L以-V_S为基准, 如同在单电源供电情况下, 则总驱动功耗为V_S × I_{OUT}。如果均方根信号电平未定, 应考虑最差情况, 即R_L接中间电源电压, V_{OUT} = V_S/4。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

单电源供电且R_L以-V_S为基准时, 最差情况为V_{OUT} = V_S/2。

气流可增强散热, 从而有效降低θ_{JA}。此外, 更多金属直接与金属走线的封装引脚、裸露焊盘、通孔、接地和电源层接触, 这同样可降低θ_{JA}。

图4所示为在JEDEC标准4层板上, 裸露焊盘SOIC (80°C/W) 和LFCSP (93°C/W)封装的内部最大安全功耗与环境温度的关系。θ_{JA}值取近似值。

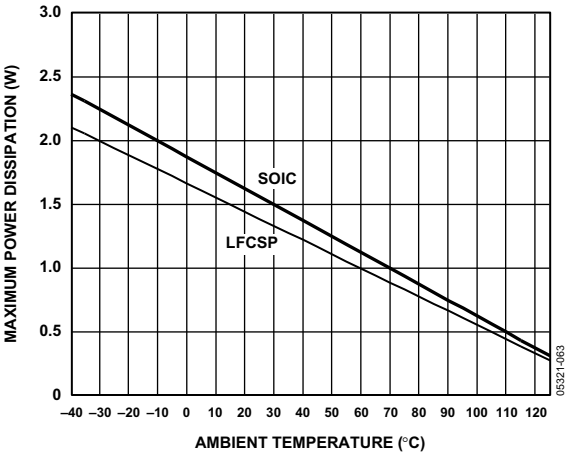


图4. 4层板最大功耗与温度的关系



典型性能参数

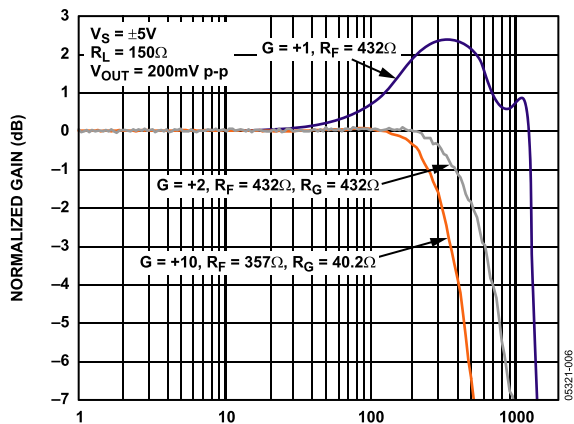


图5. 小信号频率响应与不同增益的关系

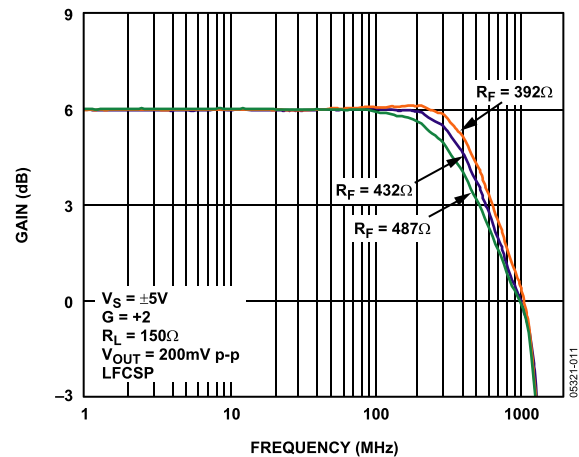
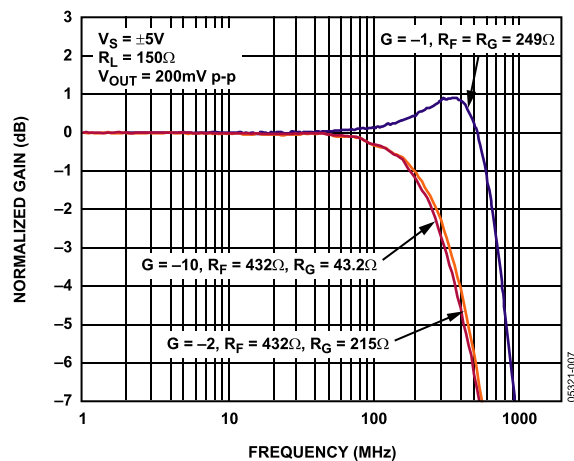
图8. 小信号频率响应与 R_F 的关系

图6. 小信号频率响应与不同增益的关系

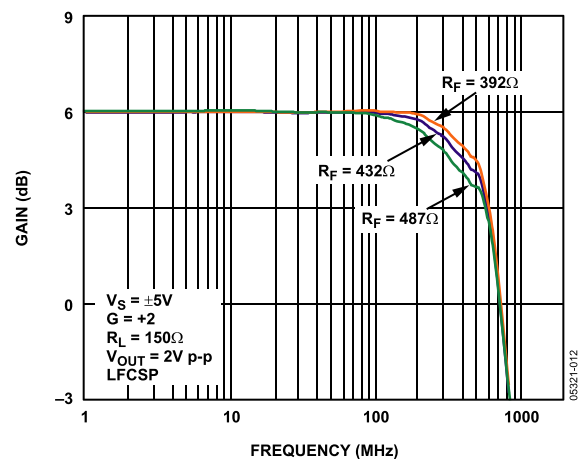
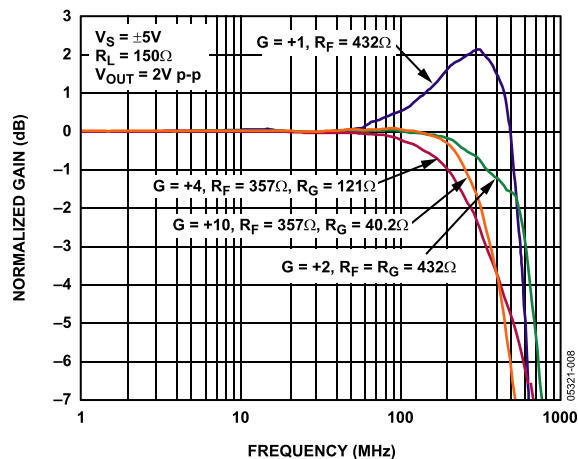
图9. 大信号频率响应与 R_F 的关系

图7. 大信号频率响应与不同增益的关系

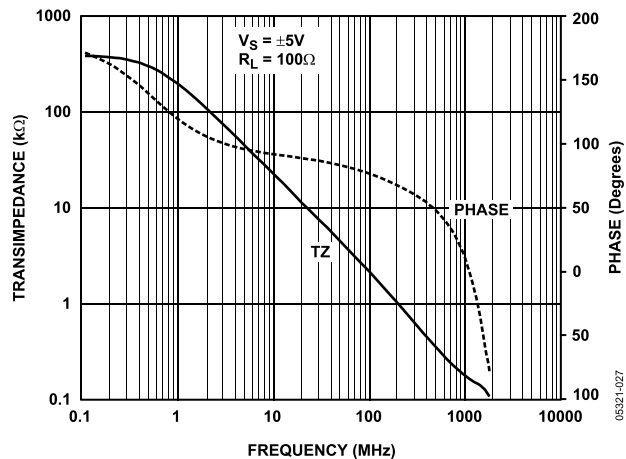


图10. 跨导和相位与频率的关系

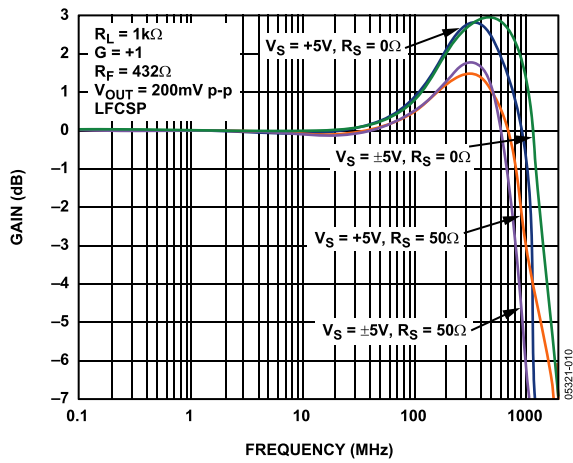


图11. 小信号频率响应与电源电压的关系

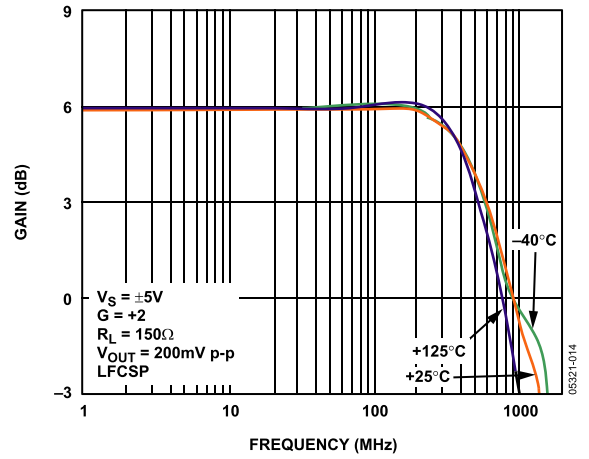


图14. 小信号频率响应与温度的关系

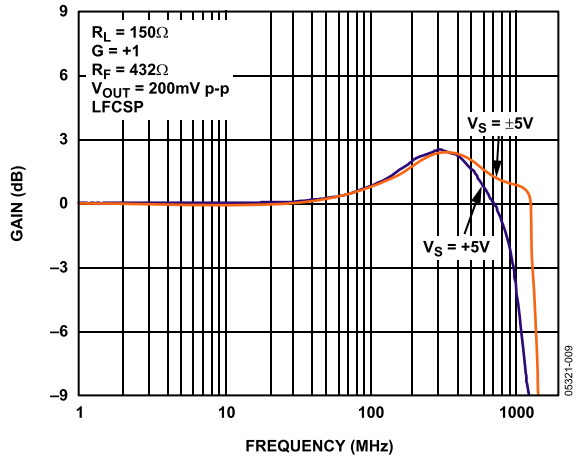


图12. 小信号频率响应与电源电压的关系

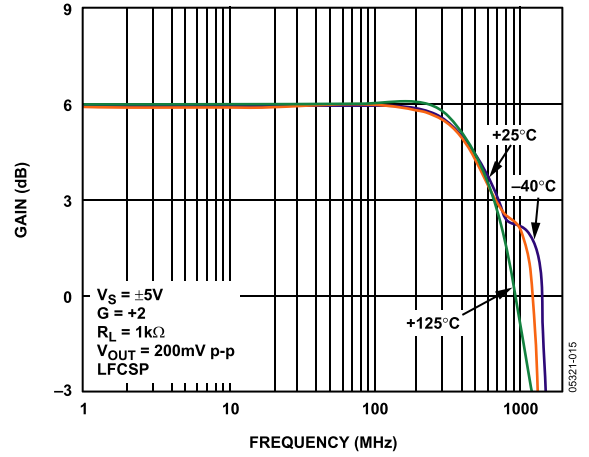


图15. 小信号频率响应与温度的关系

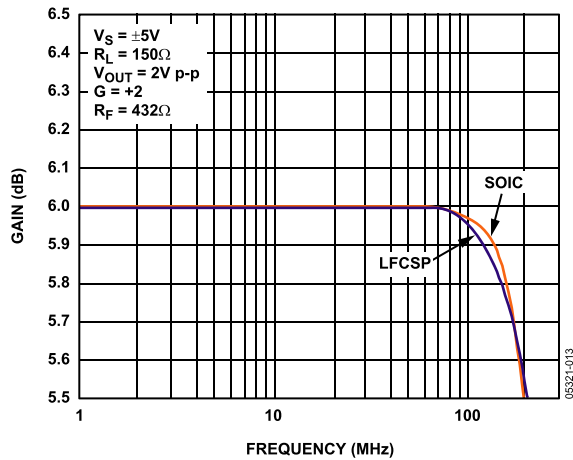


图13. 0.1 dB平坦度

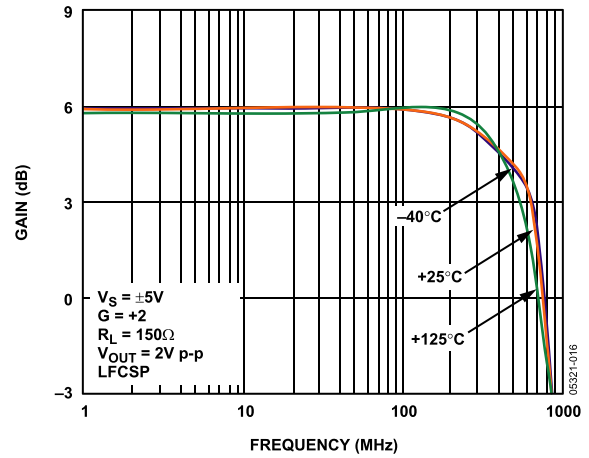


图16. 大信号频率响应与温度的关系

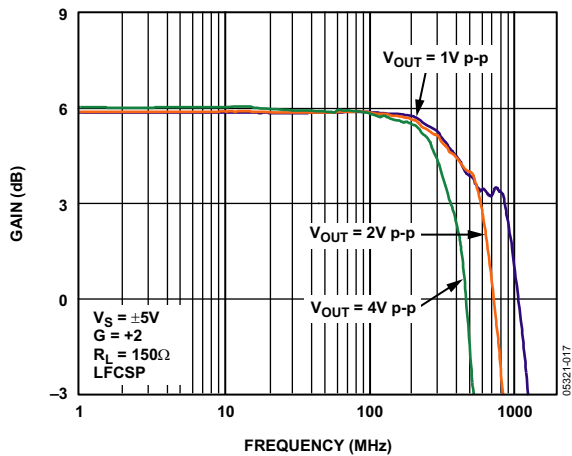


图17. 大信号频率响应与不同输出的关系

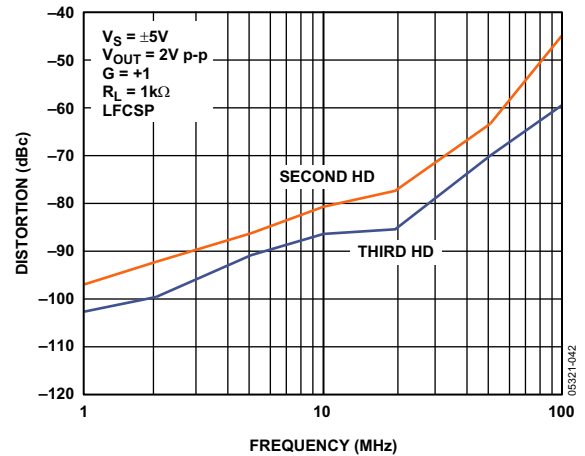


图20. 谐波失真与频率的关系

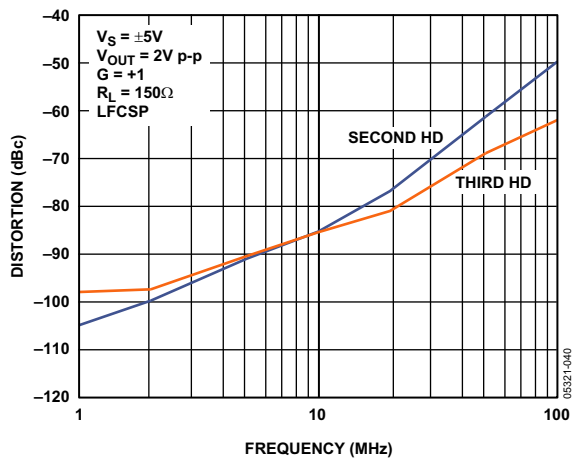


图18. 谐波失真与频率的关系

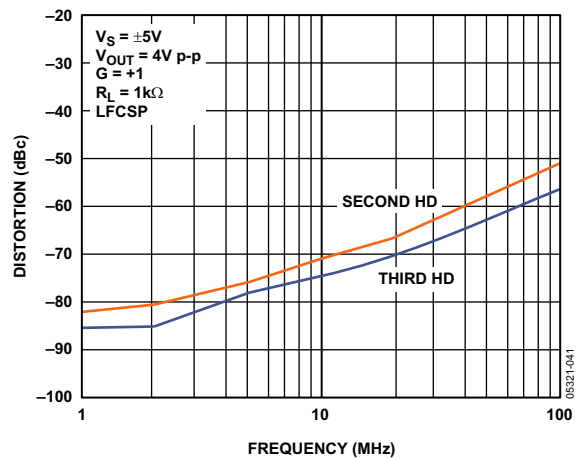


图21. 谐波失真与频率的关系

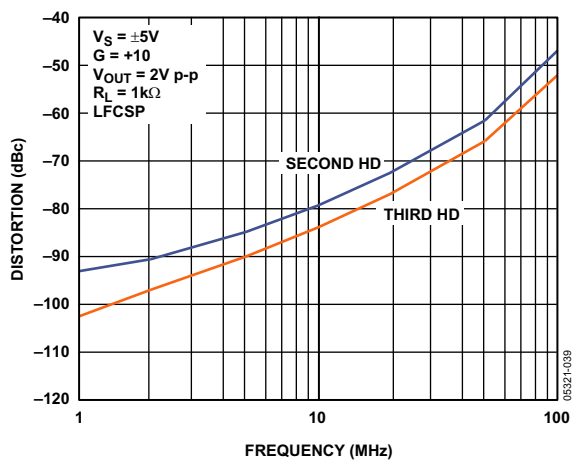


图19. 谐波失真与频率的关系

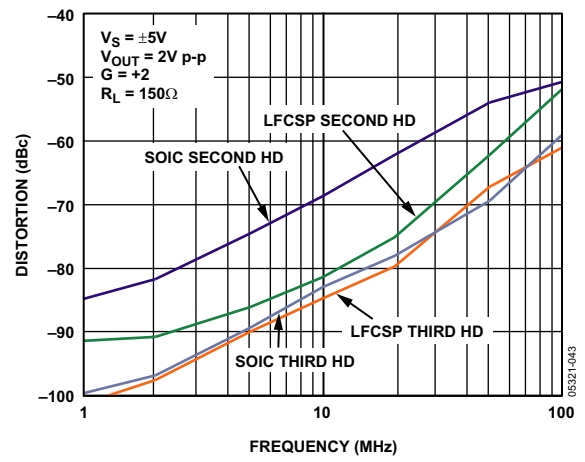


图22. 谐波失真与频率的关系

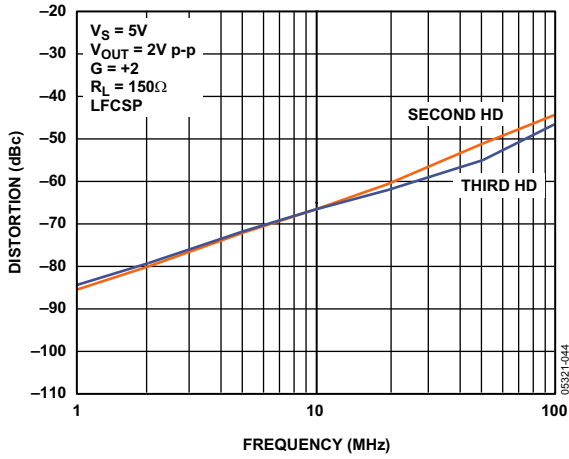


图23. 谐波失真与频率的关系

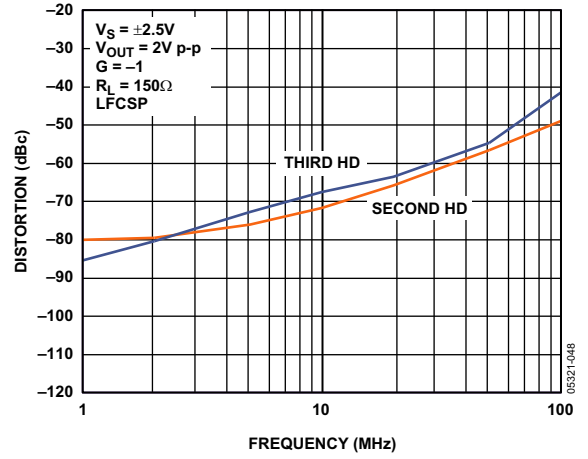


图26. 谐波失真与频率的关系

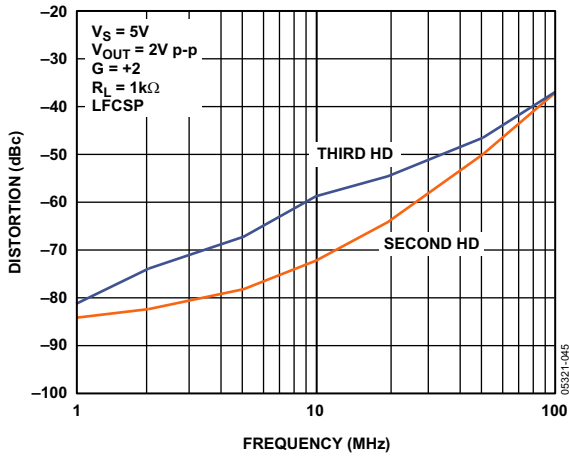


图24. 谐波失真与频率的关系

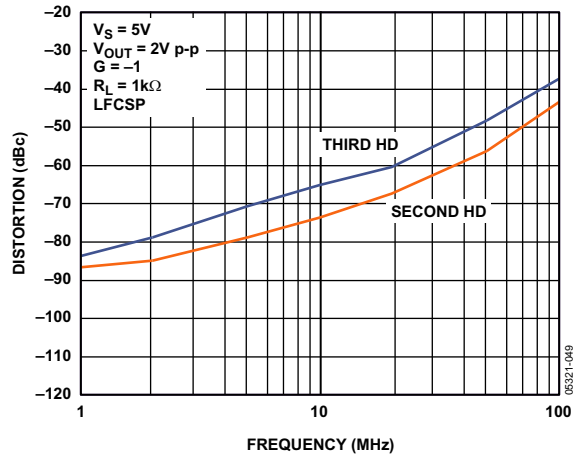


图27. 谐波失真与频率的关系

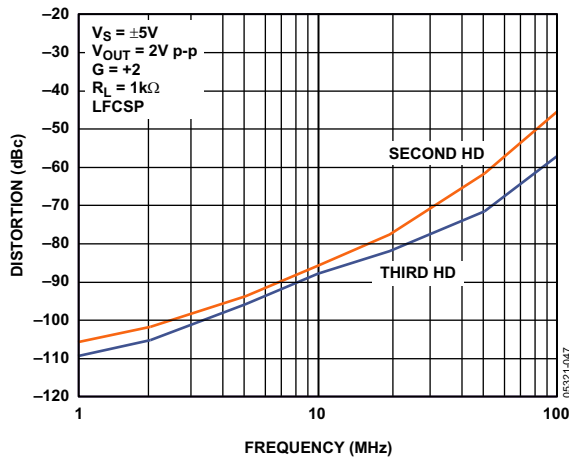


图25. 谐波失真与频率的关系

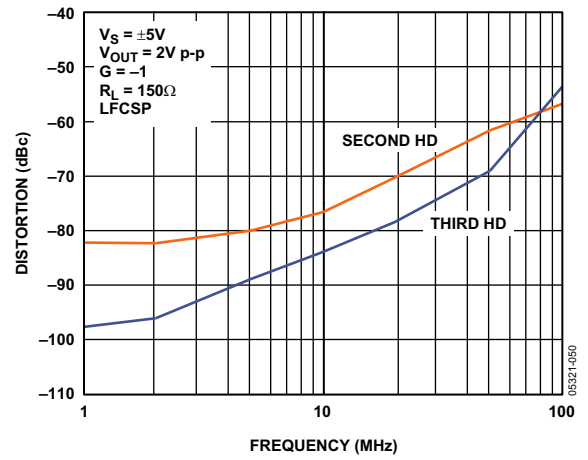


图28. 谐波失真与频率的关系

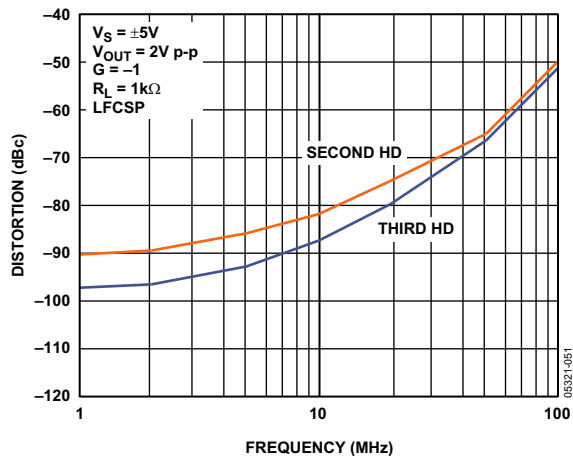


图29. 谐波失真与频率的关系

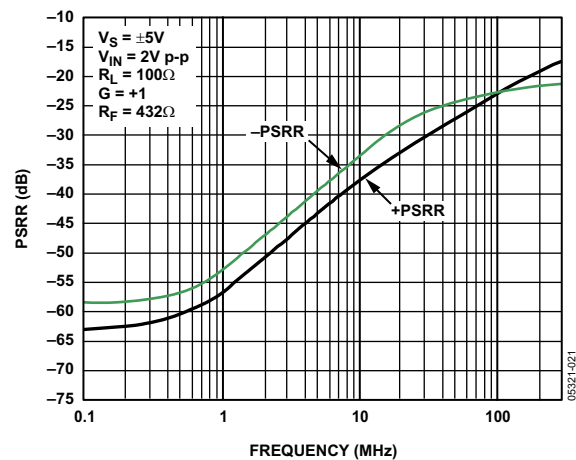


图32. 电源抑制比(PSRR)与频率的关系

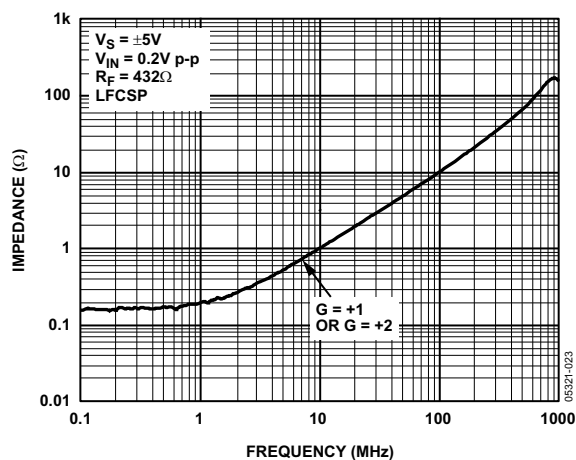


图30. 输出阻抗与频率的关系

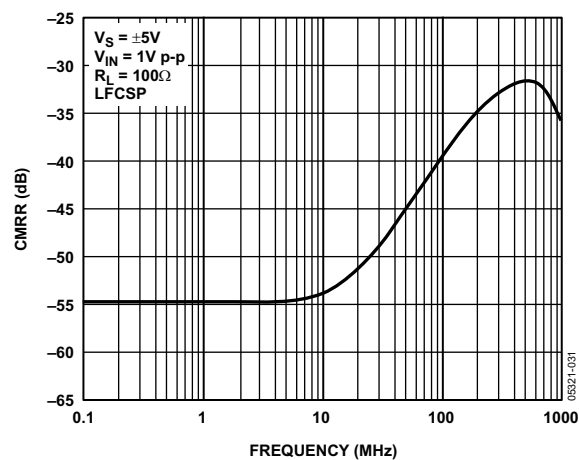


图33. 共模抑制比与频率的关系

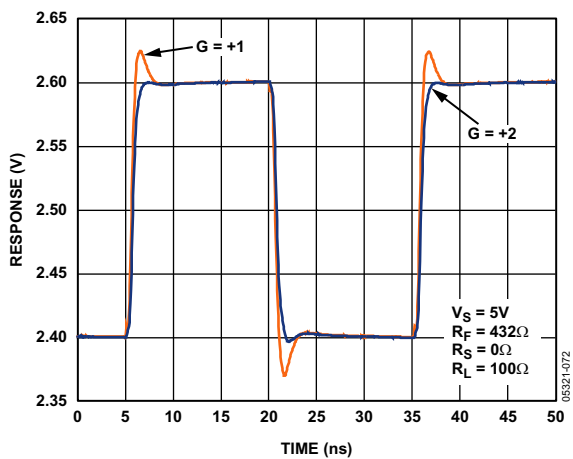


图31. 小信号瞬态响应

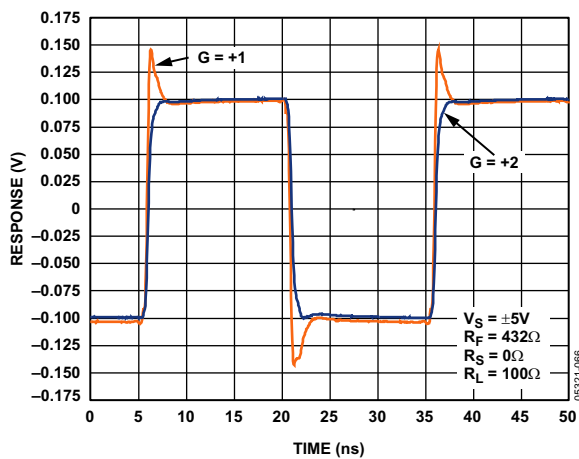


图34. 小信号瞬态响应

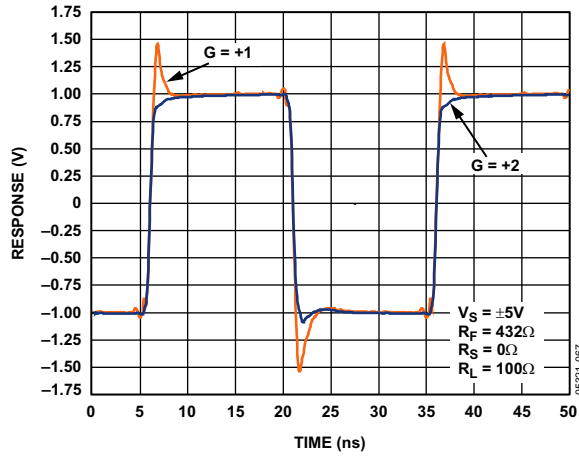


图35. 大信号瞬态响应

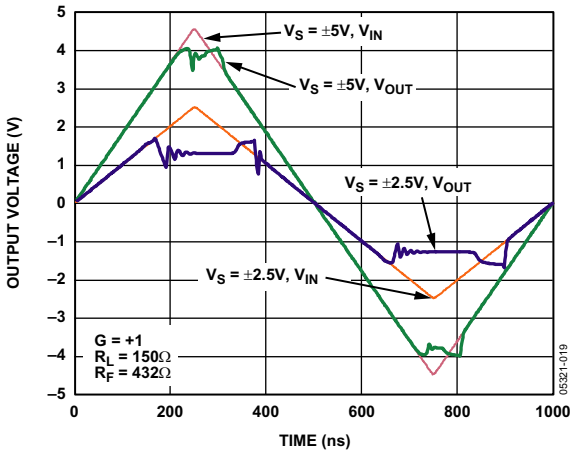


图38. 输入过驱

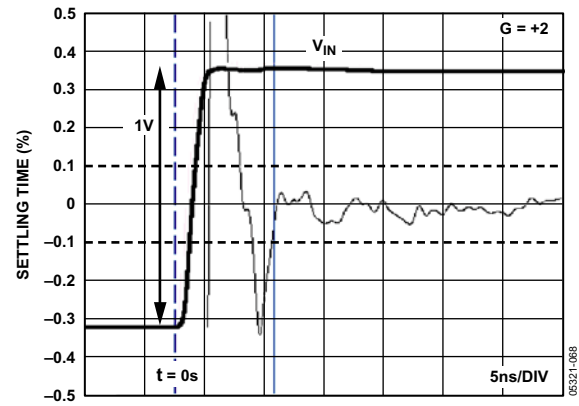


图36. 建立时间

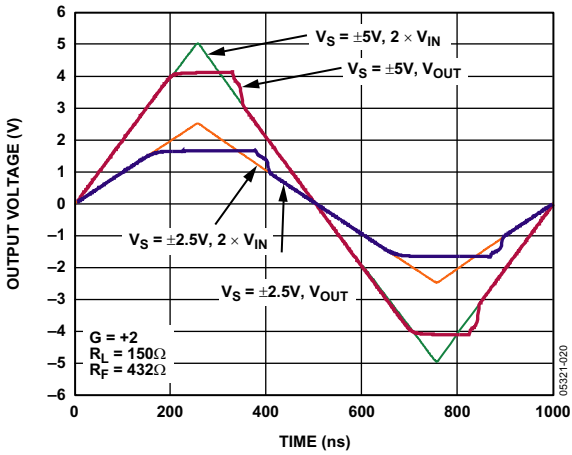


图39. 输出过驱

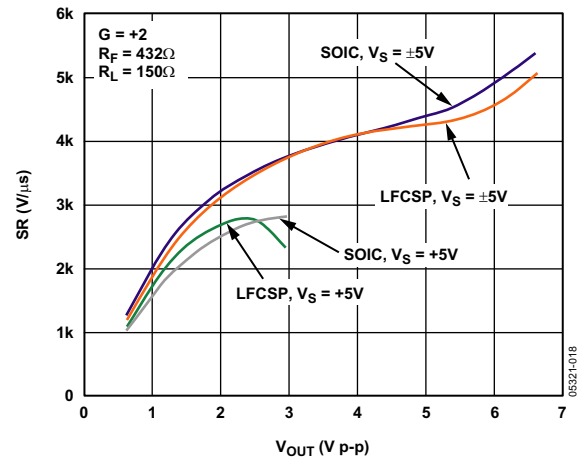


图37. 压摆率与输出电平的关系

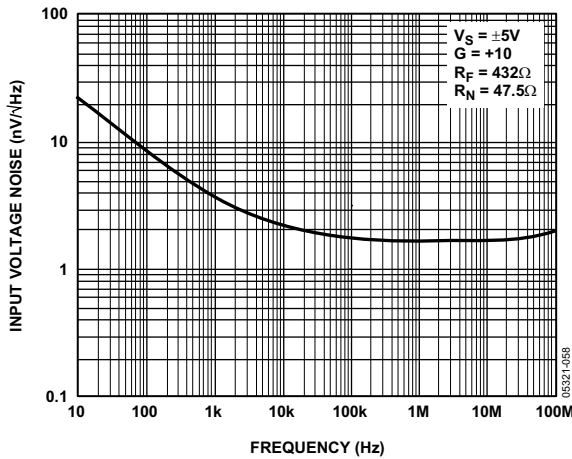


图40. 输入电压噪声

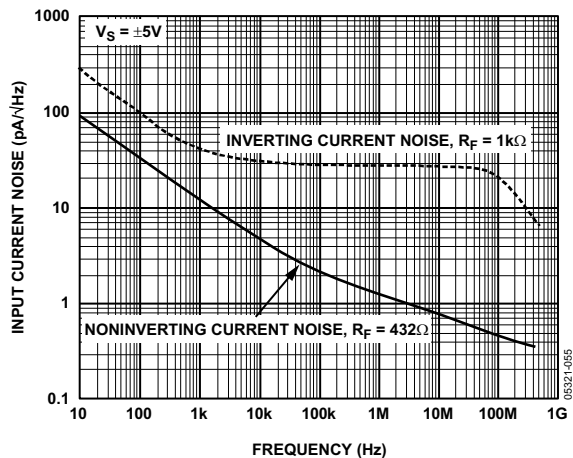


图41. 输入电流噪声

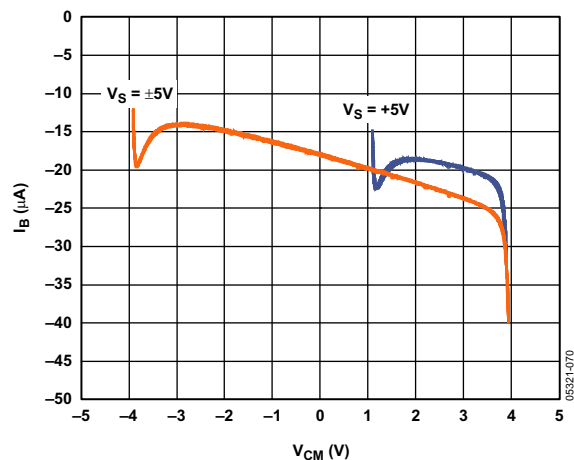


图44. 输入偏置电流与共模电压的关系

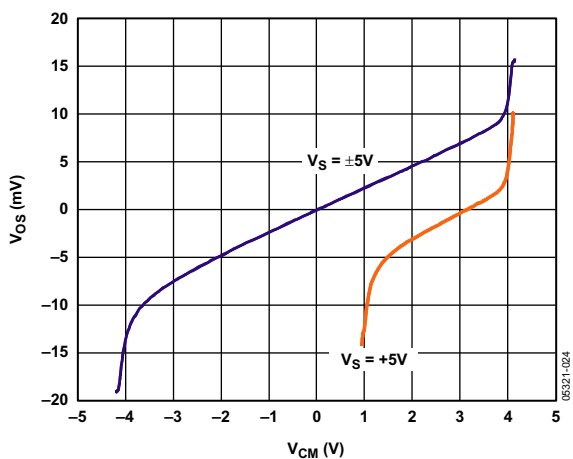


图42. 输入 V_{OS} 与共模电压的关系

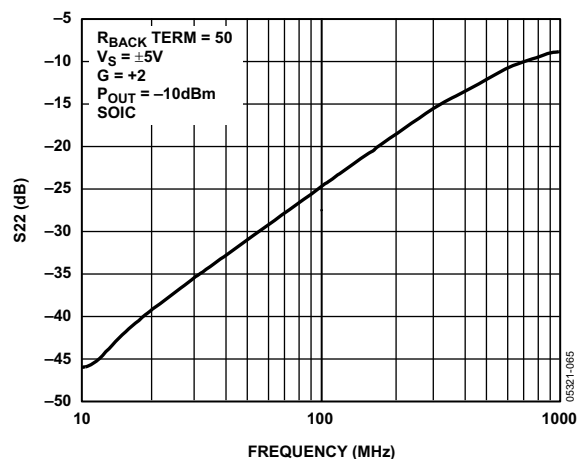


图45. 输出电压驻波比(S22)

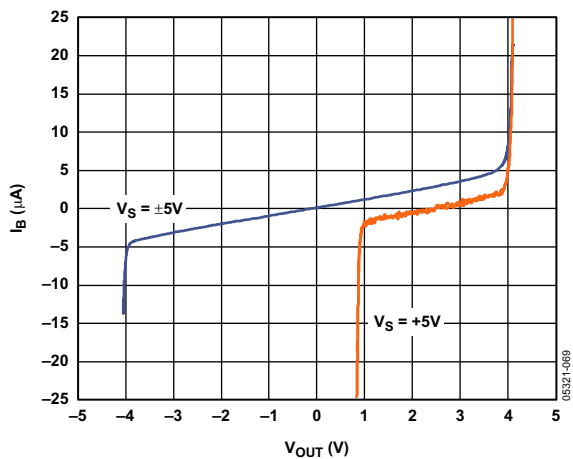


图43. 输入偏置电流与输出电压的关系

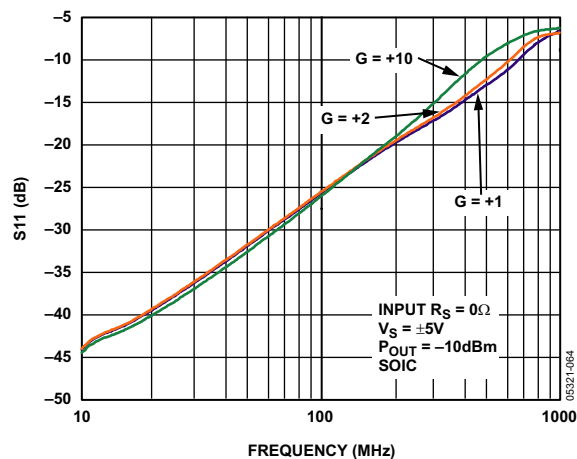


图46. 输入电压驻波比(S11)

测试电路

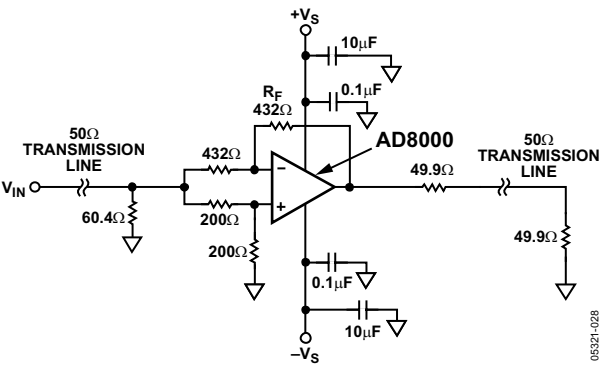


图47. 共模抑制比(CMRR)

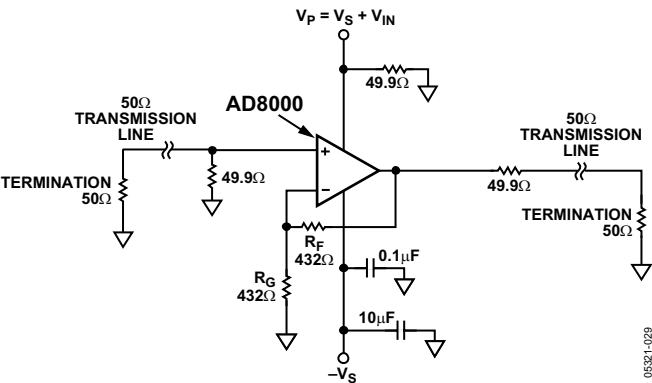


图48. 正PSRR

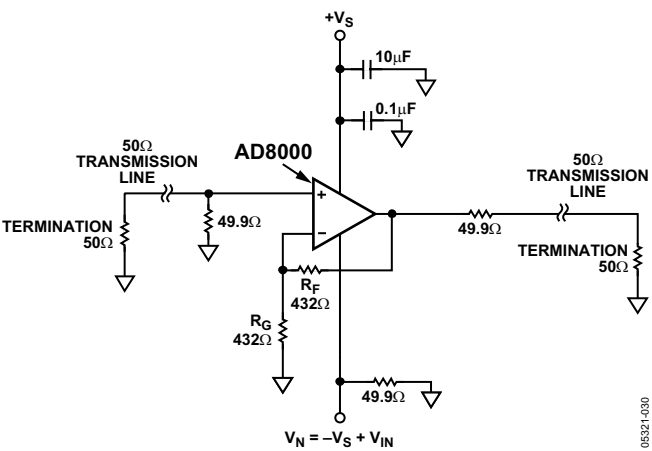


图49. 负PSRR

AD8000

应用

所有电流反馈型运算放大器都受反相输入引脚上杂散电容的影响。出于实际考虑，反相输入端至接地的杂散电容越大，则所需的 R_F 也越大，以便最大程度降低峰化和振铃。

电路配置

图50和图51表示典型的同相和反相配置原理图。对于电流反馈型放大器，其稳定性和带宽由反馈电阻值决定。最优性能值见表5所示。为保证稳定运行，实际值不应偏离表中的最优值 $\pm 10\%$ 以上。图8表示不同 R_F 对带宽的影响。在同相单位增益配置中， R_S 建议使用 $50\ \Omega$ ，如图50所示。

表5提供了电路的数值、增益和输出电压噪声的快速参考信息。

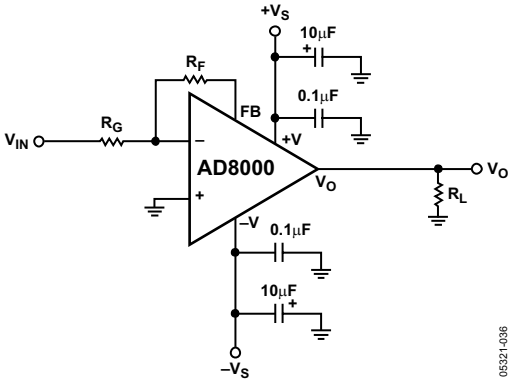


图51. 反相配置

视频线路驱动器

AD8000设计用作性能出色的视频线路驱动器。一些重要的规格，比如差分增益(0.02%)、差分相位(0.01°)以及2 V p-p时的650 MHz带宽，均满足最苛刻的视频要求。图52表示增益为+2的典型同相视频驱动器。

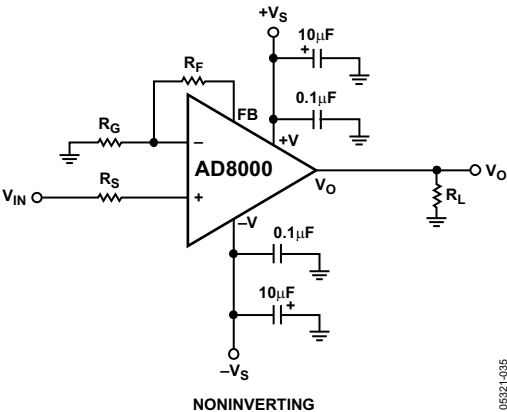


图50. 同相配置

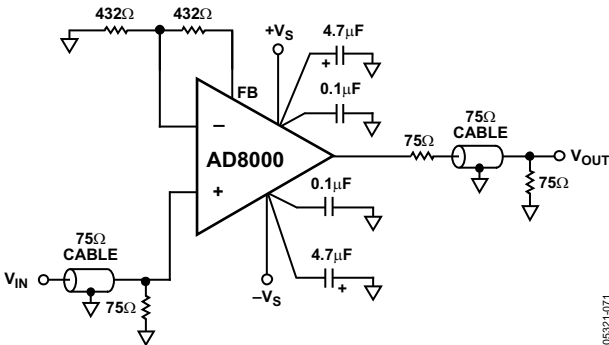


图52. 视频线路驱动器

表5. 典型值(LFCSP/SOIC封装)

增益	器件值(Ω)		-3 dB SS 带宽 (MHz)		-3 dB LS 带宽 (MHz)		压摆率 (V/ μ sec)	输出噪声 (nV/ $\sqrt{\text{Hz}}$)	包括电阻的总输出噪声(nV/ $\sqrt{\text{Hz}}$)
	R_F	R_G	LFCSP	SOIC	LFCSP	SOIC			
1	432	---	1380	1580	550	600	2200	10.9	11.2
2	432	432	600	650	610	650	3700	11.3	11.9
4	357	120	550	550	350	350	3800	10	12
10	357	40	350	365	370	370	3200	18.4	19.9

低失真引脚排列

AD8000的LFCSP封装采用了ADI最新的低失真引脚排列。新的引脚排列降低了二次谐波失真，并简化了电路布局布线。紧靠同相输入端和负电源引脚，导致产生二次谐波失真。以物理方式将同相输入引脚与负电源引脚分隔开，可极大地降低该失真，如图22所示。

通过提供额外的输出引脚，反馈电阻可直接与引脚2和引脚3相连。这极大地简化了反馈电阻的路由，使电路布局更加紧凑，降低尺寸面积，并且最大程度避免了寄生效应，提升了稳定性。

SOIC封装还提供专用的反馈引脚。反馈引脚通过引脚1引出，在标准SOIC引脚排列中通常不连接该引脚。

采用标准SOIC引脚排列的现有应用可利用AD8000的所有性能优势。若要直接替代，请确保引脚1未接地，并且不存在潜在连接，因为该引脚片内连接放大器的输出。而在现有设计中，反馈电阻依然可使用引脚6。

裸露焊盘

AD8000提供裸露焊盘，相比标准SOIC塑料封装可降低25%热阻。焊盘可直接焊接至电路板的接地层。图53显示LFCSP封装的典型焊盘几何尺寸，SOIC封装可采用相同的焊盘尺寸。

在针对焊盘安装的设计中，裸露焊盘可开散热通孔或“散热管道”。这些额外的通孔可改进封装到PCB的散热。在放大器的裸露焊盘焊接的表面使用一块较重的铜片亦可降低针对AD8000而言的整体热阻。

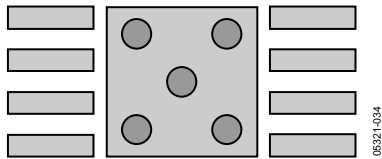


图53. LFCSP封装的裸露焊盘布局

印刷电路板布局布线

印刷电路板(PCB)布局布线一般是设计过程的最后一步，常常也是最重要的步骤之一。如果布局布线不当，再精巧的设计也可能毫无用处。AD8000能够在RF频谱内工作，因此必须考虑高频电路板的布局布线做法。为了获得最佳性能，务必充分注意PCB布局布线、信号布线、电源旁路和接地问题。

信号布线

AD8000 LFCSP采用具有专用反馈引脚的新型低失真引脚排列，为实现紧凑的布局提供了条件。专用反馈引脚缩短了输出端到反相输入端的距离，可大大简化反馈网络的布线。

为使寄生电感最小，高频信号走线之下应使用接地层。不过，输入和输出引脚之下的接地层则应予以移除，以减少寄生电容的形成，避免相位裕量降低。易受噪声影响的信号走线应布设在PCB内层，以提供最大程度的屏蔽。

电源旁路

电源旁路是PCB设计过程的重要方面。为获得最佳性能，AD8000的电源引脚需要适当的旁路。

将电容从每个电源引脚并联连接到接地最有效。并联不同值和尺寸的电容有助于确保电源引脚在较宽的频率范围内都具有较低的交流阻抗，这对于减小放大器的噪声耦合非常重要。直接从电源引脚开始，将值和尺寸最小的元件放在电路板上与放大器相同的一侧，并尽可能靠近放大器，然后将它连接到接地层。对下一个最大值电容重复此过程。建议AD8000使用0508尺寸的0.1 μF 陶瓷电容。0508提供低串联电感和出色的高频性能。0.1 μF 电容可在高频时提供低阻抗。应将一个10 μF 电解质电容与0.1 μF 电容并联。10 μF 电容可在低频时提供低交流阻抗。根据电路要求不同，可以使用更低值的电解质电容。额外的较小值电容有助于为更高频率的干扰噪声提供低阻抗路径，但不一定是必需的。

电容输出至接地层的电容回路(接地)布线同样重要。放大器的接地回路应靠近放大器负载，这一点对于失真性能至关重要。各电容与负载的距离应较短并相等，这样可以实现最佳性能。

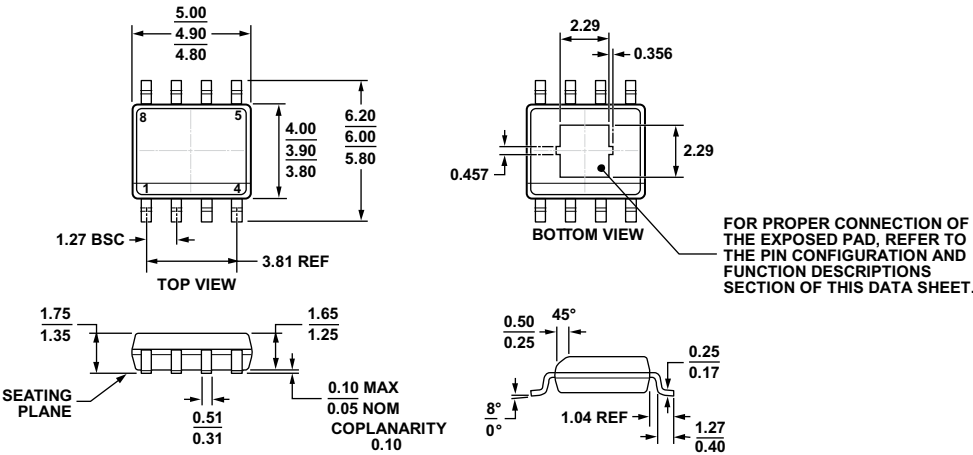
某些情况下，如果布局拥挤或比较困难，则在两个电源之间进行旁路有助于提高PSRR并保持失真性能。这也是一种改善性能的办法。

尽可能缩短走线长度并加宽从电容到放大器的走线可以降低走线电感。串联电感与并联电容可以形成振荡电路，从而在输出端引起高频响铃振荡。因输出端的高频压缩，这一额外电感还可能使失真提高。在连接到放大器电源引脚的直接路径中，应尽可能少用过孔，因为过孔会产生寄生电感，导致电路不稳定。必要时，应选择多个大直径过孔，以便降低等效寄生电感。

接地

为向电源和信号电流提供低阻抗回路，建议采用接地层和电源层。接地层和电源层还有助于降低杂散走线电感，并为放大器提供低热路径。AD8000的任何引脚下均不应连接接地或电源层。安装垫与接地或电源层可以在放大器的输入端形成寄生电容。反相输入端的杂散电容与反馈电阻会形成一个极点，导致相位余量降低和电路不稳定。输出端的杂散电容如果过大，也会形成一个极点，导致相位裕量降低。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-012-AA
图54. 8引脚标准小型封装, 带裸露焊盘[SOIC_N_EP]
窄体(RD-8-1),
尺寸单位: mm和(inch)

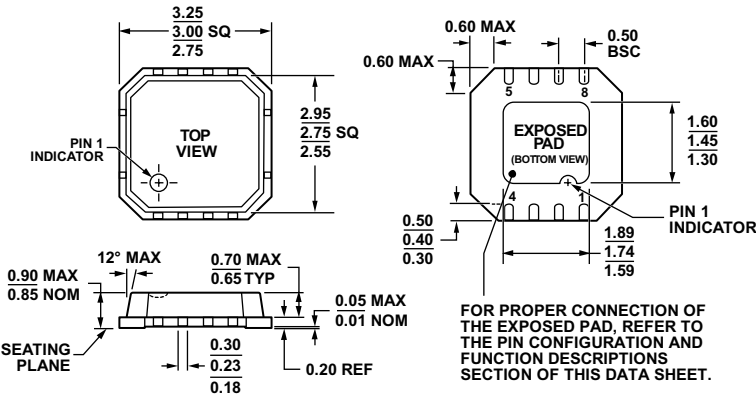


图55. 8引脚引脚架构芯片级封装[LFCSP_VD]
3 mm x 3 mm, 超薄体, 双列引脚(CP-8-2)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项	标识	订购数量
AD8000YRDZ	-40°C至+125°C	8引脚 SOIC_N_EP	RD-8-1		1
AD8000YRDZ-REEL	-40°C至+125°C	8引脚 SOIC_N_EP	RD-8-1		2,500
AD8000YRDZ-REEL7	-40°C至+125°C	8引脚 SOIC_N_EP	RD-8-1		1,000
AD8000YCPZ-R2	-40°C至+125°C	8引脚 LFCSP_VD	CP-8-2	HNB	250
AD8000YCPZ-REEL	-40°C至+125°C	8引脚 LFCSP_VD	CP-8-2	HNB	5,000
AD8000YCPZ-REEL7	-40°C至+125°C	8引脚 LFCSP_VD	CP-8-2	HNB	1,500
AD8000YCPZ-EBZ		评估板			
AD8000YRD-EBZ		评估板			

¹ Z = 符合RoHS标准的器件。

AD8000

注释

注释

AD8000

注释