

系统特性

两个增强型 SHARC+高性能浮点内核

每个 SHARC+内核最高达 450 MHz

每个内核最多有 3 Mb (384 kB) L1SRAM 存储器, 支持奇偶校验, 可配置为缓存 (可选功能)

支持 32 位、40 位和 64 位浮点

32 位定点

字节、短字、字、长字寻址

ARM Cortex-A5 内核

450 MHz/720 DMIPS, 支持 Neon/VFPv4-D16/Jazelle

支持奇偶校验的 32 kB L1 指令缓存/支持奇偶校验的 32 kB L1 数据缓存

256 kB L2 缓存, 支持奇偶校验

强大的 DMA 系统

片内存储器保护

集成安全特性

17 mm × 17 mm 400 引脚 CSP BGA 和 176 引脚 LQFP-EP 封装, 符合 RoHS 标准

系统功耗低, 汽车应用温度范围

存储器

最多 1MB 的大容量片内 L2 SRAM, 具有 ECC 保护功能

一个针对低系统功耗而优化的 L3 接口, 提供与 DDR3、DDR2 或 LPDDR1 SDRAM 器件相连的 16 位接口

其他特性

安全和保护

加密硬件加速器

快速安全引导, 支持 IP 保护

支持 TrustZone®

加速器

FIR、IIR 加速引擎

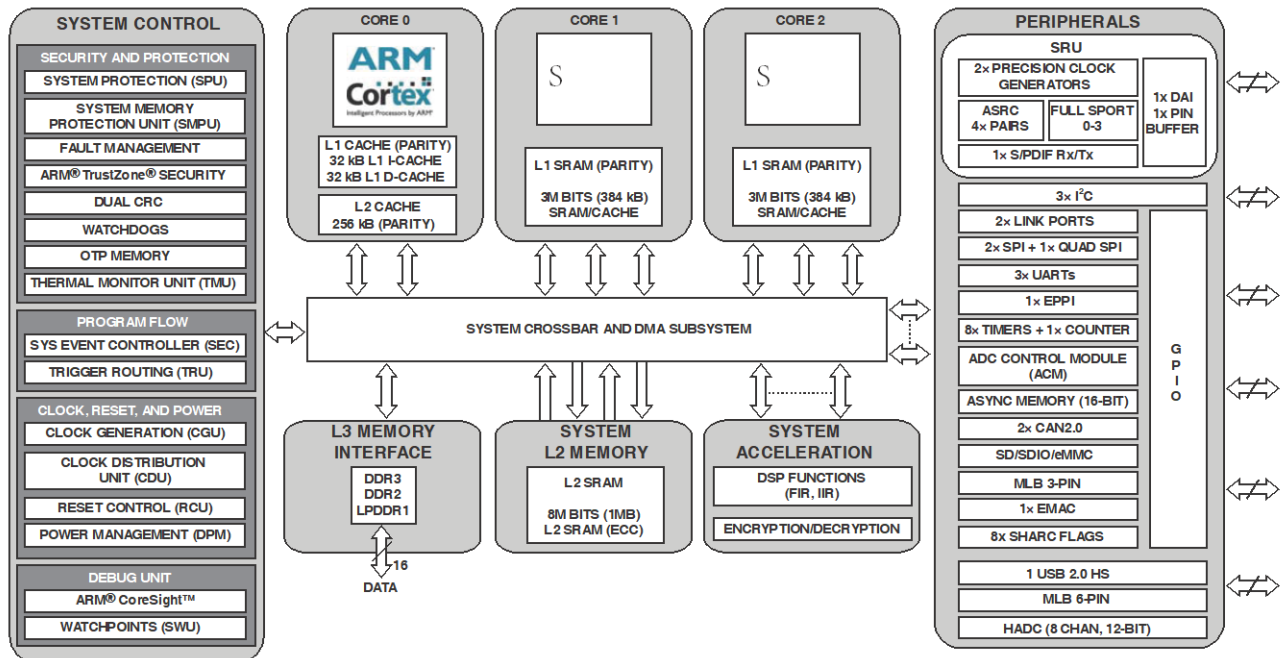


图1. 处理器功能框图

SHARC 和 SHARC 标志均为 ADI 公司的注册商标; SHARC+为 ADI 公司的商标。

Rev. PrB

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700

©2016 Analog Devices, Inc. All rights reserved.

Technical Support

www.analog.com

ADI 中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考 ADI 提供的最新英文版数据手册。

目录

概述.....	3	ADSP-SC57x/ADSP-2157x设计人员快速参考.....	45
ARM Cortex-A5处理器	5	技术规格.....	57
SHARC处理器.....	6	工作条件	57
SHARC+内核架构.....	8	电气特性	60
系统基础架构.....	10	绝对最大额定值	63
系统存储器映射	11	ESD灵敏度.....	64
安全特性	13	封装信息	64
安全特性	14	时序规格	65
处理器外设.....	14	环境条件	122
系统加速	19	ADSP-SC57x/ADSP-2157x 400引脚BGA封装引脚分配.....	123
系统设计	19	按引脚编号顺序	123
系统调试	21	按引脚名称顺序	126
开发工具	22	400引脚CSP_BGA封装配置.....	129
其它信息	23	ADSP-SC57x/ADSP-2157x 176引脚LQFP封装引脚分配 ...	130
相关信号链.....	23	按引脚编号顺序	130
安全特性免责声明.....	23	按引脚名称顺序	132
ADSP-SC57x/ADSP-2157x详细信号描述.....	24	176引脚LQFP封装引脚配置	133
400引脚CSP_BGA封装信号描述	28	外形尺寸.....	134
400引脚CSP_BGA封装的GPIO复用	35	表贴设计	135
176引脚LQFP封装信号描述	38	预发布产品.....	136
176引脚LQFP封装的GPIO复用	43		

修订历史

2016年6月—修订版PrA到修订版PrB

更改处理器比较.....	4
更改汽车应用处理器比较.....	4
更正内部定时器信号路由中的错误	37
更新工作条件.....	57
更新环境条件.....	122

概述

ADSP-SC57x/ADSP-2157x 处理器属于 SHARC®系列产品。ADSP-SC57x处理器基于 SHARC+双核和 ARM® Cortex-A5™内核。ADSP-SC57x/ADSP-2157x SHARC 处理器属于 SIMD SHARC 系列 DSP，采用 ADI 公司的 Super Harvard 架构。这些 32/40/64 位浮点处理器针对高性能音频/浮点应用进行了优化，具有大容量片内 SRAM，多条内部总线可消除 I/O 瓶颈，并且提供创新的数字音频接口 (DAI)。SHARC+内核的最新改进加入了缓存增强、分支预测以及其他指令集改进—同时保持指令集兼容之前的 SHARC 产品。

该 ARM/SHARC 处理器集成了许多业界先进的系统外设和存储器（参见表 1、表 2 和表 3），在一个集成封装中提供 RISC 式编程能力、多媒体支持和先进的信号处理，堪称新一代应用的首选平台。这些应用涵盖众多市场领域，从汽车和专业音频到需要高性能浮点处理的工业应用。

表1. 通用产品特性

	ADSP-SC57x / ADSP-2157x
DAI（包括SRU）	1
全功能SPORT	1×4
S/PDIF Rx/Tx	1×1
ASRC	1×4
精密时钟发生器	1×2
引脚缓冲器	1×20
I²C (TWI)	3
四数据位SPI	1
双数据位SPI	2
CAN2.0	2
UART	3
增强PPI: BGA上多达16位, LQFP上多达12位	1
GP定时器	8
通用计数器	1
看门狗定时器	3
ADC控制模块	是
硬件加速器	
FIR/IIR	是
安全加密引擎	是
多通道12位ADC	8通道BGA; 4通道LQFP

表 2 提供了各种标准处理器的特性差异比较信息。

表 3 提供了各种汽车应用处理器的特性差异比较信息。

表2. 处理器对比¹

处理器特性		ADSP-SC570	ADSP-SC571	ADSP-SC572	ADSP-SC573	ADSP-21571	ADSP-21573
ARM Cortex-A5 (最高MHz)		450/225	450	450/225	450	N/A	N/A
ARM内核一级缓存 (I, D kB)		32, 32	32, 32	32, 32	32, 32	N/A	N/A
ARM内核二级缓存 (kB)		256	256	256	256	N/A	N/A
SHARC+内核1 (最高MHz)		450	450	450	450	450	450
SHARC+内核2 (最高MHz)		N/A	450	N/A	450	450	450
SHARC L1 SRAM/内核 (kB)		1×384	2×384	1×384	2×384	2×384	2×384
系统存储器	L2 SRAM (共享) (MB)	1	1	1	1	1	1
	DDR3/DDR2/LPDDR1控制器 (16位)	N/A	N/A	1	1	N/A	1
USB 2.0 HS + PHY (主机/器件/OTG)		N/A	N/A	1	1	N/A	N/A
EMAC Std/AVB + 定时器IEEE-1588		10/100	10/100	10/100/1000	10/100/1000	N/A	N/A
SDIO/eMMC		N/A	N/A	1	1	N/A	N/A
链路端口		1	1	2	2	1	2
GPIO端口		端口A-D	端口A-D	端口A-F	端口A-F	端口A-D	端口A-F
GPIO + DAI引脚		64 + 20	64 + 20	92 + 20	92 + 20	64 + 20	92 + 20
封装选项		176-LQFP	176-LQFP	400-BGA	400-BGA	176-LQFP	400-BGA

¹ N/A 表示不适用。表3. 汽车应用处理器比较¹

处理器特性		ADSP-SC570W	ADSP-SC571W	ADSP-SC572W	ADSP-SC573W	ADSP-21571W	ADSP-21573W
ARM Cortex-A5 (最高MHz)		450/225	450	450/225	450	N/A	N/A
ARM内核一级缓存 (I, D kB)		32, 32	32, 32	32, 32	32, 32	N/A	N/A
ARM内核二级缓存 (kB)		256	256	256	256	N/A	N/A
SHARC+内核1 (最高MHz)		450	450	450	450	450	450
SHARC+内核2 (最高MHz)		N/A	450	N/A	450	450	450
SHARC L1 SRAM/内核 (kB)		1×384	1×384	1×384	2×384	2×384	2×384
系统存储器	L2 SRAM (共享) (MB)	1	1	1	1	1	1
	DDR3/DDR2/LPDDR1控制器 (16位)	N/A	N/A	1	1	N/A	1
USB 2.0 HS + PHY (主机/器件/OTG)		N/A	N/A	1	1	N/A	N/A
EMAC Std/AVB + 定时器IEEE-1588		10/100	10/100	10/100/1000	10/100/1000	N/A	N/A
SDIO/eMMC		N/A	N/A	1	1	N/A	N/A
MLB		3引脚	3引脚	6引脚/3引脚	6引脚/3引脚	3引脚	6引脚/3引脚
链路端口		1	1	2	2	1	2
GPIO端口		端口A-D	端口A-D	端口A-F	端口A-F	端口A-D	端口A-F
GPIO + DAI引脚		64 + 20	64 + 20	92 + 20	92 + 20	64 + 20	92 + 20
封装选项		176-LQFP	176-LQFP	400-BGA	400-BGA	176-LQFP	400-BGA

¹ N/A 表示不适用。

ARM CORTEX-A5处理器

ARM Cortex-A5 处理器（图 2）是一款高性能处理器，具有如下特性：

- 指令和数据一级缓存单元 (32/32KB)
- 支持动态分支预测的有序流水线
- 支持ARM、Thumb和ThumbEE指令集
- TrustZone安全扩展
- 带存储器管理单元 (MMU) 的Harvard一级存储器系统
- ARM v7调试架构
- 通过嵌入式跟踪宏单元 (ETM) 接口支持跟踪
- 扩展：支持无陷阱执行的矢量浮点单元 (IEEE754)
- 扩展：采用NEON™ 技术的媒体处理引擎 (MPE)
- 扩展：Jazelle硬件加速

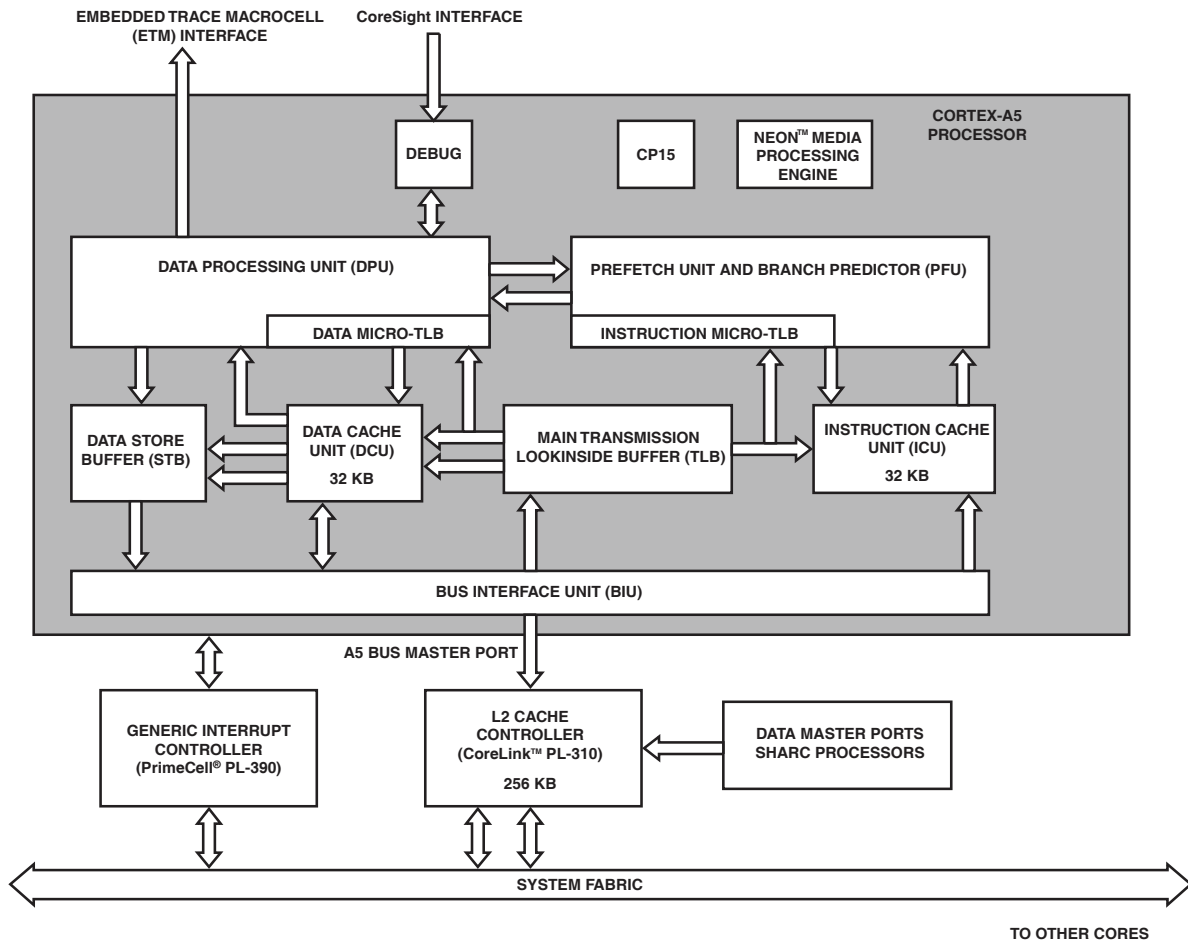


图2. ARM Cortex A-5处理器功能框图

通用中断控制器PL390 (仅限ADSP-SC57x)

通用中断控制器 (GIC) 是一种集中支持和管理中断的资源。ADSP-SC57x 处理器具有 GIC 的单处理器实现。GIC 在逻辑上分为 GICPORT0 (分配模块) 和 GICPORT1 (CPU 接口模块)。

通用中断控制器端口0 (GICPORT0)

GICPORT0 (分配器) 确定中断优先次序, 并将中断分配至与系统处理器相连的 GICPORT1 (CPU 接口) 模块。它将所有中断源集中起来, 确定各中断的优先级, 并将优先级最高的中断转发至接口, 从而进行优先级屏蔽和抢先处理。

通用中断控制器端口1 (GICPORT1)

GICPORT1 (CPU 接口) 模块为相连的系统处理器执行优先级屏蔽和抢先处理。GICPORT1 支持 8 个 SGI (软件产生中断) 和 212 个 SPI (共享外设中断)。

L2 缓存控制器PL310 (仅限ADSP-SC57x)

L2 缓存控制器 PL310 (图 2) 同实现系统结构的 ARM 处理器一起高效工作。该缓存控制器直接与数据和指令接口相连。其内部流水线经过优化, 使得处理器能以相同时钟频率工作。该缓存控制器支持:

- 2 个读/写64位从机端口, 用于连接数据和指令接口, 或用于ARM和SHARC内核之间的数据
- 2 个读/写64位主机端口, 用于与系统结构接口

SHARC处理器

如图 3 所示, SHARC 处理器集成了 SHARC+ SIMD 内核、L1 存储器纵横式交换矩阵、I/D 缓存控制器、L1 存储器模块和主机/从机端口。SHARC+ SIMD 内核如图 4 所示。

SHARC 处理器支持一种改进型 Harvard 架构和分层存储器结构。第一级 (L1) 存储器通常以处理器最高速度工作, 延迟非常短或无延迟。

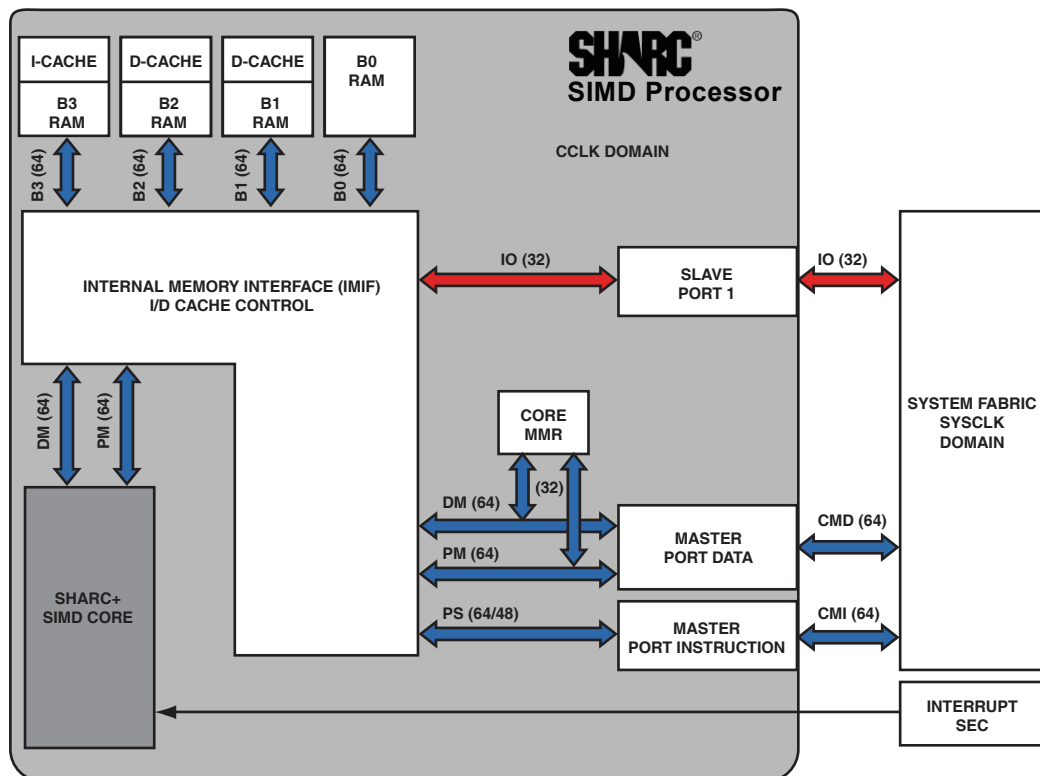


图3. SHARC处理器功能框图

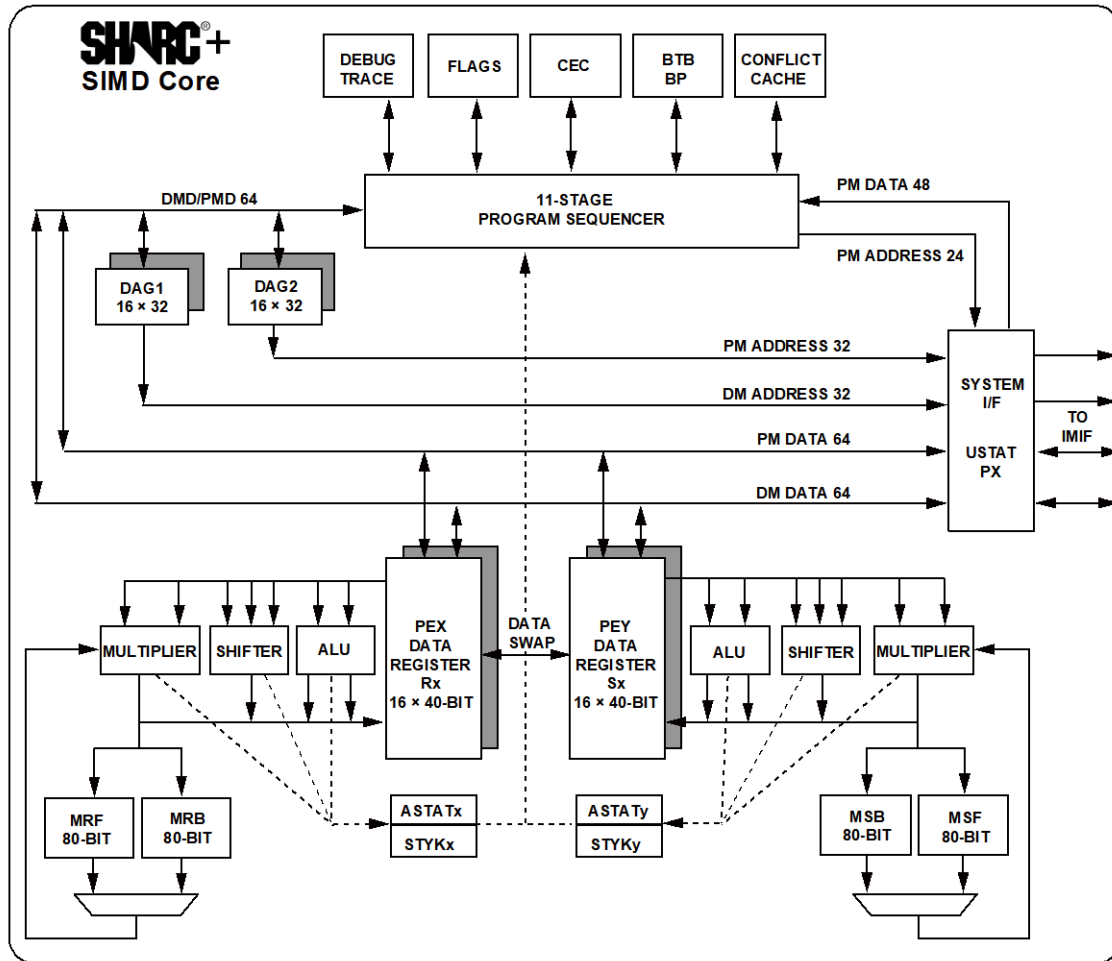


图4. SHARC+ SIMD内核框图

L1存储器

ADSP-SC57x/ADSP-2157x 存储器结构如第 8 页上的图 5 所示。每个 SHARC+内核最多有 3 Mb 的紧密耦合一级 (L1) SRAM。每个 SHARC+内核可以在单周期中访问此存储器空间中的代码和数据。ARM Cortex-A5 内核也可以通过多周期访问这些存储器空间。

在 SHARC+内核私有地址空间中，两个内核均有各自的 L1 存储器。

SHARC+内核 MMR 地址空间为 0x 0000 0000-0x 0003 FFFF (32 位普通字)。每个模块可以针对不同的代码和数据存储组合配置。在 3Mb 的 SRAM 中，最多可将 1024Kb/512Kb 配置为 DM、PM 和指令缓存。每个存储器模块均支持内核处理器和 I/O 处理器的单周期独立访问。存储器架构与其单独的片内总线配合使用，允许在单一周期内从内核传输两个数据，还允许在单一周期内从 I/O 处理器传输一个数据。处

理器的 SRAM 可以配置为最多 96K 字的 32 位数据、192K 字的 16 位数据、64K 字的 48 位指令 (或 40 位数据) 或不同大小字的组合，只要不超过 5 Mb。所有存储器都可以通过 8 位、16 位、32 位、48 位或 64 位字进行访问。支持 16 位浮点存储格式，片内可存储的数据量得以加倍。

32 位浮点与 16 位浮点之间的转换通过单指令执行。虽然每个存储器模块都可以存储代码和数据的组合，但如果让一个模块存储数据，利用 DM 总线进行传输，让另一个模块存储指令和数据，利用 PM 总线进行传输，则存取效率最高。

使用 DM 总线和 PM 总线，一条总线专用于一个存储器模块，就可以保证单周期执行两个数据传输。这种情况下，指令必须通过缓存提供。系统配置很灵活，但典型配置是 512Kb DM、128Kb PM 和 128Kb 缓存，其余 L1 存储器配置为 SRAM。L1 存储器之外的各可寻址存储器空间都可以直接访问或通过缓存访问。

第 11 页上的表 4 (存储器映射) 给出了 L1 存储器地址空间。

此外还有多个 L1 存储器模块，构成一个可配置的 SRAM 与高速缓存组合。

L1 主机和从机端口

每个 SHARC+内核有两个主机端口和一个从机端口与系统结构相连。一个主机端口获取指令，另一个主机端口将数据驱动到系统中。从机端口地址参见 L1 存储器地址映射。

L1 片内存储器带宽

内部存储器架构允许程序对四个模块中的任意模块同时进行 4 次访问（假定不存在模块冲突）。总带宽利用 DMD 和 PMD 总线（ 2×64 位、CCLK 速度和 2×32 位、SYSCLK 速度）实现。

指令和数据缓存

ADSP-SC57x/ADSP-2157x 处理器还有一个传统指令缓存（I 缓存）和两个数据缓存（PM/DM 缓存），所有缓存均支持奇偶校验。这些缓存一起支持每个周期进行一次指令访问和两次数据访问（通过 DM 和 PM 总线）。缓存控制器自动管理 L1 存储器的已配置部分。系统可将 L1 存储器的一部分配置为由缓存控制器自动管理。这些缓存的大小可独立配置，范围是从 0 到 128 kB。不受缓存控制器管理的存储器可由处理器直接寻址。控制器确保两个数据缓冲具有数据一致性。缓存提供用户可控的功能，如锁定（全部和部分）、区间失效和刷新等。

系统事件控制器输入

SEC 控制器的输出被转发至内核事件控制器 (CEC)，以便直接响应所有未屏蔽的系统中断。它还支持嵌套，包括各种 SEC 中断通道仲裁选项。对于所有 SEC 通道，处理器通过中断处理将算术状态 (ASTATx 和 STATy) 寄存器和模式 (MODE1) 寄存器自动并行堆叠起来。

内核存储器映射寄存器 (CMMR)

内核存储器映射寄存器控制 L1 I/D 缓存、BTB、L2 缓存、奇偶校验错误、系统控制、调试和监控功能。

SHARC+内核架构

ADSP-SC57x/ADSP-2157x 处理器与 ADSP-2148x、ADSP-2147x、ADSP-2146x、ADSP-2137x、ADSP-2136x、ADSP-2126x、ADSP-21160、ADSP-21161 及第一代 ADSP-2106x SHARC 处理器在汇编水平上代码兼容。ADSP-SC57x/ADSP-2157x 处理器与 ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-214xx、ADSP-2116x SIMD SHARC 处理器具有相同的架构特性，如图 4 所示，详见以下部分的说明。

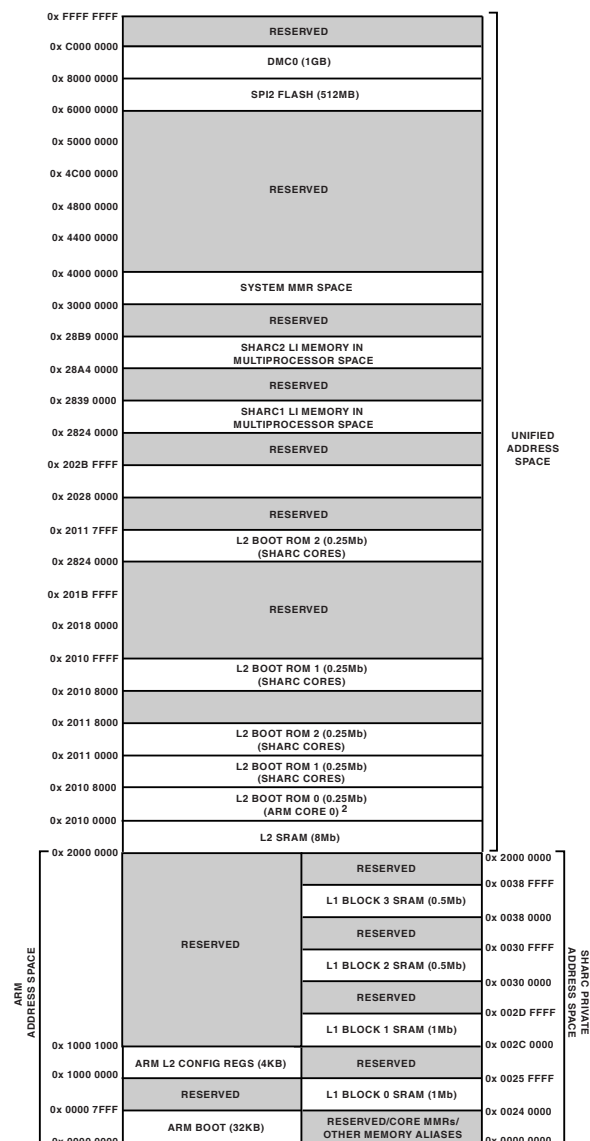


图5. ADSP-SC57x/ADSP-2157x 存储器映射

SIMD 计算引擎

SHARC+内核包含两个用作单指令、多数据 (SIMD) 引擎的计算处理器元件，分别称为 PEx 和 PEy，各元件均由 ALU、乘法器、移位器和寄存器文件组成。PEx 始终有效，PEy 通过将 MODE1 寄存器的 PEYEN 模式位设为 1 来使能。SIMD 模式允许处理器在两个处理元件中执行同一指令，但各处理元件处理不同的数据。这种架构对于执行计算密集型 DSP 算法非常有效。除了具有其前代产品的所有特性之外，SHARC+内核还提供了一种更简单的新方式来仅在 PEy 上执行指令。

SIMD 模式也会影响数据在存储器与处理元件之间的传输方式, 因为为了支持处理元件的计算操作, 需要两倍的数据带宽。所以, 进入 SIMD 模式时, 存储器与处理元件之间的带宽也会加倍。在 SIMD 模式下使用 DAG 传输数据时, 每次存储器或寄存器文件访问传输两个数据值。

独立并行计算单元

各处理元件内部有一组流水线式计算单元。计算单元由算术/逻辑单元 (ALU)、乘法器和移位器组成。这些单元并行排列, 从而使计算吞吐率达到最大。这些计算单元支持 IEEE 32 位单精度浮点、40 位扩展精度浮点、IEEE 64 位双精度浮点和 32 位定点数据格式。

多功能指令集支持 ALU 和乘法器操作并行执行。在 SIMD 模式下, 并行 ALU 和乘法器操作同时在每个内核的两个处理元件中进行。

所有处理操作都需要一个周期来完成。对于所有浮点操作, 如果存在数据关联性, 则处理器需要两个周期才能完成。双精度浮点数据需要 2 到 6 个周期来完成。处理器保留适当数量的周期 (联锁流水线加数据关联性检查)。

内核定时器

每个 SHARC+处理器内核还有自己的专用定时器。这个额外的定时器由处理器内部时钟提供时钟信号, 通常用作系统周期时钟来产生操作系统周期性中断。

数据寄存器文件

每个处理元件均包含一个通用数据寄存器文件。该寄存器文件用于在计算单元与数据总线之间传输数据, 以及存储即时结果。这些 10 端口、32 寄存器 (16 个主要寄存器、16 个辅助寄存器) 寄存器文件加上处理器的增强 Harvard 架构, 实现了计算单元与内部存储器之间不受限制的数据流动。PE_x 中的寄存器称为 R0 至 R15, PE_y 中称为 S0 至 S15。

上下文切换

处理器的许多寄存器都有辅助寄存器, 在中断处理期间可以将其激活以实现快速上下文切换。寄存器文件中的数据寄存器、DAG 寄存器以及乘法器结果寄存器均有辅助寄存器。主要寄存器在复位时有效, 辅助寄存器则是通过模式控制寄存器中的控制位激活。

通用寄存器

通用任务使用这些寄存器。USTAT (4) 寄存器可以对所有外设寄存器 (控制/状态) 轻松进行位操作 (置 1、清 0、反转、测试、XOR)。

数据总线交换寄存器 (PX) 允许数据在 64 位 PM 数据总线与 64 位 DM 数据总线之间传送, 或者在 40 位寄存器文件与 PM/DM 数据总线之间传送。这些寄存器包含用来处理数据宽度差异的硬件。

带零开销硬件环形缓冲器支持的数据地址发生器

处理器的两个数据地址发生器 (DAG) 用于间接寻址以及环形数据缓冲器的硬件实现。环形缓冲器支持对数字信号处理所需的延迟线和其它数据结构进行高效编程, 常用于数字滤波器和傅里叶变换。处理器的两个 DAG 包含足够的寄存器, 最多可以创建 32 个环形缓冲器 (16 个主要寄存器集、16 个辅助寄存器集)。DAG 自动处理地址指针回绕, 可降低开销、提高性能并简化实现。环形缓冲器可以在任何寄存器位置开始和结束。

灵活的ISA指令集

48 位指令字支持各种并行操作, 可实现简练编程。例如, 处理器可以有条件地在两个处理元件中执行乘法、加法和减法, 同时进行分支并从存储器获取最多 4 个 32 位数据值—所有这些只需一个指令。此外, SHARC+内核增加了双精度浮点指令集。

可变指令集架构 (VISA)

除了支持源自上一代 SHARC 处理器的标准 48 位 (ISA) 指令以外, SHARC+内核处理器还支持 ADSP-214xx 产品的 16 位和 32 位新指令。此特性称为可变指令集架构 (VISA), 48 位指令中的冗余/无用位被删除, 从而使代码更有效、更紧凑。程序序列器支持从内部和外部存储器获取这些 16 位和 32 位指令。VISA 不是一种工作模式, 它仅与地址相关 (参见存储器映射 ISA/VISA 地址空间)。此外, 它允许在 ISA 和 VISA 取指令操作之间跳转。

单周期获取1个指令和4个操作数

ADSP-SC57x/ADSP-2157x 处理器采用增强 Harvard 架构, 数据存储器 (DM) 总线传输数据, 程序存储器 (PM) 总线传输指令和数据。

利用独立的程序和数据存储器总线以及片内指令冲突缓存, 处理器可以在一个周期内同时获取 4 个操作数 (每条数据总线 2 个) 和 1 个指令 (从冲突缓存)。

内核事件控制器 (CEC)

SHARC+内核 IVT 产生各种内核中断 (算术和环形缓冲器指令流异常) 以及 SEC 事件 (调试/监控、软件)。内核仅响应未屏蔽的中断 (IMASK 寄存器)。

指令冲突缓存

处理器含有一个 32 条目指令缓存, 支持三总线操作以获取一个指令和四个数据值。该缓存是选择性的一只有这样的指令才会被缓存: 指令获取与 PM 总线数据存取冲突。此缓存支持全速执行内核环路操作, 如数字滤波器乘加和 FFT 蝴蝶处理等。冲突缓存仅用于片内总线冲突。

分支目标缓冲器/分支预测器

基于硬件的分支预测器 (BP) 和分支目标缓冲器 (BTB) 的实现可缩短分支延迟。对于条件指令和无条件指令, 程序序列器利用此目标缓冲器 (BTB) 支持高效分支处理。

寻址空间

对于数据和指令存取, 除了传统上支持的长字、普通字、扩展精度字和短字寻址别名以外, 处理器还支持字节寻址。为了从字节空间存取所有大小的数据, 以及将字地址/字节转换为字节/字地址, 增强 ISA/VISA 提供了新的指令。

其他特性

ADSP-SC57x/ADSP-2157x 处理器的增强 ISA/VISA 还提供用于数据同步的存储器屏障指令 (sync), 用于多核数据共享的专门数据存取支持, 以及用于使能多处理器编程的专门数据存取。为了增强应用的可靠性, L1 数据 RAM 支持对每个字节使用奇偶校验错误检测逻辑。此外, 处理器可检测非法操作码。这两个错误均可产生内核中断。内核的主机端口还能检测到失败的外部访问。

系统基础架构

下面说明 ADSP-SC57x/ADSP-2157x 处理器的系统基础架构。

系统 L2 存储器

两个 SHARC+内核、ARM Cortex-A5 内核和 DMA 通道还可以使用 1 MB 的系统级 L2 存储器。(参见表 5。) ARM 和 SHARC+内核对此存储器空间的存储器访问均为多周期访问。该存储器空间用于以下各种情况:

- ARM至SHARC+内核数据共享和内核间通信
- 加速器和外设的来源与目标存储器, 避免访问外部存储器中的数据
- 存放DMA描述符的位置
- 存储用于ARM或SHARC+内核的额外数据, 避免外部存储器延迟并降低外部存储器带宽
- 存储传入的以太网流量以改善性能
- 存储SHARC+内核缓存的数据系数表

关于限制特定内核和 DMA 主机访问的选项, 参见 [系统存储器保护单元 \(SMPU\)](#)。

ARM Cortex-A5 内核具有 L1 指令和数据缓存, 各自的大小均为 32 kB。还有一个 256 kB 的 L2 缓存控制器。当使能这些缓存时, 访问所有其他存储器空间 (内核和外部) 都要经过缓存。

多处理器空间中的SHARC+内核 L1 存储器

ARM Cortex-A5 内核可以访问 SHARC+内核的 L1 存储器。多处理器空间中的 L1 存储器地址参见表 6。SHARC+内核可以访问多处理器空间中其他 SHARC+内核的 L1 存储器。

一次性可编程存储器 (OTP)

这些处理器具有 7Kb 的一次性可编程 (OTP) 存储器, 可通过存储器映射进行访问。此存储器存储芯片唯一标识, 并支持安全引导和安全操作。

I/O 存储器空间

静态存储器控制器 (SMC) 用来控制最多 2 组外部存储器或存储器映射设备, 其时序参数很灵活。每一组占用 8KB 区段, 与所用器件的大小无关。映射 I/O 还包括 SPI2 存储器地址空间。参见表 7。

系统存储器映射

表4. L1模块0、1、2、3 SHARC寻址存储器映射（私有地址空间）

存储器	长字（64位）	扩展精度/ISA码（48位）	普通字（32位）	短字/VISA码（16位）	字节访问（8位）
L1模块0 SRAM（1 Mb）	0x00048000–0x0004BFFF	0x00090000–0x00095554	0x00090000–0x00097FFF	0x00120000–0x0012FFFF	0x00240000–0x0025FFFF
L1模块1 SRAM（1 Mb）	0x00058000–0x0005BFFF	0x000B0000–0x000B5554	0x000B0000–0x000B7FFF	0x00160000–0x0016FFFF	0x002C0000–0x002DFFFF
L1模块2 SRAM（0.5 Mb）	0x00060000–0x00061FFF	0x000C0000–0x000C2AA9	0x000C0000–0x000C3FFF	0x00180000–0x00187FFF	0x00300000–0x0030FFFF
L1模块3 SRAM（0.5 Mb）	0x00070000–0x00071FFF	0x000E0000–0x000E2AA9	0x000E0000–0x000E3FFF	0x001C0000–0x001C7FFF	0x00380000–0x0038FFFF

表5. L2存储器寻址映射

存储器	字节地址空间ARM – 数据访问和指令获取SHARC – 数据访问	用于数据访问的普通字地址空间SHARC	指令获取VISA地址空间SHARC	指令获取ISA地址空间SHARC
L2引导-ROM0 ¹	ARM: 0x00000000–0x00007FFF SHARC/DMA: 0x20100000–0x20107FFF	0x08040000–0x08041FFF	0x00B20000–0x00B23FFF	0x00580000–0x00581555
L2 RAM（8 Mb）	0x20000000–0x200FFFFF	0x08000000–0x0803FFFF	0x00B80000–0x00BFFFFF	0x005C0000–0x005EAAAA
引导ROM1	0x20108000–0x2010FFFF	0x08042000–0x08043FFF	0x00B00000–0x00B03FFF	0x00500000–0x00501555
引导ROM2	0x20110000–0x20117FFF	0x08044000–0x08045FFF	0x00B40000–0x00B43FFF	0x00540000–0x00541555

¹ 就 ARM 而言，L2 引导-ROM0 字节地址空间为 0x 0000 0000–0x 0000 7FFF。

表6. 多处理器空间中的SHARC L1存储器

		存储器模块	用于ARM和SHARC的字节地址空间	用于SHARC的普通字地址空间
多处理器空间中SHARC1的L1存储器	通过从机1端口寻址	Block0	0x28240000–0x2825FFFF	0x0A090000–0x0A097FFF
		Block1	0x282C0000–0x282DFFFF	0x0A0B0000–0x0A0B7FFF
		Block2	0x28300000–0x2830FFFF	0x0A0C0000–0x0A0C3FFF
		Block3	0x28380000–0x2838FFFF	0x0A0E0000–0x0A0E3FFF
多处理器空间中SHARC2的L1存储器	通过从机1端口寻址	Block0	0x28A40000–0x28A70000	0x0A290000–0x0A297FFF
		Block1	0x28AC0000–0x28AF0000	0x0A2B0000–0x0A2B7FFF
		Block2	0x28B00000–0x28B20000	0x0A2C0000–0x0A2B3FFF
		Block3	0x28B80000–0x28BA0000	0x0A2E0000–0x0A2E3FFF

表7. 映射I/O的存储器映射

	字节地址空间ARM – 数据访问和指令获取SHARC – 数据访问	用于数据访问的普通字地址空间SHARC	SHARC内核指令获取	
			VISA空间	ISA空间
SPI2 Memory（512 MB）	0x60000000–0x7FFFFFFF	0x04000000–0x07FFFFFF	0x00F80000–0x00FFFFFF	0x00780000–0x007FFFFFF

表8. DMC存储器映射

	字节地址空间ARM – 数据访问和指令获取SHARC – 数据访问	用于数据访问的普通字地址空间SHARC	SHARC内核指令获取	
			VISA空间	ISA空间
DMC0 – 1 GB	0x80000000–0xBFFFFFFF	0x10000000–0x17FFFFFF	0x00800000–0x00AFFFFF	0x00400000–0x004FFFFFF

纵横式系统交换矩阵 (SCB)

纵横式系统交换矩阵 (SCB) 是开关结构样式的基本构建模块，用于（片上）系统总线互连。SCB 将系统总线主机连接至系统总线从机，以在多个总线主机与多个总线从机之间提供并行数据传输。分层模型—由多个 SCB 构成—提供一种低功耗、小面积的系统互连，满足特定系统的性能和灵活性要求。

SCB 具有如下特性：

- 高效率、流水线式总线传输协议支持持续吞吐
- 全双工总线操作提供灵活性并降低延迟
- 支持并行总线传输，多个总线主机可以同时访问多个总线从机
- 支持保护模型（特权/安全），可实现选择性总线互连保护

直接存储器访问 (DMA)

处理器利用直接存储器访问 (DMA) 在存储空间之间或存储空间与外设之间传输数据。处理器可以指定数据传输操作，然后返回正常处理状态，同时全集成式 DMA 控制器独立于处理器执行数据传输。

DMA 传输可以发生在存储器与外设之间或一个存储器与另一个存储器之间。每个存储器到存储器 DMA 流使用两个通道，一个是来源通道，另一个是目标通道。

所有 DMA 都可以将数据传入和传出所有片内和片外存储器。程序可以使用两类 DMA 传输：基于描述符或基于寄存器。基于寄存器的 DMA 允许处理器直接设置 DMA 控制寄存器以启动 DMA 传输。完成后，控制寄存器自动更新为原始设置值以进行连续传输。基于描述符的 DMA 传输要求将一组参数存储在存储器内以启动一个 DMA 序列。基于描述符的 DMA 传输允许将多个 DMA 序列链接起来。设置 DMA 通道在当前序列完成后自动设置和启动下一 DMA 传输。

DMA 引擎支持下列 DMA 操作：

- 完成时停止的单通道线性缓冲器。
- 跨步长度为负、正或零的线性缓冲器。

- 每当缓冲器全满时便中断的循环、自动刷新式缓冲器。
- 每当缓冲器部分充满（如1/2满、1/4满等）便中断的类似缓冲器。
- 1D DMA – 使用一组相同的乒乓式缓冲器，这些缓冲器由双字描述符集的链接环定义，各描述符包含一个链接指针和一个地址。
- 1D DMA – 使用4字描述符集的链接列表，各描述符包含一个链接指针、一个地址、长度和配置。
- 2D DMA – 使用单字描述符集的阵列，仅指定DMA基地址。
- 2D DMA – 使用多字描述符集的链接列表，指定所有项。

存储器DMA (MDMA)

处理器支持多种存储器到存储器 DMA 操作，包括：

- 带CRC保护的标准带宽MDMA通道（32位总线宽度，时钟采用SYSCLK）
- 增强带宽MDMA通道（32位总线宽度，时钟采用SYSCLK）
- 最大带宽MDMA通道（64位总线宽度，时钟采用SYCLK）

扩展存储器DMA

扩展存储器 DMA 支持多种工作模式，例如延迟线 DMA（处理器读取和写入外部延迟线缓冲器，从而存取外部存储器，只需与内核发生非常有限的交互）和分散/聚集 DMA（写入/读取非连续存储块）。

CRC保护

CRC 保护模块允许系统软件定期计算存储器中的代码和/或数据、存储器映射寄存器的内容或通信消息对象的签名。专用硬件电路比较该签名与预计算值，从而触发适当的故障事件。

例如，系统软件每隔 100 ms 便启动对存储器所有内容的签名计算，然后比较签名与预期的预计算值。如果不一致，则产生故障条件（通过处理器内核或触发例程单元）。

CRC 是基于 CRC32 引擎的硬件模块，计算向其提供的 32 位数据字的 CRC 值。存储器到存储器 DMA 的来源通道（存储器扫描模式下）提供数据，可以将其转送到目标通道（存储器传输模式）。CRC 外设的主要特性如下：

- 存储器扫描模式
- 存储器传输模式
- 数据验证模式
- 数据填充模式
- 用户可编程的CRC32多项式
- 位/字节镜像选项（字节序）
- 故障/错误中断机制
- 1D和2D填充模块利用常数初始化阵列
- 存储器模块或MMR模块的32位CRC签名

事件处理

处理器提供的事件处理支持嵌套和优先级设置。嵌套允许多个事件服务例程同时有效。优先级设置可确保高优先级事件的处理先于低优先级事件的处理。处理器支持下列五种不同类型的事件：

- 仿真 - 仿真事件会使处理器进入仿真模式，从而通过 JTAG接口执行处理器的命令和控制功能。
- 复位 - 该事件会使处理器复位。
- 异常 - 与程序流程同步发生的事件（换言之，异常发生在指令执行完毕之前）。一方面，由SHARC+内核触发的条件，如数据对齐（SIMD/长字）或计算违规（定点或浮点）等，以及非法指令会引起内核异常。另一方面，由SEC触发的条件，如ECC/奇偶校验/看门狗/系统时钟等，会引起系统异常。
- 中断 - 与程序流程异步发生的事件，由输入信号、定时器、其它外设和显式软件指令引发。

系统事件控制器 (SEC)

两个 SHARC+内核均有系统事件控制器。系统事件控制器具有如下特性：

- 系统事件源的全面管理，包括中断使能、故障使能、优先级、内核映射和源映射
- 分布式编程模型，各系统事件源控制和所有状态字段都是相互独立的
- 确定性，所有系统事件都有相同的传播延迟，并且为特定系统事件源提供唯一的标识
- 从机控制端口，用于访问配置、状态、中断/故障服务模型的所有SEC寄存器

- 全局锁定支持寄存器级保护模型，防止写入“锁定”的寄存器
- 故障管理，包括故障操作配置、超时、外部指示和系统复位

触发路由单元 (TRU)

TRU 提供系统级序列控制，无需内核干预。TRU 将触发主机（触发产生者）映射到触发从机（触发接收者）。从机端点可以通过多种方式响应触发。TRU 支持的常见应用包括：

- 一个DMA通道的序列完成后，自动触发另一个DMA序列开始
- 软件触发
- 同时发生的活动的同步

安全特性

下面说明 ADSP-SC57x/ADSP-2157x 处理器的安保特性。

ARM TrustZone

ADSP-SC57x 处理器提供 TrustZone®技术，后者已密切集成到 Cortex-A5 处理器中。利用该技术可实现一种安全状态，通过 AMBA® AXI™ 总线和互连结构，该安装状态还会扩展到整个系统。

加密硬件加速器

ADSP-SC57x/ADSP-2157x 处理器支持基于标准的硬件加速加密、解密、认证和真随机数生成。

支持下列硬件加速加密方案：

- ECB、CBC、ICM和CTR模式的AES，128位、192位和256位密钥
- ECB和CBC模式的DES，56位密钥
- ECB和CBC模式的3DES，3x56位密钥
- 有状态、无状态模式的ARC4，最多128位密钥

支持下列硬件加速散列函数：

- SHA-1
- 带224位和256位摘要的SHA-2
- SHA-1和SHA-2的HMAC变形
- MD5

处理器提供了公共密钥加速器，用于减轻计算密集型公共密钥加密操作负荷。

处理器具有基于硬件的非确定性随机数发生器和伪随机数发生器。

处理器还具有安全引导功能, 通过 224 位椭圆曲线数字签名确保引导流的完整性和真实性。另外, 还可以通过 AES-128 加密确保私密性。

**警告**

本产品内置安全特性, 可保护嵌入式非易失存储器内容并防止执行未经授权的代码。当订购方或后续接收方使能该器件的安全特性后, ADI 公司对退回器件执行故障分析的能力会受到限制。关于该器件的故障分析限制详情, 请联系 ADI 公司。

安全调试功能仅允许可信用户利用调试工具访问系统。

系统保护单元 (SPU)

系统保护单元 (SPU) 通过提供写保护机制来防止对外设 MMR 空间的意外或有害访问。用户可以选择并配置受保护的外设, 以及配置外设要防备四个系统 MMR 主机 (内核、存储器 DMA 和 CoreSight™ 调试) 中的哪些主机。

SPU 同时是安全基础架构的一部分。除写保护功能外, SPU 还用于定义哪些资源是安全的或不安全的, 并阻止非安全主机访问安全资源。

系统存储器保护单元 (SMPU)

顾名思义, 系统存储器保护单元 (SMPU) 提供存储器保护, 防止对存储器的特定区域进行读和/或写处理。除 SHARC L1 和 SPI 直接存储器从机之外, ADSP-SC57x/ADSP-2157x 处理器的每个存储器空间都有对应的 SMPU 单元。

SMPU 也是安全基础架构的一部分。利用这些单元, 用户不仅可以防止随意的读和/或写处理, 而且能将存储器区域定义为安全区域, 防止非安全主机访问这些存储器区域。

安全特性

ADSP-SC57x/ADSP-2157x 处理器设计用于支持功能安全应用。虽然安全性主要由系统决定, 但器件提供的下列基础特性有助于实现强大的安全性。

多奇偶校验位保护的SHARC+内核L1存储器

在 SHARC+内核的 L1 存储空间中, 无论是 SRAM 还是缓存, 每个字都受多奇偶校验位的保护, 可检测所有 RAM 中的单粒子翻转。缓存标签和 BTB 也受奇偶校验保护。

奇偶校验保护的ARM L1缓存

在 Cortex-A5 L1 缓存空间中, 每个字都受多奇偶校验位的保护, 可检测所有 RAM 中的单粒子翻转。缓存标签也受奇偶校验保护。

ECC保护的L2存储器

错误纠正码 (ECC) 用于纠正单粒子翻转。L2 存储器受单错误纠正-双错误检测 (SEC-DED) 码的保护。ECC 默认使能, 但可以按组禁用。单位错误以透明方式纠正。双位错误可以产生一个系统事件或故障 (如果使能)。ECC 保护对用户是完全透明的, 即使 L2 存储器由 8 位或 16 位实体读取或写入。

奇偶校验保护的外设存储器

待定。

CRC保护的存储器

奇偶校验位和 ECC 保护主要用来防止 L1 和 L2 存储单元中的随机软错误, 而 CRC 引擎则用来防止 L1、L2 甚至 L3 存储器 (DDR2、LPDDR) 发生系统性错误 (指针错误) 并保护静态内容 (指令代码)。处理器具有两个 CRC 引擎, 嵌入在存储器到存储器 DMA 控制器中。CRC 校验和的计算或比较可以在存储器传输期间即时完成, 一个或多个存储器区域可以由单个 DMA 工作单元按照 DMA 描述符链接指令连续处理。CRC 引擎也能保护引导过程中加载的数据。

信号看门狗

8 个通用定时器可以通过两种模式来监控片外信号。看门狗周期模式监控外部信号是否以预期范围内的周期切换。看门狗宽度模式监控外部信号的脉冲宽度是否在预期范围内。两种模式均有助于检测系统级信号的干扰性切换 (或缺少系统信号)。

系统事件控制器 (SEC)

除系统事件外, SEC 还支持故障管理, 包括超时等故障操作配置, 通过系统中断提供内部指示或通过 SYS_FAULT 引脚提供外部指示, 以及系统复位。

存储器错误控制器 (MEC)

待定。

处理器外设

下面说明 ADSP-SC57x/ADSP-2157x 处理器的外设。

动态存储控制器 (DMC)

16 位 DMC 连接到:

- LPDDR1 (JESD209A) 最大频率200 MHz
DDRCLK(64Mb – 2Gb)
- DDR2 (JESD79-2E) 最大频率400 MHz DDRCLK
(256Mb – 4Gb)
- DDR3 (JESD79-3E) 最大频率450 MHz
DDRCLK(512Mb – 8Gb)

DMC 存储器映射参见表 8。

数字音频接口 (DAI)

处理器支持一个镜像 DAI 单元。通过 DAI, 各种外设可以连接到任意 DAI 引脚 (DAI0_PIN20–PIN01)。

程序利用信号路由单元 (SRU) 实现这些连接, 如第 1 页上的图 1 所示。

SRU 是一个矩阵路由单元 (或一组多路复用器), 支持 DAI 提供的外设在软件控制下互连。因此, 与非可配置信号路径支持的算法集相比, 它可以使用更大的算法集, 使得更广泛的应用可以轻松使用 DAI 相关外设。

DAI 包括下面说明的外设。DAI 引脚缓冲器 20–19 可用来改变输入信号的极性。除少数例外情况, 属于不同 DAI 的外设信号不能互连。

DAI 引脚缓冲器也可用作 GPIO 引脚。DAI 输入信号支持在上升沿和下降沿二者上或其中之一上触发中断。

串行端口 (SPORT)

这些处理器具有 4 个同步全功能串行端口, 通过这些端口, 处理器可以低成本地连接到各种数字和混合信号外设, 如 ADI 公司的 AD19xx/ADAU19xx 系列音频编解码器、ADC 和 DAC。这些串行端口由两条数据线、一条时钟线和一条帧同步线组成。数据线可以编程为发送或接收数据, 各数据线有一个专用 DMA 通道。

各全功能 SPORT 模块由两个功能相同、可独立配置的半 SPORT 组成。每个半 SPORT 有两条双向数据线—主线 (0) 和副线 (1), 可配置为发送器或接收器。因此, 各半 SPORT 可以配置为两个发送器或两个接收器通道, 允许两个单向流进入或流出同一全功能 SPORT。这种双向功能为串行通信提供了更大的灵活性。对于全双工配置, 一半 SPORT 提供两个发射信号, 另一半 SPORT 提供两个接收信号。帧同步和时钟共享。最大 SCLK 为 1024xFS (TX 主机、RX 从机) 和 512xFS (TX 从机、RX 主机)。

串行端口有六种工作模式:

- 标准DSP串行模式
- 多通道 (TDM) 模式
- I²S模式

- 打包I²S模式
- 左对齐模式
- 右对齐模式

异步采样速率转换器 (ASRC)

异步采样速率转换器 (ASRC) 包含 4 个 ASRC 模块, 具有与 192 kHz 立体声异步采样速率转换器 AD1896 相同的内核, SNR 高达 140 dB。ASRC 模块用于在独立的立体声通道上执行同步或异步采样速率转换, 不占用内部处理器资源。SRC 模块也可以配置为联合工作, 实现无相位失配的多通道音频数据转换。最后, ASRC 可以用来清除音频数据中 S/PDIF 接收器等抖动时钟源的影响。

S/PDIF 兼容数字音频接收器/发送器

索尼/飞利浦数字接口 (S/PDIF) 是一种标准音频数据传输格式, 用于将数字音频信号从一台设备传输到另一台设备, 而无需将其转换为模拟信号。处理器有一个 S/PDIF Tx/Rx 模块。数字音频接口携带三类信息: 音频数据、非音频数据 (压缩数据) 和时序信息。

S/PDIF 接口支持一个立体声通道或多个压缩音频流。S/PDIF 发送器和接收器为 AES3 兼容型。S/PDIF 接收器支持专业抖动标准。

S/PDIF 接收器/发送器没有独立的 DMA 通道。它以串行格式接收音频数据, 并将其转换为双相编码信号。接收器/发送器的串行数据输入可以格式化为左对齐、I²S 或右对齐, 字宽为 16、18、20 或 24 位。S/PDIF 接收器/发送器的串行数据、时钟和帧同步输入通过信号路由单元 (SRU) 路由, 其来源包括 SPORT、外部引脚、精密时钟发生器 (PCG) 等, 并受 SRU 控制寄存器的控制。

精密时钟发生器 (PCG)

精密时钟发生器 (PCG) 由两个单元组成, 位于 DAI 单元中。PCG 可以从一个时钟输入信号 (CLKIN、SCLK0、DAI 引脚缓冲器) 产生一对信号 (时钟和帧同步)。两个单元的功能完全相同, 彼此独立工作。各单元产生的两个信号一般用作串行位时钟/帧同步对。

并行外设接口 (PPI)

处理器提供一个并行外设接口 (PPI), 支持最大 16 位 (BGA 封装) 和最大 8 位 (LQFP 封装) 宽度的数据。PPI 可以直接连接 TFT LCD 面板、并行模数和数模转换器、视频编码器和解码器、图像传感器模块, 以及其它通用外设。

PPI 模块具有如下特性:

- 可编程数据长度: 每时钟8位、10位、12位、14位和16位。
- 各种帧传输、非帧传输和通用工作模式。帧同步可以在内部产生, 也可以由外部器件提供。
- 对于ITU-656接收模式和ITU-656前同步码与状态字解码, 支持检测和校正ITU-656状态字错误。
- 32位数据与8位、16位数据之间的打包和解包转换。如果使能打包/解包, 可以配置字节序以更改字节/字的打包/解包顺序。
- 对于发送模式, RGB888可以转换为RGB666或RGB565。
- 接收/发送4:2:2 YCrCb数据可以使用多种解交错/交错模式。
- 帧同步3提供可配置LCD数据使能 (DEN) 输出。

UART 端口

处理器提供 3 个全双工通用异步接收器/发送器 (UART) 端口, 它们与 PC 标准 UART 完全兼容。每个 UART 端口提供一个简化的 UART 接口用于连接其他外设或主机, 支持全双工、DMA、异步串行数据传输。UART 端口支持 5 到 8 个数据位, 不支持奇偶校验。在分多支总线 (MDB) 系统中, 可以传输一个额外的地址位, 以便仅中断寻址的节点。帧由数量可配置的停止位终止。

UART 端口通过允许发送 (CTS) 输入和请求发送 (RTS) 输出支持自动硬件流程控制, 并提供可编程的置位 FIFO 级。

为了帮助支持本地互连网络 (LIN) 协议, 可以使用一个特殊命令让发射器将一个位长可编程的中断命令排队输入发射缓冲器。同样, 停止位的数量可以由可编程的帧间空间扩展。

串行外设接口 (SPI) 端口

处理器具有 3 个工业标准 SPI 兼容型端口, 可以与多个 SPI 兼容型器件通信。

基线 SPI 外设为同步四线接口, 由两个数据引脚组成, 一个是器件选择引脚, 一个是门控时钟引脚。两个数据引脚用于对其他 SPI 兼容型器件进行全双工操作。还有两个 (可选) 数据引脚, 用于支持四通道 SPI 操作。同时还支持流量控制、快速模式和双 I/O 模式 (DIOM) 等增强工作模式。此外, 在直接存储器访问 (DMA) 模式下, 只需与 CPU 进行极少的交互, 便可传输多个字。

通过一系列可配置选项, SPI 端口可以在主机模式下、从机模式下和多主机环境下与其他 SPI 兼容器件实现无胶连硬件连接。SPI 外设提供可编程的波特率、时钟相位和时钟极性。通过与多个其他器件接口, 外设可以在多主机环境下工作, 既可作为主器件, 也可作为从器件。在多主机环境下, SPI 外设利用开漏输出避免数据总线竞争。流量控制特性通过一个 SPI 就绪引脚灵活地控制传输, 使得慢速从器件可以与快速主器件接口。

SPI 端口的波特率和时钟相位/极性是可编程的, 而且它集成了 DMA 通道, 支持发送和接收数据流。

链路端口 (LP)

两个 8 位宽链路端口可以与其它 DSP 或外设的链路口相连。链路端口是双向端口, 具有 8 条数据线、1 条应答线和 1 条时钟线。

ADC 控制模块 (ACM) 接口

ADC 控制模块 (ACM) 提供了一个接口, 用于同步处理器与模数转换器 (ADC) 之间的控制。模数转换由处理器根据外部或内部事件启动。

ACM 可以灵活安排采样时刻, 向 ADC 提供精密采样信号。

ACM 同步 ADC 转换过程, 产生 ADC 控制、ADC 转换开始信号和其它信号。ADC 的实际数据采集由 ACM 的内部 DAI 路由通过 SPORT0 完成。

处理器可与许多 ADC 直接接口, 无需任何胶连逻辑。

以太网 MAC (EMAC)

处理器具有一个 EMAC—10/100/1000 Std/AVB 以太网, 支持精密时间协议 IEEE-1588。

处理器可以通过一个嵌入式快速以太网媒体访问控制器 (MAC) 直接连接网络, 该 MAC 支持 10-BaseT (10Mb/s)、100-BaseT (100Mb/s) 和 1000-BaseT (1Gb/s) 工作模式。

下面是一些标准特性:

- 支持外部 PHY 的 MII/RMII/RGMII 协议仅 BGA 封装支持 RGMII
- 全双工和半双工模式
- 媒体访问管理 (半双工模式)
- 流程控制
- 站管理: 产生 MDC/MDIO 帧以便读/写 PHY 寄存器

下面是一些高级特性:

- 自动计算接收帧IP表头和IP有效载荷域的校验和
- 独立的32位描述符驱动接收和发送DMA通道
- 帧状态通过DMA传送到存储器, 包括用于在软件中实现高效缓冲队列管理的帧完成令牌
- 发送DMA支持MAC表头和有效载荷使用不同的描述符, 以消除缓冲复制操作
- 方便的帧对齐模式
- 47个MAC管理统计计数器提供可选的读取后清除特性和可编程的半最大值中断
- 高级电源管理
- 魔术包检测和唤醒帧滤波
- 支持802.3Q标记VLAN帧
- 可编程的MDC时钟速率和前同步码抑制

支持音频视频桥接 (AVB)

10/100/1000 EMAC 支持下列音频视频 (AVB) 特性:

- 100 Mbps和1000 Mbps模式下AV数据可通过不同通道或队列传输
- 附加发送通道可以使用IEEE 802.1-Qav指定的令牌整形 (credit-based shaper, CBS) 算法
- 可在发送和接收路径上配置最多2个附加通道 (通道1和通道2) 用于AV流量。通道0默认可用, 携带发送侧的传统尽力服务以太网流量。
- 通过不同的DMA、发送FIFO和接收FIFO来实现不同级别的AVB延迟
- 通过可编程控制将收到的VLAN标记非AV数据包路由至通道或队列

精密时间协议IEEE 1588支持

IEEE 1588 标准是一种用于联网测量和控制系统的精密时钟同步协议。处理器通过一个集成的精密时间协议同步引擎 (PTP_TSYNC) 支持 IEEE 1588。该引擎提供硬件辅助时间戳, 以提高 PTP 节点之间的时钟同步精度。该引擎的主要特性如下:

- 支持IEEE 1588-2002和IEEE 1588-2008协议标准
- 硬件辅助时间戳最高可提供12.5 ns的分辨率
- 锁定调整
- 自动检测IPv4和IPv6数据包以及PTP消息
- 多个输入时钟源 (SCLK0、RGMII、RMII、MII时钟和外部时钟)

- 可编程的每秒脉冲 (PPS) 输出
- 辅助快照功能可对外部事件加盖时间戳

控制器区域网络 (CAN)

有两个 CAN 模块。CAN 控制器实现了 CAN 2.0B (有源) 协议。此协议是异步通信协议, 用于工业和汽车控制系统。CAN 协议能够可靠地通过网络通信, 非常适合控制应用, 这是因为该协议具有 CRC 校验、消息错误跟踪和故障节点限制等机制。

CAN 控制器提供如下特性:

- 32个邮箱 (8个仅用于接收, 8个仅用于发送, 16个可配置为接收或发送)。
- 每个邮箱具有专用接受屏蔽。
- 对前两个字节的补充数据滤波。
- 支持标准 (11位) 和扩展 (29位) 识别符 (ID) 消息格式。
- 支持远程帧。
- 支持有源或无源网络。
- 中断, 包括: TX完成、RX完成、错误和全局。

不需要额外晶振来提供 CAN 时钟, 因为 CAN 时钟是通过可编程分频器从系统时钟获得。

定时器

处理器包括多个定时器, 以下部分将说明这些定时器。

通用定时器 (TIMER)

处理器包括一个通用定时器单元, 它提供 8 个通用可编程定时器。每个定时器具有外部引脚, 可以将其配置为脉宽调制器 (PWM)、定时器输出、定时器的时钟输入或用于测量脉宽和外部事件周期的机制。这些定时器可以与 TIMER_TMRx 引脚上的外部时钟输入、外部 TIMER_CLK 输入引脚或内部 SCLK0 同步。

这些定时器单元可以与 UART 和 CAN 控制器一起使用, 测量数据流的脉冲宽度, 为相应的串行通道提供软件自动波特率检测功能。

通用定时器可以产生处理器内核中断, 提供用于与系统时钟或外部信号同步的周期性事件。定时器事件也可以通过 TRU 触发其他外设 (例如产生故障信号)。每个定时器也可以由任意 TRU 主机启动和/或停止, 无需内核干预。

看门狗定时器 (WDT)

ARM 和/或 SHARC+内核可以使用三个片内软件看门狗定时器。软件看门狗可以提高系统可用性，如果定时器在软件复位之前超时，它将通过通用中断或故障迫使处理器进入已知状态。编程人员初始化定时器计数值，使能适当中断，然后使能定时器。此后，在计数器从编程值倒数到 0 之前，软件必须重新加载计数器。这样在软件（正常情况下会复位定时器）由于外部噪声条件或软件错误而停止运行时，可以防止系统一直处于未知状态。

通用计数器 (CNT)

处理器提供一个 32 位计数器，它可以在通用升/降计数模式下工作，检测通常由工业驱动器或手动拇指滚轮发射的 2 位正交或二进制码。计数方向由电平敏感型输入引脚或两个边沿检测器控制。

第三个计数器可以提供灵活的零标记支持，或者也可以用于输入拇指滚轮设备的按钮信号。所有三个引脚都具有可编程去抖电路。

转送到通用定时器的内部信号可以使能该定时器来测量计数事件之间的时间间隔。边界寄存器支持自动调零操作，或者在超过可编程的计数值时通过中断发出简单的系统警告。

一般管理性模数转换器 (HADC)

HADC 提供一个通用多通道逐次逼近型模数转换器。它支持如下特性集：

- 12位ADC内核（10位精度），内置采样保持器。
- 8个单端输入通道（BGA封装）；4个单端输入通道（LQFP封装）。
- 吞吐速率最高达1 MSPS。
- 单一外部基准，其模拟输入范围为0 V至3.3 V。
- 可以选择ADC时钟频率，包括可以设置预分频器。
- 自适应转换类型：单次或连续转换，支持自动扫描选项。
- 自动序列化功能，单个会话最多支持8次“自动转换”。每次转换可以选择任意1–8个输入通道。
- 16个数据寄存器（可个别寻址），用以存储转换值。

USB 2.0 OTG两用器件控制器（仅限BGA封装）

USB 支持 HS/FS/LS USB2.0 OTG。

不仅手机、数码相机和 MP3 播放器等消费类移动设备，工

业应用也在越来越多地采用 USB 2.0 OTG 总线标准。对此，USB 2.0 OTG 两用器件控制器提供了一种低成本连接解决方案。USB 2.0 控制器允许这些设备利用点到点 USB 连接传输数据，而无需借助 PC 主机。该模块既可在传统 USB 外设模式下工作，也可在 USB 2.0 规范补充标准 OTG 提出的主机模式下工作。

USB 时钟通过专用外部晶体或晶振提供。

USB OTG 两用器件控制器包括一个带可编程乘法器的锁相环，用以产生 USB 所需的内部时钟频率。

媒体局部总线 (MLB)

汽车应用型号具有一个 MLB 从机接口，通过该接口，处理器可以用作媒体本地总线器件。它支持 3 引脚和 6 引脚媒体本地总线协议。MLB 3 引脚支持最高 $1024 \times \text{FS}$ 的速度，6 引脚支持最高 $4096 \times \text{FS}$ (48 kHz) 的速度。MLB 还支持最多 63 个逻辑通道，每个媒体本地总线帧最多包含 124 字节的数据。

MLB 接口支持 MOST25/50/150 数据速率，只能以从机模式工作。

2线控制器接口 (TWI)

处理器包括 3 个双线接口 (TWI) 模块，用于在多个器件之间进行简单的控制数据交换。TWI 模块兼容广泛使用的 I²C 总线标准。TWI 模块能够同时以主机和从机工作，支持 7 位寻址和多媒体数据仲裁。TWI 接口利用两个引脚传输时钟 (TWI_SCL) 和数据 (TWI_SDA)，支持最高速度为 400 kb/s 的协议。TWI 接口引脚兼容 5 V 逻辑电平。

此外，TWI 模块完全兼容串行相机控制总线 (SCCB) 功能，可轻松控制各种 CMOS 相机传感器。

通用 I/O (GPIO)

每个通用端口引脚都可以通过操纵端口控制、状态和中断寄存器进行控制：

- GPIO方向控制寄存器 – 指定各GPIO引脚的方向：输入或输出。
- GPIO控制和状态寄存器 – “写1修改”机制支持通过单一指令来修改GPIO引脚的任意组合，而不会影响其它GPIO引脚的电平。

- GPIO中断屏蔽寄存器 – 允许各GPIO引脚用作处理器的中断。定义为输入的GPIO引脚可以用来产生硬件中断，输出引脚则可以由软件中断触发。
- GPIO中断敏感性寄存器 – 指定各引脚是对电平敏感还是对边沿敏感—如果是对边沿敏感—则还要指定仅信号的上升沿有意义还是上升沿和下降沿均有意义。

引脚中断

处理器的每个端口引脚都可以通过边沿敏感或电平敏感方式请求中断，极性可编程。中断功能与 GPIO 操作分离。5 个系统级中断通道 (PINT0–4) 专门用于此目的。每个中断通道最多可以管理 32 个中断引脚。中断的引脚分配不是在单个引脚基础上进行，而是以 8 个引脚为一组 (半个端口)，灵活地分配给中断通道。

每个引脚中断通道都有一组特殊的 32 位存储器映射寄存器，用于支持半端口分配和中断管理，包括请求的屏蔽、识别和清除。通过这些寄存器还可以访问相应引脚的状态，并使用中断锁存器，无论中断屏蔽与否。多数控制寄存器具有多个 MMR 地址条目，以便“写 1 设置”或“写 1 清除”。

移动存储器接口 (MSI)

移动存储器接口 (MSI) 控制器用作多媒体卡 (MMC)、安全数字存储卡 (SD)、安全数字输入/输出卡 (SDIO) 的主机接口。MSI 控制器具有如下特性：

- 支持单个MMC、SD存储器、SDIO卡
- 支持1位和4位SD模式
- 支持1位、4位和8位MMC模式
- 支持eMMC 4.3嵌入式NAND闪存设备
- 带时钟线、命令线、可选中断线和最多8条数据线的11信号外部接口
- 集成DMA控制器
- 从CDU的CLKO9产生卡接口时钟
- SDIO中断和读取等待特性

系统加速

下面说明 ADSP-SC57x/ADSP-2157x 处理器的系统加速模块。

FIR加速器

FIR (有限脉冲响应) 加速器由一个 1024 字系数存储器、一个用于数据的 1024 字深延迟线和四个 MAC 单元组成。一个控制器管理该加速器。FIR 加速器以外设时钟频率工作。它可以访问所有存储器空间，并且可以与其他加速器同时工作。

IIR加速器

IIR (无限脉冲响应) 加速器由一个用于存储双二阶系数的 1440 字系数存储器、一个用于存储中间数据的数据存储器和一个 MAC 单元组成。一个控制器管理该加速器。IIR 加速器以外设时钟频率工作。它可以访问所有存储器空间，并且可以与其他加速器同时工作。

系统设计

以下部分介绍系统设计选项和电源问题。

时钟管理

处理器提供三种工作模式，各种模式具有不同的性能/功耗特征。控制各处理器外设的时钟也可以降低功耗。处理器不支持低功耗工作模式。控制各处理器外设的时钟可以降低功耗。

复位控制单元 (RCU)

复位是整个处理器或内核的初始状态，并且是硬件或软件触发事件的结果。在此状态下，所有控制寄存器都设为默认值，功能单元空闲。要退出全系统复位状态，内核必须准备就绪以执行引导。

复位控制单元 (RCU) 控制所有功能单元如何进入和退出复位状态。功能要求和时钟约束条件的不同决定了复位信号的产生方式。程序必须保证任何复位功能都不会将系统置于不明状态或引起资源停转。当内核复位时，这点尤其重要 (程序必须确保无待处理系统活动涉及要复位的内核)。

从系统角度来看，复位由复位目标和复位源定义，如下所示。

目标定义：

- 系统复位 – 除RCU以外的所有功能单元都复位到默认状态。
- 硬件复位 – 所有功能单元都复位到默认状态，无一例外。历史记录丢失。
- 仅内核复位 – 仅影响该内核。系统软件应保证任何总线主机都不会访问处于复位状态的内核。

来源定义：

- 系统复位 – 可以由软件 (写入RCU_CTL寄存器) 或另一功能单元触发，例如动态电源管理 (DPM) 单元、任一系统事件控制器 (SEC)、触发路由单元 (TRU) 或仿真器输入。

- 硬件复位 – 输入信号SYS_HWRST置位有效（下拉）。
- 仅内核复位 – 由软件触发。
- 触发请求（外设）。

时钟产生单元 (CGU)

ADSP-SC57x/ADSP-2157x 处理器支持两个独立 PLL。各 PLL 是时钟产生单元 (CGU) 的一部分。(参见第 59 页上的图 7。) 各 CGU 既可由同一时钟源从外部驱动，也可由不同时钟源驱动。这样便可灵活地确定各时钟域的内部时钟频率。

各 CGU 产生的频率从同一个倍频器获得，各输出有不同的分频值。

时钟发生单元 (CGU) 产生所有片内时钟和同步信号。乘法系数用于定义 PLLCLK 频率。

可编程值将 PLLCLK 频率分频，产生内核时钟 (CCLK)、系统时钟、DDR1/2/3 时钟 (DCLK) 和输出时钟 (OCLK)。有关时钟的更多信息，请参阅硬件参考手册的“时钟产生单元 (CGU)”一章。

写入 CGU 控制寄存器不会立即影响 PLL 的行为。寄存器首先写入新值，然后 PLL 逻辑执行变更，以便从当前状态平稳过渡到新状态。

系统晶振和USB晶振

处理器的时钟可以来自外部晶振（图 6）、正弦波输入或源于外部时钟振荡器的缓冲整形时钟。如果使用外部时钟，它应为 TTL 兼容信号，而且在正常工作期间不得暂停、改变或以低于额定频率的频率工作。此信号连接到处理器的 SYS_CLKIN 引脚。使用外部时钟时，SYS_XTAL 引脚保持断开。此外，由于处理器含有片内振荡器电路，因此也可以使用外部晶振。

欲以基频工作，请使用图 6 所示的电路。一个并行谐振、基频、微处理器级晶振连接在 SYS_CLKIN 和 SYS_XTAL 引脚上。SYS_CLKIN 引脚与 SYS_XTAL 引脚之间的片内电阻在 500 kΩ 范围内。通常情况下，建议不要使用其它并联电阻。

图 6 所示的两个电容和串联电阻用于精调正弦频率输入的相位和幅度。图 6 所示的电容和电阻值仅为典型值。电容值取决于晶振制造商的负载电容建议和 PCB 物理布局。电阻值取决于晶振制造商规定的驱动电平。用户应在所需的整个温度范围内细致考察多个器件，验证所用的元件值是否合适。

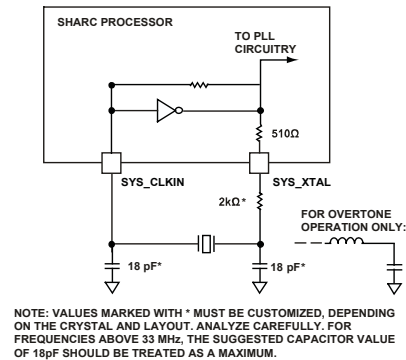


图6. 外部晶振连接

针对 25 MHz 以上的频率，可以使用三次谐波晶体振荡器。此时需要修改图 6 所示电路，增加一个调谐电感电路，确保晶振仅在第三泛音工作。第三泛音工作的设计程序详见应用笔记 (EE-168)：“三次谐波晶体振荡器用于 ADSP-218x DSP”(www.analog.com/ee-168)。同样的建议可能也适用于 USB 晶振。

时钟分配单元 (CDU)

两个 CGU 均有输出馈入时钟分配单元 (CDU)。时钟输出 CLK00-9 连接到各目标部分。更多信息请参阅硬件参考手册的“时钟分配单元 (CDU)”一章。

上电

V_{DD_EXT} 引脚通电时，晶振 (SYS_CLKIN) 开始振荡。SYS_HWRST 的上升沿启动片内 PLL 锁定 (PLL 锁定计数器)。只有当所有电压供应和 SYS_CLKIN 振荡都有效时，才能解除置位 (参见第 65 页上的上电复位时序)。

时钟输出/外部时钟

SYS_CLKOUT 输出引脚具有可编程选项，可以输出片内时钟的分频版本。默认情况下，SYS_CLKOUT 引脚驱动 SYS_CLKIN0 输入的缓冲版本。要更改时钟的默认映射，请参阅硬件参考手册的“时钟分配单元 (CDU)”一章。

引导

复位后，处理器可以通过多种机制自动加载内部和外部存储器。引导模式由专用 SYS_BMODE 输入引脚决定。引导模式分为两类。在主机引导模式下，处理器主动从串行存储器加载数据。在从机引导模式下，处理器接收来自外部主机的数据。

引导模式如表 9 所示。这些模式由复位配置寄存器的 SYS_BMODE 位实现，在上电复位和软件启动的复位期间采样。

在 ADSP-SC57x 处理器中，ARM Cortex-A5（内核 0）控制引导过程，包括加载所有内部和外部存储器。类似地，在 ADSP-2157x 处理器中，SHARC+（内核 1）控制引导功能。所有产品均提供安全引导选项。

表9. 引导模式

SYS_BMODE 设置 ^{1,2}	引导模式
000	无引导
001	SPI2主机
010	SPI2从机
011	UART0从机
100	保留
101	保留
110	Link0从机

¹ 仅 BGA 封装有 BMODE2 引脚。

² 仅 BGA 封装支持 Link0 从机引导。

热监控单元 (TMU)

热监控单元用于测量片内温度，这在功耗较高的应用中非常重要。TMU 已集成到处理器芯片和数字基础架构中，利用基于 MMR 的系统访问来实时测量芯片温度变化。

TMU 特性包括：

- 片内温度检测
- 可编程过温和欠温限值
- 可编程转换速率
- 可编程时钟源选择，传感器可采用独立的本地时钟工作
- 均值功能

电源

针对以下部分，处理器具有单独的电源连接：

- 内部 (V_{DD_INT})
- 外部 (V_{DD_EXT})
- USB (V_{DD_USB})
- HADC (V_{DD_HADC})
- DMC (V_{DD_DMC})

所有电源都应满足第 57 页上“工作条件”给出的要求。所有外部电源引脚必须连接到同一电源。

电源管理

如表 10 所示，处理器支持 4 个不同的电源域，以便在符合工业标准和惯例的同时提供最大的灵活性。各种电源域没有时序控制要求，但所有电源域都必须按照处理器“工作条件”中的相应技术规格表来通电，即使不使用某一特性/外设。

表10. 电源域

电源域	V_{DD} 范围
所有内部逻辑	V_{DD_INT}
DDR3/DDR2/LPDDR	V_{DD_DMC}
USB	V_{DD_USB}
HADC	V_{DD_HADC}
所有其它I/O（包括SYS、JTAG和端口引脚）	V_{DD_EXT}

处理器的功耗在很大程度上与其时钟频率和工作电压的平方成比例。例如，工作频率降低 25%，动态功耗也会降低 25%。

目标板JTAG仿真器连接器

仿真期间，ADI 公司 DSP 工具 JTAG 仿真器产品线采用处理器的 IEEE 1149.1 JTAG 测试访问端口来监控和控制目标板处理器。ADI 公司 DSP 工具 JTAG 仿真器产品线以处理器最高速度提供仿真，允许检查和更改存储器、寄存器及处理器堆栈。处理器的 JTAG 接口确保仿真器不会影响目标系统的加载或时序。

有关 ADI 公司 SHARC DSP 工具 JTAG 仿真器产品线的详细信息，请参阅相应仿真器硬件的用户指南。

系统调试

处理器包括多种用于简化系统调试的特性，下面说明这些特性。

系统观察点单元 (SWU)

系统观察点单元 (SWU) 是单一模块，连接到单条系统总线以监控处理。进入各系统从机的总线都连有一个 SWU。SWU 为所有系统总线地址通道信号提供端口。每个 SWU 包含 4 组匹配的寄存器和相关硬件。这四个 SWU 匹配组独立工作，但共享事件（中断、触发和其它）输出。

调试访问端口 (DAP)

DAP(调试访问端口)通过 JTAG 调试提供 IEEE-1149.1 JTAG 接口支持。对于内核和系统, DAP 均提供了可选仪表跟踪。其跟踪流符合 MIPI 系统跟踪协议第二版 (STPv2)。

开发工具

ADI 公司有一整套软件和硬件开发工具支持其处理器, 包括集成开发环境 (CrossCore® Embedded Studio)、评估产品、仿真器以及各种软件插件。

集成开发环境 (IDE)

针对 C/C++ 软件写入和编辑、代码生成、调试支持, ADI 公司提供 CrossCore Embedded Studio IDE。

CrossCore Embedded Studio 基于 Eclipse™ 框架。它是包括多核器件在内的处理器的首选 IDE, 支持 ADI 公司的大部分处理器系列。CrossCore Embedded Studio 无缝集成现有软件插件以支持实时操作系统、文件系统、TCP/IP 堆栈、USB 堆栈、算法软件模块和评估硬件板支持包。欲了解更多信息, 请访问 www.analog.com/cces。

EZ-KIT Lite 评估板

为了便于评估处理器, ADI 公司提供多种 EZ-KIT Lite® 评估板。评估板包括处理器和主要外设, 支持片内仿真功能和其它评估与开发特性。此外还提供各种 EZ-Extenders®, 这些是子卡, 提供其他特殊功能, 包括音频和视频处理。欲了解更多信息, 请访问 www.analog.com 并搜索“ezkit”或“ezextender”。

EZ-KIT Lite 评估套件

为了以低成本高效了解有关 ADI 处理器开发的更多信息, ADI 公司提供多种 EZ-KIT Lite 评估套件。各评估套件均包括一片 EZ-KIT Lite 评估板、关于下载可用 IDE 评估版的说明、一条 USB 线缆和一条电源线。EZ-KIT Lite 评估板上的 USB 控制器连接到用户 PC 的 USB 端口, 使得所选 IDE 评估套件能够在线仿真板上处理器。用户可以下载、执行、调试 EZ-KIT Lite 系统的程序。它还支持对板上闪存进行在线编程以存储用户专用的引导代码, 并支持独立操作。如果安装完整版本的 CrossCore Embedded Studio (另售), 工程师就可以开发软件以用于支持的 EZ-KIT 或任何采用支持的 ADI 处理器的定制系统。

CrossCore Embedded Studio 的软件插件

ADI 公司提供能与 CrossCore Embedded Studio 无缝集成的

软件插件, 用以扩展其功能并减少开发时间。插件包括评估硬件的板支持包、各种中间件包和算法模块。插件安装完成后, 这些插件中存在的文档、帮助、配置对话框和代码示例可通过 CrossCore Embedded Studio IDE 查看。

评估硬件的板支持包

EZ-KIT Lite 评估板和 EZ-Extender 子板的软件支持由被称为“板支持包”(BSP) 的软件插件提供。BSP 包含指定评估硬件所需的驱动、相关的发布说明和精选的代码示例。特定 BSP 的下载链接位于相关 EZ-KIT 或 EZ-Extender 产品的网页上。该链接位于产品网页的 *产品下载区域*。

中间件包

ADI 公司还提供中间件插件, 如实时操作系统、文件系统、USB 堆栈和 TCP/IP 堆栈等。欲了解更多信息, 请访问以下网页:

- www.analog.com/ucos2
- www.analog.com/ucos3
- www.analog.com/ucfs
- www.analog.com/ucusbdr
- www.analog.com/ucusbh
- www.analog.com/lwip

算法模块

为了加快开发工作, ADI 公司提供用于执行常用音频和视频处理算法的插件。这些插件可与 CrossCore Embedded Studio 一起使用。欲了解更多信息, 请访问 www.analog.com 并搜索“Blackfin 软件模块”或“SHARC 软件模块”。

设计一个兼容仿真器的 DSP 板 (目标)

针对嵌入式系统测试和调试, ADI 公司提供一系列仿真器。ADI 公司在每个 JTAG DSP 上都提供了一个 IEEE 1149.1 JTAG 测试访问端口 (TAP)。使用此 JTAG 接口有助于在线仿真。仿真器通过处理器的 TAP 访问处理器的内部功能, 允许开发人员加载代码、设置断点、观察变量、观察存储器、检查寄存器。发送数据和命令时, 处理器必须暂停, 但当仿真器完成操作时, DSP 系统便能以全速运行, 对系统时序无影响。仿真器要求目标板包括一个接头, 用以将 DSP 的 JTAG 端口连接到仿真器。

有关目标板设计问题的详细信息, 包括机械布局、单处理器连接、信号缓冲、信号端接和仿真器 Pod 逻辑等, 请参阅 EE-68: “ADI 公司 JTAG 仿真技术参考” (www.analog.com/ee68)。该文件定期更新, 以便与仿真器支持的最新改进保持同步。

其它信息

本数据手册对 ADSP-SC57x/ADSP-2157x 的架构和功能进行了一般说明。有关该内核架构和指令集的详细信息，请参阅编程参考手册。

相关信号链

信号链指一系列信号调理电子器件，它们相继接收输入（通过采样实时现象获得的数据或存储的数据），信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据，或者根据对实时现象的分析应用系统控制。

ADI 公司提供能够完美配合工作的信号处理器件来简化信号处理系统的开发。www.analog.com 网站提供了一款工具，用于查看特定应用与相关器件之间的关系。

参考电路 Circuits from the Lab® 网站 (www.analog.com/circuits) 的应用信号链页面提供如下内容：

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

安全特性免责声明

据我们所知，当按照数据手册和硬件参考手册的规定使用时，安全特性能够提供安全的代码和数据保护实现方法。然而，ADI 公司不保证该技术绝对安全。

因此，ADI 公司特此声明，ADI 公司并未明示或默示保证安保特性无法被破坏、削弱或以其它方式绕过；对于数据、信息、财产、知识产权的损失、毁坏或泄漏，ADI 公司概不负责。

ADSP-SC57X/ADSP-2157X 详细信号描述

表 11 提供各引脚的详细说明。

表11. ADSP-SC57x/ADSP-2157x详细信号描述

信号名称	方向	描述
ACM_A[n]	输出	ADC控制信号 。功能视模式而定
ACM_T[n]	输入	外部触发信号n 。外部触发事件的输入。
C1_FLG[n]	输出	SHARC内核1标志引脚
C2_FLG[n]	输出	SHARC内核2标志引脚
CAN_RX	输入	接收 。通常是外部CAN收发器的RX输出
CAN_TX	输出	发送 。通常是外部CAN收发器的TX输入
CNT_DG	输入	递减计数和门控 。取决于工作模式，该输入用作递减计数信号或栅极信号。 递减计数：该输入导致GP计数器递减。 门控：停止GP计数器递增或递减。
CNT_UD	输入	递增计数和方向 。取决于工作模式，该输入用作递增计数信号或方向信号。 递增计数：该输入导致GP计数器递增。 方向：选择GP计数器递增或递减。
CNT_ZM	输入	零计数标记 。连接零标记的输入将输出旋转器件信号，或检测按钮动作
DAI_PIN[nn]	输入输出	引脚n
DMC_A[nn]	输出	地址n 。地址总线
DMC_BA[n]	输出	组地址n 。定义了将ACTIVATE、READ、WRITE或PRECHARGE命令应用到动态存储器的哪个内部组。同时定义了LOAD MODE REGISTER命令期间加载哪些模式寄存器（MR、EMR、EMR2和/或EMR3）。
DMC_CAS	输出	列地址选通 。定义外部动态存储器与其他DMC命令信号一同执行的操作。连接到动态存储器的CAS输入。
DMC_CK	输出	时钟 。DCLK输出到外部动态存储器
DMC_CKE	输出	时钟使能 。高电平有效时钟使能信号。连接到动态存储器的CKE输入。
DMC_CS[n]	输出	片选n 。此信号置位时，只有存储器能识别命令。
DMC_DQ[nn]	输入输出	数据n 。双向数据总线
DMC_LDM	输出	低位字节数据掩码 。拉高时DMC_DQ07:DMC_DQ00写入数据的掩码。动态存储器在数据选通信号的两个边沿上采样。
DMC_LDQS	输入输出	低位字节数据选通 。DMC_DQ07:DMC_DQ00数据选通。用写入数据输出。用读取数据输入。可以是单端或差分，取决于寄存器设置。
DMC_ODT	输出	片上端接 。驱动到高电平时，使能动态存储器端接电阻（假设存储器配置正确）。与读/写命令无关，使能/禁用ODT。
DMC_RAS	输出	行地址选通 。定义外部动态存储器与其他DMC命令信号一同执行的操作。连接到动态存储器的RAS输入。
DMC_RESET	输出	复位（仅DDR3）
DMC_RZQ	输入输出	外部校准电阻连接
DMC_UDM	输出	高位字节数据掩码 。拉高时DMC_DQ15:DMC_DQ08写入数据的掩码。动态存储器在数据选通信号的两个边沿上采样。
DMC_UDQS	输入输出	高位字节数据选通 。DMC_DQ15:DMC_DQ08数据选通。用写入数据输出。用读取数据输入。可以是单端或差分，取决于寄存器设置。
DMC_VREF	输入	基准电压源 。连接到1/2 VDD_DMC电压
DMC_WE	输出	写入使能 。定义外部动态存储器与其他DMC命令信号一同执行的操作。连接到动态存储器的WEB输入。
ETH_COL	输入	MII冲突检测 。冲突检测输入信号仅在MII中有效

表11. ADSP-SC57x/ADSP-2157x详细信号描述（续）

信号名称	方向	描述
ETH_CRS	输入	MII载波检测。 交替时钟周期上的多路复用。 CRS: 发送或接收介质为非空闲时, 由PHY置位。当两者均为空闲时, 解除置位。 RXDV: RXDn上的数据有效时, 由PHY置位。
ETH_MDC	输出	管理通道时钟。 为PHY提供MDC输入时钟
ETH_MDIO	输入输出	管理通道串行数据。 PHY控制的双向数据总线
ETH_PTPAUXIN[n]	输入	PTP辅助触发输入。 置位此信号可获取时间的辅助快照, 并将其保存在辅助时间戳FIFO
ETH_PTPCLKIN[n]	输入	PTP时钟输入。 可选外部PTP时钟输入
ETH_PTPPPS[n]	输出	PTP PPS (脉冲/秒) 输出。 使能高级时间戳功能时, 该信号根据所选PPS模式置位。否则, PTPPPS将在第二个计数器每次递增时置位。
ETH_RXCLK_REFCLK	输入输出	RXCLK (GigE) 或REFCLK (10/100)
ETH_RXCTL_RXDV	输入输出	RXCTL (GigE) 或CRS (10/100)
ETH_RXD[n]	输入	接收数据n。 接收数据总线
ETH_RXERR	输入	接收错误
ETH_TXCLK	输入	参考时钟。 外部提供的以太网时钟
ETH_TXCTL_TXEN	输入输出	TXCTL (GigE) 或TXEN (10/100)
ETH_TXD[n]	输出	发送数据n。 发送数据总线
HADC_EOC_DOUT	输出	转换结束/串行数据输出。 每次转换结束时, 变为高电平并持续HADC内部时钟的一个周期。或者, 通过设置HADC_CTL中的相应位, 可以看到HADC串行数据输出。
HADC_VIN[n]	输入	通道n的模拟输入。 用于数字转换的模拟电压输入
HADC_VREFN	输入	ADC的接地基准。 连接到符合数据手册要求的外部基准电压源
HADC_VREFP	输入	ADC的外部基准源。 连接到符合数据手册要求的外部基准电压源
JTG_TCK	输入	JTAG时钟。 JTAG测试访问端口时钟
JTG_TDI	输入	JTAG串行数据输入。 JTAG测试访问端口数据输入
JTG_TDO	输出	JTAG串行数据输出。 JTAG测试访问端口数据输出
JTG_TMS	输入	JTAG模式选择。 JTAG测试访问端口模式选择
JTG_TRST	输入	JTAG复位。 JTAG测试访问端口复位
LP_ACK	输入输出	应答。 提供握手。链路端口配置为接收器时, ACK为输出。链路端口配置为发送器时, ACK为输入。
LP_CLK	输入输出	时钟。 链路端口配置为接收器时, CLK为输入。链路端口配置为发送器时, CLK为输出。
LP_D[n]	输入输出	数据n。 数据总线。接收时为输入, 发送时为输出。
MLB_CLK	输入输出	单端时钟
MLB_CLKN	输入输出	差分时钟 (-)
MLB_CLKOUT	输入输出	单端时钟输出
MLB_CLKP	输入输出	差分时钟 (+)
MLB_DAT	输入输出	单端数据
MLB_DATN	输入输出	差分数据 (-)
MLB_DATP	输入输出	差分数据 (+)
MLB_SIG	输入输出	单端信号
MLB_SIGN	输入输出	差分信号 (-)
MLB_SIGP	输入输出	差分信号 (+)
MSI_CD	输入	卡检测。 连接到上拉电阻和SD卡槽的卡检测输出

表11. ADSP-SC57x/ADSP-2157x详细信号描述（续）

信号名称	方向	描述
MSI_CLK	输出	时钟 。从MSI施加到相连器件的时钟信号
MSI_CMD	输入输出	命令 。用于发送命令到相连器件及从相连器件接收响应
MSI_D[n]	输入输出	数据n 。双向数据总线。
MSI_INT	输入	eSDIO中断输入 。仅用于eSDIO。连接到eSDIO卡的中断输出。即使关闭卡的MSI时钟，也可以对中断进行采样。
PPI_CLK	输入输出	时钟 。外部时钟模式下为输入，内部时钟模式下为输出
PPI_D[nn]	输入输出	数据n 。双向数据总线
PPI_FS1	输入输出	帧同步1 (HSYNC) 。其行为取决于EPPI模式。详情参见EPPI HRM章节。
PPI_FS2	输入输出	帧同步2 (VSYNC) 。其行为取决于EPPI模式。详情参见EPPI HRM章节。
PPI_FS3	输入输出	帧同步3 (FIELD) 。其行为取决于EPPI模式。详情参见EPPI HRM章节。
P_inn]	输入输出	位置n 。通用输入/输出。有关编程信息，参见硬件参考手册中的通用端口章节。
SPI_CLK	输入输出	时钟 。从机模式下为输入，主机模式下为输出
SPI_D2	输入输出	数据2 。用于四通道模式下的串行数据传输。ODM模式使能时为开漏。
SPI_D3	输入输出	数据3 。用于四通道模式下的串行数据传输。ODM模式使能时为开漏。
SPI_MISO	输入输出	主机输入，从机输出 。用于传输串行数据。工作方向与双通道和四通道模式下的SPI_MOSI相同。ODM模式使能时为开漏。
SPI_MOSI	输入输出	主机输出，从机输入 。用于传输串行数据。工作方向与双通道和四通道模式下的SPI_MISO相同。ODM模式使能时为开漏。
SPI_RDY	输入输出	就绪 。可选流信号。从机模式下为输出，主机模式下为输入。
SPI_SEL[n]	输出	从机选择输出n 。用于主机模式，使能所需从机
SPI_SS	输入	从机选择输入 。从机模式：用作从机选择输入。 主机模式：可选，用作多主机时的SPI错误检测输入。
SPT_ACLK	输入输出	通道A时钟 。数据和帧同步相对于此时钟驱动/采样。该信号可以由内部或外部产生。
SPT_AD0	输入输出	通道A数据0 。主要双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_AD1	输入输出	通道A数据1 。辅助双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_AFS	输入输出	通道A帧同步 。帧同步脉冲启动串行数据移位。该信号可以由内部或外部产生。
SPT_ATDV	输出	通道A发送数据有效 。该信号为可选，且仅当SPORT配置为多通道发送模式时激活。它在已使能的时隙间置位。
SPT_BCLK	输入输出	通道B时钟 。数据和帧同步相对于此时钟驱动/采样。该信号可以由内部或外部产生。
SPT_BD0	输入输出	通道B数据0 。主要双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_BD1	输入输出	通道B数据1 。辅助双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_BFS	输入输出	通道B帧同步 。帧同步脉冲启动串行数据移位。该信号可以由内部或外部产生。
SPT_BTDTV	输出	通道B发送数据有效 。该信号为可选，且仅当SPORT配置为多通道发送模式时激活。它在已使能的时隙间置位。
SYS_BMODE[n]	输入	引导模式控制n 。选择处理器的引导模式
SYS_CLKIN0	输入	时钟/晶振输入
SYS_CLKIN1	输入	时钟/晶振输入
SYS_CLKOUT	输出	处理器时钟输出 。输出内部时钟。可对时钟进行分频。详情参见硬件参考手册中的CGU部分。

表11. ADSP-SC57x/ADSP-2157x详细信号描述（续）

信号名称	方向	描述
SYS_FAULT	输入输出	高电平有效故障输出。 指示内部故障或检测外部故障，取决于工作模式
$\overline{\text{SYS_FAULT}}$	输入输出	低电平有效故障输出。 指示内部故障或检测外部故障，取决于工作模式
$\overline{\text{SYS_HWRST}}$	输入	处理器硬件复位控制。 置位时，复位器件
$\overline{\text{SYS_RESOUT}}$	输出	复位输出。 表示器件处于复位状态
SYS_XTAL0	输出	晶振输出
SYS_XTAL1	输出	晶振输出
TM_ACI[n]	输入	备选捕捉输入n。 在WIDCAP、WATCHDOG和PININT模式下提供额外输入
TM_ACLK[n]	输入	备选时钟n。 提供额外的时基，用于独立定时器
TM_CLK	输入	时钟。 提供额外的全局时基，用于所有通用定时器
TM_TMR[n]	输入输出	定时器n。 各定时器的主输入/输出信号
TRACE_CLK	输出	跟踪时钟。 时钟输出
TRACE_D[n]	输出	跟踪数据n。 单向数据总线
TWI_SCL	输入输出	串行时钟。 主机时为时钟输出，从机时为时钟输入
TWI_SDA	输入输出	串行数据。 接收或发送数据
$\overline{\text{UART_CTS}}$	输入	清除发送。 流控制信号
$\overline{\text{UART_RTS}}$	输出	发送请求位。 流控制信号
$\overline{\text{UART_RX}}$	输入	接收。 接收输入。通常连接至满足通信器件电气要求的收发器。
$\overline{\text{UART_TX}}$	输出	发送。 发送输出。通常连接至满足通信器件电气要求的收发器。
USB_CLKIN	输入	时钟/晶振输入。 此时钟输入由PLL倍频以形成USB时钟。频率/容差信息请参阅数据手册技术规格。
USB_DM	输入输出	数据 -。 双向差分数据线路
USB_DP	输入输出	数据 +。 双向差分数据线路
USB_ID	输入	OTG ID。 检测控制器为主机或器件。检测到A型插头时，拉低该信号（表示USB控制器为A器件）；但检测到B型插头时，输入为高电平（表示USB控制器为B器件）。
USB_VBC	输出	VBUS控制。 主机模式下控制外部电压源，以便为VBUS供电。可配置为开漏。极性同样可配置。
USB_VBUS	输入输出	总线电压。 在主机和器件模式下连接至总线电压。
USB_XTAL	输出	晶振。 驱动外部晶振。如果外部时钟驱动USB_CLKIN，则它必须断开。

400引脚CSP_BGA封装信号描述

处理器的引脚定义如表12所示。该表中的列提供下列信息：

- 信号名称：表中的“信号名称”列包含各引脚的信号名称，以及每一个引脚的GPIO多路复用引脚功能（如适用）。
- 描述：表中的“描述”列提供信号的详细（描述性）名称。

通用端口：表中的“端口”列显示信号是否与其他信号多路复用至通用I/O端口引脚。

- 引脚名称：表中的“引脚名称”列表示封装引脚（上电复位时）的名称；信号位于这些引脚上（单功能引脚）或多路复用（通用I/O引脚）。

表12. ADSP-SC57x/ADSP-2157x 400引脚CSP_BGA封装信号描述

信号名称	描述	端口	引脚名称
ACM0_A0	ACM0 ADC控制信号	F	PF_11
ACM0_A1	ACM0 ADC控制信号	C	PC_14
ACM0_A2	ACM0 ADC控制信号	C	PC_15
ACM0_A3	ACM0 ADC控制信号	A	PA_14
ACM0_A4	ACM0 ADC控制信号	B	PB_01
ACM0_T0	ACM0外部触发信号n	A	PA_15
C1_FLG0	SHARC内核1标志引脚	E	PE_13
C1_FLG1	SHARC内核1标志引脚	E	PE_01
C1_FLG2	SHARC内核1标志引脚	F	PF_04
C1_FLG3	SHARC内核1标志引脚	D	PD_06
C2_FLG0	SHARC内核2标志引脚	B	PB_00
C2_FLG1	SHARC内核2标志引脚	C	PC_14
C2_FLG2	SHARC内核2标志引脚	F	PF_11
C2_FLG3	SHARC内核2标志引脚	E	PE_15
CAN0_RX	CAN0接收	C	PC_12
CAN0_TX	CAN0发送	C	PC_13
CAN1_RX	CAN1接收	C	PC_14
CAN1_TX	CAN1发送	C	PC_15
CNT0_DG	CNT0递减计数和栅极	D	PD_08
CNT0_UD	CNT0递增计数和方向	E	PE_13
CNT0_ZM	CNT0零标记	D	PD_07
DAI0_PIN01	DAI0引脚1	未多路复用	DAI0_PIN01
DAI0_PIN02	DAI0引脚2	未多路复用	DAI0_PIN02
DAI0_PIN03	DAI0引脚3	未多路复用	DAI0_PIN03
DAI0_PIN04	DAI0引脚4	未多路复用	DAI0_PIN04
DAI0_PIN05	DAI0引脚5	未多路复用	DAI0_PIN05
DAI0_PIN06	DAI0引脚6	未多路复用	DAI0_PIN06
DAI0_PIN07	DAI0引脚7	未多路复用	DAI0_PIN07
DAI0_PIN08	DAI0引脚8	未多路复用	DAI0_PIN08
DAI0_PIN09	DAI0引脚9	未多路复用	DAI0_PIN09
DAI0_PIN10	DAI0引脚10	未多路复用	DAI0_PIN10
DAI0_PIN11	DAI0引脚11	未多路复用	DAI0_PIN11
DAI0_PIN12	DAI0引脚12	未多路复用	DAI0_PIN12
DAI0_PIN13	DAI0引脚13	未多路复用	DAI0_PIN13
DAI0_PIN14	DAI0引脚14	未多路复用	DAI0_PIN14
DAI0_PIN15	DAI0引脚15	未多路复用	DAI0_PIN15
DAI0_PIN16	DAI0引脚16	未多路复用	DAI0_PIN16
DAI0_PIN17	DAI0引脚17	未多路复用	DAI0_PIN17

表12. ADSP-SC57x/ADSP-2157x 400引脚CSP_BGA封装信号描述 (续)

信号名称	描述	端口	引脚名称
DAI0_PIN18	DAI0引脚18	未多路复用	DAI0_PIN18
DAI0_PIN19	DAI0引脚19	未多路复用	DAI0_PIN19
DAI0_PIN20	DAI0引脚20	未多路复用	DAI0_PIN20
DMC0_A00	DMC0地址0	未多路复用	DMC0_A00
DMC0_A01	DMC0地址1	未多路复用	DMC0_A01
DMC0_A02	DMC0地址2	未多路复用	DMC0_A02
DMC0_A03	DMC0地址3	未多路复用	DMC0_A03
DMC0_A04	DMC0地址4	未多路复用	DMC0_A04
DMC0_A05	DMC0地址5	未多路复用	DMC0_A05
DMC0_A06	DMC0地址6	未多路复用	DMC0_A06
DMC0_A07	DMC0地址7	未多路复用	DMC0_A07
DMC0_A08	DMC0地址8	未多路复用	DMC0_A08
DMC0_A09	DMC0地址9	未多路复用	DMC0_A09
DMC0_A10	DMC0地址10	未多路复用	DMC0_A10
DMC0_A11	DMC0地址11	未多路复用	DMC0_A11
DMC0_A12	DMC0地址12	未多路复用	DMC0_A12
DMC0_A13	DMC0地址13	未多路复用	DMC0_A13
DMC0_A14	DMC0地址14	未多路复用	DMC0_A14
DMC0_A15	DMC0地址15	未多路复用	DMC0_A15
DMC0_BA0	DMC0组地址输入0	未多路复用	DMC0_BA0
DMC0_BA1	DMC0组地址输入1	未多路复用	DMC0_BA1
DMC0_BA2	DMC0组地址输入2	未多路复用	DMC0_BA2
DMC0_CAS	DMC0列地址选通	未多路复用	DMC0_CAS
DMC0_CK	DMC0时钟 (-)	未多路复用	DMC0_CK
DMC0_CKE	DMC0时钟使能	未多路复用	DMC0_CKE
DMC0_CS0	DMC0片选0	未多路复用	DMC0_CS0
DMC0_DQ00	DMC0数据0	未多路复用	DMC0_DQ00
DMC0_DQ01	DMC0数据1	未多路复用	DMC0_DQ01
DMC0_DQ02	DMC0数据2	未多路复用	DMC0_DQ02
DMC0_DQ03	DMC0数据3	未多路复用	DMC0_DQ03
DMC0_DQ04	DMC0数据4	未多路复用	DMC0_DQ04
DMC0_DQ05	DMC0数据5	未多路复用	DMC0_DQ05
DMC0_DQ06	DMC0数据6	未多路复用	DMC0_DQ06
DMC0_DQ07	DMC0数据7	未多路复用	DMC0_DQ07
DMC0_DQ08	DMC0数据8	未多路复用	DMC0_DQ08
DMC0_DQ09	DMC0数据9	未多路复用	DMC0_DQ09
DMC0_DQ10	DMC0数据10	未多路复用	DMC0_DQ10
DMC0_DQ11	DMC0数据11	未多路复用	DMC0_DQ11
DMC0_DQ12	DMC0数据12	未多路复用	DMC0_DQ12
DMC0_DQ13	DMC0数据13	未多路复用	DMC0_DQ13
DMC0_DQ14	DMC0数据14	未多路复用	DMC0_DQ14
DMC0_DQ15	DMC0数据15	未多路复用	DMC0_DQ15
DMC0_LDM	DMC0低位字节数据掩码	未多路复用	DMC0_LDM
DMC0_LDQS	DMC0低位字节数据选通 (-)	未多路复用	DMC0_LDQS
DMC0_ODT	DMC0片上端接	未多路复用	DMC0_ODT
DMC0_RAS	DMC0行地址选通	未多路复用	DMC0_RAS
DMC0_RESET	DMC0复位 (仅DDR3)	未多路复用	DMC0_RESET
DMC0_RZQ	DMC0外部校准电阻连接	未多路复用	DMC0_RZQ

表12. ADSP-SC57x/ADSP-2157x 400引脚CSP_BGA封装信号描述（续）

信号名称	描述	端口	引脚名称
DMC0_UDM	DMC0高位字节数据掩码	未多路复用	DMC0_UDM
DMC0_UDQS	DMC0高位字节数据选通 (-)	未多路复用	DMC0_UDQS
DMC0_VREF	DMC0基准电压	未多路复用	DMC0_VREF
DMC0_WE	DMC0写入使能	未多路复用	DMC0_WE
ETH0_COL	EMAC0 MII冲突检测	C	PC_06
ETH0_CRS	EMAC0载波检测/RMII接收数据有效	B	PB_01
ETH0_MDC	EMAC0管理通道时钟	A	PA_11
ETH0_MDIO	EMAC0管理通道串行数据	A	PA_10
ETH0_PTPAUXIN0	EMAC0 PTP辅助触发输入0	D	PD_14
ETH0_PTPAUXIN1	EMAC0 PTP辅助触发输入1	D	PD_15
ETH0_PTPAUXIN2	EMAC0 PTP辅助触发输入2	F	PF_06
ETH0_PTPAUXIN3	EMAC0 PTP辅助触发输入3	F	PF_07
ETH0_PTPCLKIN0	EMAC0 PTP时钟输入0	F	PF_05
ETH0_PTPPPS0	EMAC0 PTP PPS（脉冲/秒）输出0	A	PA_09
ETH0_PTPPPS1	EMAC0 PTP PPS（脉冲/秒）输出1	D	PD_08
ETH0_PTPPPS2	EMAC0 PTP PPS（脉冲/秒）输出2	E	PE_00
ETH0_PTPPPS3	EMAC0 PTP PPS（脉冲/秒）输出3	E	PE_01
ETH0_RXCLK_REFCLK	EMAC0 RXCLK (GigE) 或REFCLK (10/100)	B	PB_00
ETH0_RXCTL_RXDV	EMAC0 RXCTL (GigE) 或CRS (10/100)	B	PB_01
ETH0_RXD0	EMAC0接收数据0	A	PA_13
ETH0_RXD1	EMAC0接收数据1	A	PA_12
ETH0_RXD2	EMAC0接收数据2	A	PA_14
ETH0_RXD3	EMAC0接收数据3	A	PA_15
ETH0_RXERR	EMAC0接收错误	B	PB_03
ETH0_TXCLK	EMAC0发送时钟	B	PB_04
ETH0_TXCTL_TXEN	EMAC0 TXCTL (GigE) 或TXEN (10/100)	B	PB_09
ETH0_TXD0	EMAC0发送数据0	B	PB_07
ETH0_TXD1	EMAC0发送数据1	B	PB_08
ETH0_TXD2	EMAC0发送数据2	B	PB_06
ETH0_TXD3	EMAC0发送数据3	B	PB_05
HADC0_EOC_DOUT	HADC0转换结束/串行数据输出	D	PD_09
HADC0_VIN0	通道0的HADC0模拟输入	未多路复用	HADC0_VIN0
HADC0_VIN1	通道1的HADC0模拟输入	未多路复用	HADC0_VIN1
HADC0_VIN2	通道2的HADC0模拟输入	未多路复用	HADC0_VIN2
HADC0_VIN3	通道3的HADC0模拟输入	未多路复用	HADC0_VIN3
HADC0_VIN4	通道4的HADC0模拟输入	未多路复用	HADC0_VIN4
HADC0_VIN5	通道5的HADC0模拟输入	未多路复用	HADC0_VIN5
HADC0_VIN6	通道6的HADC0模拟输入	未多路复用	HADC0_VIN6
HADC0_VIN7	通道7的HADC0模拟输入	未多路复用	HADC0_VIN7
HADC0_VREFN	ADC的HADC0接地基准	未多路复用	HADC0_VREFN
HADC0_VREFP	ADC的HADC0外部基准源	未多路复用	HADC0_VREFP
JTG_TCK	JTAG时钟	未多路复用	JTG_TCK
JTG_TDI	JTAG串行数据输入	未多路复用	JTG_TDI
JTG_TDO	JTAG串行数据输出	未多路复用	JTG_TDO
JTG_TMS	JTAG模式选择	未多路复用	JTG_TMS
JTG_TRST	JTAG复位	未多路复用	JTG_TRST
LPO_ACK	LPO应答	E	PE_03
LPO_CLK	LPO时钟	E	PE_02

表12. ADSP-SC57x/ADSP-2157x 400引脚CSP_BGA封装信号描述（续）

信号名称	描述	端口	引脚名称
LP0_D0	LP0数据0	E	PE_04
LP0_D1	LP0数据1	E	PE_05
LP0_D2	LP0数据2	E	PE_06
LP0_D3	LP0数据3	E	PE_07
LP0_D4	LP0数据4	E	PE_08
LP0_D5	LP0数据5	E	PE_09
LP0_D6	LP0数据6	E	PE_10
LP0_D7	LP0数据7	E	PE_11
LP1_ACK	LP1应答	B	PB_01
LP1_CLK	LP1时钟	B	PB_03
LP1_D0	LP1数据0	D	PD_10
LP1_D1	LP1数据1	D	PD_11
LP1_D2	LP1数据2	D	PD_12
LP1_D3	LP1数据3	D	PD_13
LP1_D4	LP1数据4	D	PD_14
LP1_D5	LP1数据5	D	PD_15
LP1_D6	LP1数据6	A	PA_09
LP1_D7	LP1数据7	D	PD_09
MLB0_CLK	MLB0单端时钟	B	PB_06
MLB0_CLKN	MLB0差分时钟 (-)	未多路复用	MLB0_CLKN
MLB0_CLKOUT	MLB0单端时钟输出	B	PB_03
MLB0_CLKP	MLB0差分时钟 (+)	未多路复用	MLB0_CLKP
MLB0_DAT	MLB0单端数据	B	PB_04
MLB0_DATN	MLB0差分数据 (-)	未多路复用	MLB0_DATN
MLB0_DATP	MLB0差分数据 (+)	未多路复用	MLB0_DATP
MLB0_SIG	MLB0单端信号	B	PB_05
MLB0_SIGN	MLB0差分信号 (-)	未多路复用	MLB0_SIGN
MLB0_SIGP	MLB0差分信号 (+)	未多路复用	MLB0_SIGP
MSIO_CD	MSIO卡检测	C	PC_12
MSIO_CLK	MSIO时钟	F	PF_04
MSIO_CMD	MSIO命令	F	PF_07
MSIO_D0	MSIO数据0	E	PE_12
MSIO_D1	MSIO数据1	E	PE_13
MSIO_D2	MSIO数据2	E	PE_14
MSIO_D3	MSIO数据3	E	PE_15
MSIO_D4	MSIO数据4	F	PF_00
MSIO_D5	MSIO数据5	F	PF_01
MSIO_D6	MSIO数据6	F	PF_02
MSIO_D7	MSIO数据7	F	PF_03
MSIO_INT	MSIO eSDIO中断输入	C	PC_13
PPI0_CLK	EPPI0时钟	C	PC_11
PPI0_D00	EPPI0数据0	D	PD_10
PPI0_D01	EPPI0数据1	D	PD_11
PPI0_D02	EPPI0数据2	D	PD_12
PPI0_D03	EPPI0数据3	D	PD_13
PPI0_D04	EPPI0数据4	D	PD_14
PPI0_D05	EPPI0数据5	D	PD_15
PPI0_D06	EPPI0数据6	C	PC_05

表12. ADSP-SC57x/ADSP-2157x 400引脚CSP_BGA封装信号描述（续）

信号名称	描述	端口	引脚名称
PPI0_D07	EPPI0数据7	D	PD_09
PPI0_D08	EPPI0数据8	C	PC_01
PPI0_D09	EPPI0数据9	C	PC_02
PPI0_D10	EPPI0数据10	C	PC_03
PPI0_D11	EPPI0数据11	C	PC_04
PPI0_D12	EPPI0数据12	E	PE_00
PPI0_D13	EPPI0数据13	C	PC_07
PPI0_D14	EPPI0数据14	C	PC_08
PPI0_D15	EPPI0数据15	E	PE_01
PPI0_FS1	EPPI0帧同步1 (HSYNC)	C	PC_14
PPI0_FS2	EPPI0帧同步2 (VSYNC)	C	PC_15
PPI0_FS3	EPPI0帧同步3 (FIELD)	C	PC_06
SPI0_CLK	SPI0时钟	C	PC_01
SPI0_MISO	SPI0主机输入、从机输出	C	PC_02
SPI0_MOSI	SPI0主机输出、从机输入	C	PC_03
SPI0_RDY	SPI0就绪	C	PC_05
SPI0_SEL1	SPI0从机选择输出1	C	PC_04
SPI0_SEL2	SPI0从机选择输出2	C	PC_05
SPI0_SEL3	SPI0从机选择输出3	C	PC_06
SPI0_SEL4	SPI0从机选择输出4	A	PA_09
SPI0_SEL5	SPI0从机选择输出5	F	PF_05
SPI0_SEL6	SPI0从机选择输出6	F	PF_04
SPI0_SEL7	SPI0从机选择输出7	D	PD_05
SPI0_SS	SPI0从机选择输入	C	PC_04
SPI1_CLK	SPI1时钟	C	PC_07
SPI1_MISO	SPI1主机输入、从机输出	C	PC_08
SPI1_MOSI	SPI1主机输出、从机输入	C	PC_09
SPI1_RDY	SPI1就绪	C	PC_11
SPI1_SEL1	SPI1从机选择输出1	C	PC_10
SPI1_SEL2	SPI1从机选择输出2	C	PC_11
SPI1_SEL3	SPI1从机选择输出3	F	PF_11
SPI1_SEL4	SPI1从机选择输出4	A	PA_14
SPI1_SEL5	SPI1从机选择输出5	B	PB_02
SPI1_SEL6	SPI1从机选择输出6	D	PD_07
SPI1_SEL7	SPI1从机选择输出7	D	PD_06
SPI1_SS	SPI1从机选择输入	C	PC_10
SPI2_CLK	SPI2时钟	B	PB_14
SPI2_D2	SPI2数据2	B	PB_12
SPI2_D3	SPI2数据3	B	PB_13
SPI2_MISO	SPI2主机输入、从机输出	B	PB_10
SPI2_MOSI	SPI2主机输出、从机输入	B	PB_11
SPI2_RDY	SPI2就绪	C	PC_00
SPI2_SEL1	SPI2从机选择输出1	B	PB_15
SPI2_SEL2	SPI2从机选择输出2	F	PF_10
SPI2_SEL3	SPI2从机选择输出3	C	PC_00
SPI2_SEL4	SPI2从机选择输出4	D	PD_08
SPI2_SEL5	SPI2从机选择输出5	A	PA_15
SPI2_SEL6	SPI2从机选择输出n	A	PA_10

表12. ADSP-SC57x/ADSP-2157x 400引脚CSP_BGA封装信号描述（续）

信号名称	描述	端口	引脚名称
SPI2_SEL7	SPI2从机选择输出n	B	PB_07
SPI2_SS	SPI2从机选择输入	B	PB_15
SYS_BMODE0	引导模式控制n	未多路复用	SYS_BMODE0
SYS_BMODE1	引导模式控制n	未多路复用	SYS_BMODE1
SYS_BMODE2	引导模式控制n	未多路复用	SYS_BMODE2
SYS_CLKIN0	时钟/晶振输入	未多路复用	SYS_CLKIN0
SYS_CLKIN1	时钟/晶振输入	未多路复用	SYS_CLKIN1
SYS_CLKOUT	处理器时钟输出	未多路复用	SYS_CLKOUT
SYS_FAULT	高电平有效故障输出	未多路复用	SYS_FAULT
SYS_FAULT	低电平有效故障输出	未多路复用	SYS_FAULT
SYS_HWRST	处理器硬件复位控制	未多路复用	SYS_HWRST
SYS_RESOUT	复位输出	未多路复用	SYS_RESOUT
SYS_XTAL0	晶振输出	未多路复用	SYS_XTAL0
SYS_XTAL1	晶振输出	未多路复用	SYS_XTAL1
TM0_ACIO	TIMER0备选捕获输入0	F	PF_09
TM0_AC11	TIMER0备选捕获输入1	F	PF_11
TM0_AC12	TIMER0备选捕获输入2	C	PC_12
TM0_AC13	TIMER0备选捕获输入3	C	PC_14
TM0_AC14	TIMER0备选捕获输入4	C	PC_13
TM0_AC15	TIMER0备选捕获输入5	不适用	DAIO_PIN04 ¹
TM0_AC16	TIMER0备选捕获输入6	不适用	DAIO_PIN19 ¹
TM0_AC17	TIMER0备选捕获输入7	不适用	CNT0_TO
TM0_ACLK0	TIMER0备选时钟0	不适用	SYS_CLKIN1
TM0_ACLK1	TIMER0备选时钟1	F	PF_06
TM0_ACLK2	TIMER0备选时钟2	C	PC_01
TM0_ACLK3	TIMER0备选时钟3	D	PD_09
TM0_ACLK4	TIMER0备选时钟4	E	PE_02
TM0_ACLK5	TIMER0备选时钟5	不适用	DAIO_PIN03 ¹
TM0_ACLK6	TIMER0备选时钟6	不适用	DAIO_PIN20 ¹
TM0_ACLK7	TIMER0备选时钟7	不适用	SYS_CLKIN0
TM0_CLK	TIMER0时钟	C	PC_03
TM0_TMR0	TIMER0定时器0	E	PE_12
TM0_TMR1	TIMER0定时器1	F	PF_05
TM0_TMR2	TIMER0定时器2	F	PF_07
TM0_TMR3	TIMER0定时器3	B	PB_01
TM0_TMR4	TIMER0定时器4	B	PB_03
TM0_TMR5	TIMER0定时器5	C	PC_15
TM0_TMR6	TIMER0定时器6	E	PE_14
TM0_TMR7	TIMER0定时器7	D	PD_07
TRACE0_CLK	TRACE0跟踪时钟	F	PF_06
TRACE0_D00	TRACE0跟踪数据0	F	PF_00
TRACE0_D01	TRACE0跟踪数据	F	PF_01
TRACE0_D02	TRACE0跟踪数据	F	PF_02
TRACE0_D03	TRACE0跟踪数据3	F	PF_03
TRACE0_D04	TRACE0跟踪数据	D	PD_10
TRACE0_D05	TRACE0跟踪数据	D	PD_11
TRACE0_D06	TRACE0跟踪数据	D	PD_12
TRACE0_D07	TRACE0跟踪数据7	D	PD_13

表12. ADSP-SC57x/ADSP-2157x 400引脚CSP_BGA封装信号描述（续）

信号名称	描述	端口	引脚名称
TWI0_SCL	TWI0串行时钟	未多路复用	TWI0_SCL
TWI0_SDA	TWI0串行数据	未多路复用	TWI0_SDA
TWI1_SCL	TWI1串行时钟	未多路复用	TWI1_SCL
TWI1_SDA	TWI1串行数据	未多路复用	TWI1_SDA
TWI2_SCL	TWI2串行时钟	未多路复用	TWI2_SCL
TWI2_SDA	TWI2串行数据	未多路复用	TWI2_SDA
UART0_CTS	UART0允许发送	D	PD_06
UART0_RTS	UART0请求发送	D	PD_05
UART0_RX	UART0接收	F	PF_09
UART0_TX	UART0发送	F	PF_08
UART1_CTS	UART1允许发送	E	PE_14
UART1_RTS	UART1请求发送	E	PE_00
UART1_RX	UART1接收	F	PF_11
UART1_TX	UART1发送	F	PF_10
UART2_CTS	UART2允许发送	A	PA_11
UART2_RTS	UART2请求发送	A	PA_10
UART2_RX	UART2接收	C	PC_13
UART2_TX	UART2发送	C	PC_12
USB0_CLKIN	USB0时钟/晶振输入	未多路复用	USB_CLKIN
USB0_DM	USB0数据	未多路复用	USB0_DM
USB0_DP	USB0数据+	未多路复用	USB0_DP
USB0_ID	USB0 OTG ID	未多路复用	USB0_ID
USB0_VBC	USB0 VBUS控制	未多路复用	USB0_VBC
USB0_VBUS	USB0总线电压	未多路复用	USB0_VBUS
USB0_XTAL	USB0晶振	未多路复用	USB_XTAL
VDD_EXT	外部电压域	未多路复用	VDD_EXT
VDD_INT	内部电压域	未多路复用	VDD_INT
VDD_DMC	DMC VVD	未多路复用	VDD_DMC
VDD_HADC	HADC VVD	未多路复用	VDD_HADC
VDD_USB	USB VVD	未多路复用	VDD_USB

¹ 信号利用 SRU 通过 DAI0_PBnn 引脚缓冲器路由至 DAI0_PINnn 引脚。

400引脚CSP_BGA封装的GPIO复用

表 13 至表 18 列出了多路复用至 400 引脚 CSP_BGA 封装上通用 I/O 引脚的引脚功能。

表13. 端口A信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PA_00					
PA_01					
PA_02					
PA_03					
PA_04					
PA_05					
PA_06					
PA_07					
PA_08					
PA_09	ETH0_PTPPPS0	LP1_D6	SPI0_SEL4		
PA_10	ETH0_MDIO	UART2_RTS	SPI2_SEL6		
PA_11	ETH0_MDC	UART2_CTS			
PA_12	ETH0_RXD1				
PA_13	ETH0_RXD0				
PA_14	ETH0_RXD2	ACM0_A3	SPI1_SEL4		
PA_15	ETH0_RXD3	ACM0_T0	SPI2_SEL5		

表14. 端口B信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PB_00	ETH0_RXCLK_REFCLK	C2_FLG0			
PB_01	ETH0_CRS	ACM0_A4	LP1_ACK	TM0_TMR3	
PB_02	ETH0_RXCTL_RXDV		SPI1_SEL5		
PB_03	ETH0_RXERR	MLB0_CLKOUT	LP1_CLK	TM0_TMR4	
PB_04	ETH0_TXCLK	MLB0_DAT			
PB_05	ETH0_TXD3	MLB0_SIG			
PB_06	ETH0_TXD2	MLB0_CLK			
PB_07	ETH0_TXD0		SPI2_SEL7		
PB_08	ETH0_TXD1				
PB_09	ETH0_TXCTL_TXEN				
PB_10	SPI2_MISO				
PB_11	SPI2_MOSI				
PB_12	SPI2_D2				
PB_13	SPI2_D3				
PB_14	SPI2_CLK				
PB_15	SPI2_SEL1				SPI2_SS

表15. 端口C信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PC_00	$\overline{\text{SPI2_SEL3}}$	SPI2_RDY			
PC_01	SPI0_CLK	PPIO_D08			TM0_ACLK2
PC_02	SPI0_MISO	PPIO_D09			
PC_03	SPI0_MOSI	PPIO_D10			TM0_CLK
PC_04	$\overline{\text{SPI0_SEL1}}$	PPIO_D11			$\overline{\text{SPI0_SS}}$
PC_05	$\overline{\text{SPI0_SEL2}}$	PPIO_D06	SPI0_RDY		
PC_06	$\overline{\text{SPI0_SEL3}}$	ETH0_COL	PPIO_FS3		
PC_07	SPI1_CLK	PPIO_D13			
PC_08	SPI1_MISO	PPIO_D14			
PC_09	SPI1_MOSI				
PC_10	$\overline{\text{SPI1_SEL1}}$				$\overline{\text{SPI1_SS}}$
PC_11	$\overline{\text{SPI1_SEL2}}$	PPIO_CLK	$\overline{\text{SPI1_RDY}}$		TM0_ACLK4
PC_12	CAN0_RX	$\overline{\text{MSIO_CD}}$	$\overline{\text{UART2_TX}}$		TM0_ACI2
PC_13	CAN0_TX	$\overline{\text{MSIO_INT}}$	$\overline{\text{UART2_RX}}$		TM0_ACI4
PC_14	CAN1_RX	PPIO_FS1	ACM0_A1	C2_FLG1	TM0_ACI3
PC_15	CAN1_TX	PPIO_FS2	ACM0_A2	TM0_TMR5	

表16. 端口D信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PD_00					
PD_01					
PD_02					
PD_03					
PD_04					
PD_05	$\overline{\text{SPI0_SEL7}}$		$\overline{\text{UART0_RTS}}$		
PD_06	$\overline{\text{SPI1_SEL7}}$	C1_FLG3	$\overline{\text{UART0_CTS}}$		
PD_07	$\overline{\text{SPI1_SEL6}}$	CNT0_ZM	TM0_TMR7		
PD_08	ETH0_PTPPPS1	CNT0_DG	$\overline{\text{SPI2_SEL4}}$		
PD_09	LP1_D7	PPIO_D07	HADCO_EOC_DOUT		TM0_ACLK3
PD_10	LP1_D0	PPIO_D00	TRACE0_D04		
PD_11	LP1_D1	PPIO_D01	TRACE0_D05		
PD_12	LP1_D2	PPIO_D02	TRACE0_D06		
PD_13	LP1_D3	PPIO_D03	TRACE0_D07		
PD_14	LP1_D4	PPIO_D04	ETH0_PTPAUXIN0		
PD_15	LP1_D5	PPIO_D05	ETH0_PTPAUXIN1		

表17. 端口E信号多路复用信号名称

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PE_00	ETH0_PTPPPS2	PPIO_D12	UART1_RTS		
PE_01	ETH0_PTPPPS3	PPIO_D15	C1_FLG1		
PE_02	LP0_CLK				
PE_03	LP0_ACK				
PE_04	LP0_D0				
PE_05	LP0_D1				
PE_06	LP0_D2				
PE_07	LP0_D3				
PE_08	LP0_D4				
PE_09	LP0_D5				
PE_10	LP0_D6				
PE_11	LP0_D7				
PE_12	MSIO_D0		TM0_TMR0		
PE_13	MSIO_D1	C1_FLG0	CNT0_UD		
PE_14	MSIO_D2	UART1_CTS	TM0_TMR6		
PE_15	MSIO_D3	C2_FLG3			

表18. 端口F信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PF_00	MSIO_D4	TRACE0_D00			
PF_01	MSIO_D5	TRACE0_D01			
PF_02	MSIO_D6	TRACE0_D02			
PF_03	MSIO_D7	TRACE0_D03			
PF_04	MSIO_CLK	C1_FLG2	SPI0_SEL6		
PF_05	ETH0_PTPCLKIN0	TM0_TMR1	SPI0_SEL5		
PF_06	ETH0_PTPAUXIN2	TRACE0_CLK			TM0_ACLK1
PF_07	ETH0_PTPAUXIN3	TM0_TMR2	MSIO_CMD		
PF_08	UART0_TX				
PF_09	UART0_RX				TM0_ACIO
PF_10	UART1_TX	SPI2_SEL2			
PF_11	UART1_RX	ACM0_A0	SPI1_SEL3	C2_FLG2	TM0_ACI1

下列备选时钟和备选捕捉输入信号内部路由至特定系统信号。连接是固定的。如果使能这些模式，特定系统信号会自动路由至定时器输入信号。表 19 显示了该路由的详细信息。

表19. 内部定时器信号路由

定时器输入信号	内部源
TM0_ACLK0 ¹	SYS_CLKIN1
TM0_AC15	DAI0_PB04_O
TM0_ACLK5	DAI0_PB03_O
TM0_AC16	DAI0_PB20_O
TM0_ACLK6	DAI0_PB19_O
TM0_AC17	CNT0_TO
TM0_ACLK7	SYS_CLKIN0

¹ 不适用于 LQFP 封装。

176引脚LQFP封装信号描述

处理器的引脚定义如表20所示。该表中的列提供下列信息：

- 信号名称：表中的“信号名称”列包含各引脚的信号名称，以及每一个引脚的GPIO多路复用引脚功能（如适用）。
- 描述：表中的“描述”列提供信号的详细（描述性）名称。
- 通用端口：表中的“端口”列显示信号是否与其他信号多路复用至通用I/O端口引脚。
- 引脚名称：表中的“引脚名称”列表示封装引脚（上电复位时）的名称；信号位于这些引脚上（单功能引脚）或多路复用（通用I/O引脚）。

表20. ADSP-SC57x/ADSP-2157x 176引脚LQFP封装信号描述

信号名称	描述	端口	引脚名称
ACM0_A0	ACM0 ADC控制信号	A	PA_08
ACM0_A1	ACM0 ADC控制信号	C	PC_14
ACM0_A2	ACM0 ADC控制信号	C	PC_15
ACM0_A3	ACM0 ADC控制信号	A	PA_14
ACM0_A4	ACM0 ADC控制信号	B	PB_01
ACM0_T0	ACM0外部触发信号n	A	PA_15
C1_FLG0	SHARC内核1标志引脚	D	PD_00
C1_FLG1	SHARC内核1标志引脚	D	PD_01
C1_FLG2	SHARC内核1标志引脚	C	PC_09
C1_FLG3	SHARC内核1标志引脚	D	PD_06
C2_FLG0	SHARC内核2标志引脚	B	PB_00
C2_FLG1	SHARC内核2标志引脚	C	PC_14
C2_FLG2	SHARC内核2标志引脚	C	PC_15
C2_FLG3	SHARC内核2标志引脚	D	PD_05
CAN0_RX	CAN0接收	C	PC_12
CAN0_TX	CAN0发送	C	PC_13
CAN1_RX	CAN1接收	C	PC_14
CAN1_TX	CAN1发送	C	PC_15
CNT0_DG	CNT0递减计数和栅极	D	PD_08
CNT0_UD	CNT0递增计数和方向	D	PD_00
CNT0_ZM	CNT0零标记	D	PD_07
DAI0_PIN01	DAI0引脚1	未多路复用	DAI0_PIN01
DAI0_PIN02	DAI0引脚2	未多路复用	DAI0_PIN02
DAI0_PIN03	DAI0引脚3	未多路复用	DAI0_PIN03
DAI0_PIN04	DAI0引脚4	未多路复用	DAI0_PIN04
DAI0_PIN05	DAI0引脚5	未多路复用	DAI0_PIN05
DAI0_PIN06	DAI0引脚6	未多路复用	DAI0_PIN06
DAI0_PIN07	DAI0引脚7	未多路复用	DAI0_PIN07
DAI0_PIN08	DAI0引脚8	未多路复用	DAI0_PIN08
DAI0_PIN09	DAI0引脚9	未多路复用	DAI0_PIN09
DAI0_PIN10	DAI0引脚10	未多路复用	DAI0_PIN10
DAI0_PIN11	DAI0引脚11	未多路复用	DAI0_PIN11
DAI0_PIN12	DAI0引脚12	未多路复用	DAI0_PIN12
DAI0_PIN13	DAI0引脚13	未多路复用	DAI0_PIN13
DAI0_PIN14	DAI0引脚14	未多路复用	DAI0_PIN14
DAI0_PIN15	DAI0引脚15	未多路复用	DAI0_PIN15
DAI0_PIN16	DAI0引脚16	未多路复用	DAI0_PIN16

表20. ADSP-SC57x/ADSP-2157x 176引脚LQFP封装信号描述（续）

信号名称	描述	端口	引脚名称
DAI0_PIN17	DAI0引脚17	未多路复用	DAI0_PIN17
DAI0_PIN18	DAI0引脚18	未多路复用	DAI0_PIN18
DAI0_PIN19	DAI0引脚19	未多路复用	DAI0_PIN19
DAI0_PIN20	DAI0引脚20	未多路复用	DAI0_PIN20
ETH0_COL	EMAC0 MII冲突检测	C	PC_06
ETH0_CRS	EMAC0载波检测/RMII接收数据有效	B	PB_01
ETH0_MDC	EMAC0管理通道时钟	A	PA_11
ETH0_MDIO	EMAC0管理通道串行数据	A	PA_10
ETH0_PTPAUXIN0	EMAC0 PTP辅助触发输入0	D	PD_14
ETH0_PTPAUXIN1	EMAC0 PTP辅助触发输入1	D	PD_15
ETH0_PTPPPS0	EMAC0 PTP PPS（脉冲/秒）输出0	A	PA_09
ETH0_PTPPPS1	EMAC0 PTP PPS（脉冲/秒）输出1	D	PD_08
ETH0_RXCLK_REFCLK	EMAC0 RXCLK (GigE) 或REFCLK (10/100)	B	PB_00
ETH0_RXCTL_RXDV	EMAC0 RXCTL (GigE) 或CRS (10/100)	B	PB_01
ETH0_RXD0	EMAC0接收数据0	A	PA_13
ETH0_RXD1	EMAC0接收数据1	A	PA_12
ETH0_RXD2	EMAC0接收数据2	A	PA_14
ETH0_RXD3	EMAC0接收数据3	A	PA_15
ETH0_RXERR	EMAC0接收错误	B	PB_03
ETH0_TXCLK	EMAC0发送时钟	B	PB_04
ETH0_TXCTL_TXEN	EMAC0 TXCTL (GigE) 或TXEN (10/100)	B	PB_09
ETH0_TXD0	EMAC0发送数据0	B	PB_07
ETH0_TXD1	EMAC0发送数据1	B	PB_08
ETH0_TXD2	EMAC0发送数据2	B	PB_06
ETH0_TXD3	EMAC0发送数据3	B	PB_05
HADC0_EOC_DOUT	HADC0转换结束/串行数据输出	D	PD_09
HADC0_VIN0	通道0的HADC0模拟输入	未多路复用	HADC0_VIN0
HADC0_VIN1	通道1的HADC0模拟输入	未多路复用	HADC0_VIN1
HADC0_VIN2	通道2的HADC0模拟输入	未多路复用	HADC0_VIN2
HADC0_VIN3	通道3的HADC0模拟输入	未多路复用	HADC0_VIN3
HADC0_VREFN	ADC的HADC0接地基准	未多路复用	HADC0_VREFN
HADC0_VREFP	ADC的HADC0外部基准源	未多路复用	HADC0_VREFP
JTG_TCK	JTAG时钟	未多路复用	JTG_TCK
JTG_TDI	JTAG串行数据输入	未多路复用	JTG_TDI
JTG_TDO	JTAG串行数据输出	未多路复用	JTG_TDO
JTG_TMS	JTAG模式选择	未多路复用	JTG_TMS
JTG_TRST	JTAG复位	未多路复用	JTG_TRST
LP1_ACK	LP1应答	B	PB_01
LP1_CLK	LP1时钟	B	PB_03
LP1_D0	LP1数据0	D	PD_10
LP1_D1	LP1数据1	D	PD_11
LP1_D2	LP1数据2	D	PD_12
LP1_D3	LP1数据3	D	PD_13
LP1_D4	LP1数据4	D	PD_14
LP1_D5	LP1数据5	D	PD_15
LP1_D6	LP1数据6	A	PA_09
LP1_D7	LP1数据7	D	PD_09
MLB0_CLK	MLB0单端时钟	B	PB_06

表20. ADSP-SC57x/ADSP-2157x 176引脚LQFP封装信号描述（续）

信号名称	描述	端口	引脚名称
MLB0_CLKOUT	MLB0单端时钟输出	B	PB_03
MLB0_DAT	MLB0单端数据	B	PB_04
MLB0_SIG	MLB0单端信号	B	PB_05
PPI0_CLK	EPPI0时钟	C	PC_11
PPI0_D00	EPPI0数据0	D	PD_10
PPI0_D01	EPPI0数据1	D	PD_11
PPI0_D02	EPPI0数据2	D	PD_12
PPI0_D03	EPPI0数据3	D	PD_13
PPI0_D04	EPPI0数据4	D	PD_14
PPI0_D05	EPPI0数据5	D	PD_15
PPI0_D06	EPPI0数据6	C	PC_05
PPI0_D07	EPPI0数据7	D	PD_09
PPI0_D08	EPPI0数据8	C	PC_01
PPI0_D09	EPPI0数据9	C	PC_02
PPI0_D10	EPPI0数据10	C	PC_03
PPI0_D11	EPPI0数据11	C	PC_04
PPI0_FS1	EPPI0帧同步1 (HSYNC)	C	PC_14
PPI0_FS2	EPPI0帧同步2 (VSYNC)	C	PC_15
PPI0_FS3	EPPI0帧同步3 (FIELD)	C	PC_06
SPI0_CLK	SPI0时钟	C	PC_01
SPI0_MISO	SPI0主机输入、从机输出	C	PC_02
SPI0_MOSI	SPI0主机输出、从机输入	C	PC_03
SPI0_RDY	SPI0就绪	C	PC_05
<u>SPI0_SEL1</u>	SPI0从机选择输出1	C	PC_04
<u>SPI0_SEL2</u>	SPI0从机选择输出2	C	PC_05
<u>SPI0_SEL3</u>	SPI0从机选择输出3	C	PC_06
<u>SPI0_SEL4</u>	SPI0从机选择输出4	A	PA_09
<u>SPI0_SEL5</u>	SPI0从机选择输出5	D	PD_03
<u>SPI0_SEL6</u>	SPI0从机选择输出6	D	PD_04
<u>SPI0_SEL7</u>	SPI0从机选择输出7	D	PD_05
<u>SPI0_SS</u>	SPI0从机选择输入	C	PC_04
SPI1_CLK	SPI1时钟	C	PC_07
SPI1_MISO	SPI1主机输入、从机输出	C	PC_08
SPI1_MOSI	SPI1主机输出、从机输入	C	PC_09
SPI1_RDY	SPI1就绪	C	PC_11
<u>SPI1_SEL1</u>	SPI1从机选择输出1	C	PC_10
<u>SPI1_SEL2</u>	SPI1从机选择输出2	C	PC_11
<u>SPI1_SEL3</u>	SPI1从机选择输出3	A	PA_08
<u>SPI1_SEL4</u>	SPI1从机选择输出4	A	PA_14
<u>SPI1_SEL5</u>	SPI1从机选择输出5	B	PB_02
<u>SPI1_SEL6</u>	SPI1从机选择输出6	D	PD_07
<u>SPI1_SEL7</u>	SPI1从机选择输出7	D	PD_06
<u>SPI1_SS</u>	SPI1从机选择输入	C	PC_10
SPI2_CLK	SPI2时钟	B	PB_14
SPI2_D2	SPI2数据2	B	PB_12
SPI2_D3	SPI2数据3	B	PB_13
SPI2_MISO	SPI2主机输入、从机输出	B	PB_10
SPI2_MOSI	SPI2主机输出、从机输入	B	PB_11

表20. ADSP-SC57x/ADSP-2157x 176引脚LQFP封装信号描述（续）

信号名称	描述	端口	引脚名称
SPI2_RDY	SPI2就绪	C	PC_00
SPI2_SEL1	SPI2从机选择输出1	B	PB_15
SPI2_SEL2	SPI2从机选择输出2	A	PA_07
SPI2_SEL3	SPI2从机选择输出3	C	PC_00
SPI2_SEL4	SPI2从机选择输出4	D	PD_08
SPI2_SEL5	SPI2从机选择输出5	A	PA_15
SPI2_SEL6	SPI2从机选择输出n	A	PA_10
SPI2_SEL7	SPI2从机选择输出n	B	PB_07
SPI2_SS	SPI2从机选择输入	B	PB_15
SYS_BMODE0	引导模式控制n	未多路复用	SYS_BMODE0
SYS_BMODE1	引导模式控制n	未多路复用	SYS_BMODE1
SYS_CLKIN0	时钟/晶振输入	未多路复用	SYS_CLKIN0
SYS_CLKOUT	处理器时钟输出	未多路复用	SYS_CLKOUT
SYS_FAULT	高电平有效故障输出	未多路复用	SYS_FAULT
SYS_HWRST	处理器硬件复位控制	未多路复用	SYS_HWRST
SYS_RESOUT	复位输出	未多路复用	SYS_RESOUT
SYS_XTAL0	晶振输出	未多路复用	SYS_XTAL0
TM0_ACIO	TIMER0备选捕获输入0	A	PA_06
TM0_AC11	TIMER0备选捕获输入1	A	PA_08
TM0_AC12	TIMER0备选捕获输入2	C	PC_12
TM0_AC13	TIMER0备选捕获输入3	C	PC_14
TM0_AC14	TIMER0备选捕获输入4	C	PC_13
TM0_AC15	TIMER0备选捕获输入5	不适用	DAI_PB04_O
TM0_AC16	TIMER0备选捕获输入6	不适用	DAI_PB19_O
TM0_AC17	TIMER0备选捕获输入7	不适用	CNT0_TO
TM0_ACLK1	TIMER0备选时钟1	A	PA_00
TM0_ACLK2	TIMER0备选时钟2	C	PC_01
TM0_ACLK3	TIMER0备选时钟3	D	PD_09
TM0_ACLK4	TIMER0备选时钟4	C	PC_11
TM0_ACLK5	TIMER0备选时钟5	不适用	DAI_PB03_O
TM0_ACLK6	TIMER0备选时钟6	不适用	DAI_PB20_O
TM0_ACLK7	TIMER0备选时钟7	不适用	SYS_CLKIN0
TM0_CLK	TIMER0时钟	C	PC_03
TM0_TMR0	TIMER0定时器0	D	PD_02
TM0_TMR1	TIMER0定时器1	D	PD_03
TM0_TMR2	TIMER0定时器2	D	PD_04
TM0_TMR3	TIMER0定时器3	B	PB_01
TM0_TMR4	TIMER0定时器4	B	PB_03
TM0_TMR5	TIMER0定时器5	C	PC_15
TM0_TMR7	TIMER0定时器7	D	PD_07
TRACE0_CLK	TRACE0跟踪时钟	A	PA_00
TRACE0_D00	TRACE0跟踪数据	A	PA_01
TRACE0_D01	TRACE0跟踪数据	A	PA_02
TRACE0_D02	TRACE0跟踪数据	A	PA_03
TRACE0_D03	TRACE0跟踪数据	A	PA_04
TRACE0_D04	TRACE0跟踪数据	D	PD_10
TRACE0_D05	TRACE0跟踪数据	D	PD_11
TRACE0_D06	TRACE0跟踪数据	D	PD_12

表20. ADSP-SC57x/ADSP-2157x 176引脚LQFP封装信号描述（续）

信号名称	描述	端口	引脚名称
TRACE0_D07	TRACE0跟踪数据7	D	PD_13
TWI0_SCL	TWI0串行时钟	未多路复用	TWI0_SCL
TWI0_SDA	TWI0串行数据	未多路复用	TWI0_SDA
TWI1_SCL	TWI1串行时钟	未多路复用	TWI1_SCL
TWI1_SDA	TWI1串行数据	未多路复用	TWI1_SDA
TWI2_SCL	TWI2串行时钟	未多路复用	TWI2_SCL
TWI2_SDA	TWI2串行数据	未多路复用	TWI2_SDA
UART0_CTS	UART0允许发送	D	PD_06
UART0_RTS	UART0请求发送	D	PD_05
UART0_RX	UART0接收	A	PA_06
UART0_TX	UART0发送	A	PA_05
UART1_CTS	UART1允许发送	D	PD_01
UART1_RTS	UART1请求发送	D	PD_00
UART1_RX	UART1接收	A	PA_08
UART1_TX	UART1发送	A	PA_07
UART2_CTS	UART2允许发送	A	PA_11
UART2_RTS	UART2请求发送	A	PA_10
UART2_RX	UART2接收	C	PC_13
UART2_TX	UART2发送	C	PC_12

176引脚LQFP封装的GPIO复用

表 21 至表 24 列出了多路复用至 176 引脚 LQFP 封装上通用 I/O 引脚的引脚功能。

表21. 端口A信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PA_00	TRACE0_CLK				TM0_ACLK1
PA_01	TRACE0_D00				
PA_02	TRACE0_D01				
PA_03	TRACE0_D02				
PA_04	TRACE0_D03				TM0_ACIO
PA_05	UART0_TX				
PA_06	UART0_RX				
PA_07	UART1_TX	SPI2_SEL2			
PA_08	UART1_RX	ACM0_A0	SPI1_SEL3		TM0_AC11
PA_09	ETH0_PTPPPS0	LP1_D6	SPI0_SEL4		
PA_10	ETH0_MDIO	UART2_RTS	SPI2_SEL6		
PA_11	ETH0_MDC	UART2_CTS			
PA_12	ETH0_RXD1				
PA_13	ETH0_RXD0				
PA_14	ETH0_RXD2	ACM0_A3	SPI1_SEL4		
PA_15	ETH0_RXD3	ACM0_T0	SPI2_SEL5		

表22. 端口B信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PB_00	ETH0_RXCLK_REFCLK	C2_FLG0			TM0_TMR3
PB_01	ETH0_CRS	ACM0_A4	LP1_ACK		
PB_02	ETH0_RXCTL_RXDV		SPI1_SEL5		
PB_03	ETH0_RXERR	MLB0_CLKOUT	LP1_CLK		
PB_04	ETH0_TXCLK	MLB0_DAT		TM0_TMR4	
PB_05	ETH0_TXD3	MLB0_SIG			
PB_06	ETH0_TXD2	MLB0_CLK			
PB_07	ETH0_TXD0		SPI2_SEL7		
PB_08	ETH0_TXD1				SPI2_SS
PB_09	ETH0_TXCTL_TXEN				
PB_10	SPI2_MISO				
PB_11	SPI2_MOSI				
PB_12	SPI2_D2				
PB_13	SPI2_D3				
PB_14	SPI2_CLK				
PB_15	SPI2_SEL1				

表23. 端口C信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PC_00	SPI2_SEL3	SPI2_RDY			
PC_01	SPI0_CLK	PPIO_D08			TM0_ACLK2
PC_02	SPI0_MISO	PPIO_D09			
PC_03	SPI0_MOSI	PPIO_D10			TM0_CLK
PC_04	SPI0_SEL1	PPIO_D11			SPI0_SS
PC_05	SPI0_SEL2	PPIO_D06	SPI0_RDY		
PC_06	SPI0_SEL3	ETH0_COL	PPIO_FS3		
PC_07	SPI1_CLK				
PC_08	SPI1_MISO				
PC_09	SPI1_MOSI	C1_FLG2			
PC_10	SPI1_SEL1	C2_FLG2			SPI1_SS
PC_11	SPI1_SEL2	PPIO_CLK	SPI1_RDY		TM0_ACLK4
PC_12	CAN0_RX		UART2_TX		TM0_ACI2
PC_13	CAN0_TX		UART2_RX		TM0_ACI4
PC_14	CAN1_RX	PPIO_FS1	ACM0_A1	C2_FLG1	TM0_ACI3
PC_15	CAN1_TX	PPIO_FS2	ACM0_A2	TM0_TMR5	

表24. 端口D信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入分支
PD_00	C1_FLG0	UART1_RTS	CNT0_UD		
PD_01	C1_FLG1	UART1_CTS	TM0_TMR6		
PD_02	TM0_TMR0				
PD_03	TM0_TMR1	SPI0_SEL5			
PD_04	TM0_TMR2		SPI0_SEL6		
PD_05	SPI0_SEL7	C2_FLG3	UART0_RTS		
PD_06	SPI1_SEL7	C1_FLG3	UART0_CTS		
PD_07	SPI1_SEL6	CNT0_ZM	TM0_TMR7		
PD_08	ETH0_PTPPPS1	CNT0_DG	SPI2_SEL4		
PD_09	LP1_D7	PPIO_D07	HADC0_EOC_DOUT		TM0_ACLK3
PD_10	LP1_D0	PPIO_D00	TRACE0_D04		
PD_11	LP1_D1	PPIO_D01	TRACE0_D05		
PD_12	LP1_D2	PPIO_D02	TRACE0_D06		
PD_13	LP1_D3	PPIO_D03	TRACE0_D07		
PD_14	LP1_D4	PPIO_D04	ETH0_PTPAUXIN0		
PD_15	LP1_D5	PPIO_D05	ETH0_PTPAUXIN1		

ADSP-SC57x/ADSP-2157x设计人员快速参考

表25提供电路板设计中引脚相关的快速参考汇总信息。该表中的列提供下列信息：

- 信号名称：表中的“信号名称”列包含各引脚的信号名称，以及每一个引脚的GPIO多路复用引脚功能（如适用）。
- 引脚类型：表中的“引脚类型”列表示引脚的I/O类型或电源类型。此列使用了如下缩写：a（模拟）、s（电源）、g（地）和输入/输出/输入输出。
- 驱动器类型：表中的“驱动器类型”列表示此引脚使用的驱动器类型。驱动器类型定义见本数据手册中的输出驱动电流部分。
- 内部端接：表中的“内部端接”列表示处理器未处于复位状态时存在的端接。
- 复位端接：表中的“复位端接”列表示处理器处于复位状态时存在的端接。
- 复位驱动：表中的“复位驱动”列表示处理器处于复位状态时信号的有效驱动。
- 电源域：表中的“电源域”列表示信号所在的电源域。
- 描述和注释：表中的“描述和注释”列表示信号的任何特殊要求或特性。如果没有列出特殊要求，信号不用时可以不连接。此外，对于多路复用通用I/O引脚，该列还表示此引脚上的可用功能。

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DAI0_PIN01	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚1 注释：无注释
DAI0_PIN02	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚2 注释：无注释
DAI0_PIN03	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚3 注释：无注释
DAI0_PIN04	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚4 注释：无注释
DAI0_PIN05	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚5 注释：无注释
DAI0_PIN06	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚6 注释：无注释
DAI0_PIN07	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚7 注释：无注释
DAI0_PIN08	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚8 注释：无注释
DAI0_PIN09	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚9 注释：无注释
DAI0_PIN10	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚10 注释：无注释
DAI0_PIN11	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚11 注释：无注释
DAI0_PIN12	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚12 注释：无注释
DAI0_PIN13	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚13 注释：无注释
DAI0_PIN14	输入输出	A	下拉	无	无	VDD_EXT	描述：DAI0引脚14 注释：无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DAI0_PIN15	输入输出	A	下拉	无	无	VDD_EXT	描述: DAI0引脚15 注释: 无注释
DAI0_PIN16	输入输出	A	下拉	无	无	VDD_EXT	描述: DAI0引脚16 注释: 无注释
DAI0_PIN17	输入输出	A	下拉	无	无	VDD_EXT	描述: DAI0引脚17 注释: 无注释
DAI0_PIN18	输入输出	A	下拉	无	无	VDD_EXT	描述: DAI0引脚18 注释: 无注释
DAI0_PIN19	输入输出	A	下拉	无	无	VDD_EXT	描述: DAI0引脚19 注释: 无注释
DAI0_PIN20	输入输出	A	下拉	无	无	VDD_EXT	描述: DAI0引脚20 注释: 无注释
DMC0_A00	输出	B	无	无	无	VDD_DMC	描述: DMC0地址0 注释: 无注释
DMC0_A01	输出	B	无	无	无	VDD_DMC	描述: DMC0地址1 注释: 无注释
DMC0_A02	输出	B	无	无	无	VDD_DMC	描述: DMC0地址2 注释: 无注释
DMC0_A03	输出	B	无	无	无	VDD_DMC	描述: DMC0地址3 注释: 无注释
DMC0_A04	输出	B	无	无	无	VDD_DMC	描述: DMC0地址4 注释: 无注释
DMC0_A05	输出	B	无	无	无	VDD_DMC	描述: DMC0地址5 注释: 无注释
DMC0_A06	输出	B	无	无	无	VDD_DMC	描述: DMC0地址6 注释: 无注释
DMC0_A07	输出	B	无	无	无	VDD_DMC	描述: DMC0地址7 注释: 无注释
DMC0_A08	输出	B	无	无	无	VDD_DMC	描述: DMC0地址8 注释: 无注释
DMC0_A09	输出	B	无	无	无	VDD_DMC	描述: DMC0地址9 注释: 无注释
DMC0_A10	输出	B	无	无	无	VDD_DMC	描述: DMC0地址10 注释: 无注释
DMC0_A11	输出	B	无	无	无	VDD_DMC	描述: DMC0地址11 注释: 无注释
DMC0_A12	输出	B	无	无	无	VDD_DMC	描述: DMC0地址12 注释: 无注释
DMC0_A13	输出	B	无	无	无	VDD_DMC	描述: DMC0地址13 注释: 无注释
DMC0_A14	输出	B	无	无	无	VDD_DMC	描述: DMC0地址14 注释: 无注释
DMC0_A15	输出	B	无	无	无	VDD_DMC	描述: DMC0地址15 注释: 无注释
DMC0_BA0	输出	B	无	无	无	VDD_DMC	描述: DMC0组地址输入0 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DMC0_BA1	输出	B	无	无	无	VDD_DMC	描述: DMC0组地址输入1 注释: 无注释
DMC0_BA2	输出	B	无	无	无	VDD_DMC	描述: DMC0组地址输入2 注释: 无注释
DMC0_CAS	输出	B	无	无	无	VDD_DMC	描述: DMC0列地址选通 注释: 无注释
DMC0_CK	输出	C	无	无	L	VDD_DMC	描述: DMC0时钟 注释: 无注释
DMC0_CKE	输出	B	无	无	L	VDD_DMC	描述: DMC0时钟使能 注释: 无注释
DMC0_CK	输出	C	无	无	L	VDD_DMC	描述: DMC0时钟 (-) 注释: 无注释
DMC0_CS0	输出	B	无	无	无	VDD_DMC	描述: DMC0片选0 注释: 无注释
DMC0_DQ00	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据0 注释: 无注释
DMC0_DQ01	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据1 注释: 无注释
DMC0_DQ02	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据2 注释: 无注释
DMC0_DQ03	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据3 注释: 无注释
DMC0_DQ04	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据4 注释: 无注释
DMC0_DQ05	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据5 注释: 无注释
DMC0_DQ06	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据6 注释: 无注释
DMC0_DQ07	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据7 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DMC0_DQ08	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据8 注释: 无注释
DMC0_DQ09	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据9 注释: 无注释
DMC0_DQ10	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据10 注释: 无注释
DMC0_DQ11	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据11 注释: 无注释
DMC0_DQ12	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据12 注释: 无注释
DMC0_DQ13	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据13 注释: 无注释
DMC0_DQ14	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据14 注释: 无注释
DMC0_DQ15	输入输出	B	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0数据15 注释: 无注释
DMC0_LDM	输出	B	无	无	无	VDD_DMC	描述: DMC0低位字节数据掩码 注释: 无注释
DMC0_LDQS	输入输出	C	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0低位字节数据选通 注释: LPDDR模式需要外部弱下拉
$\overline{\text{DMC0_LDQS}}$	输入输出	C	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0低位字节数据选通 (-) 注释: 无注释
DMC0_ODT	输出	B	无	无	无	VDD_DMC	描述: DMC0片上端接 注释: 无注释
$\overline{\text{DMC0_RAS}}$	输出	B	无	无	无	VDD_DMC	描述: DMC0行地址选通 注释: 无注释
$\overline{\text{DMC0_RESET}}$	输出	B	无	无	无	VDD_DMC	描述: DMC0复位 (仅DDR3) 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DMC0_RZQ	a	B	无	无	无	VDD_DMC	描述: DMC0外部校准电阻连接 注释: 仅适用于DDR2和DDR3。必须添加34 Ω 外部下拉电阻。
DMC0_UDM	输出	B	无	无	无	VDD_DMC	描述: DMC0高位字节数据掩码 注释: 无注释
DMC0_UDQS	输入输出	C	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0高位字节数据选通 注释: LPDDR模式需要外部弱下拉
$\overline{\text{DMC0_UDQS}}$	输入输出	C	内部逻辑确保输入信号不浮空	无	无	VDD_DMC	描述: DMC0高位字节数据选通 (-) 注释: 无注释
DMC0_VREF	a		无	无	无	VDD_DMC	描述: DMC0基准电压 注释: 无注释
$\overline{\text{DMC0_WE}}$	输出	B	无	无	无	VDD_DMC	描述: DMC0写入使能 注释: 无注释
GND	g		无	无	无		描述: 地 注释: 无注释
HADC0_VIN0	a	不适用	无	无	无	VDD_HADC	描述: 通道0的HADC0模拟输入 注释: 若未使用, 则连接至GND。
HADC0_VIN1	a	不适用	无	无	无	VDD_HADC	描述: 通道1的HADC0模拟输入 注释: 若未使用, 则连接至GND。
HADC0_VIN2	a	不适用	无	无	无	VDD_HADC	描述: 通道2的HADC0模拟输入 注释: 若未使用, 则连接至GND。
HADC0_VIN3	a	不适用	无	无	无	VDD_HADC	描述: 通道3的HADC0模拟输入 注释: 若未使用, 则连接至GND。
HADC0_VIN4	a	不适用	无	无	无	VDD_HADC	描述: 通道4的HADC0模拟输入 注释: 若未使用, 则连接至GND。
HADC0_VIN5	a	不适用	无	无	无	VDD_HADC	描述: 通道5的HADC0模拟输入 注释: 若未使用, 则连接至GND。
HADC0_VIN6	a	不适用	无	无	无	VDD_HADC	描述: 通道6的HADC0模拟输入 注释: 若未使用, 则连接至GND。

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
HADC0_VIN7	a	不适用	无	无	无	VDD_HADC	描述: 通道7的HADC0模拟输入 注释: 若未使用, 则连接至GND。
HADC0_VREFN	s	不适用	无	无	无	VDD_HADC	描述: ADC的HADC0接地基准 注释: 无注释
HADC0_VREFP	s	不适用	无	无	无	VDD_HADC	描述: ADC的HADC0外部基准源 注释: 无注释
JTG_TCK	输入		上拉	无	无	VDD_EXT	描述: JTAG时钟 注释: 无注释
JTG_TDI	输入		上拉	无	无	VDD_EXT	描述: JTAG串行数据输入 注释: 无注释
JTG_TDO	输出	A	无	无	无	VDD_EXT	描述: JTAG串行数据输出 注释: 无注释
JTG_TMS	输入输出	A	上拉	无	无	VDD_EXT	描述: JTAG模式选择 注释: 无注释
JTG_TRST	输入		下拉	无	无	VDD_EXT	描述: JTAG复位 注释: 无注释
MLB0_CLKN	输入	待定	内部逻辑确保输入信号不浮空	无	无	VDD_EXT	描述: MLB0差分时钟 (-) 注释: 无注释
MLB0_CLKP	输入	待定	内部逻辑确保输入信号不浮空	无	无	VDD_EXT	描述: MLB0差分时钟 (+) 注释: 无注释
MLB0_DATN	输入输出	待定	内部逻辑确保输入信号不浮空	无	无	VDD_EXT	描述: MLB0差分数据 (-) 注释: 无注释
MLB0_DATP	输入输出	待定	内部逻辑确保输入信号不浮空	无	无	VDD_EXT	描述: MLB0差分数据 (+) 注释: 无注释
MLB0_SIGN	输入输出	待定	内部逻辑确保输入信号不浮空	无	无	VDD_EXT	描述: MLB0差分信号 (-) 注释: 无注释
MLB0_SIGP	输入输出	待定	内部逻辑确保输入信号不浮空	无	无	VDD_EXT	描述: MLB0差分信号 (+) 注释: 无注释
PA_00	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置0 注释: 无注释
PA_01	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置1 注释: 无注释
PA_02	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置2 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PA_03	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置3 注释: 无注释
PA_04	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置4 注释: 无注释
PA_05	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置5 注释: 无注释
PA_06	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置6 注释: 无注释
PA_07	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置7 注释: 无注释
PA_08	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置8 注释: 无注释
PA_09	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置9 注释: 无注释
PA_10	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置10 注释: 无注释
PA_11	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置11 注释: 无注释
PA_12	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置12 注释: 无注释
PA_13	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置13 注释: 无注释
PA_14	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置14 注释: 无注释
PA_15	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTA位置15 注释: 无注释
PB_00	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置0 注释: 无注释
PB_01	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置1 注释: 无注释
PB_02	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置2 注释: 无注释
PB_03	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置3 注释: 无注释
PB_04	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置4 注释: 无注释
PB_05	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置5 注释: 无注释
PB_06	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置6 注释: 无注释
PB_07	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置7 注释: 无注释
PB_08	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置8 注释: 无注释
PB_09	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置9 注释: 无注释
PB_10	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置10 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PB_11	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置11 注释: 无注释
PB_12	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置12 注释: 无注释
PB_13	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置13 注释: 无注释
PB_14	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置14 注释: 无注释
PB_15	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTB位置15 注释: 无注释
PC_00	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置0 注释: 无注释
PC_01	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置1 注释: 无注释
PC_02	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置2 注释: 无注释
PC_03	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置3 注释: 无注释
PC_04	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置4 注释: 无注释
PC_05	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置5 注释: 无注释
PC_06	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置6 注释: 无注释
PC_07	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置7 注释: 无注释
PC_08	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置8 注释: 无注释
PC_09	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置9 注释: 无注释
PC_10	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置10 注释: 无注释
PC_11	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置11 注释: 无注释
PC_12	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置12 注释: 无注释
PC_13	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置13 注释: 无注释
PC_14	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置14 注释: 无注释
PC_15	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTC位置15 注释: 无注释
PD_00	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置0 注释: 无注释
PD_01	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置1 注释: 无注释
PD_02	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置2 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PD_03	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置3 注释: 无注释
PD_04	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置4 注释: 无注释
PD_05	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置5 注释: 无注释
PD_06	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置6 注释: 无注释
PD_07	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置7 注释: 无注释
PD_08	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置8 注释: 无注释
PD_09	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置9 注释: 无注释
PD_10	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置10 注释: 无注释
PD_11	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置11 注释: 无注释
PD_12	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置12 注释: 无注释
PD_13	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置13 注释: 无注释
PD_14	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置14 注释: 无注释
PD_15	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTD位置15 注释: 无注释
PE_00	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置0 注释: 无注释
PE_01	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置1 注释: 无注释
PE_02	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置2 注释: 无注释
PE_03	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置3 注释: 无注释
PE_04	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置4 注释: 无注释
PE_05	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置5 注释: 无注释
PE_06	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置6 注释: 无注释
PE_07	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置7 注释: 无注释
PE_08	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置8 注释: 无注释
PE_09	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置9 注释: 无注释
PE_10	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置10 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PE_11	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTE位置11 注释: 无注释
PE_12	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTE位置12 注释: 无注释
PE_13	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTE位置13 注释: 无注释
PE_14	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTE位置14 注释: 无注释
PE_15	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTE位置15 注释: 无注释
PF_00	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTF位置0 注释: 无注释
PF_01	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTF位置1 注释: 无注释
PF_02	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTF位置2 注释: 无注释
PF_03	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTF位置3 注释: 无注释
PF_04	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTF位置4 注释: 无注释
PF_05	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTF位置5 注释: 无注释
PF_06	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTF位置6 注释: 无注释
PF_07	输入输出	A	下拉/可编程上拉	无	无	VDD_EXT	描述: PORTF位置7 注释: 无注释
PF_08	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTF位置8 注释: 无注释
PF_09	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTF位置9 注释: 无注释
PF_10	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTF位置10 注释: 无注释
PF_11	输入输出	A	下拉	无	无	VDD_EXT	描述: PORTF位置11 注释: 无注释
SYS_BMODE0	输入	不适用	下拉	无	无	VDD_EXT	描述: 引导模式控制n 注释: 无注释
SYS_BMODE1	输入	不适用	下拉	无	无	VDD_EXT	描述: 引导模式控制n 注释: 无注释
SYS_BMODE2	输入	不适用	下拉	无	无	VDD_EXT	描述: 引导模式控制n 注释: 无注释
SYS_CLKIN0	a	不适用	无	无	无	VDD_EXT	描述: 时钟/晶振输入 注释: 无注释
SYS_CLKIN1	a	不适用	无	无	无	VDD_EXT	描述: 时钟/晶振输入 注释: 无注释
SYS_CLKOUT	a	A	无	无	无		描述: 处理器时钟输出 注释: 无注释

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
SYS_FAULT	输入输出	A	无	无	无		描述: 高电平有效故障输出 注释: 需要外部下拉电阻使信号保持解除置位状态。
$\overline{\text{SYS_FAULT}}$	输入输出	A	无	无	无		描述: 低电平有效故障输出 注释: 需要外部上拉电阻使信号保持解除置位状态。
$\overline{\text{SYS_HWRST}}$	输入	不适用	无	无	无	VDD_EXT	描述: 处理器硬件复位控制 注释: 无注释
$\overline{\text{SYS_RESOUT}}$	输出	A	无	无	L	VDD_EXT	描述: 复位输出 注释: 无注释
SYS_XTAL0	a	不适用	无	无	无	VDD_EXT	描述: 晶振输出 注释: 无注释
SYS_XTAL1	a	不适用	无	无	无	VDD_EXT	描述: 晶振输出 注释: 无注释
TWI0_SCL	输入输出	D	无	无	无	VDD_EXT	描述: TWI0串行时钟 注释: 如使用, 应添加外部上拉电阻。不使用时, 可将其拉低。
TWI0_SDA	输入输出	D	无	无	无	VDD_EXT	描述: TWI0串行数据 注释: 如使用, 应添加外部上拉电阻。不使用时, 可将其拉低。
TWI1_SCL	输入输出	D	无	无	无	VDD_EXT	描述: TWI1串行时钟 注释: 如使用, 应添加外部上拉电阻。不使用时, 可将其拉低。
TWI1_SDA	输入输出	D	无	无	无	VDD_EXT	描述: TWI1串行数据 注释: 如使用, 应添加外部上拉电阻。不使用时, 可将其拉低。
TWI2_SCL	输入输出	D	无	无	无	VDD_EXT	描述: TWI2串行时钟 注释: 如使用, 应添加外部上拉电阻。不使用时, 可将其拉低。
TWI2_SDA	输入输出	D	无	无	无	VDD_EXT	描述: TWI2串行数据 注释: 如使用, 应添加外部上拉电阻。不使用时, 可将其拉低。
USB0_DM	输入输出	F	无	无	无	VDD_USB	描述: USB0数据 注释: 如不使用, 应添加外部下拉电阻。
USB0_DP	输入输出	F	无	无	无	VDD_USB	描述: USB0数据+ 注释: 如不使用, 应添加外部下拉电阻。
USB0_ID	输入输出		无	无	无	VDD_USB	描述: USB0 OTG ID 注释: 不使用USB时, 应连接至 GND。

表25. ADSP-SC58x/ADSP-2158x设计人员快速参考 (续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
USB0_VBC	输入输出	E	无	无	无	VDD_USB	描述: USB0 VBUS控制 注释: 如不使用, 应添加外部下拉电阻。
USB0_VBUS	输入输出	G	无	无	无	VDD_USB	描述: USB0总线电压 注释: 不使用USB时, 应连接至GND。
USB_CLKIN	a		无	无	无		描述: USB0/USB1时钟/晶振输入 注释: 不使用USB时, 应连接至GND。
USB_XTAL	a		无	无	无		描述: USB0/USB1晶振 注释: 无注释
VDD_DMC	s		无	无	无		描述: DMC VDD 注释: 无注释
VDD_EXT	s		无	无	无		描述: 外部电压域 注释: 无注释
VDD_HADC	s		无	无	无		描述: HADC VDD 注释: 无注释
VDD_INT	s		无	无	无		描述: 内部电压域 注释: 无注释
VDD_USB	s		无	无	无		描述: USB VDD 注释: 不使用USB时, 应连接至VDD_EXT。

技术规格

有关产品规格的信息，请联系 ADI 公司代表。

工作条件

参数 ¹		条件	最小值	标称值	最大值	单位
V_{DD_INT}	内部（内核）电源电压	$CCLK \leq 450 \text{ MHz}$	1.05	1.1	1.15	V
V_{DD_EXT}	外部 (I/O) 电源电压		3.13	3.3	3.47	V
V_{DD_HADC}	模拟电源电压		3.13	3.3	3.47	V
$V_{DD_DMC}^2$	DDR2/LPDDR控制器电源电压		1.7	1.8	1.9	V
	DDR3控制器电源电压		1.425	1.5	1.575	V
$V_{DD_USB}^3$	USB电源电压		3.13	3.3	3.47	V
V_{DDR_VREF}	DDR2基准电压		$0.49 \times V_{DD_DMC}$	$0.50 \times V_{DD_DMC}$	$0.51 \times V_{DD_DMC}$	V
$V_{HADC_REF}^4$	HADC基准电压		2.5	3.30	V_{DD_HADC}	V
V_{IH}^5	高电平输入电压	$V_{DD_EXT} = \text{最大值}$	2.0			V
V_{IL}^5	低电平输入电压	$V_{DD_EXT} = \text{最小值}$			0.8	V
$V_{IL_DDR2/3}^6$	低电平输入电压	$V_{DD_DMC} = \text{最小值}$			$V_{REF} - 0.25$	V
$V_{IH_DDR2/3}^6$	高电平输入电压	$V_{DD_DMC} = \text{最大值}$	$V_{REF} + 0.25$			V
$V_{IL_LPDDR}^7$	低电平输入电压	$V_{DD_DMC} = \text{最小值}$			$0.2 \times V_{DD_DMC}$	V
$V_{IH_LPDDR}^7$	高电平输入电压	$V_{DD_DMC} = \text{最大值}$	$0.8 \times V_{DD_DMC}$			V
T_J	结温 (400引脚CSP_BGA)	$T_{AMBIENT} 0^\circ\text{C至}+70^\circ\text{C}$	0		95	$^\circ\text{C}$
T_J	结温 (400引脚CSP_BGA)	$T_{AMBIENT} -40^\circ\text{C至}+100^\circ\text{C}$	-40		125	$^\circ\text{C}$
T_J	结温 (176引脚LQFP-EP)	$T_{AMBIENT} 0^\circ\text{C至}+70^\circ\text{C}$	0		90	$^\circ\text{C}$
T_J	结温 (176引脚LQFP-EP)	$T_{AMBIENT} -40^\circ\text{C至}+103^\circ\text{C}$	-40		125	$^\circ\text{C}$
仅供汽车应用						
T_J^8	结温 (400引脚CSP_BGA, 汽车级)	$T_{AMBIENT} -40^\circ\text{C至}+105^\circ\text{C}$	-40		130	$^\circ\text{C}$
T_J^8	结温 (176引脚LQFP-EP, 汽车级)	$T_{AMBIENT} -40^\circ\text{C至}+105^\circ\text{C}$	-40		126	$^\circ\text{C}$

¹ 规格如有变更，恕不另行通知。

² 适用于 DDR2/DDR3/LPDDR 信号。

³ 不使用时， V_{DD_USB} 应连接到 3.3 V。

⁴ V_{HADC_VREF} 应始终小于 V_{DD_HADC} 。

⁵ 参数值适用于 TWI、DMC、USB 和 MLB 引脚以外的所有输入和双向引脚。

⁶ 在 DDR2/DDR3 模式下，此参数适用于所有 DMC0/1 信号。 V_{REF} 为施加于引脚 V_{REF_DMC} 的电压，标称值为 $V_{DD_DMC}/2$ 。

⁷ 在 LPDDR 模式下，此参数适用于 DMC0/1 信号。

⁸ 仅限汽车应用温度等级产品。更多信息请联系 ADI 公司。

表26. TWI_VSEL选择和 V_{DD_EXT}/V_{BUSTWI}

	V_{DD_EXT} 标称值	V_{BUSTWI} 最小值	V_{BUSTWI} 标称值	V_{BUSTWI} 最大值	单位
TWI000 ¹	3.30	3.13	3.30	3.47	V
TWI100	3.30	4.75	5.00	5.25	V

¹ 为使复位期间的 JTAG 边界扫描操作正常进行，设计必须符合默认 TWI_DT 设置要求的 V_{DD_EXT} 和 V_{BUSTWI} 电压。

时钟相关工作条件

表 27 说明了内核时钟、系统时钟和外设时钟的时序要求。除非另有明确说明，表中的数据适用于所有速度等级。

表27. 时钟工作条件

参数		限制	最小值	典型值	最大值	单位
f _{CCLK}	内核时钟频率	f _{CCLK} ≥ f _{SYSCLK}	30	±1	450	MHz
f _{SYSCLK}	SYSCLK频率				225	MHz
f _{SCLK0}	SCLK0频率 ¹	f _{SYSCLK} ≥ f _{SCLK0}			112.5	MHz
f _{SCLK1}	SCLK1频率	f _{SYSCLK} ≥ f _{SCLK1}			112.5	MHz
f _{DCLK}	LPDDR时钟频率				200	MHz
f _{DCLK}	DDR2时钟频率				400	MHz
f _{DCLK}	DDR3时钟频率				450	MHz
f _{OCLK}	输出时钟频率				TBD	MHz
f _{SYS_CLKOUTJ}	SYS_CLKOUT周期抖动 ^{2,3}					%
f _{PCLKPROG}	发送数据和帧同步时的已编程PPI时钟				56.25	MHz
f _{PCLKPROG}	接收数据或帧同步时的已编程PPI时钟				45	MHz
f _{PCLKEXT}	接收数据和帧同步时的外部PPI时钟 ^{4,5}	f _{PCLKEXT} ≤ f _{SCLK0}			56.25	MHz
f _{PCLKEXT}	发送数据或帧同步时的外部PPI时钟 ^{4,5}	f _{PCLKEXT} ≤ f _{SCLK0}			45	MHz
f _{LCLKTPROG}	已编程链路端口发送时钟				112.5	MHz
f _{LCLKREXT}	外部链路端口接收时钟 ^{4,5}	f _{LCLKEXT} ≤ f _{SCLK0}			112.5	MHz
f _{SPTCLKPROG}	发送数据和帧同步时的已编程SPT时钟				56.25	MHz
f _{SPTCLKPROG}	接收数据或帧同步时的已编程SPT时钟				28.125	MHz
f _{SPTCLKEXT}	接收数据和帧同步时的外部SPT时钟 ^{4,5}	f _{SPTCLKEXT} ≤ f _{SCLK0}			56.25	MHz
f _{SPTCLKEXT}	发送数据或帧同步时的外部SPT时钟 ^{4,5}	f _{SPTCLKEXT} ≤ f _{SCLK0}			28.125	MHz
f _{SPICLKPROG}	发送数据时的已编程SPI2时钟				75	MHz
f _{SPICLKPROG}	发送数据时的已编程SPI0、SPI1时钟				56.25	MHz
f _{SPICLKPROG}	接收数据时的已编程SPI时钟				75	MHz
f _{SPICLKEXT}	接收数据时的外部SPI2时钟 ^{4,5}	f _{SPICLKEXT} ≤ f _{SCLK1}			75	MHz
f _{SPICLKEXT}	接收数据时的外部SPI0、SPI1时钟 ^{4,5}	f _{SPICLKEXT} ≤ f _{SCLK0}			56.25	MHz
f _{SPICLKEXT}	发送数据时的外部SPI2时钟 ^{4,5}	f _{SPICLKEXT} ≤ f _{SCLK1}			45	MHz
f _{SPICLKEXT}	发送数据时的外部SPI0、SPI1时钟 ^{4,5}	f _{SPICLKEXT} ≤ f _{SCLK0}			56.25	MHz
f _{ACLKPROG}	已编程ACM时钟				56.25	MHz

¹ SCLK0 最低频率仅适用于使用 USB 的情况。

² SYS_CLKOUT 抖动与应用系统设计有关，包括引脚开关活动、电路板布局和 SYS_CLKIN 源的抖动特性。由于取决于这些因素，各终端应用中测得的抖动值可能比该典型规格更高或更低。

³ “典型值”一栏的数值为 SYS_CLKOUT 周期的百分比。

⁴ 外部时钟模式下，任何外设可达到的最高频率取决于能否满足该外设交流时序规格中的建立和保持时间。特别注意 VDD_EXT = 1.8 V 的建立和保持时间，它可能会使此处所列的最高频率不可用。

⁵ 外设的外部时钟频率还必须小于或等于为外设提供时钟的 f_{SCLK} (f_{SCLK0} 或 f_{SCLK1})。

表28. 锁相环工作条件

参数		最小值	最大值	单位
f _{PLLCLK}	PLL时钟频率	250	900	MHz

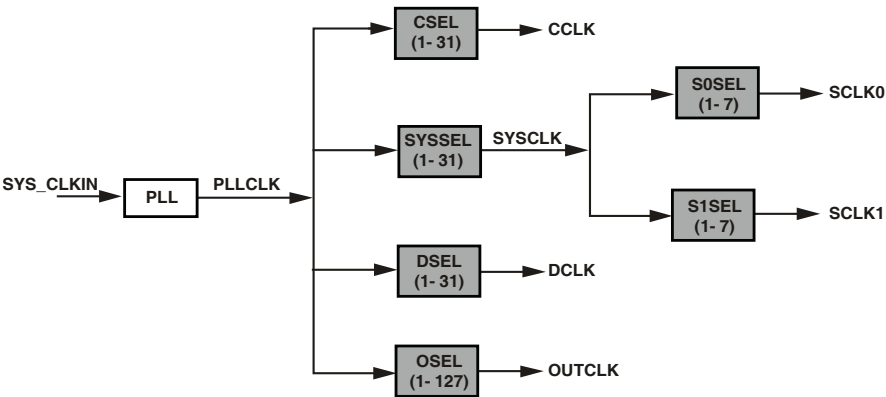


图7. 时钟关系和分频器值

电气特性

参数 ¹	描述	条件	450 MHz			单位
			最小值	典型值	最大值	
V_{OH}^2	高电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OH} = -1.0\text{ mA}^3$	2.4			V
V_{OL}^2	低电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OL} = 1.0\text{ mA}^3$			0.4	V
$V_{OH_DDR2}^4$	DDR2的高电平输出电压, $DS = 40\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OH} = -7.0\text{ mA}$	1.38			V
$V_{OL_DDR2}^4$	DDR2的低电平输出电压, $DS = 40\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OL} = 7.0\text{ mA}$			0.32	V
$V_{OH_DDR2}^4$	DDR2的高电平输出电压, $DS = 60\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OH} = -5.0\text{ mA}$	1.38			V
$V_{OL_DDR2}^4$	DDR2的低电平输出电压, $DS = 60\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OL} = 5.0\text{ mA}$			0.32	V
$V_{OH_DDR3}^5$	DDR3的高电平输出电压, $DS = 40\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OH} = -7.0\text{ mA}$	1.105			V
$V_{OL_DDR3}^5$	DDR3的低电平输出电压, $DS = 60\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OL} = 5.0\text{ mA}$			0.32	V
$V_{OH_DDR3}^5$	DDR3的高电平输出电压, $DS = 60\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OH} = -5.0\text{ mA}$	1.105			V
$V_{OL_DDR3}^5$	DDR3的低电平输出电压, $DS = 60\ \Omega$	@ V_{DD_DDR} = 最小值, $I_{OL} = 5.0\text{ mA}$			0.32	V
$V_{OH_LPDDR}^6$	LPDDR的高电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OH} = -9.0\text{ mA}$	1.38			V
$V_{OL_LPDDR}^6$	LPDDR的低电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OL} = 9.0\text{ mA}$			0.32	V
$I_{IH}^{7,8}$	高电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT}$ 最大值			10	μA
I_{IL}^7	低电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = 0\text{ V}$			10	μA
$I_{IL_PU}^8$	低电平输入电流上拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0\text{ V}$			200	μA
$I_{IH_PD}^9$	高电平输入电流下拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0\text{ V}$			200	μA
I_{OZH}^{10}	三态漏电流	@ V_{DD_EXT}/V_{DD_DDR} = 最大值, $V_{IN} = V_{DD_EXT}/V_{DD_DDR}$ 最大值			10	μA
I_{OZL}^{10}	三态漏电流	@ V_{DD_EXT}/V_{DD_DDR} = 最大值, $V_{IN} = 0\text{ V}$			10	μA
$I_{DD_INT}^{11}$	电源电流 (内部)	$f_{CLK} > 0\text{ MHz}$			TBD	mA
C_{IN}^{12}	输入电容	$T_{CASE} = 25^\circ\text{C}$			5	pF
I_{DD_IDLE}	空闲时的 V_{DD_INT} 电流	$f_{CLK} = 450\text{ MHz}$ $ASF_{SHARC1} = 0.27$ $ASF_{SHARC2} = 0.27$ $ASF_{A5} = 0.07$ $f_{SYSCLK} = 225\text{ MHz}$ $f_{CLK0/1} = 112.5\text{ MHz}$ (禁用其他时钟) 无外设或DMA活动 $T_J = 25^\circ\text{C}$ $V_{DD_INT} = 1.1\text{ V}$		435		mA

参数 ¹	描述	条件	450 MHz			单位
			最小值	典型值	最大值	
I _{DD_TYP}	V _{DD_INT} Current	f _{CCLK} = 450 MHz ASF _{SHARC1} = 1.0 ASF _{SHARC2} = 1.0 ASF _{A5} = 0.64 f _{SYSCLK} = 225 MHz f _{SCLK0/1} = 112.5 MHz (禁用其他时钟) FFT加速器工作在f _{SYSCLK} /4 DMA数据速率 = 500 MB/s T _J = 25°C V _{DD_INT} = 1.1 V		1100		mA
I _{DD_INT}	V _{DD_INT} Current	f _{CCLK} > 0 MHz f _{SCLK0/1} ≥ 0 MHz			参见 I _{DDINT_TOT} 公式	mA

¹ 规格如有变更，恕不另行通知。

² 适用于TWI、DMC、USB、PCIe和MLB以外的所有输出和双向引脚。

³ 典型驱动电流能力参见输出驱动电流部分。

⁴ 在DDR2模式下，适用于所有DMC输出和双向信号。

⁵ 在DDR3模式下，适用于所有DMC输出和双向信号。

⁶ 在LPDDR模式下，适用于所有DMC输出和双向信号。

⁷ 适用于输入引脚：SYS_BMODE0-2、SYS_CLKIN0、SYS_CLKIN1、SYS_HWRST、JTG_TDI、JTG_TMS和USB0_CLKIN。

⁸ 适用于含内部上拉电阻的输入引脚：JTG_TDI、JTG_TMS和JTG_TCK。

⁹ 适用于以下信号：JTAG_TRST、USB0_VBUS、USB1_VBUS。

¹⁰ 适用于以下信号：PA0-15、PB0-15、PC0-15、PD0-15、PE0-15、PF0-15、PG0-5、DAI0_PINx、DMC0_DQx、DMC0_LDQS、DMC0_UDQS、DMC0_LDQS、DMC0_UDQS、SYS_FAULT、SYS_FAULT、JTG_TDO、USB0_ID、USBx_DM、USBx_DP和USBx_VBC。

¹¹ 更多信息参见工程师笔记EE-TBD“估算ADSP-215xx SHARC处理器功耗”。

¹² 适用于所有信号引脚。

总内部功耗

总功耗包括两个分量：

1. 静态功耗，包括漏电流
2. 动态功耗，由每个时钟域的晶体管开关特性引起

许多工作条件也可能影响功耗，包括温度、电压、工作频率和处理器活动等。下式描述内部功耗。

$$\begin{aligned} I_{DDINT_TOT} = & I_{DDINT_STATIC} + I_{DDINT_CCLK_SHARC1_DYN} + \\ & I_{DDINT_CCLK_SHARC2_DYN} + I_{DDINT_CCLK_A5_DYN} + I_{DDINT_DCLK_DYN} + \\ & I_{DDINT_SYSCLK_DYN} + I_{DDINT_SCLK0_DYN} + I_{DDINT_SCLK1_DYN} + \\ & I_{DDINT_OCLK_DYN} + I_{DDINT_ACCL_DYN} + I_{DDINT_USB_DYN} + I_{DDINT_MLB_DYN} + \\ & I_{DDINT_GIGE_DYN} + I_{DDINT_DMA_DR_DYN} \end{aligned}$$

I_{DDINT_STATIC} 是静态功耗分量中仅存的项。 I_{DDINT_STATIC} 是电压 (V_{DD_INT}) 和温度的函数 (见表 29)。

有 13 个因素影响动态功耗。这些分量归为四大类：应用相关电流、时钟电流、高速外设工作电流和数据传输电流。

表29. 静态电流— I_{DDINT_STATIC} (mA)

T_J (°C)	电压 (V_{DD_INT})				
	1.00	1.05	1.10	1.15	1.20
-40	3	4	5	6	8
-20	7	8	10	12	14
0	14	16	19	23	27
25	30	35	41	48	56
40	48	55	64	74	86
55	73	84	97	112	128
70	111	127	145	166	189
85	166	188	213	242	275
100	239	269	304	343	388
105	268	302	340	384	433
115	337	378	425	478	538
125	426	477	534	599	672
133	502	560	625	700	784

应用相关电流

应用相关电流包括两个 SHARC+内核和 ARM Cortex-A5 内核的时钟域动态电流和加速器电流。

内核时钟 (CCLK) 与活动比例因子 (ASF) 有关，它代表处理器内核上运行的应用程序代码 (表 30 和表 31)。ASF 与 CCLK 频率和 V_{DD_INT} 相关数据 (表 32) 共同来计算这一部分功耗。

$$I_{DDINT_CCLK_SHARC1_DYN} = \text{表 32} \times \text{ASF}_{SHARC1}$$

$$I_{DDINT_CCLK_SHARC2_DYN} = \text{表 32} \times \text{ASF}_{SHARC2}$$

$$I_{DDINT_CCLK_A5_DYN} = \text{表 33} \times \text{ASF}_{A5}$$

表30. SHARC+内核1和内核2的活动比例因子 (ASF_{SHARC1} 和 ASF_{SHARC2})

I_{DDINT} 电源矢量	ASF
$I_{DD-IDLE}$	0.27
I_{DD-NOP}	0.51
I_{DD-TYP_3070}	0.72
I_{DD-TYP_5050}	0.86
I_{DD-TYP_7030}	1.00
$I_{DD-PEAK_100}$	1.13

表31. ARM Cortex-A5内核的活动比例因子 (ASF_{A5})

I_{DDINT} 电源矢量	ASF
$I_{DD-IDLE}$	0.07
$I_{DD-DHRYSTONE}$	0.64
$I_{DD-PEAK}$	1.26

表32. 每个SHARC+内核的CCLK动态电流 (mA, $\text{ASF} = 1.00$)

f_{CCLK} (MHz)	电压 (V_{DD_INT})				
	1.000	1.050	1.100	1.150	1.200
450	288	302.4	316.8	331.2	345.6
400	256	268.8	281.6	294.4	307.2
350	224	235.2	246.4	257.6	268.8
300	192	201.6	211.2	220.8	230.4
250	160	168	176	184	192
200	128	134.4	140.8	147.2	153.6
150	96	100.8	105.6	110.4	115.2
100	64	67.2	70.4	73.6	76.8

表33. 每个ARM Cortex-A5内核的CCLK动态电流 (mA, ASF = 1.00)

f _{CCLK} (MHz)	电压 (V _{DD_INT})				
	1.000	1.050	1.100	1.150	1.200
450	49.5	52.0	54.5	56.9	59.4
400	44.0	46.2	48.4	50.6	52.8
350	38.5	40.4	42.4	44.3	46.2
300	33.0	34.7	36.3	38.0	39.6
250	27.5	28.9	30.3	31.6	33.0
200	22.0	23.1	24.2	25.3	26.4
150	16.5	17.3	18.2	19.0	19.8
100	11.0	11.6	12.1	12.7	13.2

下面的公式用于计算使用 FFT 加速器时的功耗:

$$I_{DDINT_ACCL_DYN} \text{ (mA)} = ASF_{ACCL} \times f_{SYSCLK} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

表34. FFT加速器的活动比例因子 (ASF_{A5})

IDDINT电源矢量	ASF _{ACCL}
未用	0.0
I _{DD-TYPP}	0.4

时钟电流

动态时钟电流提供所有晶体管在时钟路径上开关的总功耗。每个时钟域的功耗取决于电压 (V_{DD_INT})、工作频率和独特的比例因子。

$$I_{DDINT_SYSCLK_DYN} \text{ (mA)} = 0.80 \times f_{SYSCLK} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DDINT_SCLK0_DYN} \text{ (mA)} = 0.40 \times f_{SCLK0} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DDINT_SCLK1_DYN} \text{ (mA)} = 0.04 \times f_{SCLK1} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DDINT_DCLK_DYN} \text{ (mA)} = 0.14 \times f_{DCLK} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DDINT_OCLK_DYN} \text{ (mA)} = 0.005 \times f_{OCLK} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

高速外设工作电流

下面的模块会产生很大功耗, 使用它们时应添加一项。

$$I_{DDINT_USB_DYN} = 20 \text{ mA} \text{ (若使能USB)}$$

$$I_{DDINT_MLB_DYN} = 10 \text{ mA} \text{ (若使能MLB 6引脚接口)}$$

$$I_{DDINT_GIGE_DYN} = 10 \text{ mA} \text{ (若使能千兆以太网 MAC 控制器)}$$

数据传输电流

数据传输电流表示发送数据时的功耗。此电流与数据速率成正比。要根据数据传输带宽估算 I_{DDINT_DMA_DR_DYN}, 请参阅本产品的功耗计算器。

绝对最大额定值

超出表 35 所列值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

表35. 绝对最大额定值

参数	额定值
内部 (内核) 电源电压 (V _{DD_INT})	-0.33 V至+1.26 V
外部 (I/O) 电源电压 (V _{DD_EXT})	-0.33 V至+3.60 V
DDR2/LPDDR控制器电源电压 (V _{DD_DMC})	-0.33 V至+1.90 V
DDR3控制器电源电压 (V _{DD_DMC})	-0.33 V至+1.60 V
USB PHY电源电压 (V _{DD_USB})	-0.33 V至+3.60 V
实时时钟电源电压 (V _{DD_RTC})	-0.33 V至+3.60 V
PCIe发送电源电压 (V _{DD_PCIE_TX})	-0.33 V至+1.20 V
PCIe接收电源电压 (V _{DD_PCIE_RX})	-0.33 V至+1.20 V
PCIe电源电压 (V _{DD_PCIE})	-0.33 V至+3.60 V
HADC电源电压 (V _{DD_HADC})	-0.33 V至+3.60 V
HADC基准电压 (V _{HADC_REF})	-0.33 V至+3.60 V
DDR2/LPDDR输入电压	-0.33 V至+1.90 V
DDR3输入电压	-0.33 V至+1.60 V
输入电压	-0.33 V至+3.60 V
输出电压摆幅	-0.33 V至V _{DD_EXT} +0.5 V
存储温度范围	-65°C至+150°C
偏置时的结温	133°C

表36. 输入瞬变电压的最大占空比^{1,2}

最大占空比 (%) ²	V _{IN} 最小值 (V) ³	V _{IN} 最大值 (V) ³
100	待定	待定
50	待定	待定
40	待定	待定
25	待定	待定
20	待定	待定
15	待定	待定
10	待定	待定

¹ 适用于除以下信号之外的所有信号引脚：SYS_CLKIN0、SYS_CLKIN1、SYS_XTAL0、SYS_XTAL1 和所有 USB、TWI、PCI、DMC0 信号。

² 仅当 VDD_EXT 在规格范围内时适用。当 VDD_EXT 超出规格要求时，该范围为 VDD_EXT ± 0.2 V。

³ 不能将个别值合并来分析单一过冲或欠冲情况。最差情况下的测量值必须落在规定的某个电压范围内，过冲或欠冲（超过100%的情况）的总持续时间必须短于或等于相应的占空比。

表37. 封装标识信息

标识码	字段说明
ADSP-SC570	产品型号 ¹
t	温度范围
pp	封装类型
Z	RoHS合规选项
ccc	参见“订购指南”
vvvvvv.x	组装批次代码
n.n	芯片版本
#	符合RoHS标准
yyww	日期代码

¹ 有关已供货产品，参见预发布产品部分。

ESD灵敏度



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

封装信息

图 8 和表 37 所示的信息提供了处理器封装标识的详情。产品供货的完整列表请参阅第 136 页的预发布产品。



图8. 产品封装信息¹

¹ 具体标识取决于封装类型。

时序规格

规格可能更改，恕不另行通知。

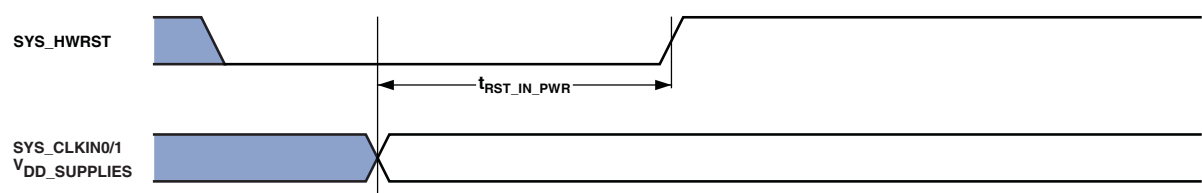
上电复位时序

表 38 和图 9 显示了与时钟产生单元（CGU）和复位控制单元（RCU）相关的电源启动与处理器复位时序之间的关系。

在图 9 中，V_{DD_SUPPLIES} 为 V_{DD_INT}、V_{DD_EXT}、V_{DD_DMC}、V_{DD_USB}、V_{DD_HADC}、V_{DD_RTC}、V_{DD_PCL_TX}、V_{DD_PCL_RX} 和 V_{DD_PCL_CORE}。

表38. 上电复位时序

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
时序要求				
trst_in_pwr	SYS_HWRST在VDD_SUPPLIES (VDD_INT、VDD_EXT、VDD_DMC、VDD_USB、VDD_HADC、VDD_RTC、VDD_PCL_TX、VDD_PCL_RX、VDD_PCL_CORE) 和SYS_CLKIN稳定并处于额定范围以内后解除置位	11 × tckin		ns



NOTE: V_{DD_SUPPLIES} REFERTO V_{DD_INT} V_{DD_EXT} V_{DD_DMC} V_{DD_USB} V_{DD_HADC} V_{DD_RTC} V_{DD_PCL_TX} V_{DD_PCL_RX} AND V_{DD_PCL_CORE}

图9. 上电复位时序

时钟和复位时序

表 39 和图 10 显示了与时钟产生单元 (CGU) 和复位控制单元 (RCU) 相关的时钟和复位操作。根据第 58 页上的表 27“时钟相关工作条件”中的 CCLK、SYSCLK、SCLK、DCLK 和 OCLK 时序规格，SYS_CLKIN 与时钟倍频器的组合不得选择超过处理器最大指令速率的时钟速率。

表39. 时钟和复位时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
f _{CKIN}	SYS_CLKIN 频率（晶振） ^{1, 2, 3}	20	50	MHz
	SYS_CLKIN 频率（外部CLKIN） ^{1, 2, 3}	20	50	MHz
t _{CKINL}	CLKIN 低电平脉冲 ¹	10		ns
t _{CKINH}	CLKIN 高电平脉冲 ¹	10		ns
t _{WRST}	RESET 置位低电平脉冲宽度 ⁴	11 × t _{CKIN}		ns

¹ 适用于 PLL 旁路模式和 PLL 非旁路模式。

² t_{CKIN} 周期（见图 10）等于 1/f_{CKIN}。

³ 如果 CGU_CTL.DF 位置 1，则 f_{CKIN} 最小值规格为 40 MHz。

⁴ 上电序列完成之后应用。上电复位时序参见表 38 和图 9。

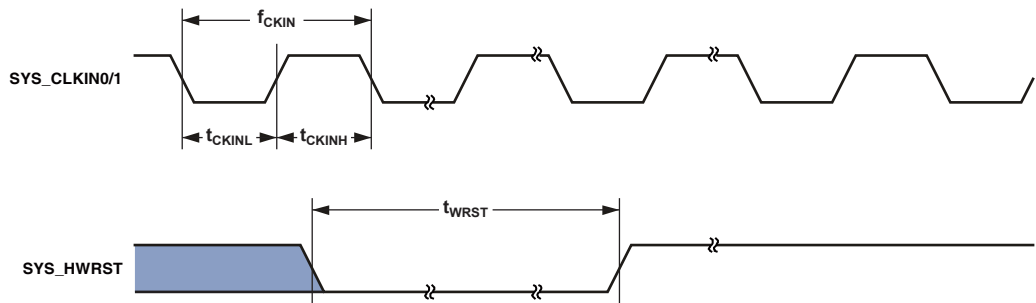


图10. 时钟和复位时序

DDR2 SDRAM时钟和控制周期时序

表 40 和图 11 显示了与动态存储器控制器（DMC）相关的 DDR2 SDRAM 时钟和控制周期时序。

表40. DDR2 SDRAM时钟和控制周期时序，V_{DD_DMC0}标称值1.8 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		400 MHz ¹		单位
		最小值	最大值	
开关特性				
t _{CK}	时钟周期时间（不支持CL = 2）	2.5		ns
t _{CH}	最小时钟脉冲宽度	0.48	0.52	t _{CK}
t _{CL}	最大时钟脉冲宽度	0.48	0.52	t _{CK}
t _{IS}	相对于DMC0_CK上升沿的控制/地址建立时间	175		ps
t _{IH}	相对于DMC0_CK上升沿的控制/地址保持时间	250		ps

¹ 为了确保 DDR2 正常工作，必须严格遵循所有 DDR2 指导原则（参见工程师笔记 EE-TBD）。

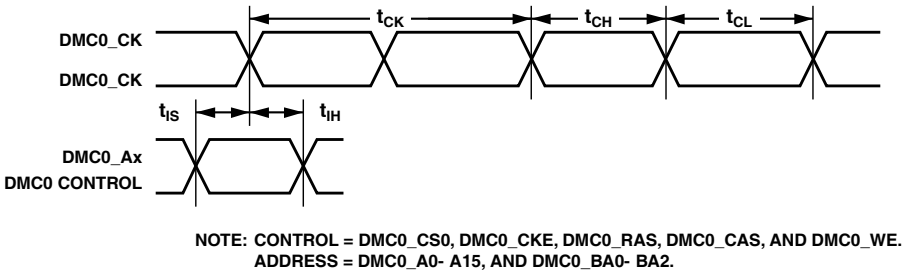


图11. DDR2 SDRAM时钟和控制周期时序

DDR2 SDRAM 读周期时序

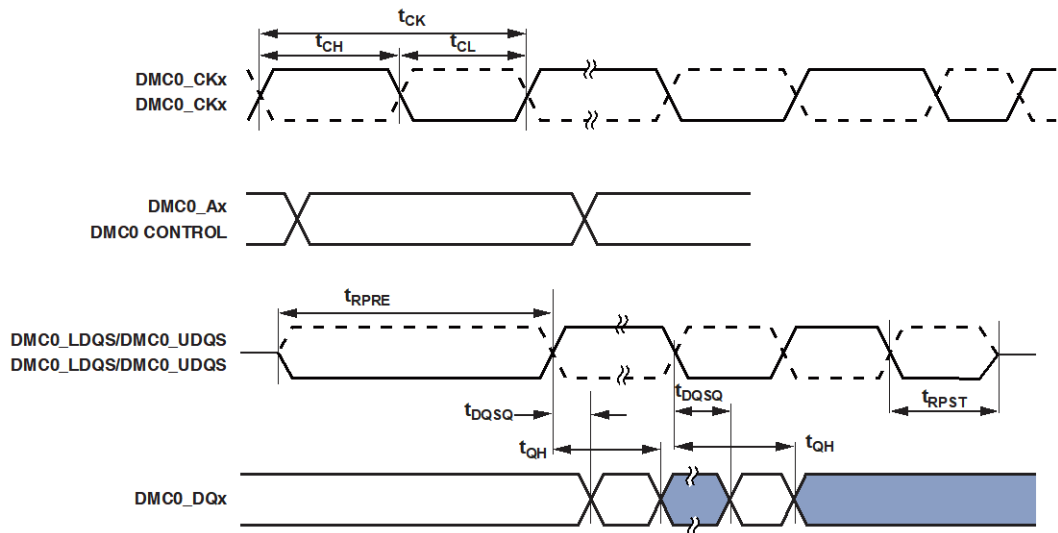
表 41 和图 12 显示了与动态存储器控制器 (DMC) 相关的 DDR2 SDRAM 读周期时序。

表41. DDR2 SDRAM读周期时序，V_{DD_DMC0}标称值1.8 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		400 MHz ¹		单位
		最小值	最大值	
时序要求				
t _{DQSQ}	DMC0_DQS和相关DMC0_DQ信号的DMC0_DQS-DMC0_DQ偏斜		0.2	ns
t _{QH}	从DMC0_DQS开始的DMC0_DQ、DMC0_DQS输出保持时间	0.9		ns
t _{RPRE}	读前同步码	0.9		t _{CK}
t _{RPST}	读后同步码	0.4		t _{CK}

¹ 为了确保 DDR2 正常工作，必须严格遵循所有 DDR2 指导原则（参见工程师笔记 EE-TBD）。



NOTE: CONTROL = DMC0_CS0, DMC0_CKE, DMC0_RAS, DMC0_CAS, AND DMC0_WE.
ADDRESS = DMC0_A00-13, AND DMC0_BA0-1.

图12. DDR2 SDRAM控制器输入交流时序

DDR2 SDRAM写周期时序

表 42 和图 13 显示了与动态存储器控制器 (DMC) 相关的 DDR2 SDRAM 写周期时序。

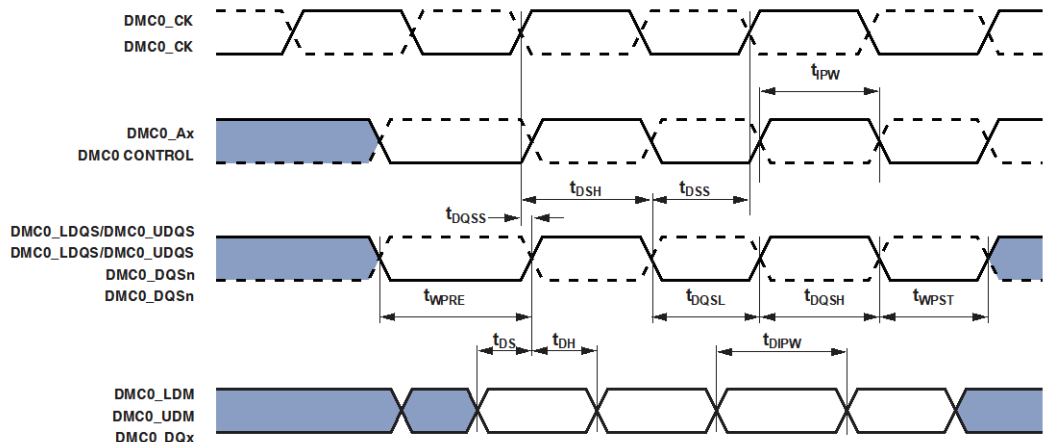
表42. DDR2 SDRAM写周期时序，V_{DD_DMC0}标称值1.8 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		400 MHz ¹		单位
		最小值	最大值	
开关特性				
t _{DQSS}	DMC0_DQS锁存上升沿跃迁至相关时钟沿 ²	-0.15	0.15	t _{CK}
t _{DS}	上一数据有效到DMC0_DQS延迟	0.1		ns
t _{DH}	DMC0_DQS到第一个数据无效延迟	0.15		ns
t _{DSS}	DMC0_DQS下降沿到时钟建立时间	0.2		t _{CK}
t _{DSH}	从DMC0_CK开始的DMC0_DQS下降沿保持时间	0.2		t _{CK}
t _{DQSH}	DMC0_DQS输入高电平脉冲宽度	0.35		t _{CK}
t _{DQSL}	DMC0_DQS输入低电平脉冲宽度	0.35		t _{CK}
t _{WPRE}	写前同步码	0.35		t _{CK}
t _{WPST}	写后同步码	0.4		t _{CK}
t _{IPW}	地址和控制输出脉冲宽度	0.6		t _{CK}
t _{DIPW}	DMC0_DQ和DMC0_DM输出脉冲宽度	0.35		t _{CK}

¹ 为了确保 DDR2 正常工作，必须严格遵循所有 DDR2 指导原则（参见工程师笔记 EE-TBD）。

² 写入命令到第一个 DMC0_DQS 延迟 = WL × t_{CK} + t_{DQSS}。



NOTE: CONTROL = DMC0_CS0, DMC0_CKE, DMC0_RAS, DMC0_CAS, AND DMC0_WE.
ADDRESS = DMC0_A00-13, AND DMC0_BA0-1.

图13. DDR2 SDRAM控制器输出交流时序

移动DDR (LPDDR) SDRAM时钟和控制周期时序

表 43 和表 14 显示了与动态存储器控制器 (DMC) 相关的移动 DDR SDRAM 时钟和控制周期时序。

表43. 移动DDR SDRAM时钟和控制周期时序，V_{DD, DMC0}标称值1.8 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		200 MHz ¹		单位
		最小值	最大值	
开关特性				
t _{CK}	时钟周期时间（不支持CL = 2）	5		ns
t _{CH}	最小时钟脉冲宽度	0.45	0.55	t _{CK}
t _{CL}	最大时钟脉冲宽度	0.45	0.55	t _{CK}
t _{IS}	相对于DMC0_CK上升沿的控制/地址建立时间	1		ns
t _{IH}	相对于DMC0_CK上升沿的控制/地址保持时间	1		ns

¹ 为了确保 LPDDR 正常工作，必须严格遵循所有 LPDDR 指导原则 (参见工程师笔记 EE-TBD)。

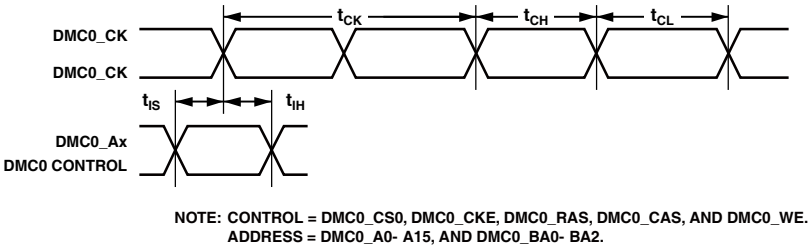


图14. 移动DDR SDRAM时钟和控制周期时序

移动DDR SDRAM读周期时序

表 44 和图 15 显示了与动态存储器控制器（DMC）相关的移动 DDR SDRAM 读周期时序。

表44. 移动DDR SDRAM读周期时序，V_{DD_DMC0}标称值1.8 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		200 MHz ¹		单位
		最小值	最大值	
时序要求				
t _{QH}	从DMC0_DQS开始的DMC0_DQ、DMC0_DQS输出保持时间	1.75		ns
t _{DQSQ}	DMC0_DQS和相关DMC0_DQ信号的DMC0_DQS-DMC0_DQ偏斜		0.4	ns
t _{RPRE}	读前同步码	0.9	1.1	t _{CK}
t _{RPST}	读后同步码	0.4	0.6	t _{CK}

¹ 为了确保 LPDDR 正常工作，必须严格遵循所有 LPDDR 指导原则（参见工程师笔记 EE-TBD）。

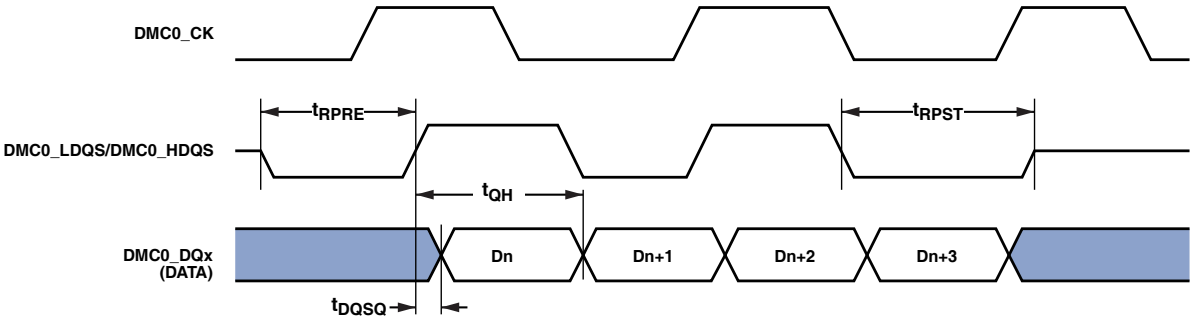


图15. 移动DDR SDRAM控制器输入交流时序

移动DDR SDRAM写周期时序

表 45 和图 16 显示了与动态存储器控制器（DMC）相关的移动 DDR SDRAM 写周期时序。

表45. 移动DDR SDRAM写周期时序，V_{DD_DMC0}标称值1.8 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		200 MHz ¹		单位
		最小值	最大值	
开关特性				
t _{DQSS} ²	DMC0_DQS锁存上升沿跃迁至相关时钟沿	0.75	1.25	t _{CK}
t _{DS}	上一数据有效到DMC0_DQS延迟（偏斜 > 1 V/ns）	0.48		ns
t _{DH}	DMC0_DQS到第一个数据无效延迟（偏斜 > 1 V/ns）	0.48		ns
t _{DSS}	DMC0_DQS下降沿到时钟建立时间	0.2		t _{CK}
t _{DSH}	从DMC _x _CK开始的DMC0_DQS下降沿保持时间	0.2		t _{CK}
t _{DQSH}	DMC0_DQS输入高电平脉冲宽度	0.4		t _{CK}
t _{DQSL}	DMC0_DQS输入低电平脉冲宽度	0.4		t _{CK}
t _{WPRE}	写前同步码	0.25		t _{CK}
t _{WPST}	写后同步码	0.4		t _{CK}
t _{IPW}	地址和控制输出脉冲宽度	2.3		ns
t _{DIPW}	DMC0_DQ和DMC0_DM输出脉冲宽度	1.8		ns

¹ 为了确保 LPDDR 正常工作，必须严格遵循所有 LPDDR 指导原则（参见工程师笔记 EE-TBD）。

² 写入命令到第一个 DMC0_DQS 延迟 = WL × t_{CK} + t_{DQSS}。

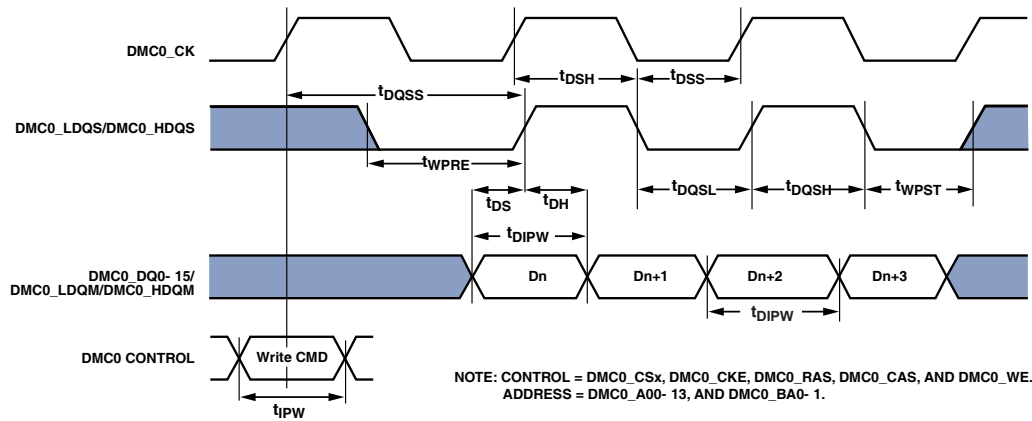


图16. 移动DDR SDRAM控制器输出交流时序

DDR3 SDRAM时钟和控制周期时序

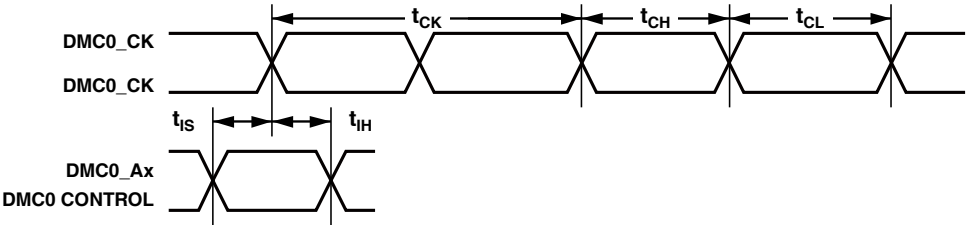
表 46 和表 17 显示了与动态存储器控制器 (DMC) 相关的移动 DDR3 SDRAM 时钟和控制周期时序。

表46. DDR3 SDRAM时钟和控制周期时序，V_{DD, DMC0}标称值1.5 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		450 MHz ¹		单位
		最小值	最大值	
时序要求				
t _{CK}	时钟周期时间（不支持CL = 2）	2.22		ns
t _{CH}	最小时钟脉冲宽度	0.47	0.53	t _{CK}
t _{CL}	最大时钟脉冲宽度	0.47	0.53	t _{CK}
t _{IS}	相对于DMC0_CK上升沿的控制/地址建立时间	0.2		ns
t _{IH}	相对于DMC0_CK上升沿的控制/地址保持时间	0.275		ns

¹ 为了确保 DDR3 正常工作，必须严格遵循所有 DDR3 指导原则 (参见工程师笔记 EE-TBD)。



NOTE: CONTROL = DMC0_CS0, DMC0_CKE, DMC0_RAS, DMC0_CAS, AND DMC0_WE.
ADDRESS = DMC0_A0- A15, AND DMC0_BA0- BA2.

图17. DDR3 SDRAM时钟和控制周期时序

DDR3 SDRAM 读周期时序

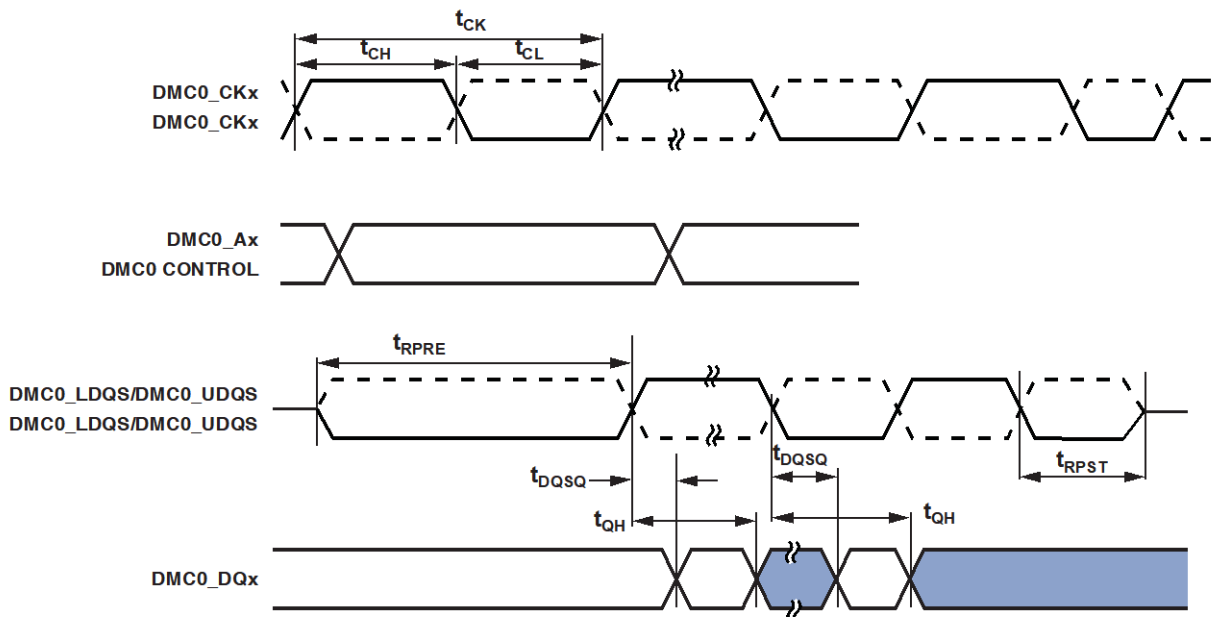
表 47 和图 18 显示了与动态存储器控制器 (DMC) 相关的移动 DDR3 SDRAM 读周期时序。

表47. DDR3 SDRAM读周期时序，V_{DD_DMC0}标称值1.5 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		450 MHz ¹		单位
		最小值	最大值	
时序要求				
t _{DQSQ}	DMC0_DQS和相关DMC0_DQ信号的DMC0_DQS-DMC0_DQ偏斜		0.2	ns
t _{QH}	从DMC0_DQS开始的DMC0_DQ、DMC0_DQS输出保持时间	0.38		t _{CK}
t _{RPRE}	读前同步码	0.9		t _{CK}
t _{RPST}	读后同步码	0.3		t _{CK}

¹ 为了确保 DDR3 正常工作，必须严格遵循所有 DDR3 指导原则（参见工程师笔记 EE-TBD）。



NOTE: CONTROL = DMC0_CS0, DMC0_CKE, DMC0_RAS, DMC0_CAS, AND DMC0_WE.
ADDRESS = DMC0_A00-13, AND DMC0_BA0-1.

图18. DDR3 SDRAM控制器输入交流时序

DDR3 SDRAM写周期时序

表 48 和图 19 显示了与动态存储器控制器 (DMC) 相关的移动 DDR3 SDRAM 输出交流时序。

表48. DDR3 SDRAM写周期时序，V_{DD_DMC0}标称值1.5 V

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		450 MHz ¹		单位
		最小值	最大值	
开关特性				
t _{DQSS}	DMC0_DQS锁存上升沿跃迁至相关时钟沿 ²	-0.25	0.25	t _{CK}
t _{DS}	上一数据有效到DMC0_DQS延迟（偏斜 > 1 V/ns）	0.125		ns
t _{DH}	DMC0_DQS到第一个数据无效延迟（偏斜 > 1 V/ns）	0.150		ns
t _{DSS}	DMC0_DQS下降沿到时钟建立时间	0.2		t _{CK}
t _{DSH}	从DMC0_CK开始的DMC0_DQS下降沿保持时间	0.2		t _{CK}
t _{DQSH}	DMC0_DQS输入高电平脉冲宽度	0.45	0.55	t _{CK}
t _{DQSL}	DMC0_DQS输入低电平脉冲宽度	0.45	0.55	t _{CK}
t _{WPRE}	写前同步码	0.9		t _{CK}
t _{WPST}	写后同步码	0.3		t _{CK}
t _{IPW}	地址和控制输出脉冲宽度	0.840		ns
t _{DIPW}	DMC0_DQ和DMC0_DM输出脉冲宽度	0.550		ns

¹ 为了确保 DDR3 正常工作，必须严格遵循所有 DDR3 指导原则 (参见工程师笔记 EE-TBD)。

² 写入命令到第一个 DMC0_DQS 延迟 = WL × t_{CK} + t_{DQSS}。

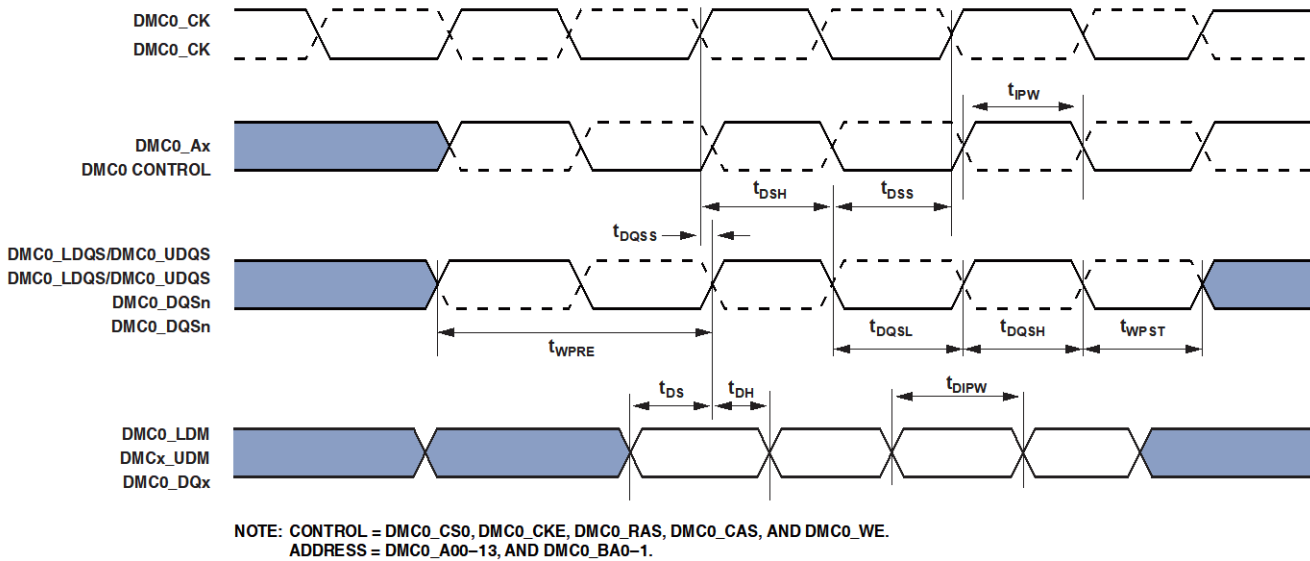


图19. DDR3 SDRAM控制器输出交流时序

增强并行外设接口时序

下面的表格和插图说明增强并行外设接口 (EPPI) 时序操作。EPPI_CTL 的 POLC 位可用来设置 EPPI 时钟的采样/驱动沿。

若通过内部产生，则编程 PPI 时钟 ($f_{PCLKPROG}$) 频率 (单位为 MHz) 由下式确定；其中，VALUE 是 EPPI_CLKDIV 寄存器中的字段，设置范围为 0 至 65535：

$$f_{PCLKPROG} = \frac{f_{SCLK0}}{(VALUE + 1)}$$

$$t_{PCLKPROG} = \frac{1}{f_{PCLKPROG}}$$

若通过外部产生，则 EPPI_CLK 称为 $f_{PCLKEXT}$ ：

$$t_{PCLKEXT} = \frac{1}{f_{PCLKEXT}}$$

表49. 增强并行外设接口—内部时钟

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
<i>时序要求</i>				
t_{SFSPi}	EPPI_CLK之前的外部FS建立时间	6.5		ns
t_{HFSPi}	EPPI_CLK之后的外部FS保持时间	0		ns
t_{SDRPI}	EPPI_CLK之前的接收数据建立时间	6.5		ns
t_{HDRPI}	EPPI_CLK之后的接收数据保持时间	0		ns
t_{SF3GI}	时钟门控模式下EPPI_CLK下降沿之前的外部FS3输入建立时间	14		ns
t_{HF3GI}	时钟门控模式下EPPI_CLK下降沿之前的外部FS3输入保持时间	0		ns
<i>开关特性</i>				
t_{PCLKW}	EPPI_CLK宽度 ¹	$0.5 \times t_{PCLKPROG} - 1.5$		ns
t_{PCLK}	EPPI_CLK周期 ¹	$t_{PCLKPROG} - 1.5$		ns
t_{DFSPi}	EPPI_CLK之后的内部FS延迟时间		3.5	ns
t_{HOFSPi}	EPPI_CLK之后的内部FS保持时间	-0.5		ns
t_{DDTPI}	EPPI_CLK之后的发送数据延迟时间		3.5	ns
t_{HDTPI}	EPPI_CLK之后的发送数据保持时间	-0.5		ns

¹ 关于可供 $t_{PCLKPROG}$ 编程的最小周期的详细情况，参见第 58 页上的表 27“时钟相关工作条件”。

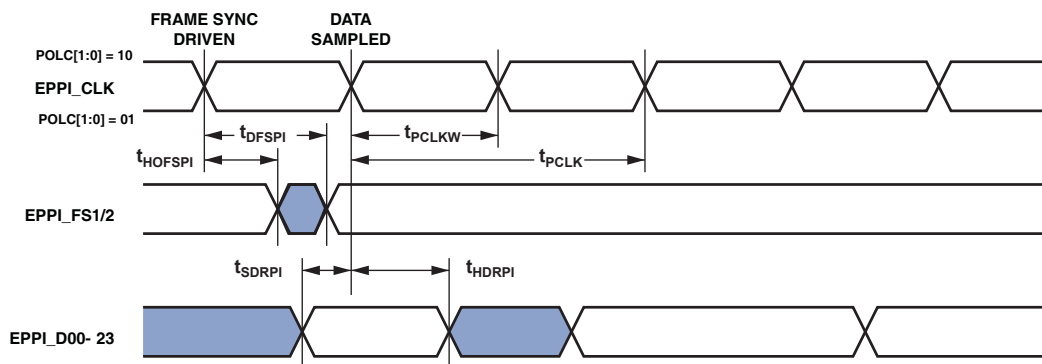


图20. 采用内部帧同步的PPI内部时钟通用接收模式时序

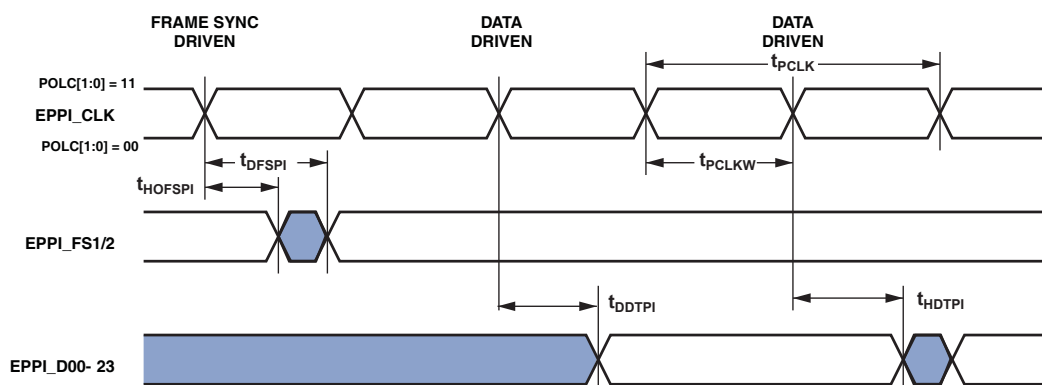


图21. 采用内部帧同步的PPI内部时钟通用发送模式时序

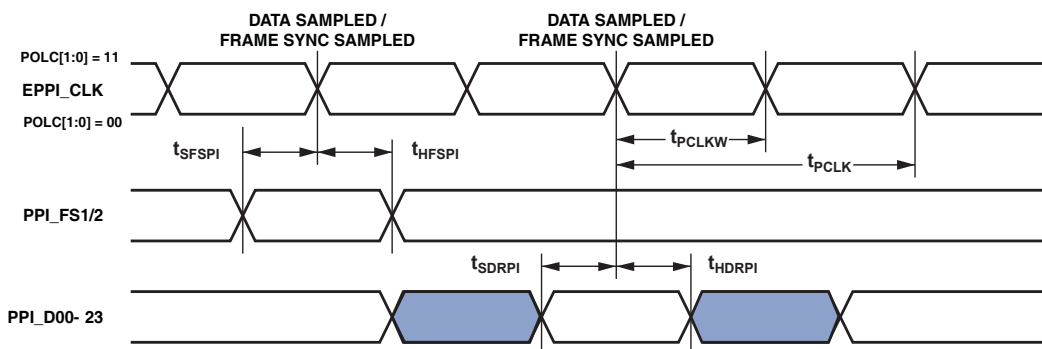


图22. 采用外部帧同步的PPI内部时钟通用接收模式时序

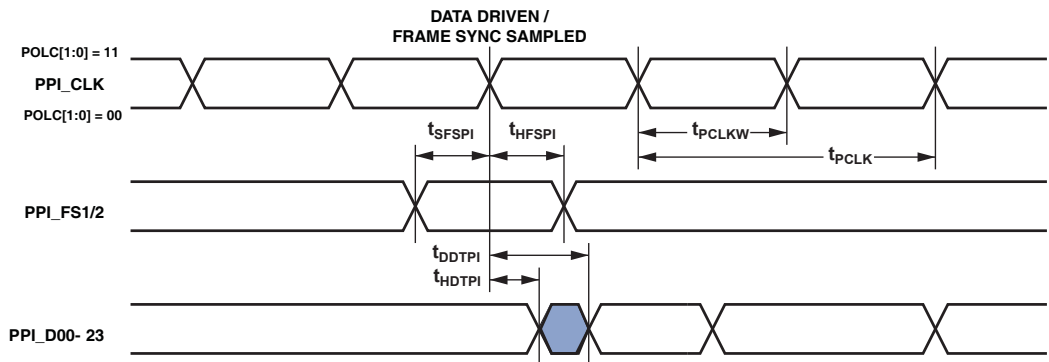


图23. 采用外部帧同步的PPI内部时钟通用发送模式时序

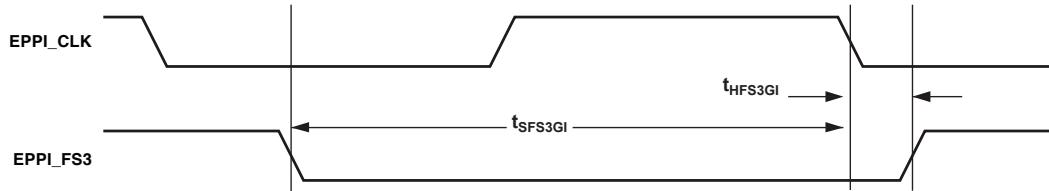


图24. 采用内部时钟和外部帧同步的时钟门控模式时序

表50. 增强并行外设接口—外部时钟

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t _{PCLKW}	EPPI_CLK宽度 ¹	0.5 × t _{PCLKEXT} – 0.5		ns
t _{PCLK}	EPPI_CLK周期 ¹	t _{PCLKEXT} – 1		ns
t _{SFSPE}	EPPI_CLK之前的外部FS建立时间	2		ns
t _{HFSPE}	EPPI_CLK之后的外部FS保持时间	3.7		ns
t _{SDRPE}	EPPI_CLK之前的接收数据建立时间	2		ns
t _{HDRPE}	EPPI_CLK之后的接收数据保持时间	3.7		ns
开关特性				
t _{DFSPE}	EPPI_CLK之后的内部FS延迟时间		15.3	ns
t _{HOFSPE}	EPPI_CLK之后的内部FS保持时间	2.4		ns
t _{DDTPE}	EPPI_CLK之后的发送数据延迟时间		15.3	ns
t _{HDTPE}	EPPI_CLK之后的发送数据保持时间	2.4		ns

¹ 本规格表示外部 EPPI_CLK 上容许占空比变化或抖动所导致的最小瞬时宽度或周期。关于外部 EPPI_CLK 的理想最大频率，参见第 58 页上的表 27“时钟相关工作条件”中的 f_{PCLKEXT} 规格。

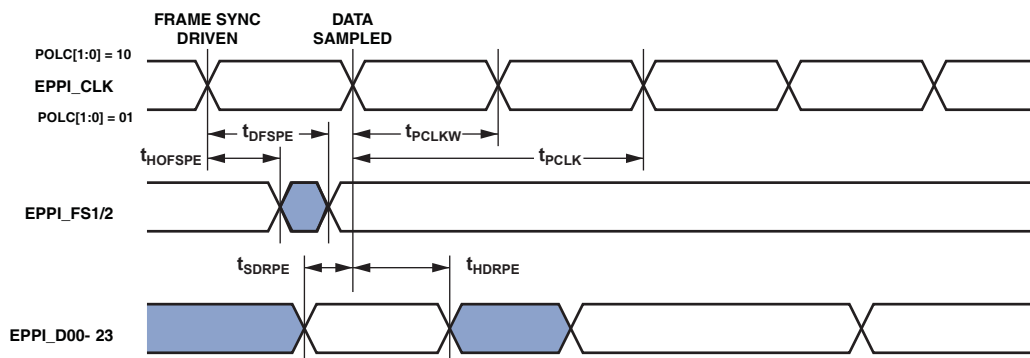


图25. 采用内部帧同步的PPI外部时钟通用接收模式时序

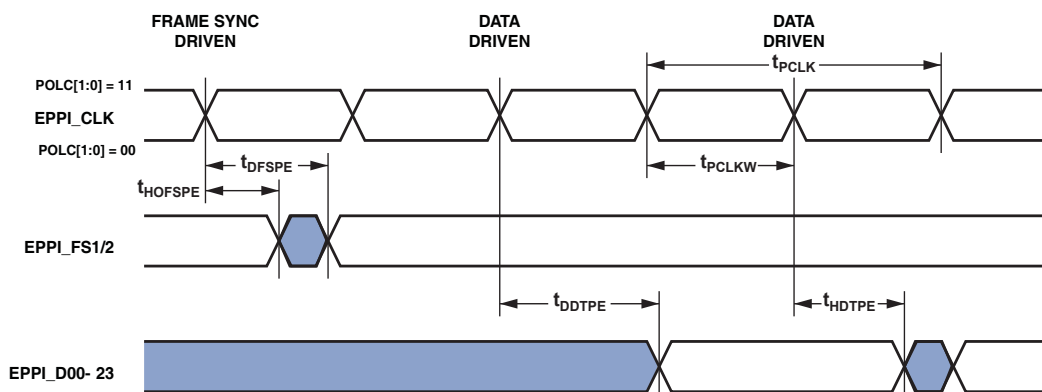


图26. 采用内部帧同步的PPI外部时钟通用发送模式时序

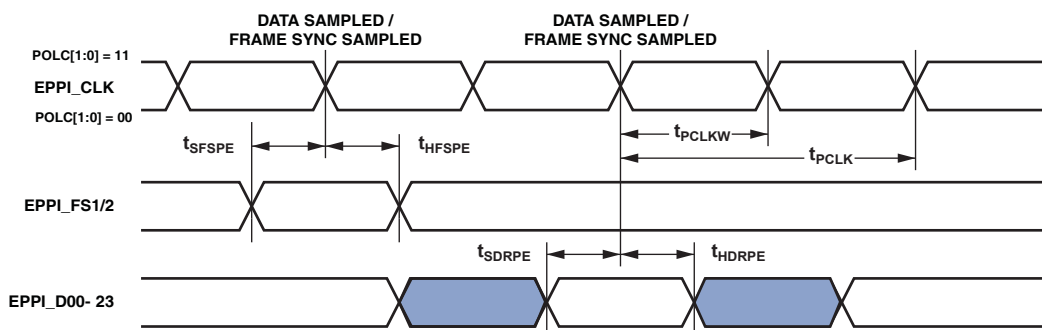


图27. 采用外部帧同步的PPI外部时钟通用接收模式时序

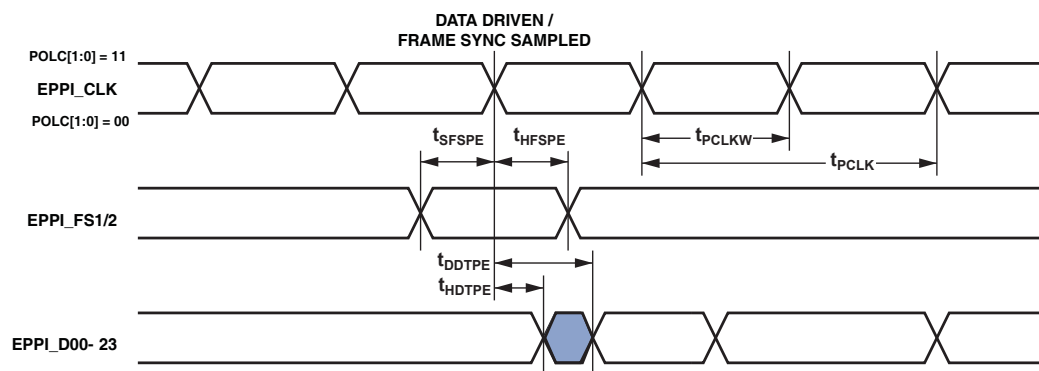


图28. 采用外部帧同步的PPI外部时钟通用发送模式时序

链路端口

在链路端口 (LP) 接收模式下，链路端口时钟从外部提供，称为 $f_{LCLKREXT}$ ：

$$t_{LCLKREXT} = \frac{1}{f_{LCLKREXT}}$$

在链路端口发送模式下，编程链路端口时钟 ($f_{LCLKTPROG}$) 频率 (单位：MHz) 由下式确定；其中，VALUE 是 LP_DIV 寄存器中的字段，设置范围为 1 至 255：

$$f_{LCLKTPROG} = \frac{f_{SCLK0}}{(VALUE \times 2)}$$

若 VALUE = 0，则 $f_{LCLKTPROG} = f_{SCLK0}$ 。对于 VALUE 的所有设置，下式同样成立：

$$t_{LCLKTPROG} = \frac{1}{f_{LCLKTPROG}}$$

需要进行与链路时钟有关的链路接收器数据建立和保持时间计算，以确定 LPx_Dx (数据) 和 LPx_CLK 之间传输路径长度差异可以引入的最大允许偏斜。建立偏斜是在 LPx_Dx 中可以引入的相对于 LPx_CLK 的最大延迟：(建立偏斜 = $t_{LCLKTWH}$ 最小值 - t_{DLDC} - t_{SLDCL})。保持偏斜是在 LPx_CLK 中可以引入的相对于 LPx_Dx 的最大延迟：(保持偏斜 = $t_{LCLKTWL}$ 最小值 - t_{HLDCH} - t_{HLDCL})。

表51. 链路端口—接收¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
$f_{LCLKREXT}$ LPx_CLK频率		150	MHz
t_{SLDCL} LPx_CLK低电平之前的数据建立时间	0.9		ns
t_{HLDCL} LPx_CLK低电平之后的数据保持时间	1.4		ns
t_{LCLKW} LPx_CLK周期 ²	$t_{LCLKREXT} - 0.42$		ns
$t_{LCLKRWL}$ LPx_CLK低电平宽度 ²	$0.5 \times t_{LCLKREXT}$		ns
$t_{LCLKRWH}$ LPx_CLK高电平宽度 ²	$0.5 \times t_{LCLKREXT}$		ns
开关特性			
t_{DLALC} LPx_CLK低电平之后的LPx_ACK低延迟 ³	$1.5 \times t_{SCLK0} + 4$	$2.5 \times t_{SCLK0} + 12$	ns

¹ 规格适用于 LP1 和 LP2。

² 本规格表示外部 LPx_CLK 上容许占空比变化或抖动所导致的最小瞬时宽度或周期。关于外部 LPx_CLK 的理想最大频率，参见第 58 页上的表 27“时钟相关工作条件”中的 $f_{LCLKTEXT}$ 规格。

³ LPx_ACK 在第一个字节之后的 t_{DLALC} (相对于 LPx_CLK 的上升沿) 变为低电平，但若不填充接收器的链路缓冲器，LPx_CLK 不会变为低电平。

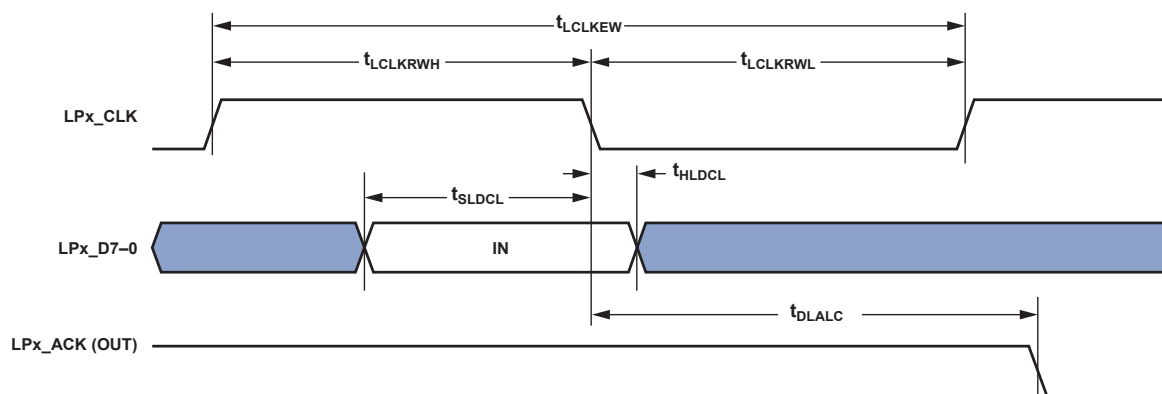


图29. 链路端口—接收

表52. 链路端口—发送¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
<i>时序要求</i>				
t_{SLACH}	LPx_CLK低电平之前的LPx_ACK建立时间	$2 \times t_{SCLK0} + 13.5$		ns
t_{HLACH}	LPx_CLK低电平之后的LPx_ACK保持时间	-5.5		ns
<i>开关特性</i>				
t_{DLDCH}	LPx_CLK高电平之后的数据延迟时间		1.6	ns
t_{HLDCH}	LPx_CLK高电平之后的数据保持时间	-0.8		ns
$t_{LCLKTWL}^2$	LPx_CLK低电平宽度	$0.33 \times t_{LCLKTPROG}$	$0.6 \times t_{LCLKTPROG}$	ns
$t_{LCLKTWH}^2$	LPx_CLK高电平宽度	$0.45 \times t_{LCLKTPROG}$	$0.66 \times t_{LCLKTPROG}$	ns
t_{LCLKTW}^2	LPx_CLK周期	$N \times t_{LCLKTPROG} - 0.5$		ns
t_{DLACLK}	LPx_ACK高电平之后的LPx_CLK低延迟	$t_{SCLK0} + 4$	$2 \times t_{SCLK0} + 1 \times t_{LPCLK} + 10$	ns

¹ 规格适用于 LP1 和 LP2。

² 关于可供 $t_{LCLKTPROG}$ 编程的最小周期的详细情况，参见第 58 页上的表 27“时钟相关工作条件”。

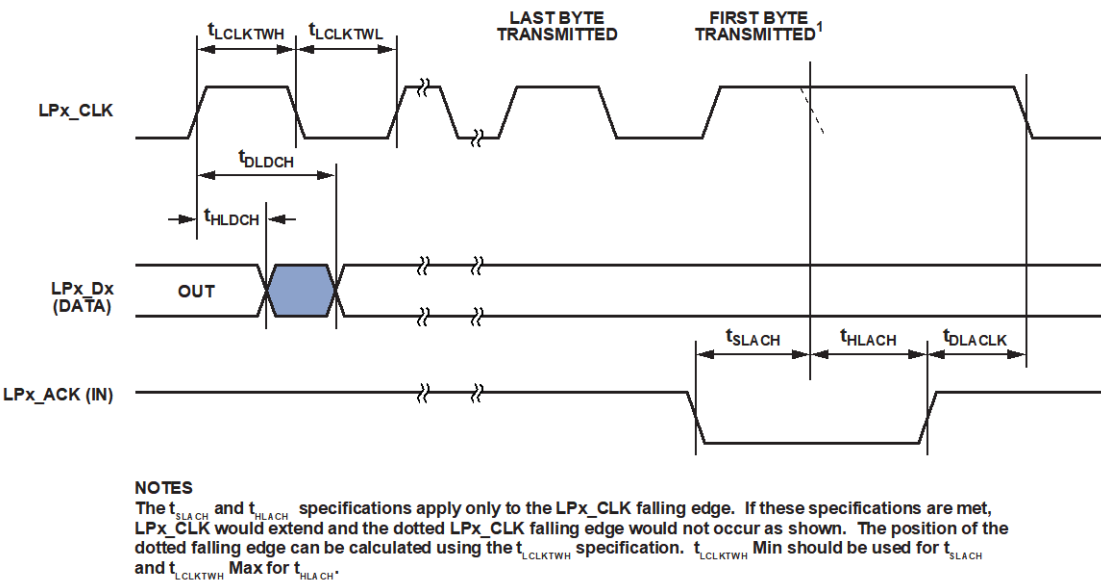


图30. 链路端口—发送

串行端口

为确定在时钟速度 n 时两个器件之间的串行端口 (SPORT) 通信是否可行，必须确认以下规格：1) 帧同步延迟和帧同步建立/保持；2) 数据延迟和数据建立与保持；3) 串行时钟 (SPTx_CLK) 宽度。在图 31 中，SPTx_CLK 的上升沿或下降沿（外部或内部）可用作有效采样沿。

若通过外部产生，则 SPORT 时钟称为 $f_{SPTCLKEXT}$ ；

$$t_{SPTCLKEXT} = \frac{1}{f_{SPTCLKEXT}}$$

若通过内部产生，则编程 SPORT 时钟 ($f_{SPTCLKPROG}$) 频率（单位：MHz）由下式确定，其中，CLKDIV 是 SPORT_DIV 寄存器中的字段，设置范围为 0 至 65535；

$$f_{SPTCLKPROG} = \frac{f_{SCLK0}}{(CLKDIV + 1)}$$

$$t_{SPTCLKPROG} = \frac{1}{f_{SPTCLKPROG}}$$

表53. 串行端口—外部时钟¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{SFSE}	SPTx_CLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步) ²	2		ns
t_{HFSE}	SPTx_CLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步) ²	2.7		ns
t_{SDRE}	接收SPTx_CLK之前接收数据建立时间 ²	2		ns
t_{HDRE}	SPTx_CLK之后接收数据保持时间 ²	2.7		ns
$t_{SPTCLKW}$	SPTx_CLK宽度 ³	$0.5 \times t_{SPTCLKEXT} - 1.5$		ns
t_{SPTCLK}	SPTx_CLK周期 ³	$t_{SPTCLKEXT} - 1.5$		ns
开关特性				
t_{DFSE}	SPTx_CLK之后帧同步延迟时间 (发送或接收模式下内部产生的帧同步) ⁴		14.5	ns
t_{HOFSE}	SPTx_CLK之后帧同步保持时间 (发送或接收模式下内部产生的帧同步) ⁴	2		ns
t_{DDTE}	发送SPTx_CLK之后发送数据延迟时间 ⁴		14	ns
t_{HDTE}	发送SPTx_CLK之后发送数据保持时间 ⁴	2		ns

¹ 规格适用于所有 8 个 SPORT。

² 以采样沿为基准。

³ 本规格表示外部 SPTx_CLK 上容许占空比变化或抖动所导致的最小瞬时宽度或周期。关于外部 SPTx_CLK 的理想最大频率，参见第 58 页上的表 27“时钟相关工作条件”中的 $f_{SPTCLKEXT}$ 规格。

⁴ 以驱动沿为基准。

表54. 串行端口—内部时钟¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
<i>时序要求</i>				
t _{SFSI}	SPTx_CLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步) ²	12		ns
t _{HFSI}	SPTx_CLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步) ²	-0.5		ns
t _{SDRI}	SPTx_CLK之前接收数据建立时间 ²	3.4		ns
t _{HDRI}	SPTx_CLK之后接收数据保持时间 ²	1.5		ns
<i>开关特性</i>				
t _{DFSI}	SPTx_CLK之后帧同步延迟时间 (发送或接收模式下内部产生的帧同步) ³		3.5	ns
t _{HOFSI}	SPTx_CLK之后帧同步保持时间 (发送或接收模式下内部产生的帧同步) ³	-2.5		ns
t _{DDTI}	SPTx_CLK之后发送数据延迟时间 ³		3.5	ns
t _{HDTI}	SPTx_CLK之后发送数据保持时间 ³	-2.5		ns
t _{SCLKIW}	SPTx_CLK宽度 ⁴	$0.5 \times t_{\text{SPTCLKPROG}} - 1.5$		ns
t _{SPTCLK}	SPTx_CLK周期 ⁴	$t_{\text{SPTCLKPROG}} - 1.5$		ns

¹ 规格适用于所有 8 个 SPORT。

² 以采样沿为基准。

³ 以驱动沿为基准。

⁴ 关于可供 t_{SPTCLKPROG} 编程的最小周期的详细情况，参见第 58 页上的表 27“时钟相关工作条件”。

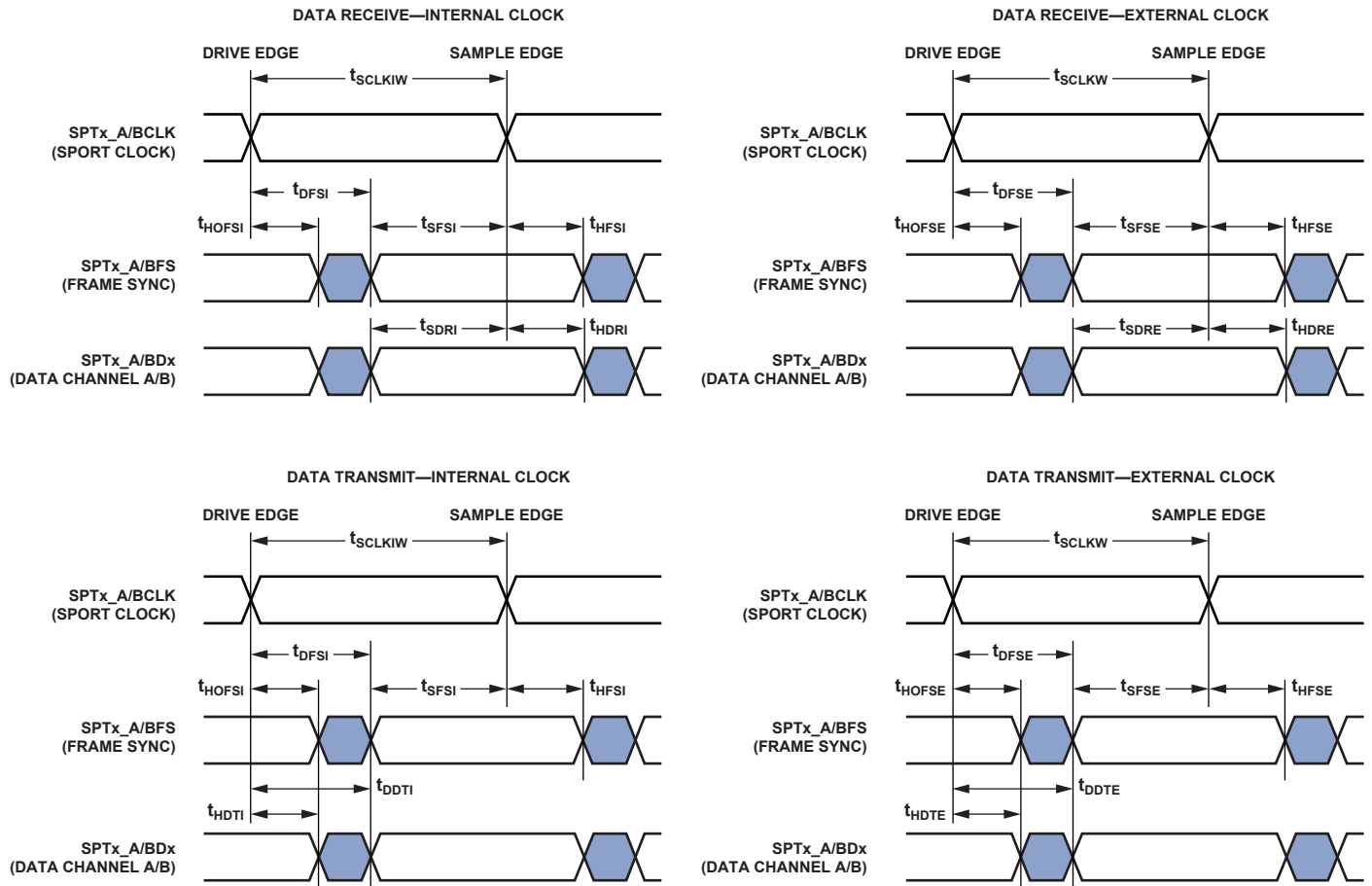


图31. 串行端口

表55. 串行端口—使能和三态¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
t _{DDTEN}	自外部发送SPTx_CLK起的数据使能时间 ²	1		ns
t _{DDTTE}	自外部发送SPTx_CLK起的数据禁用时间 ²		14	ns
t _{DDTIN}	自内部发送SPTx_CLK起的数据使能时间 ²	-2.5		ns
t _{DDTTI}	自内部发送SPTx_CLK起的数据禁用时间 ²		2.8	ns

¹ 规格适用于所有 8 个 SPORT。

² 以驱动沿为基准。

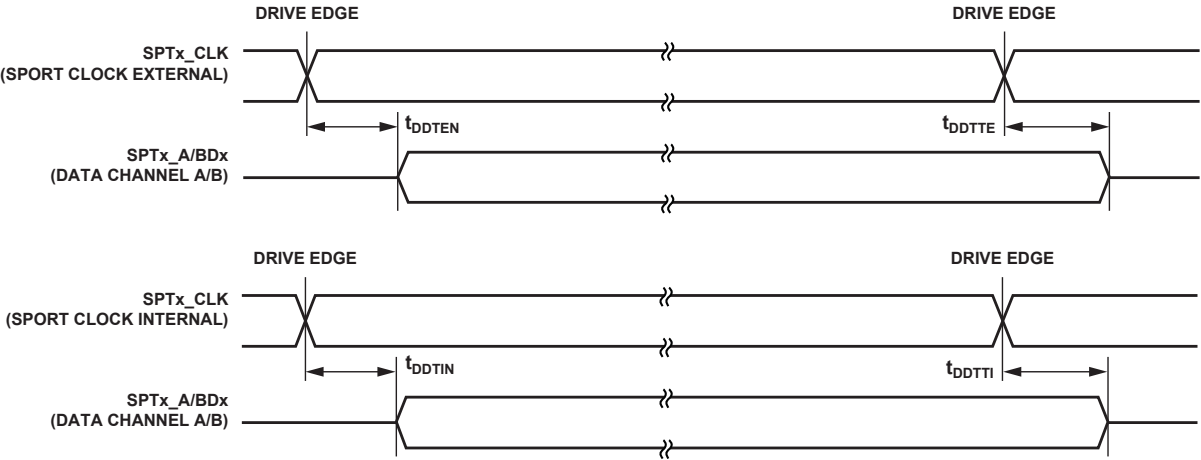


图32. 串行端口—使能和三态

SPTx_TDV 输出信号在 SPORT 多通道模式下有效。在发送时隙（通过活动通道选择寄存器使能），SPTx_TDV 置位以便与外部器件通信。

表56. 串行端口—TDV（发送数据有效）¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
t _{DRDVEN}	自外部时钟驱动沿起的数据有效使能延迟时间 ²	2	14	ns
t _{DFDVEN}	自外部时钟驱动沿起的数据有效禁用延迟时间 ²			ns
t _{DRDVIN}	自内部时钟驱动沿起的数据有效使能延迟时间 ²	-2.5	3.5	ns
t _{DFDVIN}	自内部时钟驱动沿起的数据有效禁用延迟时间 ²			ns

¹ 规格适用于所有 8 个 SPORT。

² 以驱动沿为基准。

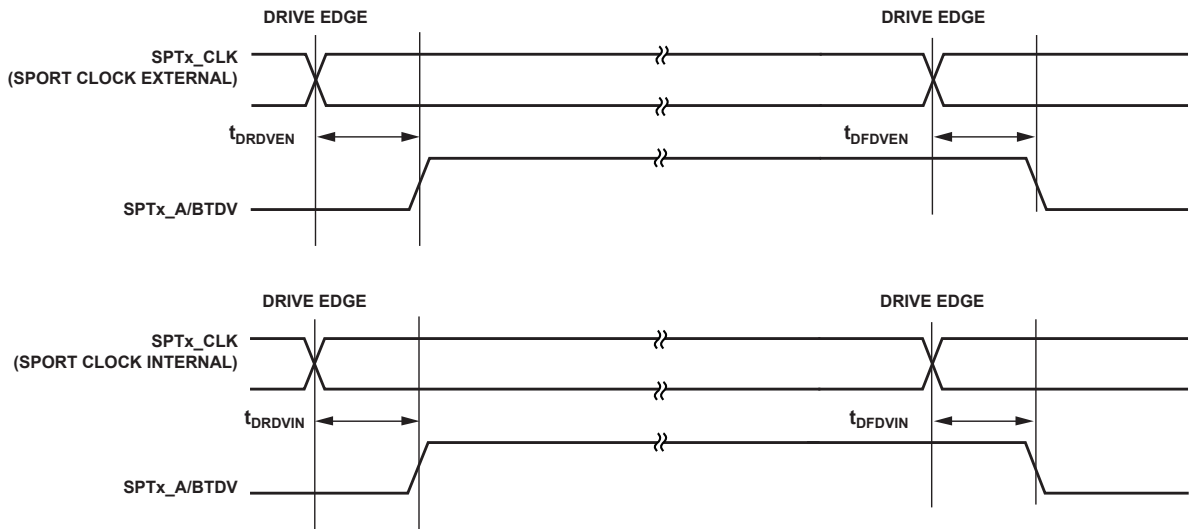


图33. 串行端口—发送数据有效的内部和外部时钟

表57. 串行端口—外部晚帧同步¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
$t_{DDTLFSE}$	自晚外部发送帧同步或外部接收帧同步（MCE = 1、MFD = 0）起的数据延迟时间 ²		14	ns
$t_{DDTENFS}$	数据使能时间（MCE = 1、MFD = 0） ²	0.5		ns

¹ 规格适用于所有 8 个 SPORT。

² $t_{DDTLFSE}$ 和 $t_{DDTENFS}$ 参数适用于左对齐和标准串行模式，而且 MCE = 1、MFD = 0。

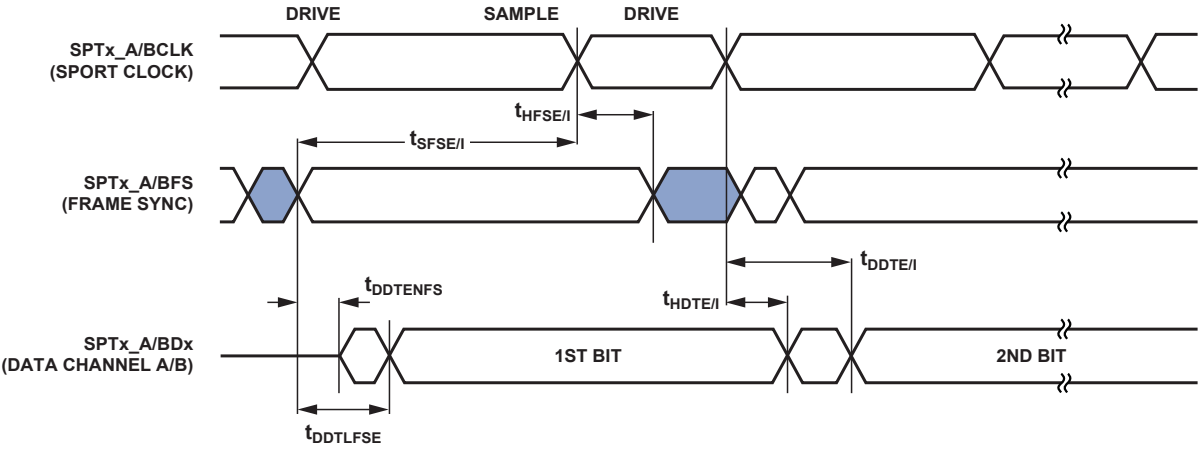


图34. 外部晚帧同步

采样速率转换器—串行输入端口

ASRC 输入信号通过 SRU 从 DAI0_P20-1 引脚路由。因此，表 58 提供的时序规格在 DAI0_P20-1 引脚上有效。

表58. ASRC串行输入端口

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
<i>时序要求</i>				
t_{SRCSFS}^1	串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHFS}^1	串行时钟上升沿之后帧同步保持时间	5.5		ns
t_{SRCSD}^1	串行时钟上升沿之前数据建立时间	4		ns
t_{SRCHD}^1	串行时钟上升沿之后数据保持时间	5.5		ns
t_{SRCCLKW}	时钟宽度	$t_{\text{SCLK0}} - 1$		ns
t_{SRCCLK}	时钟周期	$2 \times t_{\text{SCLK0}}$		ns

¹ 串行时钟、数据和帧同步信号可来自任意 DAI 引脚。串行时钟和帧同步信号也可以通过 PCG 或 SPORT 提供。PCG 的输入可以是 CLKIN 或任意 DAI 引脚。

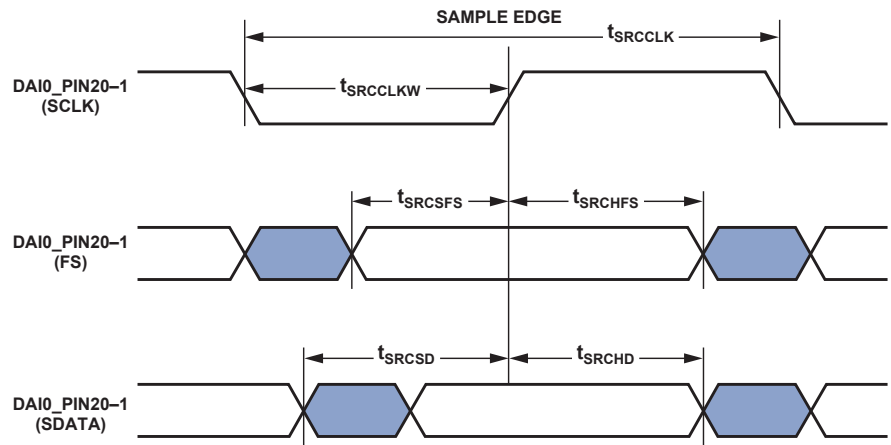


图35. ASRC串行输入端口时序

采样速率转换器—串行输出端口

对于串行输出端口，帧同步为输入，而且它应满足相对于输出端口 SCLK 的建立和保持时间要求。串行数据输出具有相对于串行时钟的保持和延迟时间规格。注意，串行时钟上升沿为采样沿，下降沿为驱动沿。

表59. ASRC串行输出端口

所有规格均基于仿真数据，如有更改，恕不另行通知。		最小值	最大值	单位
参数				
时序要求				
t_{SRCDFS}^1	串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHF}^1	串行时钟上升沿之后帧同步保持时间	5.5		ns
t_{SRCCLKW}	时钟宽度	$t_{\text{SCLK0}} - 1$		ns
t_{SRCCLK}	时钟周期	$2 \times t_{\text{SCLK0}}$		ns
开关特性				
t_{SRCTDD}^1	串行时钟下降沿之后发送数据延迟时间		13	ns
t_{SRCTDH}^1	串行时钟下降沿之后发送数据保持时间	1		ns

¹ 串行时钟、数据和帧同步信号可来自任意 DAI 引脚。串行时钟和帧同步信号也可以通过 PCG 或 SPORT 提供。PCG 的输入可以是 CLKIN、SCLK0 或任意 DAI 引脚。

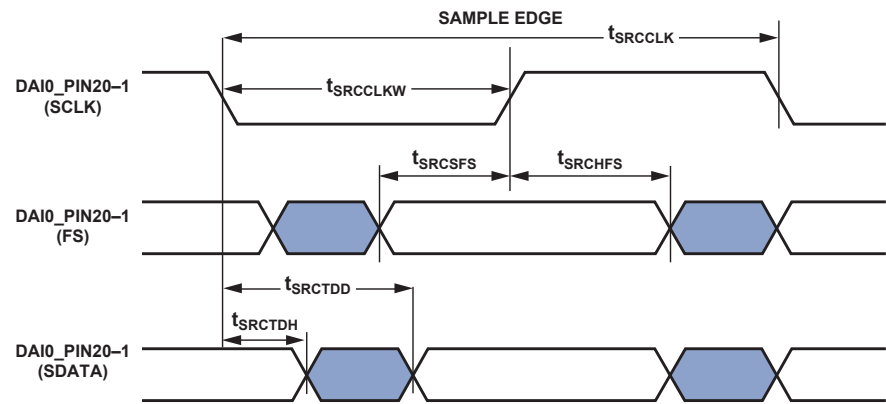


图36. ASRC串行输出端口时序

串行外设接口 (SPI) 端口—主机时序**SPI0、SPI1和SPI2**

表 60、表 61 和图 37 描述串行外设接口 (SPI) 端口主机操作。

若通过内部产生，则编程 SPI 时钟 ($f_{SPICLKPROG}$) 频率 (单位为 MHz) 由下式确定；其中，BAUD 是 SPIx_CLK 寄存器中的字段，设置范围为 0 至 65535。

对于 SPI0、SPI1，

$$f_{SPICLKPROG} = \frac{f_{SCLK0}}{(BAUD + 1)}$$

对于 SPI2，

$$f_{SPICLKPROG} = \frac{f_{SCLK1}}{(BAUD + 1)}$$

$$t_{SPICLKPROG} = \frac{1}{f_{SPICLKPROG}}$$

请注意：

- 在双通道模式数据发射下，SPIx_MISO信号也是输出。
- 在四通道模式数据发射下，SPIx_MISO、SPIx_D2和SPIx_D3信号也是输出。
- 在双通道模式数据接收下，SPIx_MOSI信号也是输入。
- 在四通道模式数据接收下，SPIx_MOSI、SPIx_D2和SPIx_D3信号也是输入。
- 仅SPI2支持四通道模式。

表60. 串行外设接口 (SPI0、SPI1) 端口—主机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t _{SSPIDM}	数据输入有效到SPIx_CLK边沿 (数据输入建立)	3.2		ns
t _{HSPIDM}	SPIx_CLK采样沿到数据输入无效	1.2		ns
开关特性				
t _{SDSCIM}	SPIx_SEL低电平到第一个SPI_CLK边沿 (CPHA = 1) ²	[t _{SCLK0} - 2] 或 [18]		ns
	SPIx_SEL低电平到第一个SPI_CLK边沿 (CPHA = 0) ²	[1.5 × t _{SCLK0} - 2] 或 [13]		ns
t _{SPICHM}	SPIx_CLK高电平周期 ³	0.5 × t _{SPICLKPROG} - 1		ns
t _{SPICLM}	SPIx_CLK低电平周期 ³	0.5 × t _{SPICLKPROG} - 1		ns
t _{SPICLK}	SPIx_CLK周期 ³	t _{SPICLKPROG} - 1		ns
t _{HDSM}	最后一个SPIx_CLK边沿到SPIx_SEL高电平 (CPHA = 1) ²	[1.5 × t _{SCLK0} - 2] 或 [13]		ns
	最后一个SPIx_CLK边沿到SPIx_SEL高电平 (CPHA = 0) ²	[t _{SCLK0} - 2] 或 [18]		ns
t _{SPITDM}	顺序传输延迟时间 ^{2,4}	[t _{SCLK0} - 1] 或 [19]		ns
t _{DDSPIDM}	SPIx_CLK边沿到数据输出有效 (数据输出延迟)		2.6	ns
t _{HDSPIDM}	SPIx_CLK边沿到数据输出无效 (数据输出保持)	-1.5		ns

¹ 所有规格仅适用于 SPI0 和 SPI1。

² 以其中较大者为准。

³ 关于可供 t_{SPICLKPROG} 编程的最小周期的详细情况，参见第 58 页上的表 27“时钟相关工作条件”。

⁴ 适用于 STOP ≥ 1 的顺序模式。

表61. 串行外设接口 (SPI2) 端口—主机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{SSPIDM}	数据输入有效到SPIx_CLK边沿 (数据输入建立)	3.2		ns
t_{HSPIDM}	SPIx_CLK采样沿到数据输入无效	1.2		ns
开关特性				
t_{SDSCIM}	SPIx_SEL低电平到第一个SPI_CLK边沿 (CPHA = 1) ²	$[t_{SCLK2} - 2]$ 或 $[18]$		ns
	SPIx_SEL低电平到第一个SPI_CLK边沿 (CPHA = 0) ²	$[1.5 \times t_{SCLK1} - 2]$ 或 $[13]$		ns
t_{SPICHM}	SPIx_CLK高电平周期 ³	$0.5 \times t_{SPICLKPROG} - 1$		ns
t_{SPICLM}	SPIx_CLK低电平周期 ³	$0.5 \times t_{SPICLKPROG} - 1$		ns
t_{SPICLK}	SPIx_CLK周期 ³	$t_{SPICLKPROG} - 1$		ns
t_{HDSM}	最后一个SPIx_CLK边沿到SPIx_SEL高电平 (CPHA = 1) ²	$[1.5 \times t_{SCLK1} - 2]$ 或 $[13]$		ns
	最后一个SPIx_CLK边沿到SPIx_SEL高电平 (CPHA = 0) ²	$[t_{SCLK1} - 2]$ 或 $[18]$		ns
t_{SPITDM}	顺序传输延迟时间 ^{2,4}	$[t_{SCLK1} - 1]$ 或 $[19]$		ns
$t_{DDSPIDM}$	SPIx_CLK边沿到数据输出有效 (数据输出延迟)		2.6	ns
$t_{HDSPIDM}$	SPIx_CLK边沿到数据输出无效 (数据输出保持)	-1.5		ns

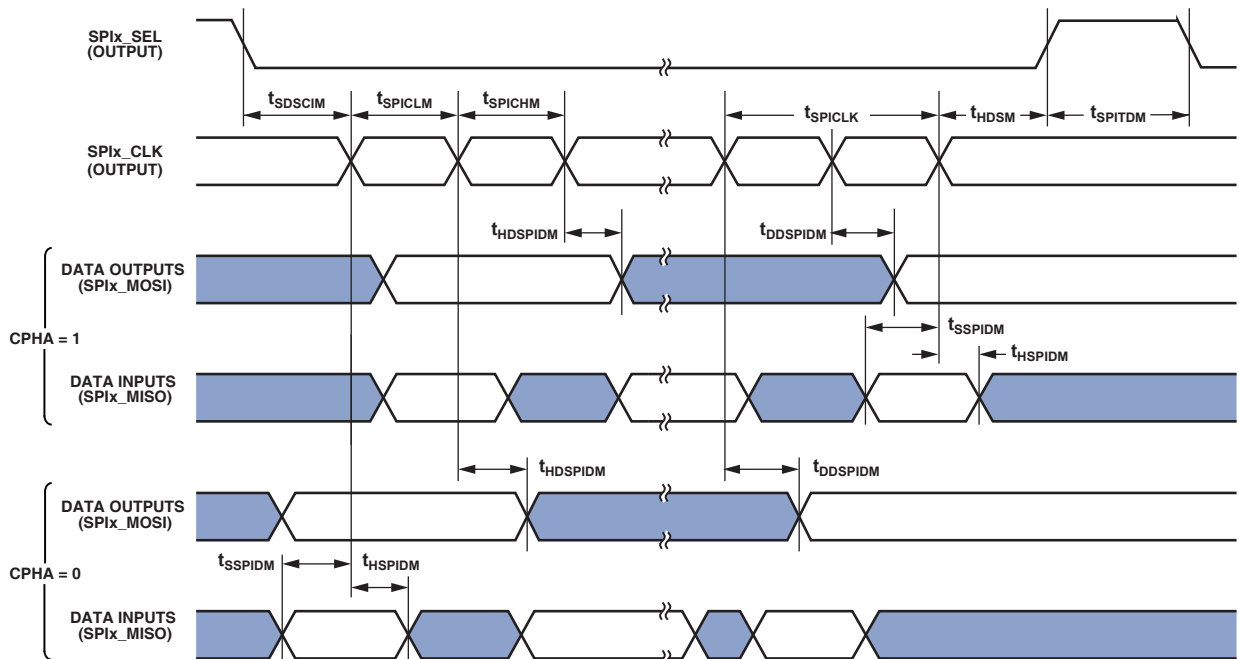
¹ 所有规格仅适用于 SPI2。² 以其中较大者为准。³ 关于可供 $t_{SPICLKPROG}$ 编程的最小周期的详细情况，参见第 58 页上的表 27“时钟相关工作条件”。⁴ 适用于 $STOP \geq 1$ 的顺序模式。

图37. 串行外设接口 (SPI) 端口—主机时序

串行外设接口 (SPI) 端口—从机时序

表 62 和图 38 描述串行外设接口 (SPI) 端口从机操作。请注意:

- 在双通道模式数据发射下, SPIx_MOSI信号也是输出。
- 在四通道模式数据发射下, SPIx_MOSI、SPIx_D2和SPIx_D3信号也是输出。
- 在双通道模式数据接收下, SPIx_MISO信号也是输入。
- 在四通道模式数据接收下, SPIx_MISO、SPIx_D2和SPIx_D3信号也是输入。
- 在SPI从机模式下, 从外部提供SPI时钟, 称为 $f_{SPICLKEXT}$;

$$t_{SPICLKEXT} = \frac{1}{f_{SPICLKEXT}}$$

- 仅 SPI2 支持四通道模式。

表62. 串行外设接口 (SPI) 端口—从机时序¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数		最小值	最大值	单位
<i>时序要求</i>				
t_{SPICHS}	SPIx_CLK高电平周期 ²	$0.5 \times t_{SPICLKEXT} - 1$		ns
t_{SPICLS}	SPIx_CLK低电平周期 ²	$0.5 \times t_{SPICLKEXT} - 1$		ns
t_{SPICLK}	SPIx_CLK周期 ²	$t_{SPICLKEXT} - 1$		ns
t_{HDS}	最后一个SPIx_CLK边沿到SPIx_SS未置位	5		ns
t_{SPITDS}	顺序传输延迟时间	$t_{SPICLK} - 1$		ns
t_{SDSCI}	SPIx_SS置位到第一个SPIx_CLK边沿	10.5		ns
t_{SSPID}	数据输入有效到SPIx_CLK边沿 (数据输入建立)	2		ns
t_{HSPID}	SPIx_CLK采样沿到数据输入无效	1.6		ns
<i>开关特性</i>				
t_{DSOE}	SPIx_SS置位到数据输出有效	0	14	ns
t_{DSDHI}	SPIx_SS解除置位到数据高阻态	0	12.5	ns
t_{DDSPID}	SPIx_CLK边沿到数据输出有效 (数据输出延迟)		14	ns
t_{HDSPID}	SPIx_CLK边沿到数据输出无效 (数据输出保持)	0		ns

¹ 所有规格都适用于所有三个 SPI。

² 本规格表示外部 SPIx_CLK 上容许占空比变化或抖动所导致的最小瞬时宽度或周期。关于外部 SPIx_CLK 的理想最大频率, 参见第 58 页上的表 27“时钟相关工作条件”中的 $f_{SPICLKEXT}$ 规格。

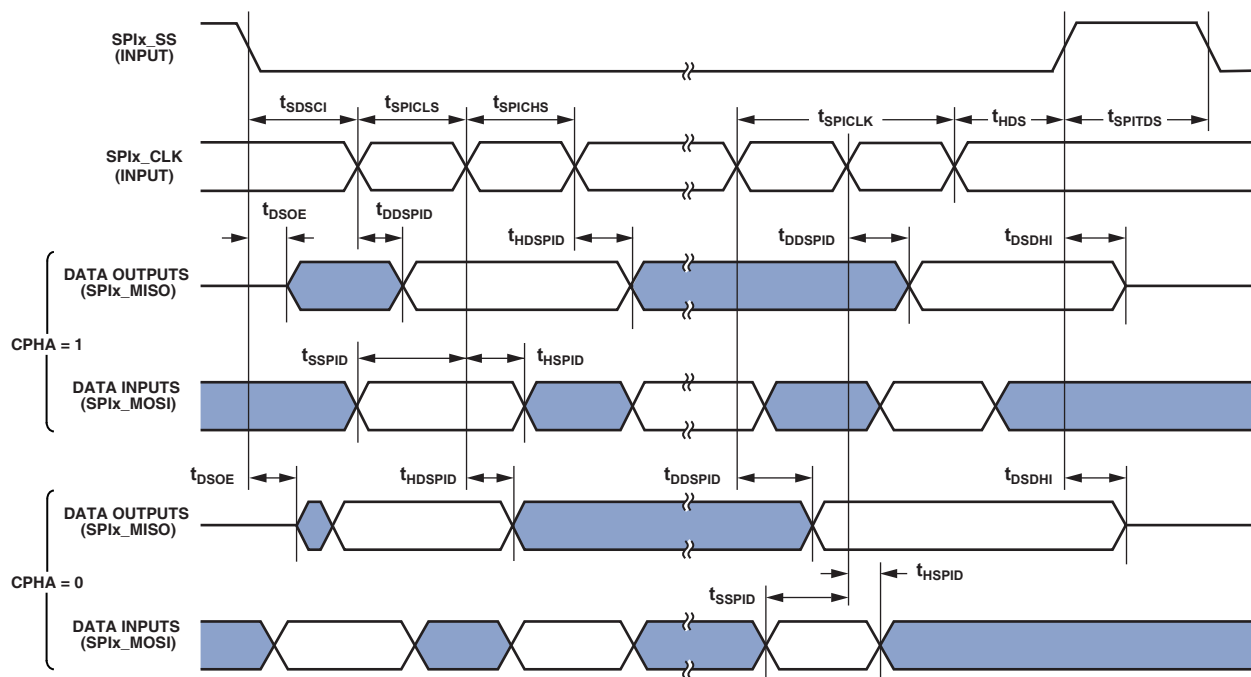


图38. 串行外设接口 (SPI) 端口—从机时序

串行外设接口 (SPI) 端口—SPIx_RDY从机时序

表63. S000PI端口—SPIx_RDY从机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
$t_{\text{DSPISCKRDYSR}}$	自从机模式接收下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间	$3 \times t_{\text{SCLK1}}$	$4 \times t_{\text{SCLK1}} + 10$	ns
$t_{\text{DSPISCKRDYST}}$	自从机模式发送下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间	$4 \times t_{\text{SCLK1}}$	$5 \times t_{\text{SCLK1}} + 10$	ns

¹ 所有规格都适用于所有三个 SPI。

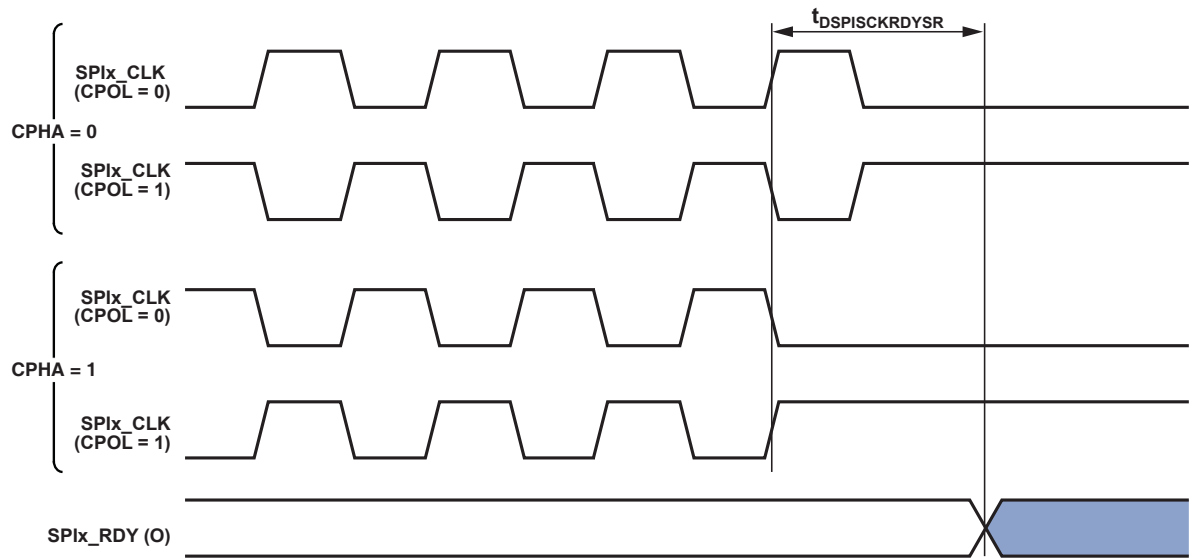


图39. 自从机模式接收下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间 (FCCH = 0)

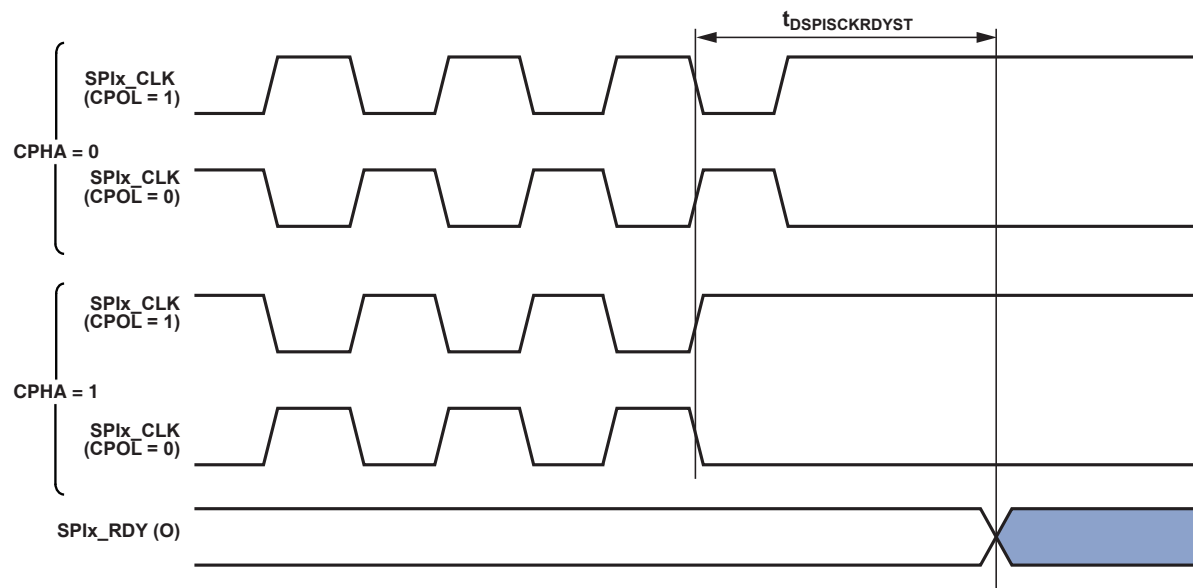


图40. 自从机模式发送下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间 (FCCH = 1)

串行外设接口 (SPI) 端口—开漏模式时序

在图 41 和图 42 中，输出可能是 SPIx_MOSI、SPIx_MISO、SPIx_D2 和/或 SPIx_D3，具体取决于工作模式。

表64. SPI端口ODM主机模式时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
$t_{\text{HDSPIODMM}}$ SPIx_CLK边沿到高阻抗（从数据输出有效起）	-1		ns
$t_{\text{DSDPIODMM}}$ SPIx_CLK边沿到数据输出有效（从高阻抗起）	-1	6	ns

¹ 所有规格都适用于所有三个 SPI。

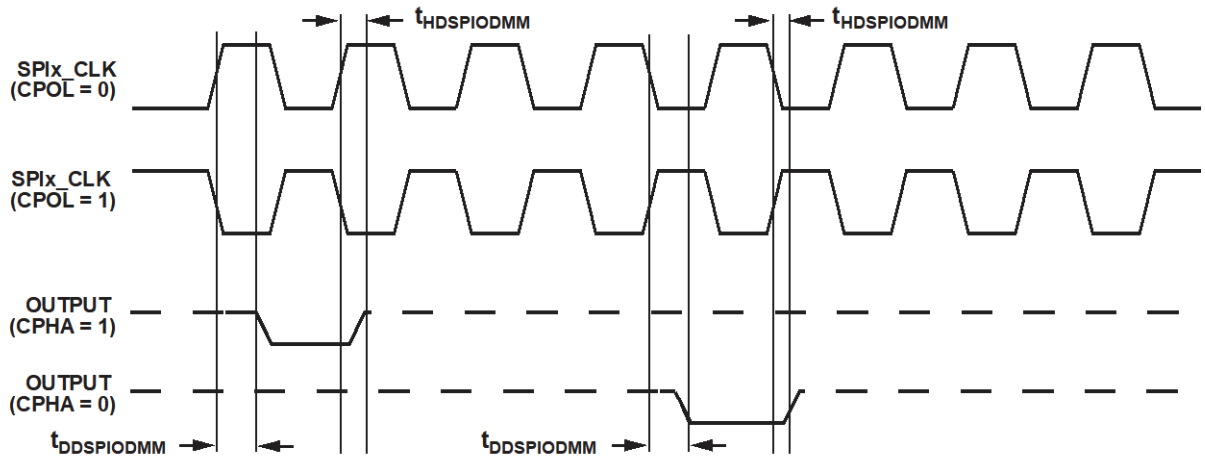


图41. ODM主机

表65. SPI端口—ODM从机模式¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
$t_{\text{HDSPIODMS}}$ SPIx_CLK边沿到高阻抗（从数据输出有效起）	0		ns
$t_{\text{DSDPIODMS}}$ SPIx_CLK边沿到数据输出有效（从高阻抗起）		11	ns

¹ 所有规格都适用于所有三个 SPI。

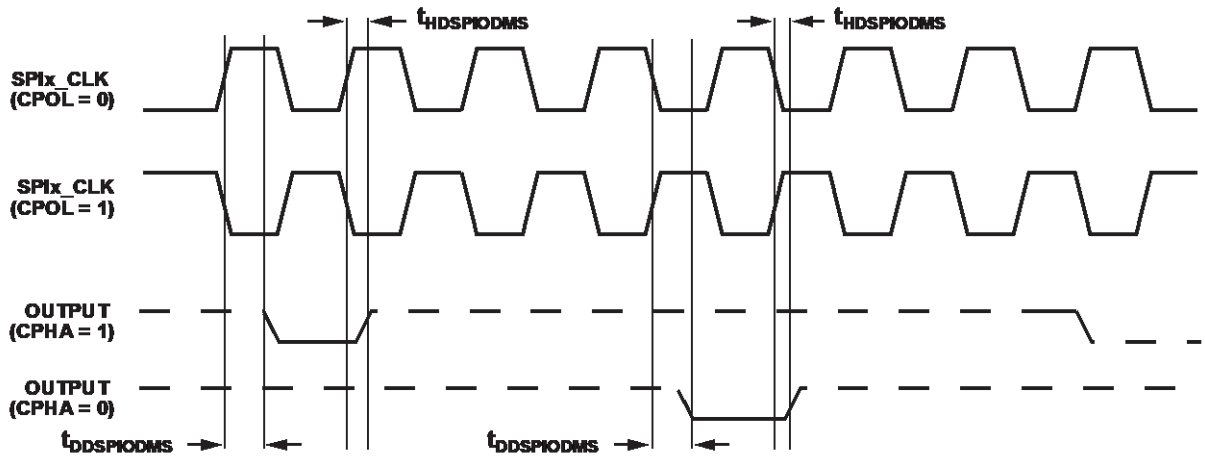


图42. ODM从机

串行外设接口 (SPI) 端口—SPIx_RDY主机时序

SPIx_RDY 用来提供流量控制。CPOL 和 CPHA 位在 SPIx_CTL 中设置，而 LEADX、LAGX 和 STOP 在 SPIx_DLY 中设置。

表66. SPI端口—SPIx_RDY主机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
tSRDYSCKM0	主机模式下有效数据传输最后一个SPIx_CLK边沿之前SPIx_RDY解除置位的最小建立时间，阻止后续传输 (CPHA = 0)	$(2 + 2 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$		ns
tSRDYSCKM1	主机模式下有效数据传输最后一个SPIx_CLK边沿之前SPIx_RDY解除置位的最小建立时间，阻止后续传输 (CPHA = 1)	$(2 + 2 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$		ns
开关特性				
tSRDYSCKM	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 0且BAUD = 0 (STOP、LEAD、LAG = 0)	$4.5 \times t_{\text{SCLK1}}$	$5.5 \times t_{\text{SCLK1}} + 10$	ns
	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 1且BAUD = 0 (STOP、LEAD、LAG = 0)	$4 \times t_{\text{SCLK1}}$	$5 \times t_{\text{SCLK1}} + 10$	ns
	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 0且BAUD ≥ 1 (STOP、LEAD、LAG = 0)	$(1 + 1.5 \times \text{BAUD}^2) \times t_{\text{SCLK1}}$	$(2 + 2.5 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$	ns
	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 1且BAUD ≥ 1 (STOP、LEAD、LAG = 0)	$(1 + 1 \times \text{BAUD}^2) \times t_{\text{SCLK1}}$	$(2 + 2 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$	ns

¹ 所有规格都适用于所有三个 SPI。

² BAUD 值用 SPIx_CLK.BAUD 位设置。BAUD 值 = SPIx_CLK.BAUD 位 + 1。

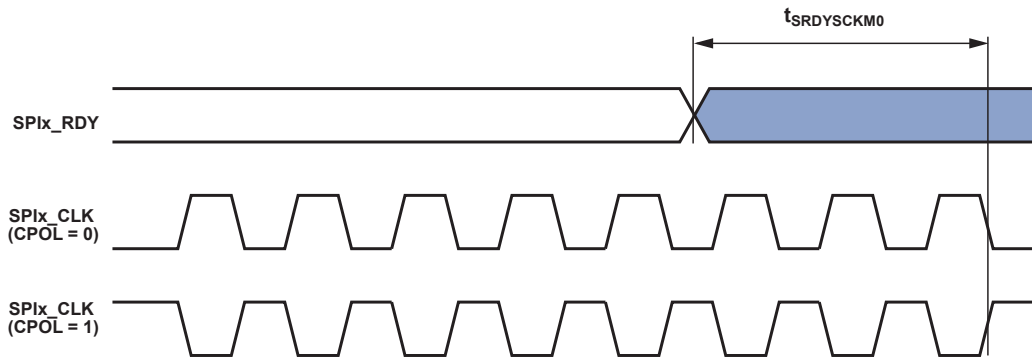


图43. SPIx_CLK之前的SPIx_RDY建立时间 (CPHA = 0)

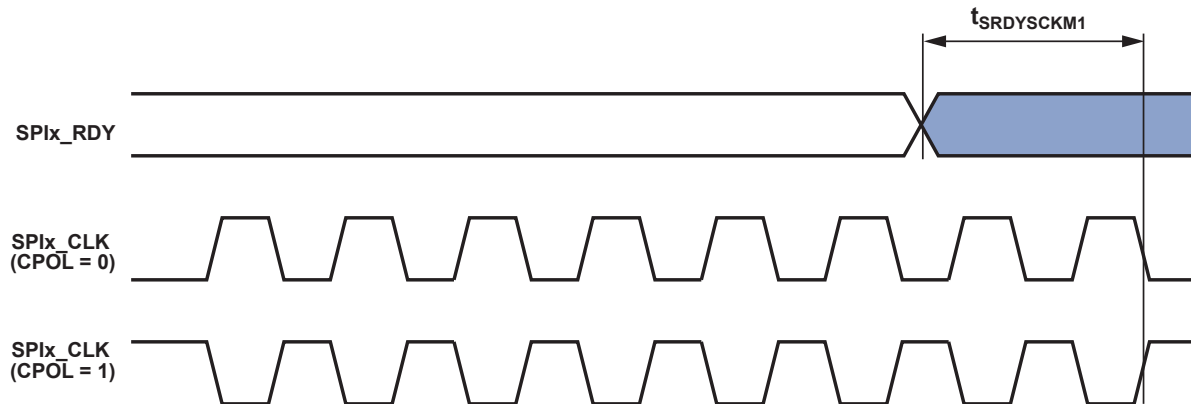


图44. SPIx_CLK之前的SPIx_RDY建立时间 (CPHA = 1)

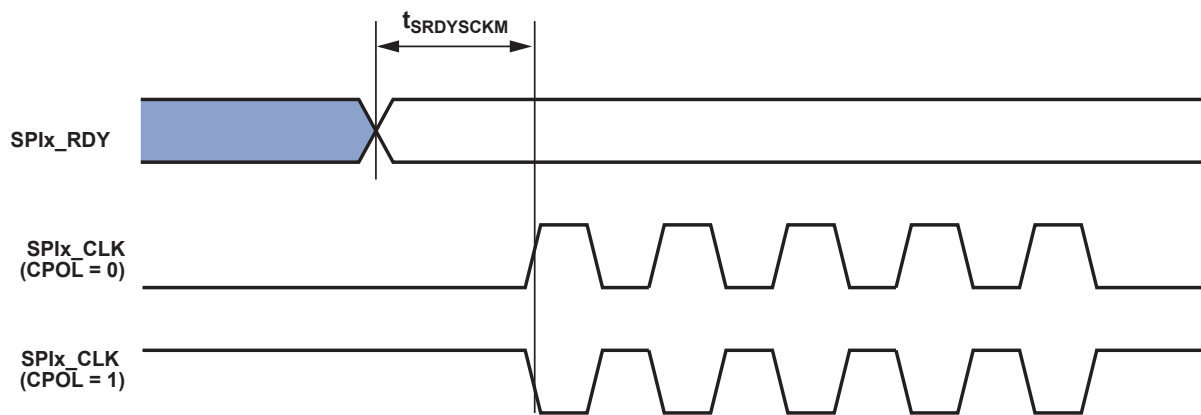


图45. SPIx_RDY置位之后的SPIx_CLK开关图 (CPHA = x)

精密时钟发生器（引脚直接路由）

此时序仅在 SRU 配置如下时有效：精密时钟发生器（PCG）直接从 DAI 引脚（通过引脚缓冲器）获得输入，并将输出直接发送到 DAI 引脚。对于其它情况，如果 PCG 的输入和输出不是直接路由至/从 DAI 引脚（通过引脚缓冲器），则无时序数据可用。所有时序参数和开关特性均适用于外部 DAI 引脚（DAI0_PIN20-1）。

表67. 精密时钟发生器（引脚直接路由）

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{PCGIP}	输入时钟周期	$t_{CLK} \times 2$		ns
t_{STRIG}	PCG输入时钟下降沿之前的PCG触发建立时间	4.5		ns
t_{HTRIG}	PCG输入时钟下降沿之后的PCG触发保持时间	3		ns
开关特性				
t_{DPCGIO}	PCG输入时钟之后的PCG输出时钟和帧同步有效沿延迟时间	2.5	13.5	ns
$t_{DTRIGCLK}$	PCG触发之后的PCG输出时钟延迟时间	$2.5 + (2.5 \times t_{PCGIP})$	$13.5 + (2.5 \times t_{PCGIP})$	ns
$t_{DTRIGFS}$	PCG触发之后的PCG帧同步延迟时间	$2.5 + ((2.5 + D - PH) \times t_{PCGIP})$	$13.5 + ((2.5 + D - PH) \times t_{PCGIP})$	ns
t_{PCGOW}^1	输出时钟周期	$2 \times t_{PCGIP} - 1$		ns

$D = FS \times DIV$, $PH = FS \times PHASE$ 。更多信息请参阅硬件参考手册的“精密时钟发生器”章节。

¹ 正常工作模式。

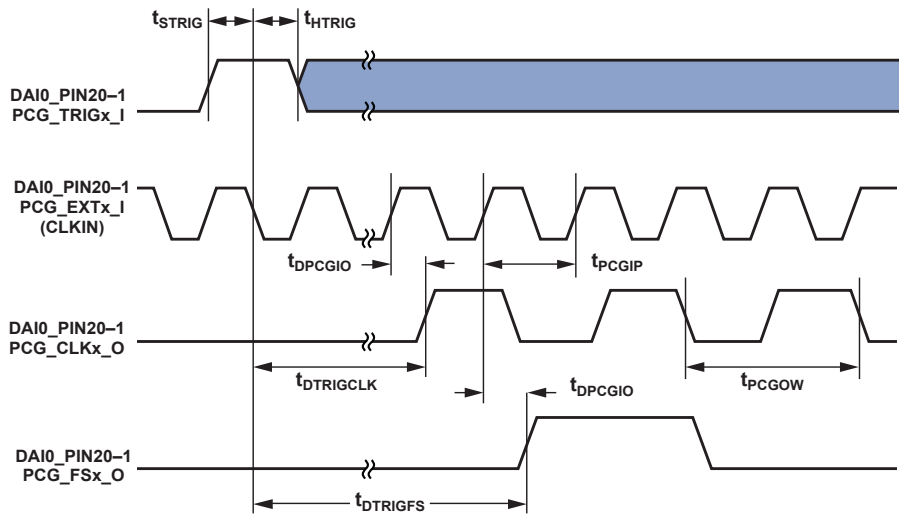


图46. 精密时钟发生器（引脚直接路由）

通用IO端口时序

表 68 和图 47 描述与通用端口 (PORT) 相关的 I/O 时序。

表68. 通用端口时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{WFI} 通用端口引脚输入脉冲宽度	$2 \times t_{SCLK0} - 1.5$		ns

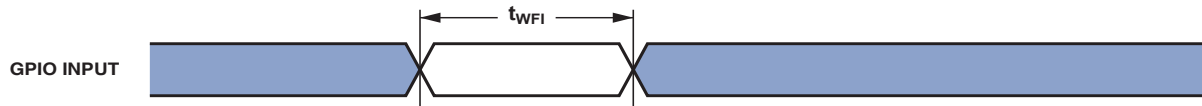


图47. 通用端口时序

GPIO定时器周期时序

表 69、表 70 和图 48 描述与通用定时器 (TIMER) 相关的定时器过期操作。输入信号在“宽度捕捉模式”和“外部时钟模式”下是异步的，并具有 $(f_{SCLK}/4)$ MHz 的绝对最大输入频率。宽度值为在 `TMx_TMRn_WIDTH` 寄存器中指定的定时器周期，范围为 1 至 $2^{32} - 1$ 。注意，若通过外部产生，则 TMR 时钟称为 $f_{TMRCLKEXT}$ ：

$$t_{TMRCLKEXT} = \frac{1}{f_{TMRCLKEXT}}$$

表69. 定时器周期时序（内部模式）

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{WL} 定时器脉冲宽度输入低电平（用SCLK周期衡量） ¹	$2 \times t_{SCLK}$		ns
t_{WH} 定时器脉冲宽度输入高电平（用SCLK周期衡量） ¹	$2 \times t_{SCLK}$		ns
开关特性			
t_{HTO} 定时器脉冲宽度输出（测量单位为SCLK周期） ²	$t_{SCLK} \times WIDTH - 1.5$	$t_{SCLK} \times WIDTH + 1.5$	ns

¹ 最小脉冲宽度适用于宽度捕捉和外部时钟模式下的 TMx 信号。

² WIDTH 指代 `TMRx_WIDTH` 寄存器中的值（可在 1 至 $2^{32} - 1$ 范围内变化）。

表70. 定时器周期时序（外部模式）

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{WL} 定时器脉冲宽度输入低电平（用EXT_CLK周期衡量） ¹	$2 \times t_{EXT_CLK}$		ns
t_{WH} 定时器脉冲宽度输入高电平（用EXT_CLK周期衡量） ¹	$2 \times t_{EXT_CLK}$		ns
t_{EXT_CLK} 定时器外部时钟周期 ²	$t_{TMRCLKEXT}$		ns
开关特性			
t_{HTO} 定时器脉冲宽度输出（测量单位为EXT_CLK周期） ³	$t_{EXT_CLK} \times WIDTH - 1.5$	$t_{EXT_CLK} \times WIDTH + 1.5$	ns

¹ 最小脉冲宽度适用于宽度捕捉和外部时钟模式下的 TMx 信号。

² 本规格表示外部 TMR_CLK 上容许占空比变化或抖动所导致的最小瞬时宽度或周期。关于外部 TMR_CLK 的最大频率，参见表 27 的“时钟相关工作条件”中的 $f_{TMRCLKEXT}$ 规格。

³ WIDTH 指代 `TMRx_WIDTH` 寄存器中的值（可在 1 至 $2^{32} - 1$ 范围内变化）。

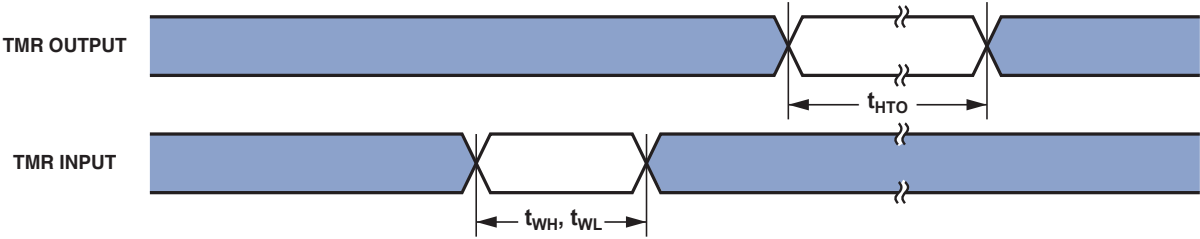


图48. 定时器周期时序

DAI0引脚到DAI0引脚直接路由

表 71 和图 49 描述与数字音频接口 (DAI) 相关的 I/O 时序。仅限引脚直接连接（例如 DAI0_PB01_I 到 DAI0_PB02_O）。

表71. DAI/DAI引脚到引脚路由

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{DPPIO} 延迟DAI引脚输入有效到DAI输出有效	1.5	12	ns

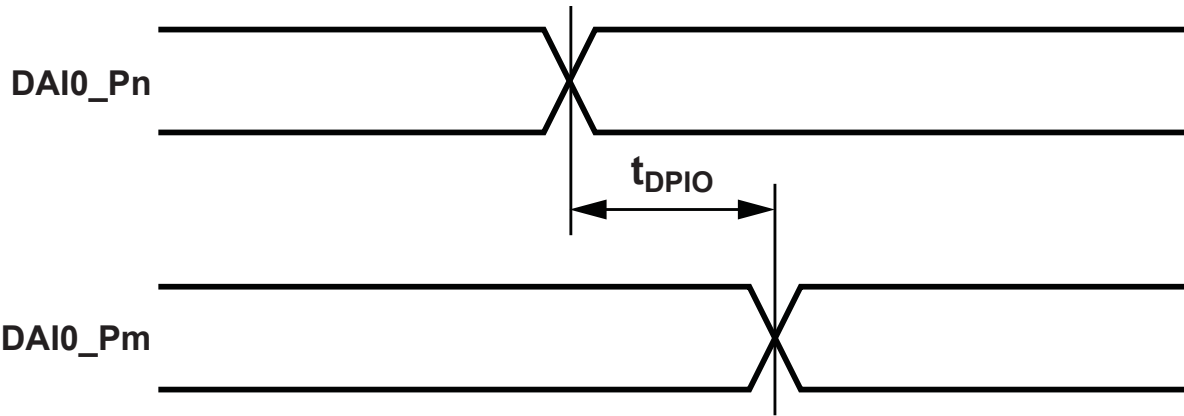


图49. DAI引脚到引脚直接路由

升/降计数器/旋转编码器时序

表 72 和图 50 描述与通用计数器 (CNT) 相关的时序。

表72. 升/降计数器/旋转编码器时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{WCOUNT} 升/降计数器/旋转编码器输入脉冲宽度	$2 \times t_{sCLK0}$		ns

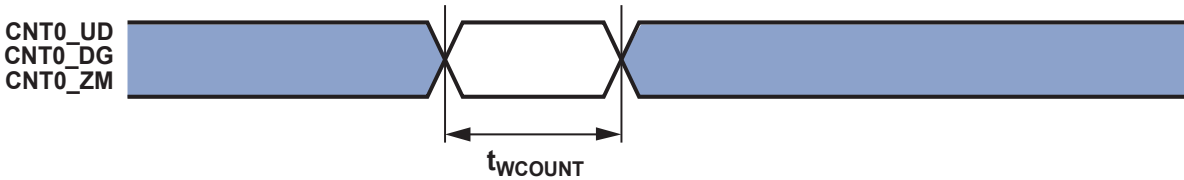


图50. 升/降计数器/旋转编码器时序

ADC控制器模块 (ACM) 时序

表 73 和图 51 描述 ADC 控制模块 (ACM) 操作。

若通过内部产生，则编程 ACM 时钟 (f_{ACLKPROG}) 频率 (单位: MHz) 由下式确定; 其中, CKDIV 是 ACM_TC0 寄存器中的字段, 设置范围为 1 至 255;

$$f_{\text{ACLKPROG}} = \frac{f_{\text{SCLK1}}}{\text{CKDIV} + 1}$$
$$t_{\text{ACLKPROG}} = \frac{1}{f_{\text{ACLKPROG}}}$$

表 73 中的建立周期 (SC) 也是 ACM_TC0 寄存器的一个字段, 设置范围是 0 到 4095。保持周期 (HC) 是 ACM_TC1 寄存器的一个字段, 设置范围是 0 到 15。

表73.ACM时序

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
时序要求				
t _{SDR}	ACMx_CLK之前的SPORT DRxPRI/DRxSEC建立时间	3.5		ns
t _{HDR}	ACMx_CLK之后的SPORT DRxPRI/DRxSEC保持时间	1.5		ns
开关特性				
t _{SCTLCS}	置位之前的ACM控制 (ACMx_A[4:0]) 建立时间 $\overline{\text{CS}}$	$(\text{SC} + 1) \times t_{\text{SCLK1}} - 3$		ns
t _{HCTLCS}	解除置位之后的ACM控制 (ACMx_A[4:0]) 保持时间 $\overline{\text{CS}}$	$\text{HC} \times t_{\text{ACLKPROG}} - 1$		ns
t _{ACLKW}	ACM时钟脉冲宽度 ¹	$(0.5 \times t_{\text{ACLKPROG}}) - 1.5$		ns
t _{ACLK}	ACM时钟周期 ¹	$t_{\text{ACLKPROG}} - 1.5$		ns
t _{HCSACLK}	$\overline{\text{CS}}$ 保持到ACMx_CLK边沿	-2.5		ns
t _{SCSACLK}	$\overline{\text{CS}}$ 建立到ACMx_CLK边沿	$t_{\text{ACLKPROG}} - 3.5$		ns

¹ 关于可供 t_{ACLKPROG} 编程的最小周期的详细情况，参见第 58 页上的表 27“时钟相关工作条件”。

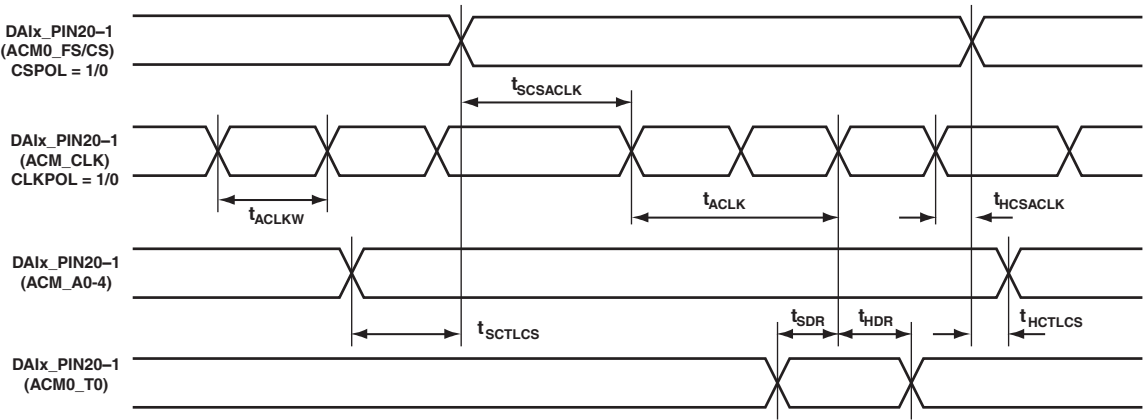


图51. ACM时序

通用异步接收器-发送器 (UART) 端口—接收和发送时序

通用异步接收器-发送器 (UART) 端口的接收和发送操作参见硬件参考手册。

控制器区域网络 (CAN) 接口

控制器区域网络 (CAN) 接口时序参见硬件参考手册。

通用串行总线 (USB) OTG—接收和发送时序

表 74 描述通用串行总线 (USB) OTG 接收和发送操作。

表74. USB OTG—接收和发送时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
f _{USBS}	USB_XI频率	24	24	MHz
f _{SUSB}	USB_XI时钟频率稳定性	-50	+50	ppm

10/100/1000千兆以太网MAC控制器 (EMAC) 时序

表 75 至表 79 和图 52 至图 56 描述以太网 MAC 控制器 (EMAC) 操作。

表75. 以太网MAC控制器 (EMAC) 时序：RMII接收信号

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数 ¹	最小值	最大值	单位
时序要求			
$t_{REFCLKF}$ ETH0_REFCLK频率 (f_{SCLK0} = SCLK0频率)	无	50 + 1%	MHz
$t_{REFCLKW}$ ETH0_REFCLK宽度 (t_{REFCLK} = ETH0_REFCLK周期)	$t_{REFCLK} \times 35\%$	$t_{REFCLK} \times 65\%$	ns
$t_{REFCLKIS}$ Rx输入有效到RMII ETH0_REFCLK上升沿 (数据输入建立)	1.75		ns
$t_{REFCLKIH}$ RMII ETH0_REFCLK上升沿到Rx输入无效 (数据输入保持)	1.6		ns

¹ 与 RMII REF_CLK 同步的 RMII 输入有 ERxD1-0、RMII CRS_DV 和 ERxER。

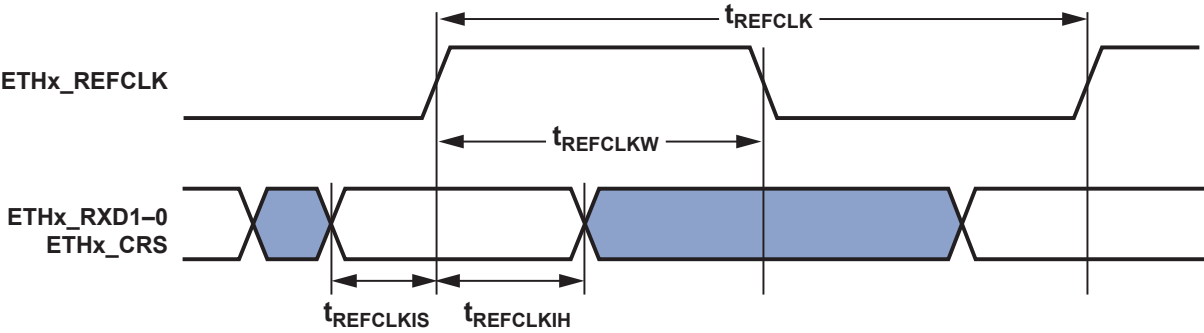


图52. 以太网MAC控制器时序：RMII接收信号

表76. 以太网MAC控制器 (EMAC) 时序：RMII发送信号

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数 ¹	最小值	最大值	单位
开关特性			
$t_{REFCLKOV}$ RMII ETH0_REFCLK上升沿至发送输出有效 (数据输出有效)		11.9	ns
$t_{REFCLKOH}$ RMII ETH0_REFCLK上升沿至发送输出无效 (数据输出保持)	2		ns

¹ 与 RMII REF_CLK 同步的 RMII 输出有 ETxD1-0。

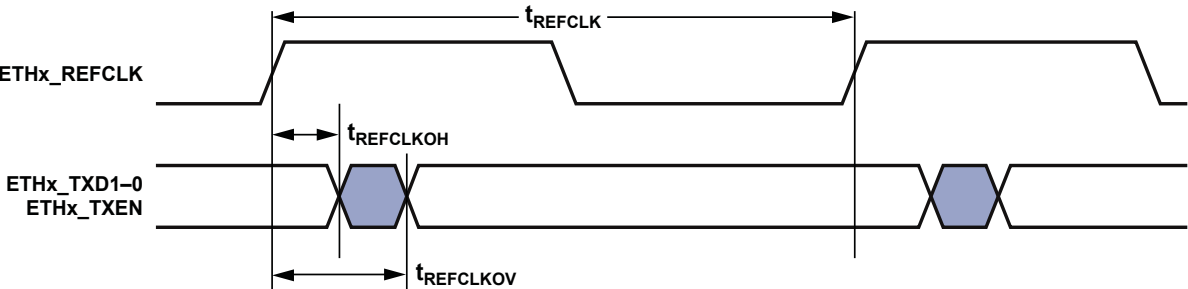


图53. 以太网MAC控制器时序：RMII发送信号

表77. 以太网MAC控制器 (EMAC) 时序: RMII站管理

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数 ¹		最小值	最大值	单位
时序要求				
t _{MDIOS}	ETH0_MDIO输入有效到ETHx_MDC上升沿 (建立)	12.6		ns
t _{MDCIH}	ETH0_MDC上升沿到ETHx_MDIO输入无效 (保持)	0		ns
开关特性				
t _{MDCOV}	ETH0_MDC下降沿到ETHx_MDIO输出有效		t _{SCLK0} + 2	ns
t _{MDCOH}	ETH0_MDC下降沿到ETHx_MDIO输出无效 (保持)	t _{SCLK0} -2.9		ns

¹ ETH0_MDC/ETH0_MDIO 是一个双线串行双向端口，用于控制一个或多个外部 PHY。ETH0_MDC 是一个输出时钟，其最小周期可设置为系统时钟 SCLK0 的倍数。ETH0_MDIO 是双向数据线。

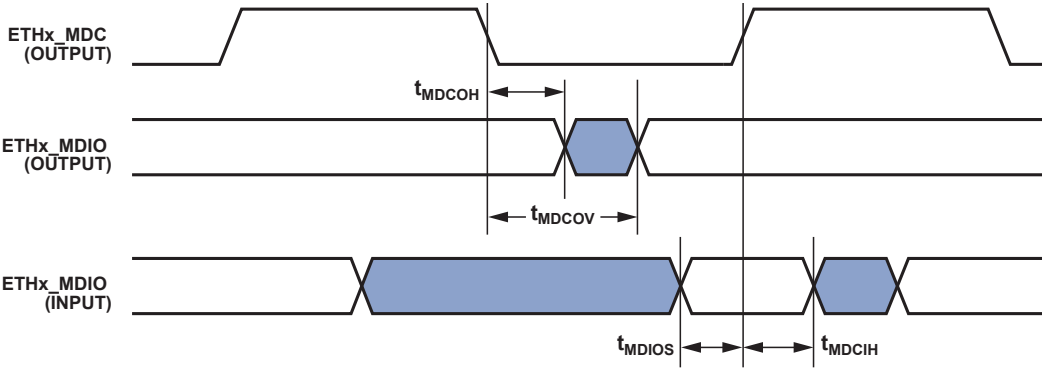


图54. 以太网MAC控制器时序: RMII站管理

表78. 以太网MAC控制器 (EMAC) 时序：MII接收信号

参数 ¹		V _{DDEXT} 1.8V标称值		V _{DDEXT} 2.5 V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
t _{ERXCLKF}	ERxCLK频率 (f _{SCLK} = SCLK频率)	无	25 + 1%	无	25 + 1%	MHz
t _{ERXCLKW}	ERxCLK宽度 (t _{ERXCLK} = ERxCLK周期)	t _{ERXCLK} × 40%	t _{ERXCLK} × 60%	t _{ERXCLK} × 35%	t _{ERXCLK} × 65%	ns
t _{ERXCLKIS}	接收输入有效到ERxCLK上升沿 (数据输入建立)	7.5		7.5		ns
t _{ERXCLKIH}	ERxCLK上升沿到接收输入无效 (数据输入保持)	7.5		7.5		ns

¹ 与 ERxCLK 同步的 MII 输入有 ERxD3-0、ERxDV 和 ERxER。

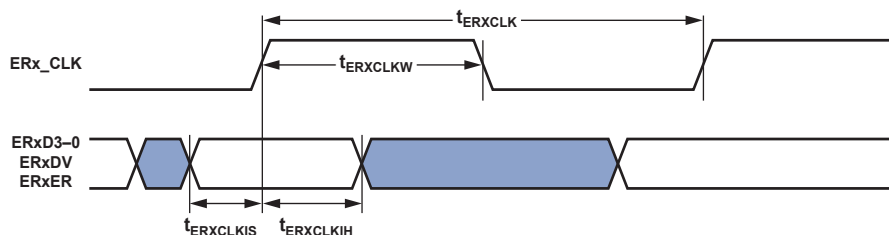


图55. 以太网MAC控制器时序：MII接收信号

表79. 以太网MAC控制器 (EMAC) 时序：MII发送信号

参数 ¹		V _{DDEXT} 1.8V标称值		V _{DDEXT} 2.5 V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
开关特性						
t _{ETXCLKF}	ETxCLK频率 (f _{SCLK} = SCLK频率)	无	25 + 1%	无	25 + 1%	MHz
t _{ETXCLKW}	ETxCLK宽度 (t _{ETXCLK} = ETxCLK周期)	t _{ETXCLK} × 40%	t _{ETXCLK} × 60%	t _{ETXCLK} × 35%	t _{ETXCLK} × 65%	ns
t _{ETXCLKOV}	ETxCLK上升沿至发送输出有效 (数据输出有效)		20		20	ns
t _{ETXCLKOH}	ETxCLK上升沿至发送输出无效 (数据输出保持)	0		0		ns

¹ 与 ETxCLK 同步的 MII 输出有 ETxD3-0。

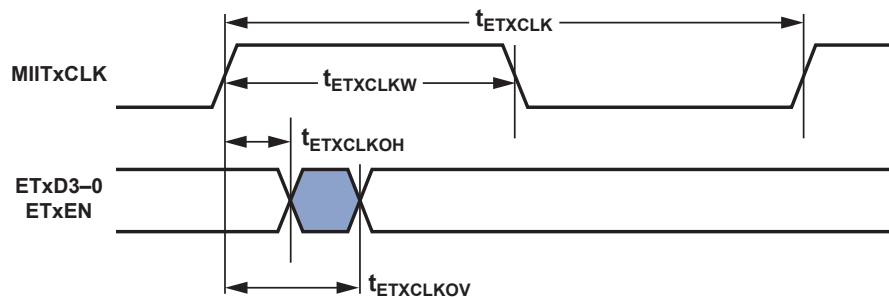


图56. 以太网MAC控制器时序：MII发送信号

千兆以太网MAC控制器 (EMAC) 时序

表 80 和图 57 描述千兆以太网 MAC 控制器 (EMAC) 时序。

表80. 千兆以太网MAC控制器 (EMAC) 时序: RGMII

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
TsetupR	接收器的数据到时钟输入建立时间	1		ns
TholdR	接收器的数据到时钟输入保持时间	1		ns
t _{GRECLKF}	RGMII接收器时钟周期	8		ns
t _{GRECLKW}	RGMII接收时钟脉冲宽度	4		ns
开关特性				
TskewT_min	发送器的数据到时钟输出偏斜最小值	-0.5		ns
TskewT_max	发送器的数据到时钟输出偏斜最大值		0.5	ns
Tcyc	时钟周期持续时间	7.2	8.8	ns
Duty_G	千兆占空比最小值	0.45 × 8	0.55 × 8	ns

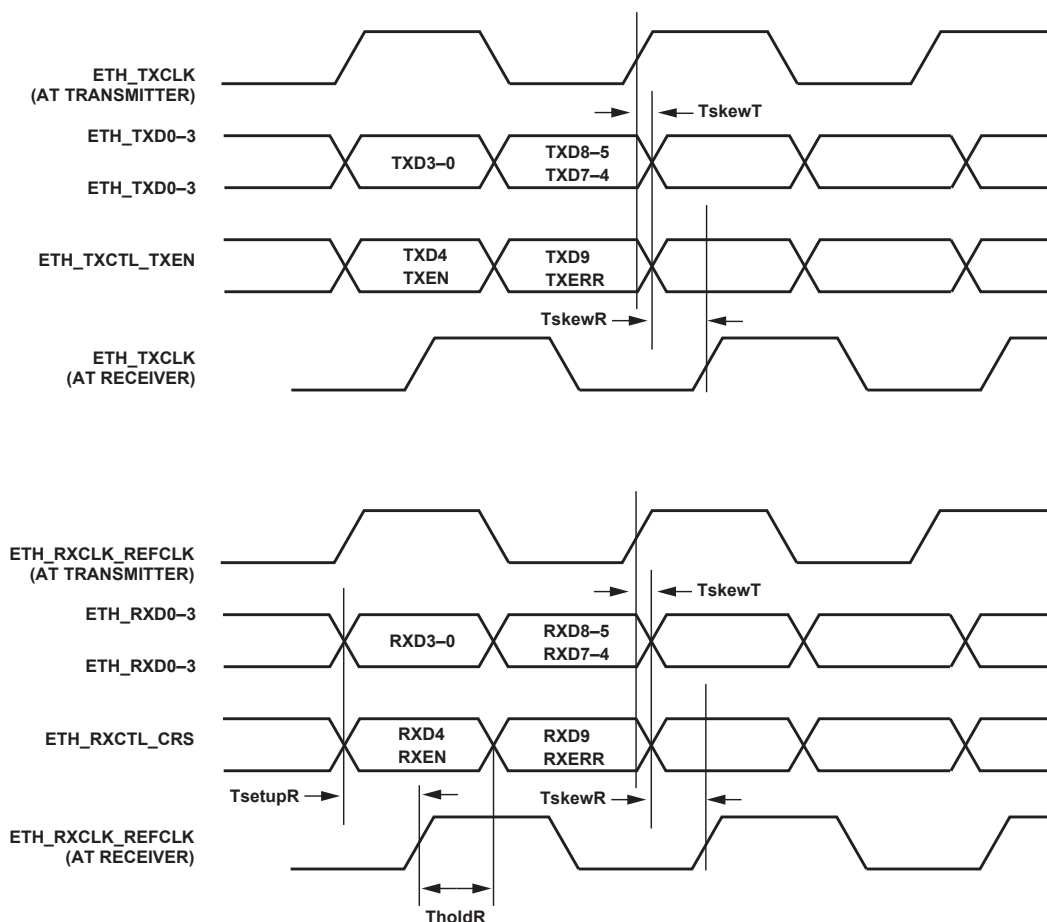


图57. 千兆以太网MAC控制器时序: RGMII

索尼/飞利浦数字接口 (S/PDIF) 发送器

S/PDIF 发送器的串行数据输入可以格式化为左对齐、I²S 或右对齐，字宽为 16、18、20 或 24 位。以下部分提供发送器的时序。

S/PDIF发送器—串行输入波形

图 58 显示右对齐模式。对于左声道，帧同步为高电平；对于右声道，帧同步为低电平。数据在串行时钟的上升沿有效。MSB 在 24 位输出模式下延迟最短时间，在 16 位输出模式下延迟最长时间（相对于帧同步转换），因此，当每个帧同步周期具有 64 个串行时钟周期时，数据的 LSB 与下一帧同步转换右对齐。

表81. S/PDIF发送器右对齐模式

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	标称值	单位
时序要求		
t_{RJD} 右对齐模式下帧同步到MSB延迟时间		
16位字模式	16	SCLK
18位字模式	14	SCLK
20位字模式	12	SCLK
24位字模式	8	SCLK

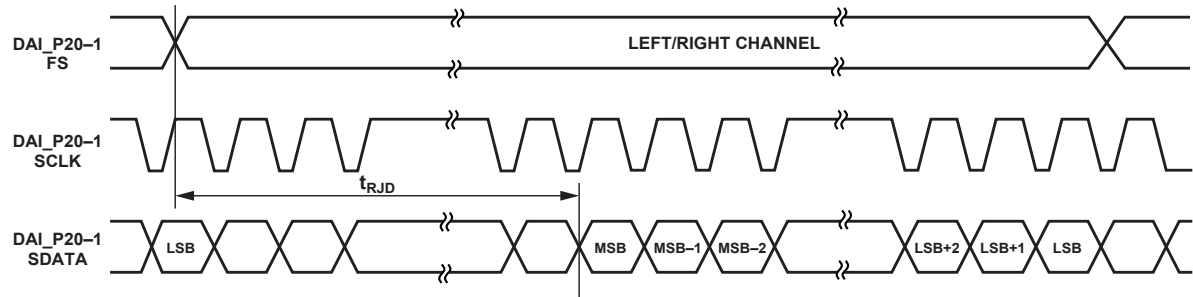


图58. 右对齐模式

图 59 显示默认 I²S 对齐模式。对于左声道，帧同步为低电平；对于右声道，帧同步为高电平。数据在串行时钟的上升沿有效。MSB 与帧同步转换左对齐，但有延迟。

表82. S/PDIF发送器I²S模式

所有规格均基于仿真数据，如有更改，恕不另行通知。		
参数	标称值	单位
时序要求		
t _{I2SD} I ² S模式下帧同步到MSB延迟时间	1	SCLK

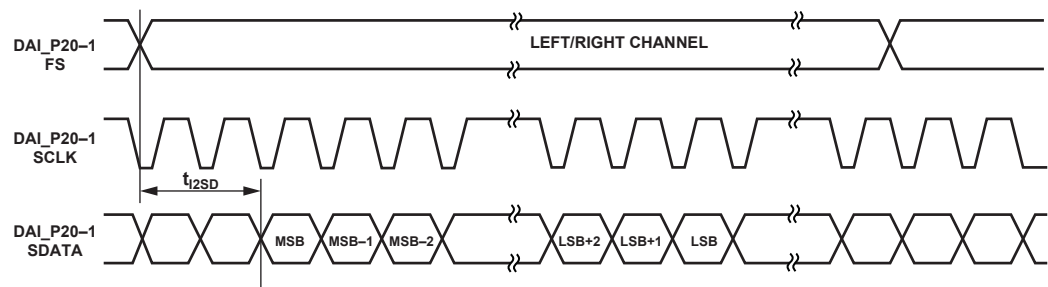


图59. I²S对齐模式

图 60 显示左对齐模式。对于左声道，帧同步为高电平；对于右声道，帧同步为低电平。数据在串行时钟的上升沿有效。MSB 与帧同步转换左对齐，无延迟。

表83. S/PDIF发送器左对齐模式

所有规格均基于仿真数据，如有更改，恕不另行通知。		
参数	标称值	单位
时序要求		
t _{LJD} 左对齐模式下帧同步到MSB延迟时间	0	SCLK

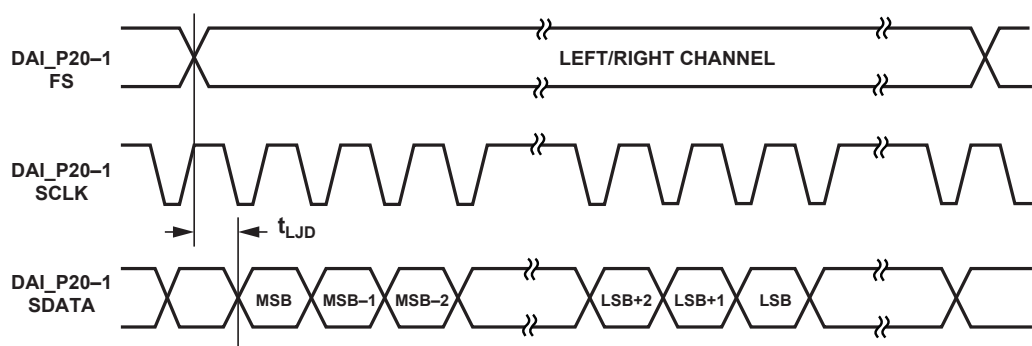


图60. 左对齐模式

S/PDIF发送器输入数据时序

S/PDIF 发送器的时序要求如表 84 所示。输入信号通过 SRU 路由至 DAI0_Pin20-1 引脚。因此，下面提供的时序规格在 DAI0_Pin20-1 引脚上有效。

表84. S/PDIF发送器输入数据时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{SISFS}^1	串行时钟上升沿之前帧同步建立时间	3		ns
t_{SIHFS}^1	串行时钟上升沿之后帧同步保持时间	3		ns
t_{SISD}^1	串行时钟上升沿之前数据建立时间	3		ns
t_{SIHD}^1	串行时钟上升沿之后数据保持时间	3		ns
$t_{SITXCLKW}$	发送时钟宽度	9		ns
$t_{SITXCLK}$	发送时钟周期	20		ns
$t_{SISCLKW}$	时钟宽度	36		ns
t_{SISCLK}	时钟周期	80		ns

¹ 串行时钟、数据和帧同步信号可来自任意 DAI 引脚。串行时钟和帧同步信号也可以通过 PCG 或 SPORT 提供。PCG 的输入可以是 CLKIN 或任意 DAI 引脚。

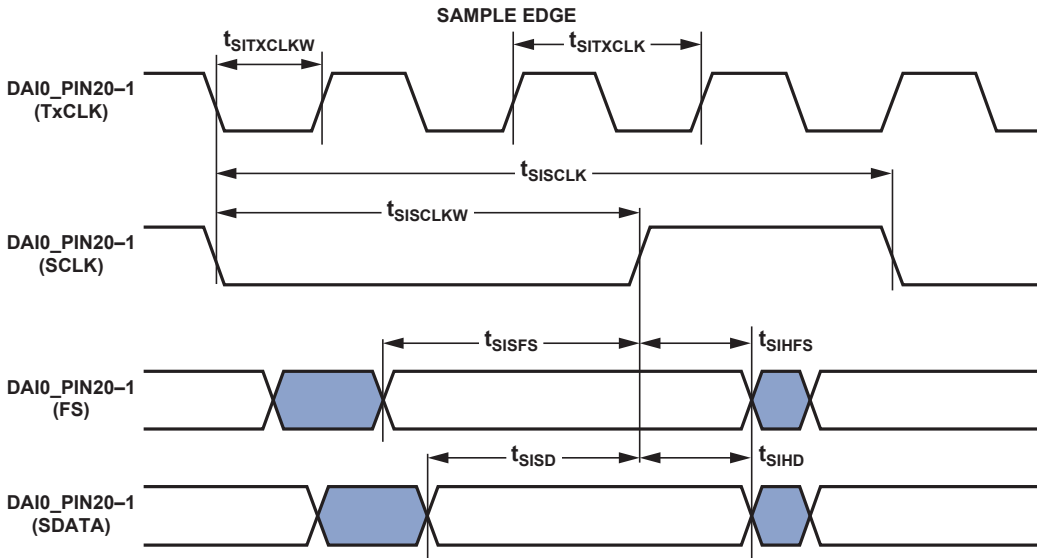


图61. S/PDIF发送器输入时序

索尼/飞利浦数字接口 (S/PDIF) 接收器

以下部分说明 S/PDIF 接收器相关的时序。

内部数字PLL模式

在内部数字锁相环模式下，内部 PLL（数字 PLL）产生 $512 \times \text{FS}$ 时钟。

表85. S/PDIF接收器内部数字PLL模式时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
t_{DFSi}	串行时钟之后帧同步延迟时间		5	ns
t_{HOFSi}	串行时钟之后帧同步保持时间	-2		ns
t_{DDTi}	串行时钟之后发送数据延迟时间		5	ns
t_{HDTi}	串行时钟之后发送数据保持时间	-2		ns

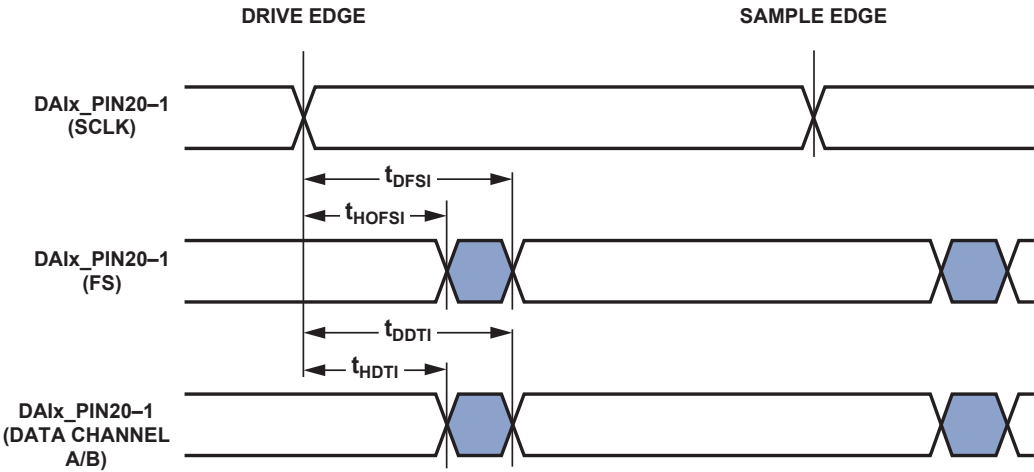


图62. S/PDIF接收器内部数字PLL模式时序

媒体局部总线 (MLB)

除非另有说明，给出的所有数值适用于 3 引脚的媒体局部总线 (MLB) 的所有速度模式 (1024 FS、512 FS 和 256 FS)。更多信息请参阅媒体局部总线规范 4.2 版。

表86. MLB接口，3引脚规格

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	典型值	最大值	单位
t_{MLBCLK}	MLB时钟周期				
	1024 FS		20.3		ns
	512 FS		40		ns
	256 FS		81		ns
t_{MCKL}	MLBCLK低电平时间				
	1024 FS	6.1			ns
	512 FS	14			ns
	256 FS	30			ns
t_{MCKH}	MLBCLK高电平时间				
	1024 FS	9.3			ns
	512 FS	14			ns
	256 FS	30			ns
t_{MCKR}	MLBCLK上升时间 (V_{IL} 至 V_{IH})				
	1024 FS			1	ns
	512 FS/256 FS			3	ns
t_{MCKF}	MLBCLK下降时间 (V_{IH} 至 V_{IL})				
	1024 FS			1	ns
	512 FS/256 FS			3	ns
t_{MPWV}^1	MLBCLK脉冲宽度变化				
	1024 FS			0.7	nspp
	512 FS/256			2.0	nspp
t_{DSMCF}	DAT/SIG输入建立时间	1			ns
t_{DHMCF}	DAT/SIG输入保持时间	2			ns
t_{MCFDZ}	DAT/SIG输出时间至三态	0		15	ns
t_{MCDRV}	自MLBCLK上升沿起的DAT/SIG输出数据延迟时间			8	ns
t_{MDZH}^2	总线保持时间				
	1024 FS	2			ns
	512 FS/256	4			ns
C_{MLB}	DAT/SIG引脚负载				
	1024 FS			40	pf
	512 FS/256			60	pf

¹ 脉冲宽度变化在 1.25 V 下测量：在 MLBCLK 的一个沿上触发，然后在另一个沿上测量扩展，单位为 ns 峰峰值 (pp)。

² 电路板设计必须确保高阻抗总线在此时间内不离开最终受驱动位的逻辑状态。因此，在满足所列最大容性负载要求的同时，必须将耦合降至最小。

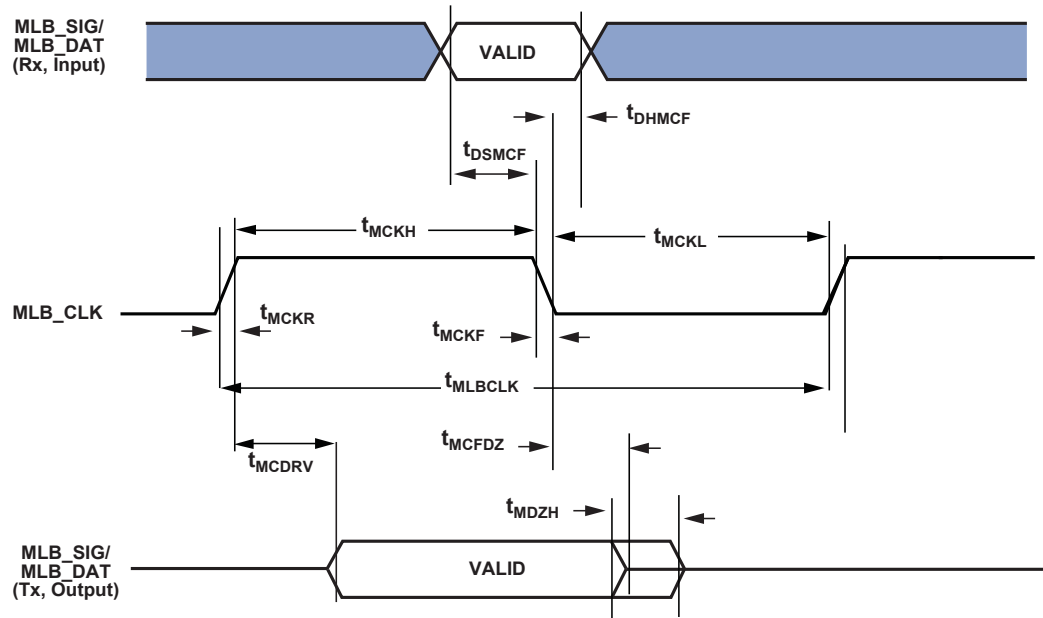


图63. 媒体局部总线时序 (3引脚接口)

MLB 6 引脚接口的交流时序规格详见下文。更多信息请参阅媒体局部总线规范 4.2 版。

表87. MLB接口，6引脚规格

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	典型值	最大值	单位	注释
t_{MT}	输入引脚差分跃迁时间 (图64)			1	ns	20%至80% $V_{IN+/-}$ 80%至20% $V_{IN+/-}$
f_{MCKE}	MLBCP/N外部时钟工作频率 ¹ (图65)	67.584		102.4	MHz	$1536 \times FS$ (44.0 kHz) $2048 \times FS$ (50.0 kHz)
f_{MCKR}	恢复时钟工作频率 (内部，在引脚上不可观测，仅用于时序参考) (图65)	90.112 135.168		102.4 204.8	MHz MHz	$2048 \times FS$ (50.0 kHz) $3072 \times FS$ (44.0 kHz) $4096 \times FS$ (50.0 kHz)
t_{DELAY}	从MLBCP/N跃迁 (低到高) 至发送器MLBSP/N (MLBDP/N) 输出有效 ² (图66)	0.6		5	ns	$f_{MCKR} = 2048 \times FS$ 时
t_{PHZ}	从MLBCP/N跃迁 (低到高) 至禁用周转时间 ² (图67)	0.6		2.5	ns	$f_{MCKR} = 3072 \times FS$ or $4096 \times FS$ 时
t_{PLZ}	从MLBCP/N跃迁 (低到高) 至使能周转时间 ² (图67)	0.6		7	ns	$f_{MCKR} = 2048 \times FS$ 时
t_{SU}	从MLBCP/N跃迁 (低到高) 至使能周转时间 ² (图67)	0.6		3.5	ns	$f_{MCKR} = 3072 \times FS$ or $4096 \times FS$ 时
t_{HD}	从MLBCP/N跃迁 (低到高) 至使能周转时间 ² (图67)	0.6		11.2	ns	$f_{MCKR} = 2048 \times FS$ 时
t_{SU}	MLBSP/N (MLBDP/N) 有效至MLBCP/N跃迁 (低到高) ² (图66)	1		5.6	ns	$f_{MCKR} = 3072 \times FS$ or $4096 \times FS$ 时
t_{HD}	从MLBCP/N跃迁 (低到高) 至MLBSP/N (MLBDP/N) 保持 ^{2,3} (图66)	0.5			ns	$f_{MCKR} = 2048 \times FS$ 时
t_{HD}	从MLBCP/N跃迁 (低到高) 至MLBSP/N (MLBDP/N) 保持 ^{2,3} (图66)	0.6			ns	$f_{MCKR} = 3072 \times FS$ or $4096 \times FS$ 时

¹ f_{MCKE} (最大值) 和 f_{MCKR} (最小值) 包括 600ps 的最大周期到周期系统抖动 (t_{JITTER})，对应的误码率为 10E-9。

² 恢复时钟与外部时钟比为 2:1 时， t_{DELAY} 、 t_{PHZ} 、 t_{PLZ} 、 t_{SU} 、 t_{HD} 也可用恢复时钟的低到高跃迁作为基准。

³ 接收器必须在 MLBCP/N 上升沿的 t_{HD} (最小值) 内锁存 MLBSP/N (MLBDP/N) 数据。

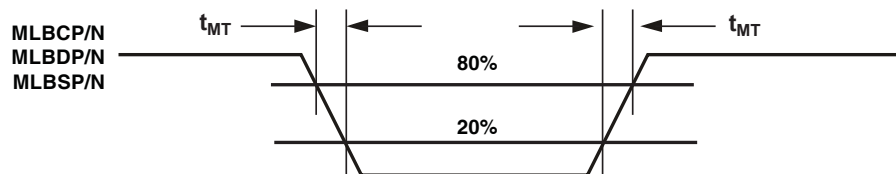


图64. 媒体局部总线6引脚跃迁时间

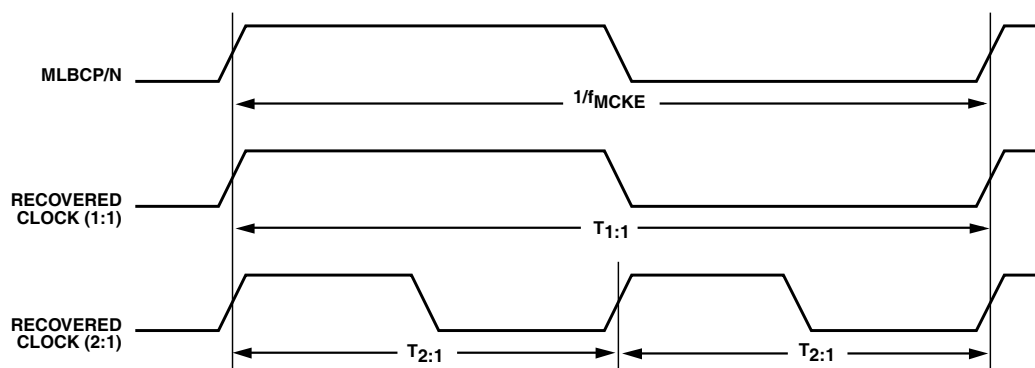
NOTE: $T_{1:1} = 1/f_{MCKE}$ $T_{2:1} = 1/(2 \times f_{MCKE})$

图65. 媒体局部总线6引脚时钟定义

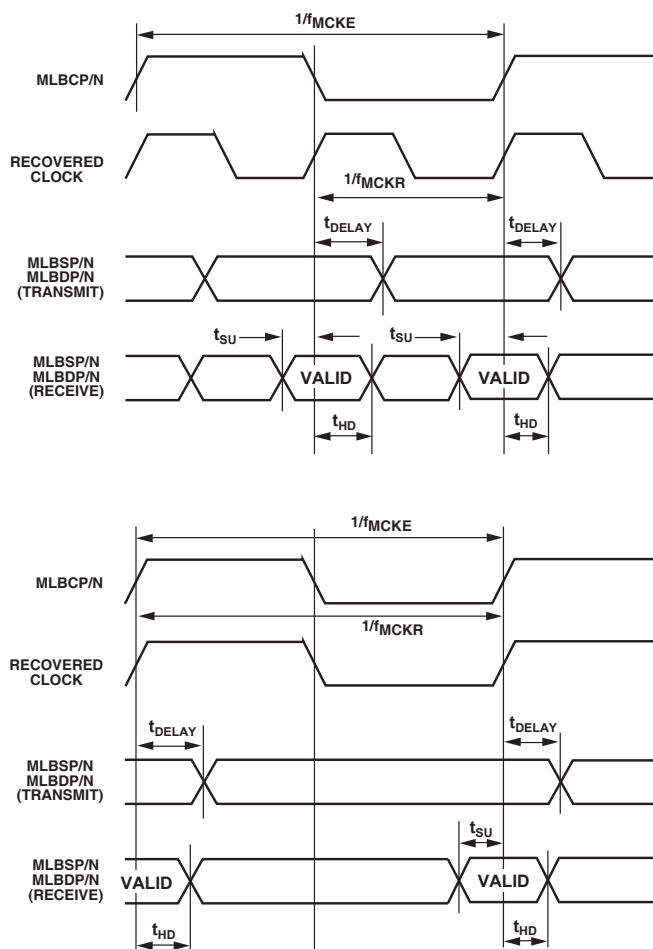


图66. 媒体局部总线6引脚延迟、建立和保持时间

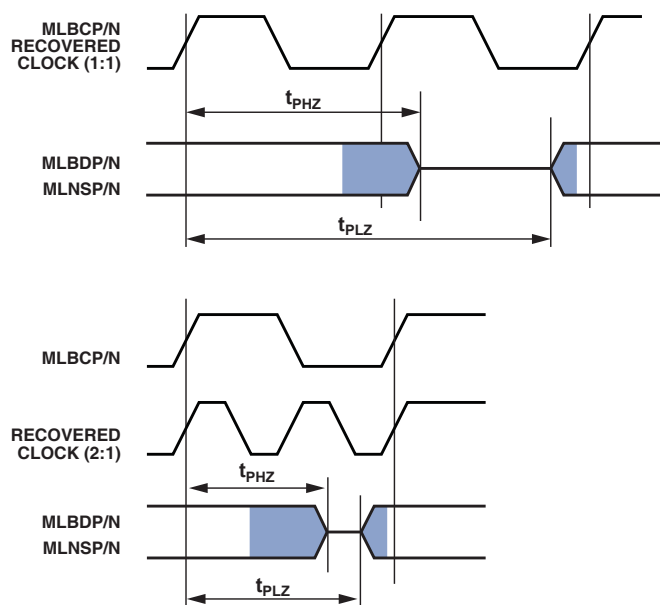


图67. 媒体局部总线6引脚禁用和使能周转时间

移动存储器接口 (MSI) 控制器时序

表 88 和图 68 描述与移动存储器接口 (MSI) 相关的 I/O 时序。

表88.MSI控制器时序

参数		最小值	最大值	单位
时序要求				
t_{ISU}	输入建立时间	4.8		ns
t_{IH}	输入保持时间	-0.5		ns
开关特性				
f_{PP}	时钟频率数据传输模式 ¹		50	MHz
t_{WL}	时钟低电平时间	8		ns
t_{WH}	时钟高电平时间	8		ns
t_{TLH}	时钟上升时间		3	ns
t_{THL}	时钟下降时间		3	ns
t_{ODLY}	数据传输模式期间的输出延迟时间		2	ns
t_{OH}	输出保持时间	-1.8		ns

¹ $t_{PP} = 1/f_{PP}$

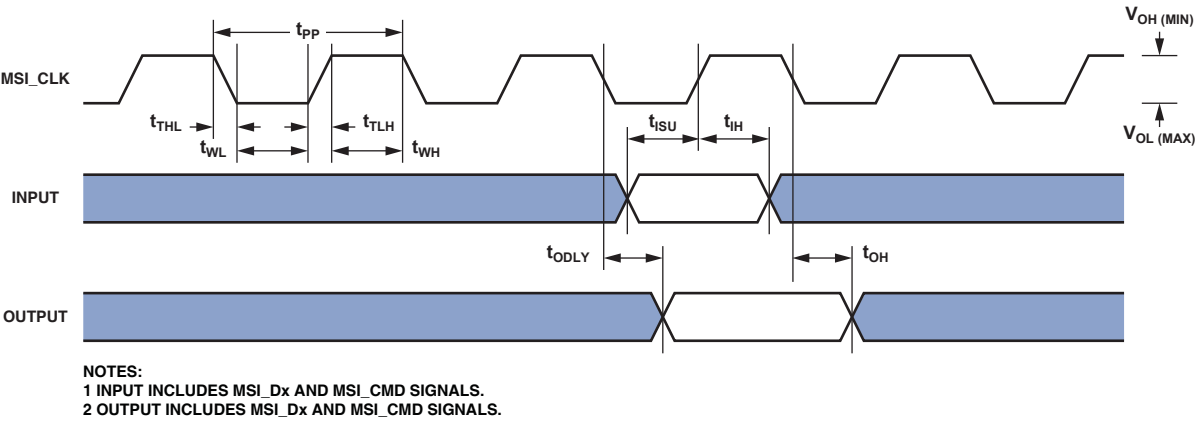


图68. MSI控制器时序

程序跟踪宏单元 (PTM) 时序

表 89 和图 69 描述与程序跟踪宏单元 (PTM) 相关的 I/O 时序。

表89. 跟踪时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
t_{DTRD}	从跟踪时钟到跟踪数据的延迟时间最大值		5	ns
t_{HTRD}	从跟踪时钟到跟踪数据的保持时间最小值	2		ns
t_{PTRCK}	跟踪时钟周期最小值	12.32		ns

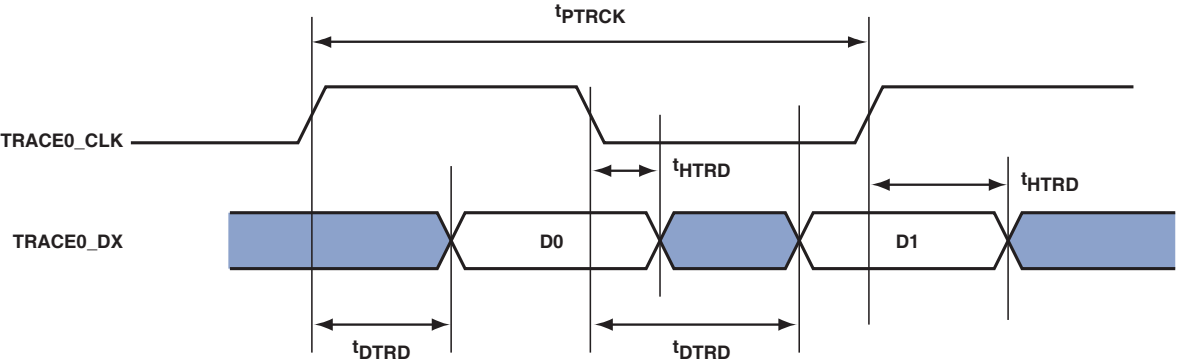


图69. 跟踪时序

调试接口（JTAG仿真端口）时序

表 90 和图 70 描述与调试接口（JTAG 仿真器端口）相关的 I/O 时序。

表90. JTAG端口时序

所有规格均基于仿真数据，如有更改，恕不另行通知。		最小值	最大值	单位
参数				
时序要求				
t _{TCK}	JTG_TCK周期	20		ns
t _{STAP}	JTG_TCK高电平之前的JTG_TDI、JTG_TMS建立时间	4		ns
t _{HTAP}	JTG_TCK高电平之后的JTG_TDI、JTG_TMS保持时间	4		ns
t _{SSYS}	JTG_TCK高电平之前系统输入建立时间 ¹	4		ns
t _{HSYS}	JTG_TCK高电平之后系统输入保持时间 ¹	4		ns
t _{TRSTW}	JTG_TRST脉冲宽度（测量单位为JTG_TCK周期） ²	4		T _{CK}
开关特性				
t _{DTDO}	自JTG_TCK低电平起的JTG_TDO延迟时间		12	ns
t _{DSYS}	JTG_TCK低电平之后系统输出延迟时间 ³		17	ns

¹ 系统输入 = MLB0_CLKP、MLB0_DATP、MLB0_SIGP、DAI0_PIN20-01、DMC0_A15-0、DMC0_DQ15-0、DMC0_RESET、PA_15-0、PB_15-0、PC_15-0、PD_15-0、PE_15-0、PF_15-0、PG_5-0、SYS_BMODE2-0、SYS_FAULT、SYS_FAULT、SYS_RESOUT、TWI2-0_SCL、TWI2-0_SDA2。

² 50 MHz 最大值。

³ 系统输出 = DMC0_A15-0、DMC0_BA2-0、DMC0_CAS、DMC0_CK、DMC0_CKE、DMC0_CS0、DMC0_DQ15-0、DMC0_LDM、DMC0_LDQS、DMC0_ODT、DMC0_RAS、DMC0_RESET、DMC0_UDM、DMC0_UDQS、DMC0_WE、MLB0_DATP、MLB0_SIGP、PA_15-0、PB_15-0、PC_15-0、PCIE_TXP、PD_15-0、PE_15-0、PF_15-0、PG_5-0、SYS_BMODE2-0、SYS_CLKOUT、SYS_FAULT、SYS_FAULT、SYS_RESOUT、TWI2-0_SCL、TWI2-0_SDA。

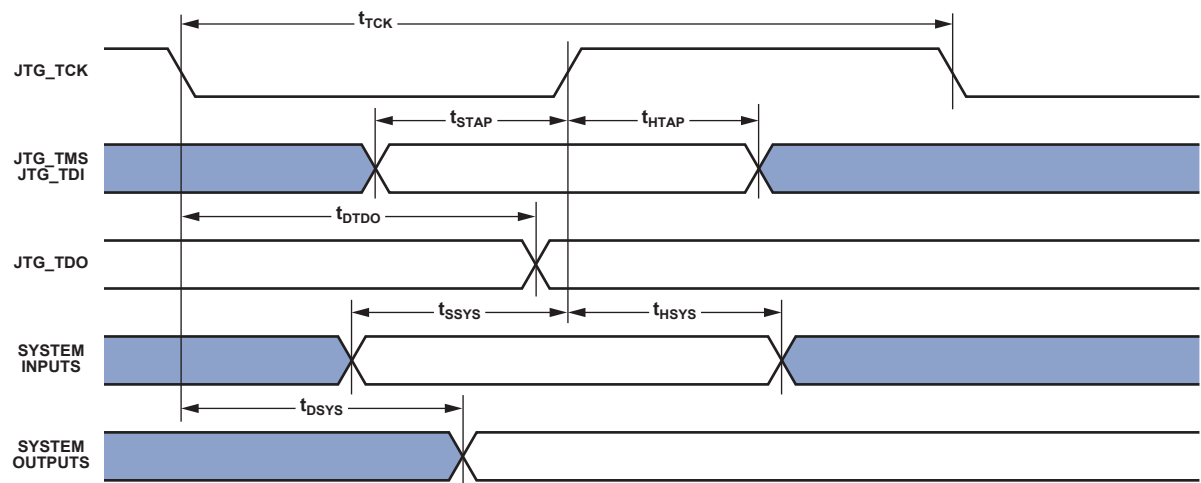


图70. JTAG端口时序

环境条件

应用印刷电路板上的结温计算公式如下：

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中：

T_J = 结温 (°C)。

T_{CASE} = 壳温 (°C)，由客户在封装的顶部中央测得。

Ψ_{JT} = 来自表 91 和表 92。

P_D = 功耗（计算 P_D 的方法参见“总内部功耗”部分）。

θ_{JA} 值供封装比较和印刷电路板设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值，计算公式如下：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中：

T_A = 环境温度 (°C)。

θ_{JC} 值是在需要外部散热器时，供封装比较和印刷电路板设计考虑时使用。

在表91和表92中，气流测量符合JEDEC标准JESD51-2和JESD51-6。结至壳测量符合MIL-STD-883标准(方法1012.1)。所有测量都使用101.6 mm × 152.4 mm尺寸的6层PCB。

表91. ADSP-SC573热阻
17 mm × 17 mm 400 CSP_BGA

参数	条件	典型值	单位
θ_{JA}	0线性m/s气流	14.24	°C/W
θ_{JA}	1线性m/s气流	12.61	°C/W
θ_{JA}	2线性m/s气流	12.09	°C/W
θ_{JC}		5.71	°C/W
Ψ_{JT}	0线性m/s气流	0.08	°C/W
Ψ_{JT}	1线性m/s气流	0.14	°C/W
Ψ_{JT}	2线性m/s气流	0.17	°C/W

表92. ADSP-SC571热阻

24 mm × 24 mm 176 LQFP-EP

参数	条件	典型值	单位
θ_{JA}	0线性m/s气流	11.95	°C/W
θ_{JA}	1线性m/s气流	10.43	°C/W
θ_{JA}	2线性m/s气流	9.98	°C/W
θ_{JC}		11.10	°C/W
Ψ_{JT}	0线性m/s气流	0.15	°C/W
Ψ_{JT}	1线性m/s气流	0.24	°C/W
Ψ_{JT}	2线性m/s气流	0.29	°C/W

ADSP-SC57x/ADSP-2157x 400引脚BGA封装引脚分配

ADSP-SC57x/ADSP-2157x 400引脚BGA封装引脚分配（按引脚编号顺序）按引脚编号列出了400引脚BGA封装。

ADSP-SC57x/ADSP-2157x 400引脚BGA封装引脚分配（按引脚名称顺序）按引脚名称列出了400引脚BGA封装。

ADSP-SC57x/ADSP-2157x 400引脚BGA封装引脚分配（按引脚编号顺序）

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
A01	GND	C02	PC_13	E03	PE_03	G04	VDD_EXT
A02	PA_10	C03	GND	E04	PE_02	G05	VDD_INT
A03	PA_09	C04	PA_12	E05	GND	G06	GND
A04	PA_11	C05	PA_14	E06	PB_00	G07	GND
A05	PE_07	C06	PB_03	E07	VDD_EXT	G08	GND
A06	MLB0_CLKN	C07	PB_02	E08	VDD_EXT	G09	GND
A07	MLB0_CLKP	C08	PE_10	E09	VDD_EXT	G10	GND
A08	MLB0_SIGN	C09	PB_06	E10	VDD_EXT	G11	GND
A09	GND	C10	PB_05	E11	VDD_EXT	G12	GND
A10	SYS_XTAL0	C11	SYS_HWRST	E12	VDD_EXT	G13	GND
A11	SYS_CLKIN0	C12	USB0_ID	E13	VDD_USB	G14	GND
A12	GND	C13	USB_CLKIN	E14	JTG_TCK	G15	GND
A13	SYS_XTAL1	C14	PB_12	E15	PE_15	G16	VDD_INT
A14	SYS_CLKIN1	C15	PB_13	E16	GND	G17	PB_15
A15	GND	C16	JTG_TDI	E17	VDD_EXT	G18	DAIO_PIN08
A16	USB0_DP	C17	PE_14	E18	PF_04	G19	DAIO_PIN10
A17	USB0_DM	C18	GND	E19	DAIO_PIN07	G20	DAIO_PIN09
A18	PF_03	C19	PF_08	E20	DAIO_PIN03	H01	PE_01
A19	PF_05	C20	PF_11	F01	PC_02	H02	PC_09
A20	GND	D01	PC_06	F02	PC_03	H03	PC_15
B01	PC_12	D02	PC_08	F03	PC_04	H04	VDD_EXT
B02	GND	D03	PE_04	F04	PE_06	H05	VDD_INT
B03	PA_13	D04	GND	F05	VDD_INT	H06	GND
B04	PA_15	D05	PE_08	F06	GND	H07	GND
B05	PB_01	D06	PE_11	F07	VDD_INT	H08	GND
B06	PB_04	D07	PE_09	F08	VDD_INT	H09	GND
B07	MLB0_DATN	D08	PB_08	F09	VDD_INT	H10	GND
B08	MLB0_DATP	D09	PB_07	F10	VDD_INT	H11	GND
B09	MLB0_SIGP	D10	PB_09	F11	VDD_INT	H12	GND
B10	JTG_TRST	D11	SYS_CLKOUT	F12	VDD_INT	H13	GND
B11	USB0_VBUS	D12	PB_11	F13	VDD_INT	H14	GND
B12	USB_XTAL	D13	USB0_VBC	F14	VDD_INT	H15	GND
B13	PB_10	D14	PB_14	F15	GND	H16	VDD_INT
B14	JTG_TDO	D15	PE_13	F16	VDD_INT	H17	VDD_EXT
B15	JTG_TMS	D16	PE_12	F17	PF_02	H18	DAIO_PIN05
B16	PF_00	D17	GND	F18	PF_09	H19	DAIO_PIN14
B17	PF_01	D18	PF_10	F19	DAIO_PIN02	H20	DAIO_PIN11
B18	PF_06	D19	DAIO_PIN01	F20	DAIO_PIN06	J01	PE_00
B19	GND	D20	DAIO_PIN04	G01	PC_00	J02	PC_07
B20	PF_07	E01	PC_05	G02	PC_14	J03	PC_10
C01	PC_11	E02	PE_05	G03	PC_01	J04	VDD_EXT

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
J05	VDD_INT	L13	GND	P01	DMC0_VREF	T09	VDD_DMC
J06	GND	L14	GND	P02	DMC0_RZQ	T10	VDD_DMC
J07	GND	L15	GND	P03	DMC0_A09	T11	VDD_DMC
J08	GND	L16	VDD_INT	P04	DMC0_A10	T12	VDD_DMC
J09	GND	L17	VDD_EXT	P05	VDD_INT	T13	VDD_DMC
J10	GND	L18	DAI0_PIN17	P06	VDD_INT	T14	VDD_DMC
J11	GND	L19	GND	P07	GND	T15	VDD_DMC
J12	GND	L20	DAI0_PIN20	P08	VDD_INT	T16	GND
J13	GND	M01	DMC0_A14	P09	VDD_INT	T17	VDD_DMC
J14	GND	M02	DMC0_A15	P10	VDD_INT	T18	DMC0_A02
J15	GND	M03	PD_09	P11	VDD_INT	T19	DMC0_A01
J16	VDD_INT	M04	VDD_EXT	P12	VDD_INT	T20	DMC0_RESET
J17	VDD_EXT	M05	VDD_INT	P13	VDD_INT	U01	DMC0_DQ15
J18	DAI0_PIN12	M06	GND	P14	GND	U02	DMC0_DQ14
J19	DAI0_PIN13	M07	GND	P15	VDD_INT	U03	TWI1_SDA
J20	DAI0_PIN16	M08	GND	P16	VDD_INT	U04	GND
K01	PD_14	M09	GND	P17	HADC0_VIN1	U05	TWI1_SCL
K02	PD_13	M10	GND	P18	HADC0_VIN0	U06	VDD_EXT
K03	PD_15	M11	GND	P19	HADC0_VREFP	U07	VDD_DMC
K04	VDD_EXT	M12	GND	P20	HADC0_VREFN	U08	VDD_DMC
K05	VDD_INT	M13	GND	R01	PD_06	U09	VDD_DMC
K06	GND	M14	GND	R02	PD_07	U10	VDD_DMC
K07	GND	M15	GND	R03	PD_08	U11	VDD_DMC
K08	GND	M16	VDD_INT	R04	VDD_INT	U12	VDD_DMC
K09	GND	M17	VDD_EXT	R05	VDD_INT	U13	VDD_DMC
K10	GND	M18	HADC0_VIN7	R06	GND	U14	VDD_DMC
K11	GND	M19	HADC0_VIN5	R07	VDD_INT	U15	DMC0_BA2
K12	GND	M20	HADC0_VIN6	R08	VDD_INT	U16	DMC0_WE
K13	GND	N01	DMC0_A11	R09	VDD_INT	U17	GND
K14	GND	N02	DMC0_A13	R10	VDD_INT	U18	DMC0_A06
K15	GND	N03	DMC0_A12	R11	VDD_INT	U19	DMC0_A03
K16	VDD_INT	N04	VDD_DMC	R12	VDD_INT	U20	DMC0_A00
K17	VDD_EXT	N05	VDD_INT	R13	VDD_INT	V01	TWI2_SDA
K18	DAI0_PIN15	N06	GND	R14	VDD_INT	V02	DMC0_DQ13
K19	DAI0_PIN19	N07	GND	R15	GND	V03	GND
K20	DAI0_PIN18	N08	GND	R16	VDD_INT	V04	PD_03
L01	PD_11	N09	GND	R17	VDD_INT	V05	PD_04
L02	PD_10	N10	GND	R18	DMC0_BA0	V06	PD_01
L03	PD_12	N11	GND	R19	HADC0_VIN2	V07	PA_08
L04	VDD_EXT	N12	GND	R20	VDD_HADC	V08	PA_05
L05	VDD_INT	N13	GND	T01	PD_05	V09	PA_03
L06	GND	N14	GND	T02	TWI0_SDA	V10	PA_02
L07	GND	N15	GND	T03	TWI0_SCL	V11	PA_01
L08	GND	N16	VDD_INT	T04	VDD_EXT	V12	PA_00
L09	GND	N17	VDD_EXT	T05	GND	V13	SYS_RESOUT
L10	GND	N18	HADC0_VIN4	T06	VDD_DMC	V14	SYS_FAULT
L11	GND	N19	HADC0_VIN3	T07	VDD_DMC	V15	DMC0_CAS
L12	GND	N20	GND	T08	VDD_DMC	V16	DMC0_RAS

引脚编号	引脚名称
V17	DMC0_BA1
V18	GND
V19	DMC0_A04
V20	DMC0_A05
W01	TWI2_SCL
W02	GND
W03	DMC0_DQ12
W04	DMC0_DQ11
W05	DMC0_DQ09
W06	PD_02
W07	PD_00
W08	PA_07
W09	PA_06
W10	PA_04
W11	DMC0_DQ05
W12	DMC0_DQ04
W13	DMC0_DQ03
W14	DMC0_DQ02
W15	SYS_FAULT
W16	DMC0_ODT
W17	DMC0_A08
W18	SYS_BMODE1
W19	GND
W20	DMC0_A07
Y01	GND
Y02	DMC0_UDQS
Y03	DMC0_UDQS
Y04	DMC0_DQ10
Y05	DMC0_DQ08
Y06	DMC0_UDM
Y07	DMC0_LDM
Y08	DMC0_CK
Y09	DMC0_CK
Y10	DMC0_DQ07
Y11	DMC0_DQ06
Y12	DMC0_LDQS
Y13	DMC0_LDQS
Y14	DMC0_DQ01
Y15	DMC0_DQ00
Y16	DMC0_CKE
Y17	DMC0_CS0
Y18	SYS_BMODE0
Y19	SYS_BMODE2
Y20	GND

ADSP-SC57x/ADSP-2157x 400引脚BGA封装引脚分配（按引脚名称顺序）

引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号
DAI0_PIN01	D19	DMC0_DQ02	W14	GND	G11	GND	M06
DAI0_PIN02	F19	DMC0_DQ03	W13	GND	G12	GND	M07
DAI0_PIN03	E20	DMC0_DQ04	W12	GND	G13	GND	M08
DAI0_PIN04	D20	DMC0_DQ05	W11	GND	G14	GND	M09
DAI0_PIN05	H18	DMC0_DQ06	Y11	GND	G15	GND	M10
DAI0_PIN06	F20	DMC0_DQ07	Y10	GND	H06	GND	M11
DAI0_PIN07	E19	DMC0_DQ08	Y05	GND	H07	GND	M12
DAI0_PIN08	G18	DMC0_DQ09	W05	GND	H08	GND	M13
DAI0_PIN09	G20	DMC0_DQ10	Y04	GND	H09	GND	M14
DAI0_PIN10	G19	DMC0_DQ11	W04	GND	H10	GND	M15
DAI0_PIN11	H20	DMC0_DQ12	W03	GND	H11	GND	N06
DAI0_PIN12	J18	DMC0_DQ13	V02	GND	H12	GND	N07
DAI0_PIN13	J19	DMC0_DQ14	U02	GND	H13	GND	N08
DAI0_PIN14	H19	DMC0_DQ15	U01	GND	H14	GND	N09
DAI0_PIN15	K18	DMC0_LDM	Y07	GND	H15	GND	N10
DAI0_PIN16	J20	DMC0_LDQS	Y12	GND	J06	GND	N11
DAI0_PIN17	L18	DMC0_LDQS	Y13	GND	J07	GND	N12
DAI0_PIN18	K20	DMC0_ODT	W16	GND	J08	GND	N13
DAI0_PIN19	K19	DMC0_RAS	V16	GND	J09	GND	N14
DAI0_PIN20	L20	DMC0_RESET	T20	GND	J10	GND	N15
DMC0_A00	U20	DMC0_RZQ	P02	GND	J11	GND	N20
DMC0_A01	T19	DMC0_UDM	Y06	GND	J12	GND	P07
DMC0_A02	T18	DMC0_UDQS	Y03	GND	J13	GND	P14
DMC0_A03	U19	DMC0_UDQS	Y02	GND	J14	GND	R06
DMC0_A04	V19	DMC0_VREF	P01	GND	J15	GND	R15
DMC0_A05	V20	DMC0_WE	U16	GND	K06	GND	T05
DMC0_A06	U18	GND	A01	GND	K07	GND	T16
DMC0_A07	W20	GND	A09	GND	K08	GND	U04
DMC0_A08	W17	GND	A12	GND	K09	GND	U17
DMC0_A09	P03	GND	A15	GND	K10	GND	V03
DMC0_A10	P04	GND	A20	GND	K11	GND	V18
DMC0_A11	N01	GND	B02	GND	K12	GND	W02
DMC0_A12	N03	GND	B19	GND	K13	GND	W19
DMC0_A13	N02	GND	C03	GND	K14	GND	Y01
DMC0_A14	M01	GND	C18	GND	K15	GND	Y20
DMC0_A15	M02	GND	D04	GND	L06	HADC0_VIN0	P18
DMC0_BA0	R18	GND	D17	GND	L07	HADC0_VIN1	P17
DMC0_BA1	V17	GND	E05	GND	L08	HADC0_VIN2	R19
DMC0_BA2	U15	GND	E16	GND	L09	HADC0_VIN3	N19
DMC0_CAS	V15	GND	F06	GND	L10	HADC0_VIN4	N18
DMC0_CK	Y08	GND	F15	GND	L11	HADC0_VIN5	M19
DMC0_CKE	Y16	GND	G06	GND	L12	HADC0_VIN6	M20
DMC0_CK	Y09	GND	G07	GND	L13	HADC0_VIN7	M18
DMC0_CS0	Y17	GND	G08	GND	L14	HADC0_VREFN	P20
DMC0_DQ00	Y15	GND	G09	GND	L15	HADC0_VREFP	P19
DMC0_DQ01	Y14	GND	G10	GND	L19	JTG_TCK	E14

引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号
JTG_TDI	C16	PC_06	D01	PF_06	B18	VDD_DMC	U12
JTG_TDO	B14	PC_07	J02	PF_07	B20	VDD_DMC	U13
JTG_TMS	B15	PC_08	D02	PF_08	C19	VDD_DMC	U14
JTG_TRST	B10	PC_09	H02	PF_09	F18	VDD_EXT	E07
MLB0_CLKN	A06	PC_10	J03	PF_10	D18	VDD_EXT	E08
MLB0_CLKP	A07	PC_11	C01	PF_11	C20	VDD_EXT	E09
MLB0_DATN	B07	PC_12	B01	SYS_BMODE0	Y18	VDD_EXT	E10
MLB0_DATP	B08	PC_13	C02	SYS_BMODE1	W18	VDD_EXT	E11
MLB0_SIGN	A08	PC_14	G02	SYS_BMODE2	Y19	VDD_EXT	E12
MLB0_SIGP	B09	PC_15	H03	SYS_CLKIN0	A11	VDD_EXT	E17
PA_00	V12	PD_00	W07	SYS_CLKIN1	A14	VDD_EXT	G04
PA_01	V11	PD_01	V06	SYS_CLKOUT	D11	VDD_EXT	H04
PA_02	V10	PD_02	W06	SYS_FAULT	V14	VDD_EXT	H17
PA_03	V09	PD_03	V04	SYS_FAULT	W15	VDD_EXT	J04
PA_04	W10	PD_04	V05	SYS_HWRST	C11	VDD_EXT	J17
PA_05	V08	PD_05	T01	SYS_RESOUT	V13	VDD_EXT	K04
PA_06	W09	PD_06	R01	SYS_XTAL0	A10	VDD_EXT	K17
PA_07	W08	PD_07	R02	SYS_XTAL1	A13	VDD_EXT	L04
PA_08	V07	PD_08	R03	TW10_SCL	T03	VDD_EXT	L17
PA_09	A03	PD_09	M03	TW10_SDA	T02	VDD_EXT	M04
PA_10	A02	PD_10	L02	TW11_SCL	U05	VDD_EXT	M17
PA_11	A04	PD_11	L01	TW11_SDA	U03	VDD_EXT	N17
PA_12	C04	PD_12	L03	TW12_SCL	W01	VDD_EXT	T04
PA_13	B03	PD_13	K02	TW12_SDA	V01	VDD_EXT	U06
PA_14	C05	PD_14	K01	USB0_DM	A17	VDD_HADC	R20
PA_15	B04	PD_15	K03	USB0_DP	A16	VDD_INT	F05
PB_00	E06	PE_00	J01	USB0_ID	C12	VDD_INT	F07
PB_01	B05	PE_01	H01	USB0_VBC	D13	VDD_INT	F08
PB_02	C07	PE_02	E04	USB0_VBUS	B11	VDD_INT	F09
PB_03	C06	PE_03	E03	USB_CLKIN	C13	VDD_INT	F10
PB_04	B06	PE_04	D03	USB_XTAL	B12	VDD_INT	F11
PB_05	C10	PE_05	E02	VDD_DMC	N04	VDD_INT	F12
PB_06	C09	PE_06	F04	VDD_DMC	T06	VDD_INT	F13
PB_07	D09	PE_07	A05	VDD_DMC	T07	VDD_INT	F14
PB_08	D08	PE_08	D05	VDD_DMC	T08	VDD_INT	F16
PB_09	D10	PE_09	D07	VDD_DMC	T09	VDD_INT	G05
PB_10	B13	PE_10	C08	VDD_DMC	T10	VDD_INT	G16
PB_11	D12	PE_11	D06	VDD_DMC	T11	VDD_INT	H05
PB_12	C14	PE_12	D16	VDD_DMC	T12	VDD_INT	H16
PB_13	C15	PE_13	D15	VDD_DMC	T13	VDD_INT	J05
PB_14	D14	PE_14	C17	VDD_DMC	T14	VDD_INT	J16
PB_15	G17	PE_15	E15	VDD_DMC	T15	VDD_INT	K05
PC_00	G01	PF_00	B16	VDD_DMC	T17	VDD_INT	K16
PC_01	G03	PF_01	B17	VDD_DMC	U07	VDD_INT	L05
PC_02	F01	PF_02	F17	VDD_DMC	U08	VDD_INT	L16
PC_03	F02	PF_03	A18	VDD_DMC	U09	VDD_INT	M05
PC_04	F03	PF_04	E18	VDD_DMC	U10	VDD_INT	M16
PC_05	E01	PF_05	A19	VDD_DMC	U11	VDD_INT	N05

引脚名称	引脚编号
VDD_INT	N16
VDD_INT	P05
VDD_INT	P06
VDD_INT	P08
VDD_INT	P09
VDD_INT	P10
VDD_INT	P11
VDD_INT	P12
VDD_INT	P13
VDD_INT	P15
VDD_INT	P16
VDD_INT	R04
VDD_INT	R05
VDD_INT	R07
VDD_INT	R08
VDD_INT	R09
VDD_INT	R10
VDD_INT	R11
VDD_INT	R12
VDD_INT	R13
VDD_INT	R14
VDD_INT	R16
VDD_INT	R17
VDD_USB	E13

400引脚CSP_BGA封装配置

图71是400引脚CSP_BGA封装的信号位置总览。

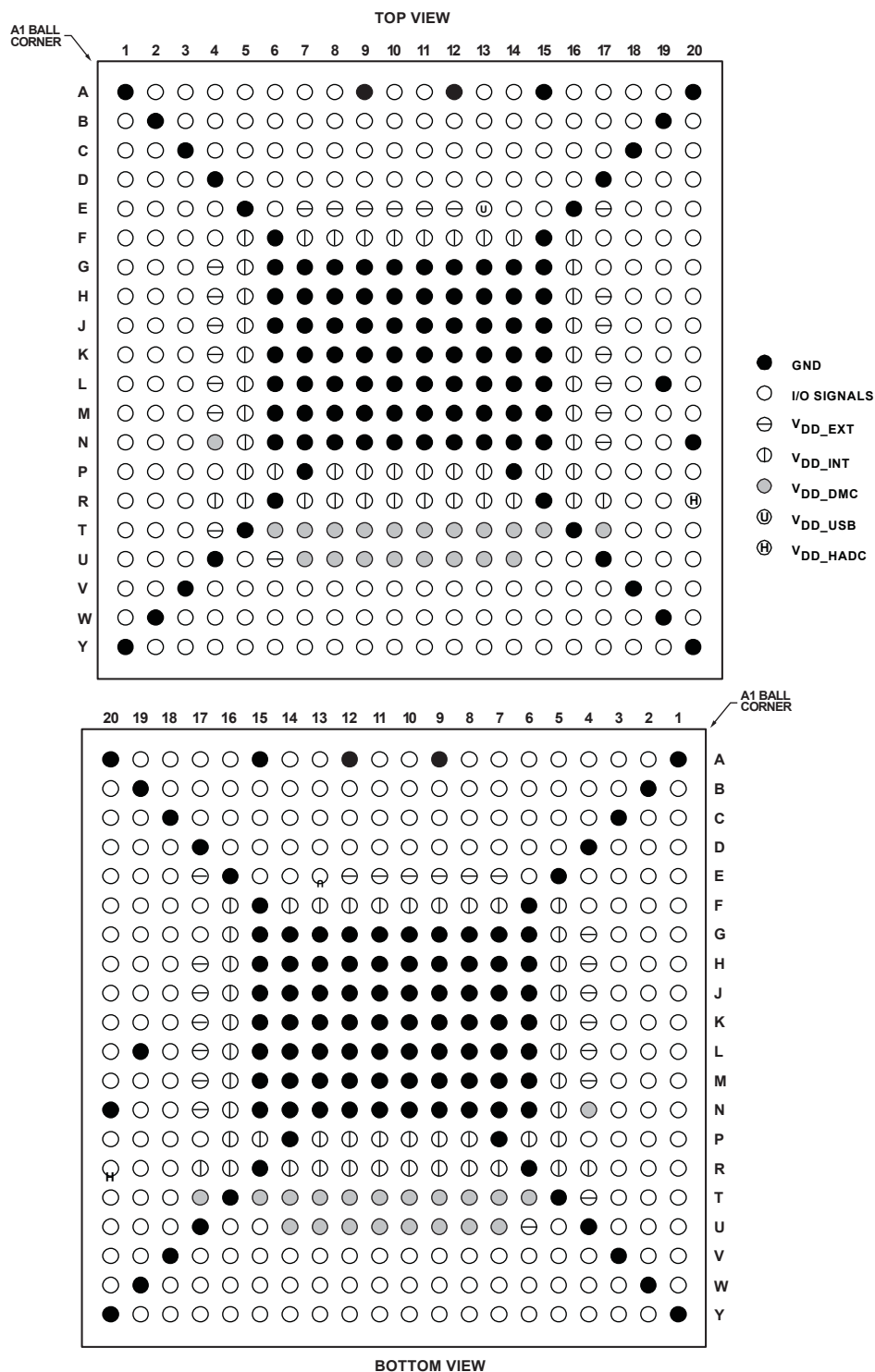


图71. 400引脚CSP_BGA封装配置

ADSP-SC57x/ADSP-2157x 176引脚LQFP封装引脚分配

ADSP-SC57x/ADSP-2157x 176引脚LQFP封装引脚分配 (按引脚编号顺序) 按引脚编号列出了176引脚LQFP封装。

ADSP-SC57x/ADSP-2157x 176引脚LQFP封装引脚分配 (按引脚名称顺序) 按引脚名称列出了176引脚LQFP封装。

ADSP-SC57x/ADSP-2157x 176引脚LQFP封装引脚分配 (按引脚编号顺序)

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
01	VDD_INT	41	PD_11	81	SYS_RESOUT	121	DAIO_PIN03
02	GND	42	PD_10	82	VDD_INT	122	DAIO_PIN04
03	VDD_INT	43	PD_09	83	GND	123	DAIO_PIN01
04	PA_15	44	GND	84	VDD_EXT	124	VDD_INT
05	PA_14	45	GND	85	SYS_FAULT	125	GND
06	PA_13	46	VDD_EXT	86	SYS_BMODE0	126	VDD_EXT
07	VDD_INT	47	VDD_INT	87	SYS_BMODE1	127	DAIO_PIN02
08	PA_12	48	PD_08	88	VDD_INT	128	PB_15
09	VDD_EXT	49	PD_07	89	GND	129	VDD_INT
10	PA_10	50	PD_06	90	VDD_HADC	130	VDD_INT
11	PA_11	51	PD_05	91	HADC0_VIN0	131	GND
12	PC_15	52	VDD_INT	92	HADC0_VIN1	132	VDD_INT
13	PA_09	53	TWI0_SDA	93	HADC0_VREFN	133	GND
14	VDD_INT	54	TWI0_SCL	94	HADC0_VIN2	134	VDD_INT
15	GND	55	TWI1_SDA	95	HADC0_VIN3	135	JTG_TCK
16	VDD_INT	56	TWI1_SCL	96	HADC0_VREFP	136	JTG_TDO
17	PC_14	57	TWI2_SDA	97	GND	137	JTG_TDI
18	PC_13	58	TWI2_SCL	98	VDD_INT	138	JTG_TMS
19	PC_12	59	VDD_INT	99	GND	139	VDD_INT
20	PC_11	60	VDD_EXT	100	DAIO_PIN20	140	VDD_EXT
21	VDD_EXT	61	PD_04	101	DAIO_PIN19	141	PB_14
22	PC_10	62	PD_03	102	DAIO_PIN18	142	PB_13
23	PC_09	63	PD_02	103	VDD_INT	143	VDD_EXT
24	PC_08	64	PD_01	104	VDD_EXT	144	PB_12
25	PC_07	65	GND	105	DAIO_PIN17	145	VDD_INT
26	PC_06	66	VDD_INT	106	DAIO_PIN16	146	PB_11
27	PC_05	67	PD_00	107	DAIO_PIN15	147	VDD_EXT
28	PC_04	68	PA_08	108	DAIO_PIN14	148	PB_10
29	PC_03	69	PA_07	109	VDD_INT	149	VDD_EXT
30	VDD_INT	70	PA_06	110	DAIO_PIN13	150	VDD_INT
31	VDD_EXT	71	VDD_EXT	111	DAIO_PIN12	151	SYS_HWRST
32	PC_02	72	VDD_INT	112	DAIO_PIN11	152	VDD_EXT
33	PC_01	73	VDD_INT	113	DAIO_PIN10	153	JTG_TRST
34	PC_00	74	PA_05	114	VDD_INT	154	SYS_CLKIN0
35	PD_15	75	PA_04	115	VDD_EXT	155	SYS_XTAL0
36	PD_14	76	PA_03	116	DAIO_PIN09	156	VDD_INT
37	PD_13	77	PA_02	117	DAIO_PIN08	157	SYS_CLKOUT
38	VDD_EXT	78	VDD_EXT	118	DAIO_PIN06	158	VDD_EXT
39	VDD_INT	79	PA_01	119	DAIO_PIN07	159	PB_09
40	PD_12	80	PA_00	120	DAIO_PIN05	160	VDD_EXT

引脚编号	引脚名称
161	PB_08
162	PB_07
163	VDD_INT
164	VDD_EXT
165	PB_06
166	PB_05
167	VDD_EXT
168	PB_04
169	PB_03
170	VDD_INT
171	VDD_EXT
172	PB_02
173	PB_01
174	PB_00
175	VDD_INT
176	GND
177 ¹	GND

¹ 引脚编号 177 是处理器的 GND 电源（参见图 73）；此焊盘必须连接到 GND。

ADSP-SC57X/ADSP-2157X 176引脚LQFP封装引脚分配（按引脚名称顺序）

引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号
DAI0_PIN01	123	PA_01	79	PC_15	12	VDD_EXT	149
DAI0_PIN02	127	PA_02	77	PD_00	67	VDD_EXT	152
DAI0_PIN03	121	PA_03	76	PD_01	64	VDD_EXT	158
DAI0_PIN04	122	PA_04	75	PD_02	63	VDD_EXT	160
DAI0_PIN05	120	PA_05	74	PD_03	62	VDD_EXT	164
DAI0_PIN06	118	PA_06	70	PD_04	61	VDD_EXT	167
DAI0_PIN07	119	PA_07	69	PD_05	51	VDD_EXT	171
DAI0_PIN08	117	PA_08	68	PD_06	50	VDD_HADC	90
DAI0_PIN09	116	PA_09	13	PD_07	49	VDD_INT	01
DAI0_PIN10	113	PA_10	10	PD_08	48	VDD_INT	03
DAI0_PIN11	112	PA_11	11	PD_09	43	VDD_INT	07
DAI0_PIN12	111	PA_12	08	PD_10	42	VDD_INT	14
DAI0_PIN13	110	PA_13	06	PD_11	41	VDD_INT	16
DAI0_PIN14	108	PA_14	05	PD_12	40	VDD_INT	30
DAI0_PIN15	107	PA_15	04	PD_13	37	VDD_INT	39
DAI0_PIN16	106	PB_00	174	PD_14	36	VDD_INT	47
DAI0_PIN17	105	PB_01	173	PD_15	35	VDD_INT	52
DAI0_PIN18	102	PB_02	172	SYS_BMODE0	86	VDD_INT	59
DAI0_PIN19	101	PB_03	169	SYS_BMODE1	87	VDD_INT	66
DAI0_PIN20	100	PB_04	168	SYS_CLKIN0	154	VDD_INT	72
GND	02	PB_05	166	SYS_CLKOUT	157	VDD_INT	73
GND	15	PB_06	165	SYS_FAULT	85	VDD_INT	82
GND	44	PB_07	162	SYS_HWRST	151	VDD_INT	88
GND	45	PB_08	161	SYS_RESOUT	81	VDD_INT	98
GND	65	PB_09	159	SYS_XTAL0	155	VDD_INT	103
GND	83	PB_10	148	TWI0_SCL	54	VDD_INT	109
GND	89	PB_11	146	TWI0_SDA	53	VDD_INT	114
GND	97	PB_12	144	TWI1_SCL	56	VDD_INT	124
GND	99	PB_13	142	TWI1_SDA	55	VDD_INT	129
GND	125	PB_14	141	TWI2_SCL	58	VDD_INT	130
GND	131	PB_15	128	TWI2_SDA	57	VDD_INT	132
GND	133	PC_00	34	VDD_EXT	09	VDD_INT	134
GND	176	PC_01	33	VDD_EXT	21	VDD_INT	139
GND	177 ¹	PC_02	32	VDD_EXT	31	VDD_INT	145
HADC0_VIN0	91	PC_03	29	VDD_EXT	38	VDD_INT	150
HADC0_VIN1	92	PC_04	28	VDD_EXT	46	VDD_INT	156
HADC0_VIN2	94	PC_05	27	VDD_EXT	60	VDD_INT	163
HADC0_VIN3	95	PC_06	26	VDD_EXT	71	VDD_INT	170
HADC0_VREFN	93	PC_07	25	VDD_EXT	78	VDD_INT	175
HADC0_VREFP	96	PC_08	24	VDD_EXT	84	¹ 引脚编号 177 是处理器的 GND 电源（参见图 73）；此焊盘必须连接到 GND。	
JTG_TCK	135	PC_09	23	VDD_EXT	104		
JTG_TDI	137	PC_10	22	VDD_EXT	115		
JTG_TDO	136	PC_11	20	VDD_EXT	126		
JTG_TMS	138	PC_12	19	VDD_EXT	140		
JTG_TRST	153	PC_13	18	VDD_EXT	143		
PA_00	80	PC_14	17	VDD_EXT	147		

176引脚LQFP封装引脚配置

图 72 所示为 176 引脚 LQFP 封装引脚配置的顶视图，图 73 所示为 176 引脚 LQFP 封装引脚配置的底视图。

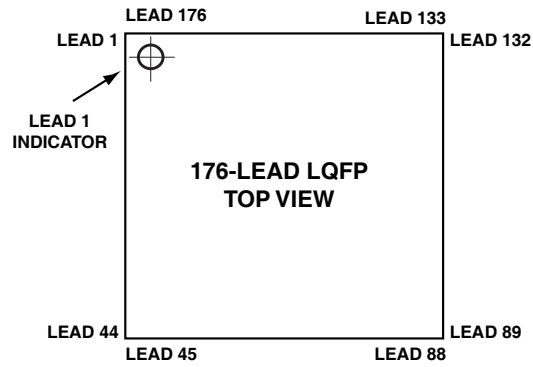


图72. 176引脚LQFP封装引脚配置 (顶视图)

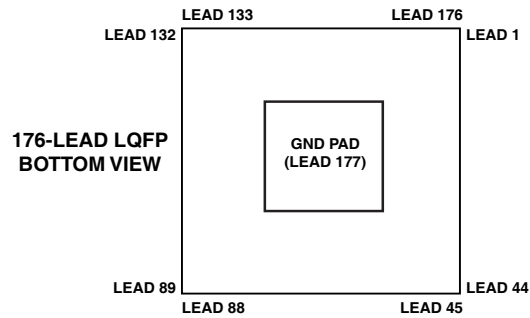
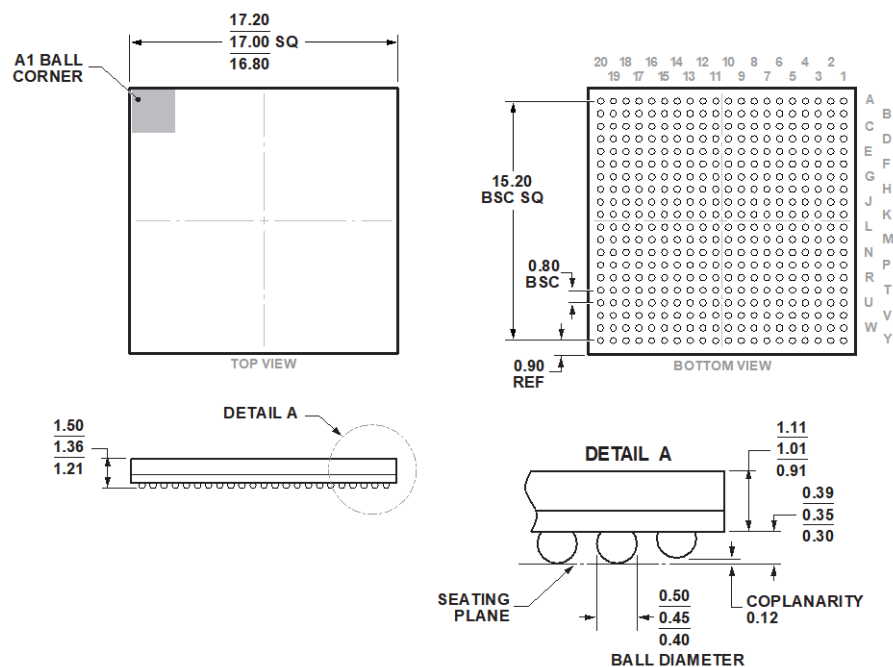


图73. 176引脚LQFP封装引脚配置 (底视图)

外形尺寸

图 74 (400 引脚 BGA 封装) 和图 75 (176 引脚 LQFP 封装) 中的图示尺寸单位为毫米。



COMPLIANT TO JEDEC STANDARDS MO-275-MMAB-1

图74. 400引脚芯片级球栅阵列 [CSP_BGA] 封装

(BC-400-2)

图示尺寸单位: mm

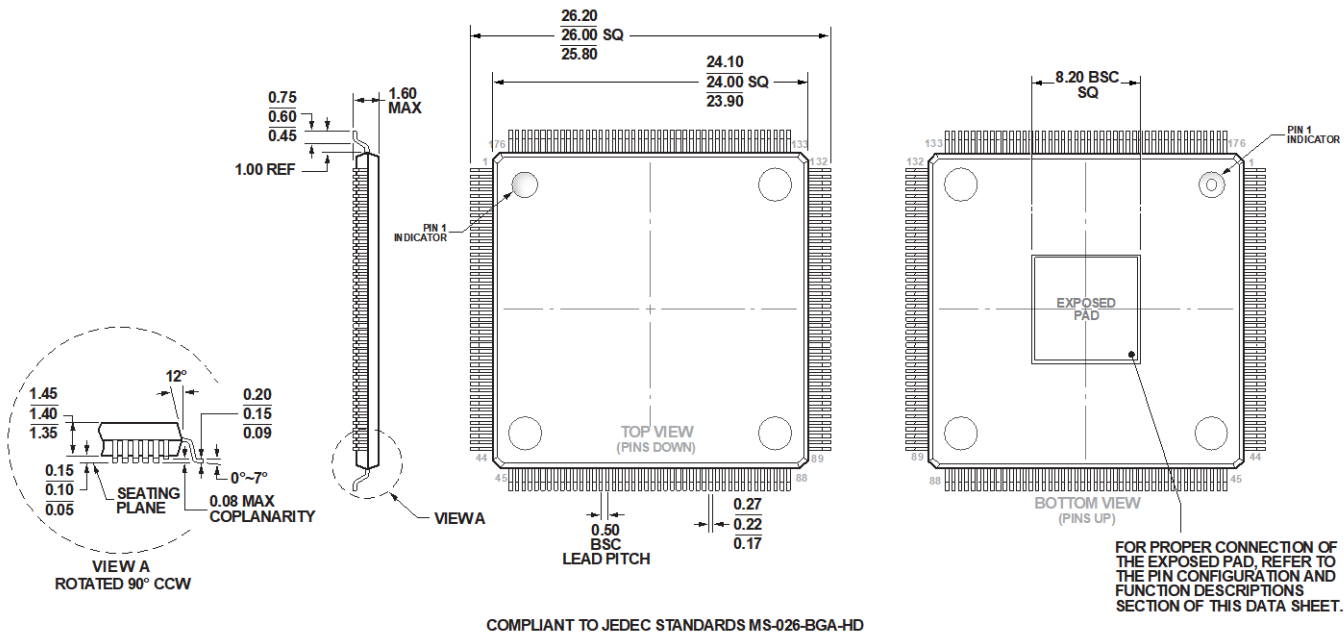


图75. 176引脚薄型四方扁平封装 [LQFP]，裸露焊盘
(SW-176-5)
图示尺寸单位: mm

表面贴装设计

表 93 旨在帮助用户进行 PCB 设计。关于工业标准设计建议，请参阅 IPC-7351：表贴设计和焊盘图形标准的通用要求。

表93. 用于表贴设计的CSP_BGA数据

封装	封装 引脚安装类型	封装 组焊层开口	封装 焊盘尺寸
BC-400-1	由阻焊层决定	直径0.4 mm	直径0.5 mm

预发布产品

型号 ¹	处理器指令速率（最大值）	温度范围 ^{2, 3}	封装描述	封装选项
ADSP-SC573-ENG	450 MHz	不适用	400引脚芯片级封装球栅阵列	BC-400-1
ADSP-SC571-ENG	450 MHz	不适用	176引脚薄型四方扁平封装（裸露焊盘）	SW-176-3

¹ Z = 符合 RoHS 标准的器件。

² 参考温度为环境温度。环境温度不是一项性能指标。结温 (T_j) 是唯一的温度指标，请参见第 57 页的工作条件。

³ 这些器件已试生产。详情参见 ENG 级协议。