注文コードNo.N５９９５

SANYO 三洋半導体ニューズ
No.5995
O1998

新

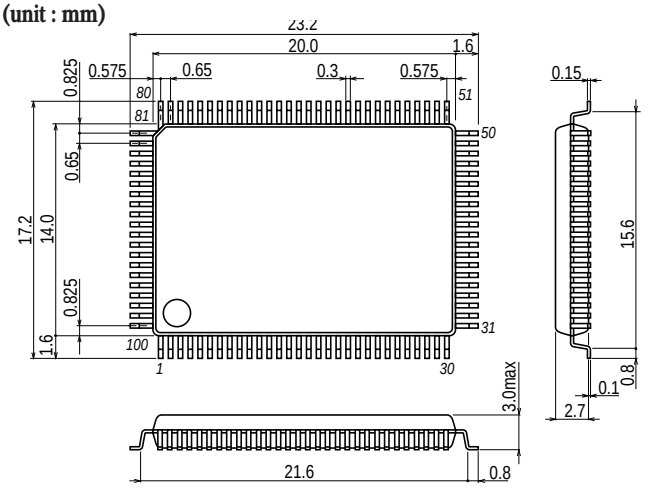
LC78626KE — CMOS LSI コンパクトディスクプレーヤ用D.S.P

LC78626KEは、アンチショックコントロール機能を内蔵した、コンパクトディスクプレーヤの信号処理とサーボコントロール用の1チップCMOS LSIである。EFM-PLLと1ビットDAC および アナログローパスフィルタの内蔵、徹底した機能の絞り込みにより、アンチショックシステムを構成するローエンドプレーヤに最適なコストパフォーマンスを実現している。基本的な機能として、光ピックアップからのEFM信号の復調, デインタリーブ, 誤り信号の検出/訂正、最大約38秒の音飛び防止、プレーヤコストの引き下げに役立つディジタルフィルタなどの信号処理 および サーボ系に対するマイクロプロセッサからの各種コマンドを処理する。LC78626KEは、LC78626Eの改良版であり、ディジタルフィルタの8倍オーバサンプリング, 16M DRAM対応を実施している。

機能
- HF信号を入力すると正確なレベルでスライスし、EFM信号に変換し、内蔵VCOとの位相比較を行って平均4.3218MHzのPLLクロックを再生する。
- 水晶振動子16.9344MHzを外部接続することにより、標準クロックの発生をはじめ、内部で必要な各種タイミングを正確に発生する。
- 再生クロックと標準クロックから作られたフレーム位相差信号により、ディスクモータの回転速度をコントロールする。
- フレーム同期信号の検出, 保護, 内挿を行い、安定したデータ読出しを確保する。
- EFM信号を復調し、8ビットのシンボルデータに変換する。
- EFM復調信号からサブコードを分離し、外部のマイクロプロセッサに出力する (3本は汎用入出力ポートと排他的に兼用)。
- サブコードQ信号はCRCチェックを行った後、シリアル転送によりマイクロプロセッサに出力する (LSBファースト)。
- 内蔵のRAMでEFM復調信号のバッファリングを行い、ディスク回転変動による±4フレームまでのジッタを吸収する。
- EFM復調信号を所定の順序に並び換えるアンスクランブル および デインタリーブを行う。
- 誤り信号の検出/訂正 および フラグ処理を行う (C1：2重/C2：2重訂正方式)。
- C1フラグとC2チェックの結果を参照してC2フラグを設定し、C2フラグによる信号の補間, 前値ホールドを実施する。補間回路は2補間を採用。C2フラグが連続2個以上で前値ホールドする。
- マイクロプロセッサからのコマンドを入力すると、トラックジャンプ, フォーカススタート, ディスクモータの起動/停止, ミューティングON/OFF, トラックカウント等、所定のコマンドを実行する (シリアル入力8ビット)。
- ディジタルOUTを内蔵している。
- 任意のトラックカウントにより、高速アクセスが可能である。
- 8倍オーバサンプリングディジタルフィルタにより、出力データの連続性を改善したDAC信号を生成。
- 3次ノイズシェーパによるΔΣ方式D/Aコンバータ内蔵 (アナログローパスフィルタ内蔵)。
- ディジタルアッテネータを内蔵 (8ビット－α；239ステップ)。

次ページへ続く。

外形図 3151
(unit : mm)



SANYO : QIP100E
(FLP100)

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置､航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

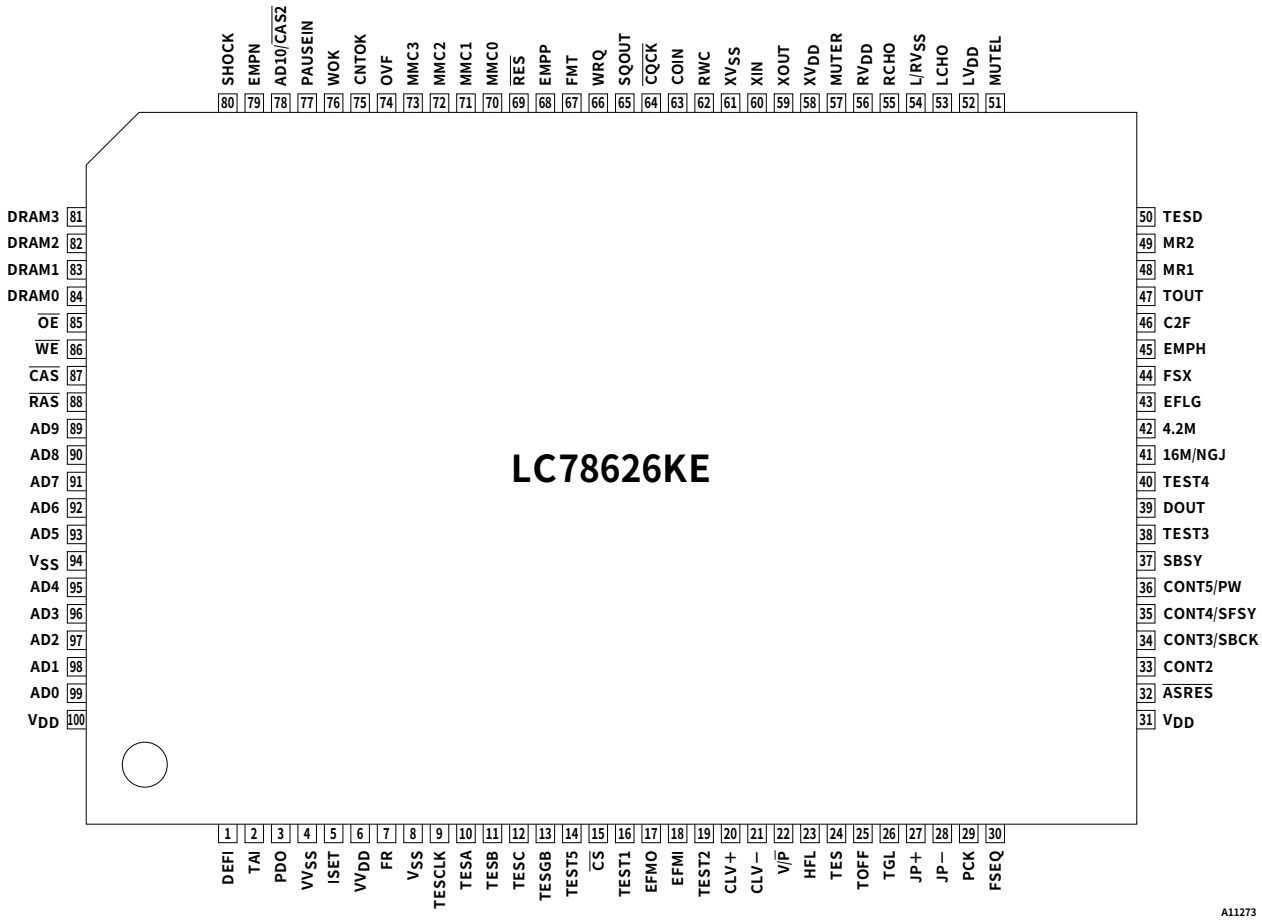
〒370-0596 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋電機株式会社 半導体事業本部

前ページから続く。

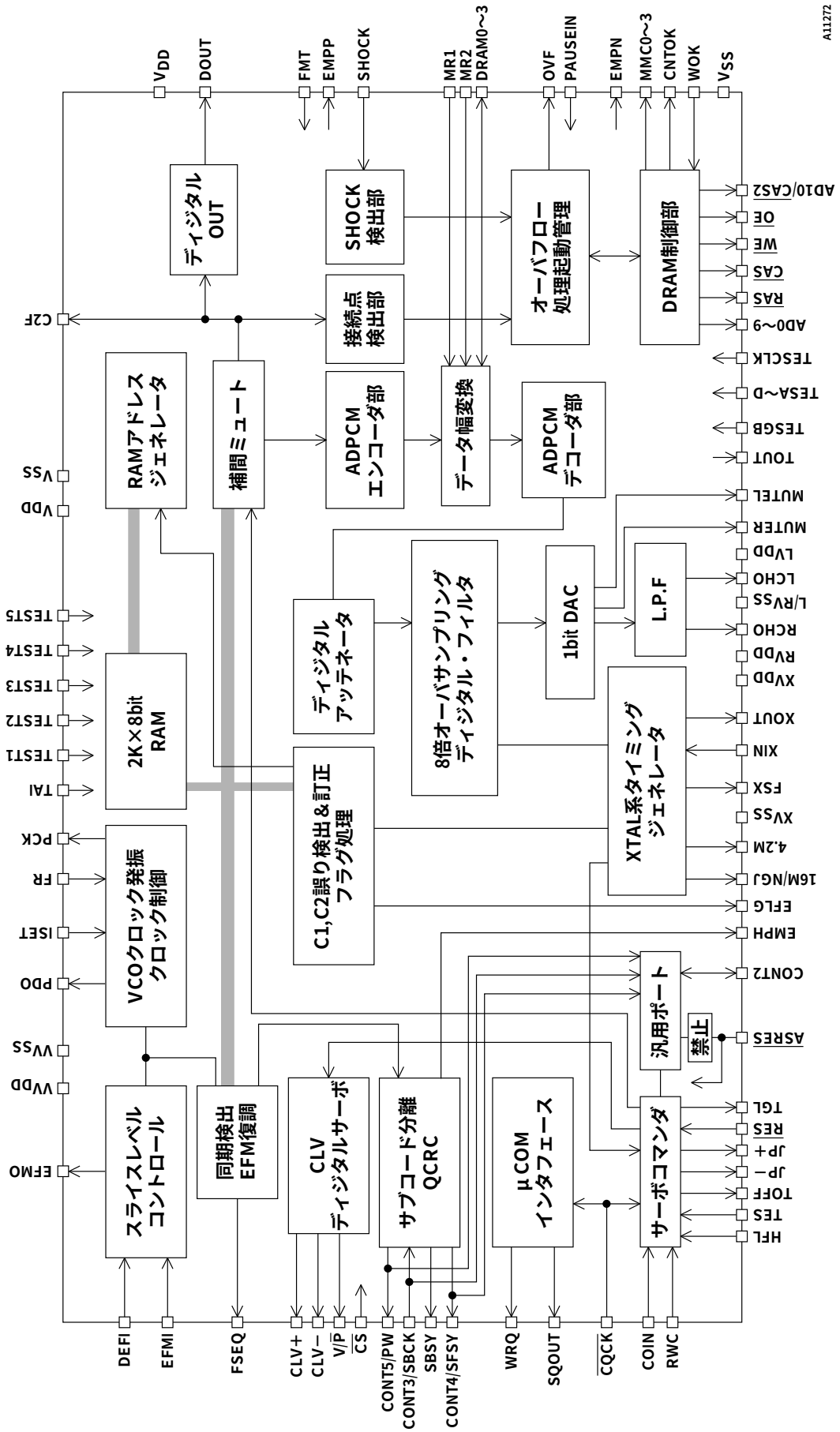
- ディジタルディエンファシスを内蔵。
- ゼロクロスミュートを採用。
- バイリンガル対応。
- 汎用I/Oポート：4本 (3本はサブコード出力機能と排他的に兼用)。
- ADPCMによる5ビットの圧縮/伸長処理により、最大約38秒の音飛び防止 (16M DRAM使用時)。1M/4M/4M×2/16Mビット DRAMが選択可能。
- メモリオーバフロー検出出力。
- メモリ残量出力。

特長
- 100ピンQIP
- 3.2V単一電源。

ピン配置図 (Top view)



等価回路ブロック図


A11272
VDD
DOUT
FMT
EMPP
SHOCK
MR1
MR2
DRAM0~3
OVF
PAUSEIN
EMPN
MMC0~3
CNTOK
WOK
VSS
ディジタル OUT
SHOCK 検出部
オーバフロー 処理起動管理
DRAM制御部
AD10/CAS2
OE
WE
CAS
RAS
AD0~9
TESCLK
TESA~D
TESGB
TOUT
MUTEL
MUTER
LVDD
LCHO
L/RVSS
RCHO
RVDD
XVDD
XOUT
XIN
FSX
XVSS
4.2M
16M/NGJ
EFLG
EMPH
CONT2
ASRES
禁止
C2F
接続点 検出部
RAMアドレス ジェネレータ
補間ミュート
ADPCM エンコーダ部
データ幅変換
ADPCM デコーダ部
VSS
VDD
TEST5
TEST4
TEST3
TEST2
TEST1
TAI
PCK
FR
ISET
PDO
VVSS
VVDD
EFMO
2K×8bit RAM
ディジタル アッテネータ
8倍オーバサンプリング ディジタル・フィルタ
1bit DAC
L.P.F
C1,C2誤り検出&訂正 フラグ処理
XTAL系タイミング ジェネレータ
VCOクロック発振 クロック制御
汎用ポート
TGL
RES
JP+
JP−
TOFF
TES
HFL
スライスレベル コントロール
同期検出 EFM復調
CLV ディジタルサーボ
サブコード分離 QCRC
μCOM インタフェース
サーボコマンダ
DEFI
EFMI
FSEQ
CLV+
CLV−
V/P
CS
CONT5/PW
CONT3/SBCK
SBSY
CONT4/SFSY
WRQ
SQOUT
CQCK
COIN
RWC

絶対最大定格 /Ta＝25℃, V_{SS}＝0V

			unit
最大電源電圧	V_{DD} max	V_{SS}−0.3～V_{SS}+4.0	V
入力電圧	V_{IN}	V_{SS}−0.3～V_{DD}+0.3	V
出力電圧	V_{OUT}	V_{SS}−0.3～V_{DD}+0.3	V
許容消費電力	Pd max	400	mW
動作周囲温度	Topr	−20～+75	℃
保存周囲温度	Tstg	−40～+125	℃

許容動作範囲 / Ta＝25℃, V_{SS}＝0V

			min	typ	max	unit
電源電圧	$V_{DD}1$	V_{DD}, XV_{DD}, LV_{DD}, RV_{DD}, VV_{DD} ATT/DF/DACは通常速まで	3.0		3.6	V
	$V_{DD}2$	V_{DD}, XV_{DD}, LV_{DD}, RV_{DD}, VV_{DD} 全機能、2倍速まで保証	3.0		3.6	V
入力「H」レベル電圧	$V_{IH}1$	EFMI, DRAM0～DRAM3以外の入力, 入出力端子	0.7V_{DD}		V_{DD}	V
	$V_{IH}2$	EFMI	0.6V_{DD}		V_{DD}	V
	$V_{IH}3$	DRAM0～DRAM3	0.45V_{DD}		V_{DD}	V
入力「L」レベル電圧	$V_{IL}1$	EFMI, DRAM0～DRAM3以外の入力, 入出力端子	0		0.3V_{DD}	V
	$V_{IL}2$	EFMI	0		0.4V_{DD}	V
	$V_{IL}3$	DRAM0～DRAM3	0		0.2V_{DD}	V
データセットアップ時間	t_{SU}	COIN, RWC：図1	400			ns
データホールド時間	t_{HD}	COIN, RWC：図1	400			ns
「H」レベルクロックパルス幅	t_{WH}	SBCK, $\overline{CQCK}$：図1～3	400			ns
「L」レベルクロックパルス幅	t_{WL}	SBCK, $\overline{CQCK}$：図1～3	400			ns
データリードアクセス時間	t_{RAC}	SQOUT, PW：図2, 3	0		400	ns
コマンド送出時間	t_{RWC}	RWC：図1	1000			ns
サブQ読出しイネーブル時間	t_{SQE}	WRQ；図2, RWC信号無し		11.2		ms
サブコード読出しサイクル時間	t_{SC}	SFSY：図3		136		μs
サブコード読出しイネーブル時間	t_{SE}	SFSY：図3	400			ns
ポート入力データセットアップ時間	t_{CSU}	CONT2～CONT5, RWC：図4	400			ns
ポート入力データホールド時間	t_{CHD}	CONT2～CONT5, RWC：図4	400			ns
ポート入力クロックセットアップ時間	t_{RCQ}	RWC, $\overline{CQCK}$：図4	100			ns
ポート出力データ遅延時間	t_{CDD}	CONT2～5, RWC：図5			1200	ns
入力レベル	$V_{IN}1$	EFMI：スライスレベル制御, V_{DD}＝3.0V	0.8			Vp-p
	$V_{IN}2$	X_{IN}：Cカップリング入力	1.0			Vp-p
動作周波数範囲	f_{OP}	EFMI			10	MHz
X'tal発振周波数	f_X	X_{IN}, X_{OUT}		16.9344		MHz

電気的特性 / Ta＝25℃, V_{DD}＝3.2V, V_{SS}＝0V

			min	typ	max	unit
消費電流	I_{DD}	V_{DD}, XV_{DD}, LV_{DD}, RV_{DD}, VV_{DD}：V_{DD}＝3.0～3.6V通常再生		14	20	mA
入力「H」レベル電流	$I_{IH}1$	DEFI, EFMI, HFL, TES, RWC, COIN, $\overline{CQCK}$, FMT, MR1, MR2, $\overline{RES}$, TESD, WOK, PAUSE IN, SHOCK, TESCLK, TESA, TESB, TESC, TESGB, TEST1：V_{IN}＝V_{DD}			5	μA
	$I_{IH}2$	TAI, TEST2～TEST5, $\overline{CS}$：V_{IN}＝V_{DD}＝3.6V	15		55	μA

次ページへ続く。

前ページから続く。			min	typ	max	unit
入力「L」レベル電流	I_{IL}	DEFI, EFMI, HFL, TES, RWC, COIN, $\overline{CQCK}$, FMT, MR1, MR2, $\overline{RES}$, TESD, WOK, PAUSE IN, SHOCK, TESCLK, TESA, TESB, TESC, TESGB, TAI, TEST1～TEST5, $\overline{CS}$：V_{IN}=0V	−5			μA
出力「H」レベル電圧	$V_{OH}1$	EFMO, CLV$^+$, CLV$^-$, V/$\overline{P}$, TOFF, TGL, JP$^+$, JP$^-$, PCK, FSEQ, EFLG, FSX, EMPH：I_{OH}=−1mA	2.56			V
	$V_{OH}2$	CONT2～CONT5, SBSY, MUTEL, MUTER, C2F, WRQ, SQOUT, 16M/NGJ, 4.2M, EMPP, OVF, CNTOK：I_{OH}=−0.5mA	2.56			V
	$V_{OH}3$	DOUT：I_{OH}=−12mA	2.72			V
	$V_{OH}4$	$\overline{OE}$, $\overline{WE}$, $\overline{CAS}$, $\overline{RAS}$, AD10/$\overline{CAS2}$, AD9～AD0, DRAM3～DRAM0：I_{OH}=−0.5mA	2.56			V
	$V_{OH}5$	MMC0～MMC3：I_{OH}=−2mA	2.24			V
出力「L」レベル電圧	$V_{OL}1$	EFMO, CLV$^+$, CLV$^-$, V/$\overline{P}$, TOFF, JP$^+$, JP$^-$, PCK, FSEQ, EFLG, FSX, EMPH：I_{OL}=1mA			0.64	V
	$V_{OL}2$	CONT2～CONT5, SBSY, MUTEL, MUTER, C2F, WRQ, SQOUT, 16M/NGJ, 4.2M, EMPP, OVF, CNTOK：I_{OL}=2mA			0.32	V
	$V_{OL}3$	DOUT：I_{OL}=12mA			0.48	V
	$V_{OL}4$	$\overline{OE}$, $\overline{WE}$, $\overline{CAS}$, $\overline{RAS}$, AD10/$\overline{CAS2}$, AD9～AD0, DRAM3～DRAM0：I_{OL}=0.5mA			0.44	V
	$V_{OL}5$	MMC0～MMC3：I_{OL}=2mA			0.96	V
出力オフリーク電流	$I_{OFF}1$	PDO, CLV$^+$, CLV$^-$, JP$^+$, JP$^-$, CONT2～CONT5, DRAM0～DRAM3, $\overline{ASRES}$：V_{OUT}=V_{DD}			5	μA
	$I_{OFF}2$	PDO, CLV$^+$, CLV$^-$, JP$^+$, JP$^-$, CONT2～CONT5, DRAM0～DRAM3, $\overline{ASRES}$：V_{OUT}=0V	−5			μA
チャージポンプ出力電流	I_{PDOH}	PDO：R_{ISET}=68kΩ	30	42	54	μA
	I_{PDOL}	PDO：R_{ISET}=68kΩ	−54	−42	−30	μA

1ビットDAC部アナログ特性 / Ta=25℃, V_{DD}=LV_{DD}=RV_{DD}=3.2V, V_{SS}=L/RV_{SS}=0V

			min	typ	max	unit
全高調波ひずみ率	THD+N	LCHO, RCHO；1kHz：0dBデータ入力, 20kHz-LPF使用 (AD725D内)		0.035	0.038	%
ダイナミックレンジ	DR	LCHO, RCHO；1kHz：−60dBデータ入力, 20kHz-LPF, Aフィルタ使用 (AD725D内)	81	84		dB
信号対雑音比	S/N	LCHO, RCHO；1kHz：0dBデータ入力, 20kHz-LPF, Aフィルタ使用 (AD725D内)	87	92		dB
クロストーク	CT	LCHO, RCHO；1kHz：0dBデータ入力, 20kHz-LPF使用 (AD725D内)	79	82		dB

※ 当社、1ビットDAC部参考回路における通常速再生モードにて測定。

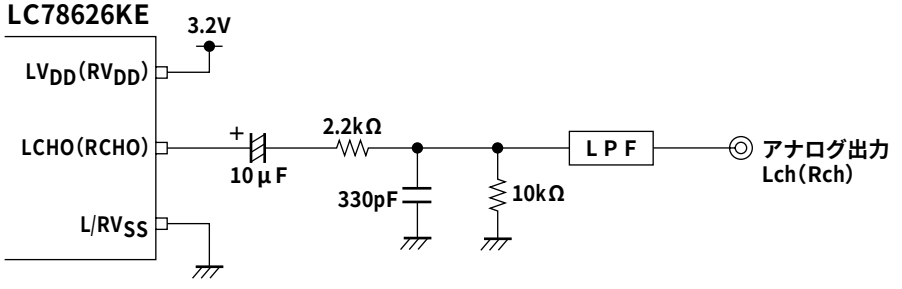


図1 コマンド入力

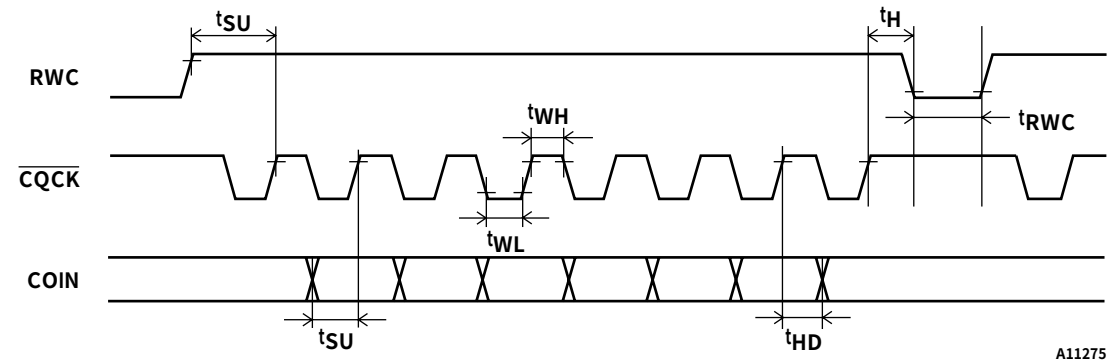


図2 サブコードQ出力

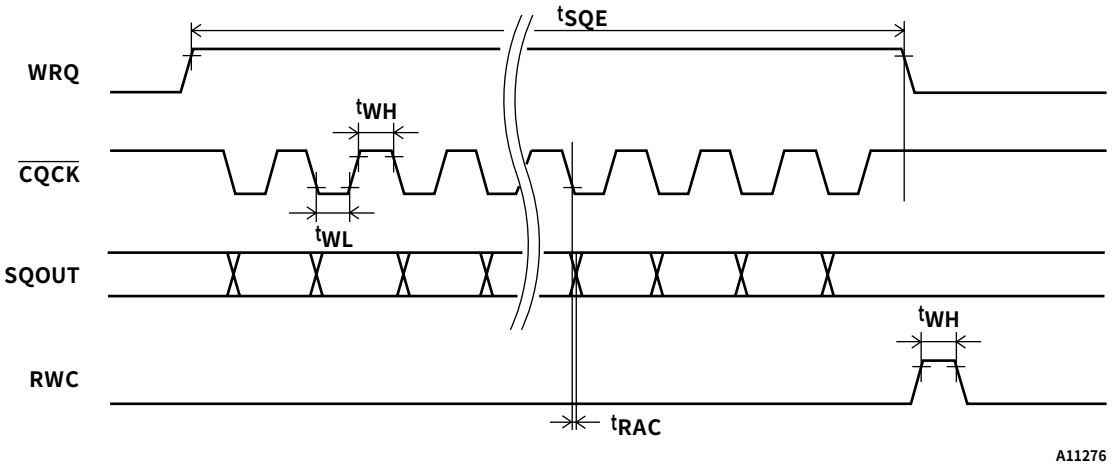


図3 サブコード出力

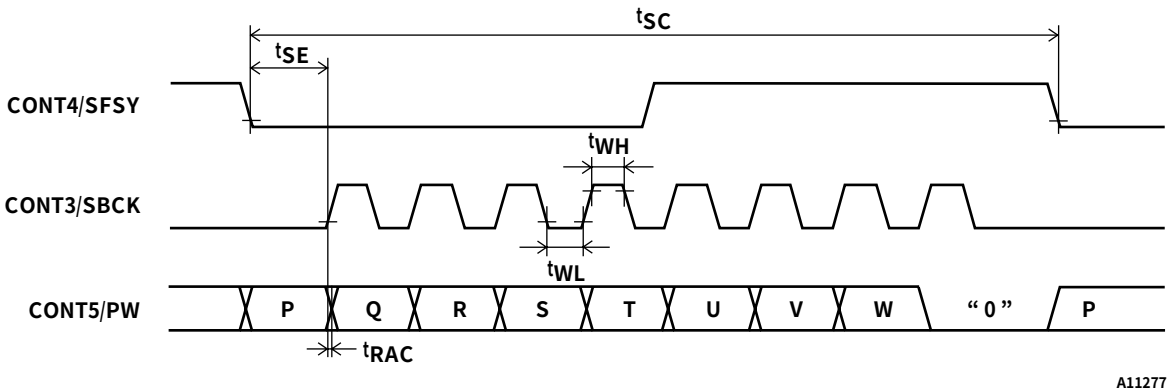


図4 汎用ポート入力タイミング

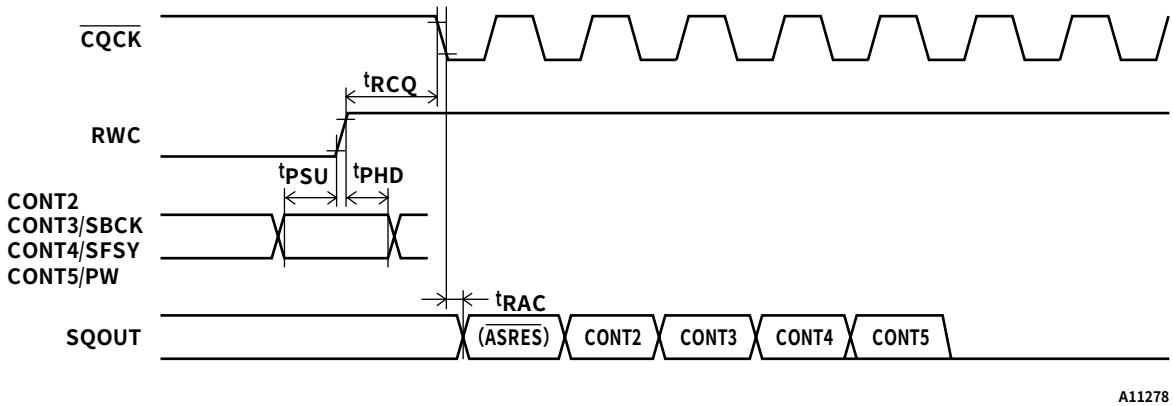
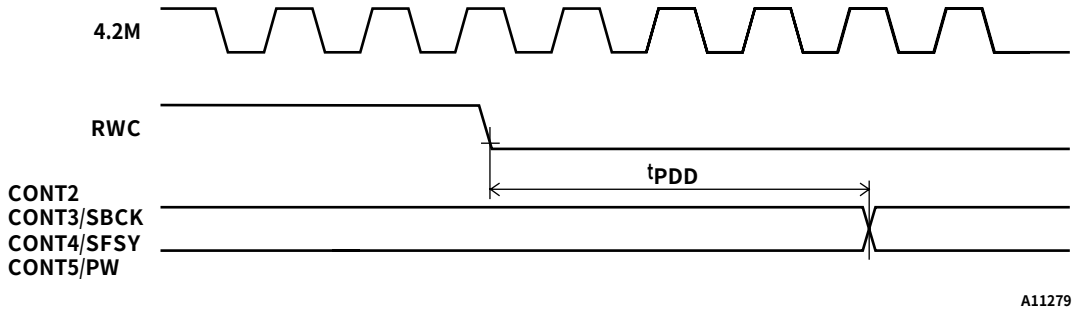


図5 汎用ポート出力タイミング



端子説明

端子番号	端子名	I/O	端子説明		リセット時の出力端子状態
1	DEFI	I	ディフェクト検出信号 (DEF)入力端子。未使用時、必ず0Vに接続すること。		—
2	TAI	I	PLL用	テスト用入力端子。プルダウン抵抗内蔵。 必ず0Vに接続すること。	—
3	PDO	O		外部VCO制御用位相比較出力端子。	—
4	VV_{SS}	P		内蔵VCO用接地端子。必ず0Vに接続すること。	—
5	ISET	AI		PDO出力の電流調整用抵抗接続端子。	—
6	VV_{DD}	P		内蔵VCO用電源端子。	—
7	FR	AI		VCO周波数レンジ調整用端子。	—
8	V_{SS}	P	ディジタル系接地端子。必ず0Vにすること。		—
9	TESCLK	I	テストクロック入力。必ずV_{DD}に接続すること。		—
10	TESA	I	テスト動作モードコントロール入力。必ずV_{DD}に接続すること。		—
11	TESB	I	テスト動作モードコントロール入力。必ずV_{DD}に接続すること。		—
12	TESC	I	テスト動作モードコントロール入力。必ずV_{DD}に接続すること。		—
13	TESGB	I	テスト動作モードコントロール入力。必ずV_{DD}に接続すること。		—
14	TEST5	I	テスト用入力端子。プルダウン抵抗内蔵。必ず0Vに接続すること。		—
15	$\overline{CS}$	I	チップセレクト入力端子。プルダウン抵抗内蔵。非制御時、必ず0Vに接続すること。		—
16	TEST1	I	テスト用入力端子。必ず0Vに接続すること。		—
17	EFMO	O	スライスレベル制御用	EFM信号出力端子。	不定
18	EFMI	I		EFM信号入力端子。	—
19	TEST2	I	テスト用入力端子。プルダウン抵抗内蔵。必ず0Vに接続すること。		—
20	CLV^{+}	O	ディスクモータコントロール用出力。コマンドにより3値出力可能。		L出力
21	CLV^{-}	O			L出力
22	$V/\overline{P}$	O	ラフサーボ/位相制御の自動切換えモニタ出力端子。「H」でラフサーボ,「L」で位相制御モード。		L出力
23	HFL	I	トラック検出信号入力端子。シュミット入力。		—
24	TES	I	トラッキング誤差信号入力端子。シュミット入力。		—
25	TOFF	O	トラッキングOFF出力端子。		H出力
26	TGL	O	トラッキングゲイン切換え用出力端子。「L」でゲインを上げる。		不定
27	JP^{+}	O	トラックジャンプコントロール用出力端子。コマンドにより3値出力可能。		L出力
28	JP^{-}	O			L出力
29	PCK	O	EFMデータ再生用クロックモニタ端子。位相ロック時、4.3218MHz。		L出力
30	FSEQ	O	同期信号検出出力端子。EFM信号から検出した同期信号と内部作成の同期信号が一致した時に「H」。		不定
31	V_{DD}	P	ディジタル系電源端子。		—
32	$\overline{ASRES}$	I (I/O)	アンチショックコントローラ部のみ (DSP部は除く)を初期化するリセット信号入力端子。「L」レベルでリセット,「H」レベルで解除。なお、アンチショック部単独リセット禁止/解除コマンド ($F4), アンチショック部単独リセット許可/突入コマンド ($F5)によりソフト的にアンチショック部の単独リセットを制御する場合は「L」レベルに固定しておく (0Vに接続する)こと。 【注意】 本端子は汎用入出力端子の最下位ビット位置に割り振られているが、汎用入出力端子としての使用を禁止する。PORT I/O SETコマンド ($DB)を実行させる時は最下位ビットを常に「0」とし、出力ドライバをONさせないこと。		入力
33	CONT2	I/O	汎用入出力端子2。マイコンからのコマンドで制御する。使用しない場合、入力ポートに設定して0Vに接続するか、出力ポートに設定してオープンにすること。		入力
34	CONT3/SBCK	I/O	汎用入出力端子3。マイコンからのコマンドで制御する。サブコード読出しクロック入力端子 (SBCK)と排他的な兼用端子。使用しない場合、入力ポートに設定して0Vに接続するか、出力ポートに設定してオープンにすること。		入力

次ページへ続く。

前ページから続く。

端子説明	端子名	I/O	端子説明		リセット時の出力端子状態
35	CONT4/SFSY	I/O	汎用入出力端子4。マイコンからのコマンドで制御する。サブコードフレーム同期信号出力端子 (SFSY)と排他的な兼用端子。使用しない場合、入力ポートに設定して0Vに接続するか、出力ポートに設定してオープンにすること。		入力
36	CONT5/PW	I/O	汎用入出力端子5。マイコンからのコマンドで制御する。サブコードP, Q, R, S, T, U, V, Wの出力端子 (PW)と排他的な兼用端子。使用しない場合、入力ポートに設定して0Vに接続するか、出力ポートに設定してオープンにすること。		入力
37	SBSY	O	サブコードブロックの同期信号出力端子。		不定
38	TEST3	I	テスト用入力端子。プルダウン抵抗内蔵。必ず0Vに接続すること。		—
39	DOUT	O	ディジタルOUT出力端子。EIAJフォーマット。		不定
40	TEST4	I	テスト用入力端子。プルダウン抵抗内蔵。必ず0Vに接続すること。		—
41	16M/NGJ	O	16.9344MHz出力端子 (16M)とC2Fによるデータ接続点検出開始信号 (NGJ) [L→H：検出開始]の兼用端子。マイコンからのコマンドで制御する。		クロック出力
42	4.2M	O	4.2336MHz出力端子。		クロック出力
43	EFLG	O	C1, C2, 1重, 2重の訂正モニタ出力端子。		不定
44	FSX	O	水晶発振から分周した7.35kHz同期信号出力端子。		不定
45	EMPH	O	ディエンファシス・モニタ出力端子。「H」の時、ディエンファシス・ディスク再生中。		L出力
46	C2F	O	C2フラグ出力端子。		不定
47	TOUT	O	テスト用出力端子。通常使用時、オープンにすること。		不定
48	MR1	I	DRAM選択端子。1M DRAM：H, L　4M DRAM：L, L　16M DRAM：L, H		—
49	MR2	I	4M DRAM×2：H, H (MR1, MR2の順)		—
50	TESD	I	テスト用入力端子。必ず0Vに接続すること。		—
51	MUTEL	O	1ビットDAC用	Lチャネル用ミュート出力端子。	H出力
52	LV_{DD}	P		Lチャネル用電源端子。	—
53	LCHO	AO		Lチャネル出力端子。	—
54	L/RV_{SS}	P		L/Rチャネル用接地端子。必ず0Vに接続すること。	—
55	RCHO	AO		Rチャネル出力端子。	—
56	RV_{DD}	P		Rチャネル用電源端子。	—
57	MUTER	O		Rチャネル用ミュート出力端子。	H出力
58	XV_{DD}	P	水晶発振用電源端子。		—
59	XOUT	O	16.9344MHz水晶発振動子の接続端子。		—
60	XIN	I			—
61	XV_{SS}	P	水晶発振用接地端子。必ず0Vに接続すること。		—
62	RWC	I	リード/ライト制御入力端子。シュミット入力。		—
63	COIN	I	マイコンからのコマンド入力端子。		—
64	$\overline{CQCK}$	I	コマンド入力取り込みクロック またはSQOUTからのサブコード取り出しクロック入力端子。シュミット入力。		—
65	SQOUT	O	サブコードQ出力端子。		不定
66	WRQ	O	サブコードQ出力スタンバイ出力端子。		不定
67	FMT	I	動作モード切換え。「H」：ショックプルーフ　「L」：スルー。		—
68	EMPP	O	DRAM EMPTY (EMPTYでRZPパルス出力)		L出力
69	$\overline{RES}$	I	外部リセット信号入力。「L」：リセット (全ての内部ブロックを初期化)。		—
70	MMC0	O	DRAM残量出力。		L出力
71	MMC1	O	DRAM残量出力。		L出力
72	MMC2	O	DRAM残量出力。		L出力
73	MMC3	O	DRAM残量出力。		L出力
74	OVF	O	DRAMライト中断 (オーバーフロー&ショック時RZPパルス出力)		L出力

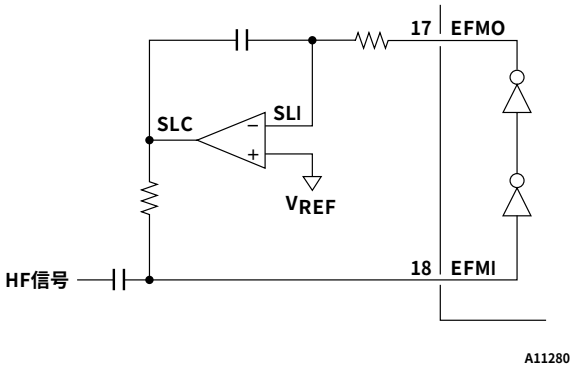
次ページへ続く。

前ページから続く。

端子番号	端子名	I/O	端　子　説　明	リセット時の出力端子状態
75	CNTOK	O	データ接続点検出完了信号。「L」→「H」：検出完了 (DRAMライト開始)。	H出力
76	WOK	I	DRAMライト許可信号入力。「H」：ライト許可。	－
77	PAUSE IN	I	ポーズ信号入力。「H」：ポーズ。	－
78	AD10/$\overline{\text{CAS2}}$	O	16M DRAMアドレス (AD10)と8M DRAM (4M DRAM×2)使用時のDRAMコントロール信号 ($\overline{\text{CAS2}}$)との兼用出力端子。DRAM選択端子 (MR1, MR2)の設定により切換る。	不定
79	EMPN	O	DRAM残量アラーム出力。「L」：残量少。	L出力
80	SHOCK	I	C2Fショック検出一時停止信号入力。「L」：ショック検出停止。	－
81	DRAM3	I/O	DRAMデータバス	入力
82	DRAM2	I/O	DRAMデータバス	入力
83	DRAM1	I/O	DRAMデータバス	入力
84	DRAM0	I/O	DRAMデータバス	入力
85	$\overline{\text{OE}}$	O	DRAMコントロール信号	L出力
86	$\overline{\text{WE}}$	O	DRAMコントロール信号	H出力
87	$\overline{\text{CAS}}$	O	DRAMコントロール信号	不定
88	$\overline{\text{RAS}}$	O	DRAMコントロール信号	不定
89	AD9	O	DRAMアドレスバス	L出力
90	AD8	O	DRAMアドレスバス	L出力
91	AD7	O	DRAMアドレスバス	L出力
92	AD6	O	DRAMアドレスバス	L出力
93	AD5	O	DRAMアドレスバス	L出力
94	V_{SS}	P	ディジタル系接地端子。必ず0V に接続すること。	－
95	AD4	O	DRAMアドレスバス	L出力
96	AD3	O	DRAMアドレスバス	L出力
97	AD2	O	DRAMアドレスバス	L出力
98	AD1	O	DRAMアドレスバス	不定
99	AD0	O	DRAMアドレスバス	不定
100	V_{DD}	P	ディジタル系電源端子。	－

端子アプリケーション

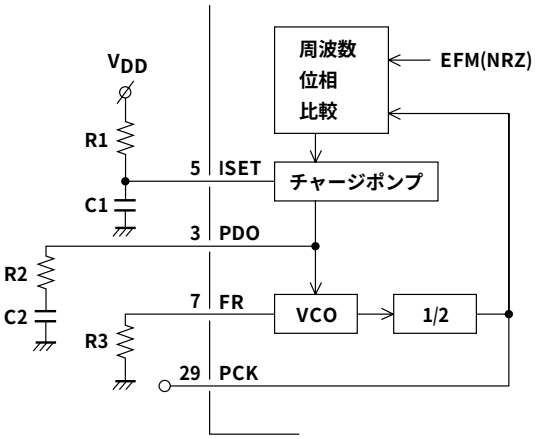
1) HF信号入力回路　18ピン：EFMI, 17ピン：EFMO, 1ピン：DEFI, 20ピン：CLV+



EFMIにHF信号を入力すると、最適レベルでスライスされたEFM信号 (NRZ)が得られる。
DEFECT対策として、DEFI端子 (1ピン)が「H」になるとスライスレベル・コントロール出力EFMO端子 (17ピン)がハイ・インピーダンスになり、スライスレベルのホールドを行う。ただし、CLVが位相制御モード すなわち V/P端子 (22ピン)が「L」の時のみ有効である。これは、LA9230/40/50シリーズのDEF端子との組合せにより構成することができる。

※ EFMIとCLV+の信号ライン間が近い時は、不要輻射によるエラーレートの悪化を招くことがあるので、この信号ライン間にGND または V_{DD}のシールドラインを配置することを推奨する。

2) PLL クロック再生回路　3ピン：PDO, 5ピン：ISET, 7ピン：FR



VCO回路を内蔵しており、R, Cの外付けでPLL回路を構成する。
ISETはチャージポンプの基準電流, PDOはVCO回路のループフィルタ, FRはVCOの周波数範囲を決定する抵抗である。
(参考値)
R1＝68kΩ, C1＝0.1μF (標準速時)
C1＝0.047μF (2倍速時)
R2＝680Ω, C2＝0.1μF
R3＝1.2kΩ

※ R3の抵抗は許容差±5．0%の炭素皮膜抵抗を使用することを推奨する。

3) VCOモニタ　29ピン：PCK

VCOを1／2分周した平均4.3218MHz のモニタ端子。

4) 同期検出モニタ　30ピン：FSEQ

EFM信号をPCKで読取ったフレームシンク (真の同期信号)とカウンタで生成したタイミング (内挿の同期信号)とが一致した時に「H」となる。同期検出モニタとなる (1フレーム間「H」を保持)。

5) サーボコマンダの機能　62ピン：RWC, 63ピン：COIN, 64ピン：$\overline{CQCK}$

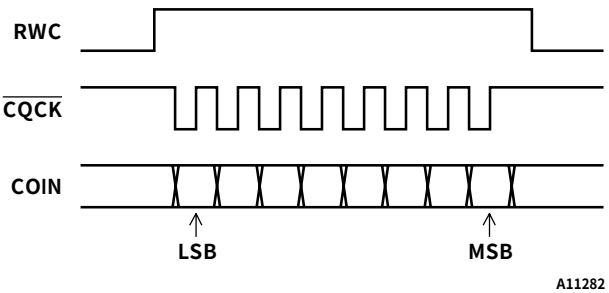
RWCを「H」にセットし、$\overline{CQCK}$クロックに同期したコマンドをCOINから入力することにより、各種の命令を実行させることができる。なお、コマンドはRWCの立下りから実行される。

フォーカススタート
トラックジャンプ
ミュートコントロール
ディスクモータコントロール
その他コントロール
　— 1バイトコマンド

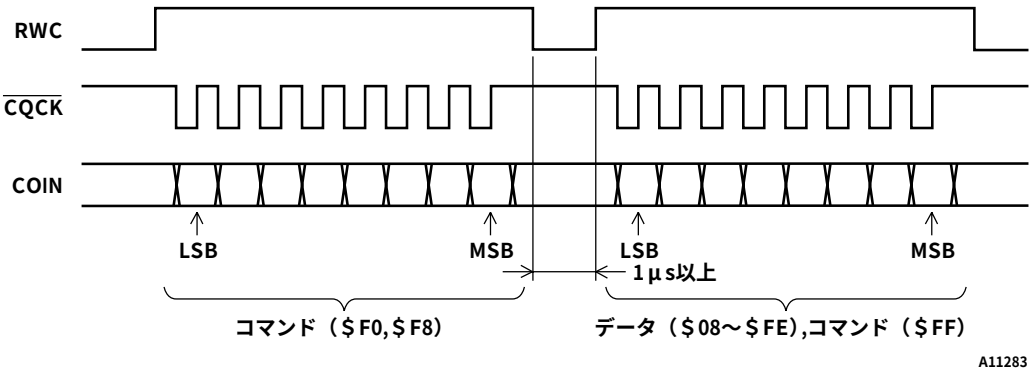
トラックチェック — 2バイトコマンド (RWC 2セット)

ディジタルアッテネータ
汎用ポート入出力設定
　— 2バイトコマンド (RWC 1セット)

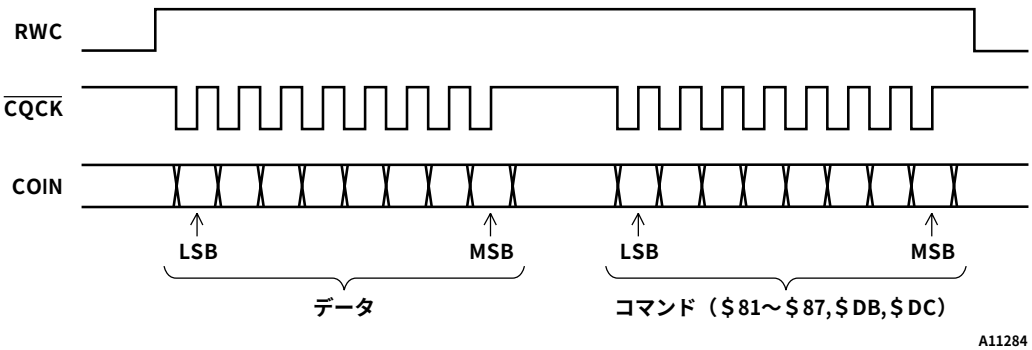
(1) 1バイトCOMMAND



(2) 2バイトCOMMAND (RWC 2セット：トラックカウント用)



(3) 2バイトCOMMAND (RWC 1セット：ディジタルアッテネーション および 汎用入出力ポート設定)



(4) コマンドノイズ除去

コード	COMMAND	$\overline{RES}$＝「L」
$EF $EE	コマンド入力ノイズ低減モード 上記モードリセット	◎

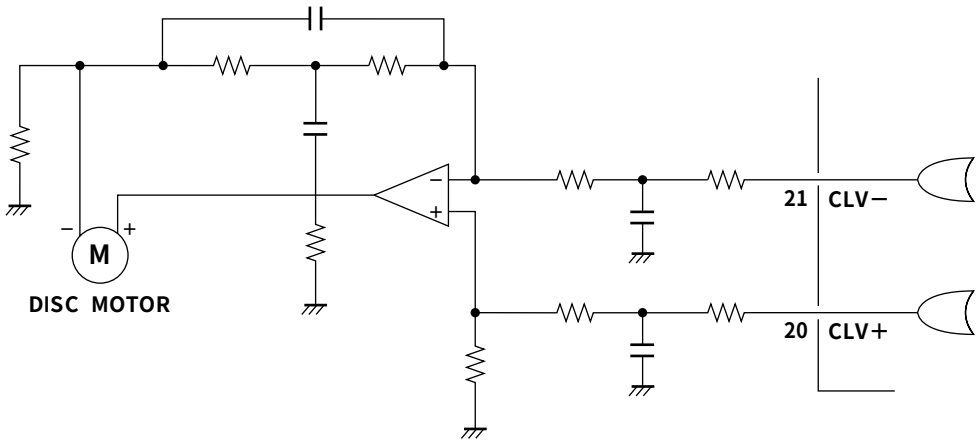
このコマンドにより、$\overline{CQCK}$クロックに混入するノイズを低減できる。これは500ns以下のノイズに対して有効だが、$\overline{CQCK}$のタイミングはt_{WL}, t_{WH}, t_{SU}とも1μs以上に設定しなければならない。

6) CLVサーボ回路　20ピン：CLV+, 21ピン：CLV−, 22ピン：V/$\overline{P}$

コード	COMMAND	$\overline{RES}$=「L」
$04	DISC MOTOR START (加速)	
$05	DISC MOTOR CLV (CLV)	
$06	DISC MOTOR BRAKE (減速)	
$07	DISC MOTOR STOP (停止)	◎

CLV+は、ディスクを正方向に加速する信号, CLV−は、減速する信号である。マイコンからのコマンドにより、加速, 減速, CLV, 停止の4モードから1つが選択される。各モードにおけるCLV+, CLV−出力を下表に示す。

MODE	CLV+	CLV−
加速	H	L
減速	L	H
CLV	パルス出力	パルス出力
停止	L	L



※ CLVサーボコントロールコマンドが、CLVモードの時のみTOFF端子は「L」、その他は「H」レベルとなる。
コマンドによるTOFF端子のコントロールは、CLVモード時のみ有効である。

(1) CLVモード

・CLVモードでは、HF信号からディスクの回転を検出し、DSPの内部モードが変化して各々の制御を行うことにより、正規の線速度回転に導入する。PWMの周期は7.35kHzである。V/$\overline{P}$は、ラフサーボ時「H」出力, 位相制御時「L」出力である。

内部モード	CLV+	CLV−	V/$\overline{P}$
ラフサーボ (低速回転と判定)	H	L	H
ラフサーボ (高速回転と判定)	L	H	H
位相制御 (PCKがロックしている)	PWM	PWM	L

(2) ラフサーボゲイン切換え

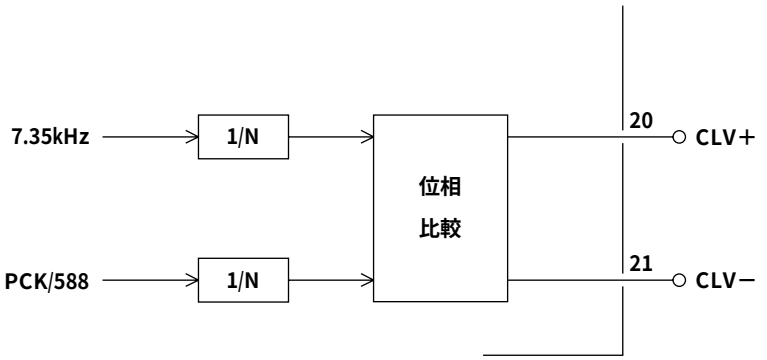
コード	COMMAND	$\overline{RES}$=「L」
$A8	DISC 8cm Set	
$A9	DISC 12cm Set	◎

ラフサーボ時のCLVコントロールゲインを、8cmディスクでは12cmディスクよりも8.5dB低くすることができる。

(3) 位相制御ゲイン切換え

コード	COMMAND	$\overline{RES}$＝「L」
$B1	CLV位相比較1/2分周	
$B2	CLV位相比較1/4分周	
$B3	CLV位相比較1/8分周	
$B0	CLV位相比較分周なし	◎

位相比較前段の分周器の分周値を変えることにより、位相制御ゲインを変えることができる。

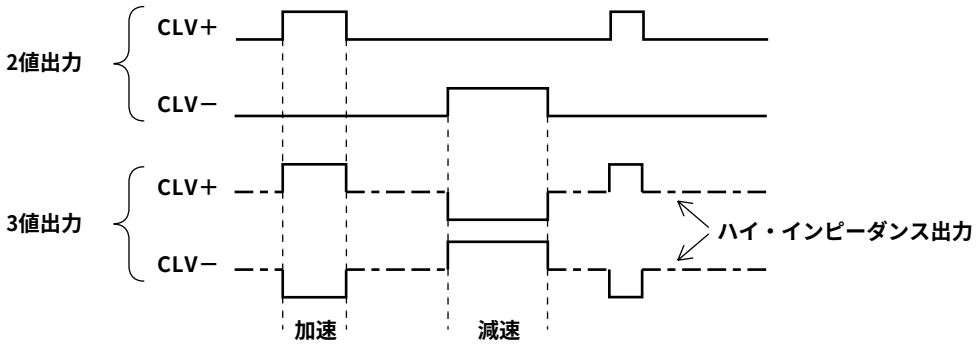


A11286

(4) CLV3値出力

コード	COMMAND	$\overline{RES}$＝「L」
$B4	CLV3値出力	
$B5	CLV2値出力 (従来方式)	◎

CLV3値出力コマンドにより、CLVを1端子で制御できる。ただしスピンドルゲインが6dB下がるのでサーボ側でのゲインアップが必要である。

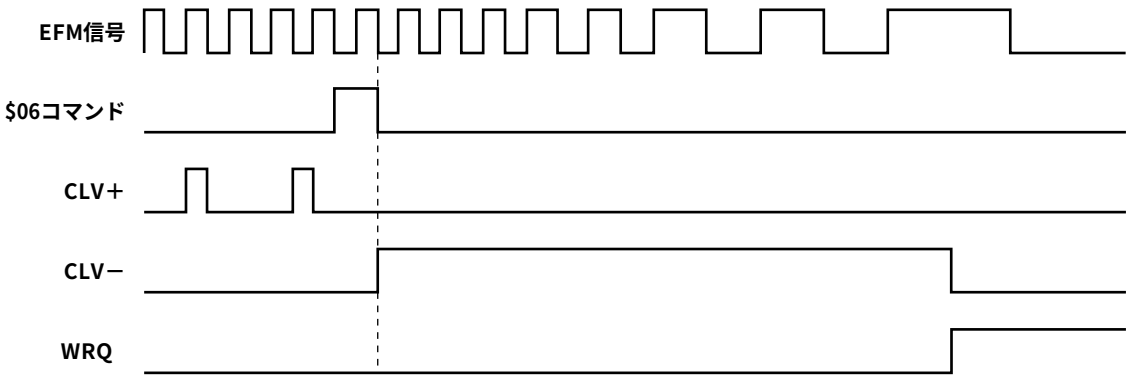


A11287

(5) 内部ブレーキモード

コード	COMMAND	$\overline{RES}$＝「L」
$C5 $C4	内部ブレーキ　ON 内部ブレーキ　OFF	◎
$A3	内部ブレーキ　コントロール	
$CB $CA	内部ブレーキ継続モード 上記モードリセット	◎
$CD $CC	内部ブレーキ時TONモード 上記モードリセット	◎

・内部ブレーキ オン ($C5)コマンドを入力することにより、内部ブレーキモードとなる。このモードでブレーキ ($06)コマンドを実行させると、ディスクの減速状態をWRQ端子でモニタすることができる。
・このモードでは、1フレーム中のEFM信号の密度をカウントすることにより、ディスクの減速状態を判別し、EFM信号が4ヶ以下になった時にCLV⁻を「L」に落とす。それと同時にブレーキ終了モニタとしてWRQ信号が「H」になる。マイコンは、WRQ信号の「H」を検知したらSTOPコマンドを送出し、ディスクの停止を完了する。内部ブレーキ継続モードでは、ブレーキ終了モニタWRQ＝「H」になってもCLV⁻＝「H」のブレーキ動作を継続する。
なお、EFM信号のノイズ状態により減速状態を誤判別する場合は、内部ブレーキコントロール ($A3)コマンドにより、EFM信号のカウントを4ヶから8ヶに変更するとよい場合がある。
・TOFF出力禁止モード ($CD)では、内部ブレーキ動作中TOFF＝「L」となる。ディスクのミラー面での誤検出を防止するのに有効であるため、使用することを推奨する。



※内部ブレーキコマンド実行中にフォーカスが落ちた場合は、再度フォーカスを取り直してから内部ブレーキコマンドを入力し直す必要がある。
※EFM信号の再生状態 (キズディスク, アクセス中等)により誤判別の恐れがあるので、マイコンとの併用を推奨。
※内部ブレーキモード時、DISC MTR BRAKE命令 ($06)を本DSPに実行させるとディスクの減速状態をWRQ端子でモニタできるが、この処理を実行中に他の命令を実行させると途中で処理が中止してしまう。この機能を途中で中止させたくない場合は、DISC MTR BRAKE命令 ($06)実行後、WRQ信号の「H」を検知してDISC MTR STOP命令 ($07)を実行させるまでの間、他の命令を実行させないこと。

7) トラックジャンプの回路　23ピン：HFL, 24ピン：TES, 25ピン：TOFF, 26ピン：TGL, 27ピン：JP^+, 28ピン：JP^-

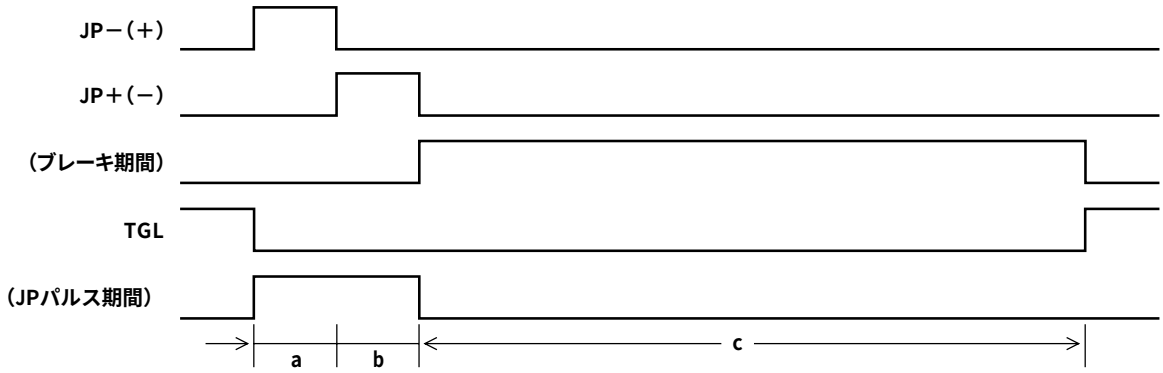
(1) トラックカウントの種類
トラックのカウントモードとしては、次の2通りが用意されている。

コード	COMMAND	$\overline{RES}$「L」
$22	新トラックカウント (TES, HFLの組合せ)	◎
$23	従来トラックカウント (TES信号をダイレクトカウント)	

従来のトラックカウントは、内部トラックカウントのクロックとしてはTES信号をそのまま使用している。
新トラックカウントは、TES信号の立上り および 立下りのノイズによるミスカウントを少なくするため、HFL信号との組合せがこのノイズを防止し、より正確なトラックカウントが行えるようにしている。ただし、ごみ, キズ等によりHFL信号が欠落した場合、トラックカウントパルスが出ない恐れがあるので使い方には注意が必要である。

(2) TJコマンド

コード	COMMAND	$\overline{RES}$＝「L」
$A0 $A1	従来トラックジャンプ 新トラックジャンプ	◎
$11	1 TRACK JUMP IN #1	
$12	1 TRACK JUMP IN #2	
$31	1 TRACK JUMP IN #3	
$52	1 TRACK JUMP IN #4	
$10	2 TRACK JUMP IN	
$13	4 TRACK JUMP IN	
$14	16 TRACK JUMP IN	
$30	32 TRACK JUMP IN	
$15	64 TRACK JUMP IN	
$17	128 TRACK JUMP IN	
$19	1 TRACK JUMP OUT #1	
$1A	1 TRACK JUMP OUT #2	
$39	1 TRACK JUMP OUT #3	
$5A	1 TRACK JUMP OUT #4	
$18	2 TRACK JUMP OUT	
$1B	4 TRACK JUMP OUT	
$1C	16 TRACK JUMP OUT	
$38	32 TRACK JUMP OUT	
$1D	64 TRACK JUMP OUT	
$1F	128 TRACK JUMP OUT	
$16	256 TRACK CHECK	
$0F $8F $8C	TOFF TON TRACK JUMP BRAKE	◎
$21 $20	JPパルス期間TOFF出力モード 上記モードリセット	◎



A11289

サーボコマンドにトラックジャンプの命令が入力されると、加速パルスが発生 (a期間), 続いて減速パルス (b期間)が発生し、ブレーキ期間 (c期間)を経て所定のジャンプが完了する。ブレーキ期間はTESとHFL入力とによって、ビームのスリップ方向を検出し、TES信号の内スリップを助長する部分をTOFFによってカットする。また TGLでサーボゲインを上げることにより、ジャンプ先のトラックを捕捉する。JPパルス期間TOFF出力モードでは、JPパルス発生期間中、TOFF＝「H」となる。

※TOFF端子は、ディスクモータコントロール関連のうちCLVモード時のみ「L」レベルとなり、START, STOP, BRAKEの時は「H」となる。また、TOFF端子は、コマンドにより単独にオン/オフ制御が可能である。ただし、ディスクモータコントロールがCLVモード時のみ有効である。

(3) TJモード

加速パルス, 減速パルス, ブレーキ期間の関係は次の通りである。

項　目	従来トラックジャンプモード時			新トラックジャンプモード時		
	a	b	c	a	b	c
1 TRACK JUMP IN (OUT) #1	233µs	233µs	60ms	同　左		
1 TRACK JUMP IN (OUT) #2	0.5 TRACK JUMP期間	233µs	60ms	0.5 TRACK JUMP期間	aと同時間	60ms
1 TRACK JUMP IN (OUT) #3	0.5 TRACK JUMP期間	233µs	この期間がない	0.5 TRACK JUMP期間	aと同時間	この期間がない
1 TRACK JUMP IN (OUT) #4	0.5 TRACK JUMP期間	233µs	60ms C期間中 TOFF「L」	0.5 TRACK JUMP期間	aと同時間	60ms C期間中 TOFF「L」
2 TRACK JUMP IN (OUT)	無　し			1 TRACK JUMP期間	aと同時間	60ms
4 TRACK JUMP IN (OUT)	2 TRACK JUMP期間	466µs	60ms	2 TRACK JUMP期間	aと同時間	60ms
16 TRACK JUMP IN (OUT)	9 TRACK JUMP期間	7 TRACK JUMP期間	60ms	9 TRACK JUMP期間	aと同時間	60ms
32 TRACK JUMP IN (OUT)	18 TRACK JUMP期間	14 TRACK JUMP期間	60ms	同　左		
64 TRACK JUMP IN (OUT)	36 TRACK JUMP期間	28 TRACK JUMP期間	60ms	同　左		
128 TRACK JUMP IN (OUT)	72 TRACK JUMP期間	56 TRACK JUMP期間	60ms	同　左		
256 TRACK CHECK	256 TRACK経過する期間 TOFFが「H」となり、a, b のパルスは出ない		60ms	同　左		
TRACK JUMP BRAKE	a, bの期間がない		60ms	同　左		

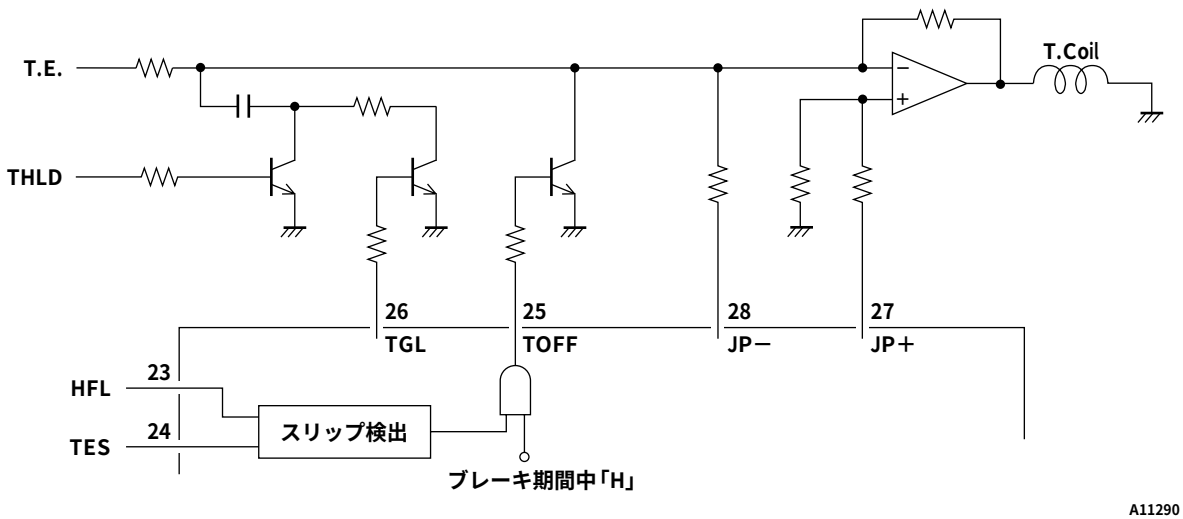
※256 TRACK CHECKは、前表の通りアクチュエータドライブの信号は出ず、TRACKING LOOP OFF状態でTES信号をカウントするモードであるから、フィードモータの送りが必要。

※サーボコマンダレジスタは、トラックジャンプの一連のシーケンス (a, b, c)が終了すると自動的にリセットされる。

※トラックジャンプの動作中に新たなコマンドを入力した場合、その時点からそのコマンド内容を実行する。

※1 TRACK JUMP #3にはブレーキ期間 (c期間)がなく、外部回路によりブレーキモードを生成しなければならないので、使い方には注意が必要である。

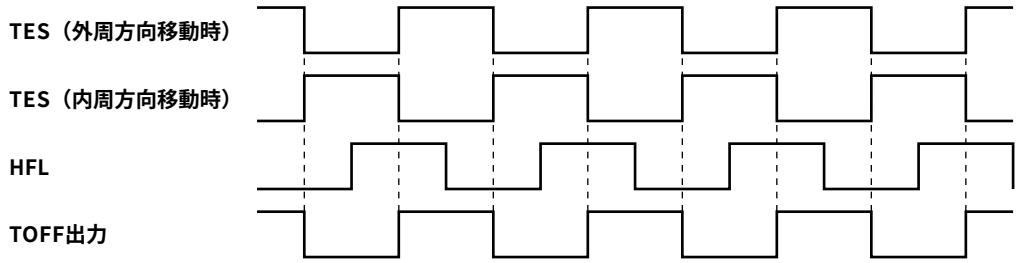
※新トラックジャンプモードの2TJ IN (OUT)は、LC78620E/21E/25Eではブレーキ期間 (C期間)がなかったが、本LSIではC期間60msに変更している。



THLD信号はLA9230M, 9240M, 9250Mシリーズ側で生成し、JPパルス期間中トラッキングエラー信号をホールドさせる。

※トラッキング・ブレーキ

トラック・ジャンプのC期間におけるTES, HFL, TOFF信号の関係を下記に示す。TOFF信号は、HFL信号をTES信号のエッジにより切り出されたものである。HFL信号の「H」期間は鏡面部であり、「L」期間はピット部である。この鏡面部からピット部に向かう時にTOFF「H」とし、ピット部から鏡面部に向かう時にゲイン・アップした状態 (TGL「L」)でTOFF「L」としブレーキをかける動作を行うものである。

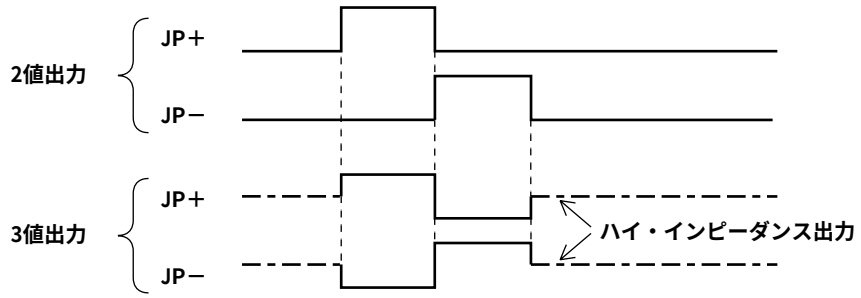


A11291

(4) JP3値出力

コード	COMMAND	$\overline{RES}$＝「L」
$B6	JP3値出力	
$B7	JP2値出力 (従来方式)	◎

JP3値出力コマンドにより、トラックジャンプを1端子で制御できる。ただしキックゲインが6dB下がるのでサーボ側でのゲインアップが必要である。

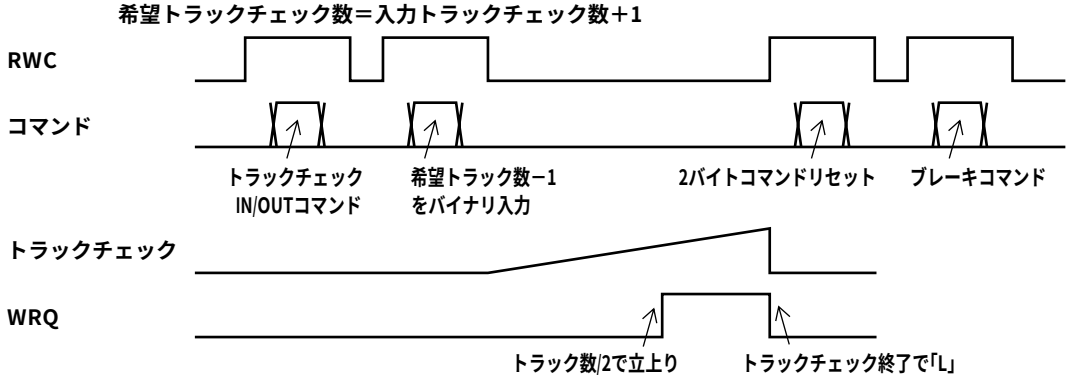


A11292

(5) トラックチェックモード

コード	COMMAND	$\overline{RES}$＝「L」
$F0	トラックチェック IN	
$F8	トラックチェック OUT	
$FF	2バイトCOMMAND RESET	◎

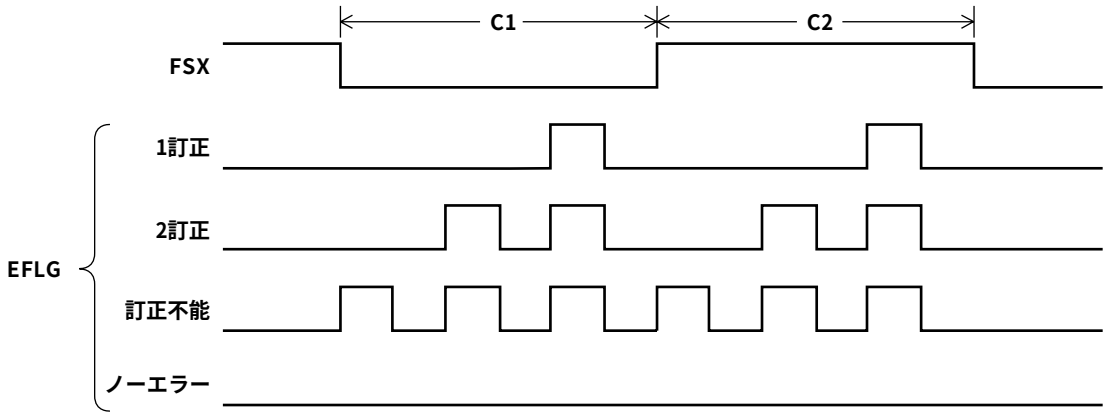
トラックチェックIN、あるいはトラックチェックOUTのコマンドを入力後、8～254の任意の値をバイナリ・データで入力すれば、その指定された数＋1だけのトラックのカウントが行える。



A11293

※希望トラック数をバイナリ入力する時のRWCの立下りより、トラックチェック動作を開始する。
※トラックチェック中は、TOFF端子が「H」となり、トラッキングループはオフとなるので、フィードモータ送りが必要である。
※トラックチェックIN/OUTコマンドを入力すると、WRQ信号はノーマル時のサブコードQのスタンバイモニタからトラックチェックのモニタに変化する。トラック数の半分のチェック終了時「H」となり、チェック終了で「L」となる。マイコンは、この「L」をみてトラックチェック終了を判断する。
※ 2バイトコマンドリセットコマンドを入力しないと、再度そのトラックチェック動作を開始する。つまり、たとえば20000トラック進みたい時は199トラックチェックコードを1回送り、WRQを100回数えれば20000トラックチェックとなる。
※トラックチェックを行い、ピックアップをトラックに捕捉させるためにブレーキコマンドを使用する。

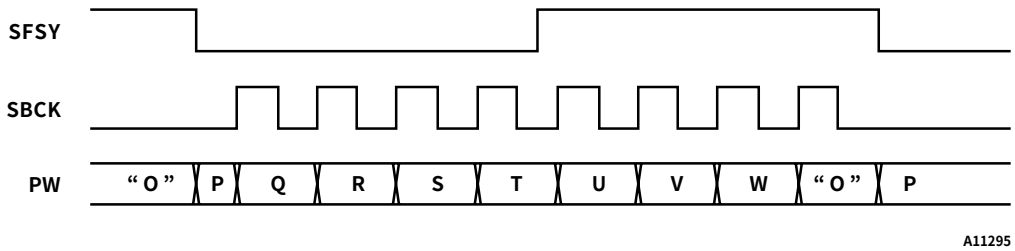
8) エラーフラグの出力　43ピン：EFLG, 44ピン：FSX



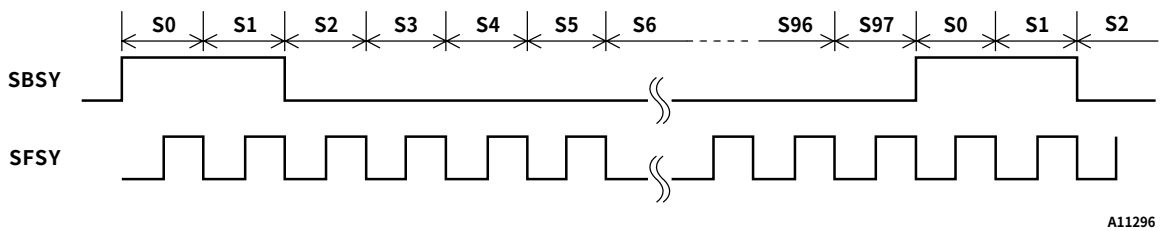
FSXは、水晶クロックを分周して作られた7.35kHzフレーム同期信号である。各フレームにおけるエラーコレクションの状況はEFLGに出力される。ここに現れる「H」の量により、再生状態の良否を簡単に知ることができる。

9) サブコード P, Q, R～Wの出力回路　34ピン：SBCK, 35ピン：SFSY/CONT4, 36ピン：PW/CONT5, 37ピン：SBSY

PWはサブコード信号の出力端子 (注：35ピン、36ピンは、それぞれ、汎用入出力端子と排他的な兼用端子となっており、マイコンからのコマンドによりその選択を制御する。参照：項目19　23ページ)で、SFSYの立下りから136μs以内にSBCKに8回クロックを入力することにより、P, Q, R～Wまでの全コードを読出すことができる。PW端子に現れる信号はSBCKの立上りで変化する。SBCKにクロックを入力しない場合には、PWには「P」コードが出力される。SFSYは、サブコードフレームごとに出力される信号で、この信号の立下りはサブコードシンボル (P～W)の出力がスタンバイしたことを示す。この信号の立下りと同時にサブコードデータPが出力される。



SBSYは、サブコードブロックごとに出力される信号。この信号は同期信号S0, S1の時「H」となり、立下りはサブコード同期信号の終了とサブコードブロック内のデータの始まりを示す (EIAJフォーマット)。



10) サブコードQ出力回路　66ピン：WRQ, 62ピン：RWC, 65ピン：SQOUT, 64ピン：$\overline{\text{CQCK}}$, 15ピン：$\overline{\text{CS}}$

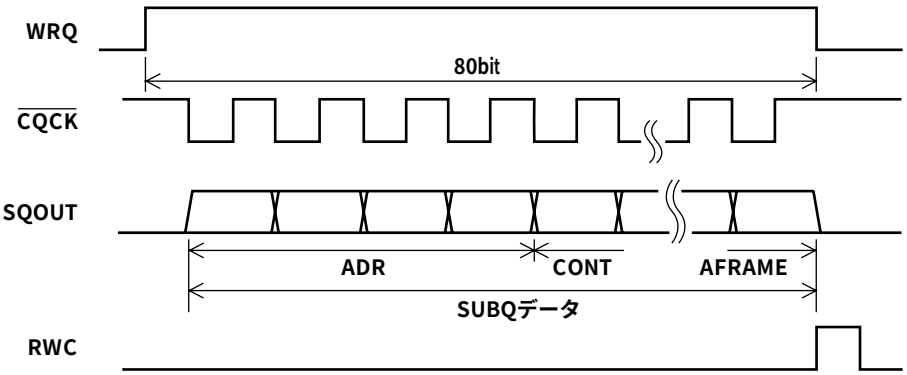
コード	COMMAND	$\overline{\text{RES}}$＝「L」
$09	ADDRESS FREE	
$89	ADDRESS「1」	◎

$\overline{\text{CQCK}}$端子にクロックを入力することにより、サブコードQをSQOUT端子より読出すことができる。サブコード8ビットのうち、「Q」信号は曲のアクセス, 表示等に有用なものである。CRCをパスし、しかもサブコードQフォーマットのうちアドレスが「1」の場合 (注1) に限ってWRQが「H」となる。マイコンでこの「H」を検出したら$\overline{\text{CQCK}}$を送出して下記の順序でSQOUTからデータを読出すことができる。$\overline{\text{CQCK}}$送出を開始するとDSP内部ではレジスタのデータ更新が禁止される。マイコンは読出しが完了したらRWCを一旦「H」にしてデータの更新許可を与える。この時 WRQは「L」に落ちる。WRQの「H」は11.2ms後には「L」に落ちるので$\overline{\text{CQCK}}$の入力はWRQが「H」の間に開始する。なお、データはLSBファーストアウトで読出すことができる。

(注1)：アドレスフリーコマンドを送れば、この条件は無視となる (CDV対応)。

CONT	ADR
TNO	
INDEX (POINT)	
MIN	
SEC	
FRAME	
ZERO	
AMIN (PMIN)	
ASEC (PSEC)	
AFRAME (PFRAME)	

(　)内はリードインエリアの場合



A11297

※WRQ端子は通常サブコードQのスタンバイを示すが、トラックカウントモード時 および 内部ブレーキ時は別のモニタとなる (トラックカウント および 内部ブレーキの項目を参照)。

※$\overline{\text{CS}}$端子が「L」の時、本ICはアクティブとなり、SQOUT端子からサブコードQデータが出力される。$\overline{\text{CS}}$端子が「H」の時SQOUT端子はハイインピーダンスとなる。

11) バイリンガル機能

コード	COMMAND	$\overline{\text{RES}}$＝「L」
$28	STO　CONT	◎
$29	Lch　CONT	
$2A	Rch　CONT	

・リセット時, および ステレオ ($28)コマンド入力時に、Lch, RchをそれぞれLch, Rchに出力する。
・Lchセット ($29)コマンド入力時に、Lch, RchともにLchデータを出力する。
・Rchセット ($2A)コマンド入力時に、Lch, RchともにRchデータを出力する。

12) ディエンファシス　45ピン：EMPH

サブコードQのコントロール情報のうち、プリエンファシス・オン/オフのビットがEMPH端子より出力される。これが「H」の時、本ICに内蔵のディエンファシス回路が動作し、ディジタルフィルタ出力 および DAC出力がディエンファシスされる。

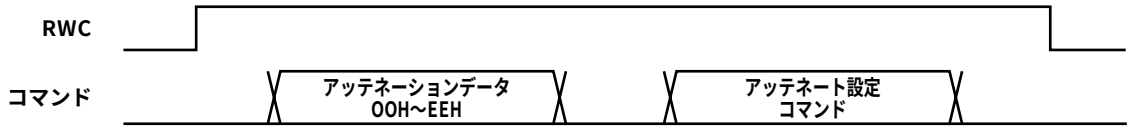
13) ディジタルアッテネータ

RWCを「H」にセットし、$\overline{\text{CQCK}}$クロックに同期した2バイトコマンドをCOINから入力することにより、オーディオデータにディジタルアッテネーションをかけることができる。

コード	COMMAND	$\overline{\text{RES}}$＝「L」
$81	ATT DATA SET	DATA 00H Set
$82	ATT 4STEP UP	(MUTE −∞dB)
$83	ATT 4STEP DOWN	
$84	ATT 8STEP UP	
$85	ATT 8STEP DOWN	
$86	ATT 16STEP UP	
$87	ATT 16STEP DOWN	

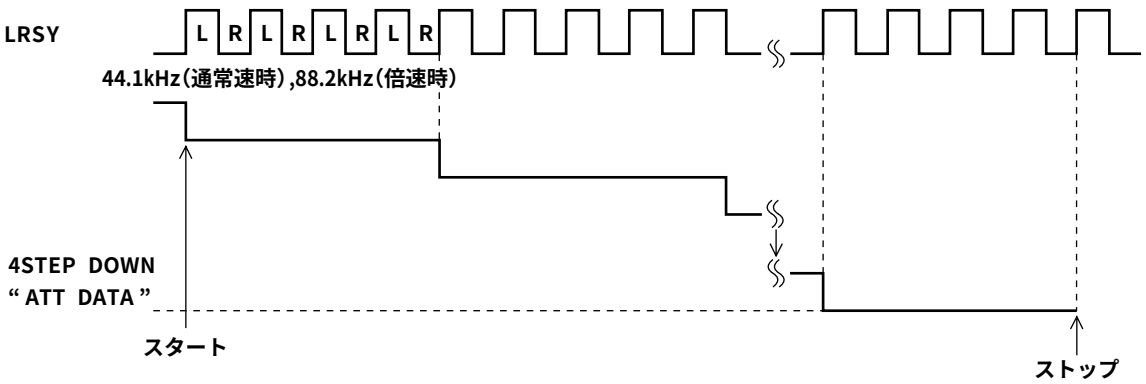
アッテネーションレベルはリセット後、ミュート状態 (アッテネーション係数00HでMUTE −∞)に設定されているので、音出しするためにはアッテネーション係数EEHをダイレクトセット (ATT DATA SET)する必要がある。なお、アッテネーションレベルはマイコンコマンドにより、00HからEEHまでの239通りに設定できる。

この2バイトコマンドは、トラックカウントに使われる2バイトコマンドと違ってRWCを一度だけセットすればよく、2バイトコマンドリセットも不要である (10ページの2バイトコマンド RWC1セット参照)。



A11298

目標のアッテネーションレベルを00H～EEHで入力後、アッテネートSTEP UP/DOWNコマンドを送ればLRSYの立上りに同期した4, 8, 16のそれぞれのステップで目標まで近付いて行く。ただし、ATT DATA SETの場合は、ダイレクトに目標値に設定される。遷移途中に新しいデータが入力された場合、その時点の値から新しい目標値に近付いて行く。ただし、この時UP/DOWNに注意が必要である。



A11299

$$\text{オーディオ出力レベル}=20\log\frac{\text{ATT DATA}}{100\text{H}}\ [\text{dB}]$$

たとえば、アッテネートレベル「00H」から4STEP UPコマンドにて「EEH」までレベル・アップする場合に要する時間は次式のようになるため、次のアッテネートレベル設定コマンドを入力する場合には、その分の時間マージンを取らなければならない。

$$\frac{238\text{レベル}\times 4\text{STEP UP}}{44.1\text{kHz (LRSY)}}\quad 21.6\text{ms}$$

※1ビットDACの演算オーバーフローによるノイズ発生を防止するため、EFH以上のデータセットを禁止する。

14) ミュート出力　51ピン：MUTEL, 57ピン：MUTER

ミュートコントロール (MUTE−∞dB：$03)を行った場合、および 各チャネルのデータが一定期間連続して「0」の時、出力が「H」となる。その後再びデータの入力があればただちに「L」となる。

15) C2フラグ出力　46ピン：C2F

C2Fは、データのエラー状態を示す8ビット単位のフラグ情報である。

16) ディジタル OUT 出力回路　39ピン：DOUT

ディジタルオーディオインタフェース用出力端子。EIAJフォーマットで出力する。この信号は補間、ミュート回路を通った信号が出る。この出力端子はドライバを内蔵しているので、トランスをダイレクトドライブできる。

コード	COMMAND	$\overline{RES}$＝「L」
$42 $43	DOUT　ON DOUT　OFF	◎
$40 $41	UBIT　ON UBIT　OFF	◎
$88 $8B	CDROM-XA ROMXA-RST	 ◎

- DOUT OFFコマンドを入力することによりディジタルOUT端子を「L」固定にすることができる。
- UBIT OFFコマンドを入力することによりDOUTデータのうちUBIT情報を「0」固定にすることができる。
- CDROM-XAコマンドを入力することによりDOUTを補間 および ミュート制御されないCD-ROM用データに切換えることができる (このときオーディオ出力はミュートモードに入る)。ROMXA-RSTコマンドにより補間 およびミュート制御されたオーディオデータ出力に戻せる (このときオーディオ出力はミュートが解除される)。

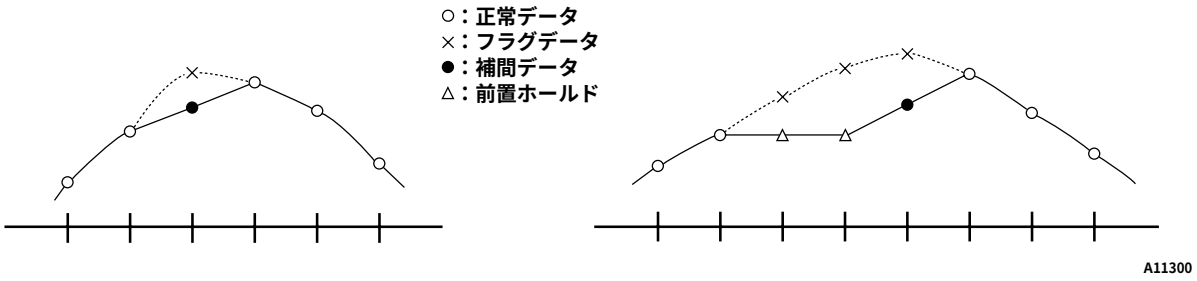
17) ミュートコントロール回路

コード	COMMAND	$\overline{RES}$＝「L」
$01 $03	MUTE　　0dB MUTE　−∞dB	 ◎

上記コマンドを入力すると音量をミュート (MUTE −∞dB)することができる。0クロスミュートを採用しているので、この動作時のノイズは小さい。0クロスの判断は上位7ビットがall「1」, あるいは、all「0」の範囲である。なお、LC78620E, 78621EにあったMUTE−12dB命令 ($02)は削除したので、ディジタルアッテネータを使ってATT DATA＝60 ($3C)をデータセットする。

18) 補間回路

誤り訂正回路で訂正できない場合に、誤ったオーディオ・データがそのまま出力されてしまうと大きなノイズとなってしまう。このノイズを低減するために誤ったデータの前後の正しいデータを基に直線近似したデータで置換えるというものである。C2フラグが2個以上の場合は前置ホールドとなる。ただし、2個以上の連続フラグの後に正しいデータが出力された場合、正しいデータとその2個前 (ホールド値)のデータとから、間のデータを直線近似データで置換える。



(1) エラーが1個の場合　　(2) エラーが連続する場合 (例は3個)

19) 汎用入出力ポート　33ピン：CONT2, 34ピン：CONT3/SBCK, 35ピン：CONT4/SFSY, 36ピン：CONT5/PW

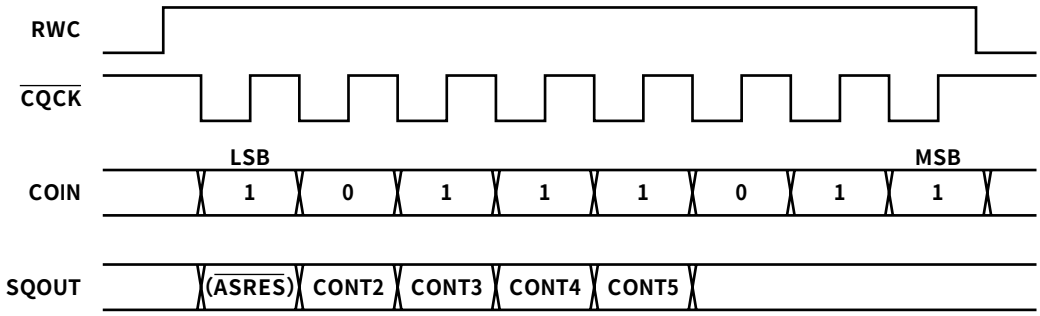
CONT2～CONT5の4本のI/Oポートを有する。これらは、リセット時には全て、入力端子となる。使用しないポートはGNDに接続するか、出力ポートに設定する必要がある。なお、35ピン、36ピンは、それぞれ、サブコードフレーム同期信号出力端子 (SFSY)、サブコード出力端子 (PW)と排他的な兼用端子となっており、マイコンからのコマンドによりその選択を制御する。また、34ピンもサブコード読出しのクロック入力端子 (SBCK)と兼用になっており、SBCKとして使用する場合は、CONT3として入力端子モード (出力ディセーブル)にしておく必要がある。

コード	COMMAND	$\overline{RES}$＝「L」
$DD	PORT READ	
$DB $DC	PORT I/O SET PORT OUTPUT	PORT I SET

コード	COMMAND	$\overline{RES}$＝「L」
$F6	SFSY, PW出力許可	
$F7	SFSY, PW出力禁止	◎

ポートの情報は、PORT READコマンドによりSQOUT端子より$\overline{CQCK}$の立下りに同期してCONT2, CONT3, CONT4, CONT5の順に読出せる。コマンドは1バイトCOMMANDフォーマット。

※トラックチェック、トラックジャンプ、内部MTRブレーキの動作中に本DSPにコマンドを印加すると、DSPはそれらの動作を中止する。これらの動作を中止させたくない場合は、汎用ポート操作命令をはじめとする不要なコマンドをトラックチェック、トラックジャンプ、内部MTRブレーキの動作中に印加しないこと。



A11301

またこれらのポートは、PORT I/Oセットコマンドにより制御用出力端子としてそれぞれ独立に設定できる。1バイトデータの下位4ビット (2～5ビット目)でポートを選択する。1バイトデータのLSB側2ビット目からCONT2, CONT3, CONT4, CONT5に対応する。コマンドは2バイトCOMMANDフォーマット (RWC1セット)。

※$\overline{ASRES}$端子は汎用入出力ポートの最下位ビットに割振られているが、汎用入出力ポートとしての使用を禁止する。PORT I/O SETコマンド ($DB××)で各ポートの入/出力を設定する場合、コマンドコードの最下位ビットは必ず「0」とすること (リセット後はこの状態になっている)。

1Byteデータ＋$DB	PORT I/O SET

dn ＝1 ･･･ CONTnを出力端子に設定
dn ＝0 ･･･ CONTnを入力端子に設定
n ＝2～5

出力端子に設定されたポートは、それぞれ独立に「H」レベル,「L」レベルを出力できる。1バイトデータの下位4ビット (2～5ビット目)がそれぞれのポートに対応。1バイトデータのLSB側2ビット目からCONT2, CONT3, CONT4, CONT5に対応する。コマンドは2バイトCOMMANDフォーマット (RWC1セット)。

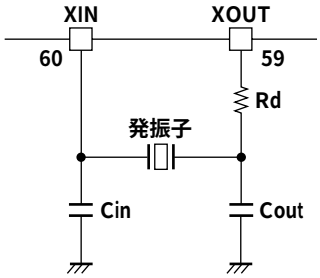
1Byteデータ＋$DC	PORT OUTPUT

dn ＝1 ･･･ 出力に設定されたCONTnより「H」レベル出力。
dn ＝0 ･･･ 出力に設定されたCONTnより「L」レベル出力。

20) クロック発振　60ピン：XIN, 59ピン：XOUT

コード	COMMAND	$\overline{RES}$＝「L」
$8E $8D	OSC ON OSC OFF	◎
$CE	XTAL 16M	◎
$C2 $C1	通常速再生 2倍速再生	◎

発振子 16.9344MHzをこれらの端子に接続することにより、
タイムベースとなるクロックを発生する。
OSC OFFコマンドは発振子の発振, および VCOの発振を止める
コマンドである。また、コマンドにより2倍速での再生が行える。



(1) 2倍速再生システムを構成する場合は、16.9344MHzの発振子をXIN (60ピン), XOUT (59ピン)に接続し、2倍速再生コマンドにより再生スピードを設定する。

(2) クリスタル/セラミック発振子推奨定数

メーカ	品　名	負荷容量 Cin＝Cout	ダンピング抵抗 Rd
シチズン時計 (株) (クリスタル発振子)	CSA-309 (16.9344MHz)	6pF～10pF　(±10%)	0Ω
TDK (株) (セラミック発振子)	FCR 16.93M2G (16.93MHz)	15pF　(±10%)	100Ω (±10%)
	FCR 16.93MCG (16.93MHz)	30pF　(内蔵タイプ)	47Ω (±10%)

負荷容量Cin, Coutは実際に使用される基板によって条件が変わるため、必ず使用基板による確認が必要である。発振子メーカまで問い合わせること。

21) 16M, 4.2M端子　41ピン：16M/NGJ, 42ピン ：4.2M

2倍速/通常速再生モード時には外付けX'tal 16.9344MHzのバッファ後 16.9344MHzが16M/NGJ端子より出力される。また、4.2M端子には4.2336MHzが出力され、LA9230/40シリーズのシステムクロックとなる。OSC OFF時は、どちらの端子も「H」か「L」いずれかに固定される。

16M/NGJ端子の出力切換えコマンド

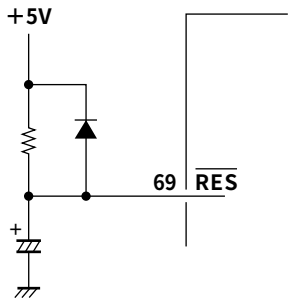
コード	COMMAND	$\overline{RES}$＝「L」
$F3 $F2	16M機能ON NGJ機能ON	◎

22) リセット回路　69ピン：$\overline{\text{RES}}$

電源投入時、一旦この端子を「L」にしてから「H」にする。ミューティングは−∞dBに, ディスクモータはSTOPに設定される。

CLVサーボ関係	START	STOP	BRAKE	CLV
ミューティングコントロール	0dB	[−∞]		
サブコードQのアドレス条件	[Address 1]	Address Free		
トラックジャンプモード	[従来]	新		
トラックカウントモード	従来	[新]		
ディジタルアッテネータ	[DATA 0]	DATA 00H〜EEH		
OSC	[ON]	OFF		
再生スピード	[通常速]	2倍速		
ディジタルフィルタ通常速	ON	[OFF]		

$\overline{\text{RES}}$端子を「L」にすると、上記の [　　] 内状態にダイレクトセットされる。



A11303

23) その他の端子　2ピン：TAI, 16ピン：TEST1, 19ピン：TEST2, 38ピン：TEST3, 40ピン：TEST4, 14ピン：TEST5

LSIの内部回路のテスト用端子。TEST1は必ず0Vに接続して使用すること。TAI, TEST2〜5はプルダウン抵抗内蔵だが、安全のため必ず0Vに接続して使用すること。

24) ブロック動作説明

(1) RAM アドレス制御

8ビット×2KワードのRAMを内蔵しており、アドレス制御によって、EFM復調データのジッタ吸収能力は、バッファ・メモリ容量として±4フレーム持っている。また、常時このバッファの余裕をチェックしており、CLVサーボ回路のPCK側の分周比を微調整することにより、データの書込みアドレスをバッファ分の中央にくるようにコントロールしている。また±4フレームのバッファ容量を超えると強制的に書込みアドレスを±0に設定し、これによって生ずるエラーはフラグで処理できないので128フレーム期間ミュートをかける。

ポジション	分周比　　または　　処置
−4以下	±0に強制移動
−3	589 ┐
−2	589 ├ 前進分周
−1	589 ┘
±0	588　　標準分周
+1	587 ┐
+2	587 ├ 後退分周
+3	587 ┘
+4以上	±0に強制移動

(2) C1, C2訂正

EFM復調されたデータは、内部RAMに書込み、ジッタ吸収を行って X'talクロックによる一定のタイミングで以下の処理を行う。まずC1ブロックとしてのエラーチェックと訂正, C1フラグの決定とC1フラグレジスタへの書込み、次にC2ブロックとしてのエラーチェックと訂正, C2フラグの決定と内部RAMへの書込みである。

C1チェック	訂正とフラグ処理
エラーなし	訂正不要・フラグリセット
1エラー	訂正実施・フラグリセット
2エラー	訂正実施・フラグセット
3エラー以上	訂正不能・フラグセット

C2チェック	訂正とフラグ処理
エラーなし	訂正不要・フラグリセット
1エラー	訂正実施・フラグリセット
2エラー	C1フラグを参照する。※1
3エラー以上	C1フラグを参照する。※2

※1 C2チェックで判定したエラーポジションとC1フラグが一致している場合は、訂正を実行してフラグリセットする。ただし C1フラグの数が7以上の場合は、誤訂正のおそれがあるので訂正せず、フラグはC1フラグをそのままC2フラグとする。エラーポジションが1つは一致するが、他の1つが一致しない場合には訂正はできない。しかもC1フラグの数が5以下の場合は C1チェックの結果もあやしいと考えられるので フラグはセットする。6以上の場合は訂正不能と同一に扱い、C1フラグをそのままC2フラグとする。エラーポジションが1つも一致しない場合、当然訂正はできず C1フラグの数が2以下の場合、C1チェックでOKとされたデータも誤りがあると考えられるのでフラグをセットする。他はC1フラグをそのままC2フラグとする。

※2 3エラー以上で訂正不能と判断された場合、当然訂正はできず C1フラグの数が2以下の場合はC1チェックでOKされたデータも誤りがあると考えられるのでフラグをセットする。他はC1フラグをそのままC2フラグとする。

25) アンチショック機能　67ピン：FMT, 48ピン：MR1, 49ピン：MR2, 76ピン：WOK, 75ピン：CNTOK, 74ピン：OVF
46ピン：C2F, 66ピン：WRQ, 65ピン：SQOUT

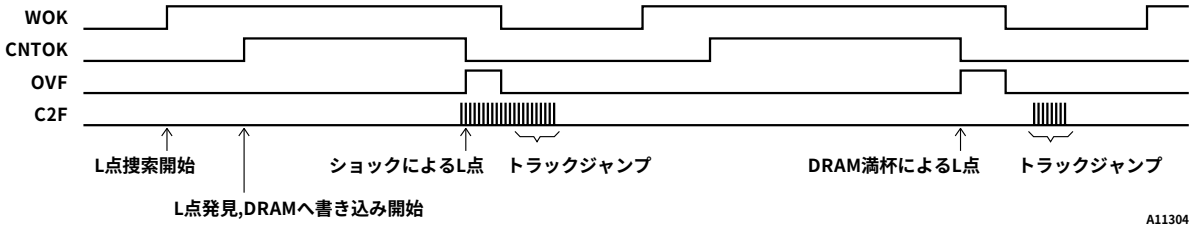
本LSIのアンチショック機能は、Discから2倍の速度でデータを読出して外付けDRAMに格納しておき、外乱ショックによるデータ読取り不良時に格納しておいたデータを再生することによって、外乱ショックによる再生不良を回避する。アンチショックモードはFMT端子を「H」にすることにより設定する。外付けDRAMへのデータ格納時は、16ビットのデータはADPCMにより5ビットに圧縮される。DRAMの容量 (1M/4M/8M/16Mビット)により、格納できる時間は約2.4秒 (1M), 約9.5秒 (4M), 約19秒 (8M), 約38秒 (16M)と異なる。DRAMの種類に応じてMR1, MR2の設定 (表参照)を行わなければならない。アンチショックモード時には、外付けDRAMに2倍速でデータを書込み、通常速 (1倍速)で読出して再生するため、外付けDRAMはいずれ満杯になる。この時、本LSIはDRAMへの書込みを中断してOVF端子を「H」にする。マイコンでOVFを監視して「H」になったことを確認し、WOK端子を「L」にして書込み中断点 (以後、L点と呼ぶ)を捜すためにトラックジャンプを行わなければならない。L点が何処であったかは、サブコードQの中のフレームNo. を予めマイコンで監視しておくことで判断する。OVF端子が「H」になった時のフレームNo. を目印にトラックジャンプし、その数フレーム前からWOK端子を「H」にすることによってL点の捜索を行う。本LSIはL点が見つかるとCNTOK端子を「H」にしてDRAMへのデータ書込み処理を再開する。なお、L点捜索時に外乱が発生した時など、L点が見つけられない場合がある。L点のフレームNo. を過ぎても (3フレーム以上)CNTOK端子が「H」にならなかった時、L点が見つけられなかったと判断する。この時、再度トラックジャンプしてL点を再捜索を行うこと。再捜索する場合にはWOK端子を「H」にしたままトラックジャンプすること。本LSIは、外乱ショックが発生したか否かをC2Fフラグにより判断している。C2Fフラグが「H」になるとDRAMが満杯になった時と同様にOVF端子が「H」になってDRAMへのデータ書込みを中断する。この場合もDRAMが満杯になった時と同様の処理をマイコンで行えばよい。

設定端子

端　子		MR2	
		「H」	「L」
MR1	「H」	8MビットDRAM ((1M×4ビット)×2)	1MビットDRAM (256K×4ビット)
	「L」	16MビットDRAM (4M×4ビット)	4MビットDRAM (1M×4ビット)

端　子	「H」	「L」
FMT	アンチショックモード：ON	アンチショックモード：OFF

アンチショック動作時の各信号の概略タイミングを下図に示す。



26) アンチショック単独リセット

$\overline{\text{ASRES}}$端子を「L」に設定することでアンチショックコントローラ部のみ (DSP部は除く)を初期化できる。「H」で解除する。
なお、コマンドにより単独リセットを制御するときは、$\overline{\text{ASRES}}$端子は「L」に固定 (0Vに接続)しておかなければならない。

コード	COMMAND	$\overline{\text{RES}}$＝「L」
$F4	単独リセット禁止/解除	
$F5	単独リセット許可/突入	◎

27) コマンド一覧表

空欄コマンド：使用不可, *印：ラッチされるコマンド (モード設定コマンド),
@印：ASP (LA9240M等)との共用コマンド, ( )内 ：ASP専用コマンド (参考),
%印：LC78622Eからの変更追加コマンド

$00	(ADJ. RESET)	$20	* TJ時TOFF「L」	$40	* UBIT ON	$60	
$01	* MUTE 0dB	$21	* TJ時TOFF「H」	$41	* UBIT OFF	$61	
$02		$22	* 新 TRACK COUNT	$42	* DOUT ON	$62	
$03	* MUTE −∞dB	$23	* 旧 TRACK COUNT	$43	* DOUT OFF	$63	
$04	* DISC MTR START	$24		$44		$64	
$05	* DISC MTR CLV	$25		$45		$65	
$06	* DISC MTR BRAKE	$26		$46		$66	
$07	* DISC MTR STOP	$27		$47		$67	
$08	@ FOCUS START #1	$28	* STO CONT	$48		$68	
$09	* ADDRESS FREE	$29	* LCH CONT	$49		$69	
$0A		$2A	* RCH CONT	$4A		$6A	
$0B		$2B		$4B		$6B	
$0C		$2C		$4C		$6C	
$0D		$2D		$4D		$6D	
$0E		$2E		$4E		$6E	* DF通常速「OFF」
$0F	* TRACKING OFF	$2F		$4F		$6F	*% DF通常速「ON」

$10	2TJ IN	$30	32TJ IN	$50		$70	
$11	1TJ IN #1	$31	1TJ IN #3	$51		$71	
$12	1TJ IN #2	$32		$52	1TJ IN #4	$72	
$13	4TJ IN	$33		$53		$73	
$14	16TJ IN	$34		$54		$74	
$15	64TJ IN	$35		$55		$75	
$16	256TC	$36		$56		$76	
$17	128TJ IN	$37		$57		$77	
$18	2TJ OUT	$38	32TJ OUT	$58		$78	
$19	1TJ OUT #1	$39	1TJ OUT #3	$59		$79	
$1A	1TJ OUT #2	$3A		$5A	1TJ OUT #4	$7A	
$1B	4TJ OUT	$3B		$5B		$7B	
$1C	16TJ OUT	$3C		$5C		$7C	
$1D	64TJ OUT	$3D		$5D		$7D	
$1E		$3E		$5E		$7E	
$1F	128TJ OUT	$3F		$5F		$7F	

DISC MTR BRAKE ($06)命令の機能の内、内部ブレーキONモードの時にWRQ端子出力を「H」とする機能はラッチされない。
詳細は15ページ6) -(5)内部ブレーキモードの項を参照のこと。

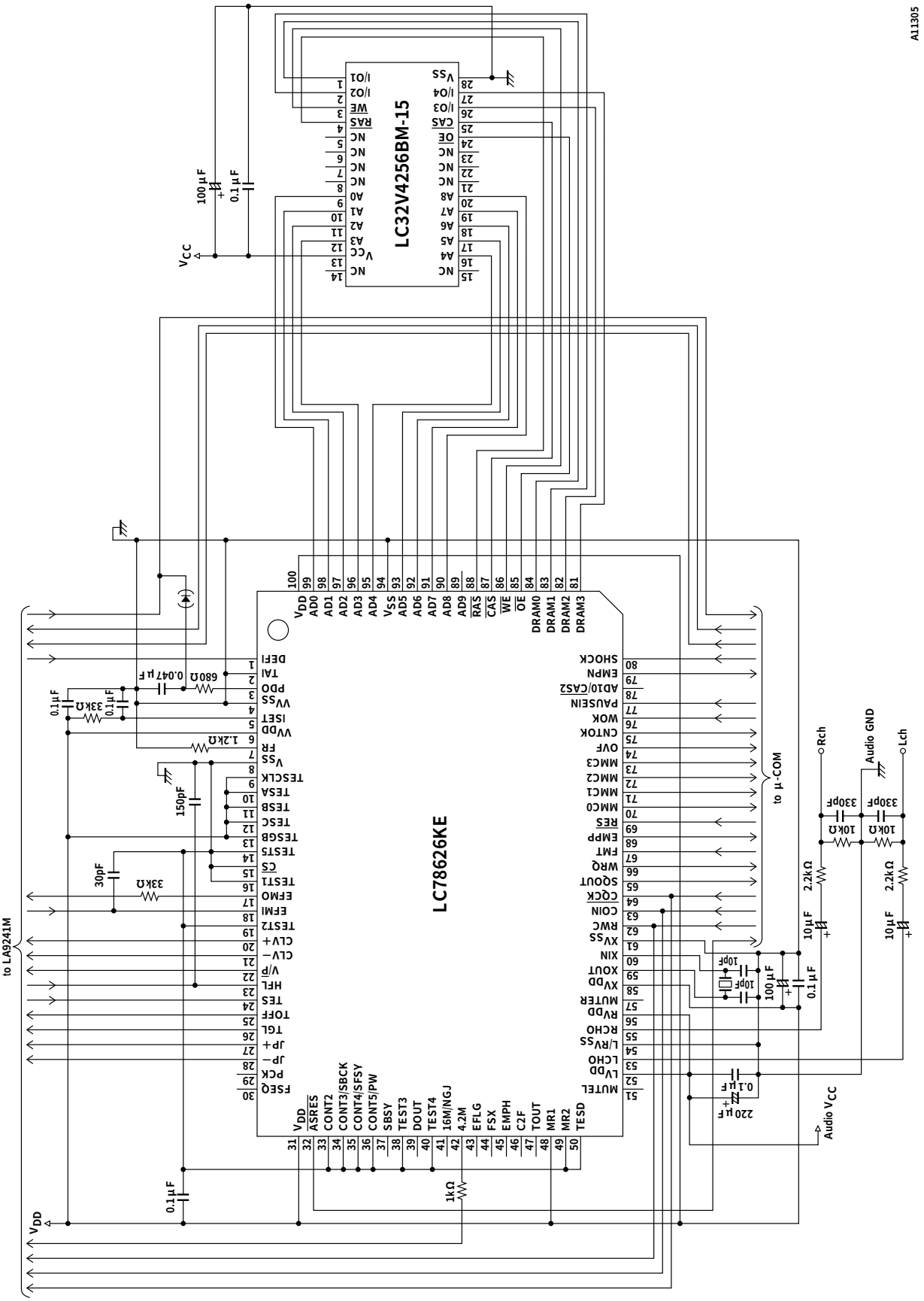
空欄コマンド：使用不可, *印：ラッチされるコマンド (モード設定コマンド),
@印：ASP (LA9240M等)との共用コマンド, (　)内：ASP専用コマンド (参考),
%印：LC78622Eからの変更追加コマンド

$80		$A0	* 旧 TRACK JUMP	$C0		$E0	
$81	* ATT DATA SET	$A1	* 新 TRACK JUMP	$C1	* 2倍速再生	$E1	
$82	* ATT 4STP UP	$A2	FOCUS START #2	$C2	* 通常速再生	$E2	
$83	* ATT 4STP DOWN	$A3	* 内部BRAKE CONT	$C3		$E3	
$84	* ATT 8STP UP	$A4		$C4	* 内部BRAKE OFF	$E4	
$85	* ATT 8SP DOWN	$A5		$C5	* 内部BRAKE ON	$E5	
$86	* ATT 16STP UP	$A6		$C6		$E6	
$87	* ATT 16STP DOWN	$A7		$C7		$E7	
$88	* CDROMXA	$A8	* DISC 8cm SET	$C8		$E8	
$89	* ADDRESS「1」	$A9	* DISC 12cm SET	$C9		$E9	
$8A		$AA		$CA	* 内部BRK-DMC「L」	$EA	
$8B	* ROMXA RST	$AB		$CB	* 内部BRK-DMC「H」	$EB	
$8C	TRACK JMP BRAKE	$AC	* PLL DIV OFF	$CC	* 内部BRK時TOFF	$EC	
$8D	* OSC OFF	$AD	* PLL DIV ON	$CD	* 内部BRK時TON	$ED	
$8E	* OSC ON	$AE		$CE	* X'tal 16M	$EE	* コマンドノイズOFF
$8F	* TRACKING ON	$AF		$CF		$EF	* コマンドノイズON

$90	(* F. OFF. ADJ. START)	$B0	* CLV PH1分周モード	$D0		$F0	#@ TRACK CHECK (2BYTE DETECT)
$91	(* F. OFF. ADJ. OFF)	$B1	* CLV PH2分周モード	$D1		$F1	
$92	(* T. OFF. ADJ. START)	$B2	* CLV PH4分周モード	$D2		$F2	*% NGJ機能 ON
$93	(* T. OFF. ADJ. OFF)	$B3	* CLV PH8分周モード	$D3		$F3	*16M機能 OFF
$94	(* LASER ON)	$B4	* CLV 3値出力 ON	$D4		$F4	*%アンチショック部 単独リセット禁止/解除
$95	(* LSR. OFF/F. SV. ON)	$B5	* CLV 3値出力 OFF	$D5		$F5	*%アンチショック部 単独リセット許可/突入
$96	(* LSR. OFF/F. SV. OFF)	$B6	* JP 3値出力 ON	$D6		$F6	*%PW 出力許可
$97	(* SP. 8cm)	$B7	* JP 3値出力 OFF	$D7		$F7	*%PW 出力禁止
$98	(* SP. 12cm)	$B8		$D8		$F8	#@ TRACK CHECK OUT (2BYTE DETECT)
$99	(* SP. OFF)	$B9		$D9		$F9	
$9A	(* SLED ON)	$BA		$DA		$FA	
$9B	(* SLED OFF)	$BB		$DB	* PORT OP-ED SET	$FB	
$9C	(* EF. BAL. START)	$BC		$DC	* PORT DATA SET	$FC	
$9D	(* T. SERVO OFF)	$BD		$DD	PORT READ	$FD	
$9E	(* T. SERVO ON)	$BE		$DE		$FE	@ NOTHING
$9F		$BF		$DF		$FF	*@ 2BYTE CMD RESET

PLL DIV (PLL部の1／2分周器)はリセット後、オフ状態 (LC78622シリーズと逆)。ただし、コマンド ($AC, $AD)の機能自体はLC78622シリーズと同じ。

28) 応用回路例


LC32V4256BM-15
LC78626KE
to LA9241M
to μ-COM
Rch
Lch
Audio GND
Audio VCC
VCC
VDD
100μF
0.1μF
680Ω
0.047μF
33kΩ
1.2kΩ
150pF
30pF
1kΩ
2.2kΩ
10kΩ
330pF
10μF
100pF
220μF
A11305

29) CD-DSP機能比較

機能＼機種	LC78621E	LC78625E	LC78630E	LC78624E	LC78626KE (LC78626E)	LC78622E	LC78622NE
EFM-PLL	VCO内蔵 FR＝1.2kΩ	VCO内蔵 FR＝1.2kΩ	VCO内蔵 FR＝1.2kΩ	VCO内蔵 FR＝1.2kΩ	VCO内蔵 FR＝1.2kΩ (5.1kΩ)	VCO内蔵 FR＝1.2kΩ	
RAM	16K	16K	18K	16K	16K	16K	
再生スピード	2倍	2倍	4倍	2倍	2倍	2倍	
ディジタルアウト	○	○	○	○	○	○	
補間	4	4	2	2	2	2	
0クロスミュート	○ −12dB, −∞	○ −12dB, −∞	○ −∞	○ −∞	○ −∞	○ −∞	
レベルメータ ピークサーチ	○	○	×	×	×	×	
バイリンガル	○	○	○	○	○	○	
ディジタル アッテネータ	○	○	○	×	○	○	
ディジタル フィルタ	8fs	8fs	2fs	×	8fs (4fs)	4fs	8fs
ディジタル ディエンファシス	○	○	○	×	○	○	
汎用ポート 出力	2	2	2	×	×	×	(3)
汎用ポート 入出力	×	(4)	2＋(4)	5	1＋(3)	5	
VCD対応	×	○	○	×	×	×	
アンチショックI/F	○	○	○	×	不要	×	
アンチショック コントローラ	×	×	×	×	○ max 16MDRAM (max 4MDRAM)	×	
CDテキスト	×	×	×	○	×	×	
CD-ROM I/F	○	○	○	×	×	×	
1ビット DAC	○	○	○	×	○	○	
L. P. F	×	×	×	×	○	○	
電源電圧	3.6V～5.5V	3.0V～5.5V	3.6V～5.5V	3.0V～5.5V	3.0V～3.6V (3.0V～5.5V)	3.0V～5.5V	
パッケージ	QIP80E	QIP80E	QIP80E	QIP64E	QIP100E	QIP64E	

設計に関する注意事項

システムとしての信頼性を達成する上で、本LSIの絶対最大定格 および 許容動作範囲 (推奨動作条件)を遵守して使用するのはもちろんのこと、周囲温度、静電気などの使用環境条件と実装条件についても十分配慮して使用することが必要である。

ここでは、特に設計・実装上のその他の注意事項について説明する。

1. 未使用端子の処理

① 本LSIは未使用の入力端子をオープンで使用すると、内部が不安定になるものがある。使用していない端子の処理は資料に記載のある場合はその内容に従うこと。また、出力端子についても電源ラインやGNDライン、および 他の出力と接続しないよう注意が必要である。

② 汎用I/Oポートが未使用の場合は、出力ポートにして「L」出力になるように設定するか、または 入力ポートのままプルアップ または プルダウンによって入力レベルを固定すること。

2. ラッチアップ防止

① 本LSIの構造上、各電源端子には必ず同電位を供給すること。
＊サーボ系のASPにも同電位を供給すること。本LSIとスライスレベル・コントロール回路を共有しており、同電位の印加が必要である。なお、ASPの各電源端子にも必ず同電位を供給すること。

② 入出力端子の電圧レベルをV_{DD}より上げない、また V_{SS}より下げないこと。これは電源投入時のタイミングにも注意すること。

③ 過電圧、異常ノイズが本LSIに加わらないようにすること。

④ 一般的には、未使用入力端子の電位はV_{DD} または V_{SS}に固定してラッチアップを防止するが、本LSIの端子の処理は端子説明に記載されている通りに従うこと。

⑤ 出力短絡をしないこと。

3. インタフェース

異なるデバイスの入出力を接続する場合は、入力V_{IL}/V_{IH}とV_{OL}/V_{OH}のそれぞれのレベルが合わないと誤動作の原因となる。2電源系システムのような異なる電源電圧のデバイスを接続する場合は破壊しないよう、レベルシフトを挿入すること。

4. 負荷容量と出力電流

① 大きな負荷容量を接続すると、長時間出力が短絡するため配線の溶断につながる。また、充放電電流が多い場合はノイズ発生の原因になり、機器の性能を劣化させたり、誤動作を生じさせることがある。推奨の負荷容量を使用すること。

② 出力のシンク または ソース電流が多い場合も①と同様、不具合発生の原因になる。最大許容消費電力を考慮した上で、推奨の電流値で使用すること。

5. 電源投入時とリセット時の注意

① 電源投入時やリセット時、および リセット解除時には注意が必要な場合があるので、スペックシートを参照の上、製品に合った設計の配慮をすること。

② 本LSIは電源投入時の端子の出力状態や入出力設定、レジスタ内容等は保証していない。リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となる。本LSIの電源投入後は、まずリセット動作を実行すること。
定義されていない端子状態、レジスタ内容は、長期のロットばらつきにより設計初期の状態から変化することがあるので十分注意すること。

③ 汎用I/Oポートはリセット時は入力である。フェイルセーフの点から、「H」または「L」に固定しなければならない場合は、個別に抵抗を介してV_{DD}にプルアップするか、V_{SS}にプルダウンすると有効である。

④ 4.2M出力をマイコンのマスタークロックとして使用する場合は、リセット回路をマイコンと共有させる。マイコンはクロックが入力されなければリセットされないので、マイコンのポートで本LSIのリセット入力をコントロールしないこと。本LSIがリセットされていなければ、4.2MHzが出力されている保証はなく、従ってマイコンもリセットされず、機器の誤動作の原因になる。

6. 熱設計上の注意

半導体デバイスの故障率は周囲温度と消費電力により大きく加速される。高信頼性確保のため、周辺条件の変化も考慮され、十分ゆとりのある設計をすること。

7. PCBパターン設計上の注意

① V_{DD}, GNDラインは各系統毎に分け、共通インピーダンスの影響を減らすのが理想である。

② V_{DD}, GNDラインは太く短く配線し、高周波に対するインピーダンスを小さくすること。デカップリングコンデンサ (0.01～1μF程度)を各V_{DD}-GND間に挿入することが理想となる。コンデンサはできるだけ電源端子の近くに配置すること。
また、低周波フィルタとしては各V_{DD}-GND間に100～220μF程度のコンデンサを挿入することが適当である。ただし、この容量が大きすぎる場合にはラッチアップを引き起こす原因になるので注意すること。
＊サーボ系では基準電圧V_{REF}ラインとドライバのV_{CC}, GNDラインが同様の処理となる。ドライバのGNDラインは特に太くし、素子直下では放熱効果も考慮したドライバ推奨のパターンにすること。
＊電流出力型ピックアップを使用する場合は、受光素子側コネクタとASPのRF入力を極力近くに配置すること。電圧出力型の場合でもASPの入力側に配置するI/V変換抵抗はASPのRF入力の近くに配置する。

③ EFM信号ラインは短く配線し、隣接ラインから遠ざけるかVSS または V_{DD}のシールドラインを隣接ラインとの間にはさむこと。
スライスレベル・コントロール出力 (EFMO)とASPのクロック出力 (4.2M)はEFM信号ラインへの外乱要因となり易いため、出力端子に接続する抵抗は極力、端子の近くに配置すること。また、この抵抗値が小さい場合は輻射の影響が大きくなり、抵抗値が大きい場合は出力レベルに注意すること。4.2M出力はASPの入力レベルを考慮して設計すること (設計中心1Vp-p)。

④ マイコンインタフェースにノイズが発生すると誤動作の原因になる。機器システムによるが、インタフェース・ラインは短く配線し、インダクタンスやキャパシタを小さくする。ただし、クロストークには注意すること。
インタフェース・ラインが長くなる場合や外来ノイズが多い場合は、ノイズ除去回路を挿入すると効果的である。インタフェースのタイミングを考慮してフィルタ設計すること。
コマンドノイズ低減コマンド「$EF」を本LSIに入力することも効果的である。

⑤ X' Talの周囲はGNDパターンで囲むこと。

8. ソフト設計上の注意

① ソフト設計時の禁止事項や推奨事項については、資料に記載のある場合はその内容に従うこと。

② デジタルアウトを使用する場合は、イニシャル時にUBIT OFF「$41」を本LSIに入力する。DIRのアンロック防止やサブコードの誤認識防止のため、再生時のみUBIT ON「$40」にする。

③ イニシャル時と本LSIのリセット解除後、および 本LSIのOSC ON後は、2バイトコマンドリセット [$FF]をASP, LA9230Mシリーズ, LA9240Mシリーズに入力し、ASPのコマンドレジスタをセットアップする。

④ ASP, LA9230Mシリーズ, LA9240Mシリーズは、本LSIの4.2M出力をマスタークロックとしているため、イニシャル時と本LSIのリセット解除後、および 本LSIのOSC ON後のコマンド入力のタイミングは、発振子の安定発振後、さらに30msのセットアップ時間が必要である。また、ASP RESET「$00」をASPに入力した直後にも、この30msのセットアップ時間は必要である。

⑤ ASP, LA9230Mシリーズ, LA9240Mシリーズのコマンドのタイミングは、本LSIより遅いため、必ずASPの資料も参照してソフト設計すること。

9. その他の注意事項

不明な点があれば、必ず設計時に当社営業窓口あるいは当社半導体販売代理店まで問い合わせること。
本LSIはCDプレーヤ用の特定用途向けLSIであり、標準ロジックIC等の汎用製品の仕様とは異なる。また、用途に応じたフェイルセーフの対策と機器システムによるシステムデバッグを実施すること。

■本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
■弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
■本書記載の製品が、外国為替および外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
■弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
■本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
■この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第３者の工業所有権その他の権利の実施に対する保証を行うものではありません。