芯海科技
CHIPSEA

CS1243 用户手册

24-bit Sigma-Delta ADC

Rev 1.0

通讯地址：深圳市南山区蛇口南海大道 1079 号花园城数码大厦 A 座 9 楼
邮政编码：518067
公司电话：+(86 755)86169257
传　　真：+(86 755)86169057
公司网站：www.chipsea.com
微 信 号：芯海科技
微信二维码：



版本历史

历史版本	修改内容	版本日期
REV 1.0	更换新 LOGO，重新发布	2014-10-17

目　录

版本历史 **2**
目　录 **3**
1　功能说明 **5**
1.1　CS1243 主要功能特性 5
1.2　应用场合 5
1.3　功能描述 6
2　特性说明 **7**
2.1　芯片绝对最大极限值 7
2.2　数字逻辑特性 7
2.3　芯片引脚 8
2.4　电气特性 10
2.5　通讯时序 12
3　功能模块描述 **14**
3.1　输入多路信号选择器（Input Multiplexer） 14
3.2　输入模拟缓冲器（Buffer） 14
3.3　可编程增益放大器（PGA） 15
3.4　调制器（Modulator） 15
3.5　误差校正（Calibration） 15
3.5.1　自校正（Self Calibration） 15
3.5.2　系统校正（System Calibration） 16
3.6　外接参考电压 （External Voltage Reference） 16
3.7　时钟单元（Clock Unit） 16
3.8　数字滤波器(FIR) 17
3.9　串行总线接口(SPI) 18
3.9.1　片选信号(CS) 18
3.9.2　串行时钟(SCLK) 18
3.9.3　时钟极性控制(POL) 18
3.9.4　数据输入(SDI)和数据输出(SDO) 18
3.10　数据准备就绪 (DRDY) 18
3.11　数据同步（SYNC） 19
3.12　上电复位及芯片的复位（RESET） 19
4　CS1243 寄存器描述 **20**
4.1　寄存器列表 20
4.2　寄存器详细描述 21
5　CS1243 指令描述 **25**
5.1　指令列表 25
5.2　指令详细描述 26
6　芯片封装 **30**

图 目 录

图 1 CS1243 原理框图 6
图 2 CS1243 管脚图 8
图 3 CS1243 时序图 12
图 4 多路输入选择原理框图 14
图 5 外部晶振连接图 16
图 6 芯片 SSOP-28 尺寸信息 30

表 目 录

表 1 CS1243 极限值 7
表 2 CS1243 数字逻辑特性 7
表 3 CS1243 管脚描述 8
表 4 AVDD=5V 时 CS1243 电气特性 10
表 5 AVDD=3V 时 CS1243 电气特性 11
表 6 CS1243 时序表 13
表 7 调制器采样频率表 15
表 8 外部参考电压和 RAN 的关系表 16
表 9 内部寄存器详细列表 20
表 10 CS1243 指令描述表 25

1 功能说明

CS1243 是高精度、低功耗模数转换芯片。其分辨率为 24bit，有效分辨率可达 22 位。可以广泛使用在工艺控制、量重、液体/气体化学分析、血液分析、智能发送器、便携测量仪器领域。

1.1 CS1243 主要功能特性

- 24 位无失码、22 位有效精度模数转换器
- 集成 50Hz、60Hz 陷波（可达－90dB）
- INL 小于 0.0015%
- 可编程增益（1～128）
- 单时钟周期准备就绪
- 可编程模数转换（ADC）数据速率输出
- 外接参考电压范围可以为 0.1V～5V
- 芯片带有校正
- 集成兼容 SPI 总线接口
- 低功耗，最低 0.6mW
- 8 个模拟输入通道

1.2 应用场合

- 工业过程控制
- 重量计
- 液体/气体化学分析
- 血液计
- 智能变换器
- 便携式设备

1.3 功能描述

CS1243 是 24 位高精度、低功耗 Sigma-Delta 模数转换芯片，有效分辨率可达 22 位。可以在 2.7V~5.5V 电源电压条件下工作。

CS1243 有 8 个模拟输入通道。可以选择输入通道模拟缓冲器（Buffer）或者直接将信号输入模数转换器（ADC），模拟缓冲器可以有效提高芯片的输入阻抗。

CS1243 提供的 1～128 倍可编程增益放大器，在 128 倍时，CS1243 有效分辨率可达 18bit。调制器是一个二阶 Sigma-Delta 调制器，芯片的 FIR 滤波器提供 50Hz 和 60Hz 陷波滤波，有效提高芯片的抗干扰性能。

CS1243 提供 SPI 兼容的串行接口总线。

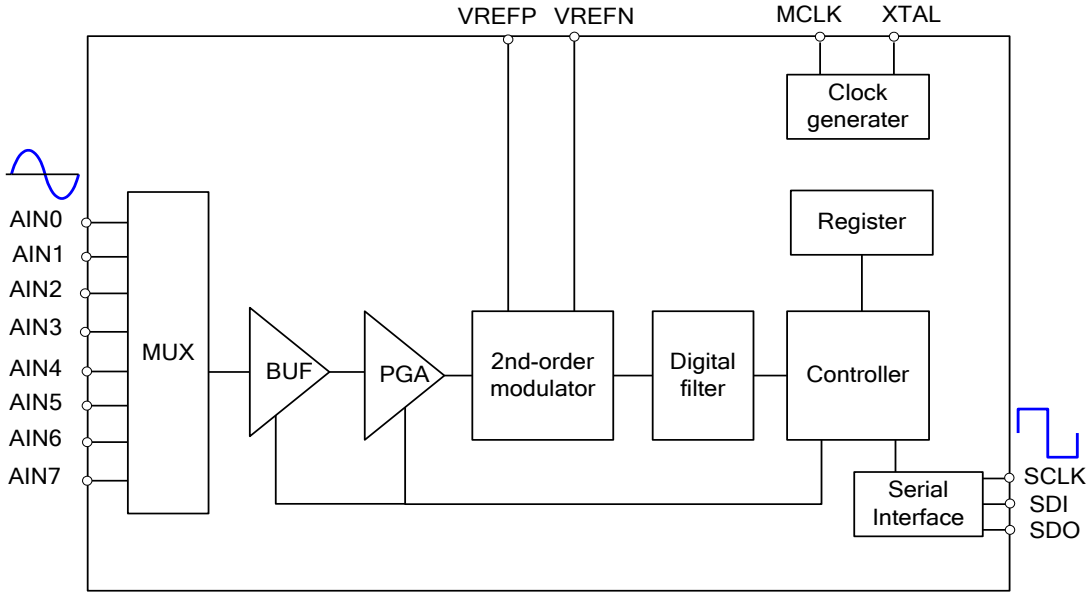


图1 CS1243 原理框图

2 特性说明

2.1 芯片绝对最大极限值

表1 CS1243 极限值

名称	符号	最小	最大	单位	说明
模拟电源电压	AVDD	-0.3	6	V	AVDD to AGND
数字电源电压	DVDD	-0.3	6	V	DVDD to DGND
地之间压差	DVGND	-0.3	0.3	V	DGND to AGND
电源瞬间电流			100	mA	Input Current momentary
电源恒定电流			10	mA	Input Current continuous
数字管脚输入电压		-0.3	DVDD+0.3	V	Digital Output Voltage to DGND
数字输出管脚电压		-0.3	DVDD+0.3	V	
节温			150	°C	Max. Junction Temperature
工作温度		-40	85	°C	Operating Temperature
储存温度		-60	150	°C	Storage Temperature
芯片管脚焊接温度			300	°C	Lead Temperature (Soldering, 10s)

2.2 数字逻辑特性

表2 CS1243 数字逻辑特性

参数	最小	典型	最大	单位	条件说明
VIH	0.8×DVDD		DVDD	V	
VIL	DGND		0.2×DVDD	V	
VOH	DVDD-0.4		DVDD+0.4	V	Ioh=1mA
VOL	DGND		DGND+0.4	V	IoL=1mA
IIH			10	uA	VI=DVDD
IIL	-10			uA	VI=DGND
fosc	1		5	MHz	
tosc	200		1000	ns	
说明： 1、CS1243 数字接口为 CMOS 逻辑接口。					

2.3 芯片引脚

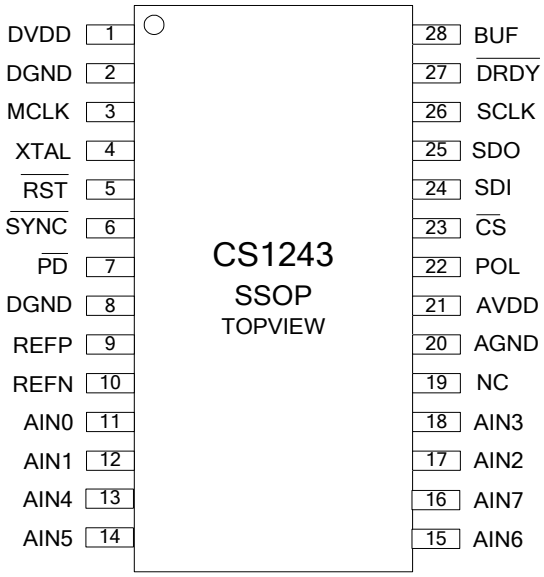


图2 CS1243 管脚图

表3 CS1243 管脚描述

管脚序号	符号	管脚描述	备注
1	DVDD	数字电源电压，2.7~5.25V	
2	DGND	数字地	
3	MCLK	主时钟输入，1～10MHz	
4	XTAL	晶振驱动管脚 2	
5	$\overline{\text{RST}}$	芯片复位管脚，低有效	
6	$\overline{\text{SYNC}}$	同步控制信号，低有效	
7	$\overline{\text{PD}}$	掉电控制信号，低有效	
8	DGND	数字地	
9	REFP	模拟（正）参考电压输入端	
10	REFN	模拟（负）参考电压输入端	
11	AIN0	模拟输入 0	
12	AIN1	模拟输入 1	
13	AIN4	模拟输入 4	
14	AIN5	模拟输入 5	
15	AIN6	模拟输入 6	
16	AIN7	模拟输入 7	
17	AIN2	模拟输入 2	
18	AIN3	模拟输入 3	
19	NC	无效端	
20	AGND	模拟地	
21	AVDD	模拟电源电压 2.7V~5.25V	
22	POL	串口时钟极性	
23	$\overline{\text{CS}}$	芯片选择信号，低有效	
24	SDI	串口输入数据	

管脚序号	符号	管脚描述	备注
25	SDO	串口输出数据	
26	SCLK	串口工作时钟，采用 Schmitt 触发器	
27	$\overline{\text{DRDY}}$	数据准备就绪指示信号，低有效	
28	BUF	模拟输入缓冲器使能信号，高有效	

2.4 电气特性

表4 AVDD=5V 时 CS1243 电气特性

参数		条件	最小值	典型值	最大值	单位
模拟输入	模拟输入范围	Buffer 关闭	AGND-0.1		AVDD+0.1	V
		Buffer 打开	AGND+0.4		AVDD-1.5	V
	满幅输入电压 (AIN+) - (AIN-)	RAN=0			±VREF/PGA	V
		RAN=1			±VREF/(2×PGA)	V
	差分输入阻抗	Buffer 关闭		5/PGA		MΩ
		Buffer 打开		5		GΩ
	带宽（-3dB）	f_{DATA} = 3.75Hz		1.65		Hz
		f_{DATA} = 7.50Hz		3.44		Hz
		f_{DATA} = 15.0Hz		3.7		Hz
	PGA	可选增益范围	1		128	
	输入电容			9		pF
	输入泄漏电流	调制器关闭，T = 25℃		5		pA
	测试电流源			2		2uA
系统性能	分辨率	无失码		24		Bits
	积分线性度				±0.0015	% of FS
	失调误差			8		ppm of FS
	失调误差漂移			0.02		ppm of FS/℃
	增益误差			0.005		%
	增益误差漂移			0.5		ppm/℃
	共模抑制比	直流	100			dB
		f_{CM} = 60Hz, f_{DATA} = 15Hz		130		dB
		f_{CM} = 50Hz, f_{DATA} = 15Hz		120		dB
	陷波抑制比	f_{CM} = 60Hz, f_{DATA} = 15Hz		100		dB
		f_{SIG} = 50Hz, f_{DATA} = 15Hz		100		dB
	电源抑制比	直流	80	95		dB
参考电压输入	VREF≡REFP－REFN	RAN = 0	0.1	2.5	2.6	V
		RAN = 1	0	2.5	AVDD	V
	REFP， REFN 输入范围	RAN = 0	0		AVDD	V
		RAN = 1	0.1		AVDD	V
	共模抑制比	直流		120		dB
		f_{VREFCM} = 60Hz		120		dB
	偏置电流			1.3		uA
电源	电源电压	AVDD	4.75		5.25	V
	模拟部分电流	$\overline{PD}$ = 0		1		nA
		PGA = 1，Buffer 关闭		120		uA
		PGA = 1，Buffer 打开		160		uA
		PGA = 128，Buffer 关闭		400		uA
		PGA = 128，Buffer 打开		760		uA
	数字部分电流 (DVDD = 5V)	普通模式		2		mA
		连续读数据模式		2.2		mA
		$\overline{PD}$ = 0		0.5		nA

表5 AVDD=3V 时 CS1243 电气特性

参数		条件	最小值	典型值	最大值	单位
模拟输入	模拟输入范围	Buffer 关闭	AGND-0.1		AVDD+0.1	V
		Buffer 打开	AGND+0.3		AVDD-1.5	V
	满幅输入电压 (AIN+) - (AIN-)	RAN=0			±VREF/PGA	V
		RAN=1			±VREF/(2×PGA)	V
	差分输入阻抗	Buffer 关闭		5/PGA		MΩ
		Buffer 打开		5		GΩ
	带宽（-3dB）	f_{DATA} = 3.75Hz		1.65		Hz
		f_{DATA} = 7.50Hz		3.44		Hz
		f_{DATA} = 15.0Hz		14.6		Hz
	PGA	可选增益范围	1		128	
	输入电容			9		pF
	输入泄漏电流	调制器关闭，T = 25℃		5		pA
	测试电流源			2		2uA
系统性能	分辨率	无失码		24		Bits
	积分线性度				±0.0015	% of FS
	失调误差			15		ppm of FS
	失调误差漂移			0.04		ppm of FS/℃
	增益误差			0.01		%
	增益误差漂移			1.0		ppm/℃
	共模抑制比	直流	100			dB
		f_{CM} = 60Hz, f_{DATA} = 15Hz		130		dB
		f_{CM} = 50Hz, f_{DATA} = 15Hz		120		dB
	陷波抑制比	f_{CM} = 60Hz, f_{DATA} = 15Hz		100		dB
		f_{SIG} = 50Hz, f_{DATA} = 15Hz		100		dB
	电源抑制比	直流	75	90		dB
参考电压输入	VREF≡REFP－REFN	RAN = 0	0.1	1.25	1.30	V
		RAN = 1	0	2.5	2.6	V
	REFP， REFN 输入范围	RAN = 0	0		AVDD	V
		RAN = 1	0.1		AVDD	V
	共模抑制比	直流		120		dB
		f_{VREFCM} = 60Hz		120		dB
	偏置电流			0.65		uA
电源	电源电压	AVDD	2.7		3.3	V
	模拟部分电流	$\overline{PD}$ = 0		1		nA
		PGA = 1，Buffer 关闭		107		uA
		PGA = 1，Buffer 打开		118		uA
		PGA = 128，Buffer 关闭		360		uA
		PGA = 128，Buffer 打开		500		uA
	数字部分电流 (DVDD = 3V)	普通模式		2		mA
		连续读数据模式		2.2		mA
		$\overline{PD}$ = 0		0.5		nA

2.5 通讯时序

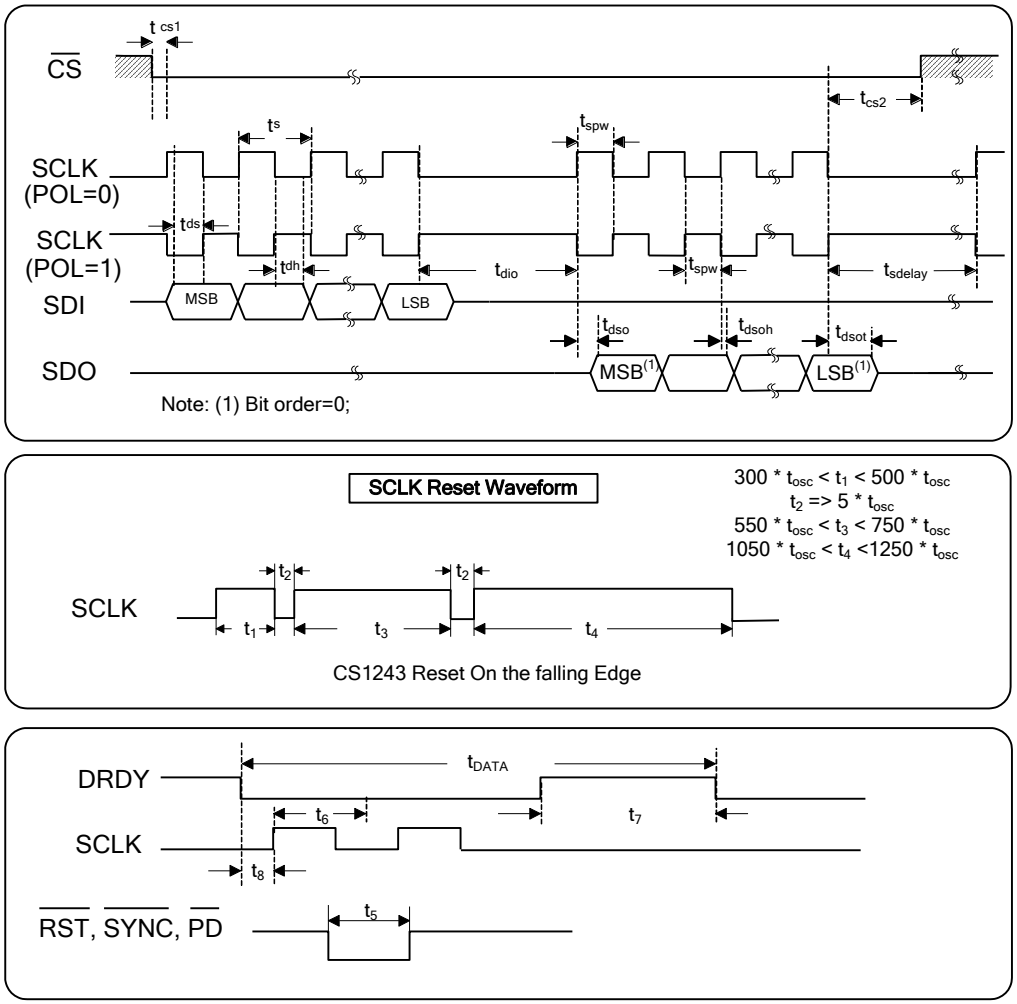


图3 CS1243 时序图

表6 CS1243 时序表

参数	描述		最小值	最大值	单位
t_s	SCLK 时钟周期		4		tosc 周期
t_{spw}	SCLK 脉冲宽度，高电平及低电平		200		ns
t_{cs1}	片选信号 CS 下降沿与第一个 SCLK 沿的建立时间		0		ns
t_{ds}	SDI 数据的建立时间（与 SCLK 的延迟）		50		ns
t_{dsh}	有效 SDI 数据的保持时间		50		ns
t_{dio}	在发出下列指令时 SDI 的最后一个 SCLK 时钟沿与 SDO 的第一个 SCLK 时钟沿： RDATA, RDATAC, RREG, WREG		50		tosc 周期
t_{dso}	SDO 输出数据与 SCLK 的延迟时间			50	ns
t_{dsoh}	SDO 数据的保持时间		0		
t_{dsot}	SDO 变为三态与 SCLK 时钟沿的延迟		6	10	tosc 周期
t_{cs2}	片选信号 CS 保持低电平时间与最后一个 SCLK 时钟沿		0		ns
t_{sdelay}	当前指令的最后一个 SCLK 时钟沿到下一个指令的第一个 SCLK 时钟沿：	RREG, WREG, SYNC, SLEEP, RDATA, RDATAC, STOPC	4		tosc 周期
		GCALSELF, SELFOCA, OCALSYS, GCALSYS	8		DRDY 周期
		CALSELF	15		DRDY 周期
		RESET（也可以是通过 SCLK 或者 $\overline{\text{RST}}$ 引脚发出的 RESET 指令）	16		tosc 周期
t_5	脉冲宽度		4		tosc 周期
t_6	允许的模拟输入信号的变化到下一次有效的转换			5000	tosc 周期
t_7	DOR 更新，DOR 无效		4		tosc 周期
t_8	DRDY 信号变低后的首个 SCLK 时钟	RDATAC 模式	10		tosc 周期
		其他模式	0		tosc 周期

3 功能模块描述

3.1 输入多路信号选择器（Input Multiplexer）

CS1243 的输入信号通道可以任意组合，多路输入选择原理图如图 4 所示。

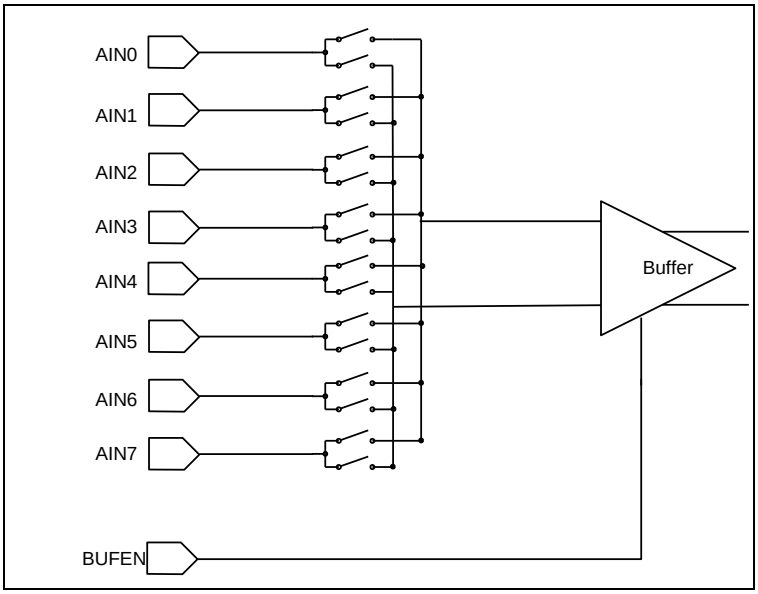


图4 多路输入选择原理框图

CS1243 可以最多配置 4 对差分输入或 7 个单端输入。例如，如果选择 AIN1 为差分正（负）信号的一个输入端，可以选择任意其它输入端为负（正）端输入。

CS1243 可以实现在单时钟周期内完成输入信号的选择切换、内部数字滤波器的稳定输出。为了降低切换误差，要求在 DRDY 信号变低后立即配置 MUX 寄存器。

3.2 输入模拟缓冲器（Buffer）

在没有使能模拟输入缓冲器(Buffer)时，输入阻抗约 6MΩ/PGA。当系统要求较高的输入阻抗时，可以使能模拟输入缓冲器，此时可以将输入阻抗提高约到 5GΩ。

缓冲器的使能信号可以由 BUF 管脚或内部寄存器 ACR 控制。当输入管脚 BUF 为高或 ACR 寄存器的 BUF 为高时，输入缓冲器使能，有效提高输入阻抗。

如果使能缓冲器，芯片增加额外的功率消耗。消耗功率的大小与 PGA 的增益有关，PGA＝1 时，增加约 50uA 电流，而 PGA＝128 时，增加的电流则达 150uA。

当开启缓冲器后，对输入信号的范围有所要求，此时要求输入信号的范围为 AGND+0.3V～AVDD-1.5V。

3.3 可编程增益放大器（PGA）

内部的电压增益放大器可以编程配置增益为 1，2，4，8，16，32，64，128。通过使用 PGA 可以提高有效转换精度。例如，PGA＝1，5V 满幅模数转换，有效识别电压为 1uV，但如果 PGA＝128，39mV 满幅模数转换时，可最小可以识别 75nV 输入电压。

3.4 调制器（Modulator）

CS1243 的调制器是单环回、2 阶Σ－Δ调制器，调制器的采样频率可以通过 SPEED（ACR 寄存器的 bit 5）控制，具体如下表所示：

表7 调制器采样频率表

晶振频率（MHz）	SPEED	ADC 采样频率（KHz）	数据输出速率（Hz）			陷波频率（Hz）
			DR ＝ 00	DR ＝ 01	DR ＝ 10	
2.4576	0	19.200	15	7.5	3.75	50/60
	1	9.600	7.5	3.75	1.875	25/30
4.9152	0	38.400	30	15	7.5	100/120
	1	19.200	15	7.5	3.75	50/60

3.5 误差校正（Calibration）

芯片校正分为自校正、外部系统校正，校正包括模数转换器偏移误差校正（OCAL）、模数转换器增益校正（GCAL）。正在校正时，DRDY 维持为高，表示现在 AD 转换的结果不可用。在芯片重新上电、外部环境温度改变、增益（PGA）改变后进行误差校正可保证模数转换的正确。完成校正后 DRDY 管脚变低，即 DRDY 输出低电平时表示芯片已经完成校正。校正完成后的第一个输出数据由于内部电路工作的延时导致不正确，不能作为正常模数转换数据。第二个转换输出数据是正常的，可以使用。

3.5.1 自校正（Self Calibration）

CS1243 的自校正通过 CALSELF、GCALSELF、OCALSELF 三条指令来控制完成。执行 CALSELF 指令时，可以同时完成偏移误差校正（Offset Calibration）和增益误差校正（Gain Calibration）。GCALSELF 指令只控制芯片完成增益校正，而 OCALSELF 则控制芯片完成偏移校正。增益校正、偏移校正都在 8 个 TDATA 周期（AD 周期）内完成，TDATA 周期为输出数据速率的倒数。如果执行 SEFLCAL 指令，则需要 15 个 TDATA 周期。

自校正时，CS1243 自动断开外部的输入信号而接内部电压。在执行增益误差校正时，CS1243 自动先将 PGA 设为 1，执行完增益误差校正后 CS1243 会将 PGA 的值还原成为用户设定的值。但执行失调误差校正过程中，PGA 的设置没有发生变化。（注意在如果进行校正时外部参考电压高于 AVDD－1.5V 时，输入模拟缓冲器必须关闭。）

3.5.2 系统校正（System Calibration）

系统校正可以校正芯片内部及系统的偏移误差和增益误差，校正必须要求输入正确的输入信号后进行。系统校正指令包括 OCALSYS、GCALSYS，其中 OCALSYS 进行偏移误差校正，GCALSYS 进行增益误差校正，偏移误差校正、增益误差校正分别在 8 个 TDADA 数据周期内完成。

在进行偏移误差校正（OCALSYS）时，必须要求输入为差分电压为 0，CS1243 计算出系统的偏移误差值并写入 OCC 寄存器中，CS1243 正常转换时通过内部计算予以抵消。

在进行增益误差校正（SYSGCAL）时，必须输入正满幅度的电压，CS1243 计算出系统的增益误差并写入 GCC 寄存器中，CS1243 正常转换时通过内部计算予以抵消。

3.6 外接参考电压 （External Voltage Reference）

CS1243 需要外接参考电压，具体值通过 ACR 寄存器配置。参考电压接在 REFP 与 REFN 管脚上，电压不能超过芯片的电源电压，具体电压值如下表：

表8 外部参考电压和 RAN 的关系表

RAN（ACR.2）	电源电压（V）	参考差分电压（V）	备注
0	5	<=2.5	
1	5	<=5	
0	3.0	<=1.25	
1	3.0	<=2.5	

3.7 时钟单元（Clock Unit）

CS1243 可以外接晶体、振荡器或时钟。如果接外部时钟，则从 MCLK 管脚输入，此时 XTAL 悬空。如果外部接晶体，电路要求如下：（要求在 MCLK 及 XTAL 管脚上同时接 10～20pF 的电容）

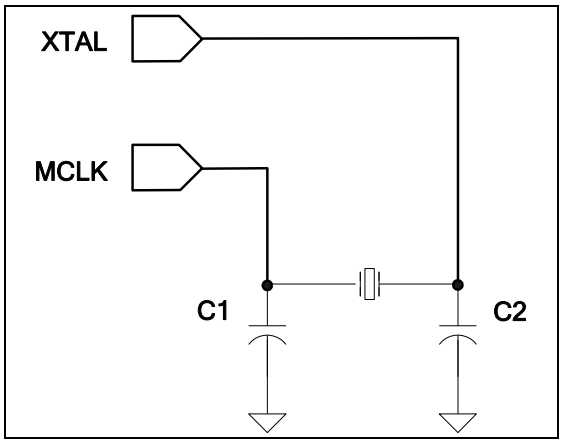


图5 外部晶振连接图

3.8 数字滤波器(FIR)

CS1243 带有一个可编程的 FIR 滤波器。FIR 滤波器可以被配置成不同的输出速率。当使用 2.4576M 的时钟时，CS1243 的输出数据的速率可以被配置成 15Hz，7.5Hz 或者 3.75Hz。此时，FIR 滤波器可以同时对 50Hz 和 60Hz 的杂波信号进行陷波滤波。

如果希望得到其他的输出数据速率，则须使用其他的时钟频率。此时，陷波频率也同时跟着改变了。比如，当使用默认的寄存器配置，时钟频率为 3.6864M 时候：

输出数据频率为：

(3.6864MHz/2.4576MHz) ×15Hz = 22.5Hz

陷波频率为：

(3.6864MHz/2.4576MHz) ×(50Hz 和 60Hz) ＝ (75Hz 和 90Hz)

3.9 串行总线接口(SPI)

SCLK 为施密特触发，用来对 SDI 和 SDO 信号进行采样。为了防止错误的采样数据，SCLK 必须十分干净。如果在 3 个 DRDY 周期内都没有 SCLK 时钟出现，那么在下一个 SCLK 来临时，SPI 总线将被复位，进而开始下一个通讯周期。SCLK 上的一个特定的波形可以复位整个芯片。具体信息请参考 **RESET** 章节

3.9.1 片选信号(CS)

在与 CS1243 进行通讯前，外部的控制器必须先发出 CS 片选信号。在整个通讯期间，CS 信号必须维持为低。当 CS 信号变高后，整个 SPI 总线会被复位。CS 信号也可以被接为常低。当 CS 信号被拉为常低时，SPI 总线可以工作在三线模式。

3.9.2 串行时钟(SCLK)

SCLK 为施密特触发，用来对 SDI 和 SDO 信号进行采样。为了防止错误的采样数据，SCLK 必须十分干净。如果在 3 个 DRDY 周期内都没有 SCLK 时钟出现，那么在下一个 SCLK 来临时，SPI 总线将被复位，进而开始下一个通讯周期。SCLK 上的一个特定的波形可以复位整个芯片。具体信息请参考 **RESET** 章节

3.9.3 时钟极性控制(POL)

POL 控制了串行时钟 SCLK 的极性。当 POL 为低时，数据在 SCLK 的下降沿被采样。如果没有时钟脉冲，则 SCLK 应该维持为常低。当 POL 为高时，数据在 SCLK 的上升沿被采样，如果没有时钟脉冲，SCLK 应该维持为高。

3.9.4 数据输入(SDI)和数据输出(SDO)

SDI 和 SDO 引脚分别用来输入和输出数据。在没有使用时，SDO 为高阻态，这样就允许将 SDI 和 SDO 接在一起然后通过一个双向的总线来驱动它。需要注意的是，这种情况下不适合向 CS1243 发出 RDATAC 指令。因为 RDATAC 指令需要用 STOPC 指令或者 RESET 指令来终止。而在 RDATAC 模式下，这条双向总线会被一直占据用来向外部发送数据，所以此时无法通过总线向 CS1243 发送 STOPC 指令或者 RESET 指令，因此就无法终止 RDATAC 状态，除非此时 SDO 发送的数据中包含 STOPC 或者 RESET 指令。此时 SDI 会检测到 STOPC 或者 RESET 指令，从而终止 RDATAC 状态。

3.10 数据准备就绪 (DRDY)

DRDY 信号用来表示内部数据寄存器的状态。当内部数据寄存器 DOR 内新的数据准备就绪时，DRDY 信号会变低。当执行完一个从内部数据寄存器 DOR 读取数据的读操作后，DRDY

信号将变高。在 DOR 寄存器的数据准备更新时 DRDY 信号也会变高，表示此时 DOR 寄存器内的数据不可用，防止在 DOR 寄存器进行更新时从 DOR 寄存器内读取数据。

DRDY 的信号也可以从 ACR 寄存器的 bit 7 来获得。

3.11 数据同步（SYNC）

CS1243 可以通过 SYNC 引脚或者 SYNC 指令来进行数据同步。当使用 SYNC 引脚进行数据同步时，数字电路将在 SYNC 的下降沿复位。当 SYNC 变低后，串行接口处于未激活的状态。当 SYNC 变高后，数字电路将从 RESET 状态中脱离出来，在随后的系统时钟的上升沿，数据将得到同步。

当使用 SYNC 指令进行数据同步时，数字滤波器在 SYNC 指令的最后一个 SCLK 时钟的边沿被复位，调制器将处于 RESET 状态，直到下一个 SCLK 的时钟沿被检测到。在 SYNC 后的第一个 SCLK 内的系统时钟的上升沿，数据将被同步。

3.12 上电复位及芯片的复位（RESET）

有三种方法可以对 CS1243 进行复位：将 $\overline{\text{RST}}$ 引脚拉低，发送 RESET 指令，在 SCLK 上发送特定的波形 (SCLK RESET 波形，参考 CS1243 的时序图)。

4 CS1243 寄存器描述

CS1243 通过一系列控制寄存器来配置工作方式，控制寄存器包括数据格式、多路选择信号输入、模数转换数据输出速率、校正控制等。

4.1 寄存器列表

表9 内部寄存器详细列表

地址(H)	寄存器	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
00	SETUP	ID3	ID2	ID1	ID0	保留	PGA2	PGA1	PGA0
01	MUX	PS3	PS2	PS1	PS0	NS3	NS2	NS1	NS0
02	ACR	$\overline{\text{DRDY}}$	U/$\overline{\text{B}}$	SPEED	BUF	BITOR	RAN	DR1	DR0
03	ODAC	保留	保留	ISET1	ISET0	保留	保留	保留	保留
04	保留								
05	保留								
06	保留								
07	OCC0	OCC07	OCC06	OCC05	OCC04	OCC03	OCC02	OCC01	OCC00
08	OCC1	OCC17	OCC16	OCC15	OCC14	OCC13	OCC12	OCC11	OCC10
09	OCC2	OCC27	OCC26	OCC25	OCC24	OCC23	OCC22	OCC21	OCC20
0A	GCC0	GCC07	GCC06	GCC05	GCC04	GCC03	GCC02	GCC01	GCC00
0B	GCC1	GCC15	GCC14	GCC13	GCC12	GCC11	GCC10	GCC09	GCC08
0C	GCC2	GCC23	GCC22	GCC21	GCC20	GCC19	GCC18	GCC17	GCC16
0D	DOR2	DOR23	DOR22	DOR21	DOR20	DOR19	DOR18	DOR17	DOR16
0E	DOR1	DOR15	DOR14	DOR13	DOR12	DOR11	DOR10	DOR09	DOR08
0F	DOR0	DOR07	DOR06	DOR05	DOR04	DOR03	DOR02	DOR01	DOR00

4.2 寄存器详细描述

SETUP 寄存器（地址＝00H，复位值＝xxxx0000）PGA 控制（SETUP REGISTER）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ID3	ID2	ID1	ID0	保留	PGA2	PGA1	PGA0

SETUP. 7－4 ： 芯片的 ID 编号，供厂家使用
SETUP.3 ：保留
SETU.2－0 ： PGA2/PGA1/PGA0，可编程增益放大器增益选择(Programmable Gain Amplifier Gain Selection)
000＝1（默认值）；
001＝2
010＝4
011＝8
100＝16
101＝32
110＝64
111＝128

MUX 寄存器（地址＝01H，复位值＝01H）输入通道选择（Multiplerxer Control Register）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PS3	PS2	PS1	PS0	NS3	NS2	NS1	NS0

SETUP. 7－4 ： PS3～0，正输入通道选（Positive Channel Selection）
0000＝ADIN0（默认值）
0001＝ADIN1
0010＝ADIN2
0011＝ADIN3
0100＝ADIN4
0101＝ADIN5
0110＝ADIN6
0111＝ADIN7
其余＝保留（Reserved）
SETUP. 3－0 ： NS3～0，负输入通道选（Negative Channel Selection）
0000＝ADIN0
0001＝ADIN1（默认值）
0010＝ADIN2
0011＝ADIN3
0100＝ADIN4
0101＝ADIN5
0110＝ADIN6
0111＝ADIN7
其余＝保留（Reserved）

ACR 寄存器（地址＝02_H，复位值＝$x0_H$）模拟电路控制（Analog Control Register）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
$\overline{DRDY}$	U/$\overline{B}$	SPEED	BUF	BITOR	RAN	DR1	DR0

SETUP.7 ： $\overline{DRDY}$，数据准备就绪（Data Ready，只读），与输出管脚 $\overline{DRDY}$ 值相同；

SETUP.6 ：U/$\overline{B}$，数据格式（Data Format）

0＝双极性（默认值）；

＋FSR 输出 0x7FFFFFH，ZERO＝0x00000H，－FSR＝0x800000H;

1＝单极性；

＋FSR 输出 0xFFFFFFH，ZERO＝0x00000H，－FSR＝0x000000H;

SETUP.5 ：SPEED，模数转换器采样频率控制（Modulator Clock Speed）

0＝fosc/128（默认值）；

1＝fosc/256；

SETUP.4 ：BUF，输入缓冲器使能（Buffer Enable）

0＝禁止（默认值）；

1＝使能；

SETUP.3 ：BITOR，输出数据 bit 顺序

0 = 高位在前（默认值）

1 = 低位在前

SETUP.2 ：RAN，转换范围选择（ Select）

0＝满幅输入（Full Scale）为＋/－V_{REF}（默认值）；

1＝满幅输入（Full Scale）为＋/－ V_{REF}/2；

SETUP.1-0 ：DR1/DR0，数据输出速率（Data Rate）

00＝15Hz（默认值）；

01＝7.5Hz；

10＝3.75Hz;

11=保留（Reserved）

ODAC 寄存器（地址＝03_H，复位值＝00_H）Offset DAC 设置

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
无效	无效	ISEL1	ISET0	无效	无效	无效	保留

ISET11-0：模拟电路偏置电流选择，

00＝偏置电流为 10uA（默认值）

01 或 10＝偏置电流增加 25%，

11＝偏置电流增加 50%，

当使用较高的时钟频率时，增加模拟电路偏置电流有助于提高 CS1243 的性能。

OCC0 寄存器（地址＝07_H，复位值＝00_H），失调误差系数（Offset Calibration Coefficient）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OCC07	OCC06	OCC05	OCC04	OCC03	OCC02	OCC01	OCC00
OCC0 与 OCC1 及 OCC2 组成偏移误差校正系数 OCC23~0（共 24 位，OCC23 是 MSB，OCC00 是 LSB），对偏移误差进行校正。							

OCC1 寄存器（地址＝08_H，复位值＝00_H）失调误差正系数（Offset Calibration Coefficient）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OCC15	OCC14	OCC13	OCC12	OCC11	OCC10	OCC09	OCC08
OCC0 与 OCC1 及 OCC2 组成偏移误差校正系数 OCC23~0（共 24 位，OCC23 是 MSB，OCC00 是 LSB），对偏移误差进行校正。							

OCC2 寄存器（地址＝09_H，复位值＝00_H）失调误差校正系数（Offset Calibration Coefficient）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OCC23	OCC22	OCC21	OCC20	OCC19	OCC18	OCC17	OCC16
OCC0 与 OCC1 及 OCC2 组成偏移误差校正系数 OCC23~0（共 24 位，OCC23 是 MSB，OCC00 是 LSB），对偏移误差进行校正。							

GCC0 寄存器（地址＝$0A_H$，复位值＝00_H）增益误差校正系数（Gain Calibration Coefficient）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GCC07	GCC06	GCC05	GCC04	GCC03	GCC02	GCC01	GCC00
GCC0 与 GCC1 及 GCC2 组成偏移误差校正系数 GCC23~0（共 24 位，GCC23 是 MSB，GCC00 是 LSB），对增益误差进行校正。							

GCC1 寄存器（地址＝$0B_H$，复位值＝00_H）增益误差校正系数（Gain Calibration Coefficient）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GCC15	GCC14	GCC13	GCC12	GCC11	GCC10	GCC09	GCC08
GCC0 与 GCC1 及 GCC2 组成偏移误差校正系数 GCC23~0（共 24 位，GCC23 是 MSB，GCC00 是 LSB），对增益误差进行校正。							

GCC2 寄存器（地址＝$0C_H$，复位值＝00_H）增益误差校正系数（Gain Calibration Coefficient）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GCC23	GCC22	GCC21	GCC20	GCC19	GCC18	GCC17	GCC16
GCC0 与 GCC1 及 GCC2 组成偏移误差校正系数 GCC23~0（共 24 位，GCC23 是 MSB，GCC00 是 LSB），对增益误差进行校正。							

DOR2 寄存器（地址＝$0D_H$，复位值＝00_H）模数转换数据（Data Output Register）

MSB							**LSB**
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DOR 23	DOR22	DOR 21	DOR 20	DOR 19	DOR 18	DOR 17	DOR 16
DOR 0 与 DOR 1 及 DOR 2 组成模数转换数据 DOR23~0（共 24 位，DOR23 是 MSB，DOR00 是 LSB）。							

DOR1 寄存器（地址＝$0E_H$，复位值＝00_H）模数转换数据（Data Output Register）

MSB							**LSB**
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DOR15	DOR14	DOR13	DOR12	DOR11	DOR10	DOR09	DOR08
DOR 0 与 DOR 1 及 DOR 2 组成模数转换数据 DOR23~0（共 24 位，DOR23 是 MSB，DOR00 是 LSB）。							

DOR0 寄存器（地址＝$0F_H$，复位值＝00_H）模数转换数据（Data Output Register）

MSB							LSB
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DOR07	DOR06	DOR05	DOR04	DOR03	DOR02	DOR01	DOR00
DOR 0 与 DOR 1 及 DOR 2 组成模数转换数据 DOR23~0（共 24 位，DOR23 是 MSB，DOR00 是 LSB）。							

5 CS1243 指令描述

CS1243 通过一系列控制寄存器来配置工作方式，控制寄存器包括数据格式、多路选择信号输入、模数转换数据输出速率、校正控制等。

操作数：

n = 数量 （0 到 127 ）

r = 寄存器 (0 到 15)

x = 任意值

5.1 指令列表

表10 CS1243 指令描述表

指令	描述	操作码	操作数
RDATA	从 DOR 寄存器中读取数据	0000 0001 (01_H)	--
RDATAC	从 DOR 寄存器中连续读取数据	0000 0011 (03_H)	--
STOPC	停止从 DOR 寄存器中连续读取数据	0000 1111 ($0F_H$)	--
RREG	读取寄存器“rrrr”的值	0001 r r r r ($1X_H$)	xxxx_nnnn
WREG	将数据写入到寄存器“rrrr”中	0101 r r r r ($5X_H$)	xxxx_nnnn
CALSELF	对芯片的失调误差和增益误差进行纠正	1111 0000 ($F0_H$)	
OCALSELF	对芯片的失调误差进行纠正	1111 0001 ($F1_H$)	
GCALSELF	对芯片的增益误差进行纠正	1111 0010 ($F2_H$)	
OCALSYS	对系统的失调误差进行纠正	1111 0011 ($F3_H$)	
GCALSYS	对系统的增益误差进行纠正	1111 0100 ($F4_H$)	
SYNC	对 DRDY 进行同步	1111 1100 (FC_H)	
RESET	将芯片复位到上电后的状态	1111 1110 (FE_H)	
注：接收数据时总是高位在前。发送数据的格式则由 ACR 寄存器的 BITORDER 位来决定			

5.2 指令详细描述

RDATA－读取数据

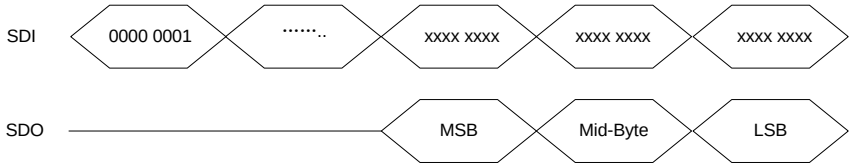
描述： 从 DOR 寄存器中读取最新的一次 AD 转换的值，这个值为 24bit

操作数：无

字节： 1

编码： 0000 0001

数据传输序列：



RDATAC－连续读取数据指令

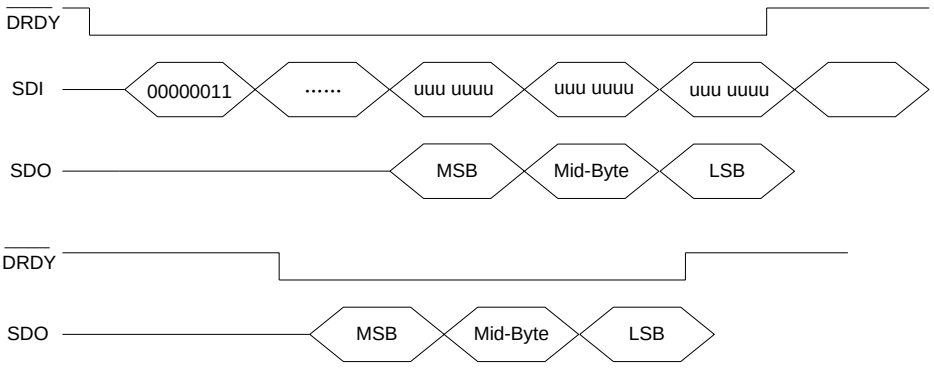
描述： RDATAC 允许在每个 DRDY 信号周期内连续的从 DOR 寄存器中读取每次 AD 转换的结果。这条指令不需要在每次 DRDY 信号变低时发送 RDATA 指令。可以通过发送 STOPC 指令或者 RESET 指令来终止这条指令的执行。在 DRDY 信号变低后，至少要等到 10 个 f_{OSC} 周期才能执行这条指令。

操作数：无

字节： 1

编码： 0000 0011

数据传输序列：



STOPC－停止连续读取数据指令

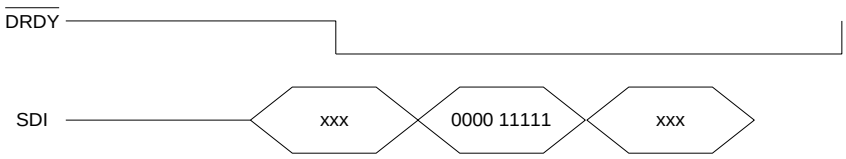
描述： 停止连续读数据模式。需要在 DRDY 信号变低后发出。

操作数：无

字节： 1

编码： 0000 1111

数据传输序列：



RREG－读取寄存器的值

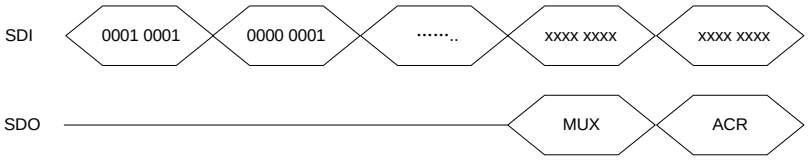
描述： 输出最多 16 个寄存器的值。首个寄存器的地址由指令的首个操作数决定。读取的寄存器的数量由指令的第二个操作数的值加 1 决定。如果这个值超过了剩余的寄存器的数目，则寄存器的地址转到首个寄存器上。

操作数：r, n

字节： 2

编码： 0001 rrrr xxxx nnnn

数据传输序列：读取两个寄存器的值，首个寄存器的地址为 01_H (MUX)



WREG－将数据写入寄存器中

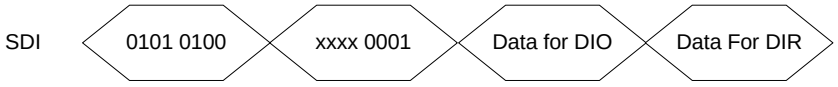
描述： 将数据写入多个寄存器中。首个寄存器的地址由指令的首个操作数决定。读取的寄存器的数量由指令的第二个操作数的值加 1 决定。

操作数：r, n

字节： 2

编码： 0101 rrrr xxxx nnnn

数据传输序列：将数据写入到两个寄存器中，第一个寄存器的地址为 04_H (DIO)



CALSELF－失调误差和增益误差的自纠正

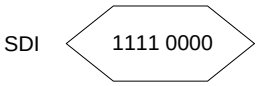
描述： 对芯片进行自纠正。进行完这个操作后，OCC 寄存器和 GCC 寄存器的值将被更新。

操作数：无

字节： 1

编码： 1111 0000

数据传输序列：



OCALSELF－失调误差的自纠正

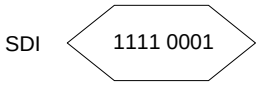
描述： 对芯片进行失调误差自纠正。进行完这个操作后，OCC 寄存器的值将被更新。

操作数：无

字节： 1

编码： 1111 0001

数据传输序列：



GCALSELF－增益误差的自纠正

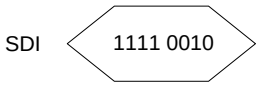
描述： 对芯片进行增益误差自纠正。进行完这个操作后，GCC 寄存器的值将被更新。

操作数：无

字节： 1

编码： 1111 0010

数据传输序列：



OCALSYS－纠正系统的失调误差

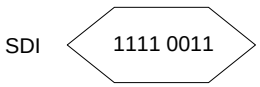
描述： 对系统的失调误差进行纠正。这个时候，系统的输入信号应该为 0，CS1243 计算出 OCC 的值对失调误差进行补偿。进行完这个操作后，OCC 寄存器的值将被更新。用户必须在正确的模拟输入端输入 0 信号 OCC 寄存器会被自动更新。

操作数：无

字节： 1

编码： 1111 0011

数据传输序列：



GCALSYS－纠正系统的增益误差

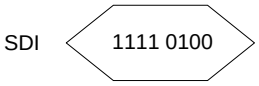
描述： 对系统的增益误差进行纠正，此时，系统的输入信号应该为满幅电压，CS1243 计算出 GCC 的值对增益误差进行补偿。进行完这个操作后，OCC 寄存器的值将被更新。用户必须在正确的模拟输入端输入满幅信号。GCC 寄存器会被自动更新。

操作数：无

字节： 1

编码： 1111 0100

数据传输序列：



SYNC－对 DRDY 信号进行同步

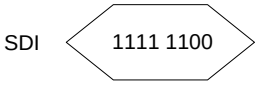
描述： 同步 CS1243 的数据

操作数：无

字节： 1

编码： 1111 1100

数据传输序列：



RESET－将芯片复位到默认状态

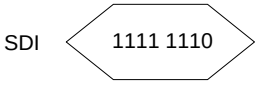
描述： 将所有寄存器的值复位到上电后的状态。这个指令可以终止 RDATAC 指令

操作数：无

字节： 1

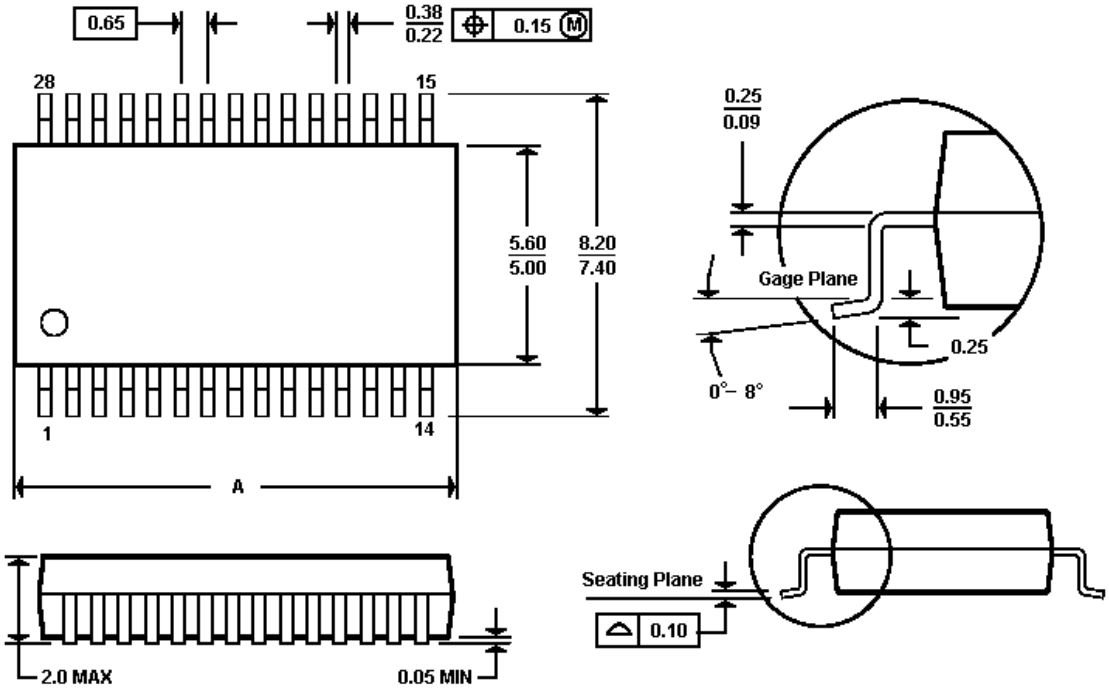
编码： 1111 1110

数据传输序列：



6 芯片封装

CS1243 采用 SSOP-28 封装，如图所示。



NOTES :

A. All linear dimensions are in millimeters
B. This drawing is subject to change without notice
C. Body demensions do not include mold flash or protrusion nont to exceed 0.15
D. Falls within JEDEC MO-150

A MAX	10.50
A MIN	9.90

图6 芯片 SSOP-28 尺寸信息