

AD7904/AD7914/AD7924

产品特性

高采样速率：1 MSPS

额定电压(AV_{DD})：2.7 V至5.25 V

低功耗：

最大6 mW(1 MSPS、3 V电源)

最大13.5 mW(1 MSPS、5 V电源)

4个带序列器的单端输入

宽输入带宽

SNR：70 dB(AD7924，50 kHz输入频率)

灵活的功耗/串行时钟速度管理

无流水线延迟

高速串行接口：SPI/QSPI™/MICROWIRE™/DSP兼容

关断模式：0.5 μ A(最大值)

16引脚TSSOP封装

通过汽车应用认证

功能框图

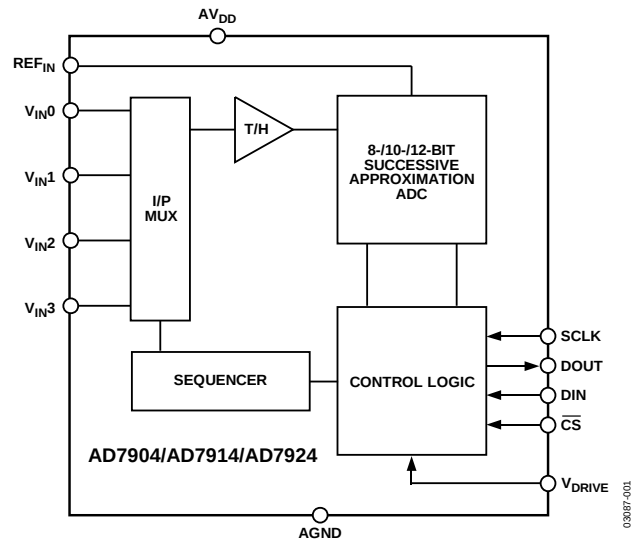


图1.

概述

AD7904/AD7914/AD7924分别是8位、10位和12位高速、低功耗、4通道逐次逼近型ADC。采用单电源工作，电源电压为2.7 V至5.25V，最高吞吐速率可达1 MSPS。这些器件均内置低噪声、宽带宽采样保持放大器，可处理8 MHz以上的输入频率。

转换过程和数据采集过程通过 $\overline{CS}$ 和串行时钟信号进行控制，从而为器件与微处理器或DSP轻松接口创造了条件。输入信号在 $\overline{CS}$ 的下降沿进行采样，而转换同时在此处启动。该器件无流水线延迟。

AD7904/AD7914/AD7924采用先进的设计技术，可在最高吞吐速率下实现极低的功耗。在最高吞吐速率下，采用3 V电源时，AD7904/AD7914/AD7924的最大功耗为2 mA；采用5 V电源时，最大功耗为2.7 mA。

通过配置控制寄存器，器件的模拟输入范围可以在0 V至 REF_{IN} 或0 V至 $2 \times REF_{IN}$ 间选择，可采用直接二进制或二进制补码输出编码。AD7904/AD7914/AD7924均具有4个带通道序列器的单端模拟输入，可通过预先编程选择通道转换顺序。

AD7904/AD7914/AD7924的转换时间取决于SCLK频率，该频率同时用作控制转换的主时钟。

产品特色

1. 高吞吐速率、低功耗。AD7904/AD7914/AD7924的吞吐速率高达1 MSPS。在最高吞吐速率下，采用3 V电源时，AD7904/AD7914/AD7924的最大功耗仅6 mW。
 2. 4个带通道序列器的单端输入。可以选择通道顺序，ADC将按该顺序循环执行转换。
 3. 利用 V_{DRIVE} 功能实现单电源供电。AD7904/AD7914/AD7924采用2.7 V至5.25 V单电源供电。利用 V_{DRIVE} 功能，串行接口可直接连至独立于 V_{DD} 的3 V或5 V处理器系统。
 4. 灵活的功耗/串行时钟速度管理。转换速率取决于串行时钟，通过提高串行时钟速度可缩短转换时间。这些器件还提供两种关断模式，可在较低吞吐速率下实现最高功效，完全关断时的最大功耗为0.5 μ A。
 5. 无流水线延迟。
- 这些器件采用标准逐次逼近型ADC，通过 $\overline{CS}$ 输入与一次性转换控制可实现对采样时刻的精确控制。

Rev. C

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2002–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	电路信息	18
功能框图	1	转换器操作	18
概述	1	ADC传递函数	19
产品特色	1	典型连接图	20
修订历史	2	工作模式	22
技术规格	3	正常模式(PM1 = PM0 = 1)	22
AD7904规格	3	完全关断模式(PM1 = 1, PM0 = 0)	22
AD7914规格	5	自动关断模式(PM1 = 0, PM0 = 1)	22
AD7924规格	7	AD7904/AD7914/AD7924上电	23
时序规格	9	功耗与吞吐速率	25
绝对最大额定值	10	串行接口	25
ESD警告	10	应用信息	27
引脚配置和功能描述	11	微处理器接口	27
典型性能参数	12	接地和布局	28
术语	14	外形尺寸	29
控制寄存器	15	订购指南	29
序列器操作	16	汽车应用级产品	29

修订历史

2013年6月—修订版B至修订版C

删除“AD7904/AD7914/AD7924性能评估”部分	29
更改“订购指南”	29

2011年7月—修订版A至修订版B

更改“产品特性”部分	1
更改表1中的信纳比(SINAD)参数和信噪比(SNR)参数	3
更改表2中的信纳比(SINAD)参数和信噪比(SNR)参数	5
更改表3中的信纳比(SINAD)参数和信噪比(SNR)参数	7
更改表5	10
更改“订购指南”	30
增加“汽车应用级产品”部分	30

2009年2月——修订版0至修订版A

更新格式	通篇
移动图2	9
更改表5	10
更改“典型性能参数”部分	12
移动“术语”部分	14
更新“外形尺寸”	30
更改“订购指南”	30

2002年11月—修订版0：初始版

规格

AD7904规格

除非另有说明, $AV_{DD} = V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V , $REF_{IN} = 2.5\text{ V}$, $f_{SCLK} = 20\text{ MHz}$, $T_A = T_{MIN}$ 至 T_{MAX} 。

表1.

参数	B级 ¹	单位	测试条件/注释
动态性能			$f_{IN} = 50\text{ kHz}$ 正弦波, $f_{SCLK} = 20\text{ MHz}$
信纳比(SINAD) ²	49	dB(最小值)	B型
	48.5	dB(最小值)	W型
信噪比(SNR)	49	dB(最小值)	B型
	48.5	dB(最小值)	W型
总谐波失真(THD) ²	-66	dB(最大值)	
峰值谐波或杂散噪声(SFDR)	-64	dB(最大值)	
交调失真(IMD)			$f_a = 40.1\text{ kHz}$, $f_b = 41.5\text{ kHz}$
二阶项	-90	dB(典型值)	
三阶项	-90	dB(典型值)	
孔径延迟	10	ns(典型值)	
孔径抖动	50	ps(典型值)	
通道间隔离 ²	-85	dB(典型值)	$f_{IN} = 400\text{ kHz}$
全功率带宽	8.2	MHz(典型值)	在3 dB条件下
	1.6	MHz(典型值)	在0.1 dB条件下
直流精度			
分辨率	8	位	
积分非线性(INL) ²	± 0.2	LSB(最大值)	
差分非线性(DNL) ²	± 0.2	LSB(最大值)	保证8位无失码
输入范围: 0 V 至 REF_{IN}			标准二进制输出编码
失调误差 ²	± 0.5	LSB(最大值)	
失调误差匹配 ²	± 0.05	LSB(最大值)	
增益误差 ²	± 0.2	LSB(最大值)	
增益误差匹配 ²	± 0.05	LSB(最大值)	
输入范围: 0 V 至 $2 \times REF_{IN}$			$-REF_{IN}$ 至 $+REF_{IN}$, 在 REF_{IN} 偏置, 采用二进制补码输出编码方式
正增益误差 ²	± 0.2	LSB(最大值)	
正增益误差匹配 ²	± 0.05	LSB(最大值)	
零代码误差 ²	± 0.5	LSB(最大值)	
零代码误差匹配 ²	± 0.1	LSB(最大值)	
负增益误差 ²	± 0.2	LSB(最大值)	
负增益误差匹配 ²	± 0.05	LSB(最大值)	
模拟输入			
输入电压范围	0 至 REF_{IN}	V	RANGE位设为1
	0 至 $2 \times REF_{IN}$	V	RANGE位设为0, $AV_{DD}/V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V
直流漏电流	± 1	μA (最大值)	
输入电容	20	pF(典型值)	
基准输入			
REF_{IN} 输入电压	2.5	V	$\pm 1\%$ (额定性能)
直流漏电流	± 1	μA (最大值)	
REF_{IN} 输入阻抗	36	k Ω (典型值)	$f_{SAMPLE} = 1\text{ MSPS}$
逻辑输入			
输入高电压 V_{INH}	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压 V_{INL}	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流 I_{IN}	± 1	μA (最大值)	典型值 10 nA , $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 C_{IN}^3	10	pF(最大值)	

AD7904/AD7914/AD7924

参数	B级 ¹	单位	测试条件/注释
逻辑输出			
输出高电压V _{OH}	V _{DRIVE} − 0.2	V(最小值)	I _{SOURCE} = 200 μA, AV _{DD} = 2.7 V至5.25 V
输出低电压V _{OL}	0.4	V(最大值)	I _{SINK} = 200 μA
浮空态漏电流	±1	μA(最大值)	
浮空态输出电容 ³	10	pF(最大值)	
输出编码	标准(自然)二进制 二进制补码		CODING位设为1 CODING位设为0
转换速率			
转换时间	800	ns(最大值)	16个SCLK周期(SCLK为20 MHz)
采样保持器采集时间 ²	300	ns(最大值)	正弦波输入
	300	ns(最大值)	满量程阶跃输入
吞吐速率	1	MSPS(最大值)	参见“串行接口”部分
电源要求			
V _{DD}	2.7/5.25	V(最小值/ 最大值)	
V _{DRIVE}	2.7/5.25	V(最小值/ 最大值)	
I _{DD} ⁴			数字输入 = 0 V或V _{DRIVE}
正常模式(静态)	600	μA(典型值)	AV _{DD} = 2.7 V至5.25 V, SCLK开启或关闭
正常模式(工作状态)	2.7	mA(最大值)	AV _{DD} = 4.75 V至5.25 V, f _{SCLK} = 20 MHz
	2	mA(最大值)	AV _{DD} = 2.7 V至3.6 V, f _{SCLK} = 20 MHz
自动关断模式	960	μA(典型值)	f _{SAMPLE} = 250 kSPS
	0.5	μA(最大值)	静态
完全关断模式	0.5	μA(最大值)	SCLK开启或关闭(20 nA典型值)
功耗 ⁴			
正常模式(工作状态)	13.5	mW(最大值)	AV _{DD} = 5 V, f _{SCLK} = 20 MHz
	6	mW(最大值)	AV _{DD} = 3 V, f _{SCLK} = 20 MHz
自动关断模式(静态)	2.5	μW(最大值)	AV _{DD} = 5 V
	1.5	μW(最大值)	AV _{DD} = 3 V
完全关断模式	2.5	μW(最大值)	AV _{DD} = 5 V
	1.5	μW(最大值)	AV _{DD} = 3 V

¹ B级温度范围：−40°C至+85°C。
² 参见“术语”部分。
³ 样片在25°C下经过测试，以确保符合标准要求。
⁴ 参见“功耗与吞吐速率”部分。

AD7914规格

除非另有说明, $AV_{DD} = V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V , $REF_{IN} = 2.5\text{ V}$, $f_{SCLK} = 20\text{ MHz}$, $T_A = T_{MIN}$ 至 T_{MAX} 。

表2.

参数	B级 ¹	单位	测试条件/注释
动态性能			$f_{IN} = 50\text{ kHz}$ 正弦波, $f_{SCLK} = 20\text{ MHz}$
信纳比(SINAD) ²	61	dB(最小值)	B型
	60.5	dB(最小值)	W型
信噪比(SNR)	61	dB(最小值)	B型
	60.5	dB(最小值)	W型
总谐波失真(THD) ²	-72	dB(最大值)	
峰值谐波或杂散噪声(SFDR)	-74	dB(最大值)	
交调失真(IMD)			$f_a = 40.1\text{ kHz}$, $f_b = 41.5\text{ kHz}$
二阶项	-90	dB(典型值)	
三阶项	-90	dB(典型值)	
孔径延迟	10	ns(典型值)	
孔径抖动	50	ps(典型值)	
通道间隔离 ²	-85	dB(典型值)	$f_{IN} = 400\text{ kHz}$
全功率带宽	8.2	MHz(典型值)	在3 dB条件下
	1.6	MHz(典型值)	在0.1 dB条件下
直流精度			
分辨率	10	位	
积分非线性(INL) ²	±0.5	LSB(最大值)	
差分非线性(DNL) ²	±0.5	LSB(最大值)	保证10位无失码
输入范围: 0 V 至 REF_{IN}			标准二进制输出编码
失调误差 ²	±2	LSB(最大值)	
失调误差匹配 ²	±0.2	LSB(最大值)	
增益误差 ²	±0.5	LSB(最大值)	
增益误差匹配 ²	±0.2	LSB(最大值)	
输入范围: 0 V 至 $2 \times REF_{IN}$			$-REF_{IN}$ 至 $+REF_{IN}$, 在 REF_{IN} 偏置, 采用二进制补码输出编码方式
正增益误差 ²	±0.5	LSB(最大值)	
正增益误差匹配 ²	±0.2	LSB(最大值)	
零代码误差 ²	±2	LSB(最大值)	
零代码误差匹配 ²	±0.2	LSB(最大值)	
负增益误差 ²	±0.5	LSB(最大值)	
负增益误差匹配 ²	±0.2	LSB(最大值)	
模拟输入			
输入电压范围	0 至 REF_{IN}	V	RANGE位设为1
	0 至 $2 \times REF_{IN}$	V	RANGE位设为0, $AV_{DD}/V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V
直流漏电流	±1	μA(最大值)	
输入电容	20	pF(典型值)	
基准输入			
REF_{IN} 输入电压	2.5	V	±1%(额定性能)
直流漏电流	±1	μA(最大值)	
REF_{IN} 输入阻抗	36	kΩ(典型值)	$f_{SAMPLE} = 1\text{ MSPS}$
逻辑输入			
输入高电压 V_{INH}	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压 V_{INL}	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流 I_{IN}	±1	μA(最大值)	典型值10 nA, $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 CI_N^3	10	pF(最大值)	

AD7904/AD7914/AD7924

参数	B级 ¹	单位	测试条件/注释
逻辑输出			
输出高电压V _{OH}	V _{DRIVE} − 0.2	V(最小值)	I _{SOURCE} = 200 μA, AV _{DD} = 2.7 V至5.25 V
输出低电压V _{OL}	0.4	V(最大值)	I _{SINK} = 200 μA
浮空态漏电流	±1	μA(最大值)	
浮空态输出电容 ³	10	pF(最大值)	
输出编码	标准(自然)二进制 二进制补码		CODING位设为1 CODING位设为0
转换速率			
转换时间	800	ns(最大值)	16个SCLK周期(SCLK为20 MHz)
采样保持器采集时间 ²	300	ns(最大值)	正弦波输入
	300	ns(最大值)	满量程阶跃输入
吞吐速率	1	MSPS(最大值)	参见“串行接口”部分
电源要求			
V _{DD}	2.7/5.25	V(最小值/ 最大值)	数字输入 = 0 V或V _{DRIVE} AV _{DD} = 2.7 V至5.25 V, SCLK开启或关闭 AV _{DD} = 4.75 V至5.25 V, f _{SCLK} = 20 MHz AV _{DD} = 2.7 V至3.6 V, f _{SCLK} = 20 MHz f _{SAMPLE} = 250 kSPS
V _{DRIVE}	2.7/5.25	V(最小值/ 最大值)	
I _{DD} ⁴			
正常模式(静态)	600	μA(典型值)	
正常模式(工作状态)	2.7	mA(最大值)	
	2	mA(最大值)	静态 SCLK开启或关闭(20 nA典型值)
自动关断模式	960	μA(典型值)	
	0.5	μA(最大值)	
完全关断模式	0.5	μA(最大值)	
功耗 ⁴			
正常模式(工作状态)	13.5	mW(最大值)	AV _{DD} = 5 V, f _{SCLK} = 20 MHz
	6	mW(最大值)	AV _{DD} = 3 V, f _{SCLK} = 20 MHz
自动关断模式(静态)	2.5	μW(最大值)	AV _{DD} = 5 V
	1.5	μW(最大值)	AV _{DD} = 3 V
完全关断模式	2.5	μW(最大值)	AV _{DD} = 5 V
	1.5	μW(最大值)	AV _{DD} = 3 V

¹ B级温度范围：−40°C至+85°C。
² 参见“术语”部分。
³ 样片在25°C下经过测试，以确保符合标准要求。
⁴ 参见“功耗与吞吐速率”部分。

AD7924规格

除非另有说明, $AV_{DD} = V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V , $REF_{IN} = 2.5\text{ V}$, $f_{CLK} = 20\text{ MHz}$, $T_A = T_{MIN}$ 至 T_{MAX} 。

表3.

参数	B级 ¹	单位	测试条件/注释
动态性能			$f_{IN} = 50\text{ kHz}$ 正弦波, $f_{CLK} = 20\text{ MHz}$
信纳比(SINAD) ²	70	dB(最小值)	5 V, B型
	69.5	dB(最小值)	5 V, W型
	69	dB(最小值)	3 V, 典型值为69.5 dB
信噪比(SNR)	70	dB(最小值)	B型
	69.5	dB(最小值)	W型
总谐波失真(THD) ²	-77	dB(最大值)	5 V, 典型值为-84 dB
	-73	dB(最大值)	3 V, 典型值为-77 dB
峰值谐波或杂散噪声(SFDR)	-78	dB(最大值)	5 V, 典型值为-86 dB
交调失真(IMD)			$f_a = 40.1\text{ kHz}$, $f_b = 41.5\text{ kHz}$
二阶项	-90	dB(典型值)	
三阶项	-90	dB(典型值)	
孔径延迟	10	ns(典型值)	
孔径抖动	50	ps(典型值)	
通道间隔离 ²	-85	dB(典型值)	$f_{IN} = 400\text{ kHz}$
全功率带宽	8.2	MHz(典型值)	在3 dB条件下
	1.6	MHz(典型值)	在0.1 dB条件下
直流精度			
分辨率	12	位	
积分非线性(INL) ²	±1	LSB(最大值)	保证12位无失码
差分非线性(DNL) ²	-0.9/+1.5	LSB(最大值)	标准二进制输出编码
输入范围: 0 V至 REF_{IN}			通常为±0.5 LSB
失调误差 ²	±8	LSB(最大值)	
失调误差匹配 ²	±0.5	LSB(最大值)	
增益误差 ²	±1.5	LSB(最大值)	
增益误差匹配 ²	±0.5	LSB(最大值)	
输入范围: 0 V至 $2 \times REF_{IN}$			- REF_{IN} 至 $+REF_{IN}$, 在 REF_{IN} 偏置, 采用二进制补码输出编码方式
正增益误差 ²	±1.5	LSB(最大值)	
正增益误差匹配 ²	±0.5	LSB(最大值)	
零代码误差 ²	±8	LSB(最大值)	通常为±0.8 LSB
零代码误差匹配 ²	±0.5	LSB(最大值)	
负增益误差 ²	±1	LSB(最大值)	
负增益误差匹配 ²	±0.5	LSB(最大值)	
模拟输入			
输入电压范围	0至 REF_{IN}	V	RANGE位设为1
	0至 $2 \times REF_{IN}$	V	RANGE位设为0, $AV_{DD}/V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V
直流漏电流	±1	μA(最大值)	
输入电容	20	pF(典型值)	
基准输入			
REF_{IN} 输入电压	2.5	V	±1%(额定性能)
直流漏电流	±1	μA(最大值)	
REF_{IN} 输入阻抗	36	kΩ(典型值)	$f_{SAMPLE} = 1\text{ MSPS}$
逻辑输入			
输入高电压 V_{INH}	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压 V_{INL}	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流 I_{IN}	±1	μA(最大值)	典型值10 nA, $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容 C_{IN}^3	10	pF(最大值)	

AD7904/AD7914/AD7924

参数	B级 ¹	单位	测试条件/注释
逻辑输出			
输出高电压V _{OH}	V _{DRIVE} - 0.2	V(最小值)	I _{SOURCE} = 200 μA, AV _{DD} = 2.7 V至5.25 V
输出低电压V _{OL}	0.4	V(最大值)	I _{SINK} = 200 μA
浮空态漏电流	±1	μA(最大值)	
浮空态输出电容 ³	10	pF(最大值)	
输出编码	标准(自然)二进制 二进制补码		CODING位设为1 CODING位设为0
转换速率			
转换时间	800	ns(最大值)	16个SCLK周期(SCLK为20 MHz)
采样保持器采集时间 ²	300	ns(最大值)	正弦波输入
	300	ns(最大值)	满量程阶跃输入
吞吐速率	1	MSPS(最大值)	参见“串行接口”部分
电源要求			
V _{DD}	2.7/5.25	V(最小值/ 最大值)	
V _{DRIVE}	2.7/5.25	V(最小值/ 最大值)	
I _{DD} ⁴			数字输入 = 0 V或V _{DRIVE}
正常模式(静态)	600	μA(典型值)	AV _{DD} = 2.7 V至5.25 V, SCLK开启或关闭
正常模式(工作状态)	2.7	mA(最大值)	AV _{DD} = 4.75 V至5.25 V, f _{SCLK} = 20 MHz
	2	mA(最大值)	AV _{DD} = 4.75 V至5.25 V, f _{SCLK} = 20 MHz
自动关断模式	960	μA(典型值)	f _{SAMPLE} = 250 kSPS
	0.5	μA(最大值)	静态
完全关断模式	0.5	μA(最大值)	SCLK开启或关闭(20 nA典型值)
功耗 ⁴			
正常模式(工作状态)	13.5	mW(最大值)	AV _{DD} = 5 V, f _{SCLK} = 20 MHz
	6	mW(最大值)	AV _{DD} = 3 V, f _{SCLK} = 20 MHz
自动关断模式(静态)	2.5	μW(最大值)	AV _{DD} = 5 V
	1.5	μW(最大值)	AV _{DD} = 3 V
完全关断模式	2.5	μW(最大值)	AV _{DD} = 5 V
	1.5	μW(最大值)	AV _{DD} = 3 V

¹ B级温度范围：-40°C至+85°C。
² 参见“术语”部分。
³ 样片在25°C下经过测试，以确保符合标准要求。
⁴ 参见“功耗与吞吐速率”部分。

时序规格

除非另有说明， $AV_{DD} = 2.7\text{ V}$ 至 5.25 V ， $V_{DRIVE} \leq AV_{DD}$ ， $REF_{IN} = 2.5\text{ V}$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。

表4.

参数 ¹	T_{MIN} 、 T_{MAX} 的限值			说明
	$AV_{DD} = 3\text{ V}$	$AV_{DD} = 5\text{ V}$	单位	
f_{SCLK}^2	10 20	10 20	kHz(最小值) MHz(最大值)	
$t_{CONVERT}$	$16 \times t_{SCLK}$	$16 \times t_{SCLK}$		
t_{QUIET}	50	50	ns(最小值)	$\overline{CS}$ 上升沿到下一次转换开始的最短安静时间
t_2	10	10	ns(最小值)	$\overline{CS}$ 到SCLK建立时间
t_3^3	35	30	ns(最大值)	从 $\overline{CS}$ 直到DOUT三态禁用的延迟时间
t_4^3	40	40	ns(最大值)	SCLK下降沿后的数据访问时间
t_5	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns(最小值)	SCLK低电平脉宽
t_6	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns(最小值)	SCLK高电平脉宽
t_7	10	10	ns(最小值)	SCLK到DOUT的有效保持时间
t_8^4	15/45	15/35	ns(最小值/ 最大值)	SCLK下降沿到DOUT高阻态
t_9	10	10	ns(最小值)	SCLK下降沿之前的DIN建立时间
t_{10}	5	5	ns(最小值)	SCLK下降沿之后的DIN保持时间
t_{11}	20	20	ns(最小值)	第16个SCLK下降沿到 $\overline{CS}$ 高电平
t_{12}	1	1	μs (最大值)	完全关断/自动关断模式上电时间

¹ 样片在25°C下经过测试，以确保符合标准要求。所有输入信号均在 $t_r = t_f = 5\text{ ns}$ (10%到90%的 AV_{DD})下指定，并从1.6V电平起开始计时(见图2)。3 V工作范围为2.7 V至3.6 V。5 V工作范围为4.75 V至5.25 V。

² SCLK输入的传号空比为40/60至60/40。

³ 测量时，负载电路如图2所示，定义为输出跨越0.4 V或 $0.7 \times V_{DRIVE}$ 所需的时间。

⁴ t_8 来源于测量时间，该时间为采用图2所示负载电路时数据输出改变0.5 V所需的时间。接下来，通过对测量结果进行反向推断，可以消除对50 pF电容充、放电的影响。这意味着，时序特性所给出的时间 t_8 是该器件真正的总线释放时间，因而与总线负载无关。

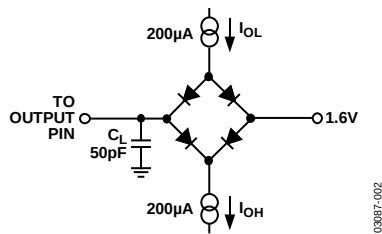


图2. 数字输出时序规格的负载电路

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表5.

参数	额定值
AV_{DD} 至 AGND	−0.3 V 至 +7 V
V_{DRIVE} 至 AGND	−0.3 V 至 $AV_{DD} + 0.3\text{ V}$
模拟输入电压至 AGND	−0.3 V 至 $AV_{DD} + 0.3\text{ V}$
数字输入电压至 AGND	−0.3 V 至 +7 V
数字输出电压至 AGND	−0.3 V 至 $AV_{DD} + 0.3\text{ V}$
REF_{IN} 至 AGND	−0.3 V 至 $AV_{DD} + 0.3\text{ V}$
输入电流至除电源外的任何引脚 ¹	±10 mA
工作温度范围	
商用(B级)	−40°C 至 +85°C
汽车应用(W级)	−40°C 至 +125°C
存储温度范围	−65°C 至 +150°C
结温	150°C
TSSOP封装功耗	450 mW
θ_{JA} 热阻	150.4°C/W (TSSOP)
θ_{JC} 热阻	27.6°C/W (TSSOP)
引脚温度，焊接	
气相(60秒)	215°C
红外(15秒)	220°C
ESD	1.5 kV

¹ 100 mA 以下的瞬态电流不会造成 SCR 闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

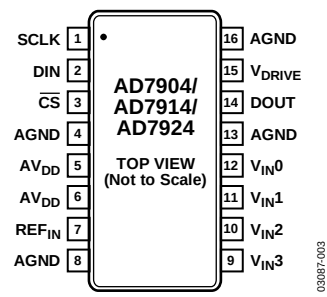


图3. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	功能
1	SCLK	串行时钟，逻辑输入。SCLK提供访问器件数据所需的串行时钟。此时钟输入也用作AD7904/AD7914/AD7924转换过程的时钟源。
2	DIN	数据输入，逻辑输入。待写入AD7904/AD7914/AD7924控制寄存器的数据由此输入提供，并在SCLK下降沿逐个输入寄存器(参见“控制寄存器”部分)。
3	$\overline{CS}$	片选。低电平有效逻辑输入。此输入提供两个功能：启动AD7904/AD7914/AD7924的转换和使能串行数据帧传输。
4, 8, 13, 16	AGND	模拟地。AD7904/AD7914/AD7924上所有模拟电路的接地基准点。所有模拟输入信号和任何外部基准信号都应参考此AGND电压。所有AGND引脚应连在一起。
5, 6	AV _{DD}	模拟电源输入引脚。AD7904/AD7914/AD7924的AV _{DD} 范围为2.7 V至5.25 V。对于0 V至2 × REF _{IN} 范围，AV _{DD} 范围应为4.75 V至5.25 V。
7	REF _{IN}	AD7904/AD7914/AD7924的基准电压输入。必须将一个外部基准电压施加于该输入。外部基准电压范围为2.5 V ± 1%时可达额定性能。
9, 10, 11, 12	V _{IN3} , V _{IN2} , V _{IN1} , V _{IN0}	模拟输入0到模拟输入3。这4个单端模拟输入通道多路复用至片内采样保持电路。使用控制寄存器的地址位ADD1和ADD0选择待转换的模拟输入通道。地址位配合SEQ1和SEQ0位使用，可对序列器编程。所有输入通道的输入范围可从0 V扩展至REF _{IN} ，或者从0 V扩展至2 × REF _{IN} ，具体可通过控制寄存器中的RANGE位选择。任何未使用的输入通道应连接到AGND，以免拾取噪声。
14	DOUT	数据输出，逻辑输出。AD7904/AD7914/AD7924的转换结果以串行数据流形式通过此输出提供。各位在SCLK输入的下降沿逐个输出。AD7904的输出数据流包括2个前置0、2个地址位(表示转换结果对应的通道)和8个转换数据位，然后是4个尾随0(假定MSB优先)。AD7914的输出数据流包括2个前置0、2个地址位(表示转换结果对应的通道)和10个转换数据位，然后是2个尾随0(假定MSB优先)。AD7924的输出数据流包括2个前置0、2个地址位(表示转换结果对应的通道)和12个转换数据位(假定MSB优先)。输出编码方式可选择标准二进制或二进制补码，通过控制寄存器中的CODING位选择。
15	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定AD7904/AD7914/AD7924串行接口的工作电压。

典型性能参数

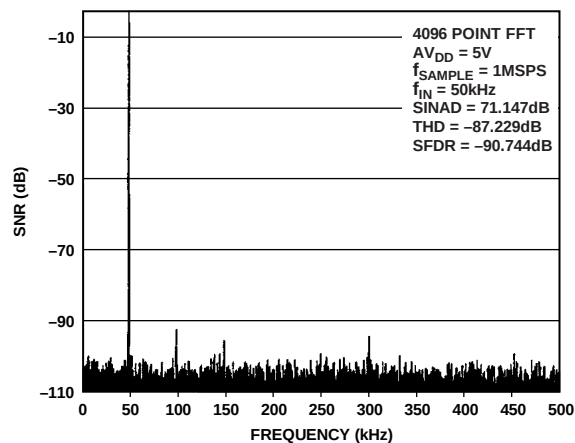


图4. AD7924动态性能(1 MSPS)

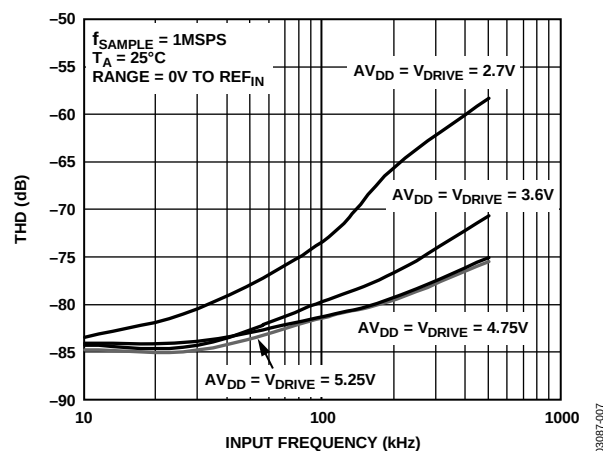


图7. 不同电源电压下AD7924 THD与模拟输入频率的关系(1 MSPS)

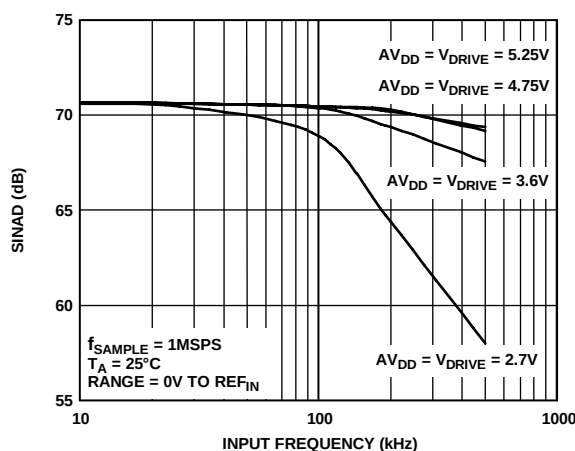
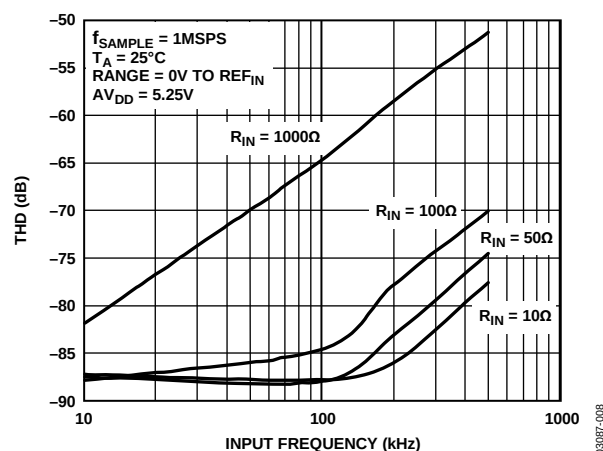
图5. 不同电源电压下AD7924 SINAD与模拟输入频率的关系
(1 MSPS, SCLK = 20 MHz)

图8. 不同源阻抗下AD7924 THD与模拟输入频率的关系

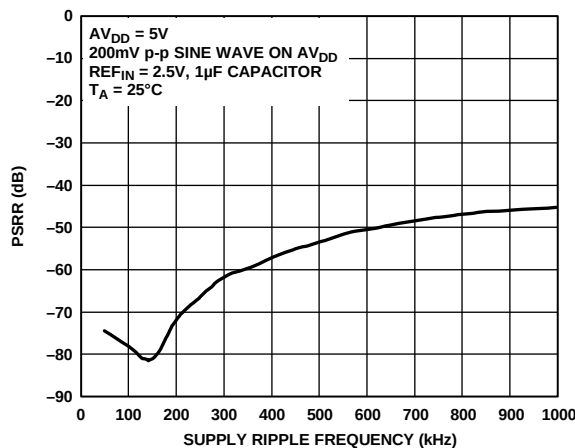


图6. AD7924 PSRR与电源纹波频率的关系(无去耦)

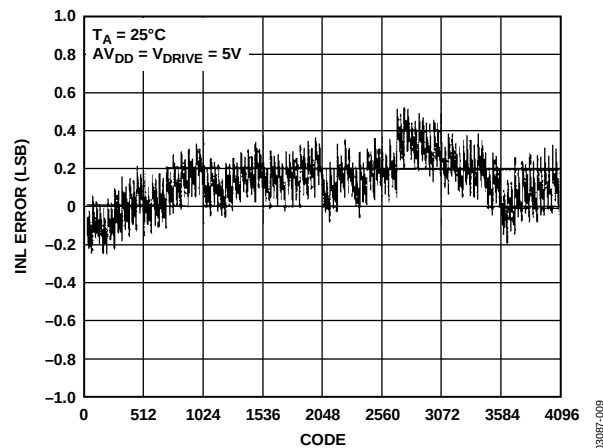


图9. AD7924典型INL

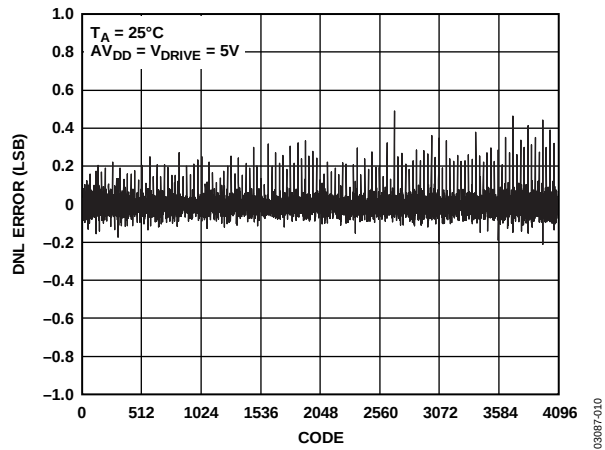


图10. AD7924典型DNL

术语

积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数有两个端点，起点在低于第一个码转换的1 LSB处的零电平，终点在高于最后一个码转换的1 LSB处的满量程。

差分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

失调误差

失调误差指第一个码转换(从00 ... 000到00 ... 001)的跃变点与理想点(AGND + 1 LSB)的偏差。

失调误差匹配

失调误差匹配是指任意两个通道之间的失调误差之差。

增益误差

增益误差指在失调误差调零之后，最后一个码转换(从111 ... 110到111 ... 111)的跃变点与理想点(REF_{IN} - 1 LSB)的偏差。

增益误差匹配

增益误差匹配是指任意两个通道之间的增益误差之差。

零代码误差

零代码误差表示中间电平转换(全0到全1)与理想V_{IN}电压(即REF_{IN} - 1 LSB)的偏差。它适用于二进制补码输出编码方式，即-REF_{IN}至+REF_{IN}的2 × REF_{IN}输入范围，在REF_{IN}点偏置。

零代码误差匹配

零代码误差匹配是指任意两个通道之间的零代码误差之差。

正增益误差

正增益误差是指在零代码误差调零之后，最后一个码转换(从011 ... 110到011 ... 111)的跃变点与理想点(+REF_{IN} - 1 LSB)的偏差。它适用于二进制补码输出编码方式，即-REF_{IN}至+REF_{IN}的2 × REF_{IN}输入范围，在REF_{IN}点偏置。

正增益误差匹配

正增益误差匹配是指任意两个通道之间的正增益误差之差。

负增益误差

负增益误差是指在零代码误差调零之后，第一个码转换(从100 ... 000到100 ... 001)的跃变点与理想点(-REF_{IN} + 1 LSB)的偏差。它适用于二进制补码输出编码方式，即-REF_{IN}至+REF_{IN}的2 × REF_{IN}输入范围，在REF_{IN}点偏置。

负增益误差匹配

负增益误差匹配是指任意两个通道之间的负增益误差之差。

通道间隔离

通道间隔离衡量通道之间的串扰水平。通过向所有3个未选定的输入通道施加一个满量程400 kHz正弦波信号，并确定该信号在选定通道内随50 kHz信号的衰减程度来测量。图中所示针对AD7904/AD7914/AD7924全部4个通道的最差情况而言。

电源抑制(PSR)

电源变化会影响转换器的满量程转换，但不会影响其线性。PSR是由于电源电压偏离标称值所引起的最大满量程转换点变化(见图6)。

电源抑制比(PSRR)

电源抑制比定义为满量程频率f下ADC输出功率与频率f_s下施加于ADC AV_{DD}的200 mV p-p正弦波功率的比值。

$$PSRR(\text{dB}) = 10 \log(P_f/P_{f_s})$$

其中：

P_f是在频率f下ADC的输出功率。

P_{f_s}是在频率f_s下耦合至ADC AV_{DD}电源的功率。

采样保持器采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持器采集时间是转换结束后，采样保持放大器输出达到最终值(在±1 LSB内)所需的时间。

信纳比(SINAD)

SINAD是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半(f_s/2，直流信号除外)的非基波信号之和。在数字化过程中，这个比值的大小取决于量化级数：量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$\text{信纳比} = (6.02 N + 1.76) \text{ dB}$$

因此，对于12位转换器，SINAD为74 dB；对于10位转换器，该值为62 dB；对于8位转换器，该值为50 dB。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7904/AD7914/AD7924，其定义为

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V₁是基波幅度的均方根值。

V₂、V₃、V₄、V₅及V₆是二次到六次谐波幅度的均方根值。

控制寄存器

AD7904/AD7914/AD7924的控制寄存器是一个12位只写寄存器。数据在SCLK的下降沿从AD7904/AD7914/AD7924的DIN引脚载入。从器件读出转换结果的同时，数据通过DIN线路传输。DIN线路上传输的数据对应于下一个转换的AD7904/AD7914/AD7924配置。每次数据传输需要16个串行时钟。只有在前12个时钟下降沿(CS下降沿之后)提供

的信息才会载入控制寄存器。MSB表示数据流的第一位。位功能如表8所示。

表7. 通道选择

ADD1	ADD0	模拟输入通道
0	0	V _{IN0}
0	1	V _{IN1}
1	0	V _{IN2}
1	1	V _{IN3}

表8. 控制寄存器位功能

MSB						LSB					
11	10	9	8	7	6	5	4	3	2	1	0
WRITE	SEQ1	DONTC	DONTC	ADD1	ADD0	PM1	PM0	SEQ0	DONTC	RANGE	CODING

位	引脚名称	说明
11	WRITE	写入此位的值决定是否将随后的11位载入控制寄存器。如果此位设为1，则将后续11位写入控制寄存器；如果为0，则其余11位不载入控制寄存器，控制寄存器保持不变。
10	SEQ1	SEQ1位配合SEQ0位使用，用于控制序列器功能的使用(见表10)。
[9:8]	DONTC	无关位。
[7:6]	ADD1, ADD0	这2个地址位在当前转换序列结束时加载，用于选择下一串行传输中要转换的模拟输入通道，或者在连续的序列中选择最终通道，如表10所述。所选输入通道的解码如表7所示。对应于转换结果的地址位同样先于12个数据位在DOOUT上输出(参见“串行接口”部分)。待转换的下一个通道由多路复用器在第14个SCLK下降沿选择。
[5:4]	PM1, PM0	这2个电源管理位解码AD7904/AD7914/AD7924的工作模式，如表9所述。
3	SEQ0	SEQ0位配合SEQ1位使用，用于控制序列器功能的使用(见表10)。
2	DONTC	无关位。
1	RANGE	此位选择用于AD7904/AD7914/AD7924的模拟输入范围。若此位设为0，则模拟输入范围从0 V扩展至2 × REF _{IN} 。若设为1，则从0 V扩展至REF _{IN} (用于下一次转换)。对于0 V至2 × REF _{IN} 输入范围，V _{DD} = 4.75 V至5.25 V。
0	CODING	此位选择AD7904/AD7914/AD7924用于转换结果的输出编码类型。若此位设为0，则器件输出编码采用二进制补码方式。若设为1，则采用标准二进制(用于下一次转换)。

表9. 电源模式选择

PM1	PM0	模式	说明
1	1	正常工作	在正常工作模式下，无论任意逻辑输入的状态如何，AD7904/AD7914/AD7924均保持全功率模式。此模式可实现AD7904/AD7914/AD7924的最高吞吐速率。
1	0	完全关断	在完全关断模式下，AD7904/AD7914/AD7924处于完全关断状态，器件上的所有电路均关断。关断模式下，AD7904/AD7914/AD7924的控制寄存器保存信息。器件保持完全关断状态，直到这些位发生改变。
0	1	自动关断	自动关断模式下，当更新控制寄存器时，AD7904/AD7914/AD7924在每次转换结束后自动进入完全关断状态。完全关断的唤醒时间为1 μs；在此模式下，试图对器件执行一次有效转换之前，用户必须保证已经过1 μs。
0	0	无效	无效选择。不允许进行此配置。

AD7904/AD7914/AD7924

序列器操作

控制寄存器中的SEQ1和SEQ0位允许用户选择序列器功能的工作模式。表10列出了序列器的3种工作模式。

图11显示多通道ADC的传统操作，各串行传输选择下一个要转换的通道。此工作模式中不使用序列器功能。

图12显示如何对AD7904/AD7914/AD7924进行编程，以便对从通道0到选定最终通道的连续通道序列进行连续转换。若要退出这种工作模式并返回多通道ADC的传统工作模式(如图11所示)，应在下一次串行传输中确保WRITE位 = 1并且SEQ1 = SEQ0 = 0。

表10. 序列选择

SEQ1	SEQ0	序列器功能	说明
0	X	未使用	不使用序列器功能。为每次转换选择的模拟输入通道由之前每一次写操作的ADD1和ADD0通道地址位内容决定。此工作模式反映不使用序列器功能时多通道ADC的传统操作，此时每次写入AD7904/AD7914/AD7924都会选择下一次转换的通道(见图11)。
1	0	使用(完成后不会中断)	完成写操作后，序列器功能不会中断。此配置允许在一个序列的两次转换之间改变控制寄存器中的其他位，而无需中断周期。
1	1	连续转换	该配置与ADD1和ADD0通道地址位配合使用，可对从通道0至控制寄存器中通道地址位所选定的最终通道的连续通道序列进行连续转换(见图12)。

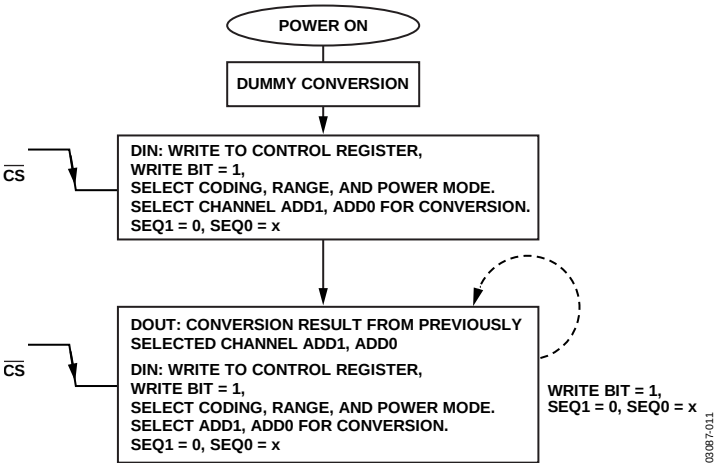


图11. SEQ1位 = 0且SEQ0位 = x的流程图

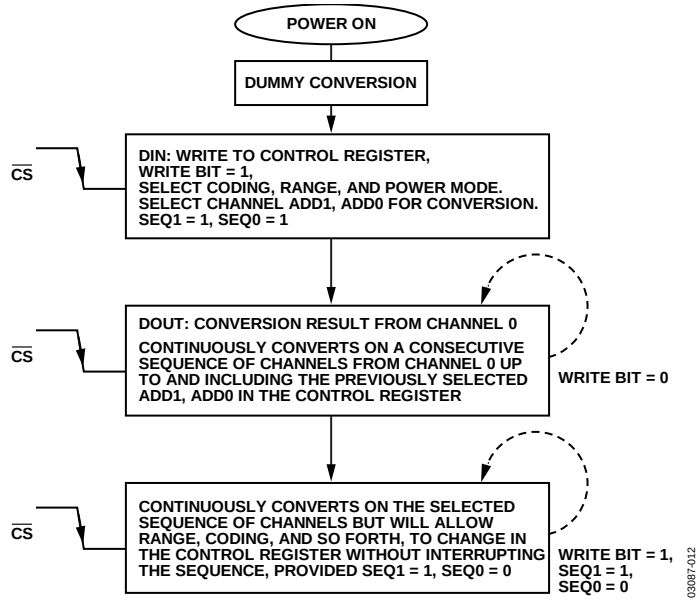


图12. SEQ1位 = 1且SEQ0位 = 1的流程图

电路信息

AD7904/AD7914/AD7924分别是8/10/12位高速、4通道、单电源ADC。这些器件可采用2.7 V至5.25 V电源供电。采用5 V或3 V电源、20 MHz时钟工作时，AD7904/AD7914/AD7924吞吐速率可达1 MSPS。

AD7904/AD7914/AD7924为用户提供了片内采样保持ADC和串行接口，采用16引脚TSSOP封装。每一个AD7904/AD7914/AD7924都具有4个单端输入通道，并提供通道序列器，允许用户选择一个通道序列，让ADC利用每一个连续的 $\overline{CS}$ 下降沿对这些通道循环执行转换。串行时钟输入访问器件中的数据，控制写入ADC的数据传输，并为逐次逼近型ADC提供时钟源。AD7904/AD7914/AD7924的模拟输入范围为0 V至 REF_{IN} 或0 V至 $2 \times REF_{IN}$ ，具体取决于控制寄存器中位1的状态。对于0 V至 $2 \times REF_{IN}$ 范围，器件必须采用4.75 V至5.25 V电源供电。

AD7904/AD7914/AD7924提供灵活的电源管理选项，以便用户在给定的吞吐速率下实现最佳功耗性能。通过编程控制寄存器中的电源管理位PM1和PM0，可选择这些选项。

转换器操作

AD7904/AD7914/AD7924分别是8/10/12位SAR ADC，基于容性DAC构建。AD7904/AD7914/AD7924可在0 V至 REF_{IN} 或0 V至 $2 \times REF_{IN}$ 范围内转换模拟输入信号。图13和图14显示了该ADC的简化原理示意图。AD7904/AD7914/AD7924包括控制逻辑、SAR ADC和容性DAC，这些电路可以加上和减去采样电容中的固定电荷数量，使比较器恢复到平衡状态。图13显示的是采集阶段的ADC。SW2闭合，SW1置于A，比较器保持在平衡状态，采样电容采集选定 V_{IN} 通道的信号。

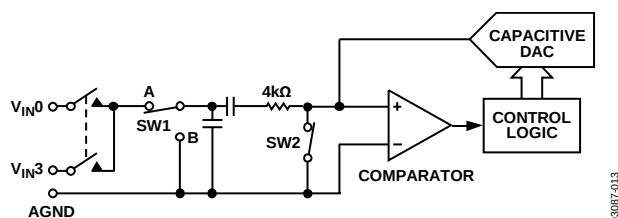


图13. ADC采集阶段

当ADC启动转换(见图14)时，SW2断开，而SW1移至位置B，使比较器变得不平衡。控制逻辑和容性DAC可以加上和减去采样电容中的固定电荷数量，使得比较器恢复到平衡状态。当比较器重新平衡后，转换就已经完成。控制逻辑产生ADC的输出代码。图16和图17显示ADC传递函数。

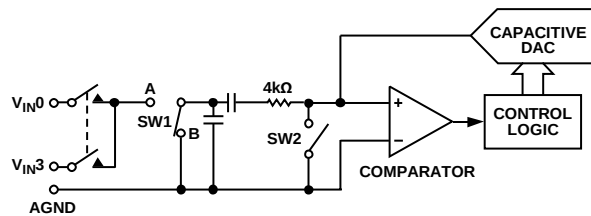


图14. ADC转换阶段

模拟输入

图15显示AD7904/AD7914/AD7924的模拟输入结构等效电路。二极管D1和D2提供模拟输入的ESD保护。切记，模拟输入信号决不能超过供电轨200 mV以上，否则会造成二极管正偏，并开始向基板内传导电流。这些二极管可以传导但不会对器件造成彻底损坏的最大电流为10 mA。

图15中的电容C1通常约为4 pF，主要是引脚寄生电容。电阻R1是一个集总元件，由采样保持开关的导通电阻和输入多路复用器的导通电阻组成，总电阻典型值约为400 Ω。电容C2是ADC采样电容，典型值为30 pF。

对于交流应用，建议在相应的模拟输入引脚用一个RC低通滤波器来滤除模拟输入信号的高频成分。在对谐波失真和信噪比要求严格的应用中，模拟输入应采用一个低阻抗源进行驱动。高源阻抗会显著影响ADC的交流特性。这种情况下可能需要使用一个输入缓冲放大器。通常根据具体应用来选择运算放大器。

不用放大器来驱动模拟输入端时，应将源阻抗限制在较低的值。源阻抗最大值取决于可容许的总谐波失真(THD)。THD随着源阻抗的增加而增大，从而使ADC性能下降(见图8)。

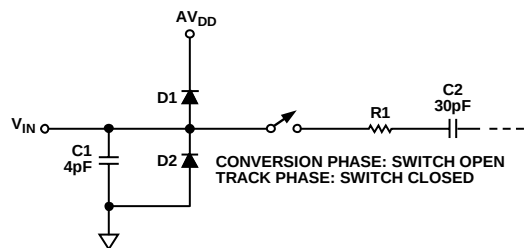


图15. 等效模拟输入电路

ADC传递函数

AD7904/AD7914/AD7924的输出编码为标准二进制或二进制补码，具体取决于控制寄存器中的LSB状态。所设计的码跃迁在连续LSB值上(即1 LSB、2 LSB等等)进行。对于0 V至 REF_{IN} 输入范围，LSB大小为 $REF_{IN}/256$ (AD7904)、 $REF_{IN}/1024$ (AD7914)和 $REF_{IN}/4096$ (AD7924)。对于0 V至 $2 \times REF_{IN}$ 输入范围，LSB大小为 $2 \times REF_{IN}/256$ (AD7904)、 $2 \times REF_{IN}/1024$ (AD7914)和 $2 \times REF_{IN}/4096$ (AD7924)。选择直接二进制编码时，AD7904/AD7914/AD7924的理想传递特性如图16所示；选择二进制补码编码时，AD7904/AD7914/AD7924的理想传递特性如图17所示。

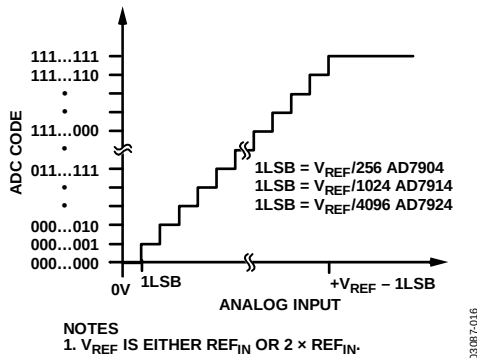


图16. 标准二进制传递特性

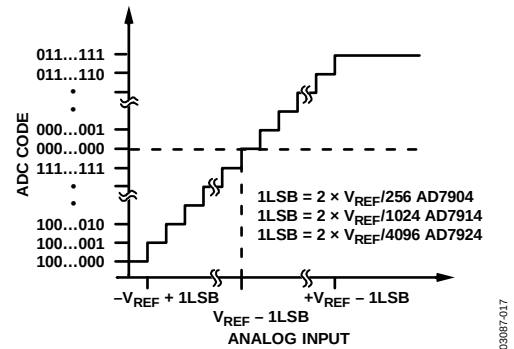


图17. 二进制补码传递特性(0 V至 $2 \times REF_{IN}$ 输入范围)

处理双极性输入信号

图18显示0 V至 $2 \times REF_{IN}$ 输入范围与二进制补码输出编码方案配合使用如何对处理双极性输入信号尤为有效。如果双极性输入信号关于 REF_{IN} 偏置且选择二进制补码输出编码方式，则 REF_{IN} 成为零代码点， $-REF_{IN}$ 为负满量程，并且 $+REF_{IN}$ 成为正满量程，动态范围为 $2 \times REF_{IN}$ 。

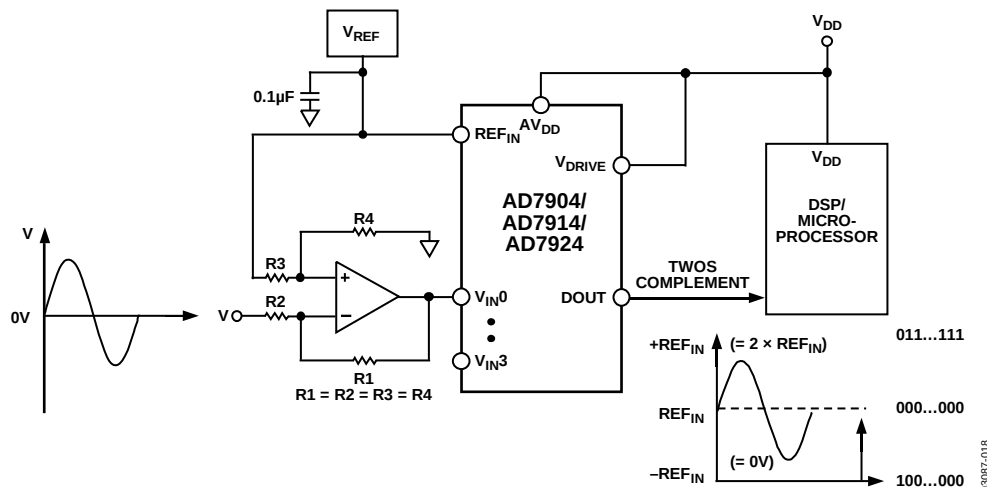


图18. 处理双极性信号

数字输入

与模拟输入不同，施加到AD7904/AD7914/AD7924上的数字输入可高达7 V，且不受 $AV_{DD} + 0.3$ V限制。

SCLK、DIN和CS输入不受 $AV_{DD} + 0.3$ V限制，因此避免了电源时序控制问题。如果在 AV_{DD} 之前施加 $\overline{CS}$ 、DIN或SCLK，则不会有闕锁风险。模拟输入则不然，如果在 AV_{DD} 之前施加大于0.3 V的信号，则模拟输入会有闕锁风险。

V_{DRIVE}

AD7904/AD7914/AD7924还提供 V_{DRIVE} 特性。 V_{DRIVE} 控制串行接口的工作电压。 V_{DRIVE} 特性使ADC能够轻松与3 V和5 V处理器接口。例如，如果AD7904/AD7914/AD7924采用5 V V_{DD} 供电， V_{DRIVE} 引脚可以采用3 V电源供电。采用5 V V_{DD} 时，AD7904/AD7914/AD7924具有更佳的动力性能，同时依然

兼容3 V处理器。注意，应确保 V_{DRIVE} 不超过 $AV_{DD} - 0.3$ V以上（参见“绝对最大额定值”部分）。

基准电压

AD7904/AD7914/AD7924应当使用外部基准电压源来提供2.5 V基准电压。基准电压源误差会导致AD7904/AD7914/AD7924传递函数的增益误差，并增加器件的额定满量程误差。 REF_{IN} 引脚应连接一个数值至少为0.1 μ F的电容。合适的基准电压源包括AD780、REF193和AD1582。

如果在 REF_{IN} 引脚上施加2.5 V，则模拟输入范围可以是0 V至2.5 V或0 V至5 V，具体取决于控制寄存器中RANGE位的设置。

工作模式

AD7904/AD7914/AD7924有三种工作模式。这些模式旨在提供灵活的电源管理选项。针对不同的应用要求，可以选择这些选项以优化功耗和吞吐速率。AD7904/AD7914/AD7924的工作模式由控制寄存器中的电源管理位PM1和PM0控制(见表9)。首次为AD7904/AD7914/AD7924加电时，应确保将器件置于所需的工作模式(参见“AD7904/AD7914/AD7924上电”部分)。

正常模式(PM1 = PM0 = 1)

正常工作模式旨在用于实现最快的吞吐速率性能。由于AD7904/AD7914/AD7924始终保持完全上电，用户不必担心上电时间问题。图20显示了AD7904/AD7914/AD7924在此模式下的一般工作原理图。

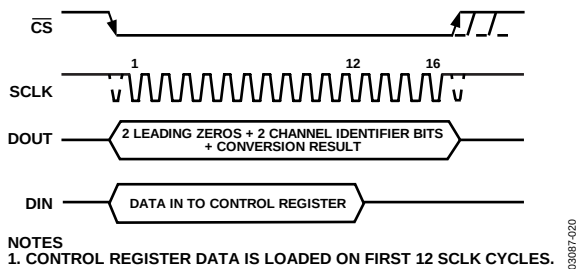


图20. 正常工作模式

转换在CS的下降沿启动，采样保持器则进入保持模式，如“串行接口”部分所述。在数据传输的前12个时钟周期中，通过DIN线路提供给AD7904/AD7914/AD7924的数据载入控制寄存器(前提是WRITE位设为1)。在正常模式下，只要转换期间的写入传输中PM1和PM0位设为1，那么在转换结束时，器件将保持完全上电状态。为确保在正常模式下连续工作，每次数据传输都必须将PM1和PM0设为1(假定执行写操作)。如果WRITE位设为0，则电源管理位不发生改变，器件保持正常模式。

完成转换并访问转换结果需要16个串行时钟周期。采样保持器在第14个SCLK下降沿返回跟踪模式。随后，CS便可处于空闲高电平状态，直到发生下一次转换，或者处于空闲低电平状态，直到下一次转换之前的某一时刻，这样便有效地使CS处于低电平。

一旦数据传输完成(DOUT已返回三态)，便可以在安静时间t_{QUIET}逝去后再次将CS变为低电平，以启动另一次转换。

完全关断模式(PM1 = 1，PM0 = 0)

完全关断模式下，AD7904/AD7914/AD7924的所有内部电路关断。完全关断期间，器件将保留控制寄存器中的信息。控制寄存器中的电源管理位PM1和PM0发生改变之前，AD7904/AD7914/AD7924保持完全关断状态。

如果器件在完全关断期间发生了控制寄存器写操作，并且电源管理位改为PM0 = PM1 = 1(正常模式)，则器件将在CS上升沿开始上电。器件完全关断时处于保持模式的采样保持器将在第14个SCLK的下降沿返回采样模式。

为确保器件完全上电，在下一个CS下降沿之前应经过t_{POWER-UP}(t₁₂)时间。图21显示了该序列的一般原理图。

自动关断模式(PM1 = 0，PM0 = 1)

自动关断模式下，当更新控制寄存器时，AD7904/AD7914/AD7924在每次转换结束后进入关断状态。器件自动关断后，采样保持器处于保持模式。图22显示了AD7904/AD7914/AD7924在此模式下的一般工作原理图。

自动关断模式下，AD7904/AD7914/AD7924的所有内部电路关断。自动关断期间，器件将保留控制寄存器中的信息。AD7904/AD7914/AD7924保持关断模式，直到接收到下一个CS下降沿。在此CS下降沿上，器件关断时处于保持模式的采样保持器将返回采样模式。自动关断的唤醒时间为1 μs(最大值)，在尝试执行一次有效的转换之前，用户应当确保已经过1 μs。

AD7904/AD7914/AD7924采用20 MHz时钟工作时，一个16 SCLK伪周期应当足以确保器件完全上电。在此伪周期期间，控制寄存器的内容应当保持不变；因此，应通过DIN线将WRITE位设为0。该伪周期有效地使器件的吞吐速率减半，其他所有转换结果均有效。自动关断模式可大幅降低器件功耗，因为器件在每次转换结束后进入关断模式。若控制寄存器编程为进入自动关断模式，则它将在转换结束后关断。用户可通过控制CS信号，使ADC进入和退出低功耗状态。

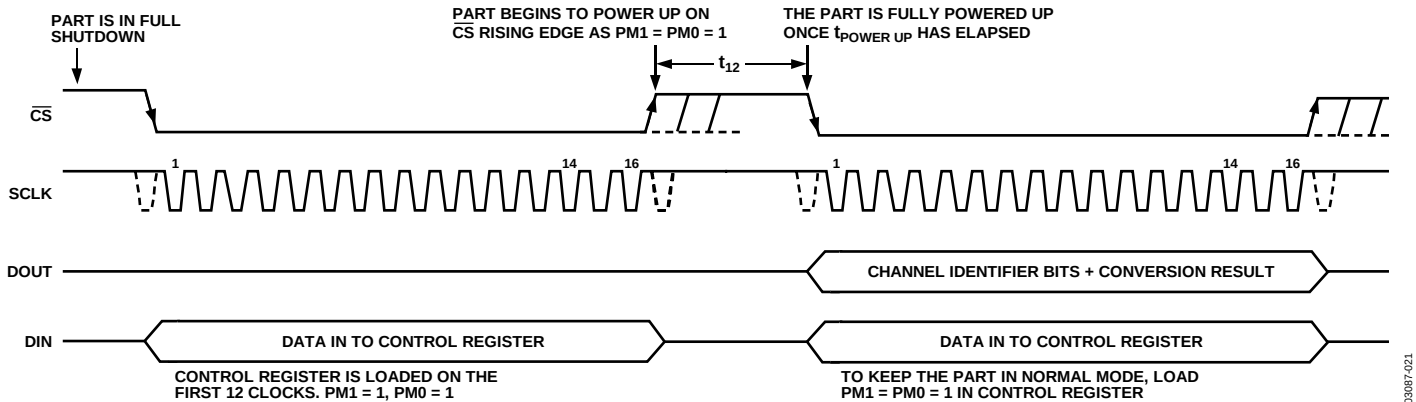


图21. 完全关断工作模式

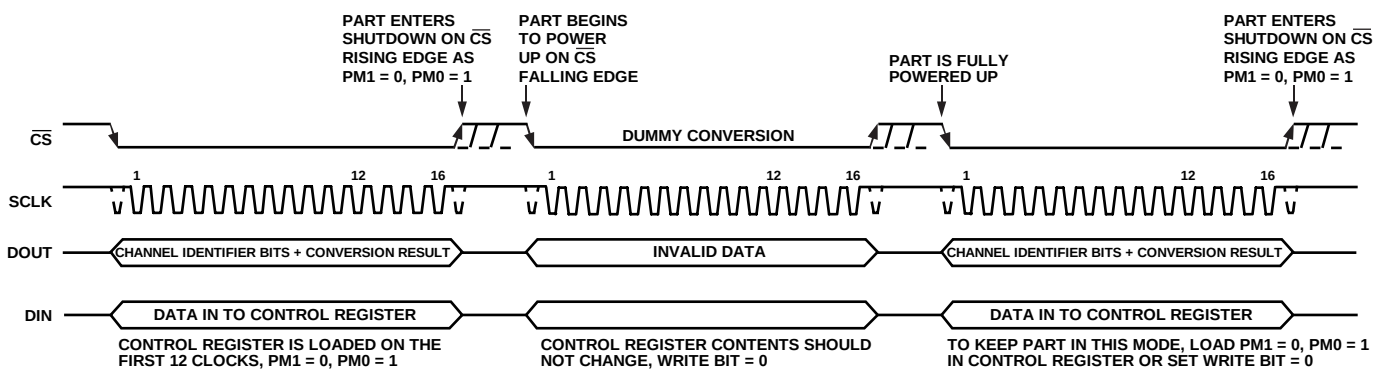


图22. 自动关断工作模式

AD7904/AD7914/AD7924上电

AD7904/AD7914/AD7924首次上电时，ADC可在器件的任何工作模式下上电。为确保器件处于所需的工作模式下，用户应当执行伪周期操作，如图23、图24和图25所示。

必须执行伪转换操作，以便让器件处于所需的工作模式下。为确保器件处于正常模式，该伪周期操作可在DIN线路接高电平时进行操作，即PM1和PM0位设为11时(取决于控制寄存器中的其他所需设置)。然而，必须满足从 $\overline{CS}$ 上升沿开始的1 μ s最低上电时间要求，此时控制寄存器更新，然后才尝试进行第一次有效转换。该上电时间让器件能在初始上电时便进入关断模式。

如果所需的工作模式为完全关断模式，那么需要在加电后继续执行一次伪周期。在该伪周期中，用户只需将电源管理位PM1和PM0设为10，然后器件便会在串行传输结束时的 $\overline{CS}$ 上升沿进入完全关断模式。

如果加电后所需的工作模式为自动关断模式，则需要执行两次伪周期：第一个伪周期时DIN接高电平，而第二个伪周期时将电源管理位PM1和PM0设为01。在加电后的第二个 $\overline{CS}$ 上升沿上，控制寄存器包含正确信息，器件根据编程设置进入自动关断模式。如果对功耗要求较高，用户可在第一个伪周期内将PM1和PM0设为10(即完全关断模式)，然后在第二个伪周期中将器件置于自动关断模式。作为示例，本例中的图25显示DIN在第一个伪周期中接高电平。

图23、图24和图25显示加电后正常模式、完全关断模式和自动关断模式分别所需的伪周期。

AD7904/AD7914/AD7924

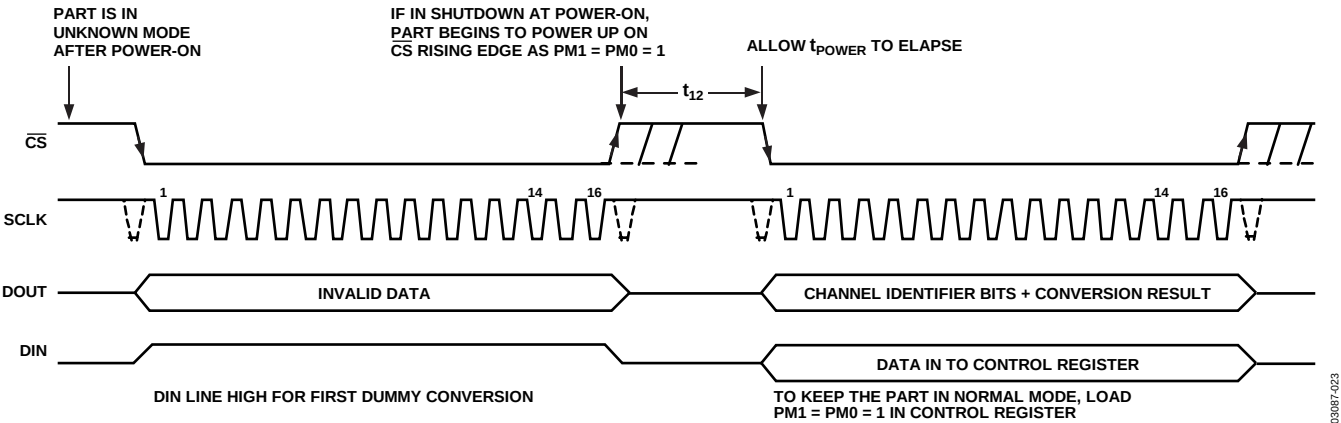


图23. 首次加电后将AD7904/AD7914/AD7924置于正常模式

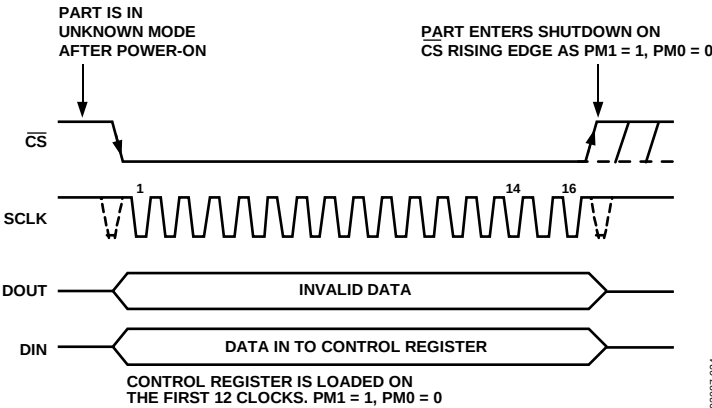


图24. 首次加电后将AD7904/AD7914/AD7924置于完全关断模式

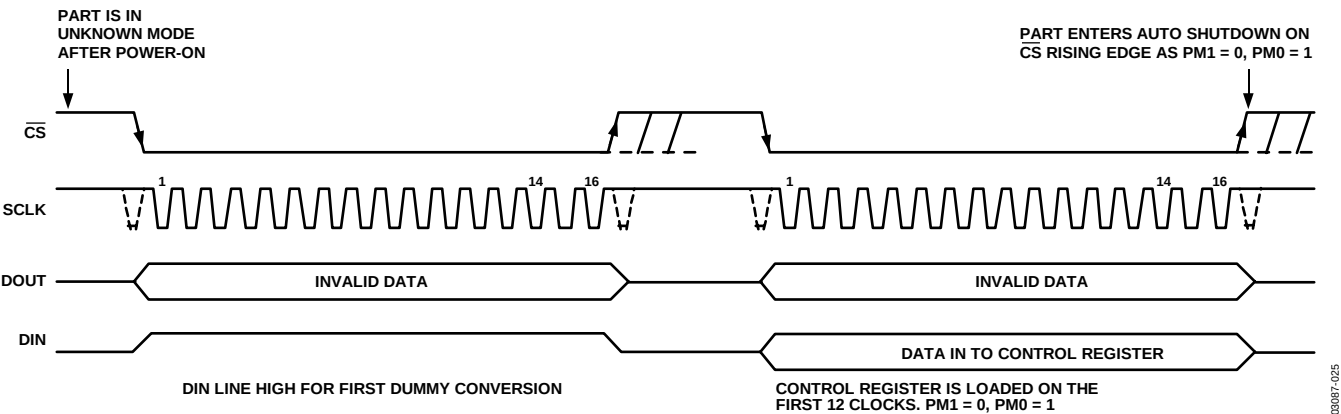


图25. 首次加电后将AD7904/AD7914/AD7924置于自动关断模式

功耗与吞吐速率

若AD7904/AD7914/AD7924在自动关断模式下工作，吞吐速率越低，ADC的平均功耗也就是越小。图26显示器件如何随着吞吐速率的下降而长时间保持在关断状态，并且平均功耗也随着时间推移而下降。

例如，如果AD7924在连续采样模式下工作，吞吐速率为100 kSPS且SCLK为20 MHz ($AV_{DD} = 5\text{ V}$)，同时器件置于自动关断模式($PM1 = 0$ 和 $PM0 = 1$)，则功耗计算如此部分所述。

正常工作下的最大功耗为13.5 mW ($AV_{DD} = 5\text{ V}$)。如果自动关断模式的上电时间为一个伪周期(即1 μs)，且其余转换时间为另一个周期(即1 μs)，那么可以认为AD7924在每次转换周期的2 μs 内消耗13.5 mW。转换周期的其余时间(即8 μs)内，器件保持关断。可以认为，AD7924在转换周期的余下8 μs 内消耗2.5 μW 。如果吞吐速率为100 kSPS，则周期时间为10 μs ，于是每个周期内的平均功耗为： $((2/10) \times 13.5\text{ mW}) + ((8/10) \times 2.5\text{ μW }) = 2.702\text{ mW}$ 。

图26显示采用5 V和3 V电源时自动关断模式下最大功率与吞吐速率的关系。

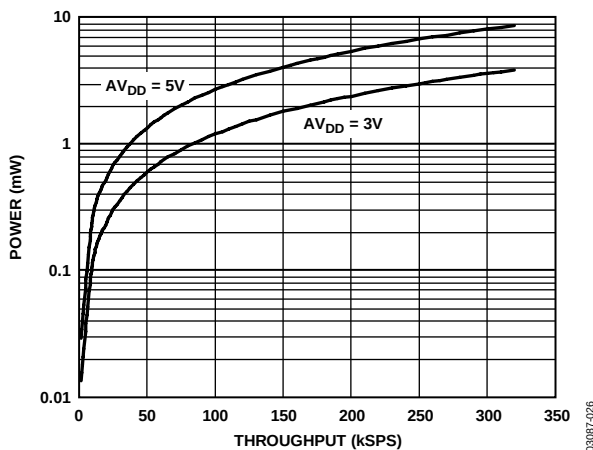


图26. AD7924功耗与吞吐速率的关系

串行接口

图27、图28和图29分别显示与AD7904、AD7914和AD7924串行接口的详细时序图。串行时钟提供转换时钟，并在每次转换期间控制进出AD7904/AD7914/AD7924的信息传输。

$\overline{\text{CS}}$ 信号启动数据传输和转换过程。 $\overline{\text{CS}}$ 下降沿将采样保持器置于保持模式，使总线脱离三态；此时对模拟输入进行采样。转换也在此时启动，需要16个SCLK周期才能完成。采样保持器在第14个SCLK下降沿返回跟踪模式，如图27、图28和图29的B点所示。DOUT线路在第16个SCLK下降沿返回三态。如果在16个SCLK过去之前就出现 $\overline{\text{CS}}$ 上升沿，则转换将被终止，DOUT线路返回三态，控制寄存器不更新；否则，DOUT在第16个SCLK下降沿返回三态，如图27、图28和图29所示。

完成转换过程并访问AD7904/AD7914/AD7924中的数据需要16个串行时钟周期。对于AD7904/AD7914/AD7924，8/10/12个数据位之前有2个前置0和2个通道地址位(ADD1和ADD0)，这两个地址位用于识别结果对应的通道。 $\overline{\text{CS}}$ 变为低电平时将输出微控制器或DSP在SCLK第一个下降沿要读取的第一个前置0。SCLK的第一个下降沿还将输出微控制器或DSP在第二个SCLK下降沿要读取的第二个前置0。随后，便在后续SCLK下降沿输出2个地址位和8/10/12数据位，从第一个地址位ADD1开始；因此，串行时钟上的第二个下降沿时提供第二个前置0，并输出地址位ADD1。数据传输的最后一位在第15个下降沿输出，并在第16个下降沿有效。

如果MSB(即WRITE位)已置1，则对控制寄存器写入信息发生在数据传输中的前12个SCLK下降沿。

AD7904输出2个前置0和2个通道地址位(表示转换结果对应的通道)，随后是8位转换结果和4个尾随0。AD7914输出2个前置0和2个通道地址位(表示转换结果对应的通道)，随后是10个位转换结果和2个尾随0。从AD7924读取的16位字总是包括2个前置0和2个通道地址位(表示转换结果所对应的通道)，随后是12位转换结果。

AD7904/AD7914/AD7924

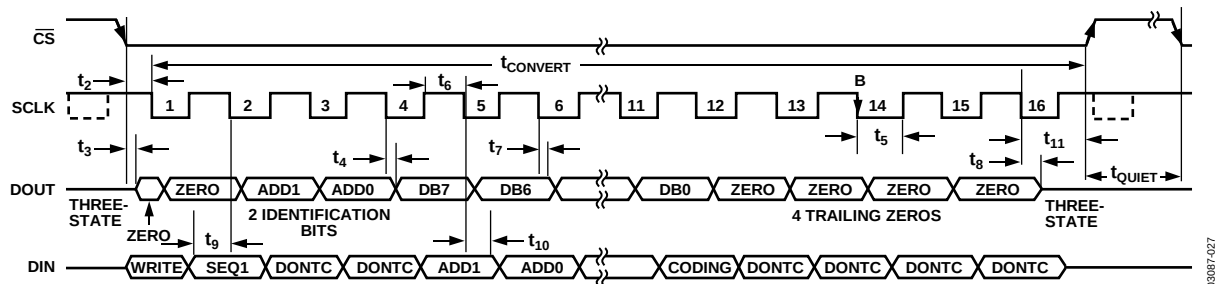


图27. AD7904串行接口时序图

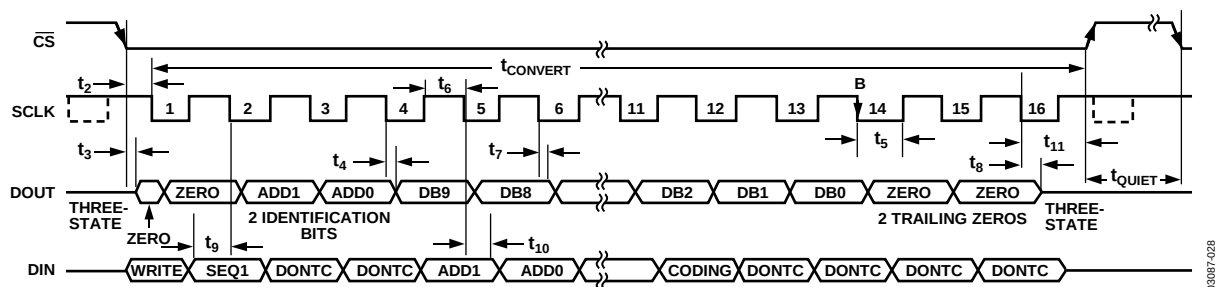


图28. AD7914串行接口时序图

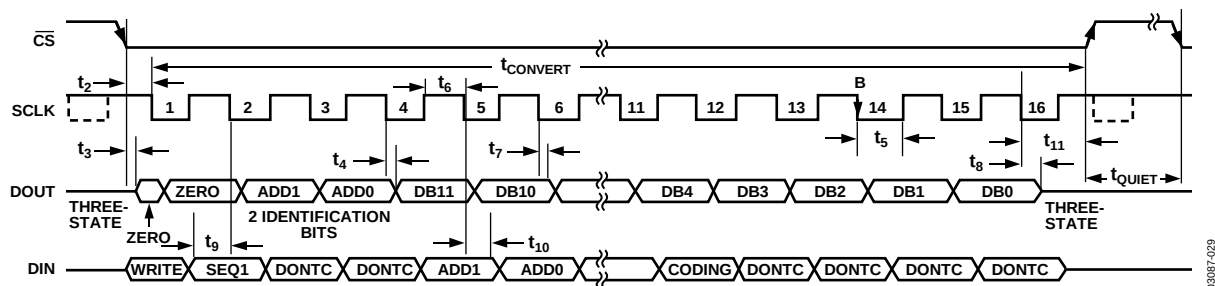


图29. AD7924串行接口时序图

应用信息

微处理器接口

通过AD7904/AD7914/AD7924的串行接口，可以将它与许多不同的微处理器相连。本部分说明如何利用串行接口协议实现AD7904/AD7914/AD7924与一些较常见的微控制器和DSP的接口。

AD7904/AD7914/AD7924与TMS320C541的接口

TMS320C541的串行接口利用连续串行时钟和帧同步信号与AD7904/AD7914/AD7924等外设的数据传输操作保持同步。通过 $\overline{CS}$ 输入可轻松实现TMS320C541与AD7904/AD7914/AD7924的接口，无需任何胶连逻辑。TMS320C541的串行端口设置为利用内部CLKX0(串行端口0上的TX串行时钟)和FSX0(来自串行端口0的TX帧同步信号)在突发模式下工作。串行端口控制(SPC)寄存器必须具有如下设置：FO = 0、FSM = 1、MCM = 1且TXM = 1。连接图如图30所示。对于信号处理应用来说，需注意的是来自TMS320C541的帧同步信号必须提供等距采样。AD7904/AD7914/AD7924的 V_{DRIVE} 引脚采用与TMS320C541相同的电源电压。因此，如果需要，ADC的工作电压可以高于串行接口TMS320C541的电压。

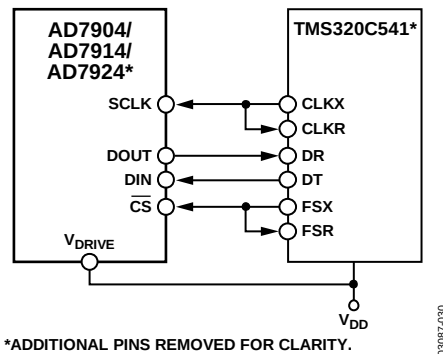


图30. 与TMS320C541接口

AD7904/AD7914/AD7924与ADSP-218x的接口

ADSP-218x系列DSP可以直接与AD7904/AD7914/AD7924接口，无需任何胶连逻辑。AD7904/AD7914/AD7924的 V_{DRIVE} 引脚采用与ADSP-218x相同的电源电压。因此，如果需要，ADC的工作电压可以高于串行接口ADSP-218x的电压。

ADSP-218x的SPORT0控制寄存器设置如下：

TFSW = RFSW = 1，交替帧传输
 INVRFS = INVTFS = 1，低电平有效帧信号
 DTYPE = 00，右对齐数据
 SLEN = 1111，16位数据字
 ISCLK = 1，内部串行时钟
 TFSR = RFSR = 1，每个字一帧
 IRFS = 0
 ITFS = 1

连接图如图31所示。ADSP-218x SPORT的TFS和RFS连在一起，TFS设置为输出，而RFS设置为输入。DSP以交替帧传输模式工作，SPORT0控制寄存器按照上文所述进行设置。TFS上产生的帧同步信号连到 $\overline{CS}$ ，而且像所有信号处理应用一样，要求采用等距采样。但在本例中，定时器中断用于控制ADC的采样速率，某些情况下可能无法实现等距采样。

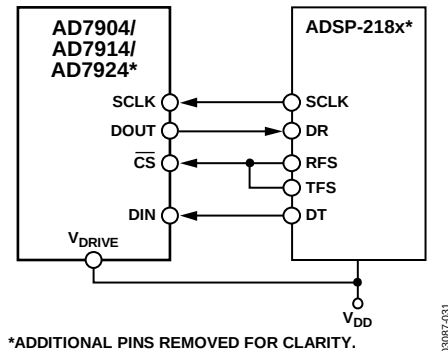


图31. 与ADSP-218x接口

例如，在定时器寄存器中载入一个值，以要求的采样间隔提供中断。当收到中断时，会通过TFS/DT(ADC控制字)传输一个值。TFS用于控制RFS，因而也控制数据读取。串行时钟的频率由SCLKDIV寄存器控制。当发出通过TFS进行传输的指令时(即AX0 = TX0)，会检查SCLK的状态。DSP等到SCLK变高、变低、再变高之后，才开始传输。如果所选的定时器和SCLK值使得传输指令出现在SCLK上升沿上或其附近，则可能会传输数据，也可能需要等到下一个时钟沿。

例如，若ADSP-2189晶振为20 MHz，从而主时钟频率为40 MHz，则主机周期时间为25 ns。如果SCLKDIV寄存器的值为3，则将获得5 MHz的SCLK，即每8个主时钟周期产生1个SCLK周期。

AD7904/AD7914/AD7924

根据所选吞吐速率，如果定时器寄存器加载某一数值——比如803 ($803 + 1 = 804$)——则两次中断之间(也就是两个传输指令之间)会发生100.5个SCLK周期。这种设置将无法实现等距采样，因为传输指令出现在SCLK边沿。如果两次中断之间的SCLK数为整数N，则DSP可以实现等距采样。

AD7904/AD7914/AD7924与DSP563xx的接口

图32中的连接图显示AD7904/AD7914/AD7924如何连接到Motorola DSP563xx系列DSP的ESSI(同步串行接口)。每个ESSI(板上有两个)都工作在同步模式(CRB的SYN位 = 1)，内部产生的1位时钟周期帧同步信号同时用于Tx和Rx(CRB的位FSL1 = 0、位FSL0 = 0)。通过将CRB中的位MOD设为0，可选择ESSI的正常工作模式。通过将CRA中的位WL1设为1且位WL0设为0，可将字长设为16位。CRB中的位FSP应设为1，使帧同步为负。需注意，对于信号处理应用，来自DSP563xx的帧同步信号必须提供等距采样。

在图32所示例子中，串行时钟从ESSI获得，因此SCK0引脚必须设为输出(SCKD = 1)。AD7904/AD7914/AD7924的 V_{DRIVE} 引脚采用与DSP563xx相同的电源电压。因此，如果需要，ADC的工作电压可以高于串行接口DSP563xx的电压。

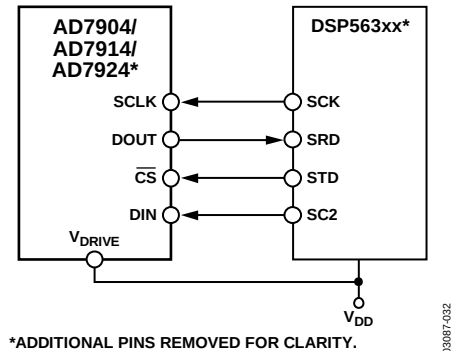


图32. 与DSP563xx接口

接地和布局

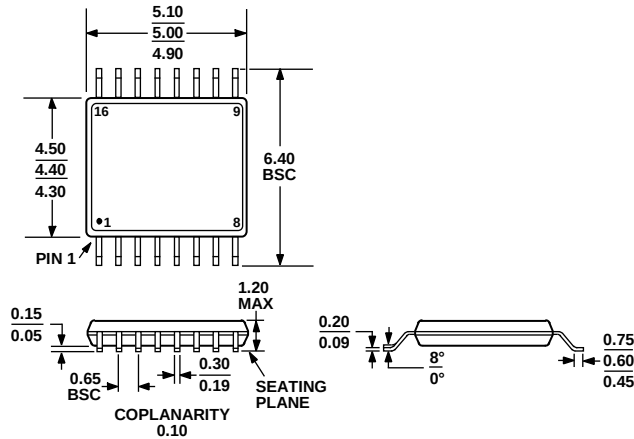
AD7904/AD7914/AD7924对电源上的噪声具有良好的抗扰度(见图6)，不过仍应注意接地和布局。

AD7904/AD7914/AD7924所在的PCB应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这样便于使用接地层并让它们易于被分割。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。AD7904/AD7914/AD7924的所有4个AGND引脚都应下沉到AGND层。数字地层和模拟地层应单点连接。如果AD7904/AD7914/AD7924所在系统中有多个器件要求AGND至DGND连接，则只能在一个点进行连接：星形接地点应尽可能靠近AD7904/AD7914/AD7924。

应避免在器件下方布设数字线路，因为这些线路会将噪声耦合至芯片。应允许降模拟接地层布设在AD7904/AD7914/AD7924下方，以避免噪声耦合。AD7904/AD7914/AD7924的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。为避免向电路板上的其它部分辐射噪声，应利用数字地屏蔽时钟信号等快速开关信号，同时保证时钟信号远离模拟输入。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，以减小电路板的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

良好的去耦也很重要。应将10 μF 钽电容与0.1 μF 陶瓷电容并联，对所有模拟电源去耦到AGND。为使这些去耦元件实现最佳性能，必须使其尽可能靠近器件，最好是紧贴器件。0.1 μF 电容应具有低有效串联电阻(ESR)和有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型或表贴封装型电容，以便处理内部逻辑开关所引起的瞬变电流。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图33. 16引脚超薄紧缩小型封装(TSSOP)
(RU-16)

图示尺寸单位: mm

订购指南

型号 ^{1, 2}	注释	温度范围	线性误差(LSB) ³	封装选项	封装描述
AD7904BRU		-40°C至+85°C	±0.2	RU-16	16引脚 TSSOP
AD7904BRU-REEL		-40°C至+85°C	±0.2	RU-16	16引脚 TSSOP
AD7904BRUZ		-40°C至+85°C	±0.2	RU-16	16引脚 TSSOP
AD7904BRUZ-REEL		-40°C至+85°C	±0.2	RU-16	16引脚 TSSOP
AD7904BRUZ-REEL7		-40°C至+85°C	±0.2	RU-16	16引脚 TSSOP
AD7904WYRUZ-REEL7		-40°C至+125°C	±0.2	RU-16	16引脚 TSSOP
AD7914BRU-REEL		-40°C至+85°C	±0.5	RU-16	16引脚 TSSOP
AD7914BRUZ		-40°C至+85°C	±0.5	RU-16	16引脚 TSSOP
AD7914BRUZ-REEL7		-40°C至+85°C	±0.5	RU-16	16引脚 TSSOP
AD7914WYRUZ-REEL7		-40°C至+125°C	±0.5	RU-16	16引脚 TSSOP
AD7924BRU		-40°C至+85°C	±1	RU-16	16引脚 TSSOP
AD7924BRU-REEL7		-40°C至+85°C	±1	RU-16	16引脚 TSSOP
AD7924BRUZ		-40°C至+85°C	±1	RU-16	16引脚 TSSOP
AD7924BRUZ-REEL		-40°C至+85°C	±1	RU-16	16引脚 TSSOP
AD7924BRUZ-REEL7		-40°C至+85°C	±1	RU-16	16引脚 TSSOP
AD7924WYRUZ-REEL7		-40°C至+125°C	±1	RU-16	16引脚 TSSOP

¹ Z = 符合RoHS标准的器件。
² W = 通过汽车应用认证。
³ 线性误差指积分线性误差。

汽车应用级产品

AD7904W/AD7914W/AD7924W型号的生产工艺受到严格控制，以满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

注释

注释

注释