

1MHz, 微功耗, 低噪声, 轨到轨输入输出 (RRIO), 1.8V CMOS 运算放大器 价值线系列

查询样品: [OPA313](#), [OPA2313](#), [OPA4313](#)

特性

- 低 I_Q : 50 μ A/ch
- 宽电源电压: 1.8V 至 5.5V
- 低噪声: 1kHz 下为 25nV/ $\sqrt{\text{Hz}}$
- 增益带宽: 1MHz
- 低输入偏置电流: 0.2pA
- 低偏移电压: 0.5mV
- 单位增益稳定
- 内部射频 (RF) / 电磁干扰 (EMI) 滤波器
- 扩展温度范围:
-40°C 至 +125°C

应用范围

- 电池供电仪器:
 - 消费类应用、工业应用、医疗应用
 - 笔记本电脑、便携式媒体播放器
- 传感器信号调节:
 - 回路供电类应用
 - 笔记本电脑、便携式媒体播放器
- 无线传感器:
 - 住所安全
 - 远程感测
 - 无线仪表

说明

OPA313 系列单通道、双通道和四通道运算放大器代表了新一代的低成本、通用、微功耗运算放大器。轨到轨输入和输出摆幅, 低静态电流 (典型值 50 μ A) 与 1MHz 的宽带宽和极低噪声 (1kHz 时为 25nV/ $\sqrt{\text{Hz}}$) 组合在一起使得这个系列对于要求在成本和性能间达到很好平衡的多种电池供电类应用具有很大的吸引力。低输入偏置电流支持那些在具有兆欧级源阻抗的应用中使用的运算放大器。

OPA313 器件的稳健耐用设计方便了电路设计人员的使用: 负载电容高达 150pF 时单位增益稳定、一个集成的 RF/EMI 抑制滤波器、在过驱情况下无相位反转和高静电放电 (ESD) 保护 (4kV 人体模型 (HBM))。

这些器件针对低至 +1.8V (± 0.9 V) 和最高 +5.5V (± 2.75 V) 的低压运行进行了优化, 并且在电压为 1.8V, 3.3V 和 5V 时, 其额定运行温度范围为 -40°C 至 +125°C 的完全扩展温度范围。

OPA313 (单通道) 采用 SC70-5 和小外形尺寸晶体管 (SOT)23-5 封装。OPA2313 (双通道) 采用小外形尺寸 (SO)-8, 微型小外形尺寸 (MSOP)-8 和四方扁平无引线 (DFN)-8 封装。四通道 OPA4313 采用薄型小外形尺寸 (TSSOP)-14 封装。



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2012, Texas Instruments Incorporated
English Data Sheet: [SBOS649](#)



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

封装信息⁽¹⁾

产品	封装-引线	封装指示符	额定温度范围	封装标识
OPA313	SC70-5	DK	-40°C 至 125°C	SIE
	小外形尺寸晶体管封装 (SOT) 23-5	DBV	-40°C 至 125°C	SIF
OPA2313	SO-8	D	-40°C 至 125°C	OP2313
	MSOP-8	DGK	-40°C 至 125°C	OUSS
	DFN-8	DRG	-40°C 至 125°C	SDY
OPA4313	TSSOP-14	PW	-40°C 至 125°C	OPA4313

(1) 要获得最新的封装和订货信息，请参阅本文档末尾的封装选项附录，或者访问www.ti.com上的器件产品文件夹。

最大绝对额定值⁽¹⁾

在自然通风温度范围内运行测得，除非另有说明。

		OPA313 , OPA2313 , OPA4313	单位
电源电压		7	V
单输入端子	电压 ⁽²⁾	(V ₋)-0.5 至 (V ₊)+0.5	V
	电流 ⁽²⁾	±10	mA
输出短路 ⁽³⁾		连续	mA
运行温度, T _A		-40 至 +150	°C
存储温度, T _{stg}		-65 至 +150	°C
结温, T _J		+150	°C
静电放电 (ESD) 额定值	人体模型 (HBM)	4000	V
	充电器件模型 (CDM)	1000	V
	机器模型 (MM)	200	V

(1) 超过这些额定值的应力有可能造成永久损坏。长时间处于最大绝对额定情况下会降低设备的可靠性。这些只是应力额定值，在这些值或者任何超过那些所标明的条件下的功能运行并未注明。

(2) 输入端子被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流应该被限制在 10mA 或者更少。

(3) 短路至接地，每封装一个放大器。

电气特性：V_S = +1.8V 至 +5.5V⁽¹⁾

T_A = +25 °C 时，R_L = 10kΩ 被连接至 V_S/2，并且 V_{CM} = V_{OUT} = V_S/2，除非另外注明。

参 数		测 试 条 件	OPA313 , OPA2313 , OPA4313			单 位
			最小值	典型值	最大值	
偏 移 电 压						
V _{OS}	输入偏移电压			0.5	2.5	mV
dV _{OS} /dT	与温度间的关系	T _A =-40°C 至 +125°C		2		μV/°C
电源抑制比 (PSRR)	与电源的关系	T _A =-40°C 至 +125°C	74	90		dB
	通道分离, 直流	在直流		10		μV/V 时
输 入 电 压 范 围						
V _{CM}	共模电压范围	无相位反向, 轨到轨输入	(V ₋)-0.2		(V ₊)+0.2	V
CMRR	共模抑制比	T _A =-40°C 至 +125°C 时, (V _S)-0.2V<V _{CM} <(V _S)+1.3V	70	85		dB
		V _S =1.8V, V _{CM} =-0.2V 至 +1.8V	58	73		dB
		T _A =-40°C 至 +125°C 时, V _S =1.8V, V _{CM} =-0.2V 至 +1.6V	58	70		dB
		T _A =-40°C 至 +125°C 时, V _S =5.5V, V _{CM} =-0.2V 至 5.7V ⁽²⁾	64	80		dB
输 入 偏 置 电 流						
I _B	输入偏置电流			±0.2	±10	pA
		T _A =-40°C 至 +85°C			±50	pA
		T _A =-40°C 至 +125°C			±600	pA
I _{OS}	输入偏移电流			±0.2	±10	pA
		T _A =-40°C 至 +85°C			±50	pA
		T _A =-40°C 至 +125°C			±600	pA
噪 声						
	输入电压噪声 (峰值至峰值)	f=0.1Hz 至 10Hz		6		μV _{PP}
e _n	输入电压噪声密度	f=10kHz		22		nV/√Hz
		f=1kHz		25		nV/√Hz
i _n	输入电流噪声密度	f=1kHz		5		fA/√Hz
输 入 电 容						
C _{IIN}	差分电压			1		pF
	共模			5		pF
开 环 增 益						
A _{OL}	开环电压增益	T _A =-40°C 至 +125°C 时 V _S =1.8V, 0.1V<V _O <(V ₊)-0.1V	90	110		dB
		T _A =-40°C 至 +125°C 时 V _S =5.5V, 0.1V<V _O <(V ₊)-0.1V	104	116		dB
		T _A =-40°C 至 +125°C 时 V _S =1.8V, 0.3V<V _O <(V ₊)-0.3V, R _L =2kΩ ⁽²⁾	90	100		dB
		T _A =-40°C 至 +125°C 时 V _S =5.5V, 0.3V<V _O <(V ₊)-0.3V, R _L =2kΩ ⁽²⁾	100	110		dB
	相位裕量	V _S =5.0V, G=+1		65		度

(1) 最小或最大额定限值参数在 +25°C 时经 100% 生产测试，除非另外注明。温度范围内的限值基于特性和统计分析。

(2) 由设计和特性指定；未经生产测试。

电气特性：V_S = +1.8V 至 +5.5V⁽¹⁾ (continued)

T_A = +25 °C 时，R_L = 10kΩ 被连接至 V_S/2，并且 V_{CM} = V_{OUT} = V_S/2，除非另外注明。

参数		测试条件	OPA313, OPA2313, OPA4313			单位
			最小值	典型值	最大值	
频率响应						
GBW	带宽增益产品	V _S =1.8V, C _L =10pF	0.9		MHz	
		V _S =5.0V, C _L =10pF	1		MHz	
SR	转换率	V _S =1.8V, G=+1	0.45		V/μs	
		V _S =5.0V, G=+1	0.5		V/μs	
t _S	稳定时间	到 0.1%, V _S =5.0V, 2V 阶跃, G=+1 时的稳定时间	5		μs	
		到 0.01%, V _S =5.0V, 2V 阶跃, G=+1 时的稳定时间	6		μs	
	过载恢复时间	V _S =5.0V, V _{IN} × 增益 > V _S	3		μs	
THD+N	总谐波失真 + 噪声 ⁽³⁾	V _S =5.0V, V _O =1V _{RMS} , G=+1, f=1kHz	0.0045 %			
输出						
V _O	自电源轨的输出电压摆幅	V _S =1.8V, R _L =100kΩ ⁽⁴⁾	5	15	mV	
		V _S =5.5V, R _L =100kΩ ⁽⁴⁾	5	20	mV	
		T _A =-40°C 至 +125°C, R _L =100 kΩ ⁽⁴⁾		30	mV	
		V _S =1.8V, R _L =2kΩ ⁽⁴⁾	25	50	mV	
		V _S =5.5V, R _L =2kΩ ⁽⁴⁾	75	100	mV	
		T _A =-40°C 至 +125°C, R _L =2kΩ		125	mV	
I _{SC}	短路电流	V _S =1.8V	±6		mA	
		V _S =5.5V	±15		mA	
		T _A =-40°C 至 +125°C, V _S =5.5V	±12		mA	
R _O	开环输出阻抗		2300		Ω	
电源						
V _S	额定电压范围		1.8 (±0.9)	5.5 (±2.75)	V	
I _Q	每个放大器的静态电流	I _O =0mA	50	60	μA	
		T _A =-40°C 至 +125°C, V _S =5.0V, I _O =0mA		85	μA	
	加电时间	V _S =0V 至 5V, 达到 90% I _Q 水平	10		μs	
温度						
	额定温度		-40	+125	°C	
	工作范围		-40	+150	°C	
	储存温度		-65	+150	°C	

(3) 三阶滤波器；-3dB 时的带宽 = 80kHz。

(4) 由设计和特性指定；未经生产测试。

热性能信息：OPA313

热度量 ⁽¹⁾		OPA313		单位
		DBV (SOT23)	DCK (SC70)	
		5 引脚	5 引脚	
θ_{JA}	结到环境热阻	228.5	281.4	°C/W
$\theta_{JC(top)}$	结至芯片外壳 (顶部) 热阻	99.1	91.6	
θ_{JB}	结至电路板热阻	54.6	59.6	
Ψ_{JT}	结至顶部的特征参数	7.7	1.5	
Ψ_{JB}	结至电路板的特征参数	53.8	58.8	
$\theta_{JC(bottom)}$	结至芯片外壳 (底部) 热阻	不可用	不可用	

(1) 有关传统和新的热 度量的更多信息，请参阅IC 封装热度量应用报告，[SPRA953](#)。

热性能信息：OPA2313

热度量 ⁽¹⁾		OPA2313			单位
		D (SO)	DGK (MSOP)	DRG (DFN)	
		8 引脚	8 引脚	8 引脚	
θ_{JA}	结到环境热阻	138.4	191.2	53.8	°C/W
$\theta_{JC(top)}$	结至芯片外壳 (顶部) 热阻	89.5	61.9	69.2	
θ_{JB}	结至电路板热阻	78.6	111.9	20.1	
Ψ_{JT}	结至顶部的特征参数	29.9	5.1	3.8	
Ψ_{JB}	结至电路板的特征参数	78.1	110.2	20.0	
$\theta_{JC(bottom)}$	结至芯片外壳 (底部) 热阻	不可用	不可用	11.6	

(1) 有关传统和新的热 度量的更多信息，请参阅IC 封装热度量应用报告，[SPRA953](#)。

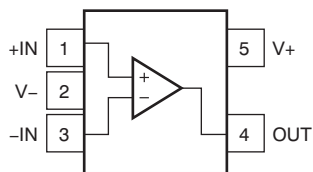
热性能信息：OPA4313

热度量 ⁽¹⁾		OPA4313	单位
		PW (TSSOP)	
		14 引脚	
θ_{JA}	结到环境热阻	121.0	°C/W
$\theta_{JC(top)}$	结至芯片外壳 (顶部) 热阻	49.4	
θ_{JB}	结至电路板热阻	62.8	
Ψ_{JT}	结至顶部的特征参数	5.9	
Ψ_{JB}	结至电路板的特征参数	62.2	
$\theta_{JC(bottom)}$	结至芯片外壳 (底部) 热阻	不可用	

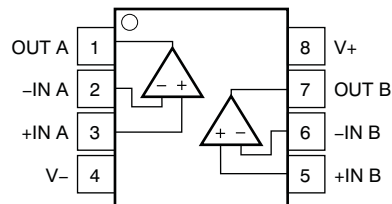
(1) 有关传统和新的热 度量的更多信息，请参阅IC 封装热度量应用报告，[SPRA953](#)。

引脚配置

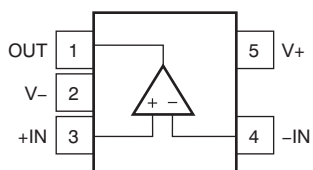
DCK 封装
SC70-5
(顶视图)



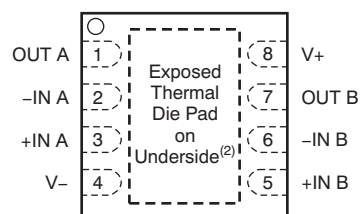
D, DGK 封装
SO-8, MSOP-8
(顶视图)



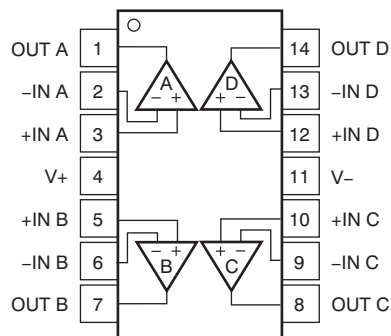
DBV 封装
小外形尺寸晶体管封装 (SOT) 23-5
(顶视图)



DRG 封装⁽¹⁾
DFN-8
(顶视图)



PW 封装
TSSOP-14
(顶视图)



(1) 焊球间距：0.65mm

(2) 将散热垫连接至 V-。散热垫尺寸：1.8mm x 1.5mm。

典型特征
Table 1. 特征性能测量

标题	图表
开环增益和相位与频率间的关系	Figure 1
开环增益与温度间的关系	Figure 2
静态电流与电源电压间的关系	Figure 3
静态电流与温度间的关系	Figure 4
偏移电压产品分布	Figure 5
偏移电压漂移分布	Figure 6
偏移电压与共模电压间的关系 (最大电源)	Figure 7
偏移电压与温度间的关系	Figure 8
CMRR 和电源抑制比 (PSRR) 与频率间的关系 (RTI)	Figure 9
CMRR 和 PSRR 温度间的关系	Figure 10
0.1Hz 至 10Hz 输入电压噪声 (5.5V)	Figure 11
输入电压噪声频谱密度与频率间的关系 (1.8V , 5.5V)	Figure 12
输入电压噪声与共模电压间的关系 (5.5V)	Figure 13
输入偏置和偏移电流与温度间的关系	Figure 14
开环输出阻抗与频率间的关系	Figure 15
最大输出电压与频率和电源电压间的关系	Figure 16
输出电压摆幅与输出电流间的关系 (温度范围内)	Figure 17
G=1, -1, 10 时闭环增益与频率间的关系 (1.8V)	Figure 18
G=1, -1, 10 时闭环增益与频率间的关系 (5.5V)	Figure 19
小信号过冲与负载电容间的关系	Figure 20
相位裕量与电容负载间的关系	Figure 21
小信号阶跃响应, 非反相 (1.8V)	Figure 22
小信号阶跃响应, 非反相 (5.5V)	Figure 23
大信号阶跃响应, 非反相 (1.8V)	Figure 24
大信号阶跃响应, 非反相 (5.5V)	Figure 25
正过载恢复	Figure 26
负过载恢复	Figure 27
无相位反转	Figure 28
通道分离与频率间的关系 (双路)	Figure 29
THD+N 与振幅间的关系 (G=+1, 2k Ω , 10k Ω)	Figure 30
THD+N 与振幅间的关系 (G=-1, 2k Ω , 10k Ω)	Figure 31
THD+N 与频率间的关系 (0.5V _{RMS} , G=+1, 2k Ω , 10k Ω)	Figure 32
电磁干扰抑制比 (EMIRR) IN+ 与频率间的关系	Figure 33

典型特征

$T_A = +25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ 被连接至 $V_S/2$, 并且 $V_{CM} = V_{OUT} = V_S/2$, 除非另外注明。

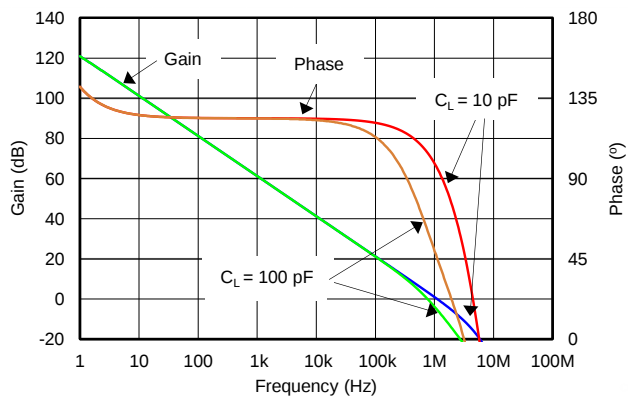


Figure 1. 开环增益和相位与频率间的关系

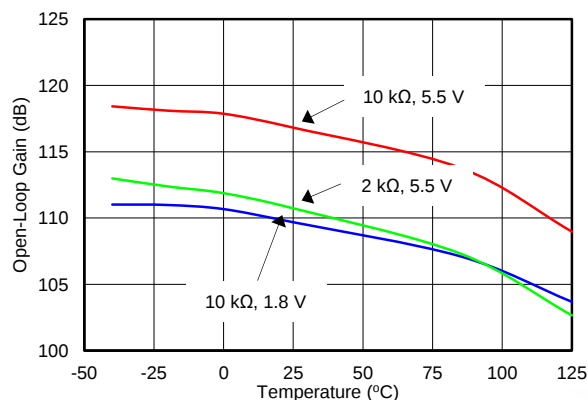


Figure 2. 开环增益与温度间的关系

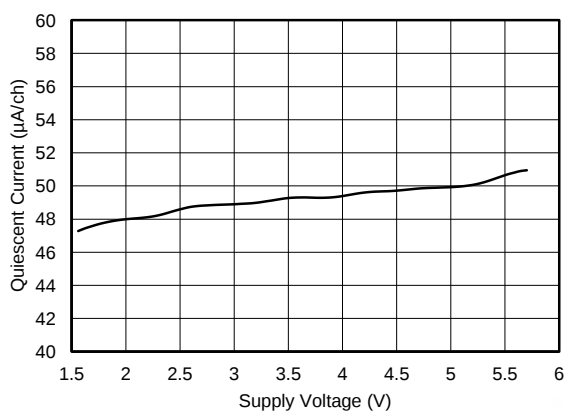


Figure 3. 静态电流与电源间的关系

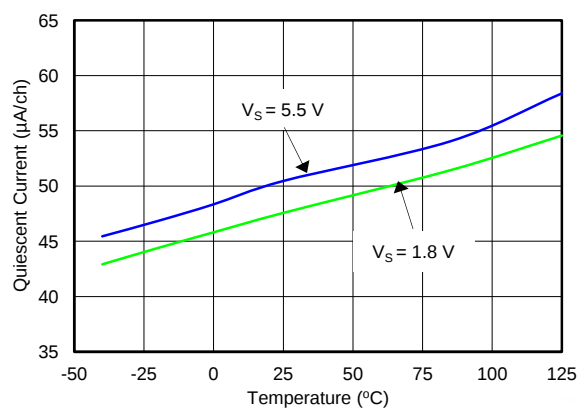


Figure 4. 静态电流与温度间的关系

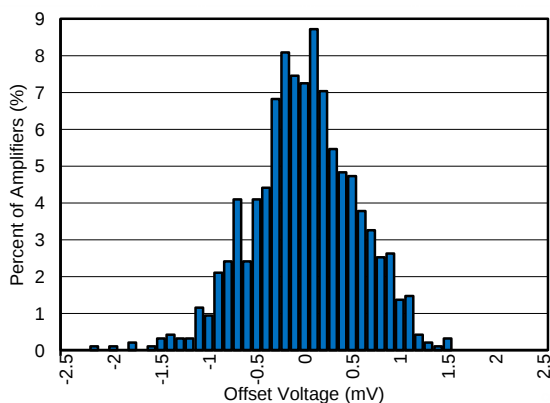


Figure 5. 偏移电压产品分布

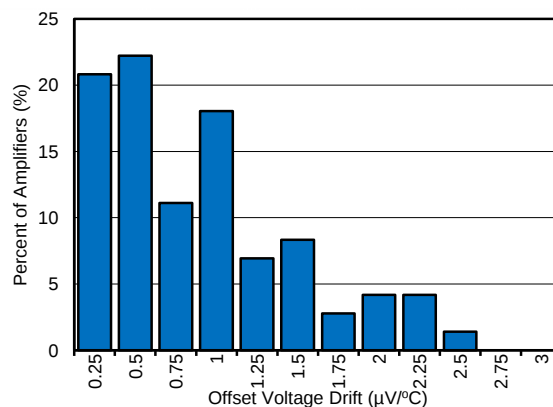


Figure 6. 偏移电压漂移分布

典型特征 (continued)

$T_A = +25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ 被连接至 $V_S/2$, 并且 $V_{CM} = V_{OUT} = V_S/2$, 除非另外注明。

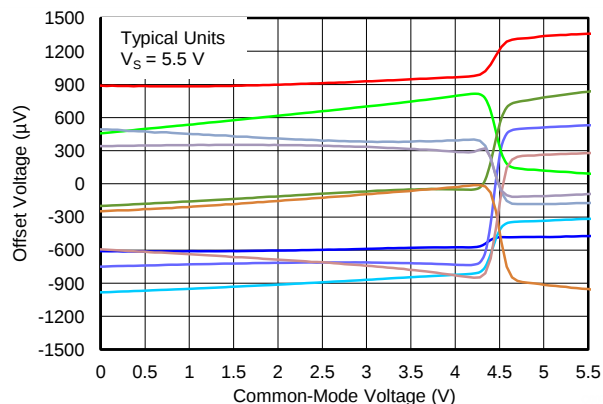


Figure 7. 偏移电压与共模电压间的关系

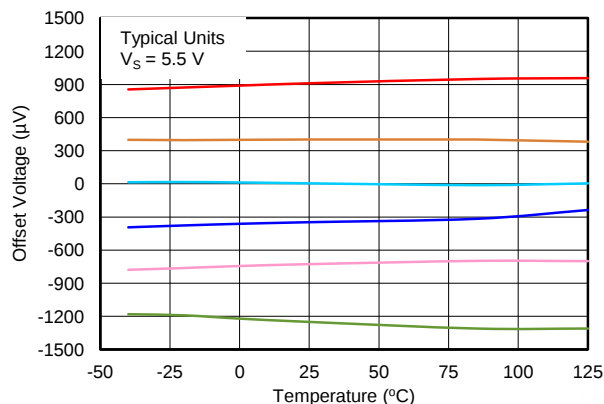


Figure 8. 偏移电压与温度间的关系

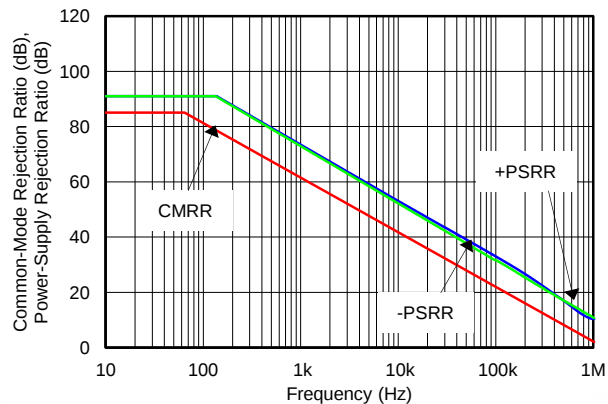


Figure 9. CMRR 和 PSRR 与频率间的关系 (以输入为基准)

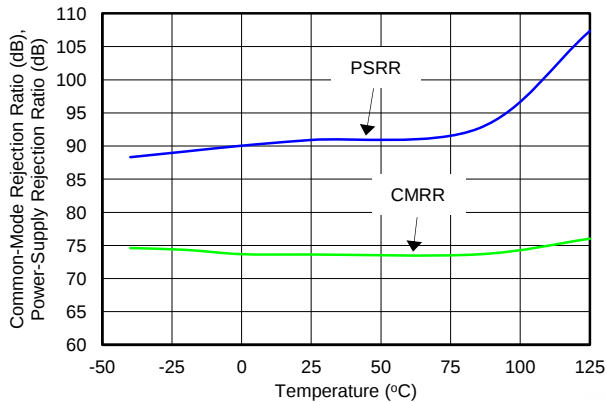


Figure 10. CMRR 和 PSRR 与温度间的关系

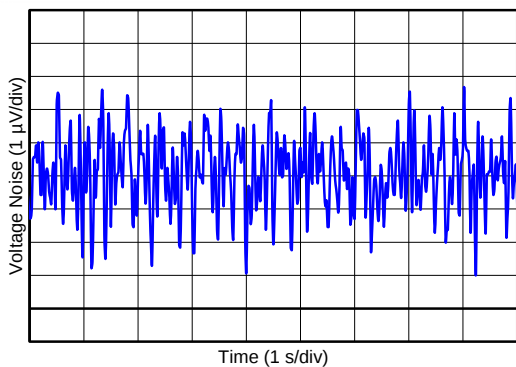


Figure 11. 0.1Hz 至 10Hz 输入电压噪声

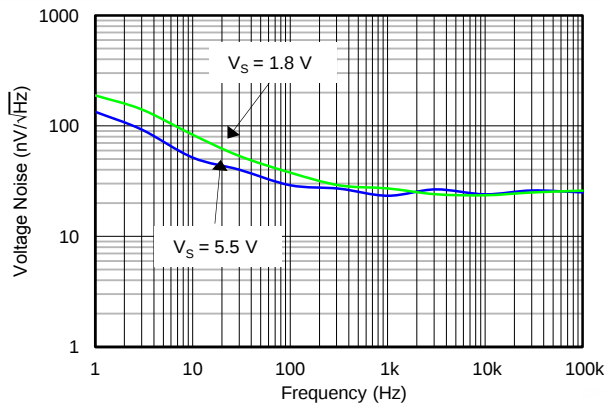


Figure 12. 输入电压噪声频谱密度与频率间的关系

典型特征 (continued)

$T_A = +25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ 被连接至 $V_S/2$, 并且 $V_{CM} = V_{OUT} = V_S/2$, 除非另外注明。

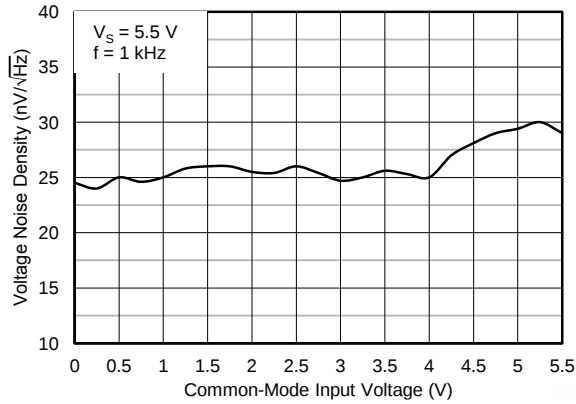


Figure 13. 电压噪声与共模电压间的关系

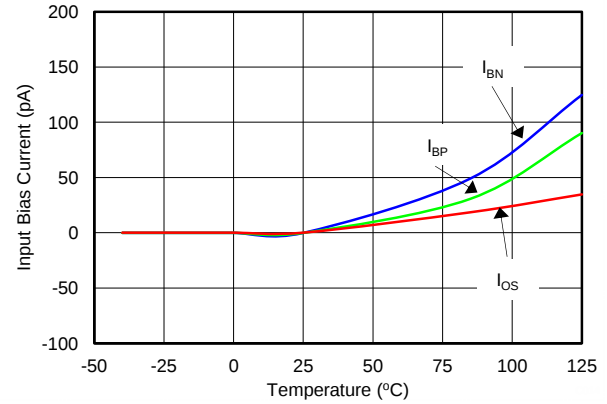


Figure 14. 输入偏置和偏移电流与温度间的关系

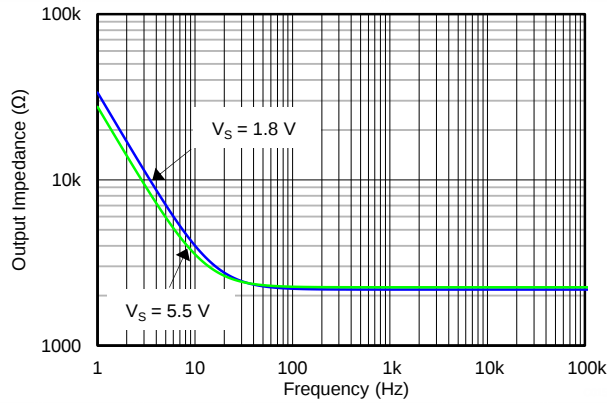


Figure 15. 开环输出阻抗与频率间的关系

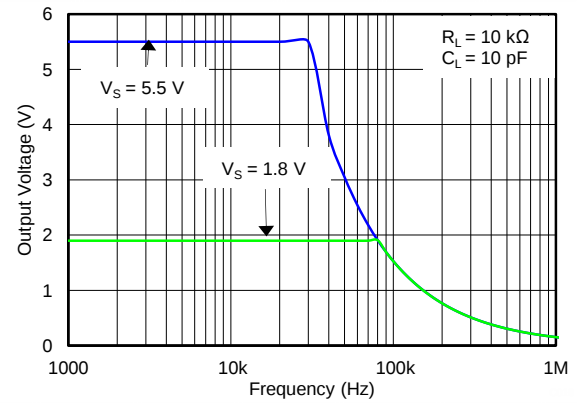


Figure 16. 最大输出电压与频率和电源电压间的关系

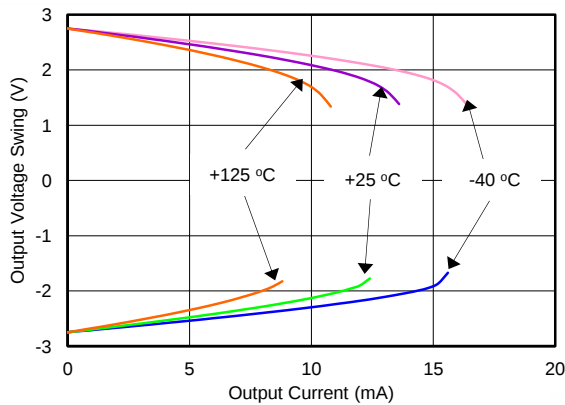


Figure 17. 输出电压摆幅与输出电流间的关系 (温度范围内)

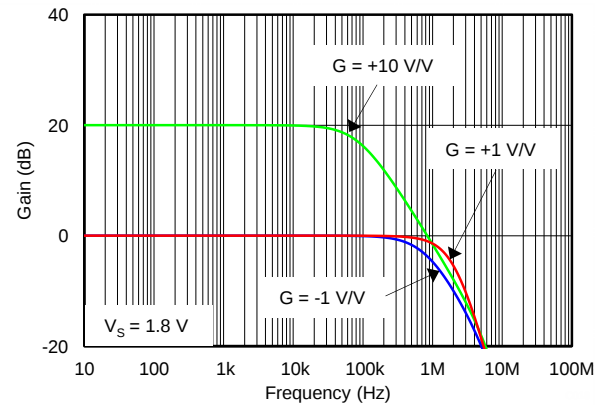


Figure 18. 闭环增益与频率间的关系 (最小电源)

典型特征 (continued)

$T_A = +25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ 被连接至 $V_S/2$, 并且 $V_{CM} = V_{OUT} = V_S/2$, 除非另外注明。

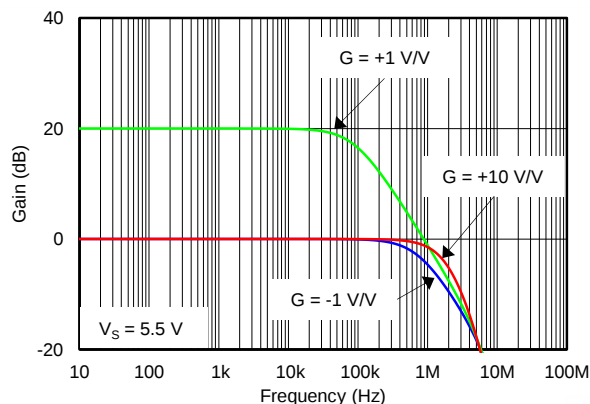


Figure 19. 闭环增益与频率间的关系 (最大电源)

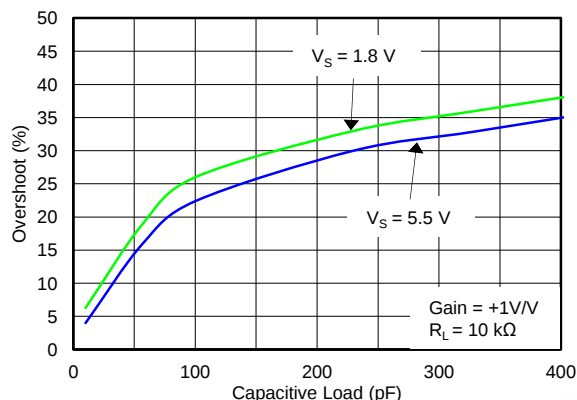


Figure 20. 小信号过冲与负载电容间的关系

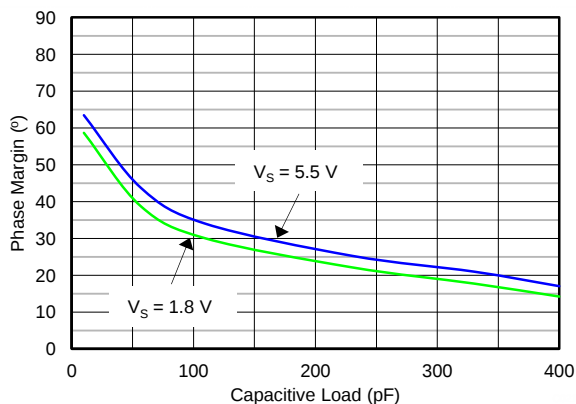


Figure 21. 相位裕量与电容负载间的关系

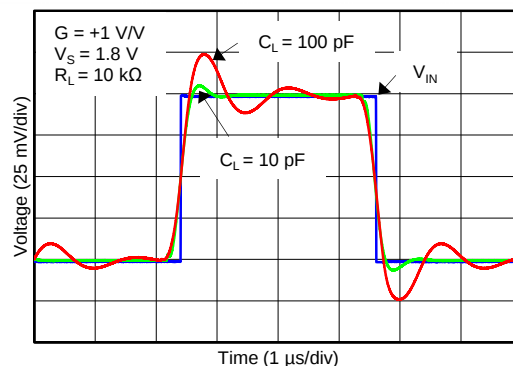


Figure 22. 小信号脉冲响应 (最小电源)

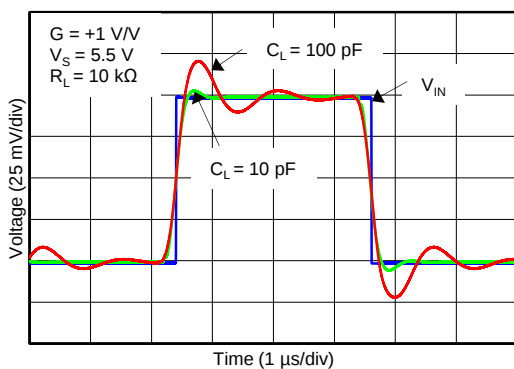


Figure 23. 小信号脉冲响应 (最大电源)

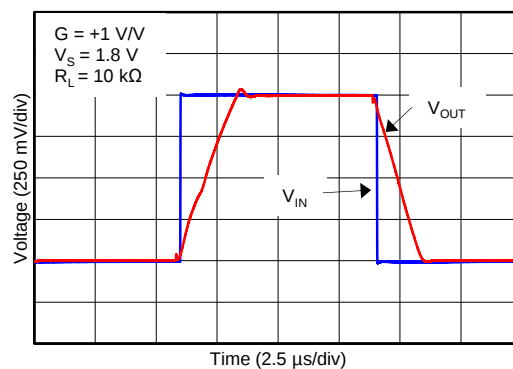


Figure 24. 大信号脉冲响应 (最小电源)

典型特征 (continued)

$T_A = +25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ 被连接至 $V_S/2$, 并且 $V_{CM} = V_{OUT} = V_S/2$, 除非另外注明。

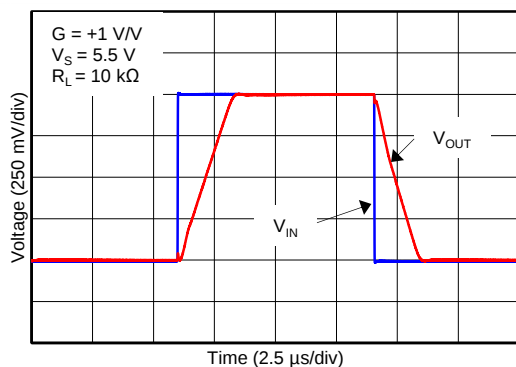


Figure 25. 大信号脉冲响应 (最大电源)

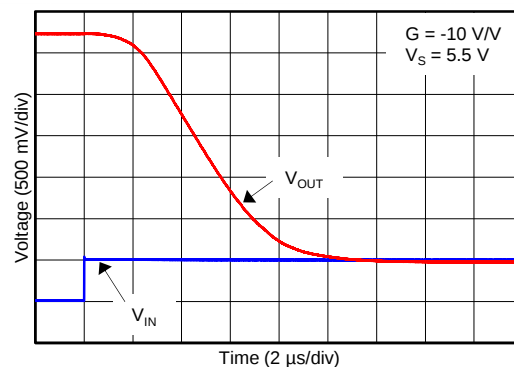


Figure 26. 正过载恢复

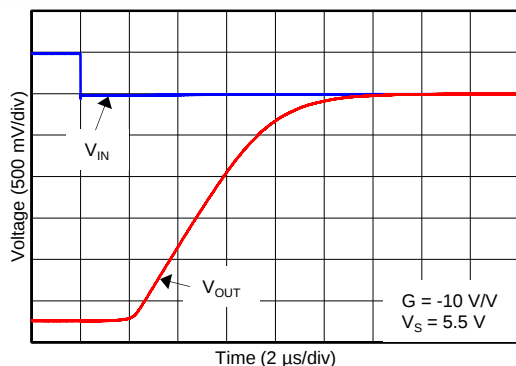


Figure 27. 负过载恢复

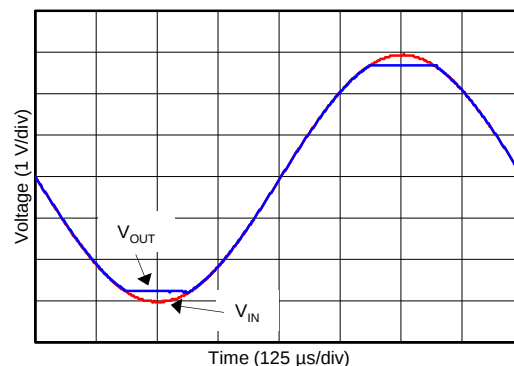


Figure 28. 无相位反转

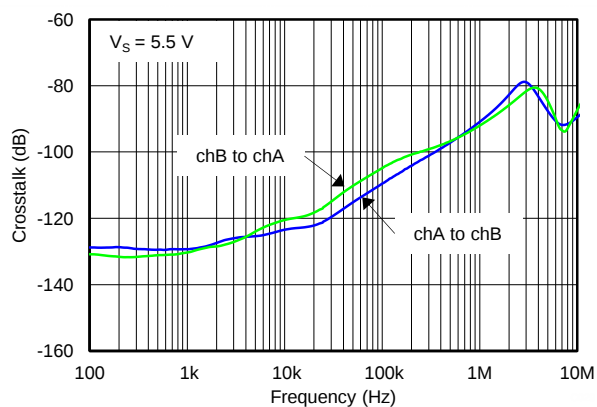


Figure 29. 通道分离与频率间的关系

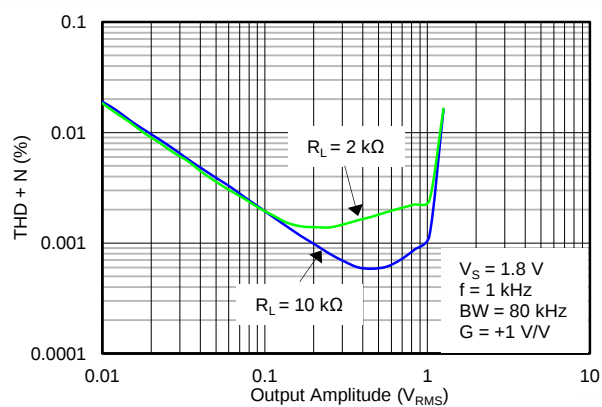


Figure 30. THD+N 与输出摆幅间的关系 (最小电源)

典型特征 (continued)

$T_A = +25^\circ\text{C}$ 时, $R_L = 10\text{k}\Omega$ 被连接至 $V_S/2$, 并且 $V_{CM} = V_{OUT} = V_S/2$, 除非另外注明。

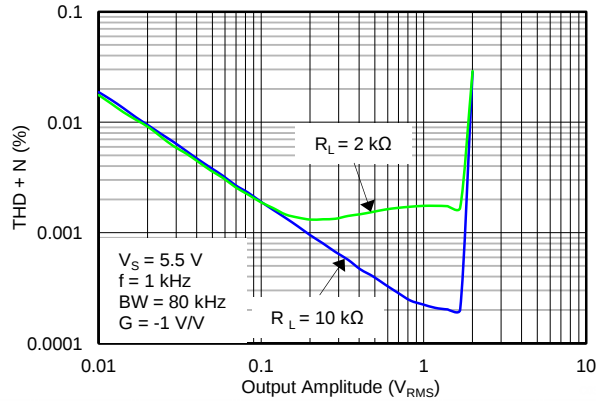


Figure 31. THD+N 与输出摆幅间的关系 (最大电源)

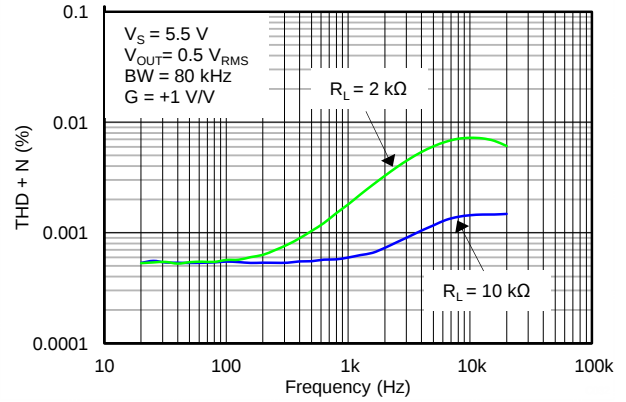


Figure 32. THD+N 与频率间的关系

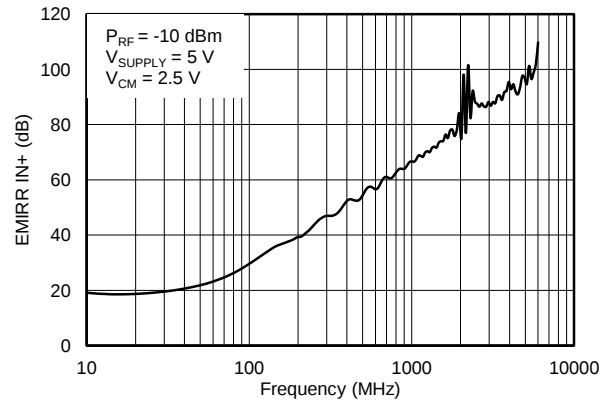


Figure 33. EMIRR IN+ 与频率间的关系

应用信息

OPA313 是一款专门为便携式应用而设计的低功耗、轨到轨输入和输出运算放大器。这些器件的运行电压介于 1.8V 至 5.5V，单位增益稳定，并且非常适合于大范围的通用应用。AB 类输出级能够驱动被连接至 $V+$ 和接地间任一点的小于等于 $10k\Omega$ 的负载。输入共模电压范围包括两个电源轨并且可在实际上实现 OPA313 系列在任一单电源应用中的使用。轨到轨输入和输出摆幅大大增加了动态范围，特别是在低电源应用中，并且使得此类产品非常适合于驱动采样模数转换器 (ADC)。

OPA313 特有 1MHz 带宽和 $0.5V/\mu s$ 转换率，每通道电源电流只有 $50\mu A$ ，从而在极低功耗下提供非常好的交流性能。在 1kHz 时为 DC 应用提供 $25nV/\sqrt{Hz}$ 的极低输入噪声电压，低输入偏置电流 ($0.2pA$)，和一个 $0.5mV$ (典型值) 的输入偏移电压。典型电压漂移为 $2\mu V/^\circ C$ ；在整个温度范围内，输入偏移电压变化只有 $200\mu V$ ($0.5mV$ 至 $0.7mV$)。

工作电压

OPA313 系列运算放大器在 $+1.8V$ 至 $+5.5V$ 额定电压范围内可保证运行。此外，很多应用可应用于 $-40^\circ C$ 至 $+125^\circ C$ 温度范围内。随工作电压或温度大幅变化的参数显示在 **典型特征** 图中。应使用 $0.01\mu F$ 陶瓷电容器将电源引脚旁通。

轨到轨输入

OPA313 系列的输入共模电压范围将电源轨扩展 $200mV$ 。此性能由一个互补输入级实现：与一个 P 通道差分对并联的 N 通道输入差分对，如 **Figure 34** 中所示。N 通道对于靠近正电源轨的输入电压有效，通常比正电源高 $(V+)-1.3V$ 至 $200mV$ ，而 P 通道针对低于负电源轨 $200mV$ 至大约 $(V+)-1.3V$ 间的输入打开。有一个小转换区域，通常介于 $(V+)-1.4V$ 至 $(V+)-1.2V$ 之间，在这个区间内两个对都打开。借助于过程变化，这个 $200mV$ 转换区域的变化可高达 $300mV$ 。因此，此转换区域（两个级都打开）在低端上的范围介于 $(V+)-1.7V$ 至 $(V+)-1.5V$ 之间，在高端上的范围高达 $(V+)-1.1V$ 至 $(V+)-0.9V$ 之间。在这个转换区域内，相对于这个区域外的器件运行，PSRR，CMRR，偏移电压，偏移漂移和 THD 有可能降级。

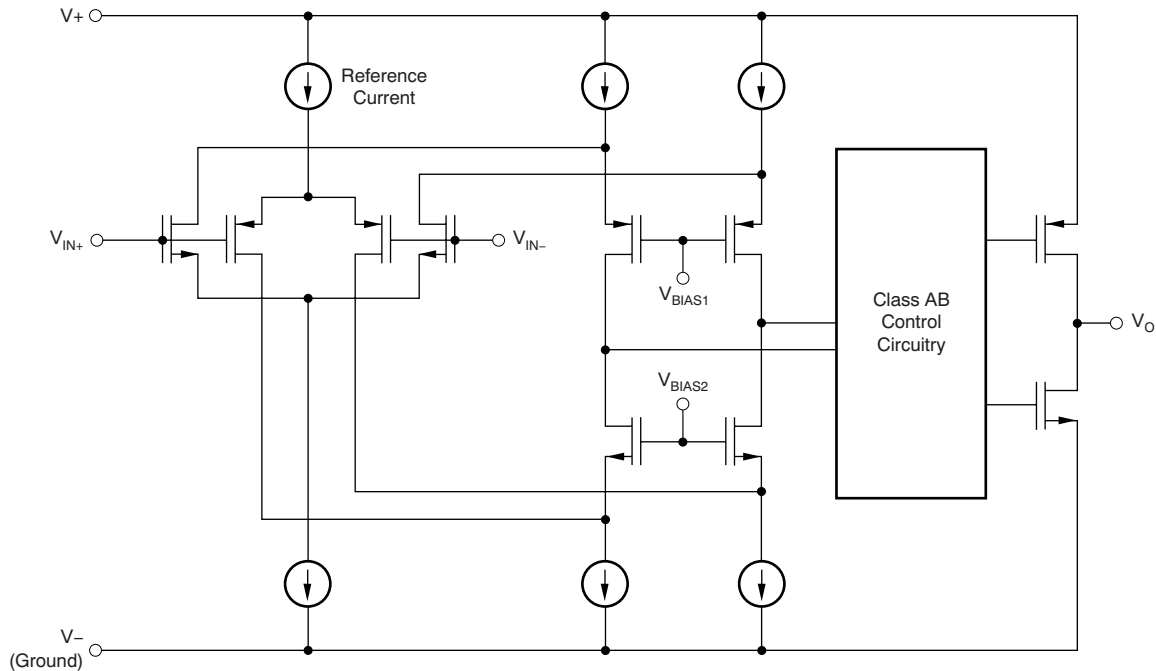


Figure 34. 简化电路原理图

输入和静电放电 (ESD) 保护

OPA313 系列在所有引脚上包含有内部静电放电 (ESD) 保护。在输入和输出引脚的情况下，这个保护主要包括连接在输入和电源引脚间的电流转向二极管。只要电流被限制在 **绝对最大额定值** 中所述的 $10mA$ 内，这些 ESD 保护二极管还提供电路内、输入过驱保护。**Figure 35** 显示了如何将一个串联输入电阻器添加至被驱动的输入来限制输入电流。这个增加的二极管在放大器输入上增加了热噪声并且它的值应该在噪声敏感应用中被保持在最小值。

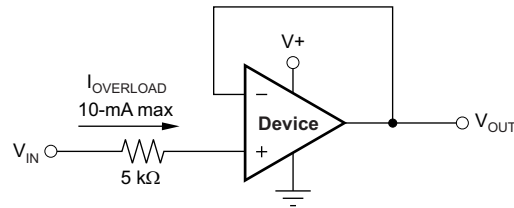


Figure 35. 输入电流保护

共模抑制比 (CMRR)

针对 OPA313 的 CMRR 用几种不同的方法指定，这样对于一个给定的应用，可找到最佳的匹配；请见 [电气特性](#)。首先，给出了低于转换区域 $[V_{CM} < (V+) - 1.3V]$ 的共模范围内器件的 CMRR。当应用需要使用差分输入对中的一个时，这个技术规格是器件功能的最好指示。其次，整个共模范围内的 CMRR 在 $(V_{CM} = -0.2V \text{ 至 } 5.7V)$ 上指定。这个最终值包括转换区域内可见的变化（请见 [Figure 7](#)）。

EMI 磁化率和输入过滤

运算放大器随着器件对于电磁干扰 (EMI) 的磁化率而发生变化。如果被传导的 EMI 进入运算放大器，放大器输出上观察到的 dc 偏移当 EMI 出现时有可能偏离其标称值。这个偏离是由与内部半导体结相关的信号修整引起的。虽然 EMI 会影响所有运算放大器引脚功能，但是信号输入引脚最有可能受到影响。OPA313 运算放大器系列包含一个减少放大器对 EMI 响应的内部输入低通滤波器。这个滤波器提供共模和差分模式滤波。此滤波器针对大约 35MHz (-3dB) 的截止频率而设计，具有每十倍频 20dB 的下降率。

德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 扩展宽频谱范围内准确测量和量化运算放大器抗扰度的功能。EMI 抑制比 (EMIRR) 度量可实现运算放大器与 EMI 抗扰度的直接比较。[Figure 33](#)图示了在 OPA313 系列上进行这个测试所得到的结果。也可在应用报告中找到详细信息，运算放大器的 EMI 抑制比([SBOA128](#))，可从[www.ti.com](#)内下载。

轨至轨输出

被设计成低功耗、低噪声运算放大器，OPA313 提供可靠耐用的输出驱动能力。一个具有共源晶体管 AB 类输出级被用于实现完全轨到轨输出摆幅功能。对于高达 10kΩ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 5mV 以内。不同的负载情况改变放大器摆动靠近电源轨的能力；请参考典型特征图，[输出电压摆幅与输出电流间的关系](#)。

电容负载和稳定性

OPA313 被设计用于需要驱动电容负载的应用中。但与所有运算放大器一起工作时，有具体的实例表明 OPA313 会变得不稳定。当确定放大器是否在运行中保持稳定时，需要考虑特定运算放大器电路配置、布局布线、增益和输出负载等因素。相对于运行在较高噪声增益上的放大器，一个用单位增益 (+1V/V) 配置来驱动电容负载的的运算放大器不稳定的可能性更大。与运算放大器输出电阻结合在一起的电容负载在反馈环路内生成一个使相位裕量降级的极点。相位裕量的降级随着负载电容的增加而增加。当运行在单位增益配置中时，OPA313 在纯电容负载达到大约 1nF 时仍然保持稳定。某些超大电容器 (C_L 大于 1 μ F) 的等效串联电阻足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。当在更高电压增益上观察放大器的过冲响应时，这个增加的驱动能力会十分明显。请见典型特征图，[小信号过冲与电容负载间的关系](#)。

一个增加运行在单位增益配置中的放大器电容负载驱动能力的技巧是插入一个小电阻器，通常为 10 Ω 至 20 Ω ，与输出串联，如 [Figure 36](#) 中所示。这个电阻器大大减少了与大电容负载相关的过冲和振铃。然而，这个技巧的一个可能问题是这个增加的串联电阻和任一与负载电容并联的连接电阻会生成一个分压器。此电压分压器在输出上引入一个减少输出摆幅的增益错误。

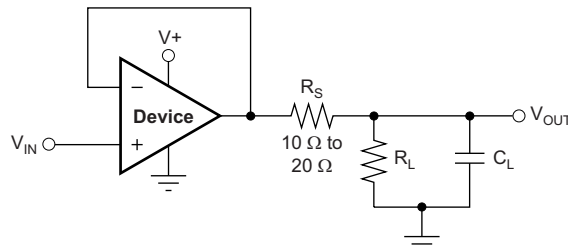


Figure 36. 改进电容负载驱动

DFN 封装

OPA2313 (双通道版本) 使用 DFN 类型封装 (也称为小外形尺寸无引线 (SON) 封装)；这个封装是只在封装底部两侧有接触点的四方扁平无引线 (QFN) 封装。这个无引线封装大大增加了印刷电路板 (PCB) 尺寸并且通过一个外露散热垫来提高散热和电气特性。DFN 封装的一个主要优势是其 0.9mm 的低高度。DFN 封装物理尺寸小，具有更小的走线面积、改进的散热性能、减少的电气寄生，并且使用一个与其它诸如小外形尺寸 (SO) 和微型小外形尺寸 (MSOP) 等常见封装一致的引脚分配机制。此外，无外部引线也消除了引线弯曲问题的出现。

DFN 封装可使用标准 PCB 组装技巧轻松安装。请见应用说明，[QFN/SON PCB 附件 \(SLUA271\)](#) 和应用报告，[四方扁平无引线逻辑封装 \(SCBA017\)](#)，都可以从 www.ti.com 内下载。

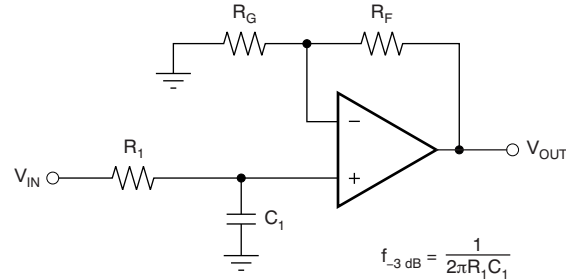
NOTE

DFN 封装底部的外露引线框下垫板应该被连接至最低负电压 (V-)。

应用示例

常用配置

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单的方法是在放大器的非反相端子上放置一个 RC 滤波器，如 Figure 37 中所示。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1C_1}\right)$$

Figure 37. 单极点低通滤波器

如果需要更多的衰减，需要多个极点滤波器。Sallen-Key 滤波器可被用于完成此项工作，如 Figure 38 所示。为了获得最佳结果，放大器应该有一个 8 倍或 10 倍于滤波器频率带宽的带宽。不遵守这一原则会导致放大器的相位偏移。

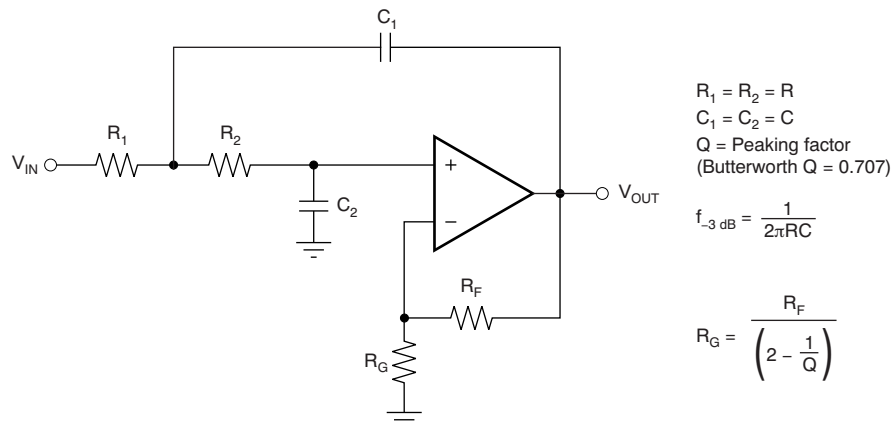


Figure 38. 两极点低通 Sallen-Key 滤波器

修订历史记录

请注意：前一修订版的页码可能与当前版本的页码不同。

Changes from Original (September 2012) to Revision A	Page
• 将产品预览改为生产数据	1

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2313ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP2313	Samples
OPA2313IDGK	ACTIVE	VSSOP	DGK	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OUSS	Samples
OPA2313IDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OUSS	Samples
OPA2313IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP2313	Samples
OPA2313IDRGR	ACTIVE	SON	DRG	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDY	Samples
OPA2313IDRG	ACTIVE	SON	DRG	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDY	Samples
OPA313IDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIE	Samples
OPA313IDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIE	Samples
OPA313IDCKR	ACTIVE	SC70	DCK	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	SIF	Samples
OPA313IDCKT	ACTIVE	SC70	DCK	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	SIF	Samples
OPA4313IPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4313	Samples
OPA4313IPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4313	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "--" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2313IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2313IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2313IDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2313IDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA313IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA313IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA313IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA4313IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

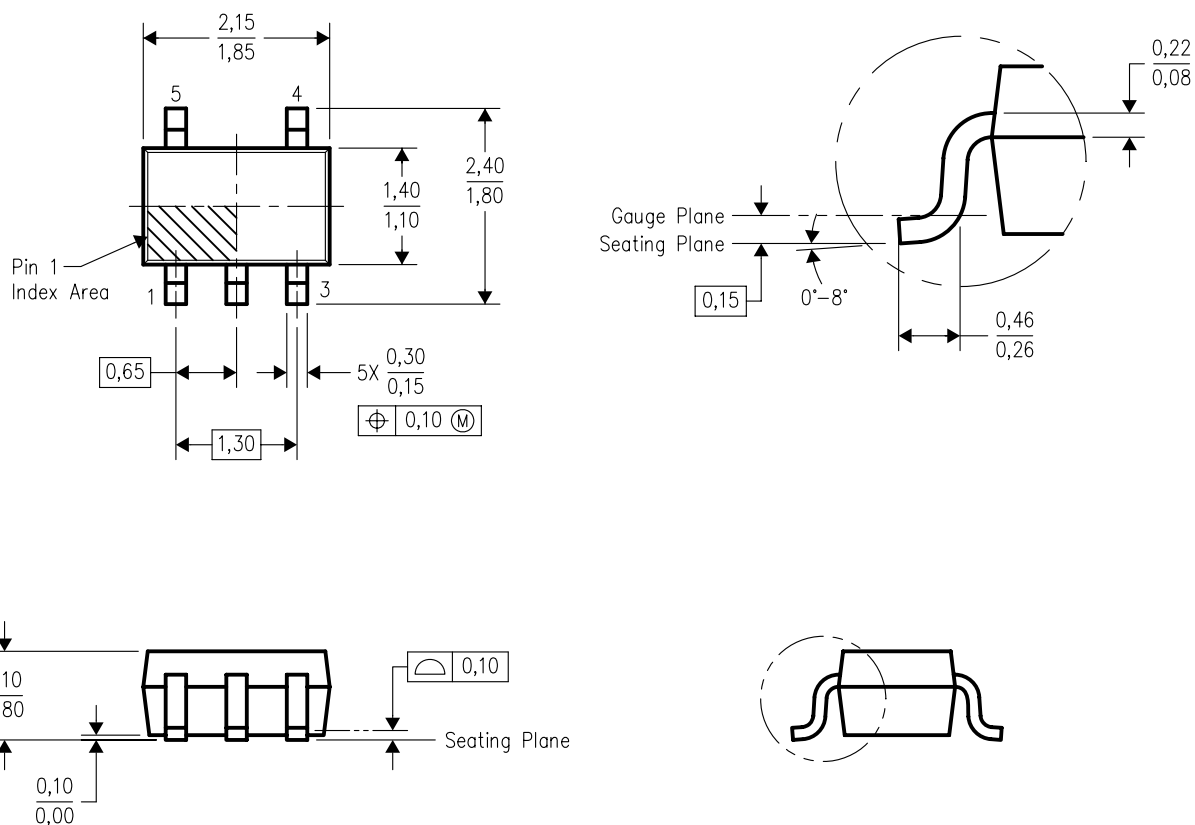


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2313IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2313IDR	SOIC	D	8	2500	340.5	338.1	20.6
OPA2313IDRGR	SON	DRG	8	3000	367.0	367.0	35.0
OPA2313IDRGT	SON	DRG	8	250	210.0	185.0	35.0
OPA313IDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA313IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA313IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA4313IPWR	TSSOP	PW	14	2000	367.0	367.0	35.0

DCK (R-PDSO-G5)

PLASTIC SMALL-OUTLINE PACKAGE

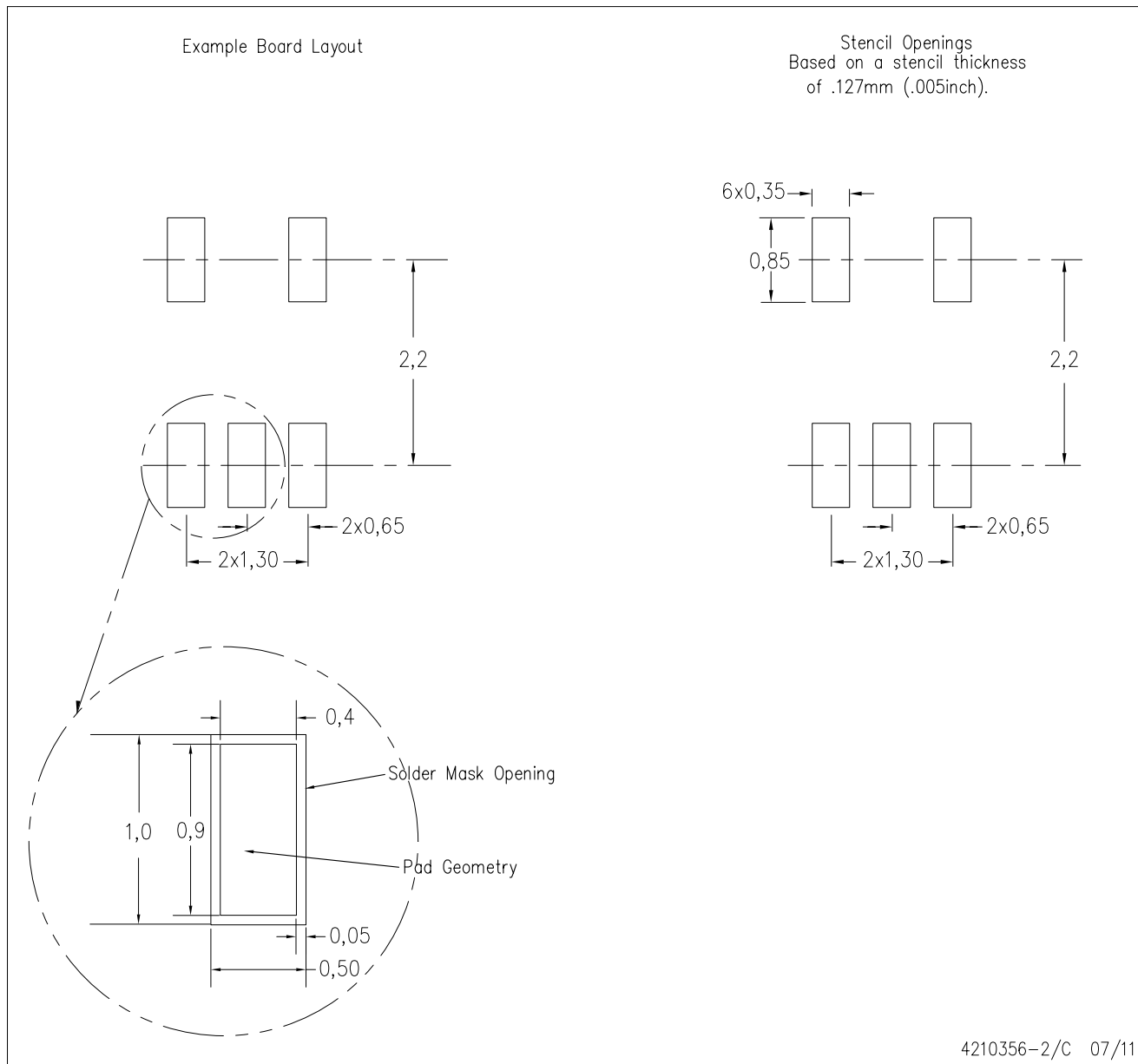


4093553-3/G 01/2007

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
 - Falls within JEDEC MO-203 variation AA.

DCK (R-PDSO-G5)

PLASTIC SMALL OUTLINE



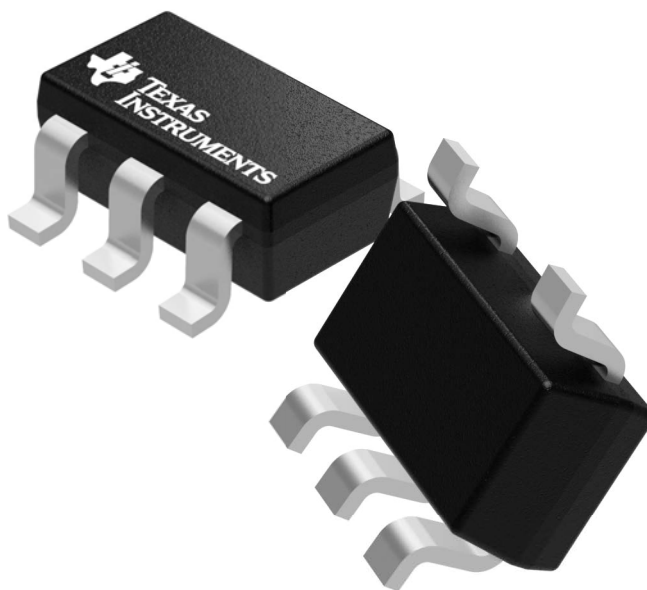
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - D. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.

GENERIC PACKAGE VIEW

DBV 5

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4073253/P

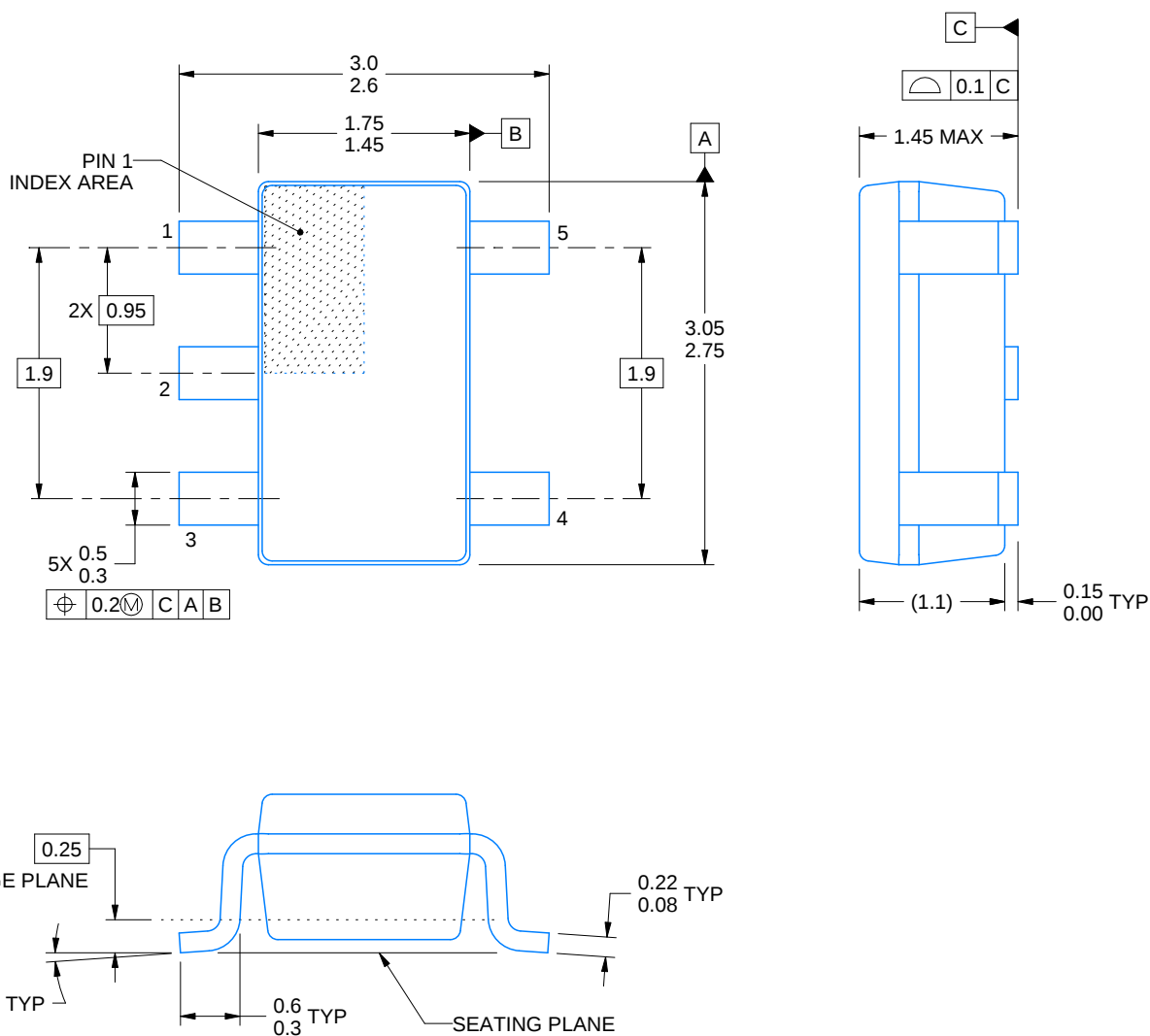


DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/C 04/2017

NOTES:

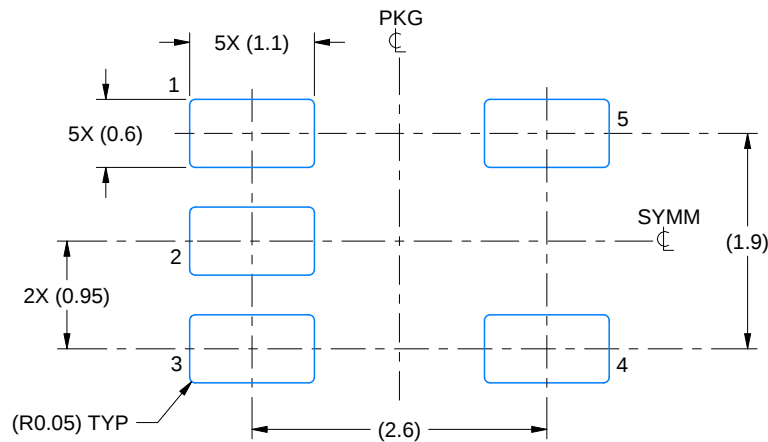
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

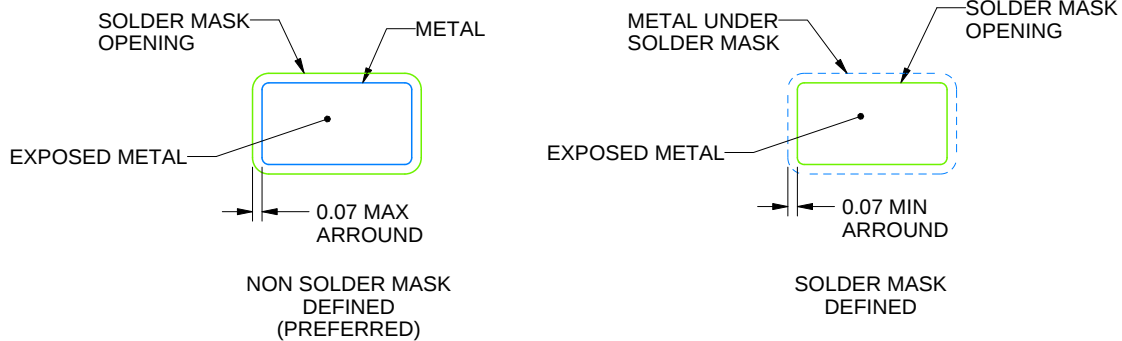
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/C 04/2017

NOTES: (continued)

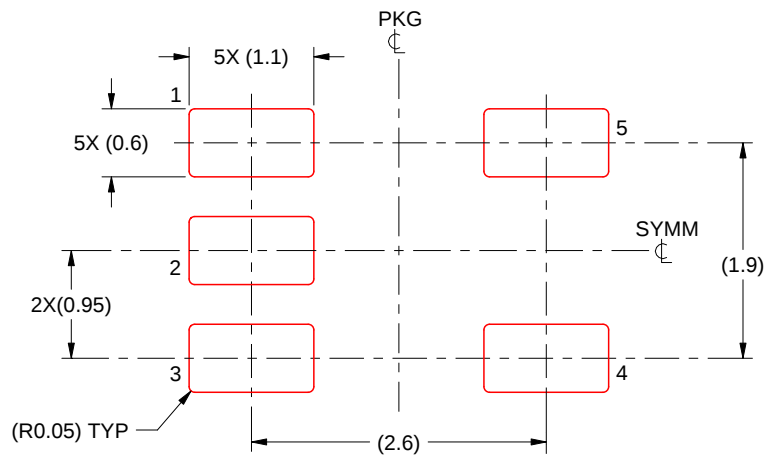
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

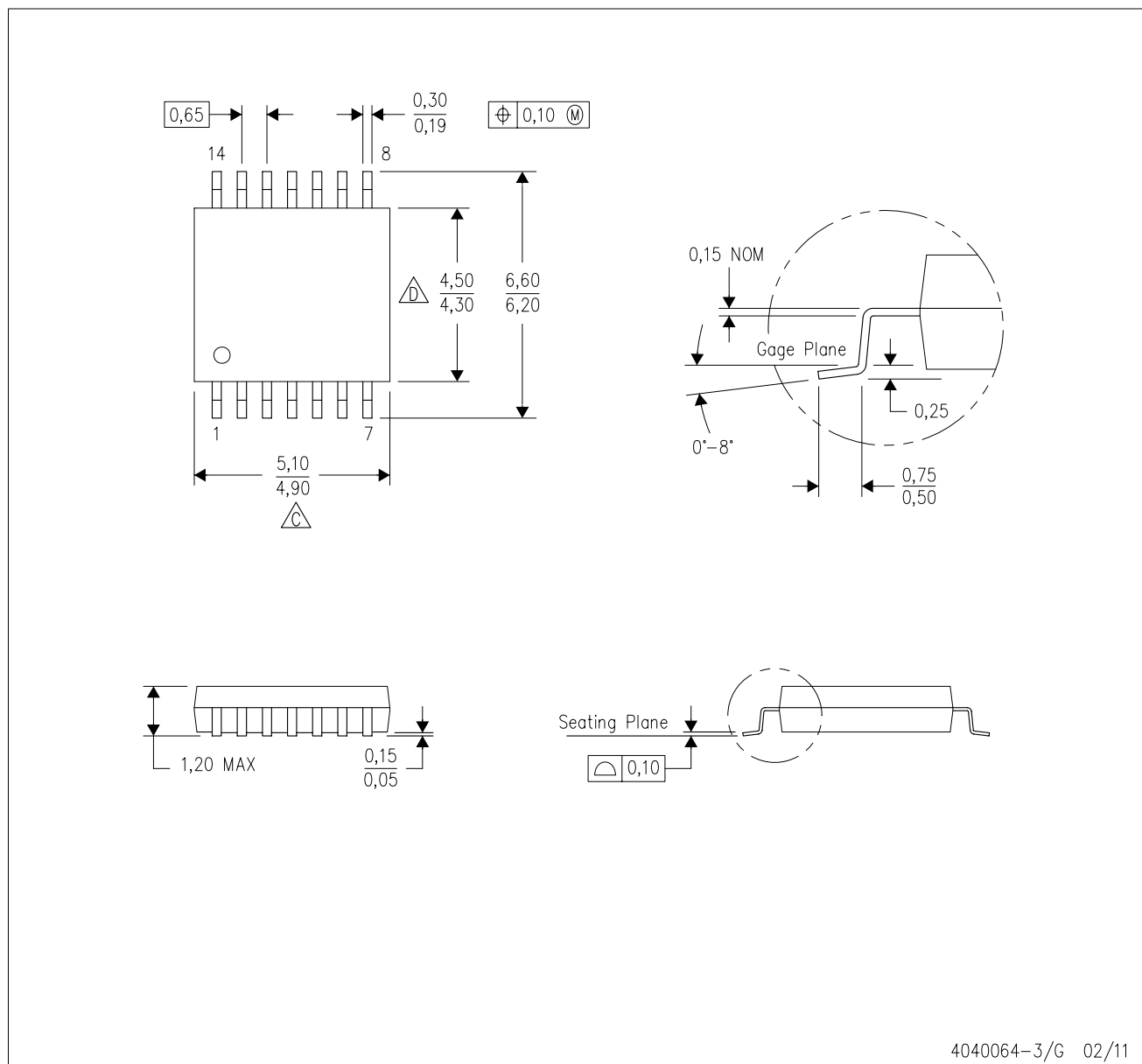
4214839/C 04/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

D (R-PDSO-G8)

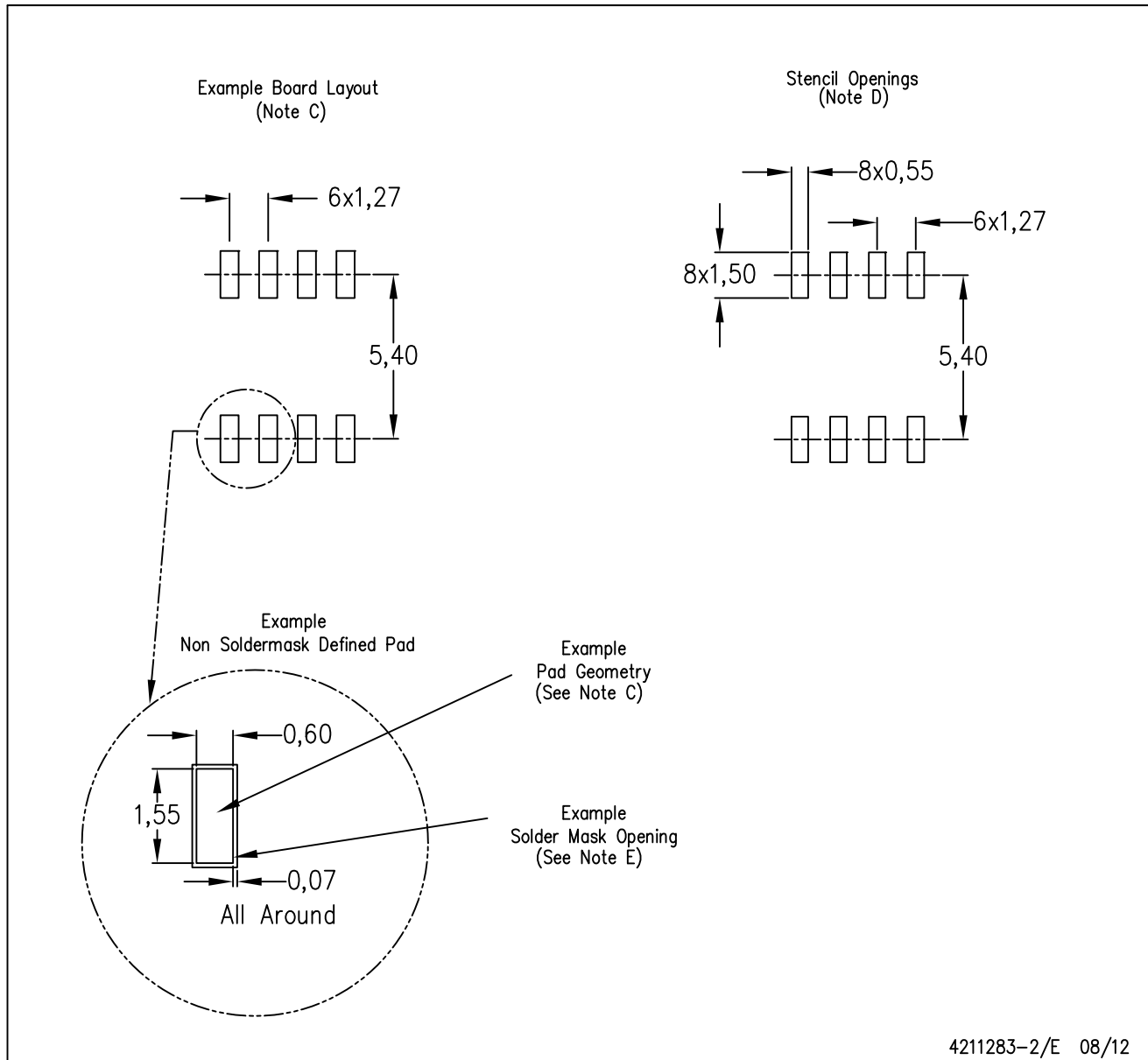
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AA.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

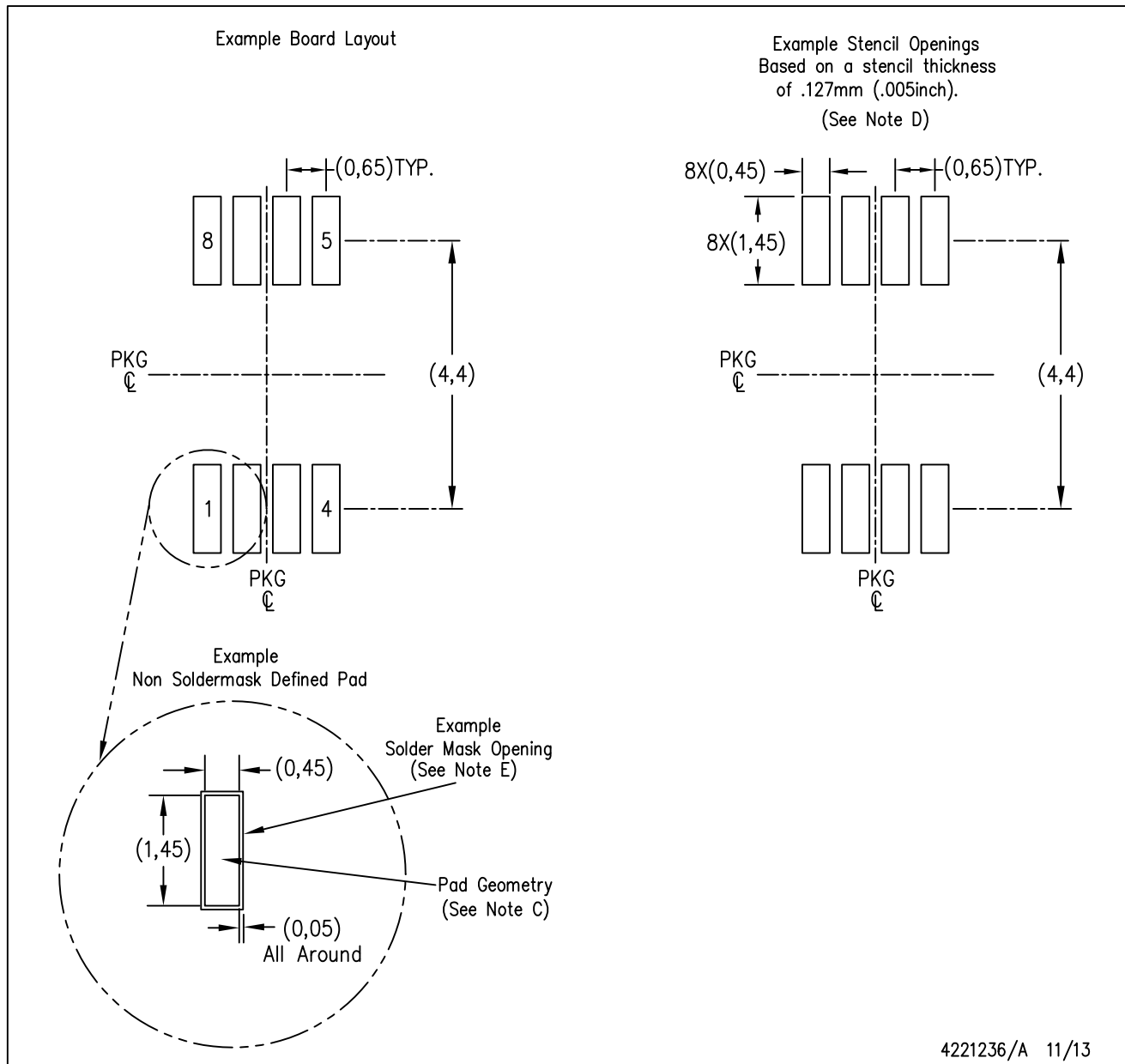


NOTES:

- A. All linear dimensions are in millimeters.
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
- E. Falls within JEDEC MO-187 variation AA, except interlead flash.

DGK (S-PDSO-G8)

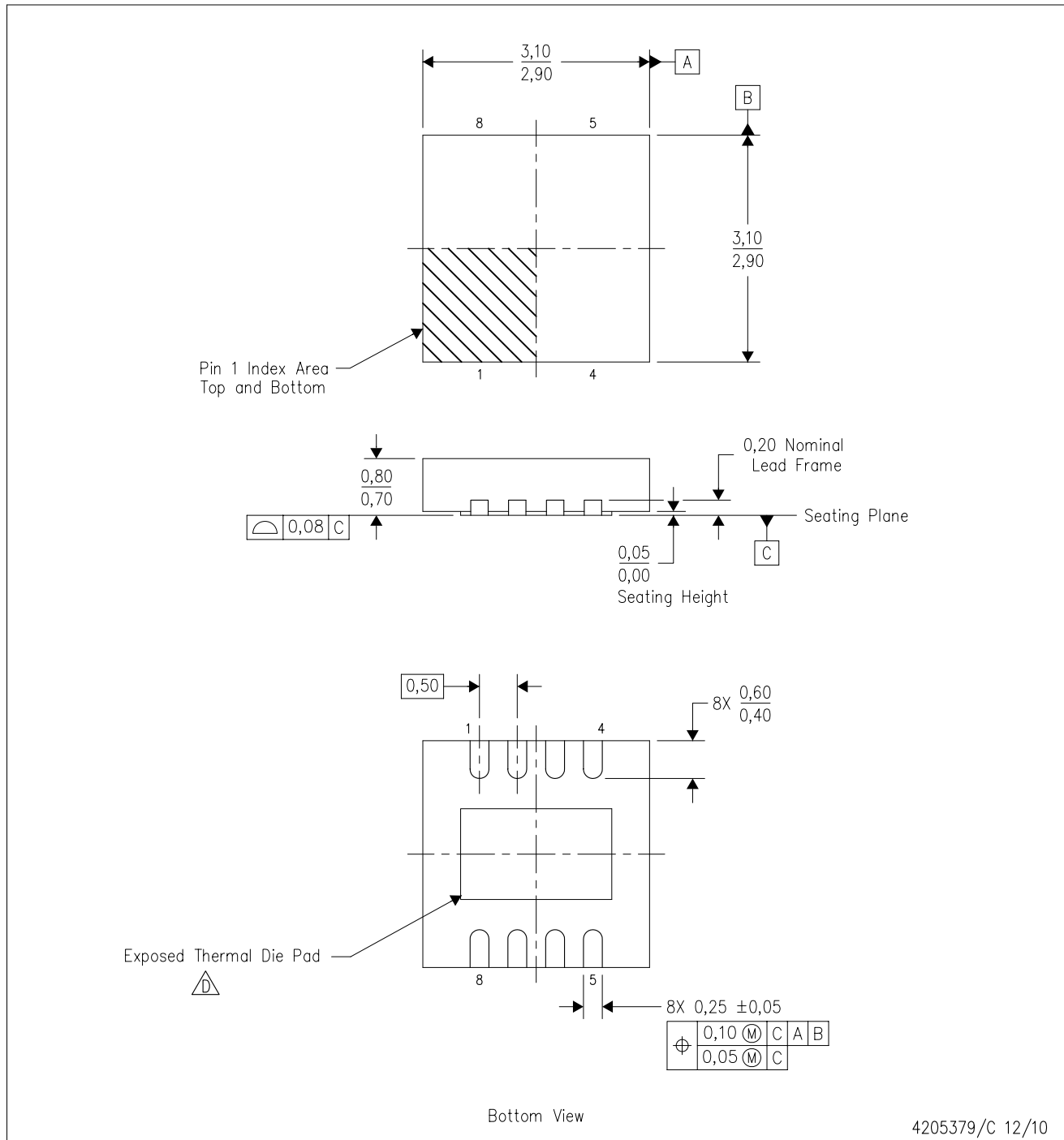
PLASTIC SMALL OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DRG (S-PWSON-N8)

PLASTIC SMALL OUTLINE NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. SON (Small Outline No-Lead) package configuration.
 - D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
 - E. JEDEC MO-229 package registration pending.

DRG (S-PWSON-N8)

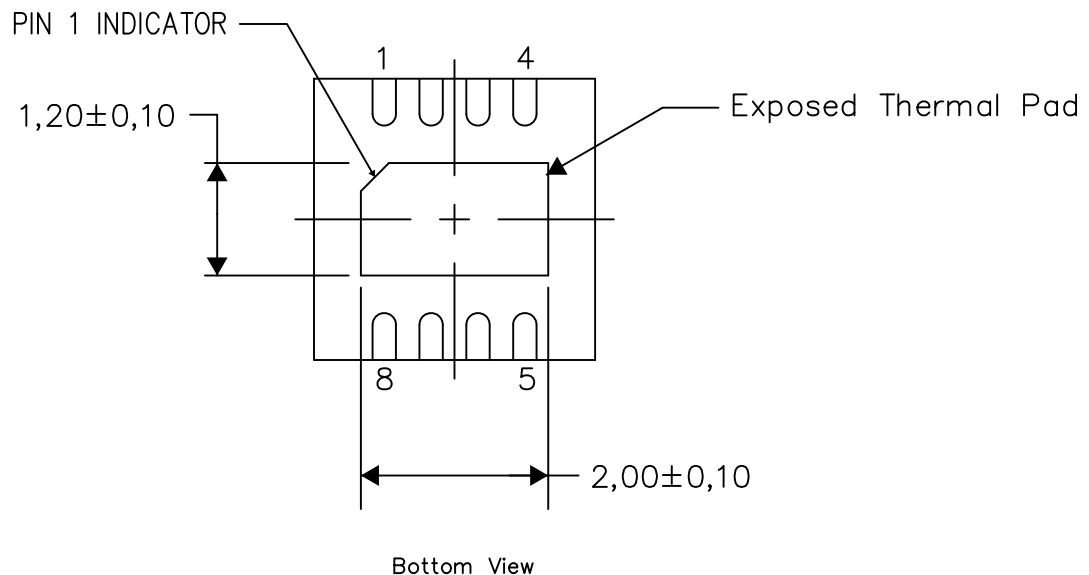
PLASTIC SMALL OUTLINE NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



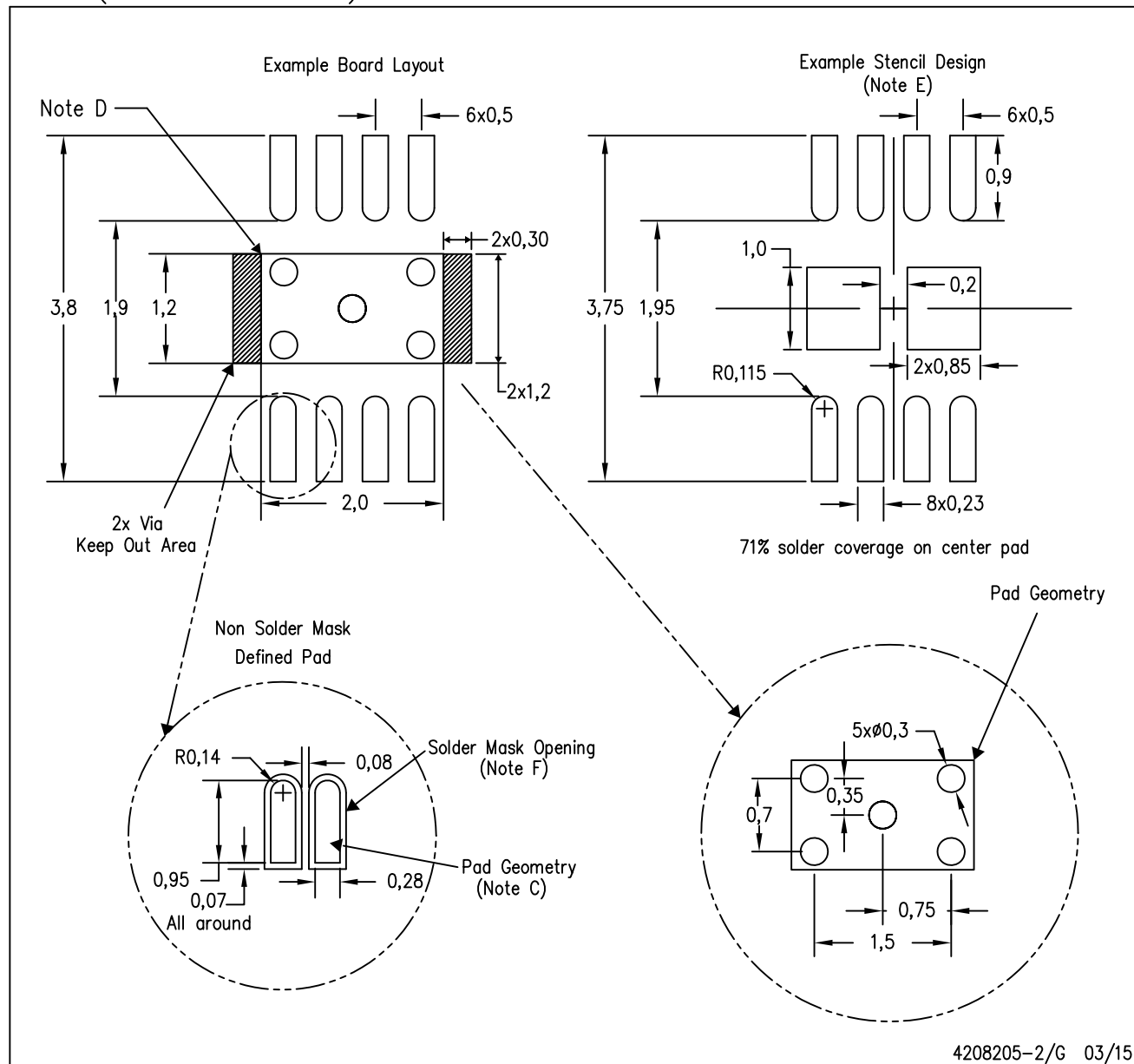
Exposed Thermal Pad Dimensions

4206881-2/1 03/15

NOTE: All linear dimensions are in millimeters

DRG (S-PWSON-N8)

PLASTIC SMALL OUTLINE NO-LEAD



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-SM-782 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

重要声明

德州仪器 (TI) 公司有权按照最新发布的 JESD46 对其半导体产品和服务进行纠正、增强、改进和其他修改，并不再按最新发布的 JESD48 提供任何产品和服务。买方在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。

TI 公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于 TI 已认证和批准上市的已封装集成电路产品的销售。另有其他条款可能适用于其他类型 TI 产品及服务的使用或销售。

复制 TI 数据表上 TI 信息的重要部分时，不得变更该等信息，且必须随附所有相关保证、条件、限制和通知，否则不得复制。TI 对该等复制文件不承担任何责任。第三方信息可能受到其它限制条件的制约。在转售 TI 产品或服务时，如果存在对产品或服务参数的虚假陈述，则会失去相关 TI 产品或服务的明示或暗示保证，且构成不公平的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

买方和在系统中整合 TI 产品的其他开发人员（总称“设计人员”）理解并同意，设计人员在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，及设计人员的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。设计人员就自己设计的应用声明，其具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。设计人员同意，在使用或分发包含 TI 产品的任何应用前，将彻底测试该等应用和该等应用所用 TI 产品的功能而设计。

TI 提供技术、应用或其他设计建议、质量特点、可靠性数据或其他服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用，如果设计人员（个人，或如果是代表公司，则为设计人员的公司）以任何方式下载、访问或使用任何特定的 TI 资源，即表示其同意仅为该等目标，按照本通知的条款使用任何特定 TI 资源。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

设计人员只有在开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等产权包括但不限于任何专利权、版权、屏蔽作品权或与应用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。TI 不负任何责任，包括但不限于因组合产品所致或与之有关的申索，也不为或对设计人员进行辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

除 TI 已明确指出特定产品已达到特定行业标准（例如 ISO/TS 16949 和 ISO 26262）的要求外，TI 不对未达到任何该等行业标准要求而承担任何责任。

如果 TI 明确宣称产品有助于功能安全或符合行业功能安全标准，则该等产品旨在帮助客户设计和创作自己的符合相关功能安全标准和要求的的应用。在应用内使用产品的行为本身不会配有安全特性。设计人员必须确保遵守适用于其应用的相关安全要求和标准而设计。设计人员不可将任何 TI 产品用于关乎性命的医疗设备，除非已由各方获得授权的管理层人员签署专门的合同对此类应用专门作出规定。关乎性命的医疗设备是指出现故障会导致严重身体伤害或死亡的医疗设备（例如生命保障设备、心脏起搏器、心脏除颤器、人工心脏泵、神经刺激器以及植入设备）。此类设备包括但不限于，美国食品药品监督管理局认定为 III 类设备的设备，以及在美国以外的其他国家或地区认定为同等类别设备的所有医疗设备。

TI 可能明确指定某些产品具备某些特定资格（例如 Q100、军用级或增强型产品）。设计人员同意，其具备一切必要专业知识，可以为自己的应用选择适合的产品，并且正确选择产品的风险由设计人员承担。设计人员单方面负责遵守与该等选择有关的所有法律或监管要求。

设计人员同意向 TI 及其代表全额赔偿因其不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司