

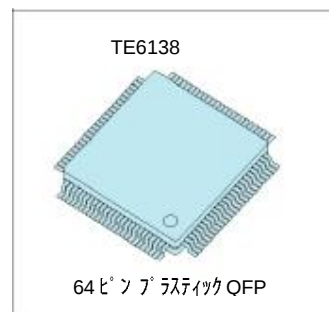
TE6138

IEEE1284 Peripheral Controller

【概要】

TE6138 は、IEEE Std 1284-1994 仕様に基づいたペリフェラルサイドコントローラです。ホストとのハンドシェイクは、レジスタの設定によりすべて TE6138 が行います。

ペリフェラルCPU に対して必要な時のみ割り込みまたは DMA リクエストを発生するため、高速かつ簡単にホストとの双方向パラレルインタフェースが実現できます。



【特徴】

1. Compatibility, Nibble, Byte, ECP の各モードをサポート
2. ECP モードの RLE (圧縮) サポート、データ受信時伸長機能あり
3. Compatibility, ECP モードで DMA インタフェース(DMA コントローラ非内蔵)使用可能
ECP モード時は Forward, Reverse 両方向可能
4. CPU,DMA インタフェースはそれぞれ 86 系、68 系を用意
5. 割り込み出力端子は機能別に 3 本用意
6. CMOS,5V 単一電源

【目次】

【概要】	1
【特徴】	1
【目次】	2
【ブロック図】	4
【端子配列表】	5
【端子説明】	6
【CPU インタフェース】	8
【双方向パラレルインタフェース】	9
1.各モードでの端子名	9
2.レジスタ	10
【レジスタアドレス】	10
【レジスタ仕様】	11
3.設計上の注意点	19
設計上の注意点	19
動作上の注意点	20
4.タイミングチャート	21
【Compatibility モードDMA 不使用正常受信】	21
【Compatibility モードDMA 使用正常受信】	21
【Compatibility モードDMA 不使用違反受信】	22
【Compatibility モードDMA 使用違反受信】	22
【Nibble モードPeripheral→Host Negotiation, Transfer Start】	23
【Byte モードPeripheral→Host Negotiation, Transfer Start】	24
【割り込み可、DMA 不可、RLE サポート、伸長機能 ON、HostClk の立ち上がりラッチ】	25
【割り込み可、DMA 不可、RLE サポート、伸長機能 ON、HostClk の立ち下がりラッチ】	26
【DMA 可、RLE サポート、伸長機能 ON、HostClk の立ち下がりラッチ】	27
【DMA 可、RLE サポート、伸長機能 OFF、HostClk の立ち下がりラッチ】	28
【DMA 不可、チャネルアドレスコマンド受信、HostClk の立ち下がりラッチ】	29
【リバース転送要求、DMA 不可】	30
【リバース転送要求、DMA 可】	31
【拡張リンク要求】	32
【トランスファリカバリ DMA 不可、HostClk の立ち下がりラッチ】	33
【トランスファリカバリ DMA 可、HostClk の立ち下がりラッチ】	34
【TE6137 からのリバース転送要求】	35
【CP モード Valid termination から Compatibility モードへの復帰】	36
5.レジスタ初期設定手順	37
【絶対最大定格】	39
【推奨動作条件】	39
【直流特性】	39
【入出力端子容量】	39
【交流特性】	40
1.CPU インタフェース	40
2.双方向パラレルインタフェース	42
【DMA データ受信】	42
【DMA データ送信】	44
【クロック入力条件】	46
【リセット入力条件】	46

【表記上の規定事項】

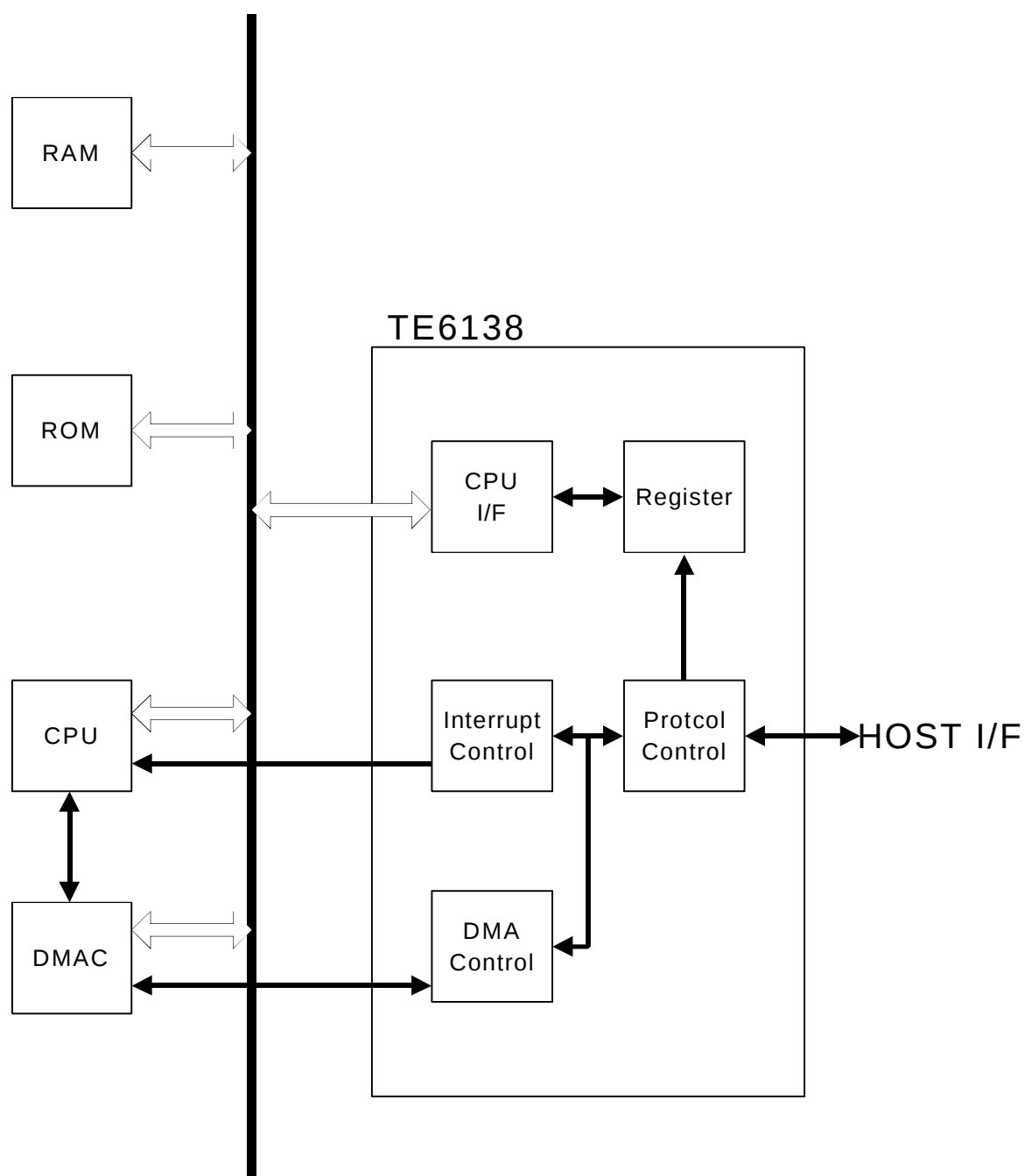
1.電圧レベルの表示は、入力信号と出力信号で異なる表示をしています。

電圧レベル	入力信号	出力信号
V _{DD}	1	H
V _{SS}	0	L

2.信号のイネーブルレベルが負論理の場合は、以下の様に信号名の頭に”#”マークをつけて表します。
例) #CS, #RD

3.レジスタ内に記述されている値はリセット後の初期値です。

【ブロック図】



【端子配列表】

NO.	I/O	SYMBOL	NOTES	NO.	I/O	SYMBOL	NOTES
1	-	V _{SS}		33	-	V _{SS}	
2	O	#INT2	4	34	I	#DEND1	6
3	O	#INT1	4	35	I	#DAK0	6
4	O	#INT0	4	36	O	#DRQ0	1
5	I	A3	6	37	O	#DEND0	4
6	I	A2	6	38	I	CLS	3
7	I	A1	6	39	O	RT	1
8	I	A0	6	40	-	V _{DD}	
9	-	V _{SS}		41	-	V _{SS}	
10	-	V _{DD}		42	B	BPD7	2
11	B	D7	2	43	B	BPD6	2
12	B	D6	2	44	B	BPD5	2
13	B	D5	2	45	-	V _{SS}	
14	-	V _{SS}		46	B	BPD4	2
15	B	D4	2	47	B	BPD3	2
16	B	D3	2	48	B	BPD2	2
17	-	V _{SS}		49	-	V _{SS}	
18	B	D2	2	50	B	BPD1	2
19	B	D1	2	51	B	BPD0	2
20	B	D0	2	52	-	V _{DD}	
21	-	V _{DD}		53	I	#SEI	6
22	-	V _{SS}		54	I	#AF	6
23	I	#RD	6	55	I	#INI	6
24	I	#WR	6	56	I	#STB	6
25	-	V _{SS}		57	O	PE	1
26	I	CLK	6	58	-	V _{SS}	
27	-	V _{SS}		59	-	V _{SS}	
28	I	#RST	5	60	O	#ACK	1
29	I	CIS	6	61	O	BY	1
30	I	#CS	6	62	O	#FT	1
31	I	#DAK1	6	63	O	SE	1
32	O	#DRQ1	1	64	-	V _{DD}	

I:入力

O:出力

B:双方向

NOTES

1	Output Buffer(I _{OL} =6mA)
2	I/O Buffer(I _{OL} =6mA)
3	Input Buffer with Pull-up Resistor 40K Ω (Typ)
4	Output Buffer(Open Drain)
5	Input Buffer(CMOS Schmit)
6	Input Buffer(TTL)

【端子説明】

Symbol	No.	I/O	Name	Description
V _{DD}	10,21,40 52,64	-	POWER SUPPLY	全ての端子を電源に接続して下さい。
V _{SS}	1,9,14, 17,22,25 27,33, 41,45,49 58,59	-	GROUND	全ての端子をグラウンドに接続して下さい。
#RST	28	I	RESET	リセット入力信号です。電源投入後は必ずこの端子でリセットをかけて下さい。
CIS	29	I	CPU INTERFACE SELECT	CPU インタフェース設定端子です。 “0” レベルで 86 系 CPU インタフェース “1” レベルで 68 系 CPU インタフェースとなります。
#RD	23	I	READ/READ WRITE SELECT	CIS 端子が“0”レベルのとき読み出し信号、“1”レベルのとき読み出し、または書き込み動作を決定する信号として使用されます。
#WR	24	I	WRITE/ENABLE	CIS 端子が“0”レベルのとき書き込み信号、“1”レベルのとき読み出し、または書き込み時のイネーブル信号として使用されます。
CLK	26	I	CLOCK	クロック入力
#CS	30	I	CHIP SELECT	チップセレクト入力
D7-0	11,12,13 15,16, 18,19,20	B	DATA BUS	データバス
A3-0	5,6,7,8	I	ADDRESS	アドレス入力
#INT0	4	O	INTERRUPT REQUEST0	Compatibility モード、Nibble モード、Byte モードに対する割り込み端子です。 オープンドレイン出力
#INT1	3	O	INTERRUPT REQUEST1	ECP モードに対する割り込み端子です。 オープンドレイン出力
#INT2	2	O	INTERRUPT REQUEST2	ECP モードでの“受信データ有り”に対する専用割り込み要求端子です。 オープンドレイン出力
#SEI	53	I	nSelectIn	Compatibility 時の nSelectIn 信号です。モードに従い機能が変わります。
#AF	54	I	nAutoFd	Compatibility 時の nAutoFd 信号です。モードに従い機能が変わります。
#STB	56	I	nStrobe	Compatibility 時の nStrobe 信号です。モードに従い機能が変わります。
PE	57	O	PErrror	Compatibility 時の PError 信号です。モードに従い機能が変わります。
#ACK	60	O	nAck	Compatibility 時の nAck 信号です。モードに従い機能が変わります。
BY	61	O	Busy	Compatibility 時の Busy 信号です。モードに従い機能が変わります。
#FT	62	O	nFault	Compatibility 時の nFault 信号です。モードに従い機能が変わります。
SE	63	O	Select	Compatibility 時の Select 信号です。モードに従い機能が変わります。
#INI	55	I	nInit	Compatibility 時の nInit 信号です。モードに従い機能が変わります。

symbol	No.	I/O	Name	Description
BPD7-0	42,43,44, 46,47,48, 50,51	B	Data8-1	Compatibility,Byte,ECP モード時の Data8-1 信号です。
RT	39	O	INDICATE REVERSE TRANSFER	BPD7-0 のデータ方向を出力します。出力極性はレジスタにて設定します。
#DRQ0	36	O	DMA REQUEST0	Compatibility,ECP モードのデータ受信時の DMAC に対する転送要求信号です。
#DEND0	37	O	DMA END0	Compatibility,ECP モードのデータ受信時の DMA 転送の終了時にイネーブルにします。
#DAK0	35	I	DMA ACKNOWLEDGE0	Compatibility,ECP モードのデータ受信時の DMAC からの転送要求に対する応答入力信号です。
#DRQ1	32	O	DMA REQUEST1	ECP モードのデータ送信時の DMAC に対する転送要求信号です。
#DEND1	34	I	DMAEND1	ECP モードのデータ送信時の DMA 転送要求信号(#DRQ1)をディセーブルする信号です。
#DAK1	31	I	DMA ACKNOWLEDGE1	ECP モードのデータ送信時の DMAC からの転送要求に対する応答入力信号です。
CLS	38	I	Compatibility Mode LEVEL SELECT	“0”のときすべてのモード (Compatibility,Nibble, Byte,ECP) 時、#INI,#SEI,#AF,#STB,PE,#ACK, BY,#FT,SE の9端子のレベルが反転します。 “1”のときはレベルの変化はありません。プルアップ抵抗付き入力です。

【CPU インタフェース】

TE6138 は下記 2 種類の CPU インタフェースモードを持ちます。
モード設定は CIS 端子で行います。

CPU と選択信号の関係

CIS="0"		CIS="1"	
動作名	信号名	動作名	信号名
読み出し	#RD	読み出し 書き込み選択	R#W
書き込み	#WR	イネーブル	#EN

詳細は【交流特性】を参照して下さい。
尚、本データシートは CIS="0" の場合の信号(#RD,#WR)で記載しております。CIS="1" で御使用の場合は上記
信号名に読み替えて下さい。

【双方向パラレルインタフェース】

TE6138 は、IEEE Std 1284-1994 仕様ペリフェラルサイドコントローラで、Compatibility, Nibble, Byte, ECP の各モードをサポートします。DMA インタフェースが使用できるのは、Compatibility モードのデータ受信時及び ECP モードの送受信時のみです。ドライバは内蔵していないため外付けでドライバ IC が必要です。また、送受信データバッファは 1 段ずつなので、データ転送要求信号（割り込み、DMA 要求）に対する反応速度が転送レートに影響します。この点を考慮してシステム設計をして下さい。

1. 各モードでの端子名

端子番号	TE6138 端子名	I/O	Compatibility 時 信号名	Nibble 時 信号名	Byte 時 信号名	ECP 時 信号名
55	#INI	I	nInit	"1"	"1"	nReverseRequest
53	#SEI	I	nSelectIn	1284Active	1284Active	1284Active
54	#AF	I	nAutoFd	HostBusy	HostBusy	HostAck
56	#STB	I	nStrobe	HostClk	HostClk	HostClk
57	PE	O	PError	AckDataReq	AckDataReq	nAckReverse
60	#ACK	O	nAck	PtrClk	PtrClk	PeriphClk
61	BY	O	Busy	PtrBusy	PtrBusy	PeriphAck
62	#FT	O	Fault	nDataAvail	nDataAvail	nPeriphRequest
57	SE	O	Select	XFlag	XFlag	XFlag
42	BPD7	B	Data8	-	Data8	Data8
43	BPD6	B	Data7	-	Data7	Data7
44	BPD5	B	Data6	-	Data6	Data6
46	BPD4	B	Data5	-	Data5	Data5
47	BPD3	B	Data4	-	Data4	Data4
48	BPD2	B	Data3	-	Data3	Data3
50	BPD1	B	Data2	-	Data2	Data2
51	BPD0	B	Data1	-	Data1	Data1

(注1) BPD7-0 は IEEE1284 上の Data8-1 に対応します。

2.レジスタ

レジスタ構成は以下の通りです。

詳細は【レジスタ仕様】を参照して下さい。

【レジスタアドレス】

アドレス				レジスタ名	
A3	A2	A1	A0	読み出し	書き込み
0	0	0	0	-	モード設定 1
	0	0	1	受信データ (ECP モード時と共用)	送信データ (ECP モード時と共用)
	0	1	0	状態	送信データクリア
	0	1	1	割り込み要因	割り込み要因マスク
	1	0	0	送信データカウンタ	ACK 出力タイミング
	1	0	1	-	ACK パルス幅設定
	1	1	0	-	Nibble/Byte 時間差 1
	1	1	1	-	Nibble/Byte 時間差 2
1	0	0	0	ECP 受信コマンド	ECP 送信コマンド
	0	0	1	RLE 伸長回数カウンタ	-
	0	1	0	ECP ステータス	-
	0	1	1	ECP 割り込み要因	リバース DMA エンド
	1	0	0	-	ECP 割り込みマスク
	1	0	1	-	モード設定 2
	1	1	0	-	ECP 最小時間設定
	1	1	1	-	制御

[モード設定 1 レジスタ]

Address"0"(write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	1	1	1	1	1	0	0	0

- D7:ソフトリセット 0でリセット（リセット後自動的に1に復帰します。）
- D6:割り込みマスク Nibble、Byte モード時 デバイス ID 要求 “1”:マスク有効 “0”:無効
- D5:割り込みマスク Nibble、Byte モード時 Immediate Termination 発生状況
1:マスク有効 0:無効
- D4:割り込みマスク Nibble、Byte モード時 転送データ要求 1:マスク有効 0:無効
- D3:割り込みマスク Compatibility モード時 受信データ有無 1:マスク有効 0:無効
- D2:Byte モード 0:非サポート 1サポート
- D1: Compatibility モード時 BUSY(BY)オフタイミングを ACK(#ACK)の
0:↑から 1:↓から
- D0: Compatibility モード時 STB(#STB)の
1:↓でデータ保持
↑設定での使用はできません。リセット後必ずこのビットに1を書き込んで下さい。

[受信データレジスタ](ECP モード時と共用)

Address"1"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0

受信データを格納

[送信データレジスタ](ECP モード時と共用)

Address"1"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0

送信データを格納

[状態レジスタ]

Address"2"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	1	0	0	0	0	1	1	1

該当するビットに1がセットされます。

D7:モード状態 Compatibility モード

D6:モード状態 Nibble モード

D5:モード状態 Byte モード

D4:モード状態 Negotiation 中

D3:モード状態 Termination 中

D2,D1,D0: 本ビットは、Nibble モード時(D6=1)、Byte モード時(D5=1)に有効です。

000:Host Busy Data Avail

001:Host Busy Data Not Avail

010:Idle

011:Data Transfer

100:Interrupt 状態

111:非該当(Compatibility モード時[D=7]、Negotiation 中[D=4]、Termination 中[D=3]及び ECP モードの際にセットされます。)

[送信データクリアレジスタ]

Address"2"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	1	-	-	-	-	-	-	-

D7:送信データクリア

1:送信データレジスタを Nibble モード、Byte モードへの遷移時(event1:ネゴシエーション開始)にリセット (クリア)

0:送信データレジスタ維持

注)パワーオン時及びソフトウェアリセット時1です。本機能は新たに書き込みを行わない限り維持されます。Nibble ID, Byte ID への遷移時は本ビットに関係なく、送信データレジスタはリセット (クリア) されます。

[割り込み要因レジスタ]

Address"3"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	1	1	1	1	1	1	1	1

D7:Compatibility モード時、違反タイミングデータ受信(BUSY 信号が"H"の時データ受信)

0:受信データあり 1:受信データなし

D6:Compatibility モード時、#SEI(nSelectin)、#INI('nInIt)の両端子に"0"が入力(Termination phase)

0:発生 1:発生していない

D5:Compatibility モード時、#AF(nAutofd)に 0 が入力(event1)

0:発生 1:発生していない

D4:Device ID Reverse Transfer 終了

0:終了 1:終了していない

D3:Nibble、Byte モード時デバイス ID 要求

0:要求 1:要求なし

D2:Nibble、Byte モード時 Termination 発生状況

0:発生(インタフェースは Compatibility モードに戻る)1:発生していない

注)本ビットは送信データレジスタのデータの有無に係わらず発生します。

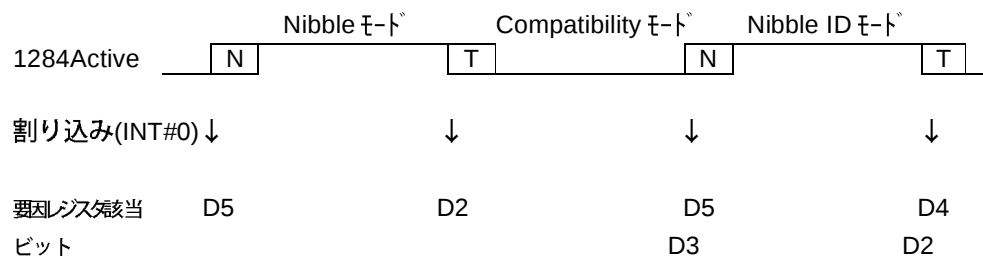
D1:Nibble、Byte モード時転送データ要求

0:要求されている 1:要求されていない

D0:Compatibility モード時

0:受信データあり 1: 受信データなし

《割り込み遷移例》



N: Negotiation

T: Termination

注)本レジスタはリードアフタリセットです。

[割り込み要因マスクレジスタ]

Address"3"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	1	1	1	1	-	-	-	-

割り込み要因レジスタ D7-4 ビットのマスク設定

D7:割り込み要因レジスタ D7 ビット

1:マスク有効 0:マスク無効

D6: 割り込み要因レジスタ D6 ビット

1:マスク有効 0:マスク無効

D5: 割り込み要因レジスタ D5 ビット

1:マスク有効 0:マスク無効

D4: 割り込み要因レジスタ D4 ビット

1:マスク有効 0:マスク無効

[送信データカウンタレジスタ]

Address"4"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	-	-	-	-	-	-	0	0
設定値重み	-	-	-	-	-	-	2 ¹	2 ⁰

D1,D0:送信データカウンタ

[ACK 出力タイミング設定レジスタ]

Address"4"(Write only)

(02h で 2 クロック遅延)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0
設定値重み	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

CLK の 2~255 クロックの間で設定可能 (このレジスタ設定値は DMA 使用時のみ有効)

[ACK パルス幅設定レジスタ]

Address"5"(Write only)

(02h で 2 クロック遅延)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0
設定値重み	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

CLK の 2~255 クロックの間で設定可能

[Nibble/Byte 時間差 1 レジスタ]

Address"6"(Write only)

(00h で 31 クロック遅延)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0
設定値重み	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵

CLK の 31~8191 クロックの間で設定可能(但し 32 クロック刻み)

設定箇所は"4. タイミングチャート"の'Nibble モード' 'Byte モード'を参照して下さい。

DataAvail 状態でホストとのハンドシェイクを行うには (レジスタ設定値×32+18 クロック) 時間内にデータを書き込んで下さい。

20MHZ で動作させた場合最大約 400μs となります。IEEE1284 規格では最大 35ms と規定されていますが、TE6138 は 400μs までのサポートとなりますので、注意してください。

[Nibble/Byte 時間差 2 レジスタ]

Address"7"(Write only)

(02h で 2 クロック遅延)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0
設定値重み	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

CLK の 2~255 クロックの間で設定可能

設定箇所は"4. タイミングチャート"の'Nibble モード'、'Byte モード'を参照して下さい。

IEEE1284 規格で最小 500ns と規定されていますので、本レジスタにて規格を守るように設定を行ってください。

[ECP 受信コマンドレジスタ]

Address"8"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0

ECP 受信コマンド、拡張機能要求値を格納

[ECP 送信コマンドレジスタ]

Address"8"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0

ECP 送信コマンドを格納

[RLE 伸長回数カウンタレジスタ]

Address"9"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	-	1	1	1	1	1	1	1
設定値重み	-	2^6	2^5	2^4	2^3	2^2	2^1	2^0

伸長回数カウンタの値を出力。データが読み出されるとデクリメントされます。

[ECP ステータスレジスタ]

Address"10"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0

ステータスにより 1 にセット、セット後そのフェーズから抜けることにより 0 にリセット

D7: Negotiation Phase 時にセット

D6: Termination Phase 時にセット

D5: Forward Idle Phase 時にセット

D4: Reverse Idle Phase 時にセット

D3: 受信ハンドシェイク中にセット

D2: 送信ハンドシェイク中にセット

D1: ECP RLE 有りの時(ID 転送時を含む)にセット

D0: ECP RLE 無しの時(ID 転送時を含む)にセット

注) 本レジスタは ECP モード以外の時はすべて'0'です。

[ECP 割り込み要因レジスタ]

Address"11"(Read only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0

このレジスタはECPモードでのみ動作します。

D7: ECP モードでサポートしている拡張機能要求値を受信した場合にセット

D6: 受信データがある場合にセット

[#INT2:ディセーブル (モードレジスタ D4=0)、割り込みマスク無し (割り込みマスクレジスタ D6=0 の場合にセット)]

D5: Channel Address Command を受信した場合にセット

D4: RLE 圧縮コマンドを受信した場合にセット (伸長回路イネーブルの場合はセットされません。)

D3: リバース転送の要求時にセット

D2: Host Transfer Recovery 時にセット

D1: 拡張機能要求値の異常、または未サポートモードが要求された場合にセット

- 未定義の拡張機能要求値の受信
- モード設定 1 レジスタによって Byte モードが非サポート状態に設定されているのに、バイトモード関連の拡張機能要求値を受信
- モード設定 2 ジスタによって ECP の RLE モードが非サポート状態に設定されているのに、RLE モード関連の拡張機能要求値を受信
- モード設定 2 ジスタによって ECP モードが非サポート状態に設定されているのに、ECP モード関連の拡張機能要求値を受信

D0: ECP モード時、Immediate Termination が発生するとセット

(インタフェースは Compatibility モードに戻る。)

注) 割り込み要因発生により 1 にセット、リードアフタリセットされます。

[リバース DMA エンドレジスタ]

Address"11"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	-	-	-	-	-	-	-	-

ECP モードリバース時に DMA インタフェースを有効にした場合、このレジスタにダミーライトすると #DRQ1 信号をディセーブルします。

[ECP 割り込みマスクレジスタ]

Address"12"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	1	1	1	1	1	1	1	1

割り込み要因マスクを設定します。0:マスク無効 1:マスク有効

D7: 拡張機能要求値の受信割り込みをマスク

D6: 受信データ有りの割り込みをマスク (#INT1,#INT2 の両方に有効)

D5: Channel Address Command 受信割り込みをマスク

D4: RLE 圧縮コマンド受信割り込みをマスク

D3: リバース転送要求割り込みをマスク

D2: Host Transfer Recovery 時割り込みをマスク

D1: 拡張機能要求値の異常または未サポートモードが要求された場合の割り込みをマスク

D0: ECP モード時、Immediate Termination が発生するとセットされる割り込みをマスク

[モード設定 2 レジスタ]

Address"13"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	0	0	0	0	0	0	0	0

動作モードを設定します。0:ディセーブル 1:イネーブル

D7: ECP RLE 有りをサポートする場合にセット

(1の場合は拡張機能要求値受信時に肯定的応答を返し、0の場合は否定的応答を返す)

D6: ECP RLE 無しをサポートする場合にセット

(1の場合は拡張機能要求値受信時に肯定的応答を返し、0の場合は否定的応答を返す)

D5: データ取り込みタイミングを選択

(Negotiation 時は HostClk の立ち下りでデータを取り込む)

0:HostClk の立ち上がりでデータを取り込む

1:HostClk の立ち下がりでデータを取り込む

D4: データ専用割り込み端子(#INT2)をイネーブルにする場合にセット

(DMA 要求がイネーブルの場合は割り込みは発生しない)

D3: RLE 伸長回路をイネーブルにする場合にセット

(伸長回路がイネーブルの場合、RLE 圧縮コマンド受信による割り込みは発生しない)

D2: ECP モードの Forward 時(データ受信時)DMA 要求をイネーブルにする場合にセット

D1: Nibble ID モード 0=非サポート 1=サポート

注)このビットのみは ECP モードとは関係なく設定してください。

D0: ECP モードの Reverse 時(データ送信時)DMA 要求をイネーブルにする場合にセットします。

このビットをセットした場合ホストへのコマンド送信はできません。

ECP 割り込みマスク D6	ECP モード 2 D4	動作内容
0	0	#INT1 及び ECP 割り込み要因レジスタ D6 ビットセット
0	1	#INT2
1	-	ECP 割り込み要因レジスタ D6 ビットセット

[ECP 最小時間設定レジスタ]

Address"14"(Write only)

(00h で 1 クロック遅延)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	-	-	-	-	0	0	0	0
設定値重み	-	-	-	-	2 ³	2 ²	2 ¹	2 ⁰

ハンドシェイクの応答時間を設定します。"0000"で1クロックの遅延

CLK の 1~16 クロックの間で設定可能

注) 本レジスタにて設定された値は、下記イベントで有効です。

event 5~6

event 23~24

event 26~27

event 48~49

[制御レジスタ]

Address"15"(Write only)

	D7	D6	D5	D4	D3	D2	D1	D0
Initial Value	1	1	0	0	0	0	1	1

下記の動作を制御します。

D7:1 の場合、BY 端子へ強制的に"H"を出力

0 の場合、BY 端子は通常動作

(注) 本ビットを ECP モード (全般) 時にセットしないで下さい。(禁止です)

D6:0 の場合、ECP モード時ペリフェラルからホストへの Reverse 転送要求となり、#FT に"L"を出力。Reverse 転送に移行することにより、"H"を出力 (自動復帰しますので、ネゲートのために"1"を書く必要はありません。)

D5:Compatibility モード時の DMA 要求機能の使用有無

0 : 無効 1 : 有効

D4:DMA 要求回路の動作切り換え

0 : 86 系動作 1 : 68 系動作

D3:ドライバ IC の方向制御端子のレベル選択

0 : Forward 時"H"、Reverse 時"L"

1 : Forward 時"L"、Reverse 時"H"

D2: Compatibility モード時、PE(PError)を制御

0 : PE="L" 1 : PE="H"

D1: Compatibility モード時、#FT(nFault)を制御

0 : #FT="L" 1 : #FT="H"

D0: Compatibility モード時、SE(Select)を制御

0 : SE="L" 1 : SE="H"

3.設計上の注意点

【設計上の注意点】

- ① CLK 周波数は、このブロックの動作スピードに影響するので、できるだけ上限の 20MHz を使用してください。（下限 16MHz）
- ② DMA コントロール機能（DMAC 非内蔵）を使用できるのは、Compatibility モード及び ECP モードの送受信時のみです。また、動作中（ホストとハンドシェイクを行っている時や送受信バッファにデータがある場合）に DMA 使用、不使用を切り換えることはできません。
- ③ 非サポート拡張要求値の検出は、ECP ブロックで行っています。従って、ECP モードをサポートしない時でも割り込み端子#INT1 を使用して、ECP 割り込み要因レジスタ D1 ビットにて検出をしてください。
- ④ ホストとのハンドシェイク中にホストからの反応が無くなると TE6138 はその状態で、ホストからの反応待ち続けます。ホストタイムアウトとして Compatibility モードに戻す場合は、ステータス情報等を参照して TE6138 にソフトリセットをかけてください。
- ⑤ 割り込みマスクレジスタ、ECP 割り込みマスクレジスタにて設定するマスク無効有効の切り換えは、割り込み要因がない状態で行ってください。割り込み端子がイネーブル状態(="L")でマスク機能を無効から有効に切り換えても割り込み出力はディセーブルされません。
- ⑥ リバース転送時、(Nibble、Byte、ECP リバース) TE6138 は、データ自体の管理を行っていないため、リバース転送データ列の最後のデータをペリフェラル CPU 側から書き込んだ後でも、リバース転送データ要求割り込み、または DMA 送信データ要求が発生します。従って、この要求をクリアするために割込要因の読み出し、またはリバース DMA エンドレジスタへの書き込み（もしくは#DEND1 信号動作）を行う必要があります。
- ⑦ Nibble モード、Byte モードではターミネーション発生時に割り込み(#INT0、割り込み要因レジスタ D2 ビット)が発生します。Nibble ID、Byte ID モードではネゴシエーション開始時及びターミネーション発生時に、割り込み(#INT0、割り込み要因レジスタ D3,D4 ビット)が発生します。
- ⑧ 状態レジスタ、ECP ステータスレジスタはホストからの反応がない時、正常なハンドシェイク反応がない時等の異常時に通信フェーズを認識することを目的としたステータスレジスタで、異常時に 1 つのフェーズに長い間留まっていることを認識するためにあります。（1 つのフェーズに長い間留まっても割込要因が発生している場合は異常ではありません。）この 2 つのレジスタの読み出しを行う際は、ビットにより変化のばらつきがあるため、読み出し信号の立ち下がりデータが変化している不安定時が重なると、正常なデータが読み出せない可能性があるため 2 度読み動作を複数回行って異常状態の検出を行ってください。
- ⑨ 割込要因読み出し中に別の割込要因が発生すると引き続き割り込み割込出力端子はイネーブルのままです。
- ⑩ Nibble モードを非サポートにすることはできません。

【動作上の注意点】

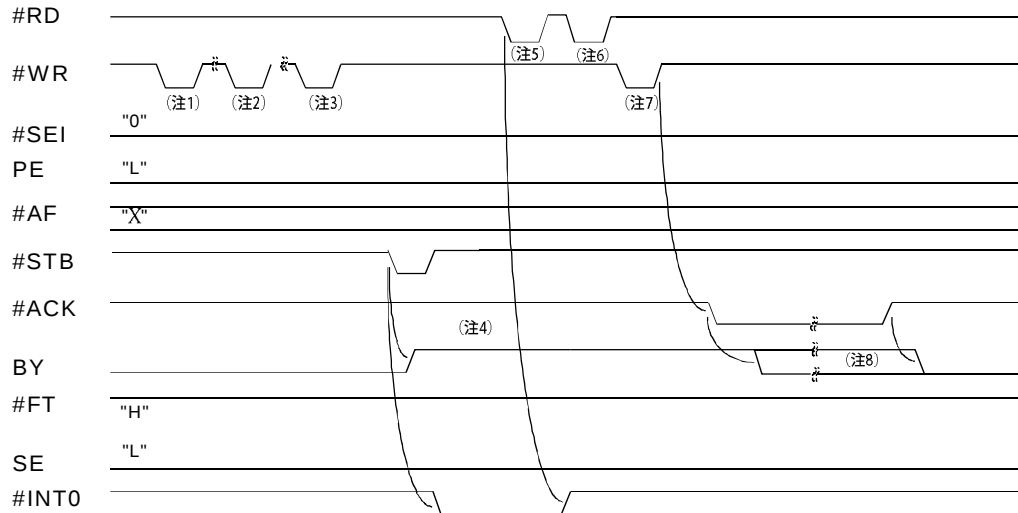
TE6138 は、TE6137 のレジスタ構成及びアーキテクチャーを踏襲することにより、できる限りソフトウェア上の互換性を保ちました。動作上の相違は以下の通りです。

< TE6137 と TE6138 の相違点 >

項目	詳細内容	TE6137	TE6138
ビジー動作	コンパチビリティモードでビジー時他モードへ移行、再度コンパチビリティモードに復帰した際のビジー端子について	ビジー状態になりません。	ビジー状態となります。(ビジーを保持します。)
ニブルID バイトID	ニブルID及びバイトIDに入る際の送信データレジスタの内容について	送信データレジスタの内容を維持します。	送信データレジスタの内容をリセット (クリア) します。
ニブルバイト ターミネーション	送信データレジスタに送信データが残ったままのターミネーション時の割り込みに関して	割り込み(BPo#INT0)を上げません。	割り込み(#INT0)を上げます。割り込み要因レジスタ(D2 ビット)を"0"にします。
送信データ レジスタ	送信データレジスタのデータリセット (クリア) に関して	本機能はサポートされていません。	サポートされます。その為、送信データクリアレジスタを新設します。 [送信データクリアレジスタ] Address2 D7 D6.....D0 1 - - - - - - - "1":送信データレジスタ、Nibble Byte への遷移時(event1:ネゴシエーション開始)にリセット (クリア) "0":送信データレジスタ維持 注)パワーオン時及びソフトウェアリセット時"1"です。本機能は新たに書き込みを行わない限り維持されます。Nibble ID, Byte ID への遷移時は本ビットに関係なく、送信データレジスタはリセット (クリア) されます。TE6137 ファームウェアをそのままお使いの場合、上記条件で送信レジスタはリセットされますので気を付けて下さい。
送信データ カウンタ	送信データカウンタに関して	外部からのアクセスはできません。(内部のみで使用します)	読み出し可能です。 [送信データカウンタ] (読み出しのみ) Address4 D7 D6.....D0 - - - - - - 2¹ 2⁰ D1,D0:送信データカウンタ値 詳細は P14 をご覧下さい。
ECP 順方向 フェーズ	HOSTCLK と PeriphACK の関係(event35~37 の遷移に関して)	nStrobe のアサートに対して Busy を自動的にアサートします。(event35~36) nStrobe のネゲートに対して Busy を自動的にネゲートします。(event36→32)	受信レジスタと制御レジスタ D7 ビット(強制レビュー)の条件により以下の動作を行います。 D7=0 (強制ビジーリセット) 受信データありの時,event35 で止めます。 受信データなしの時,event32 まで進めます。 D7=1 (強制ビジーセット) Event35 で停止させます。
ECP ホストリ カバリフェーズ に関して	ホストリカバリフェーズにて、event74 から event75 への移行に関して #DRQ0 信号に関して	nInit より nStrobe が早く出た場合 event75 に遷移できない場合があります。 nStrobe のアサートで#DRQ0 信号がアサートされます。	nInit より nStrobe が早く出た場合、PEError アサート時には遷移をマスクします。nInit がアサートされた時点で event75 に遷移します。(尚、この動作は内部クロック(CLK)に同期されます。) event74→75 への遷移時には、#DRQ0 信号がアサートされません。又、#DRQ0 がアサートされている状態でホストリカバリに入ると#DRQ0 はネゲートされます。
ECP モード 全般	ECP モード時全般 強制ビジー (制御レジスタ D7 ビット) に関して	動作しません。	ECP モード時にこのビットをセットする事はできません。(禁止です。)
コンパチビ リティモード	nSelectIn アサート状態でのコンパチビリティデータ受信	保証されません。	動作しません。

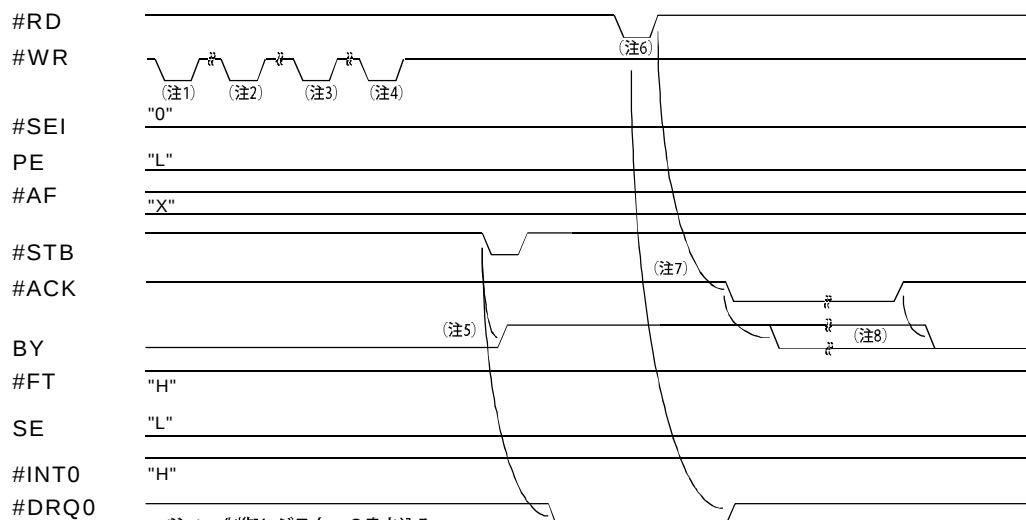
4. タイミングチャート

【Compatibility モード DMA 不使用正常受信】



- (注1) 制御レジスタへの書き込み。
 (注2) モード設定 1 レジスタへの書き込み。
 (注3) ACK パルス幅設定レジスタへの書き込み。
 (注4) STB 信号にグリッジがある場合の誤動作を防止するために、クロックの立ち上がりエッジで 2 度読みを行っているため 2 クロック未満の STB 信号は無視されます。また、同じ理由により STB 信号の立ち下がりから BUSY 出力および STB 信号のデータラッチエッジから割り込み出力まで最大 3 クロックの遅延があります。
 (注5) 割り込み要因レジスタからの読み出し。
 (注6) 受信データレジスタからの読み出し。
 (注7) ACK 出力タイming設定レジスタへのダミーライト。
 (注8) どちらのエッジで起動させるかはモード設定 1 レジスタ D1 ビットの設定によります。

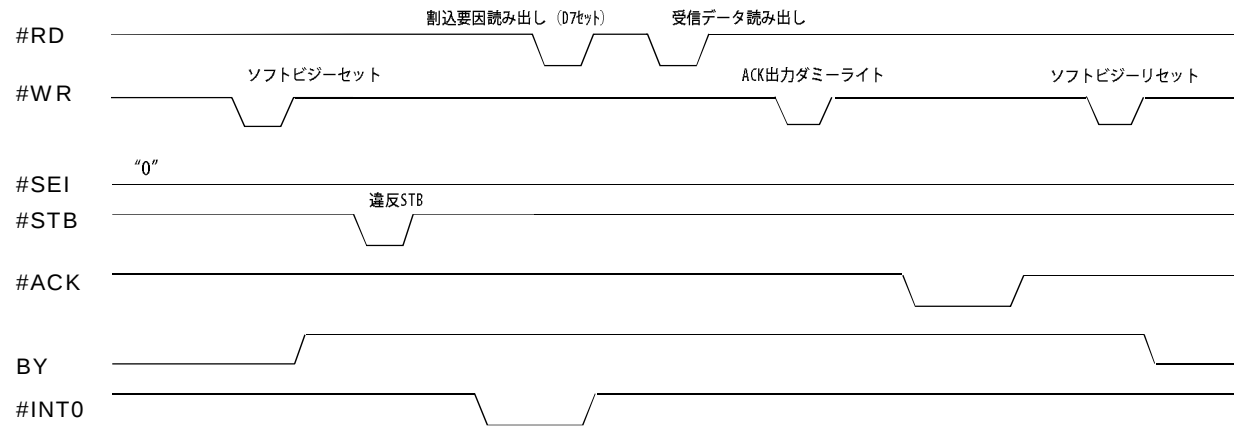
【Compatibility モード DMA 使用正常受信】



- (注1) 制御レジスタへの書き込み。
 (注2) モード設定 1 レジスタへの書き込み。
 (注3) ACK 出力タイming設定レジスタへの書き込み。
 (注4) ACK パルス幅設定レジスタへの書き込み。
 (注5) STB 信号にグリッジがある場合の誤動作を防止するために、クロックの立ち上がりエッジで 2 度読みを行っているため 2 クロック未満の STB 信号は無視されます。また、同じ理由により STB 信号の立ち下がりから BUSY 出力および STB 信号のデータラッチエッジから DMA リクエスト出力まで最大 3 クロックの遅延があります。
 (注6) 受信データレジスタからの読み出し。(CS はアサートしない下さい。)
 (注7) 読み出しレジスタの読み出しから ACK 出力タイming設定レジスタで設定した CLK 数の 1CLK の時間。
 (注8) どちらのエッジで起動させるかはモード設定 1 レジスタ D1 ビットの設定によります。

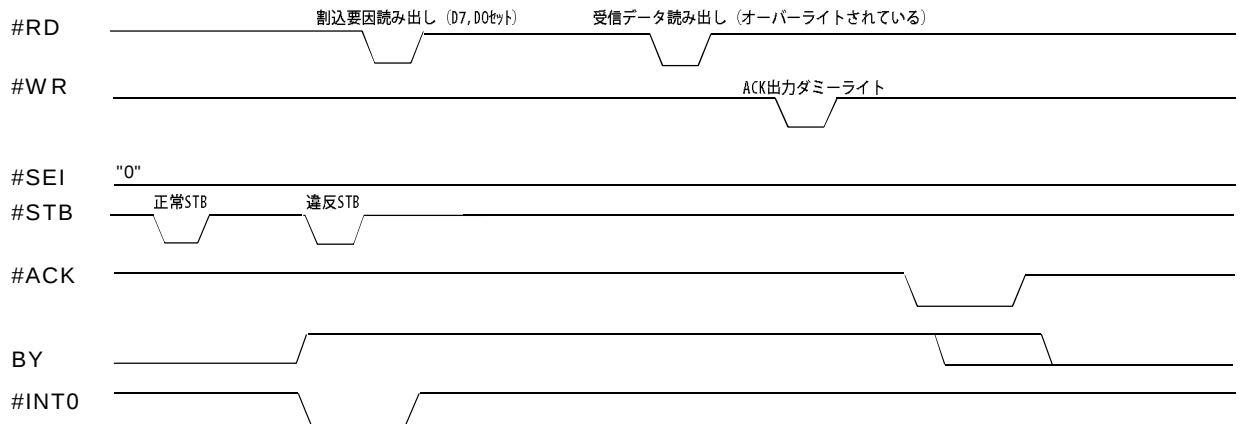
【Compatibility モード DMA 不使用違反受信】

<違反 STB 単独受信>



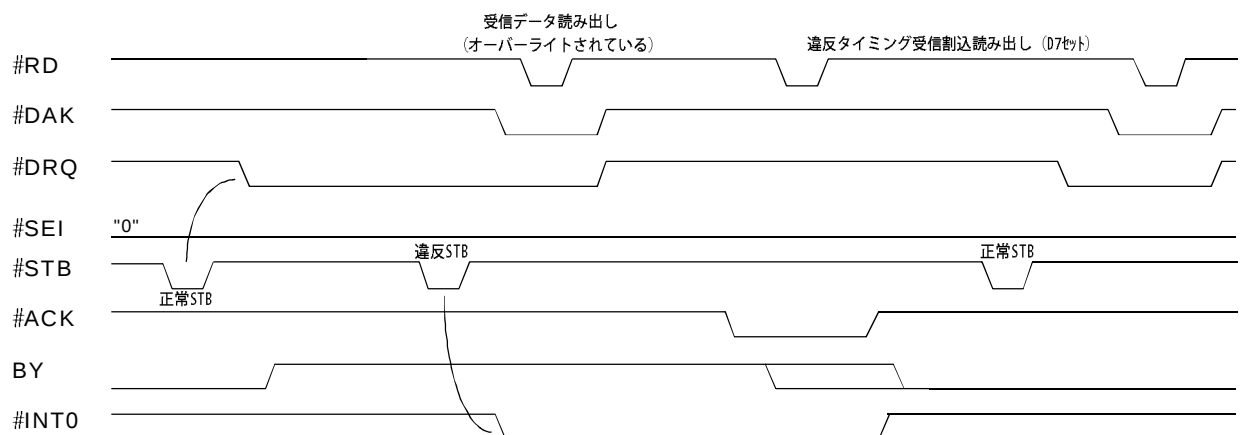
違反 STB 単独受信時 (BUSY が "H" で STB 受信) は割り込要因レジスタの D7 ビットのみがセットされます。

<正常 STB+違反 STB 受信>



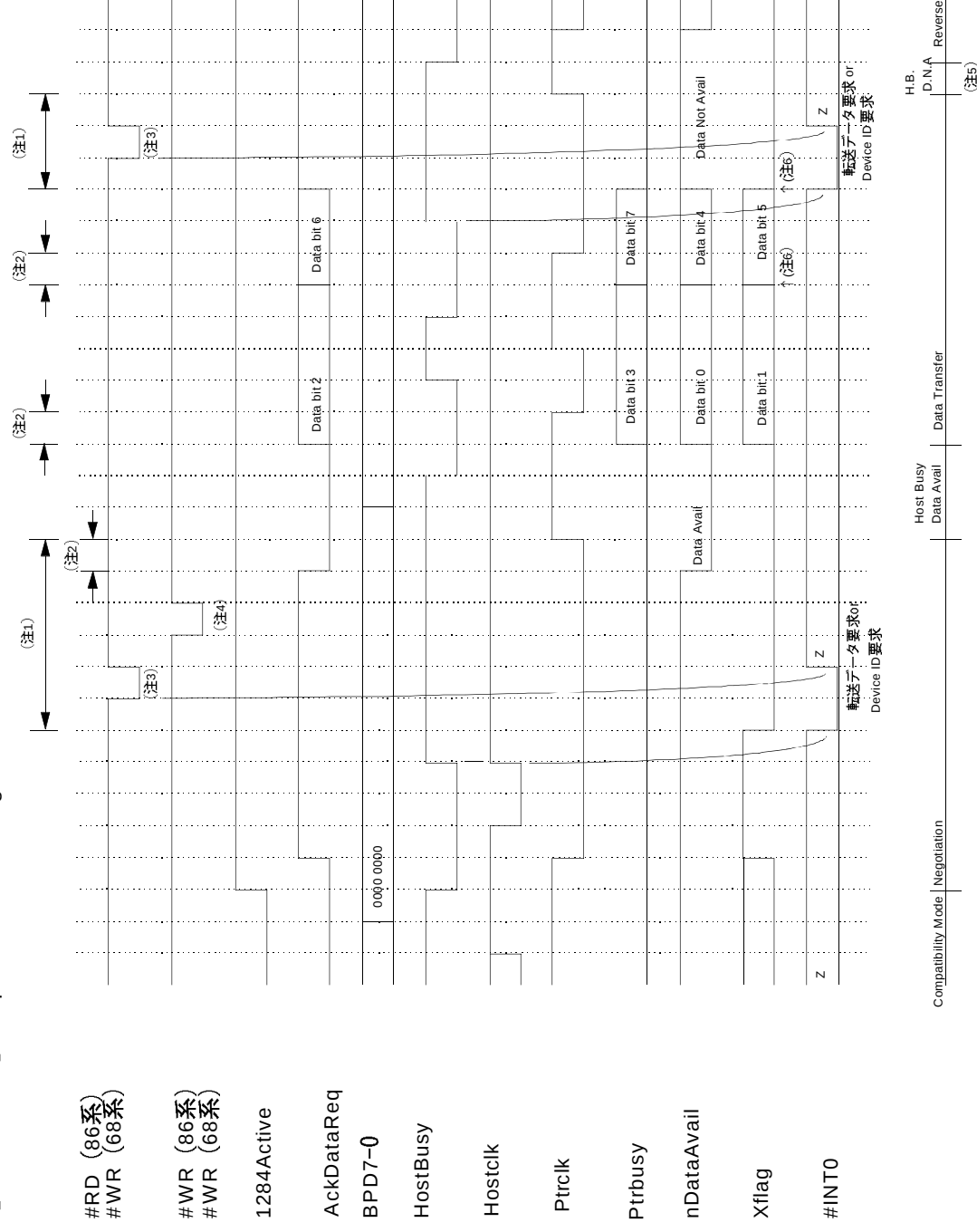
正常 STB+違反 STB を受信した場合は割り込要因レジスタの D7 と D0 ビットがセットされます。受信バッファは 1 段なので無条件に受信データがオーバーライトされます。

【Compatibility モード DMA 使用違反受信】



Compatibility モードの受信バッファは 1 段なので、BUSY が "H" (ソフト BUSY も含めて) にもかかわらず違反 STB がくると無条件にオーバーライトされます。DMA 使用時は割り込み要因レジスタ D7: 違反タイミングデータ受信ビットを使って違反受信を検出してください。

Negotiation, Transfer Start



(注1) Nibble/Byte 時間差 1 レジスタ設定箇所
設定時間内に送信データレジスタに書き込まないと Host
Busy Data Not Avail 状態に遷移します。1284 規格の最大
35ms に対して CLK 周期 $\times 8191(20\text{MHz}$ で約 $409\mu\text{s}$) ま
で設定できません。

(注2) Nibble/Byte 時間差 2 レジスタ設定箇所
1284 規格で最小 500ns と規定されていますので、規格を
守る設定を行ってください。

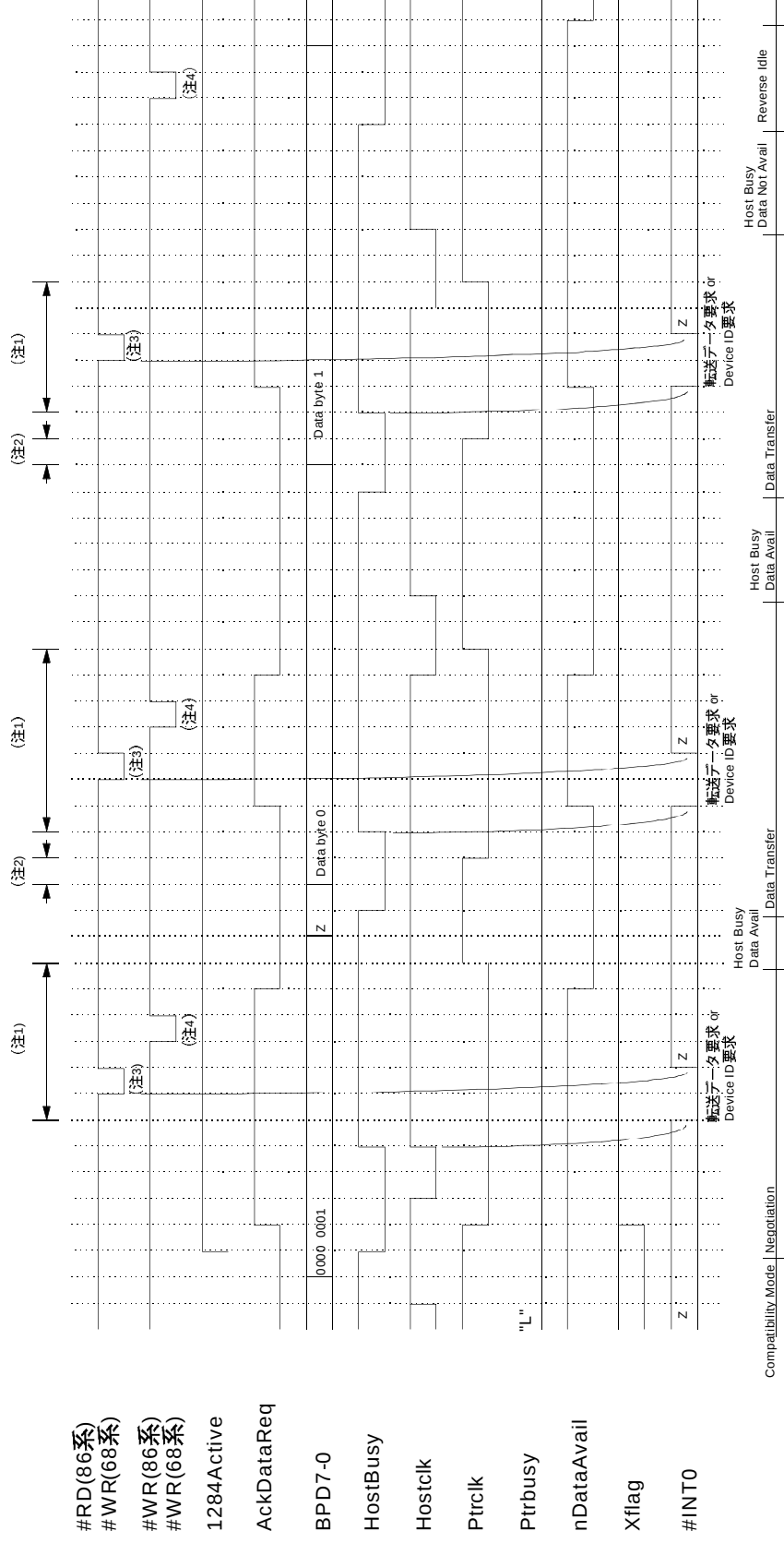
(注3) 割り込み要因レジスタからの読み出し

(注4) 送信データレジスタへの書き込み

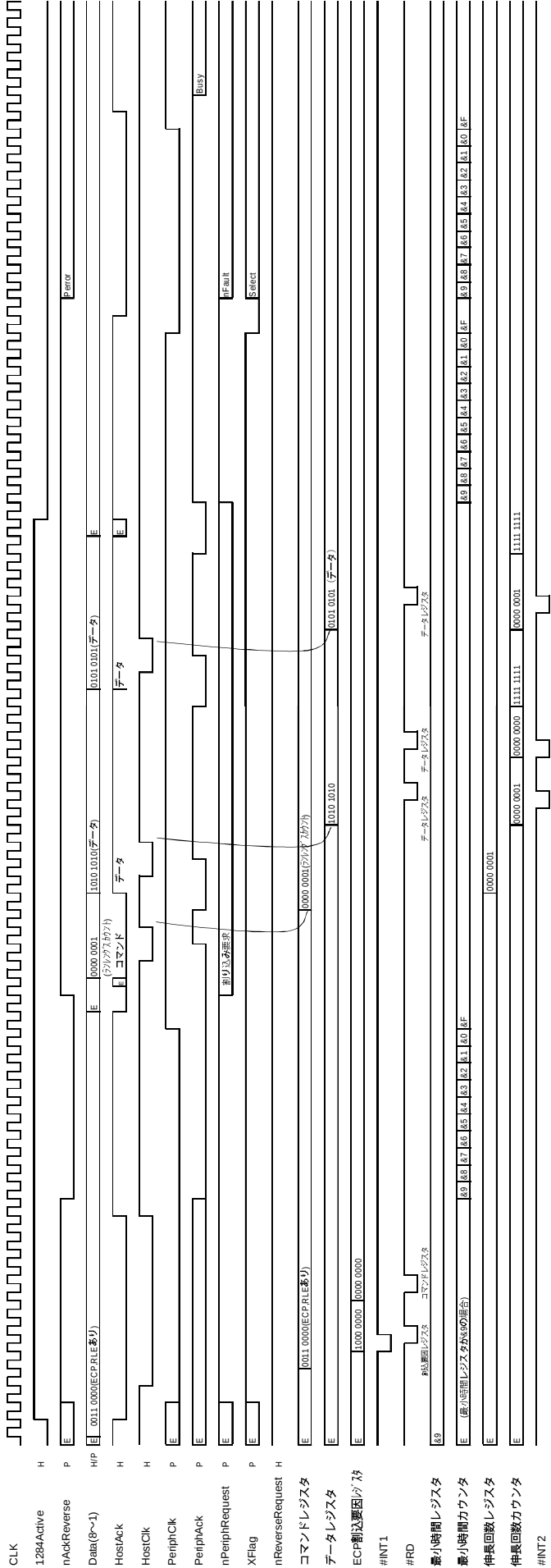
(注5) Hosity Busy Data Not Avail

(注6) ↑部分でData bitにハザードがあるのであります。

【Byte モード】Peripheral→Host Negotiation, Transfer Start

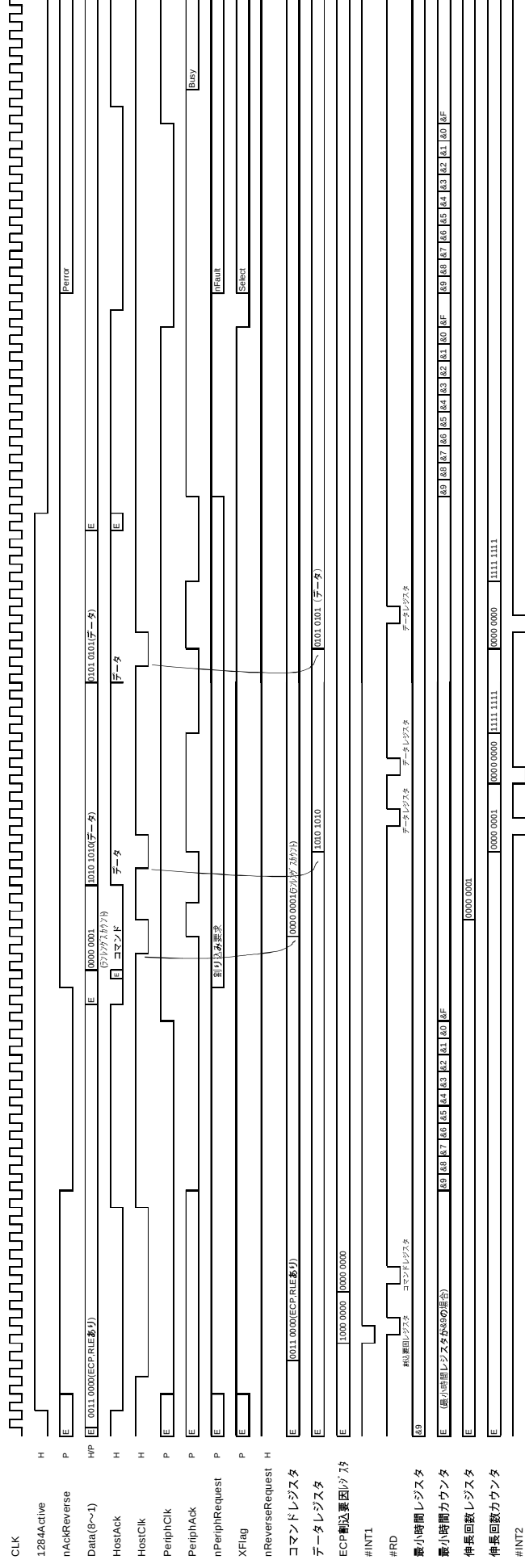


【割り込み可、DMA 不可、RLE サポート、伸長機能 ON、HostCkIkの立ち上がりラッチ】

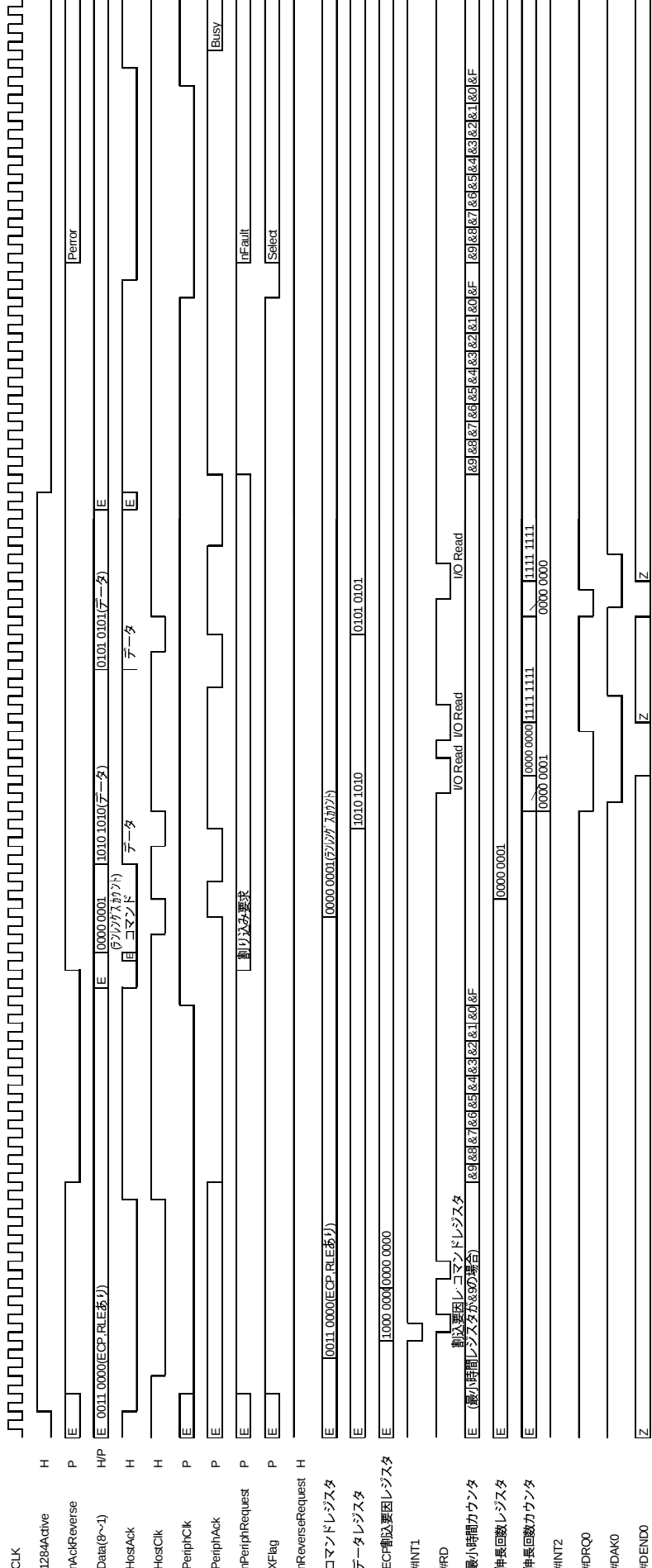


注) event 32は#RDのアサートで発生します。
IEEE1284 プロトコル準拠のため 35ms 以内に#RD をアサートして下さい。
以下 ECP モード時は同様です。

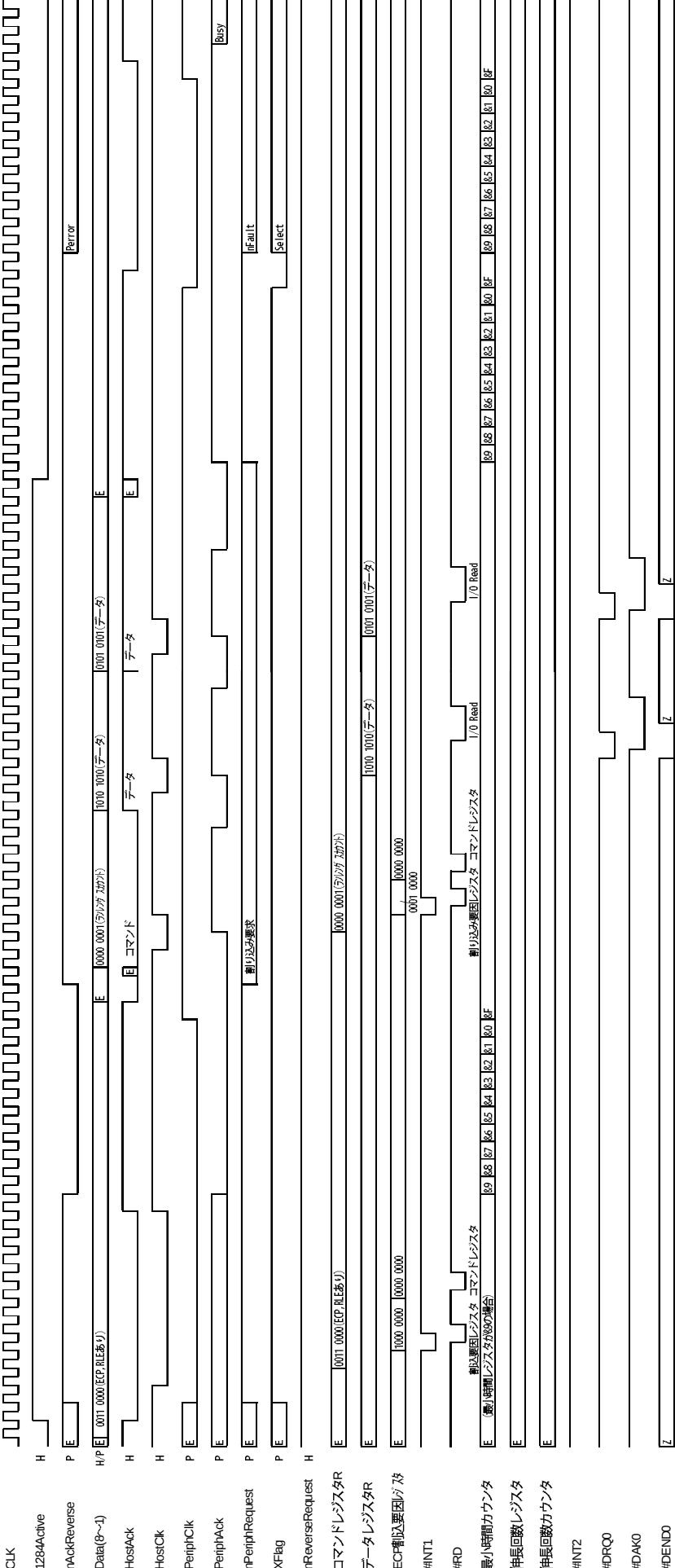
【割り込み可、DMA不可、RLEサポート、伸長機能ON、HostCkの立ち下がりがリラッチ】



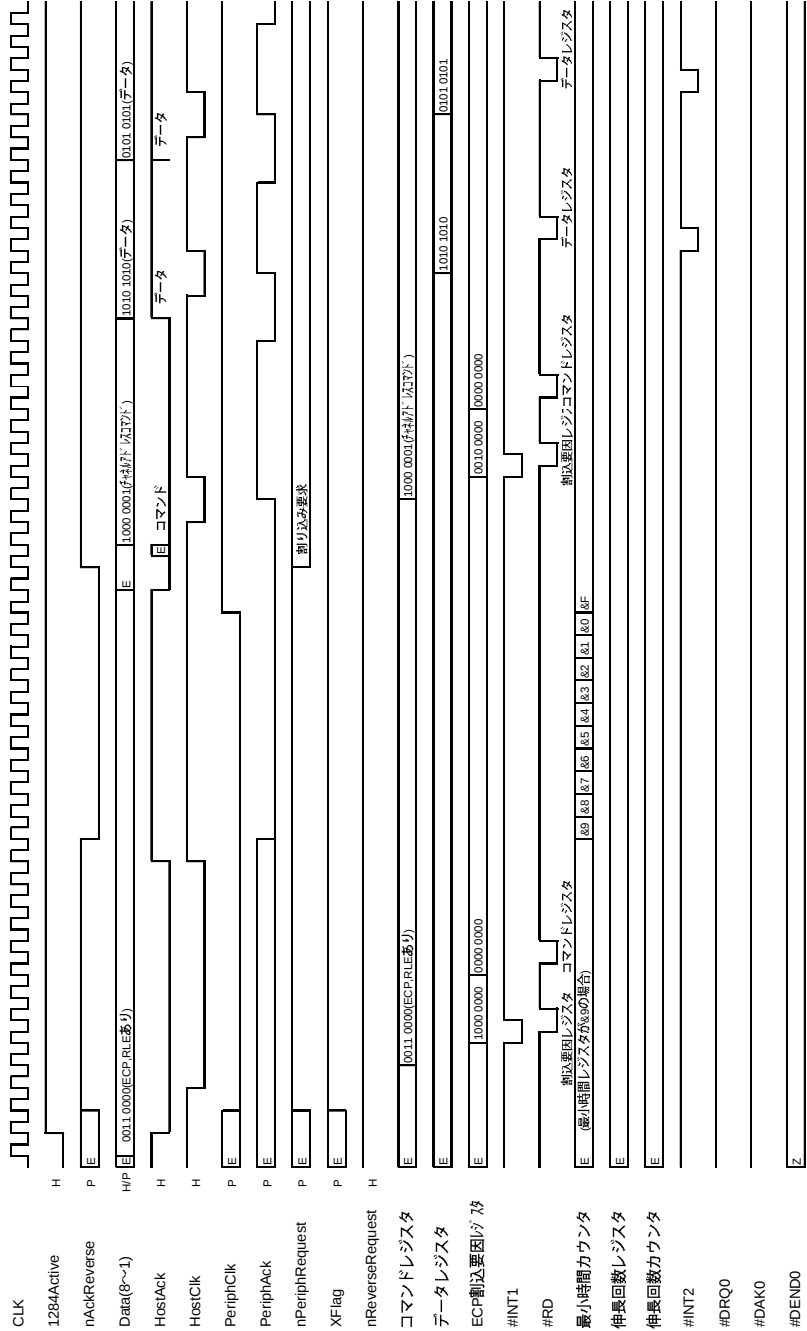
【DMA 可、RLE サポート、伸長機能 ON、HostCk の立ち下がりラッチ】



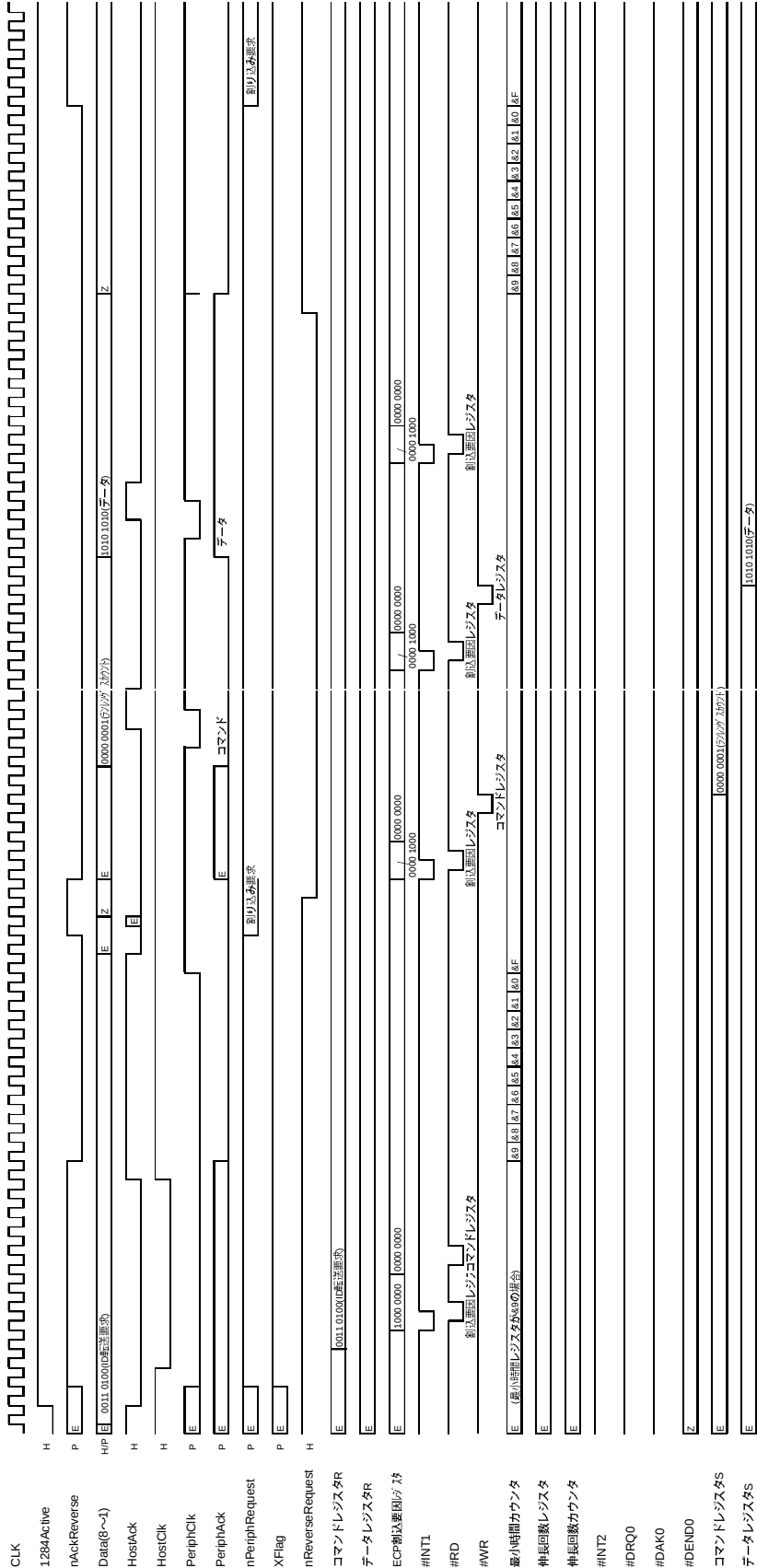
【DMA 可、RLE サポート、伸長機能 OFF、HostCk の立ち下がりラッチ】



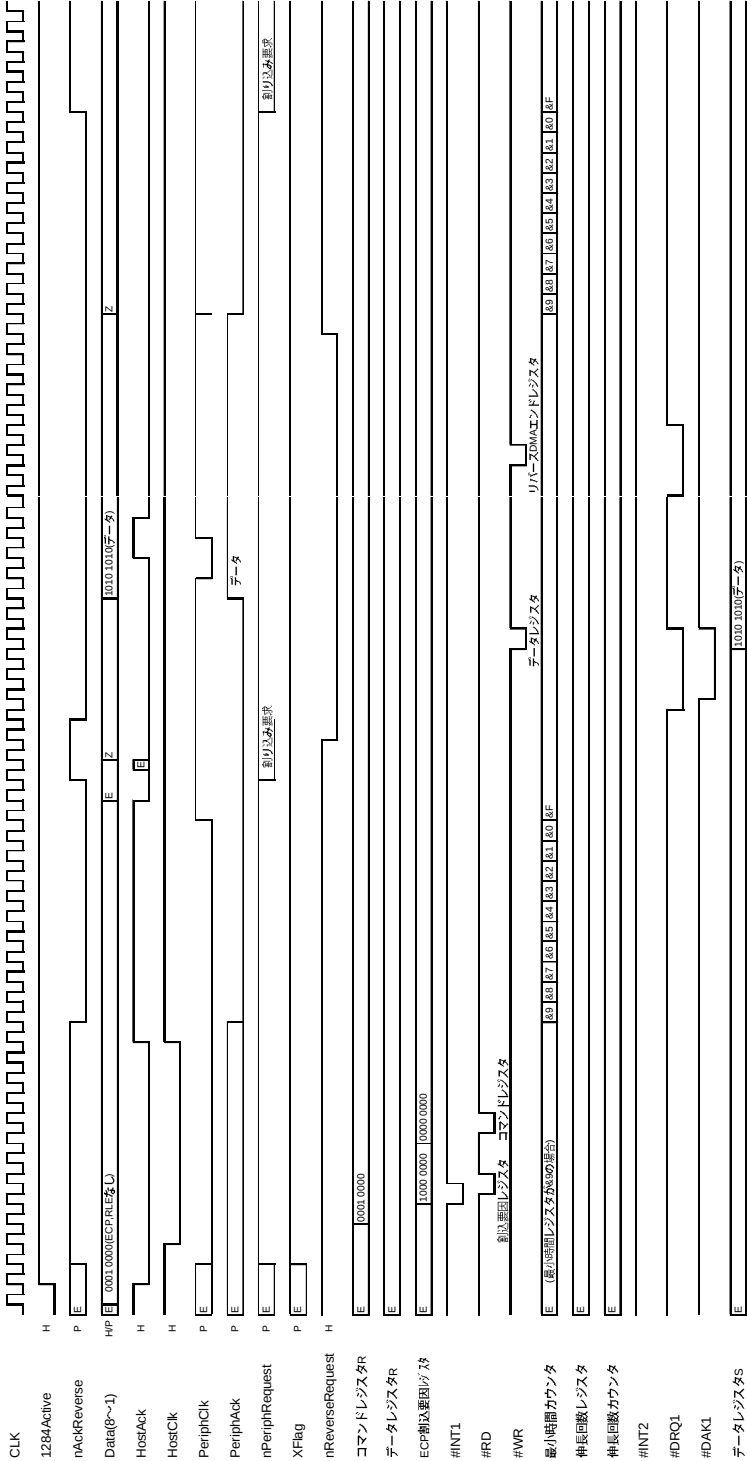
【DMA 不可、チャネルアドレスコマンド受信、HostCk の立ち下がりラッチ】



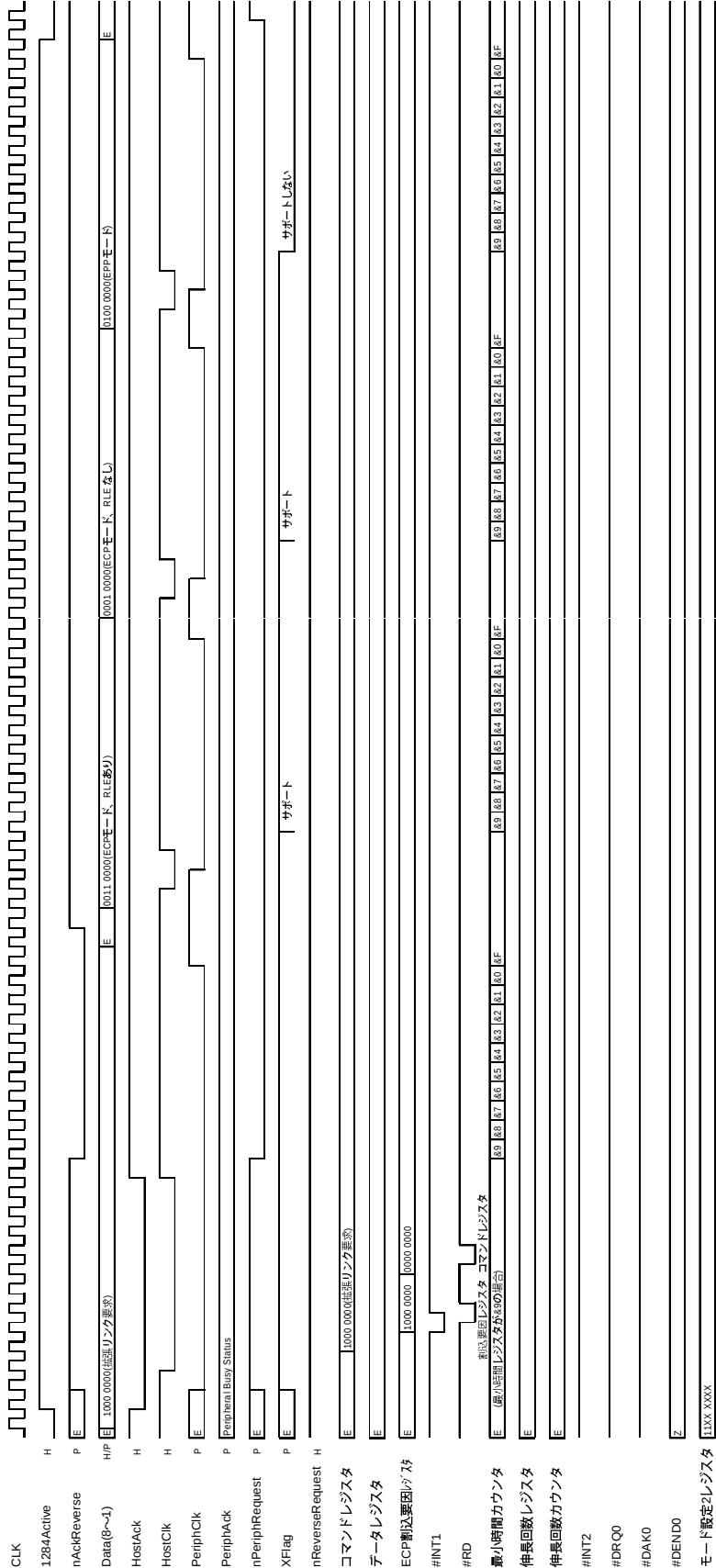
【リバース転送要求、DMA 不可】



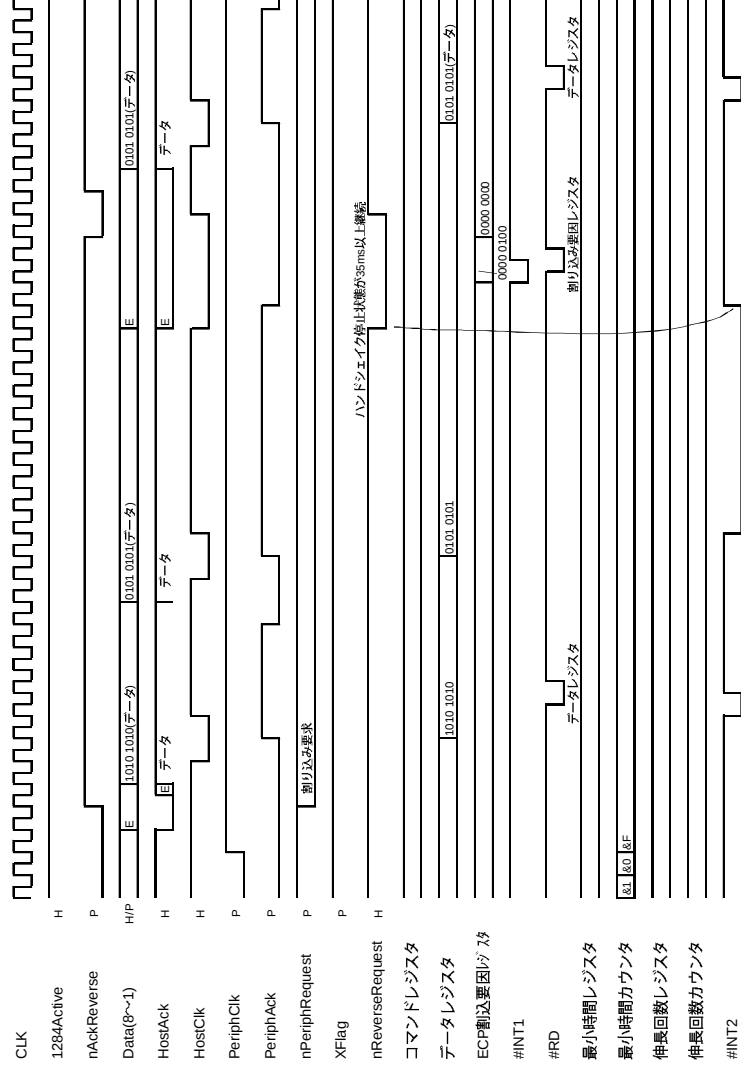
【リバーシ転送要求、DMA可】



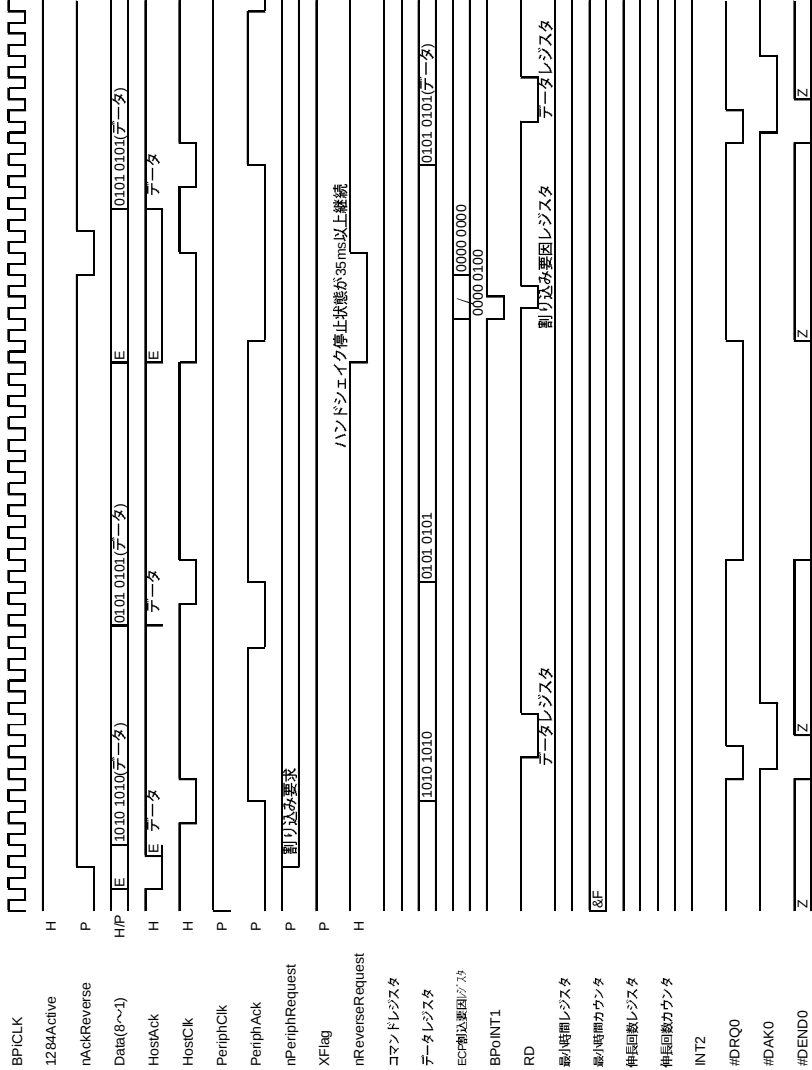
【拡張リンク要求】



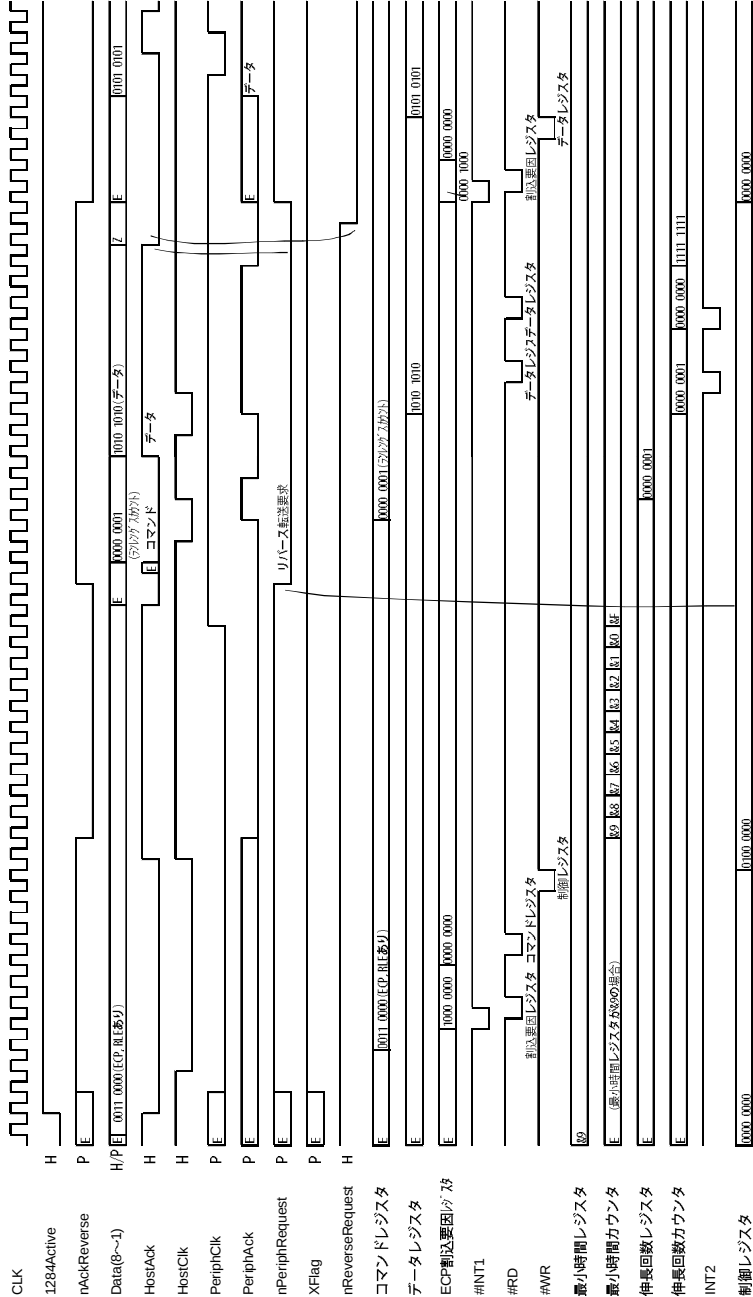
【トランスファリカバリ、DMA 不可、HostCk の立ち下がりラッチ】



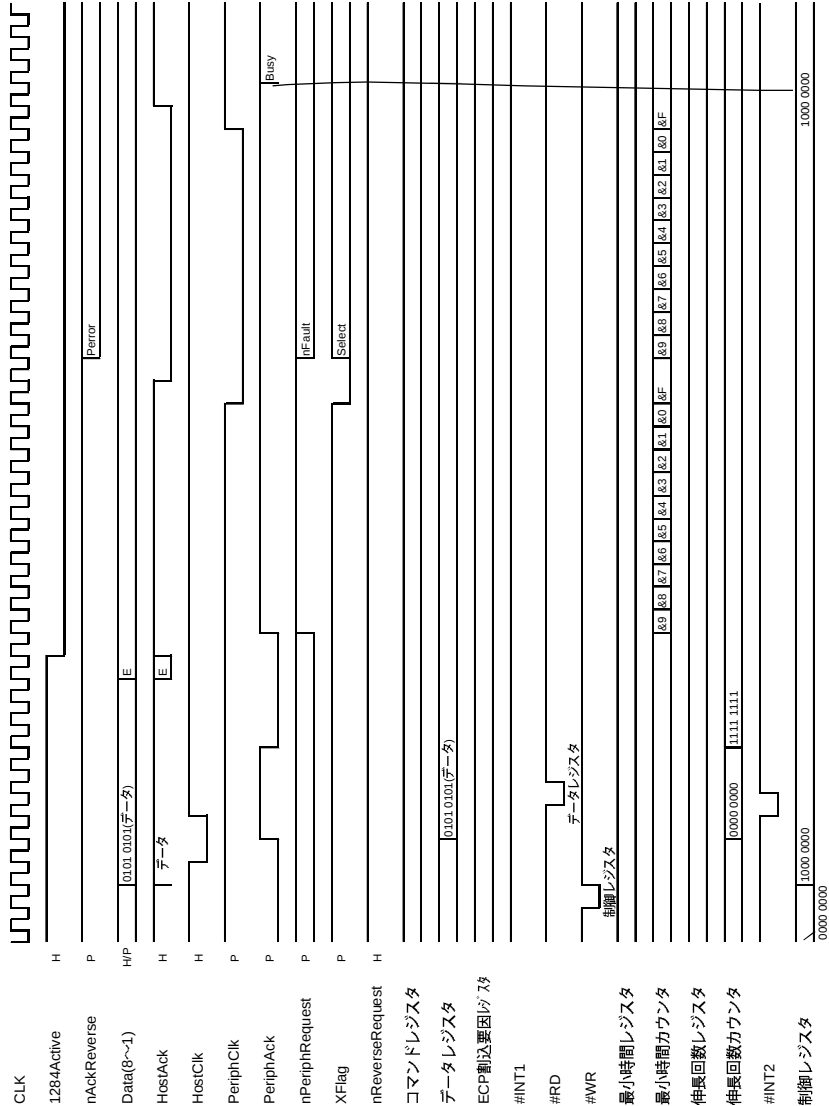
【トランスファババリ、DMA 可、HostCkの立ち下がりがラッチ】



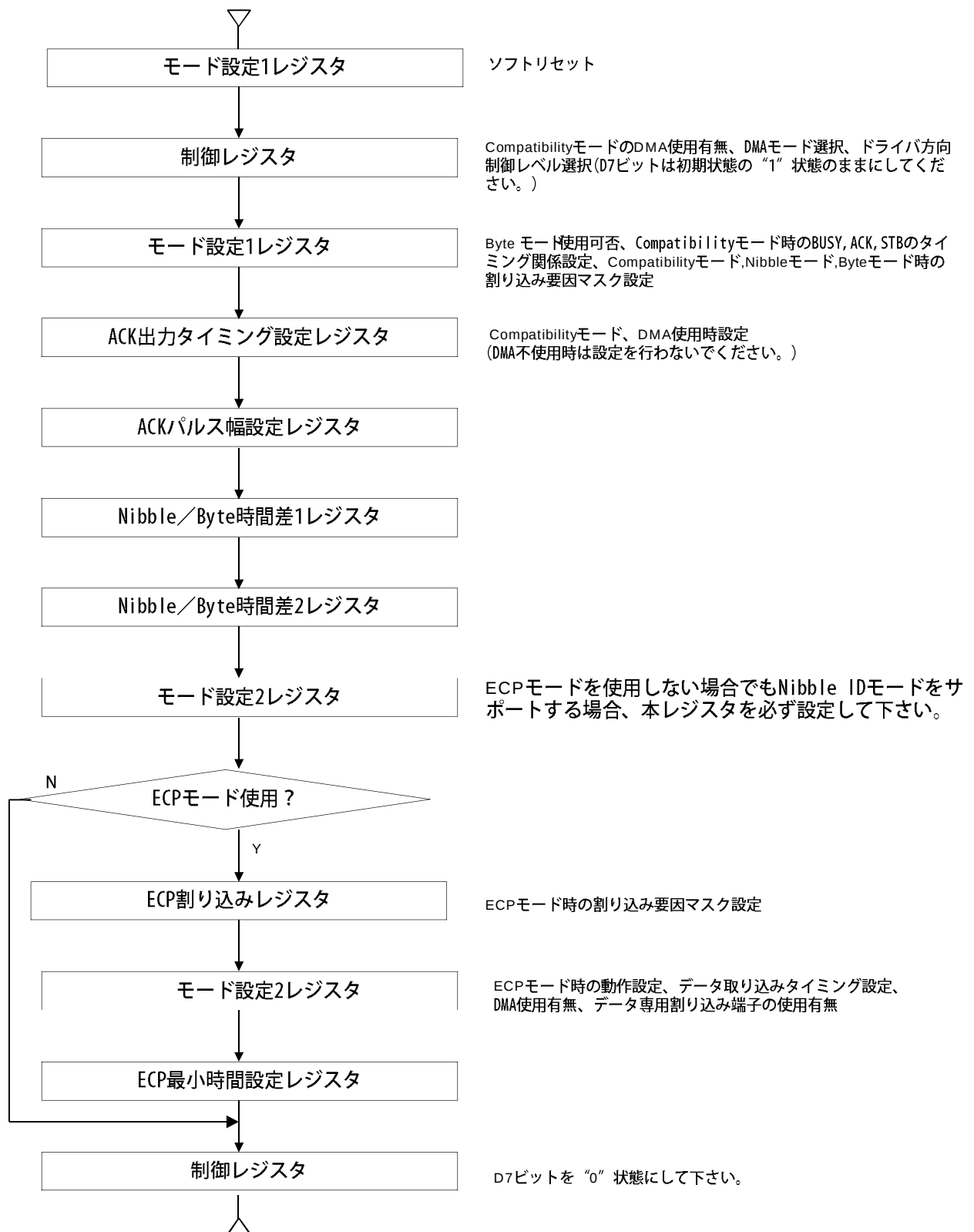
【TE6137 からのリバース転送要求】



【ECP モード Valid termination から Compatibility モードへの復帰】



5.レジスタ初期設定手順



6.ECP モード時の詳細動作

【該当レジスタ】

※1 DMA 要求(モード設定 2 レジスタ D2 ビット 1:有効 0:無効)

※2 RLE 伸長(モード設定 2 レジスタ D3 ビット 1:有効 0:無効)

※3 データ受信専用割り込み端子(モード設定 2 レジスタ D4 ビット 1:有効 0:無効)

※4 データ受信割り込みマスク(ECP 割り込みマスクレジスタ D6 ビット 1:有効 0:無効)

<チャンネルアドレスコマンド受信>

該当レジスタビット				TE6138 動作	Peripheral CPU 動作
※1	※2	※3	※4		
-	-	-	-	#INT1+ECPIR D5	ECPIR 読み出し→コマンドレジスタ読み出し

ECPIR:ECP 割込要因レジスタ

<ランレングスカウント受信>

該当レジスタビット				TE6138 動作	Peripheral CPU 動作
※1	※2	※3	※4		
-	0	-	-	#INT1+ECPIR D4	ECPIR 読み出し→コマンドレジスタ読み出し
-	1	-	-	伸長回数カウンタロード	-

<データ受信>

[DMA 不使用]

該当レジスタビット				TE6138 動作	Peripheral CPU 動作
※1	※2	※3	※4		
0	0	0	0	#INT1+ECPIR D6	ECPIR 読み出し→データレジスタ読み出し
0	1	0	0	上記動作を伸長回数分繰り返す	上記動作を伸長回数分繰り返す
0	0	-	1	ECPIR D6	ECPIR 読み出し→データレジスタ読み出し
0	1	-	1	上記動作を伸長回数分繰り返す	上記動作を伸長回数分繰り返す
0	0	1	0	#INT2	データレジスタ読み出し
0	1	1	0	上記動作を伸長回数分繰り返す	上記動作を伸長回数分繰り返す

[DMA 使用]

該当レジスタビット				TE6138 動作	Peripheral CPU 動作
※1	※2	※3	※4		
1	0	-	-	DMA リクエスト	データレジスタ読み出し
1	1	-	-	上記動作を伸長回数分繰り返す	上記動作を伸長回数分繰り返す

【絶対最大定格】

最大定格は、瞬時たりとも超過してはならない限界値です。すなわち、最大定格で定められている範囲内で使用する限り、デバイスにパーマネントダメージが与えられることはありません。ただし、これは正常な論理動作保証するものではありません。

項目	記号	定格	単位
電源電圧	V_{DD}	-0.3~+6.0	V
入力電圧	V_I	-0.3~ $V_{DD}+0.3$	
出力電圧	V_O	-0.3~ $V_{DD}+0.3$	
保存周囲温度	T_{ST}	-55~+150	°C

【推奨動作条件】

推奨動作条件は、デバイスの正常な論理動作を保証する推奨値です。すなわち、これは推奨動作条件の範囲内で使用する限り、電気的特性(直流特性、交流特性)が満たされることを保証するものです。

項目	記号	最小	最大	単位
電源電圧	V_{DD}	4.5	5.5	V
動作周囲温度	T_A	-20	70	°C

【直流特性】

項目	記号	条件	規格		単位
			最小	最大	
電源電流	I_{DDs}	静止状態	-	0.2	mA
“1”レベル入力電圧	V_{IH}	TTL レベル	2.3	-	V
		CMOS シュミットトリガ	3.8	-	
“0”レベル入力電圧	V_{IL}	TTL レベル	-	0.7	
		CMOS シュミットトリガ	-	1.1	
“H”レベル出力電圧	V_{OH}	$I_{OH}=-2mA$	$V_{DD}-0.4$	-	
“L”レベル出力電圧	V_{OL}	$I_{OL}=6mA$	-	0.4	

【入出力端子容量】

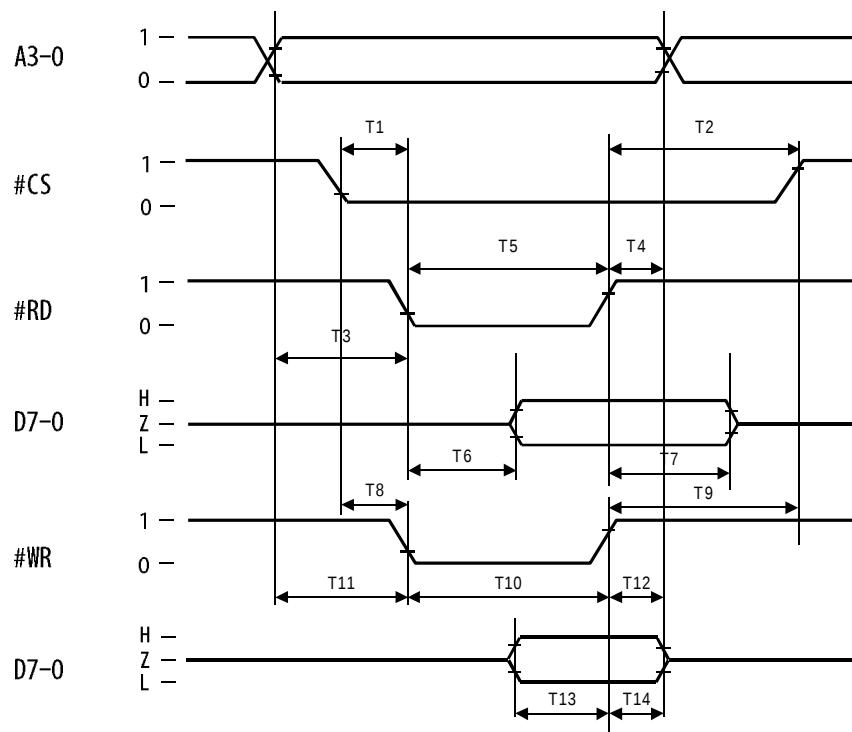
項目	記号	規格	単位
入力端子	C_{IN}	最大 20	pF
出力端子	C_{OUT}	最大 20	
入出力端子	$C_{I/O}$	最大 20	

【交流特性】

負荷特性 入出力端子=20pF、出力端子=20pF で設定

1.CPU インタフェース

【CIS が"0"レベルのとき(86系インタフェースモード)】



タイミング番号	基準信号	対象番号	種類	最小	最大	単位
T1	#RD ↓	#CS ↓	S	10	-	ns
T2	#RD ↑	#CS ↑	H	10	-	
T3	#RD ↓	A3-0	S	15	-	
T4	#RD ↑	A3-0	H	10	-	
T5	#RD ↓	#RD ↑	W	30	-	
T6	#RD ↓	D7-0(Z→V)	D	-	20	
T7	#RD ↑	D7-0(V→Z)	D	-	15	
T8	#WR ↓	#CS ↓	S	10	-	
T9	#WR ↑	#CS ↑	H	10	-	
T10	#WR ↓	#WR ↑	W	30	-	
T11	#WR ↓	A3-0	S	10	-	
T12	#WR ↑	A3-0	H	15	-	
T13	#WR ↑	D7-0	S	15	-	
T14	#WR ↑	D7-0	H	0	-	

種類規定

セットアップ

ホールド

ディレイ

幅

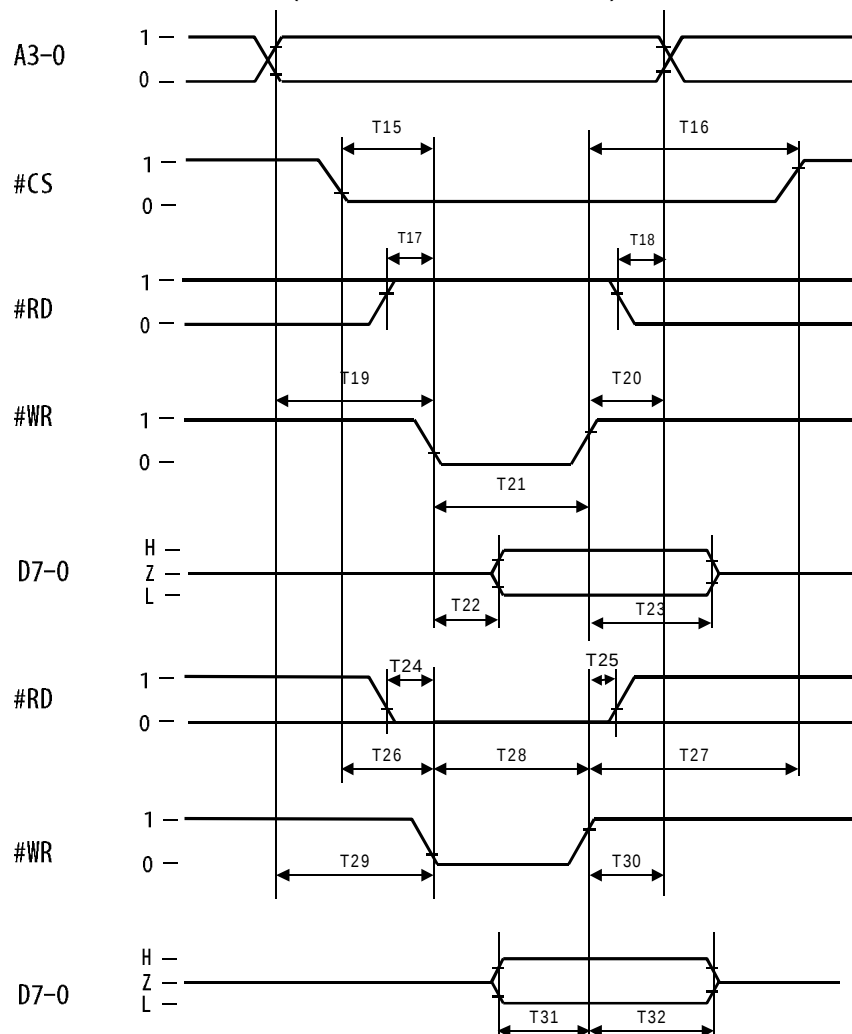
S

H

D

W

【CISが"1"レベルのとき(68系インタフェースモード)】



タイミング番号	基準信号	対象番号	種類	最小	最大	単位
T15	#WR↓	#CS↓	S	10	-	ns
T16	#WR↑	#CS↑	H	10	-	
T17	#WR↓	#RD	S	10	-	
T18	#WR↑	#RD	H	10	-	
T19	#WR↓	A3-0	S	10	-	
T20	#WR↑	A3-0	H	10	-	
T21	#WR↓	#WR↑	W	30	-	
T22	#WR↓	D7-0(Z→V)	D	-	20	
T23	#WR↑	D7-0(V→Z)	D	-	15	
T24	#WR↓	#RD	S	10	-	
T25	#WR↑	#RD	H	10	-	
T26	#WR↓	#CS↓	S	10	-	
T27	#WR↑	#CS↑	H	10	-	
T28	#WR↓	#WR↑	W	30	-	
T29	#WR↓	A3-0	S	10	-	
T30	#WR↑	A3-0	H	10	-	
T31	#WR↑	D7-0	S	15	-	
T32	#WR↑	D7-0	H	0	-	

種類規定

セットアップ	S
ホールド	H
ディレイ	D
幅	W

2.双方向パラレルインタフェース

DMA インタフェースは CPU インタフェースと同様に 86 系、68 系の設定ができます。

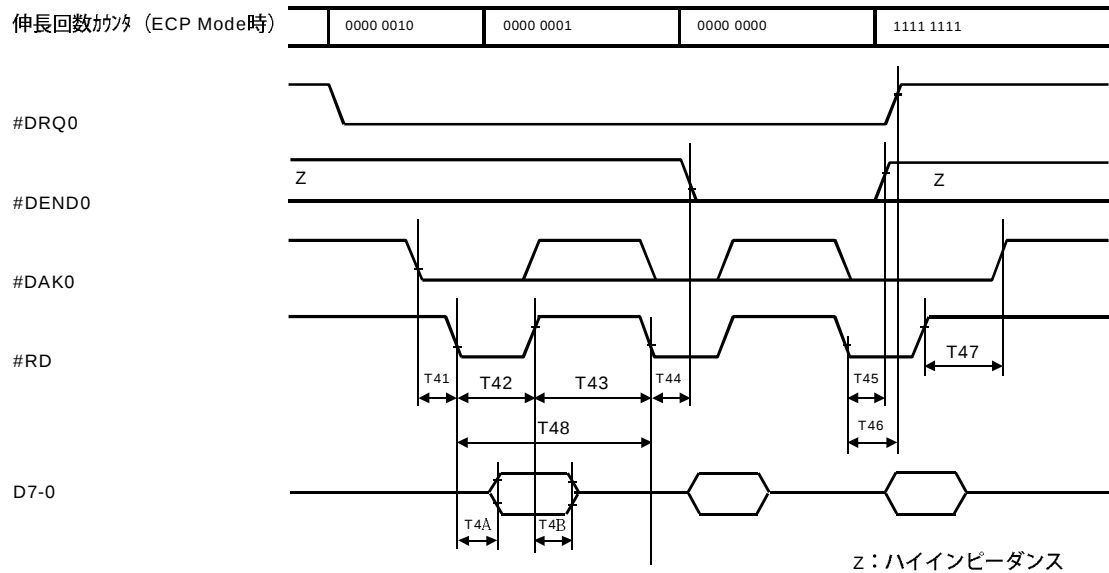
必ず CPU インタフェースと同じ設定にしてください。

Compatibility モード時は下記タイミング図中の“伸長回数カウンタ”は無視して下さい。

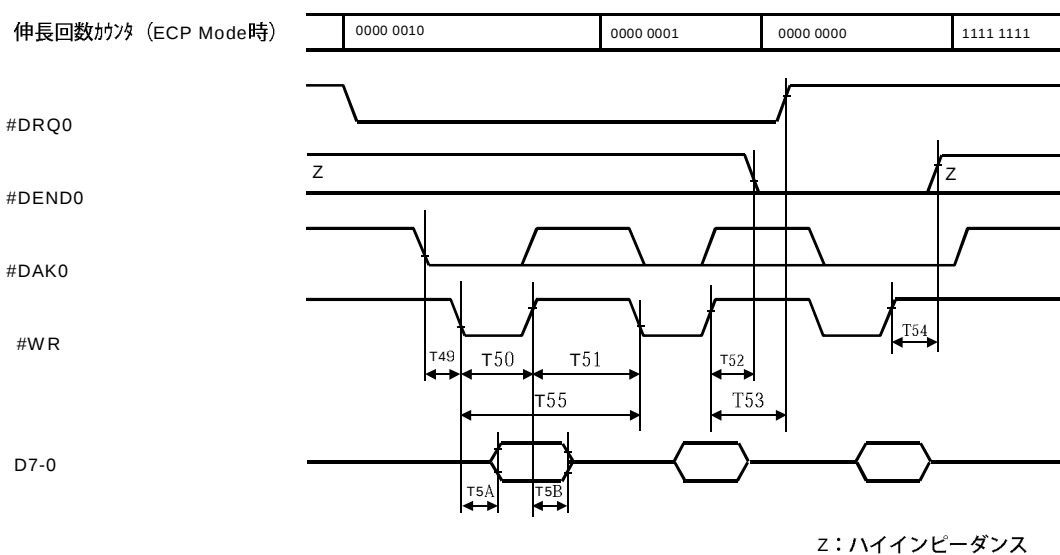
DMA 使用時データレジスタへのアクセスは DAK 信号と RD、WR(EN)のみでできます。

【DMA データ受信】

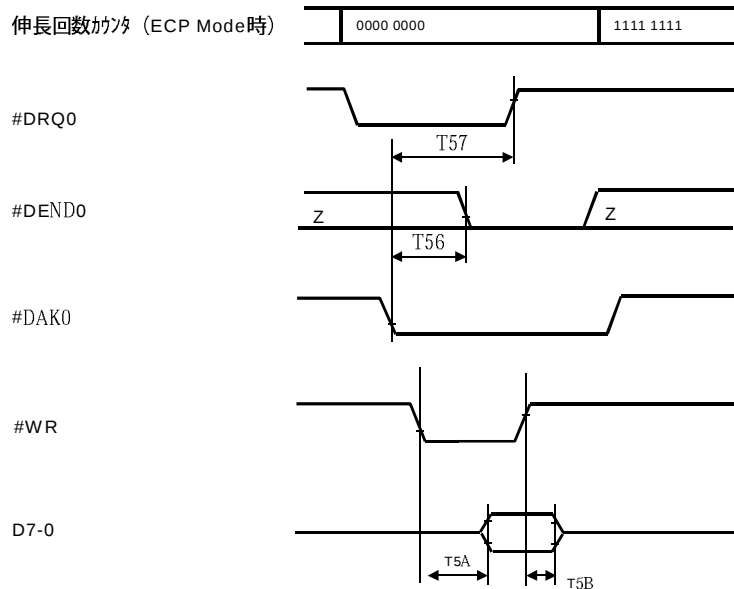
<86系転送>



<68系3バイト転送>



<68系1バイト転送>



Z: ハイインピーダンス

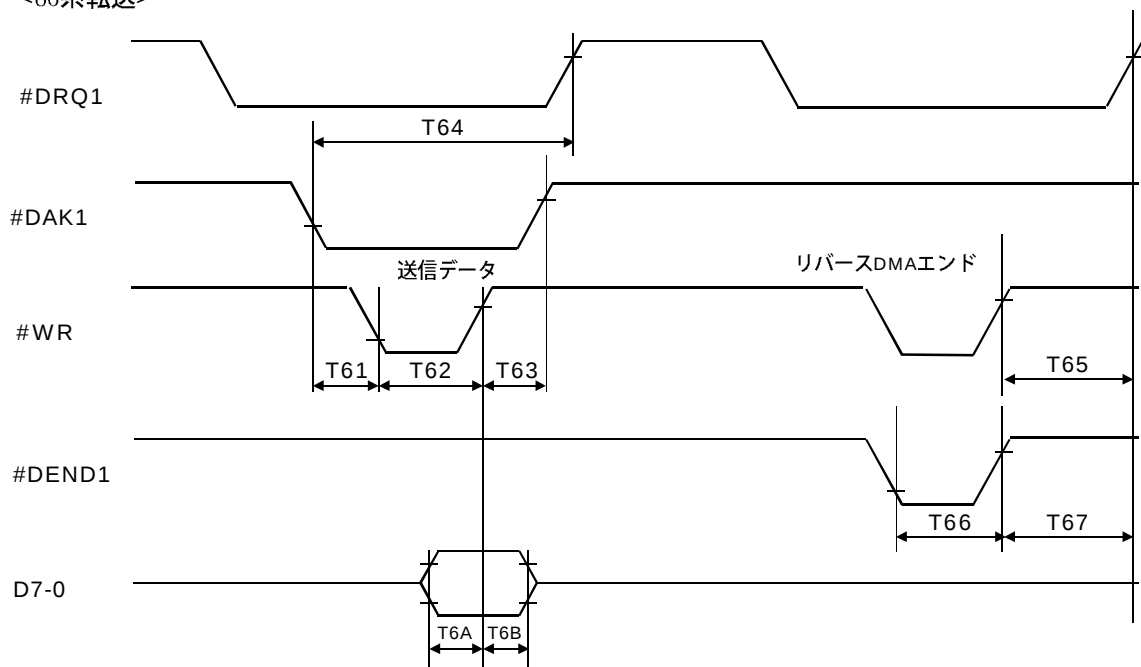
タイミング番号	基準信号	対象番号	種類	最小	最大	単位
T41	#RD ↓	#DAK0 ↓	S	0	-	ns
T42	#RD ↓	#RD ↑	W	30	-	
T43	#RD ↑	#RD ↓	W	30	-	
T44	#RD ↓	#DEND0(Z→L)	D	-	$1.5T_{BC}+20$	
T45	#RD ↓	#DEND0(L→Z)	D	-	$1.5T_{BC}+20$	
T46	#RD ↓	#DRQ0 ↑	D	-	25	
T47	#RD ↑	#DAK0 ↑	H	0	-	
T48	#RD ↓	#RD ↓	CT	$2T_{BC}$	-	
T49	#WR ↓	#DAK0 ↓	S	0	-	
T4A	#RD ↓	D7-0(Z→V)	D	-	20	
T4B	#RD ↑	D7-0(V→Z)	D	-	20	
T50	#WR ↓	#WR ↑	W	30	-	
T51	#WR ↑	#WR ↓	W	30	-	
T52	#WR ↑	#DEND0(Z→L)	D	-	$1.5T_{BC}+20$	
T53	#WR ↑	#DRQ0 ↑	D	-	$1.5T_{BC}+20$	
T54	#WR ↑	#DEND0(L→Z)	D	-	$1.5T_{BC}+20$	
T55	#WR ↓	#WR ↓	CT	$2T_{BC}$	-	
T56	#DAK0 ↓	#DEND0(Z→L)	D	-	20	
T57	#DAK0 ↓	#DRQ0 ↑	D	-	20	
T5A	#WR ↓	D7-0(Z→V)	D	-	20	
T5B	#WR ↑	D7-0(V→Z)	D	-	20	

種類規定

セットアップ S
 ホールド H
 デレイ D
 幅 W
 サイクルタイム CT
 T_{BC} =CLK 周期

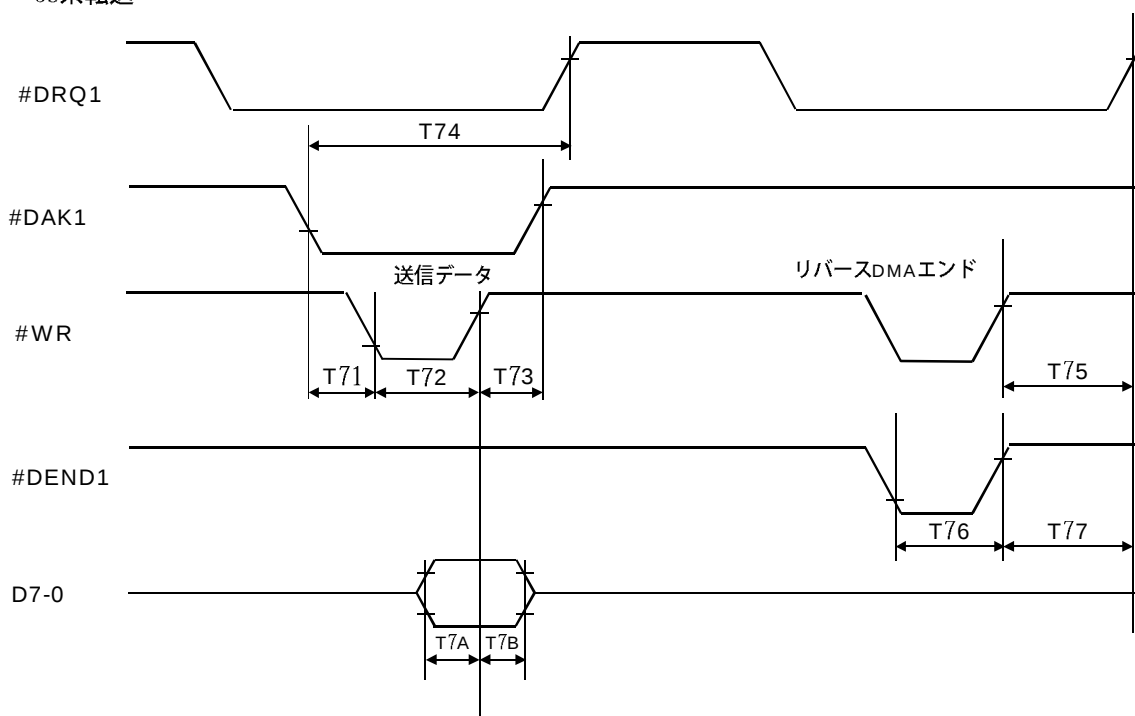
【DMA データ送信】

<86系転送>



注1) #DRQ1が発生する前にリバースDMAエンドレジスタへの書き込み、または#DEND1端子をイネーブルすると#DRQ1信号は出力されません。

<68系転送>



注1) #DRQ1が発生する前にリバースDMAエンドレジスタへの書き込み、または#DEND1端子をイネーブルすると#DRQ1信号は出力されません。

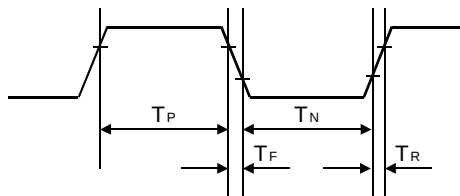
タイミング番号	基準信号	対象番号	種類	最小	最大	単位
T61	#WR↓	#DAK1↓	S	0	-	ns
T62	#WR↓	#WR↑	W	30	-	
T63	#WR↑	#DAK1↑	H	0	-	
T64	#DAK1↓	#DRQ1↑	D	-	$2T_{BC}+20$	
T65	#WR↑	#DRQ1↑	D	-	$3T_{BC}+20$	
T66	#DEND1↓	#DEND1↑	W	T_{BC}	-	
T67	#DEND1↑	#DRQ1↑	D	-	$3T_{BC}+20$	
T6A	#WR↑	D7-0	S	15	-	
T6B	#WR↑	D7-0	H	0	-	
T71	#WR↓	#DAK1↓	S	0	-	
T72	#WR↓	#WR↑	W	30	-	
T73	#WR↑	#DAK1↑	H	0	-	
T74	#DAK1↓	#DRQ1↑	D	-	$2T_{BC}+20$	
T75	#WR↑	#DRQ1↑	D	-	$3T_{BC}+20$	
T76	#DEND1↓	#DEND1↑	W	T_{BC}	-	
T77	#DEND1↑	#DRQ1↑	D	-	$3T_{BC}+20$	
T7A	#WR↑	D7-0	S	15	-	
T7B	#WR↑	D7-0	H	0	-	

種類規定

セットアップ S
 ホールド H
 デイレイ D
 幅 W
 T_{BC} =CLK 周期

【クロック入力条件】

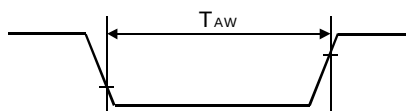
TE6138 に入力する CLK の条件は下記の通りです。



特性	記号	最小	最大	単位
“1”状態安定時間	T_P	20	-	ns
“0”状態安定時間	T_N	20	-	
立ち上がり時間	T_R	-	15	
立ち下がり時間	T_F	-	15	
サイクル時間	T_C	50	62.5	

【リセット入力条件】

TE6138 にリセット入力条件は下記の通りです。

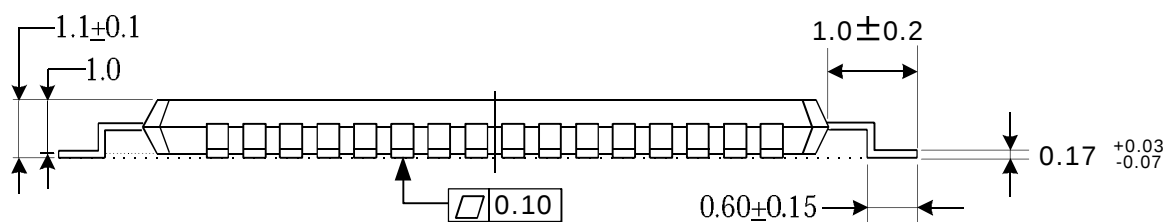
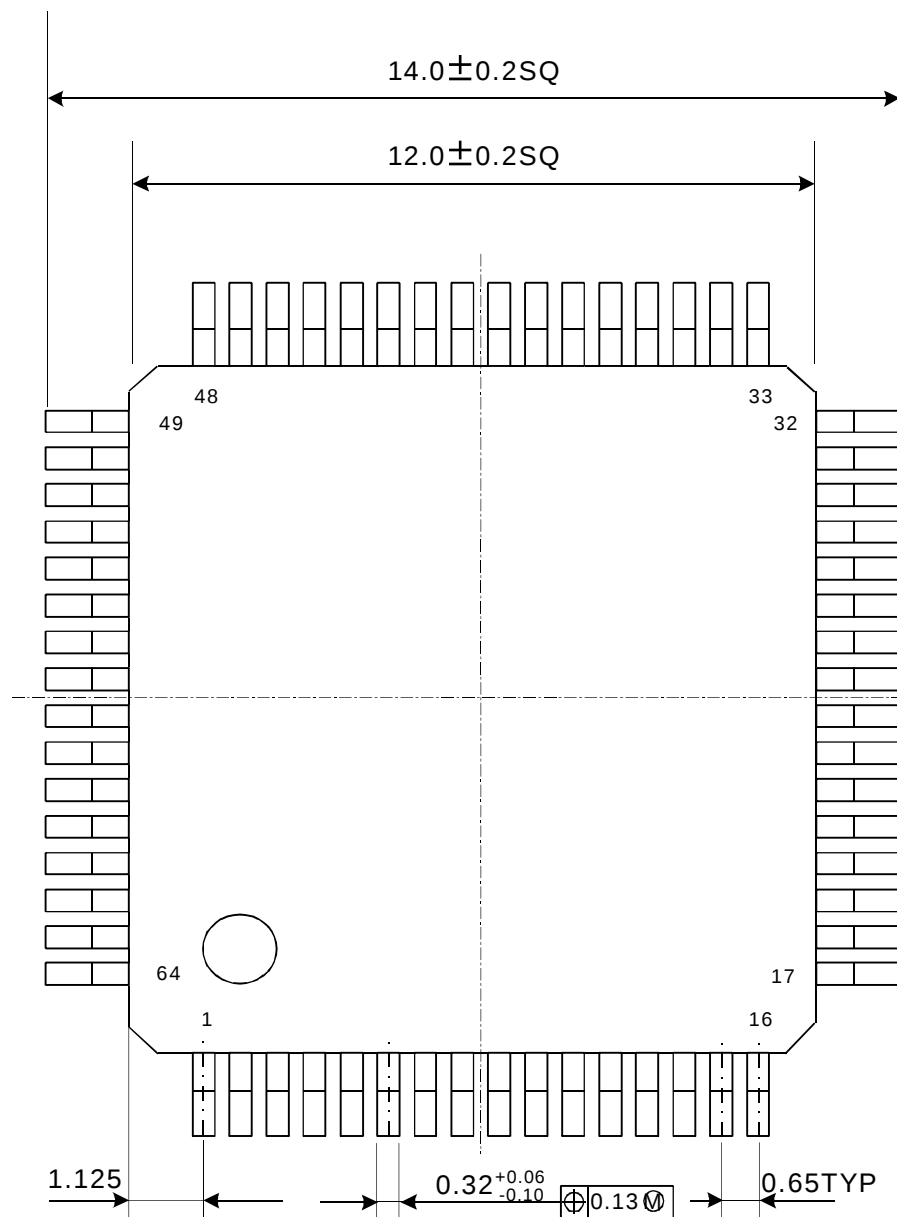


特性	記号	最小	最大	単位
リセット幅	T_{AW}	50	-	ns

【外形寸法図】

64ピン プラスチック TQFP (単位 mm)

製品質量：0.38g





東京エレクトロン デバイス株式会社

TOP マーケティンググループ

〒224-0045 神奈川県横浜市都筑区東方町1番地

TEL 045-474-7013

FAX 045-474-5617

E-mail top@teldevice.co.jp

URL <http://www.teldevice.co.jp>

お問い合わせは下記営業担当までお願い致します。

- この資料の記載内容は、予告なしに変更することがあります。ご使用を検討の際には弊社担当までご確認ください。
- この資料に記載された情報・図面の使用に起因する第三者の特許権、工業所有権、その他の権利侵害について、弊社はその責任を負うものではありません。
- 本製品を他の製品と組み合わせて、または他の製品に組み込んで使用される二次製品、三次製品等について、第三者との間に特許権、実用新案権、回路配置利用権、著作権、その他の知的財産権の関する紛争が発生した場合には、本製品をご使用される方の責任において処理、解決してください。
- 本製品は、生命維持装置、原子力制御装置、航空宇宙機、輸送機器等の極めて高い信頼性が要求される装置用に製造されておりません。