

产品特性

完整的单芯片旋变数字转换器
最大跟踪速率：3125 rps(10位分辨率)
精度：±2.5弧分
分辨率：10/12/14/16位，由用户设置
并行和串行10位至16位数据端口
绝对位置与速度输出
系统故障检测
可编程故障检测阈值
差分输入
增量式编码器仿真
内置可编程正弦波振荡器
兼容DSP和SPI接口标准
电源电压：5 V，逻辑接口电压2.3 V至5 V
额定温度范围：-40°C至+125°C

应用

直流和交流伺服电机控制
编码器仿真
电动助力转向
电动汽车
集成的启动发电机/交流发电机
汽车运动检测与控制

概述

AD2S1210是一款10位至16位分辨率旋变数字转换器，集成片上可编程正弦波振荡器，为旋变器提供正弦波激励。

转换器的正弦和余弦输入端允许输入3.15 V p-p ± 27%、频率为2 kHz至20 kHz范围内的信号。Type II伺服环路用于跟踪输入信号，并将正弦和余弦输入端的信息转换为输入角度和速度所对应的数字量。最大跟踪速率为3125 rps。

功能框图

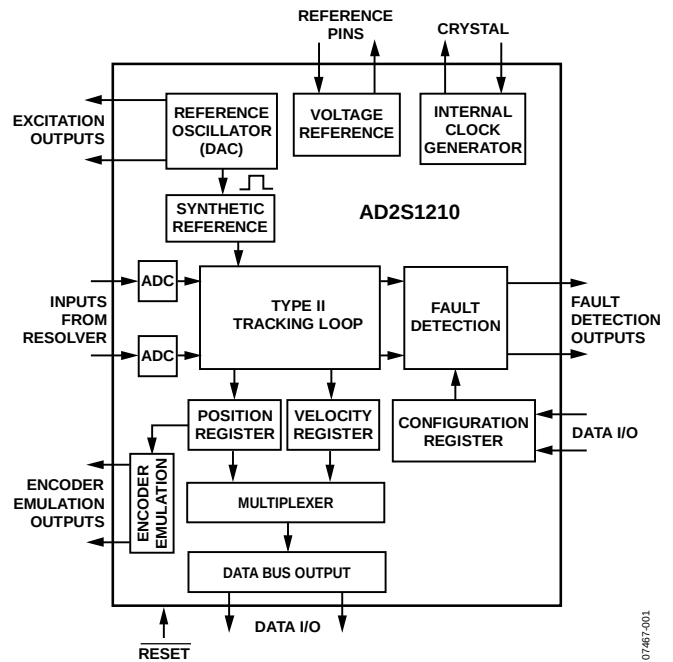


图1.

产品特色

1. 比率跟踪转换。Type II跟踪环路能够连续输出位置数据，且没有转换延迟。它还可以抑制噪声，并提供参考和输入信号的谐波失真容限。
2. 系统故障检测。故障检测电路可以检测旋变的信号丢失、超范围输入信号、输入信号失配或位置跟踪丢失。各故障检测阈值可以由用户单独编程，以便针对特定应用进行优化。
3. 输入信号范围。正弦和余弦输入端支持3.15 V p-p ± 27%的差分输入电压。
4. 可编程激励频率。可以轻松地将激励频率设置为2 kHz至20 kHz范围内的多个标准频率。
5. 3倍格式位置数据。通过16位并行端口或4线串行接口可以访问10位至16位绝对角位置数据。增量式编码器仿真采用标准A-quadr-B格式，并提供方向输出。
6. 数字速度输出。通过16位并行端口或4线串行接口可以访问10位至16位带符号的数字量速度。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2008–2010 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	LOS阈值寄存器	21
应用	1	DOS超量程阈值寄存器	21
功能框图	1	DOS失配阈值寄存器	21
概述	1	DOS复位最大和最小阈值寄存器	22
产品特点	1	LOT上限寄存器	22
修订历史	2	LOT下限寄存器	22
技术规格	3	激励频率寄存器	22
时序规格	6	控制寄存器	22
绝对最大额定值	8	软件复位寄存器	23
ESD警告	8	故障寄存器	23
引脚配置和功能描述	9	数字接口	24
典型性能参数	11	$\overline{\text{SOE}}$ 输入	24
旋变格式信号	15	SAMPLE输入	24
工作原理	16	数据格式	24
旋变-数字转换	16	并行接口	24
故障检测电路	16	串行接口	28
片上可编程正弦波振荡器	18	增量式编码器输出	31
合成参考生成	18	上电时序控制和复位	31
AD2S1210配置	20	电路动态特性	32
工作模式	20	环路响应模型	32
寄存器映射	21	误差源	33
位置寄存器	21	外形尺寸	34
速度寄存器	21	订购指南	34

修订历史

2012年10月—修订版0至修订版A

更改“典型性能参数”部分	11, 12
更改“订购指南”部分	34

2008年8月—版本0：初始版

技术规格

除非另有说明， $AV_{DD} = DV_{DD} = 5.0\text{ V} \pm 5\%$ ， $CLKIN = 8.192\text{ MHz} \pm 25\%$ ， $\overline{EXC}$ 频率 = 10 kHz至20 kHz(10位)、6 kHz至20 kHz(12位)、3 kHz至12 kHz(14位)、2 kHz至10 kHz(16位)； $T_A = T_{MIN}$ 至 T_{MAX} ¹。

表1.

参数	最小值	典型值	最大值	单位	条件/注释
正弦、余弦输入 ²					
电压幅度	2.3	3.15	4.0	V p-p	正弦波形，差分SIN至SINLO，COS至COSLO
输入偏置电流			8.25	μA	$V_{IN} = 4.0\text{ V p-p}$, $CLKIN = 8.192\text{ MHz}$
输入阻抗	485			kΩ	$V_{IN} = 4.0\text{ V p-p}$, $CLKIN = 8.192\text{ MHz}$
锁相范围	-44		+44	度	正弦/余弦与EXC输出的关系，控制寄存器D3 = 0
共模抑制		±20		弧秒/V	10 Hz至1 MHz，控制寄存器D4 = 0
角度精度 ³					
角度精度		±2.5 + 1 LSB	±5 + 1 LSB	弧分	B、D级
		±5 + 1 LSB	±10 + 1 LSB	弧分	A、C级
分辨率		10, 12, 14, 16		位	无失码
积分非线性(INL)					
10位			±1	LSB	B、D级
			±2	LSB	A、C级
12位			±2	LSB	B、D级
			±4	LSB	A、C级
14位			±4	LSB	B、D级
			±8	LSB	A、C级
16位			±16	LSB	B、D级
			±32	LSB	A、C级
微分非线性(DNL)			±0.9	LSB	
可重复性		±1		LSB	
速度输出					
速度精度 ⁴					
10位			±2	LSB	B、D级，零加速度
			±4	LSB	A、C级，零加速度
12位			±2	LSB	B、D级，零加速度
			±4	LSB	A、C级，零加速度
14位			±4	LSB	B、D级，零加速度
			±8	LSB	A、C级，零加速度
16位			±16	LSB	B、D级，零加速度
			±32	LSB	A、C级，零加速度
分辨率 ⁵		9, 11, 13, 15		位	
动态性能					
带宽					
10位	2000		6500	Hz	CLKIN = 8.192 MHz
	2900		5300	Hz	
12位	900		2800	Hz	
	1200		2200	Hz	CLKIN = 8.192 MHz
14位	400		1500	Hz	
	600		1200	Hz	CLKIN = 8.192 MHz
16位	100		350	Hz	
	125		275	Hz	CLKIN = 8.192 MHz

AD2S1210

参数	最小值	典型值	最大值	单位	条件/注释
跟踪速率					
10位			3125	rps	CLKIN = 10.24 MHz
			2500		CLKIN = 8.192 MHz
12位			1250	rps	CLKIN = 10.24 MHz
			1000		CLKIN = 8.192 MHz
14位			625	rps	CLKIN = 10.24 MHz
			500		CLKIN = 8.192 MHz
16位			156.25	rps	CLKIN = 10.24 MHz
			125		CLKIN = 8.192 MHz
加速度误差					
10位	30			弧分	50,000 rps ² , CLKIN = 8.192 MHz
12位	30			弧分	10,000 rps ² , CLKIN = 8.192 MHz
14位	30			弧分	2500 rps ² , CLKIN = 8.192 MHz
16位	30			弧分	125 rps ² , CLKIN = 8.192 MHz
建立时间10°阶跃输入					
10位	0.6	0.9		ms	建立至±2 LSB, CLKIN = 8.192 MHz
12位	2.2	3.1		ms	建立至±2 LSB, CLKIN = 8.192 MHz
14位	6.5	9.0		ms	建立至±2 LSB, CLKIN = 8.192 MHz
16位	27.5	40		ms	建立至±2 LSB, CLKIN = 8.192 MHz
建立时间179°阶跃输入					
10位	1.5	2.2		ms	建立至±2 LSB, CLKIN = 8.192 MHz
12位	4.75	6.0		ms	建立至±2 LSB, CLKIN = 8.192 MHz
14位	10.5	14.7		ms	建立至±2 LSB, CLKIN = 8.192 MHz
16位	45	66		ms	建立至±2 LSB, CLKIN = 8.192 MHz
EXC、EXC输出					
电压	3.2	3.6	4.0	V p-p	负载±100 μA, 典型差分输出 (EXC至EXC)= 7.2 V p-p
中心电压	2.40	2.47	2.53	V	
频率	2		20	kHz	
EXC/EXC直流失配			30	mV	
EXC/EXC交流失配			100	mV	
总谐波失真(THD)		-58		dB	前5个谐波
基准电压源					
REFOUT	2.40	2.47	2.53	V	±I _{OUT} = 100 μA
温漂		100		ppm/°C	
PSRR		-60		dB	
CLKIN, XTALOUT ⁶					
输入低电压V _{IL}			0.8	V	
输入高电压V _{IH}	2.0			V	
逻辑输入					
输入低电压V _{IL}			0.8	V	V _{DRIVE} = 2.7 V至5.25 V
			0.7	V	V _{DRIVE} = 2.3 V至2.7 V
输入高电压V _{IH}	2.0			V	V _{DRIVE} = 2.7 V至5.25 V
	1.7			V	V _{DRIVE} = 2.3 V至2.7 V
低电平输入电流I _{IL} (无上拉)			10	μA	
低电平输入电流I _{IL} (上拉)			80	μA	RES0、RES1、 $\overline{\text{RD}}$ 、 $\overline{\text{WR/FSYNC}}$ 、A0、A1和 $\overline{\text{RESET}}$ 引脚
高电平输入电流I _{IH}	-10			μA	
逻辑输出					
输出低电压V _{OL}			0.4	V	V _{DRIVE} = 2.3 V至5.25 V
输出高电压V _{OH}	2.4			V	V _{DRIVE} = 2.7 V至5.25 V
	2.0			V	V _{DRIVE} = 2.3 V至2.7 V
高电平三态漏电流I _{OZH}	-10			μA	
低电平三态漏电流I _{OZL}			10	μA	

参数	最小值	典型值	最大值	单位	条件/注释
电源要求					
AV _{DD}	4.75		5.25	V	
DV _{DD}	4.75		5.25	V	
V _{DRIVE}	2.3		5.25	V	
电源					
I _{AVDD}			12	mA	
I _{DVDD}			35	mA	
I _{OVDD}			2	mA	

¹ 温度范围如下：A、B级：-40°C至+85°C；C、D级：-40°C至+125°C。

² 相对于AGND的SIN、SINLO、COS和COSLO电压必须始终在0.15 V至AV_{DD} - 0.2 V范围内。

³ 角度精度参数内的所有技术规格均是在恒定速度，即零加速度下进行测试。

⁴ 速度精度规格包括速度失调和动态纹波。

⁵ 例如，当RES0 = 0且RES1 = 1时，位置输出的分辨率为12位。速度输出的分辨率为11位，MSB表示旋转方向。本例中，对于8.192 MHz的CLKIN频率，速度LSB为0.488 rps，即1000 rps/(2¹¹)。

⁶ AD2S1210的时钟频率可以利用晶振提供，或者直接来自DSP/微控制器数字输出。当使用直接来自DSP/微控制器的单端时钟信号时，XTALOUT引脚应保持开路，逻辑电平采用表1逻辑输入参数下所列的值。

AD2S1210

时序规格

除非另有说明， $AV_{DD} = DV_{DD} = 5.0\text{ V} \pm 5\%$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。

表2.

参数	说明	在 T_{MIN} 、 T_{MAX} 的限值	单位
f_{CLKIN}	时钟输入频率	6.144 10.24	MHz(最小值) MHz(最大值)
t_{CK}	时钟周期($= 1/f_{CLKIN}$)	98 163	ns(最小值) ns(最大值)
t_1	$\overline{RD}/\overline{CS}$ 低电平之前的A0和A1建立时间	2	ns(最小值)
t_2	$\overline{CS}$ 下降沿至 $\overline{WR}/\overline{FSYNC}$ 上升沿的延迟时间	22	ns(最小值)
t_3	写入周期中的地址/数据建立时间	3	ns(最小值)
t_4	写入周期中的地址/数据保持时间	2	ns(最小值)
t_5	$\overline{WR}/\overline{FSYNC}$ 上升沿至 $\overline{CS}$ 上升沿的延迟时间	2	ns(最小值)
t_6	$\overline{CS}$ 上升沿至 $\overline{CS}$ 下降沿的延迟时间	10	ns(最小值)
t_7	写入地址与写入数据之间的延迟时间	$2 \times t_{CK} + 20$	ns(最小值)
t_8	$\overline{WR}/\overline{FSYNC}$ 上升沿之后的A0和A1保持时间	2	ns(最小值)
t_9	连续写入周期之间的延迟时间	$6 \times t_{CK} + 20$	ns(最小值)
t_{10}	$\overline{WR}/\overline{FSYNC}$ 上升沿与 $\overline{RD}$ 下降沿之间的延迟时间	2	ns(最小值)
t_{11}	$\overline{CS}$ 下降沿至 $\overline{RD}$ 下降沿的延迟时间	2	ns(最小值)
t_{12}	配置模式下 $\overline{RD}$ 低电平至数据有效的使能延迟时间 $V_{DRIVE} = 4.5\text{ V}$ 至 5.25 V $V_{DRIVE} = 2.7\text{ V}$ 至 3.6 V $V_{DRIVE} = 2.3\text{ V}$ 至 2.7 V	37 25 30	ns(最小值) ns(最小值) ns(最小值)
t_{13}	$\overline{RD}$ 上升沿到 $\overline{CS}$ 上升沿	2	ns(最小值)
t_{14A}	$\overline{RD}$ 高电平至数据高阻态的禁用延迟时间	16	ns(最小值)
t_{14B}	$\overline{CS}$ 高电平至数据高阻态的禁用延迟时间	16	ns(最小值)
t_{15}	$\overline{RD}$ 上升沿与 $\overline{WR}/\overline{FSYNC}$ 下降沿之间的延迟时间	2	ns(最小值)
t_{16}	$\overline{SAMPLE}$ 脉冲宽度	$2 \times t_{CK} + 20$	ns(最小值)
t_{17}	$\overline{RD}/\overline{CS}$ 变为低电平之前的 $\overline{SAMPLE}$ 延迟时间	$6 \times t_{CK} + 20$	ns(最小值)
t_{18}	$\overline{RD}$ 低电平之前的 $\overline{RD}$ 保持时间	2	ns(最小值)
t_{19}	$\overline{RD}/\overline{CS}$ 低电平至数据有效的使能延迟时间 $V_{DRIVE} = 4.5\text{ V}$ 至 5.25 V $V_{DRIVE} = 2.7\text{ V}$ 至 3.6 V $V_{DRIVE} = 2.3\text{ V}$ 至 2.7 V	17 21 33	ns(最小值) ns(最小值) ns(最小值)
t_{20}	$\overline{RD}$ 脉冲宽度	6	ns(最小值)
t_{21}	$\overline{RD}/\overline{CS}$ 低电平时A0和A1建立时间至数据有效的时间 $V_{DRIVE} = 4.5\text{ V}$ 至 5.25 V $V_{DRIVE} = 2.7\text{ V}$ 至 3.6 V $V_{DRIVE} = 2.3\text{ V}$ 至 2.7 V	36 37 29	ns(最小值) ns(最小值) ns(最小值)
t_{22}	$\overline{WR}/\overline{FSYNC}$ 下降沿至 $\overline{SCLK}$ 上升沿的延迟时间	3	ns(最小值)
t_{23}	$\overline{WR}/\overline{FSYNC}$ 下降沿至 $\overline{SDO}$ 解除高阻态的延迟时间 $V_{DRIVE} = 4.5\text{ V}$ 至 5.25 V $V_{DRIVE} = 2.7\text{ V}$ 至 3.6 V $V_{DRIVE} = 2.3\text{ V}$ 至 2.7 V	16 26 29	ns(最小值) ns(最小值) ns(最小值)
t_{24}	$\overline{SCLK}$ 上升沿至 $\overline{DBx}$ 有效的延迟 $V_{DRIVE} = 4.5\text{ V}$ 至 5.25 V $V_{DRIVE} = 2.7\text{ V}$ 至 3.6 V $V_{DRIVE} = 2.3\text{ V}$ 至 2.7 V	24 18 32	ns(最小值) ns(最小值) ns(最小值)
t_{25}	$\overline{SCLK}$ 高电平时间	$0.4 \times t_{SCLK}$	ns(最小值)
t_{26}	$\overline{SCLK}$ 低电平时间	$0.4 \times t_{SCLK}$	ns(最小值)
t_{27}	$\overline{SCLK}$ 下降沿之前的 $\overline{SDI}$ 建立时间	3	ns(最小值)
t_{28}	$\overline{SCLK}$ 下降沿之后的 $\overline{SDI}$ 保持时间	2	ns(最小值)

参数	说明	在T _{MIN} 、T _{MAX} 的限值	单位
t ₂₉	$\overline{\text{WR/FSYNC}}$ 上升沿至SDO高阻态的延迟时间	15	ns(最小值)
t ₃₀	$\overline{\text{WR/FSYNC}}$ 下降沿之前的SAMPLE延迟时间	$6 \times t_{\text{CK}} + 20 \text{ ns}$	ns(最小值)
t ₃₁	普通模式下 $\overline{\text{CS}}$ 下降沿至 $\overline{\text{WR/FSYNC}}$ 下降沿的延迟时间	2	ns(最小值)
t ₃₂	$\overline{\text{WR/FSYNC}}$ 下降沿之前的A0和A1建立时间	2	ns(最小值)
t ₃₃	$\overline{\text{WR/FSYNC}}$ 下降沿之后的A0和A1保持时间 ²		
	普通模式下, A0 = 0, A1 = 0/1	$24 \times t_{\text{CK}} + 5 \text{ ns}$	ns(最小值)
	配置模式下, A0 = 1, A1 = 1	$8 \times t_{\text{CK}} + 5 \text{ ns}$	ns(最小值)
t ₃₄	$\overline{\text{WR/FSYNC}}$ 上升沿至 $\overline{\text{WR/FSYNC}}$ 下降沿的延迟时间	10	ns(最小值)
f _{SCLK}	SCLK输入频率		
	V _{DRIVE} = 4.5 V至5.25 V	20	MHz
	V _{DRIVE} = 2.7 V至3.6 V	25	MHz
	V _{DRIVE} = 2.3 V至2.7 V	15	MHz

¹ 温度范围如下: A、B级: -40°C至+85°C; C、D级: -40°C至+125°C。

² 在串行回读期间内, A0和A1应保持不变。要回读8位故障信息和16位位置/速度数据, 可能需要24个时钟周期。如果不需要故障信息, 可以在16个时钟周期之后释放A0/A1。

绝对最大额定值

表3.

参数	额定值
AV _{DD} 至AGND, DGND	−0.3 V至+7.0 V
DV _{DD} 至AGND, DGND	−0.3 V至+7.0 V
V _{DRIVE} 至AGND, DGND	−0.3 V至AV _{DD}
AV _{DD} 至DV _{DD}	−0.3 V至+0.3 V
AGND至DGND	−0.3 V至+0.3 V
模拟输入电压至AGND	−0.3 V至AV _{DD} + 0.3 V
数字输入电压至DGND	−0.3 V至V _{DRIVE} + 0.3 V
数字输出电压至DGND	−0.3 V至V _{DRIVE} + 0.3 V
模拟输出电压摆幅	−0.3 V至AV _{DD} + 0.3 V
输入电流至除电源外的任何引脚 ¹	±10 mA
工作温度范围(环境)	
A、B级	−40°C至+85°C
C、D级	−40°C至+125°C
存储温度范围	−65°C至+150°C
θ _{JA} 热阻 ²	54°C/W
θ _{JA} 热阻 ²	15°C/W
符合RoHS标准回流焊温度	260(−5/+0)°C
ESD	2 kV HBM

¹ 最高100 mA的瞬态电流不会造成闩锁。

² JEDEC 2S2P标准板。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

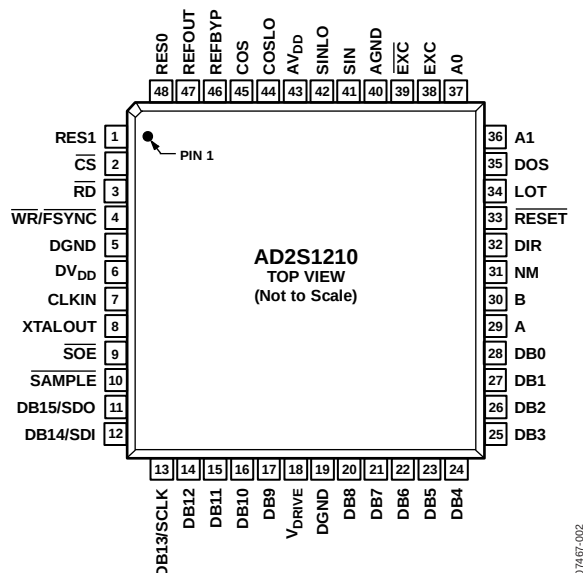


图2. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	说明
1	RES1	分辨率选择1。逻辑输入。利用RES1和RES0，可以对AD2S1210的分辨率进行编程。参见AD2S1210配置部分。
2	$\overline{CS}$	片选。低电平有效逻辑输入。 $\overline{CS}$ 保持低电平时，器件使能。
3	$\overline{RD}$	边沿触发的逻辑输入。 $\overline{SOE}$ 引脚为高电平时，该引脚用作并行数据输出DB15至DB0的帧同步信号和输出使能信号。 $\overline{CS}$ 和 $\overline{RD}$ 保持低电平时，输出缓冲器使能。 $\overline{SOE}$ 引脚为低电平时， $\overline{RD}$ 引脚应保持高电平。
4	$\overline{WR/FSYNC}$	边沿触发的逻辑输入。 $\overline{SOE}$ 引脚为高电平时，该引脚用作并行数据输入DB7至DB0的帧同步信号和输入使能信号。 $\overline{CS}$ 和 $\overline{WR/FSYNC}$ 保持低电平时，输入缓冲器使能。 $\overline{SOE}$ 引脚为低电平时， $\overline{WR/FSYNC}$ 引脚用作串行数据总线的帧同步信号和使能信号。
5, 19	DGND	数字地。这些引脚是AD2S1210数字电路的接地基准点。所有数字输入信号都参照此DGND电压。这两个引脚均可以连到系统的AGND平面。DGND和AGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
6	DV _{DD}	数字电源电压(4.75 V至5.25 V)引脚。为AD2S1210的所有数字电路提供电源电压。AV _{DD} 和DV _{DD} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
7	CLKIN	时钟输入。可以将晶振或振荡器用在CLKIN和XTALOUT引脚，以提供AD2S1210需要的时钟频率。或者，也可以将一个单端时钟施加于CLKIN引脚。AD2S1210的额定输入频率范围为6.144 MHz至10.24 MHz。
8	XTALOUT	晶体振荡器输出。当利用晶振或振荡器提供AD2S1210所需的时钟频率时，应将晶振施加在CLKIN和XTALOUT引脚上。当使用单端时钟源时，应将XTALOUT引脚视为不连接引脚。
9	$\overline{SOE}$	串行输出使能。逻辑输入。该引脚使能并行或串行接口。 $\overline{SOE}$ 引脚保持低电平时，选择串行接口； $\overline{SOE}$ 引脚保持高电平时，选择并行接口。
10	$\overline{SAMPLE}$	采样结果。逻辑输入。 $\overline{SAMPLE}$ 信号发生高电平至低电平转换后，数据从位置和速度积分器传输到位置和速度寄存器，故障寄存器也会进行更新。
11	DB15/SDO	数据位15/串行数据输出总线。 $\overline{SOE}$ 引脚为高电平时，该引脚用作DB15；一个由 $\overline{CS}$ 和 $\overline{RD}$ 控制的三态数据输出引脚。 $\overline{SOE}$ 引脚为低电平时，该引脚用作SDO，即由 $\overline{CS}$ 和 $\overline{WR/FSYNC}$ 控制的串行数据输出总线。各位在SCLK的上升沿逐个输出。
12	DB14/SDI	数据位14/串行数据输入总线。 $\overline{SOE}$ 引脚为高电平时，该引脚用作DB14；一个由 $\overline{CS}$ 和 $\overline{RD}$ 控制的三态数据输出引脚。 $\overline{SOE}$ 引脚为低电平时，该引脚用作SDI，即由 $\overline{CS}$ 和 $\overline{WR/FSYNC}$ 控制的串行数据输入总线。各位在SCLK的下降沿逐个输入。

AD2S1210

引脚编号	引脚名称	说明
13	DB13/SCLK	数据位13/串行时钟。并行模式下，该引脚用作DB13；一个由 $\overline{CS}$ 和 $\overline{RD}$ 控制的三态数据输出引脚。串行模式下，该引脚用作串行时钟输入。
14至17	DB12至DB9	数据位12至数据位9。由 $\overline{CS}$ 和 $\overline{RD}$ 控制的三态数据输出引脚。
18	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。对此引脚去耦至DGND。此引脚的电压范围为2.3 V至5.25 V，可以与AV _{DD} 和DV _{DD} 的电压范围不同，但不得超过任何一者0.3 V以上。
20	DB8	数据位8。由 $\overline{CS}$ 和 $\overline{RD}$ 控制的三态数据输出引脚。
21至28	DB7至DB0	数据位7至数据位0。由 $\overline{CS}$ 、 $\overline{RD}$ 和 $\overline{WR/FSYNC}$ 控制的三态数据输入/输出引脚。
29	A	增量式编码器仿真输出A。逻辑输出。此输出自动运行；如果施加于转换器的旋变器格式输入信号有效，则此输出有效。
30	B	增量式编码器仿真输出B。逻辑输出。此输出自动运行；如果施加于转换器的旋变器格式输入信号有效，则此输出有效。
31	NM	North Marker增量式编码器仿真输出。逻辑输出。此输出自动运行；如果施加于转换器的旋变器格式输入信号有效，则此输出有效。
32	DIR	方向。逻辑输出。此输出与增量式编码器仿真输出一同使用。DIR输出指示输入旋转的方向，角旋转不断增大时为高电平。
33	$\overline{RESET}$	复位。逻辑输入。AD2S1210需要一个外部复位信号使 $\overline{RESET}$ 输入保持低电平，直到V _{DD} 达到规定的工作电压范围4.75 V至5.25 V以内。
34	LOT	跟踪丢失。逻辑输出。LOT由LOT引脚为逻辑低电平(不锁)来表示。参见位置跟踪检测丢失部分。
35	DOS	信号降级。逻辑输出。当旋变输入(正弦或余弦)超过规定的DOS正弦/余弦阈值时，或者当正弦输入电压与余弦输入电压之间出现幅度失配时，就会检测到信号降级(DOS)。DOS由DOS引脚为逻辑低电平来表示。参见信号降级检测部分。
36	A1	模式选择1。逻辑输入。利用A1和A0可以选择AD2S1210的模式。参见AD2S1210配置部分。
37	A0	模式选择0。逻辑输入。利用A0和A1可以选择AD2S1210的模式。参见AD2S1210配置部分。
38	EXC	激励频率。模拟输出。片上振荡器向旋变器提供正弦波激励信号(EXC)及其互补信号($\overline{EXC}$)。该参考信号的频率可通过激励频率寄存器进行编程。
39	$\overline{EXC}$	激励频率。模拟输出。片上振荡器向旋变器提供正弦波激励信号(EXC)及其互补信号($\overline{EXC}$)。该参考信号的频率可通过激励频率寄存器进行编程。
40	AGND	模拟地。该引脚是AD2S1210模拟电路的接地基准点。所有模拟输入信号和外部基准信号都参照此AGND电压。AGND引脚连到系统的AGND平面。AGND和DGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
41	SIN	差分对SIN/SINLO的正模拟输入。输入范围为2.3 V p-p至4.0 V p-p。
42	SINLO	差分对SIN/SINLO的负模拟输入。输入范围为2.3 V p-p至4.0 V p-p。
43	AV _{DD}	模拟电源电压输入；电压值范围为4.75 V至5.25 V。该引脚为AD2S1210上的所有模拟电路提供电源电压。AV _{DD} 和DV _{DD} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
44	COSLO	差分对COS/COSLO的负模拟输入。输入范围为2.3 V p-p至4.0 V p-p。
45	COS	差分对COS/COSLO的正模拟输入。输入范围为2.3 V p-p至4.0 V p-p。
46	REFBYP	基准电压旁路。基准电压去耦电容连在此引脚。典型推荐值为10 μ F和0.01 μ F。
47	REFOUT	基准电压输出。
48	RES0	分辨率选择0。逻辑输入。利用RES0和RES1，可以对AD2S1210的分辨率进行编程。参见AD2S1210配置部分。

典型性能参数

除非另有说明, $T_A = 25^\circ\text{C}$, $AV_{DD} = DV_{DD} = V_{DRIVE} = 5\text{ V}$, $SIN/SINLO = 3.15\text{ V p-p}$, $COS/COSLO = 3.15\text{ V p-p}$, $CLKIN = 8.192\text{ MHz}$ 。

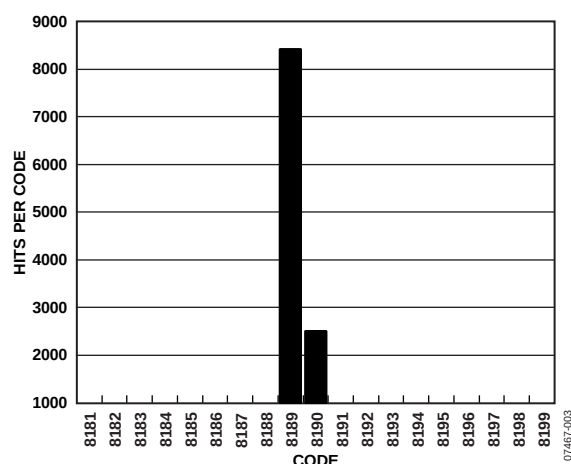


图3. 典型16位角度精度码直方图, 10,000次采样

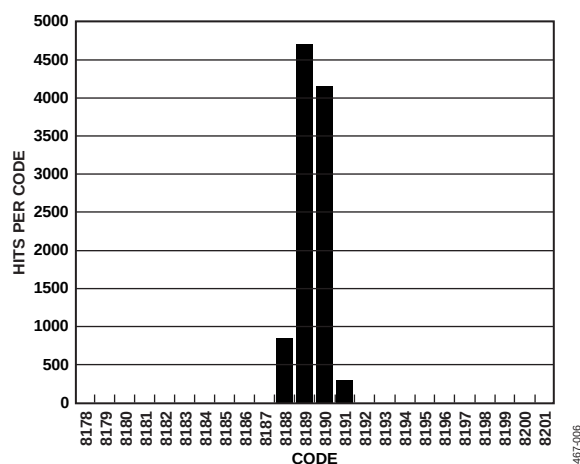


图6. 典型12位角度精度码直方图, 10,000次采样, 迟滞禁用

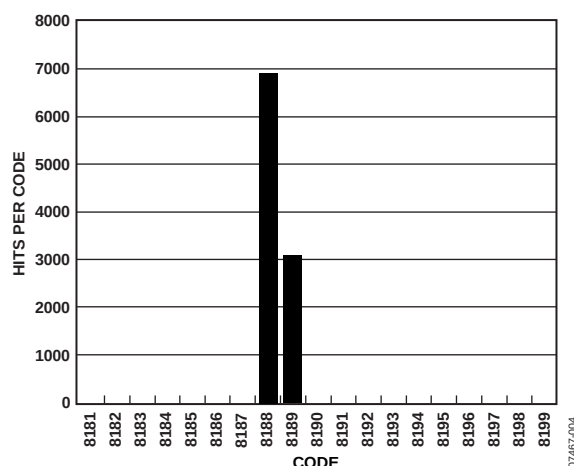


图4. 典型14位角度精度码直方图, 10,000次采样, 迟滞禁用

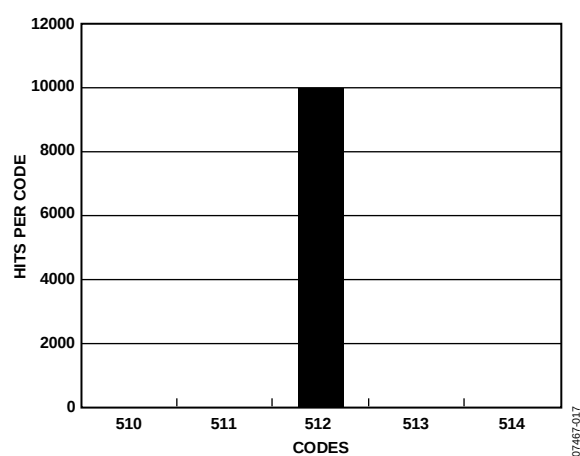


图7. 典型12位角度精度码直方图, 10,000次采样, 迟滞使能

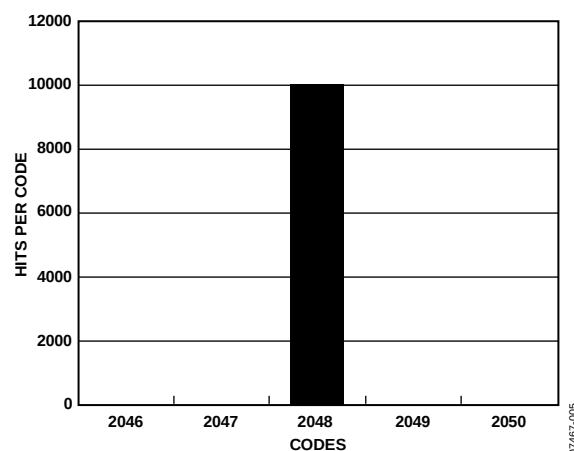


图5. 典型14位角度精度码直方图, 10,000次采样, 迟滞使能

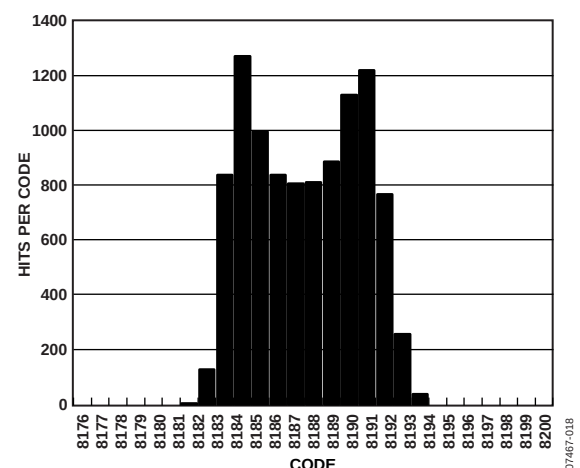


图8. 典型10位角度精度码直方图, 10,000次采样, 迟滞禁用

AD2S1210

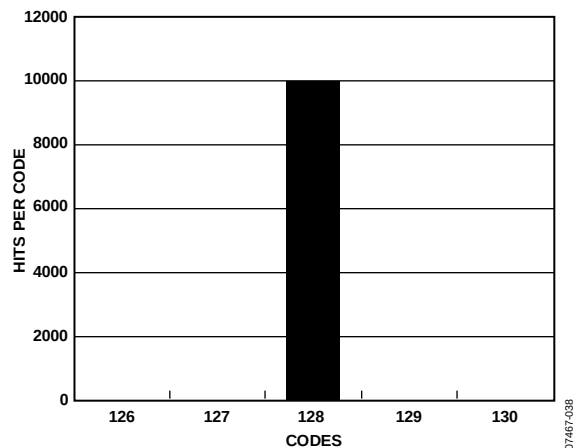


图9. 典型10位角度精度码直方图, 10,000次采样, 迟滞使能

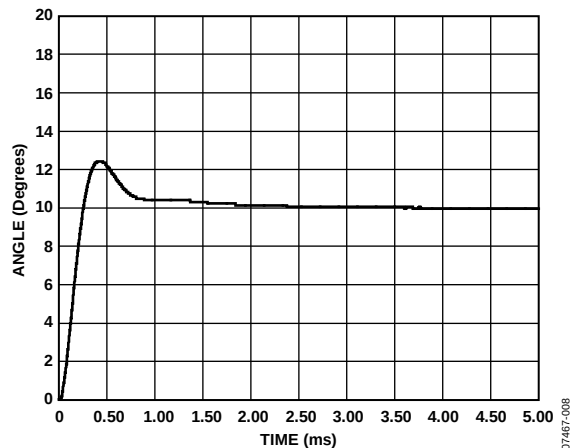


图12. 典型12位10°阶跃响应

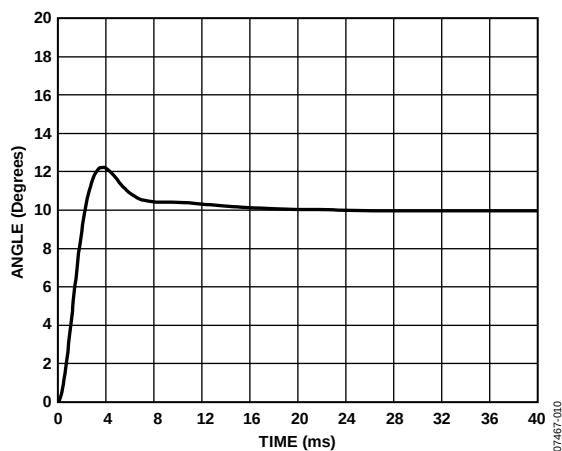


图10. 典型16位10°阶跃响应

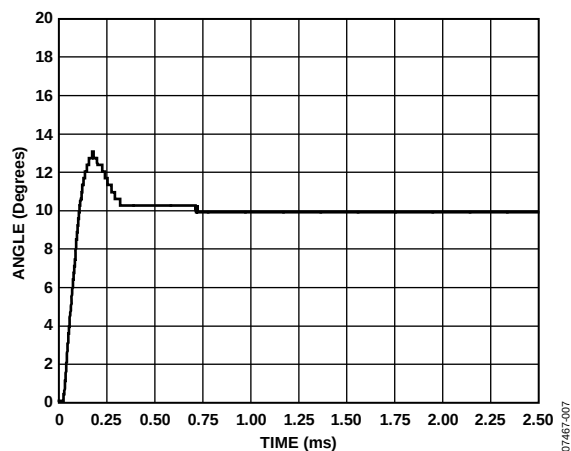


图13. 典型10位10°阶跃响应

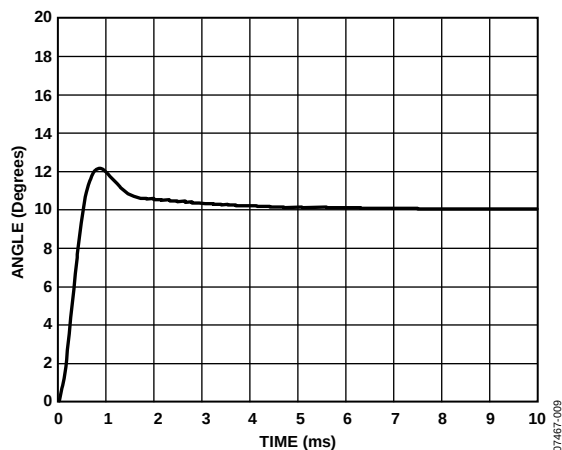


图11. 典型14位10°阶跃响应

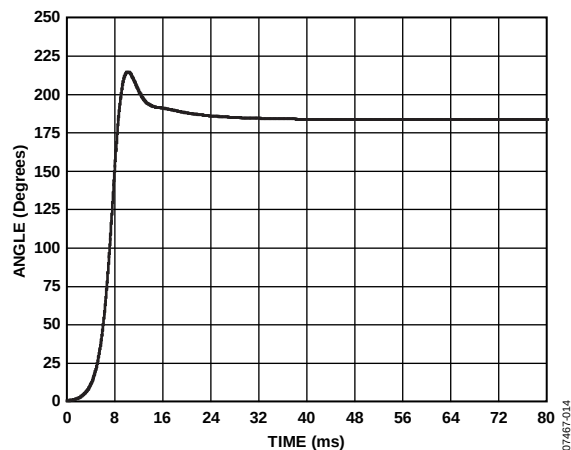


图14. 典型16位179°阶跃响应

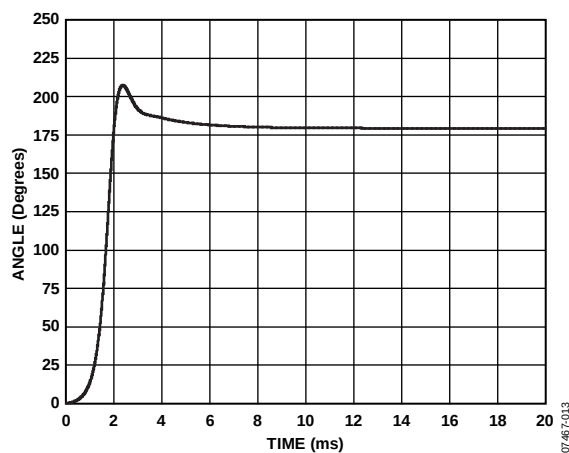


图15. 典型14位179°阶跃响应

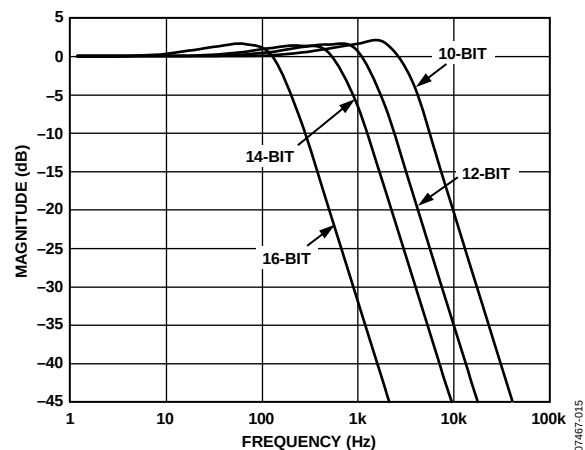


图18. 典型系统幅频响应

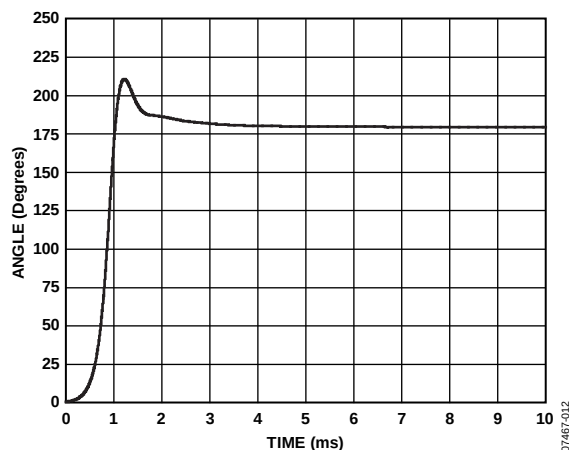


图16. 典型12位179°阶跃响应

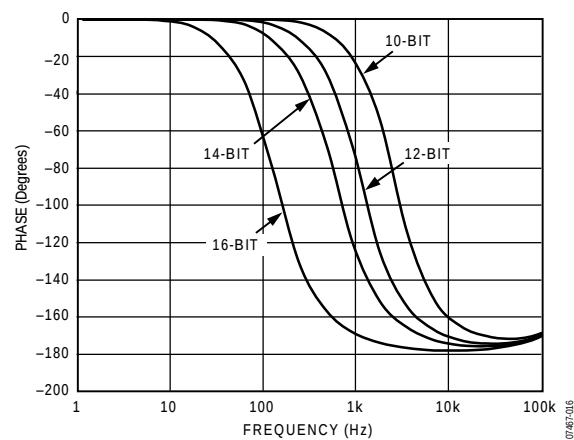


图19. 典型系统相位响应

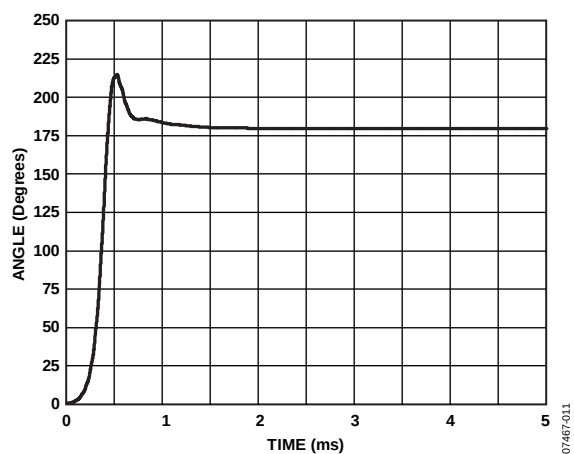


图17. 典型10位179°阶跃响应

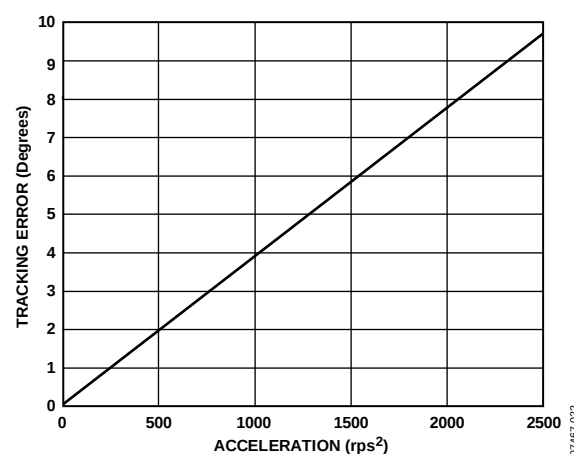


图20. 典型16位跟踪误差与加速度的关系

AD2S1210

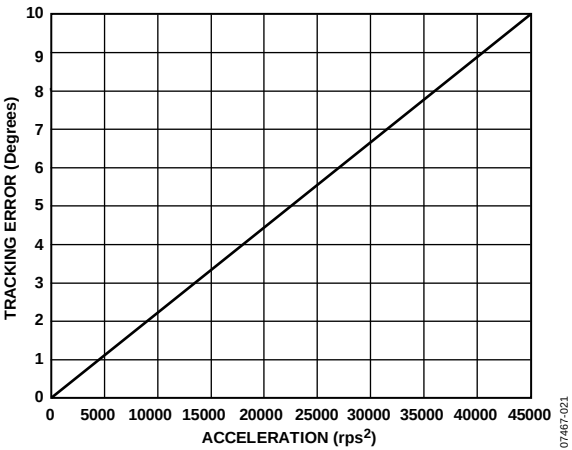


图21. 典型14位跟踪误差与加速度的关系

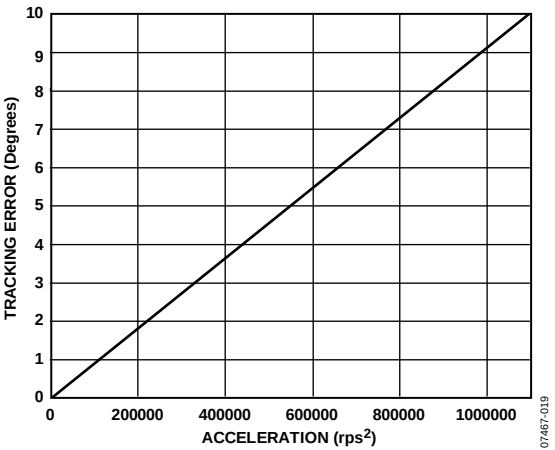


图23. 典型10位跟踪误差与加速度的关系

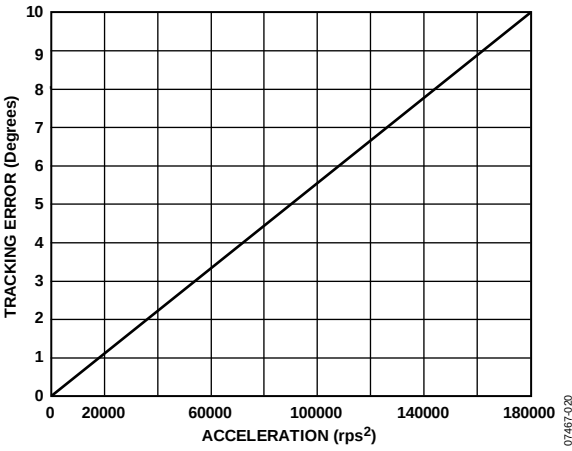


图22. 典型12位跟踪误差与加速度的关系

旋变格式信号

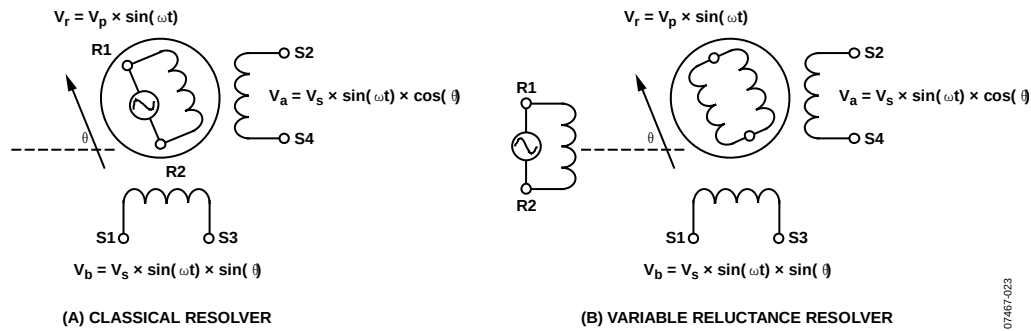


图24. 经典旋转变压器与可变磁阻旋转变压器

旋变器是一种旋转变压器，通常配置是初级绕组位于转子上，两个次级绕组则位于定子上。不过，可变磁阻旋变器的转子上不存在绕组，如图24所示。初级绕组和次级绕组均位于定子上，但转子的特殊设计使得次级耦合随着角位置变化而发生正弦变化。无论何种配置，旋变输出电压(S3 – S1, S2 – S4)的计算公式均相同，如公式1所示。

$$\begin{aligned} S3 - S1 &= E_0 \sin \omega t \times \sin \theta \\ S2 - S4 &= E_0 \sin \omega t \times \cos \theta \end{aligned} \quad (1)$$

其中：

θ 为轴角。

$\sin \omega t$ 为转子激励频率。

E_0 为转子激励幅度。

两个定子绕组机械错位 90° (参见图24)。初级绕组采用交流基准源激励。随后在定子次级绕组上的耦合的幅度是转子(轴)相对于定子的位置的函数。因此，旋变产生由轴角的正弦和余弦调制的两个输出电压(S3 – S1, S2 – S4)。旋变格式信号是指从旋变输出获得的信号，如公式1所示。图25为输出格式的示意图。

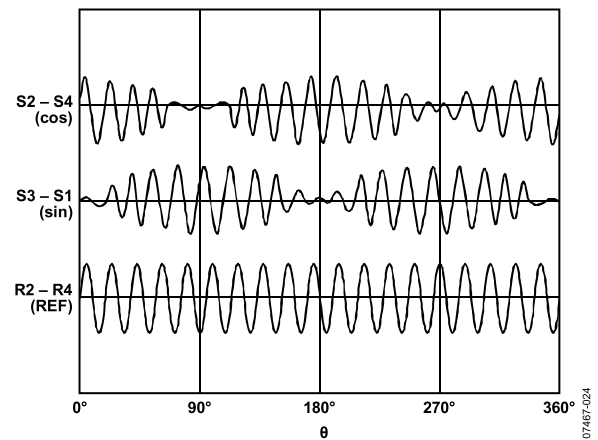


图25. 旋变电信号

工作原理

旋变-数字转换

AD2S1210按照Type II跟踪闭环原理工作。输出连续跟踪旋变的位置，而不需要外部转换和等待状态。当旋变的位置旋转了相当于最低有效位的角度时，输出更新1 LSB。

转换器产生输出角 ϕ ，反馈后与输入角 θ 进行比较，藉此来跟踪轴角 θ ；两个角度之差即为误差，如果转换器正确跟踪输入角，误差趋于0。为了测量误差，将S3-S1乘以 $\cos\phi$ ，并将S2-S4与 $\sin\phi$ 相乘。

$$E_0 \sin \omega t \times \sin \theta \cos \phi \text{ (for S3 - S1)}$$

$$E_0 \sin \omega t \times \cos \theta \sin \phi \text{ (for S2 - S4)}$$

二者的差值为：

$$E_0 \sin \omega t \times (\sin \theta \cos \phi - \cos \theta \sin \phi) \quad (2)$$

利用内部产生的合成基准信号来解调该信号，得到下式：

$$E_0 (\sin \theta \cos \phi - \cos \theta \sin \phi) \quad (3)$$

公式3等效于 $E_0 \sin(\theta - \phi)$ ；当 $\theta - \phi$ 的值(角误差)较小时， $E_0 \sin(\theta - \phi)$ 约等于 $E_0(\theta - \phi)$ 。

$E_0(\theta - \phi)$ 是转子的角误差与转换器的数字角输出之间的差值。

一个闭环系统由一个相位敏感的解调器、一些积分器和一个补偿滤波器形成，它可以将误差信号归零。当该目标得以实现时，在转换器的额定精度范围内， ϕ 等于旋变器角度 θ 。之所以使用Type II跟踪环路，是因为它能跟踪恒定速度输入，而不存在固有误差。

故障检测电路

AD2S1210故障检测电路可以检测旋变信号丢失、超范围输入信号、输入信号失配或位置跟踪丢失。发生故障时，AD2S1210所指示的位置可能与旋变的实际轴位置偏差很大。

监控信号

AD2S1210将位置寄存器中的角度与来自旋变的正弦和余弦输入信号进行比较，产生一个监控信号。该监控信号的产生方式与“旋变-数字转换”部分所述的误差信号相似。输入信号 $\sin\theta$ 和 $\cos\theta$ 分别乘以输出角的 $\sin$ 和 $\cos$ 值，然后相加。

$$\text{监控} = A1 \times \sin \theta \times \sin \phi + A2 \times \cos \theta \times \cos \phi \quad (4)$$

其中：

A1为正弦输入信号的幅度($A1 \times \sin\theta$)。

A2为余弦输入信号的幅度($A2 \times \cos\theta$)。

θ 为旋变器角度。

ϕ 为存储在位置寄存器中的角度。

请注意，公式4显示的是解调之后的情形，载波信号 $\sin\omega t$ 被消除。此外，对于匹配的输入信号(即没有发生故障)， $A1 = A2$ 。

当 $A1 = A2$ 且转换器正确跟踪($\theta = \phi$)时，监控信号输出具有恒定的幅度A1(监控 = $A1 \times (\sin^2 \theta + \cos^2 \theta) = A1$)，它与轴角无关。当 $A1 \neq A2$ 时，监控信号幅度以两倍的轴旋转速率在A1与A2之间变化。监控信号用于检测输入信号是否降级或丢失，如下文所述。

信号丢失检测

当发生下述四种情况中的一种情况时，AD2S1210即指示已发生信号丢失(LOS)。

- 任一旋变输入(正弦或余弦)降至指定的LOS正弦/余弦阈值以下。此阈值由用户定义，通过写入内部寄存器(地址0x88，参见寄存器图部分)进行设置。
- 任一旋变输入引脚(SIN、SINLO、COS或COSLO)与传感器断开连接。
- 任一旋变输入引脚(SIN、SINLO、COS或COSLO)对AD2S1210的电源轨或接地轨削波。参见正弦/余弦输入削波部分。
- 发生配置奇偶校验错误。参见配置奇偶校验错误部分。

如果旋变的任一定子绕组(正弦或余弦)开路或具有若干短路环，就会引起信号丢失情况。LOS由DOS和LOT引脚均钳锁为逻辑低电平输出来表示。当用户进入配置模式并读取故障寄存器时，DOS和LOT引脚复位至无故障状态。LOS条件的优先级高于DOS和LOT条件，如表6所示。为了确定LOS故障检测的原因，用户必须读取故障寄存器(地址0xFF，参见寄存器映射部分)。

当由于旋变输入(正弦或余弦)降至指定的LOS正弦/余弦阈值以下而检测到信号丢失时，旋变在AD2S1210可检测到LOS之前可能转过的电角度称为LOS角度延迟。它由用户指定的LOS正弦/余弦阈值和施加于AD2S1210的输入信号最大幅度决定。最差情况角度延迟可以通过下式计算：

$$\text{角度延迟} = 2 \times \text{Arc cos} \left[\frac{\text{LOS阈值}}{\text{最大正弦/余弦幅度}} \right] \quad (5)$$

以上公式基于AD2S1210在指示LOS故障前可以看到的最差情况下的角度误差。最差情况是指旋变的一个输入信号(正弦或余弦)丢失,而另一个信号位于其峰值幅度;例如:正弦输入丢失,而输入角度为90°。最差情况角度延迟是最差情况角度误差的两倍。

信号降级检测

当发生下述两种情况中的一种情况时,AD2S1210即指示已发生信号降级(DOS)。

- 任一旋变输入(正弦或余弦)超过指定的DOS正弦/余弦阈值。此阈值由用户定义,通过写入内部寄存器(地址0x89,参见寄存器映射部分)进行设置。
- 正弦与余弦输入信号的幅度失配超过指定的DOS正弦/余弦失配阈值。此阈值由用户定义,通过写入内部寄存器(地址0x8A,参见寄存器映射部分)进行设置。AD2S1210将监控信号的最小和最大幅度连续存入内部寄存器,并计算最小值与最大值的差值,以判断是否发生DOS失配。内部最小值和最大值寄存器的初始值必须由用户分别在地址0x8C和地址0x8B中定义(参见寄存器映射部分)。

DOS由DOS引脚为逻辑低电平来表示。指示DOS后,输出门锁在低电平,直到用户进入配置模式并读取故障寄存器。DOS条件的优先级高于LOT条件,如表6所示。为了确定DOS故障检测的原因,用户必须读取故障寄存器(地址0xFF,参见寄存器映射部分)。

LOS和DOS检测的时间延迟

请注意,监控信号是在AD2S1210内部时钟的有效沿产生。内部时钟是由外部施加的CLKIN频率2分频产生;当使用8.192 MHz的CLKIN频率时,AD2S1210内部时钟为4.096 MHz。AD2S1210将监控信号的最小和最大幅度连续存入内部寄存器,并以设定的时间间隔将这些内部寄存器中存储的值与用户配置的LOS和DOS阈值进行比较。该时间间隔称为窗口计数器周期,取决于用户所配置的激励频率。设置时间间隔时,应确保两个窗口计数器周期至少包括施加于旋变的激励频率的一个完整周期。窗口计数器周期用内部时钟

周期定义。针对AD2S1210的激励频率范围,窗口计数器周期如表5所示。

表5. 窗口计数器周期与激励频率范围的关系, CLKIN = 8.192 MHz

激励频率范围	内部时钟周期数	窗口计数器周期(μs) ¹
2 kHz ≤ Exc Freq < 4 kHz	1065	260
4 kHz ≤ Exc Freq < 8 kHz	554	135.25
8 kHz ≤ Exc Freq ≤ 20 kHz	256	62.5

¹ CLKIN = 8.192 MHz窗口计数器周期与时钟频率成比例,计算方法是将内部时钟周期数乘以内部时钟频率(即CLKIN/2)的周期。

当旋变输入(正弦或余弦)低于或超过LOS和DOS阈值时,AD2S1210会在两个窗口计数器周期以内检测到LOS或DOS。例如,对于10 kHz的激励频率,故障检测时间在125 μs以内。检测持续故障的时间在读取和清除故障寄存器的一个窗口计数器周期以内。

请注意,检测DOS失配故障的时间延迟取决于旋变的旋转速度。最差情况下,DOS失配故障检测的时间延迟为旋变旋转一整周所需的时间。

位置跟踪丢失检测

当发生下述情况时,AD2S1210即指示已发生跟踪丢失(LOT)。

- AD2S1210的内部误差信号已超过指定的角度阈值。此阈值由用户定义,通过写入内部寄存器(地址0x8D,参见寄存器映射部分)进行设置。
- 输入信号超过最大跟踪速率。最大跟踪速率取决于用户定义的分辨率和CLKIN频率。

LOT由LOT引脚为逻辑低电平(不门锁)来表示。LOT具有迟滞,直到内部误差信号小于LOT下限寄存器(地址0x8E,参见寄存器映射部分)中定义的值时才会被清除。

当超过最大跟踪速率时,则只有等到速度小于最大跟踪速率,并且内部误差信号小于LOT下限寄存器中定义的值时,LOT才会被清零。LOT可以指示位置的阶跃变化(例如在将一个RESET信号施加于AD2S1210之后)。

它还能用作内置测试功能,以指示跟踪转换器正常工作。LOT条件的优先级低于DOS和LOS条件,如表6所示。LOT和DOS引脚不能用来同时指示LOT和DOS情况。不过,故障寄存器会单独指示每种情况。为了确定LOT故障检测的原因,用户必须读取故障寄存器(地址0xFF,参见寄存器映射部分)。

AD2S1210

表6. 故障检测解码

条件	DOS引脚	LOT引脚	优先级
信号丢失(LOS)	0	0	1
信号降级(DOS)	0	1	2
跟踪丢失(LOT)	1	0	3
无故障	1	1	N/A

正弦/余弦输入削波

如果任一旋变输入引脚(SIN、SINLO、COS或COSLO)对AD2S1210的电源轨或接地轨削波，AD2S1210将指示已发生削波错误。如果输入幅度小于0.15 V或大于 $AV_{DD} - 0.2$ V并持续4 μ s以上，它将指示削波故障。

正弦/余弦输入削波错误由DOS和LOT引脚均闩锁为逻辑低电平输出来表示。故障寄存器的位D7也会通过设为高来表示正弦/余弦输入削波错误。当用户进入配置模式并读取故障寄存器时，DOS和LOT引脚复位至无故障状态。

配置奇偶校验错误

AD2S1210包括多个用户可编程寄存器，允许用户对该器件进行配置。AD2S1210的各读/写寄存器由用户利用7位信息进行编程。第8位是保留的奇偶校验位。如果这些寄存器中的数据被破坏，AD2S1210将指示已发生配置奇偶校验错误。配置奇偶校验错误由DOS和LOT引脚均闩锁为逻辑低电平输出来表示。故障寄存器的位D0也会通过设为高电平来表示配置奇偶校验错误。发生奇偶校验错误时，建议用户通过RESET引脚复位器件。

锁相错误

如果激励频率的相位与正弦和余弦信号的相位二者之差超过指定的锁相范围，AD2S1210将指示已发生锁相错误。锁相错误由LOT引脚为逻辑低电平(不闩锁)来表示。故障寄存器的位D1也会通过设为高来表示锁相错误。

片上可编程正弦波振荡器

片上振荡器向旋变提供正弦波激励信号(EXC)及其补码信号($\overline{\text{EXC}}$)。可以将此参考信号的频率设置为2 kHz至20 kHz范围内的多个标准频率。此信号的幅度为3.6 V p-p，中心电压为2.5 V。

AD2S1210的参考激励输出需要一个外部缓冲放大器来提供增益和额外电流，以驱动旋变。

AD2S1210还提供一个相位锁定至其正弦和余弦输入的内置合成参考信号。旋变初级绕组与次级绕组之间的相位误差会降低RDC的精度，而该同步参考信号可以补偿相位误差。它还能补偿温度和传输线缆所引起的相移，从而不需要外部预设相位补偿电路。

合成参考生成

当旋变高速旋转时，RDC往往会像电机一样，在提供理想的正弦和余弦输出的同时产生速度电压。这些速度电压与主信号波形正交。此外，旋变绕组的非零电阻会导致参考输入与正弦和余弦输出之间发生非零相移。速度电压和相移的结合导致RDC出现跟踪误差，它近似等于：

$$\text{误差} = \text{相移} \times \frac{\text{旋转速率}}{\text{参考频率}} \tag{6}$$

为了补偿以上所述的旋变参考激励与正弦/余弦信号之间的相位误差，RDC内部会产生一个与参考频率载波同相的合成参考信号。合成参考信号利用内部滤波的正弦和余弦信号获得，其生成方法是：确定正弦或余弦(为了提高相位精度，取二者中的较大信号)的零交越，并且评估旋变参考激励的相位。合成参考可将参考与正弦/余弦输入之间的相移降至10°以下，对 $\pm 44^\circ$ 的相移有效。如果需要更大的锁相范围，则可将控制寄存器中的位D5设为0，以将锁相范围扩大到360°(参见控制寄存器部分)。

转换器的连接

AGND和DGND引脚接地(见图26)。5 V DC $\pm$ 5%的正电源(V_{DD})连到 AV_{DD} 和 DV_{DD} 引脚；去耦电容的典型值为10 nF和4.7 μ F。这些电容应尽可能靠近器件引脚， AV_{DD} 和 DV_{DD} 都要连接去耦电容。 V_{DRIVE} 引脚连到微处理器的电源。施加于 V_{DRIVE} 输入的电压控制并行和串行接口的电压。 V_{DRIVE} 可以设为5 V、3 V或2.5 V，其去耦电容的典型值为10 nF和4.7 μ F。振荡器去耦电容的典型值为20 pF，而参考去耦电容的典型值为10 nF和10 μ F。

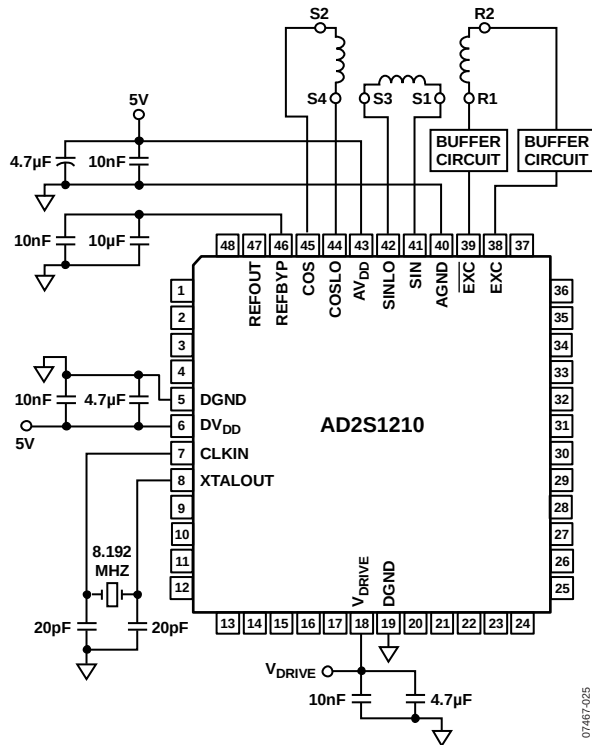


图26. 连接AD2S1210与旋变

在此推荐配置中，转换器在旋变的SIN、SINLO、COS和COSLO信号输出中引入 $V_{REF}/2$ 偏移。如果正弦和余弦信号符合建议的规格，各信号可以连接到不同的对地电位。请注意：EXC和 $\overline{\text{EXC}}$ 输出为差分式，本身具有2倍的增益。

图27显示了建议的缓冲电路。电容C1可以与电阻R2并联，以滤除EXC和 $\overline{\text{EXC}}$ 输出上可能存在的任何噪声。应谨慎选择此滤波器的截止频率，确保滤波器所引起的载波相移不超过AD2S1210的锁相范围。

电路的增益为：

$$\text{载波增益} = -(R2/R1) (1/(1+R2 \times C1 \times \omega)) \quad (7)$$

以及

$$V_{OUT} = \left(V_{REF} \times \left(1 + \frac{R2}{R1} \right) \right) - \left(\frac{R2}{R1} \right) \times \left(\frac{1}{1 + R2 \times C1 \times \omega} \right) V_{IN} \quad (8)$$

其中：

ω 是所用信号的角频率。

V_{REF} 是一个直流电压，其值应使得 V_{OUT} 总是一个正值，从而不需要负电源。

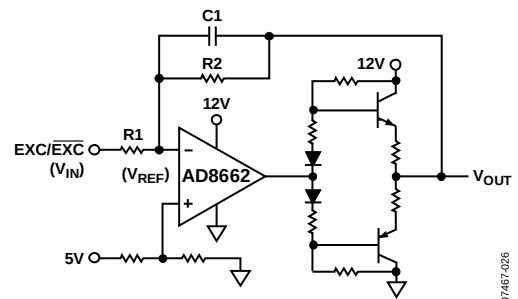


图27. 缓冲电路

对于模拟输入引脚SIN、SINLO、COS和COSLO，推荐使用单独的屏蔽双绞线电缆。屏蔽应端接在REFOUT或AGND处。

AD2S1210配置

工作模式

AD2S1210有两种工作模式：配置模式和普通模式。配置模式用于对寄存器进行编程，以设置AD2S1210的激励频率、分辨率和故障检测阈值。配置模式也可用于回读故障寄存器中的信息。位置和速度寄存器中的数据也可以在配置模式下进行回读。AD2S1210可以完全工作在配置模式下；或者初始配置完成后，可以让器件离开配置模式，工作在普通模式下。在普通模式下工作时，数据输出可提供角位置或角速度数据。A0和A1输入用来确定AD2S1210是否处于配置模式，以及是否将位置或速度数据提供给输出引脚，参见表8。

设置激励频率

将频率控制字写入激励频率寄存器(地址0x91，参见寄存器映射部分)，可以设置AD2S1210的激励频率。

激励频率 = $\frac{(FCW \times f_{CLKIN})}{2^{15}}$

其中FCW为频率控制字， f_{CLKIN} 为AD2S1210的时钟频率。

激励频率的规定范围是从2 kHz到20 kHz，以250 Hz的增量进行设置。为了实现表1中的角度精度指标，应按照表7所列选择激励频率。

表7. 建议激励频率与分辨率的关系($f_{CLKIN} = 8.192\text{ MHz}$)

分辨率	典型带宽	最小激励频率	最大激励频率
10位	4100 Hz	10 kHz	20 kHz
12位	1700 Hz	6 kHz	20 kHz
14位	900 Hz	3 kHz	12 kHz
16位	250 Hz	2 kHz	10 kHz

请注意，各种分辨率和带宽所对应的推荐频率范围(如表7所示)是针对8.192 MHz的时钟频率而定义的。推荐的激励频率范围与AD2S1210的时钟频率成比例。当以8.192 MHz的时钟频率工作时，AD2S1210的默认激励频率为10 kHz。

A0和A1输入

AD2S1210允许用户直接从并行输出或通过串行接口读取角位置或角速度数据。利用A0和A1输入可以选择所需的信息。这些输入也可用于使器件进入配置模式。故障寄存器和其余片内寄存器的数据可以在配置模式下进行访问。

表8. 配置模式设置

A0	A1	结果
0	0	普通模式—位置输出
0	1	普通模式—速度输出
1	0	保留
1	1	配置模式

RES0和RES1输入

普通模式下，数字输出的分辨率利用RES0和RES1输入引脚进行选择。配置模式下，分辨率的选择是通过设置控制寄存器中的RES0和RES1位。切换普通模式与配置模式时，用户负责确保控制寄存器中设置的分辨率与RES0和RES1输入引脚所设置的分辨率一致。如果两种分辨率设置不同，输出数据可能不正确。

表9. 分辨率设置

RES0	RES1	分辨率(位)	位置LSB(弧分)	速度LSB(rps) ¹
0	0	10	21.1	4.88
0	1	12	5.3	0.488
1	0	14	1.3	0.06
1	1	16	0.3	0.004

¹ CLKIN = 8.192 MHz.速度LSB大小和最大跟踪速率与CLKIN频率成正比。

寄存器映射

表10. 寄存器存储区分配

寄存器名称	寄存器地址	寄存器数据	读/写寄存器
位置	0x80	D15至D8	只读
	0x81	D7至D0	只读
速度	0x82	D15至D8	只读
	0x83	D7至D0	只读
LOS阈值	0x88	D7至D0	读/写
DOS超量程阈值	0x89	D7至D0	读/写
DOS失配阈值	0x8A	D7至D0	读/写
DOS复位最大阈值	0x8B	D7至D0	读/写
DOS复位最小阈值	0x8C	D7至D0	读/写
LOT上限	0x8D	D7至D0	读/写
LOT下限	0x8E	D7至D0	读/写
激励频率	0x91	D7至D0	读/写
控制	0x92	D7至D0	读/写
软复位	0xF0	D7至D0	只写
故障	0xFF	D7至D0	只读

位置寄存器

表11. 16位寄存器

地址	位	读/写
0x80	D15至D8	只读
0x81	D7至D0	只读

位置寄存器包含旋变输入信号的角位置的数字表示。值以16位二进制格式存储。位置寄存器中的值在SAMPLE输入的下沿之后更新。

请注意，当使能迟滞(参见控制寄存器部分)且分辨率较低时，16位数字输出的多位LSB设为0。例如，对于10位分辨率，数据位D15至D6提供有效数据，D5至D0则设为0。当迟滞禁用时，无论分辨率为多少，位置寄存器中存储的值都是16位。分辨率较低时，可以忽略16位数字输出的多位LSB。例如，对于10位分辨率，数据位D15至D6提供有效数据，D5至D0则可以忽略。

速度寄存器

表12. 16位寄存器

地址	位	读/写
0x82	D15至D8	只读
0x83	D7至D0	只读

速度寄存器包含旋变输入信号的角速度的数字表示。速度寄存器中的值在采样输入的下沿之后更新。值以16位二

进制补码格式存储。对于各分辨率，AD2S1210可跟踪的最大速度见表1。例如，对于16位分辨率、8.192 MHz输入时钟，AD2S1210的最大跟踪速率为 ± 125 rps。如果速度为 $+125$ rps，0x7FFF将被存储在速度寄存器中；如果速度为 -125 rps，0x8000将被存储在速度寄存器中。

无论分辨率为多少，速度寄存器中存储的值都是16位。分辨率较低时，应忽略16位数字输出的多位LSB。例如，对于10位分辨率，数据位D15至D6提供有效数据，D5至D0则应被忽略。对于10位分辨率、8.192 MHz输入时钟，AD2S1210的最大跟踪速率为 ± 2500 rps。如果速度为 $+2500$ rps，0x1FFF将被存储在速度寄存器的位D15至D6中；如果速度为 -2500 rps，0x3FFF将被存储在速度寄存器的位D15至D6中。在这个10位的例子中，速度输出的LSB大小为4.88 rps。

LOS阈值寄存器

表13. 8位寄存器

地址	位	读/写
0x88	D7至D0	读/写

LOS阈值寄存器决定AD2S1210的信号丢失阈值。AD2S1210允许用户在0 V至4.82 V范围内设置LOS阈值。LOS阈值的分辨率为7位，即38 mV。请注意，MSB (D7)应设为0。上电时LOS阈值的默认值为2.2 V。

DOS超量程阈值寄存器

表14. 8位寄存器

地址	位	读/写
0x89	D7至D0	读/写

DOS超量程阈值寄存器决定AD2S1210的信号降级阈值。AD2S1210允许用户在0 V至4.82 V范围内设置DOS超量程阈值。DOS超量程阈值的分辨率为7位，即38 mV。请注意，MSB (D7)应设为0。上电时DOS超量程阈值的默认值为4.1 V。

DOS失配阈值寄存器

表15. 8位寄存器

地址	位	读/写
0x8A	D7至D0	读/写

DOS失配阈值寄存器决定AD2S1210的信号失配阈值。AD2S1210允许用户在0 V至4.82 V范围内设置DOS失配阈值。DOS失配阈值的分辨率为7位，即38 mV。请注意，MSB (D7)应设为0。上电时DOS失配阈值的默认值为380 mV。

AD2S1210

DOS复位最大和最小阈值寄存器

表16. 8位寄存器

地址	位	读/写
0x8B	D7至D0	读/写
0x8C	D7至D0	读/写

AD2S1210将监控信号的最小和最大幅度连续存入内部寄存器，并计算最小值与最大值的差值，以判断是否发生DOS失配。内部最小值和最大值寄存器的初始值必须由用户定义。故障寄存器清除时，存储监控信号的最大和最小幅度的寄存器复位至DOS复位最大和最小阈值寄存器中存储的值。DOS复位最大和最小阈值的分辨率均为7位，即38 mV。请注意，MSB (D7)应设为0。为确保正常工作，建议将DOS复位最小阈值寄存器设为比DOS超量程阈值至少小1 LSB，将DOS复位最大阈值寄存器设为比LOS阈值寄存器至少大1 LSB。DOS复位最小阈值寄存器和DOS复位最大阈值寄存器的默认值分别为3.99 V和2.28 V。

LOT上限寄存器

表17. 8位寄存器

地址	位	读/写
0x8D	D7至D0	读/写

LOT上限寄存器决定AD2S1210的位置跟踪丢失阈值。LOT上限为7位字。请注意，MSB (D7)应设为0。LOT下限的范围、LSB大小和上电时LOT下限的默认值取决于AD2S1210的分辨率设置，如表19所示。

LOT下限寄存器

表18. 8位寄存器

地址	位	读/写
0x8E	D7至D0	读/写

LOT下限寄存器决定位置跟踪丢失故障检测的迟滞电平。当AD2S1210的内部误差信号超过LOT上限时，即发生跟踪丢失(LOT)情况。LOT具有迟滞，直到内部误差信号小于LOT下限寄存器中定义的值时才会被清除。LOT下限为7位字。请注意，MSB (D7)应设为0。LOT下限的范围、LSB大小和上电时LOT下限的默认值取决于AD2S1210的分辨率设置，如表19所示。

表19. LOT上限/下限

分辨率(位)	范围(度)	LSB大小(度)	LOT默认下限(度)	LOT默认上限(度)
10	0至45	0.35	2.5	12.5
12	0至18	0.14	1.0	5.0
14	0至9	0.09	0.5	2.5
16	0至9	0.09	0.5	2.5

激励频率寄存器

表20. 8位寄存器

地址	位	读/写
0x91	D7至D0	读/写

激励频率寄存器决定AD2S1210激励输出的频率。要设置激励频率，须将一个7位频率控制字写入该寄存器。请注意，MSB (D7)应设为0。

$$FCW = \frac{(\text{激励频率} \times 2^{15})}{f_{CLKIN}} \quad (9)$$

其中FCW为频率控制字， f_{CLKIN} 为AD2S1210的时钟频率。激励频率的规定范围是从2 kHz到20 kHz，以250 Hz的增量进行设置。为了确保AD2S1210在规定的频率范围内工作，频率控制字应为0x4与0x50之间的值。

例如，如果用户要求激励频率为5 kHz，而时钟频率为8.192 MHz，则需要编程的码可由下式算出：

$$FCW = \frac{(5 \text{ kHz} \times 2^{15})}{8.192 \text{ MHz}} = 14 \text{ (十六进制)}$$

上电时AD2S1210的默认激励频率为10 kHz。

控制寄存器

表21. 8位寄存器

地址	位	读/写
0x92	D7至D0	读/写

控制寄存器为8位寄存器，用于设置AD2S1210的控制模式。上电时控制寄存器的默认值为0x7E。

表22. 控制寄存器位功能描述

位	说明
D7	地址/数据位
D6	保留，置1
D5	锁相范围 $0 = 360^\circ, 1 = \pm 44^\circ$
D4	$0 =$ 禁用迟滞， $1 =$ 使能迟滞
D3	设置编码器分辨率EnRES1
D2	设置编码器分辨率EnRES0
D1	设置分辨率RES1
D0	设置分辨率RES0

地址/数据位

写入AD2S1210的每个8位字的MSB决定该8位字是寄存器地址还是数据。AD2S1210所定义的各寄存器地址的MSB (D7) 为高。写入AD2S1210的各数据字的MSB为低。

请注意，将一个数据字写入AD2S1210时，MSB会在内部重新配置为奇偶校验位。当从任何读/写寄存器(见表10)读取数据时，位D6至D0的奇偶校验会重新加以计算，并与先前存储的奇偶校验位进行比较。8位输出的MSB用来指示是否发生配置错误。如果MSB返回高，则表明从器件回读的数据与在上一个写入周期中写入器件的配置数据不一致。

锁相范围

锁相范围允许AD2S1210补偿激励频率与正弦/余弦输入的相位差。推荐工作模式是使用默认锁相范围 $\pm 44^\circ$ 。如果需要更大的锁相范围，可以设置 360° 范围。不过，在这种工作模式下，AD2S1210在发生信号丢失故障后应当复位。如果不复位，可能导致角度输出数据出现 180° 误差。

迟滞

AD2S1210的位置积分器输出与位置寄存器输入之间有 ± 1 LSB的迟滞。在高噪声环境下工作时，此迟滞可以用来防止LSB闪烁。AD2S1210的最大跟踪速度由带宽决定。各分辨率设置对应不同的带宽，如表1所示。最大跟踪速度和带宽与分辨率成反比，即最大跟踪速度随着分辨率的降低而提高。用户可以选择禁用迟滞，以便对位置输出进行过采样，并且在指定的带宽内通过外部均值滤波实现更高分辨率输出。

设置控制寄存器的位D4可以使能或禁用迟滞功能。上电时默认使能迟滞。

设置编码器分辨率

AD2S1210编码器输出的分辨率可以与数字输出的分辨率相同，也可以比后者低。例如，当AD2S1210位置输出的分辨率设为16位时，编码器输出的分辨率可以设为14、12或10位。这样，用户可以利用较低带宽实现16位分辨率设置的高性能，而无需在外部对A-quad-B编码器输出进行分频。上电时编码器输出的默认分辨率为16位。参见增量式编码器输出部分。

表23. 编码器分辨率设置

EnRES0	EnRES1	分辨率(位)
0	0	10
0	1	12
1	0	14
1	1	16

设置分辨率

普通模式下，数字输出的分辨率利用RES0和RES1输入引脚进行选择(见表9)。配置模式下，分辨率的选择是通过设置控制寄存器中的RES0和RES1位。切换普通模式与配置模式时，用户负责确保控制寄存器中设置的分辨率与RES0和RES1输入引脚所设置的分辨率一致。上电时数字输出的默认分辨率为12位。

软件复位寄存器

表24. 8位寄存器

地址	位	读/写
0xF0	D7至D0	只写

用户在配置模式下寻址软件复位寄存器，即将软件复位寄存器的8位地址0xF0写入AD2S1210，将启动AD2S1210的软件复位。软件复位会重新初始化激励频率输出和内部Type II跟踪环路。软件复位不会覆盖配置寄存器中存储的数据。但应注意，故障寄存器中的数据会复位。在采用两个或更多旋变-数字转换器，并利用同一时钟源驱动这些转换器的应用中，可以使用软件复位来同步所有转换器激励频率的相位。

故障寄存器

表25. 8位寄存器

地址	位	读/写
0xFF	D7至D0	只读

AD2S1210能够检测8种独立的故障条件。发生故障时，DOS和/或LOT输出引脚变为低电平。通过读取故障寄存器，用户可以确定故障检测输出引脚的触发原因。请注意，故障寄存器位为高有效，即故障位变为高时表示故障已发生。

表26. 故障寄存器Bit功能描述

位	说明
D7	正弦/余弦输入削波
D6	正弦/余弦输入低于LOS阈值
D5	正弦/余弦输入超过DOS超量程阈值
D4	正弦/余弦输入超过DOS失配阈值
D3	跟踪误差超过LOT阈值
D2	速度超过最大跟踪速率
D1	相位误差超过锁相范围
D0	配置奇偶校验错误

数字接口

角位置和角速度用二进制数据表示，可以通过一个16位并行接口或者一个时钟速率最高为25 MHz的4线串行接口提取。AD2S1210利用一组片内寄存器控制其可编程功能。数据通过串行或并行接口写入这些寄存器。

SOE输入

串行输出使能引脚 $\overline{\text{SOE}}$ 处于高电平时，并行接口使能。 $\overline{\text{SOE}}$ 引脚处于低电平时，串行接口使能，引脚DB0至DB12进入高阻态。引脚DB13为串行时钟输入(SCLK)，引脚DB14为串行数据输入(SDI)，引脚DB15为串行数据输出(SDO)， $\overline{\text{WR/FSYNC}}$ 为帧同步输入。

SAMPLE输入

AD2S1210按照Type II跟踪闭环原理工作。环路连续跟踪旋变的位置和速度，而不需要外部转换和等待状态。位置和速度寄存器位于环路外部，在 $\overline{\text{SAMPLE}}$ 信号发生高电平至低电平转换后进行更新。为了保证数据得以正确锁存，此引脚必须保持低电平至少 t_{L} ns。

数据格式

数字角度数据将旋变轴的绝对位置表示为10位至16位无符号二进制字。数字速度数据为10位至16位二进制补码字，它表示旋变轴沿顺时针或逆时针方向旋转的速度。

并行接口

当 $\overline{\text{SOE}}$ 引脚处于高电平时，选择并行接口。片选引脚 $\overline{\text{CS}}$ 必须处于低电平才能使能该接口。

写入AD2S1210

利用8位并行接口D7至D0和 $\overline{\text{WR/FSYNC}}$ 引脚，可以在并行模式下写入AD2S1210的片内寄存器。写入AD2S1210的每个8位字的MSB决定该8位字是寄存器地址还是数据。AD2S1210所定义的各寄存器地址的MSB(D7)为高(参见寄存器映射部分)。写入AD2S1210的各数据字的MSB为低。若要写入其中一个寄存器，用户首先必须利用A0和A1输入将AD2S1210置于配置模式。然后，利用引脚DB7至DB0将8位地址写入AD2S1210，并利用 $\overline{\text{WR/FSYNC}}$ 输入的上升沿予以锁存。随后可以在引脚DB7至DB0上提供数据，并再次利用 $\overline{\text{WR/FSYNC}}$ 输入将数据锁存至器件。图28给出了写入配置寄存器时应遵循的时序要求。请注意，在写入AD2S1210时， $\overline{\text{RD}}$ 输入应保持高电平。

读取AD2S1210

可以从AD2S1210回读下列数据：

- 角位置
- 角速度
- 故障寄存器数据
- 片内寄存器的状态

角位置和角速度数据既可以在普通模式下回读，也可以在配置模式下回读。要读取故障寄存器或其余片内寄存器的状态，必须将器件置于配置模式。

在配置模式下读取AD2S1210

若要回读其中一个片内寄存器所存储的数据，包括故障寄存器，用户首先必须利用A0和A1输入将AD2S1210置于配置模式。然后将要读取的8位寄存器地址写入器件，如“写入AD2S1210”部分所述。这将把相关数据传输至输出寄存器。然后就可以像上文所述那样，利用 $\overline{\text{RD}}$ 输入读取数据。当从任何读/写寄存器(见表10)回读数据时，8位字由相关寄存器中的7位数据D6至D0和差错位D7组成。如果差错位返回高，则表明从器件回读的数据与在上一个写入周期中写入器件的配置数据不一致。

如果用户想在配置模式下回读角位置或角速度数据，则需要 $\overline{\text{SAMPLE}}$ 输入的一个下降沿，以更新位置和速度寄存器中的信息。然后可以寻址所需的寄存器，像上文所述那样回读这些寄存器中的数据。图29显示了读取配置寄存器时应遵循的时序要求。

在普通模式下读取AD2S1210

若要从AD2S1210回读位置或速度数据，首先应当利用 $\overline{\text{SAMPLE}}$ 输入更新位置和速度寄存器中存储的信息。当 $\overline{\text{SAMPLE}}$ 输入发生高电平至低电平转换时，数据将从位置和速度积分器传输到位置和速度寄存器。故障寄存器也会在此时进行更新。A0和A1输入的状态决定是将位置数据还是速度数据传输至输出寄存器。 $\overline{\text{CS}}$ 引脚必须保持低电平才能将所选数据传输至输出寄存器。最后，利用 $\overline{\text{RD}}$ 输入读取输出寄存器中的数据，并使能输出缓冲器。 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 保持低电平时，输出缓冲器使能。当 $\overline{\text{RD}}$ 返回高电平时，数据引脚也返回高阻态。如果用户要连续读取数据，可以在释放起的至少 t_{20} ns后重新使用 $\overline{\text{RD}}$ 。

读取周期的时序要求如图30所示。请注意，当 $\overline{\text{RD}}$ 为低电平时， $\overline{\text{WR/FSYNC}}$ 输入应为高电平。

故障寄存器清除

AD2S1210的LOT引脚和/或DOS引脚变为低电平时，即表示检测到故障。AD2S1210能够检测8种独立的故障条件。要确定是何种条件触发了故障指示，用户必须进入配置模式并读取故障寄存器。若要复位故障指示器，必须再施加一个SAMPLE脉冲。这可确保初始采样与随后读取故障寄存器之间可能发生的任何故障都会被捕捉到。因此，为了读取和清除故障寄存器，需要发生下述一系列事件：

- 1. SAMPLE输入发生高电平至低电平转换。
- 2. SAMPLE输入应保持低电平 t_{16} ns，然后可以返回高电平。
- 3. AD2S1210应处于配置模式，即A0和A1均设为逻辑高电平。

- 4. 应按照“在配置模式下读取AD2S1210”部分所述读取故障寄存器。
- 5. SAMPLE输入再次发生高电平至低电平转换，以清除DOS和/或LOT引脚上的故障指示。
- 6. 请注意，如果是持续故障，故障指示器将在指定的故障时间延迟内重新触发。

图31显示了清除故障寄存器时应遵循的时序要求。

请注意，退出配置模式之前写入AD2S1210的最后一个有效寄存器地址，在重新进入配置模式时会再次有效。因此，完成AD2S1210的初始配置后，建议在离开配置模式之前，将故障寄存器地址写入AD2S1210。这可以简化普通模式下故障寄存器的读取和清除操作，因为现在只要反转A0和A1位就能访问位置、速度和故障信息，而无需再次寻址寄存器。

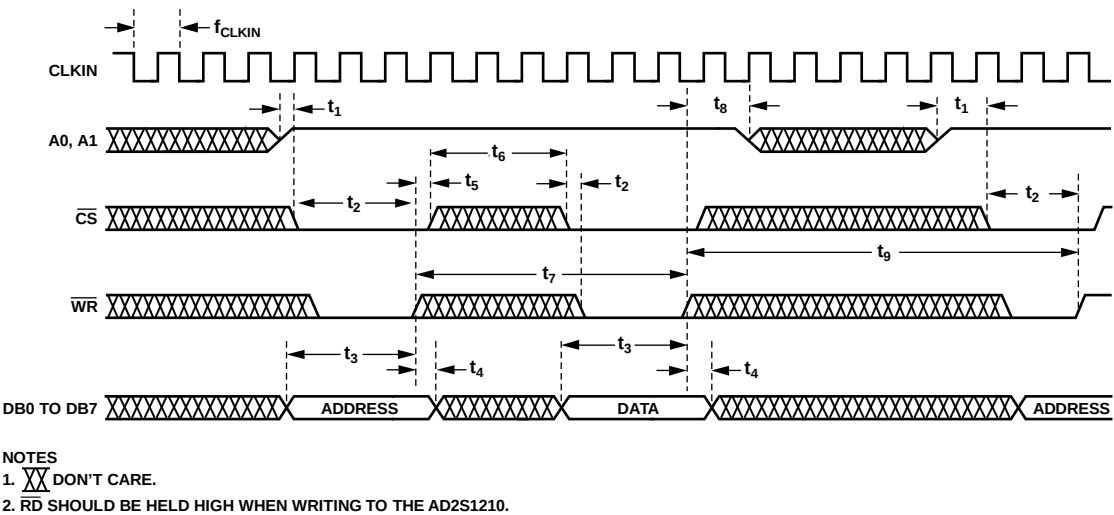
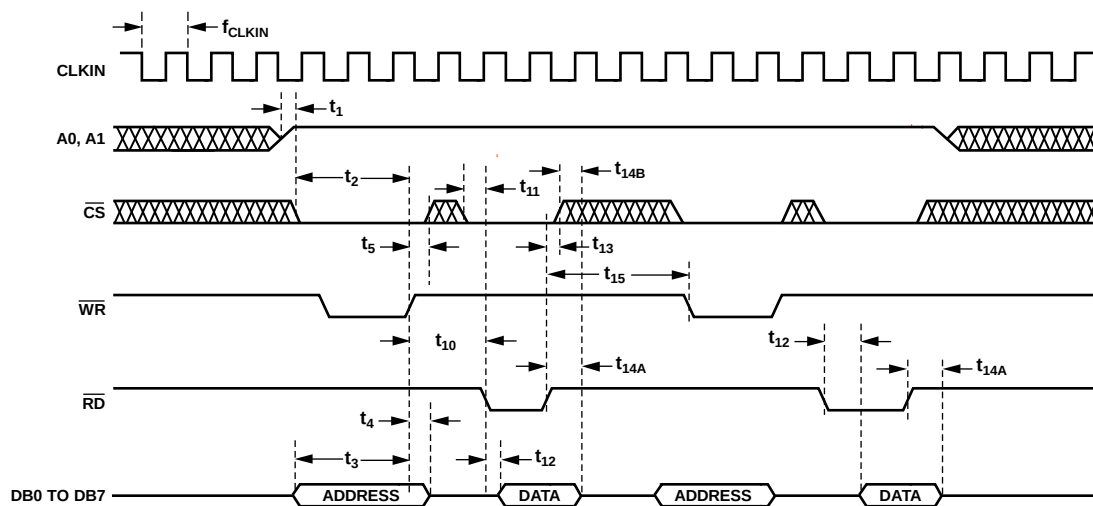


图28. 并行端口写入时序—配置模式

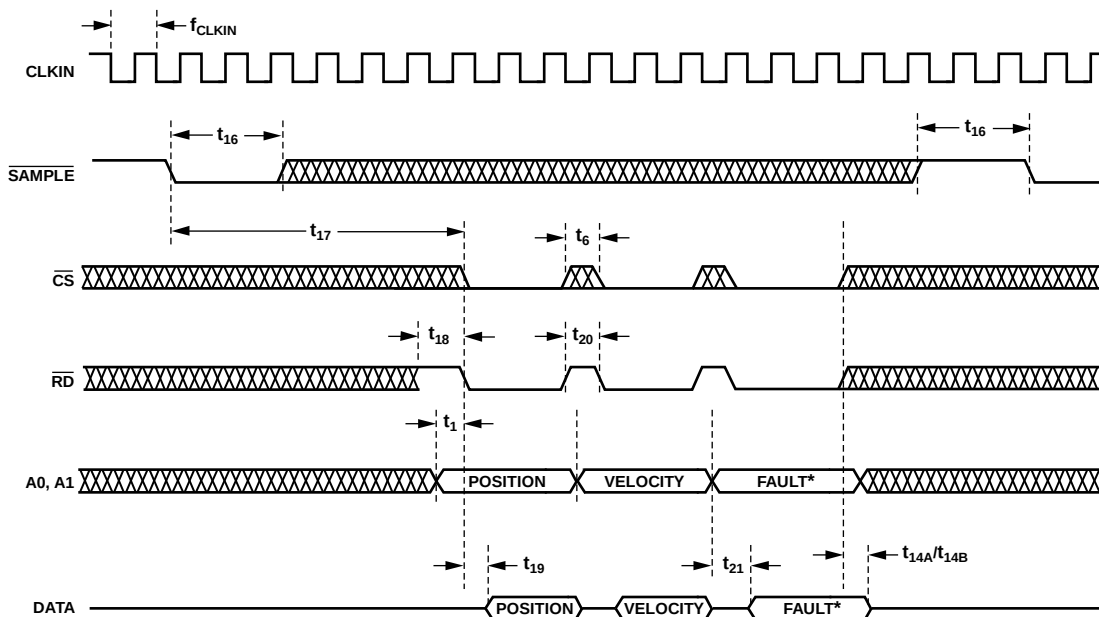
AD2S1210



NOTES

1. $\overline{XX}$ DON'T CARE.

图29. 并行端口读取时序—配置模式

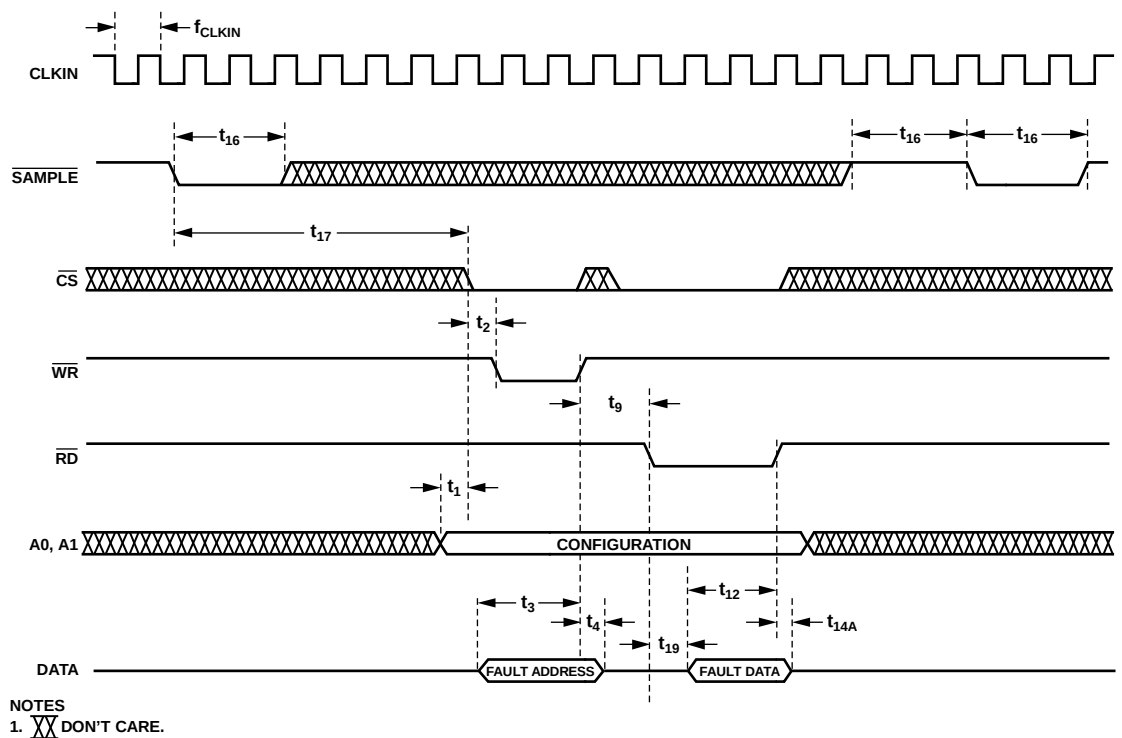


*ASSUMES FAULT REGISTER ADDRESS WRITTEN TO PART BEFORE EXITING CONFIGURATION MODE.

NOTES

1. $\overline{XX}$ DON'T CARE.

图30. 并行端口读取时序



07487-030

图31. 并行端口—清除故障寄存器

AD2S1210

串行接口

将 $\overline{\text{SOE}}$ 引脚维持在低电平状态，可选中此串行接口。AD2S1210串行接口由四个信号构成： SDO 、 SDI 、 $\overline{\text{WR/FSYNC}}$ 和 SCLK 。 SDI 用于将数据传输至片内寄存器中， SDO 则用于从片内寄存器中获取数据，包括位置、速度和故障寄存器。 SCLK 是器件的串行时钟输入，所有数据传输(无论是 SDI 上还是 SDO 上)均相对于该 SCLK 信号进行。 $\overline{\text{WR/FSYNC}}$ 用于帧同步数据。 $\overline{\text{WR/FSYNC}}$ 的下降沿使 SDI 和 SDO 线路脱离高阻态。 $\overline{\text{WR/FSYNC}}$ 的上升沿使 SDI 和 SDO 线路返回高阻态。串行接口不需要 $\overline{\text{CS}}$ 输入，它应保持低电平。

SDO输出

在普通工作模式下，数据作为24位字在串行时钟输入 SCLK 的控制下移出器件。数据是在 SCLK 的上升沿移出。图32给出了这种操作的时序图。

SDI输入

SDI 输入在配置模式下寻址片内寄存器以及用作菊花链输入。数据是在 SCLK 的下降沿移入器件。图32给出了这种操作的时序图。

写入AD2S1210

利用串行接口可以访问AD2S1210的片内寄存器。若要写入其中一个寄存器，用户首先必须利用 A0 和 A1 输入将AD2S1210置于配置模式。然后，利用 SDI 引脚将8位地址写入AD2S1210，并利用 $\overline{\text{WR/FSYNC}}$ 输入的上升沿予以锁存。随后可以在 SDI 引脚上提供数据，并再次利用 $\overline{\text{WR/FSYNC}}$ 输入将数据锁存至器件。8位写操作的MSB决定该8位字是一个寄存器地址(MSB设为高电平)还是待写入的数据(MSB设为低)。图33给出了写入配置寄存器时应遵循的时序要求。

在配置模式下读取AD2S1210

若要回读其中一个片内寄存器所存储的数据，包括故障寄存器，用户首先必须利用 A0 和 A1 输入将AD2S1210置于配置模式。然后将要读取的8位寄存器地址写入器件，如“写入AD2S1210”部分所述。这将把相关数据传输至输出寄存器。

配置模式下，输出移位寄存器为8位宽。数据作为8位字在串行时钟输入 SCLK 的控制下移出器件。图34给出了这种操作的时序图。当从任何读/写寄存器(见表10)回读数据时，8位字由相关寄存器中的7位数据 D6 至 D0 和差错位 D7 组成。如果差错位返回高，则表明从器件回读的数据与在上一个写入周期中写入器件的配置数据不一致。

若要在配置模式下回读角位置或角速度数据，则需要 $\overline{\text{SAMPLE}}$ 输入的一个下降沿，以更新位置和速度寄存器中的信息。

在普通模式下读取AD2S1210

若要从AD2S1210回读位置或速度数据，首先应当利用 $\overline{\text{SAMPLE}}$ 输入更新位置和速度寄存器中存储的信息。当 $\overline{\text{SAMPLE}}$ 输入发生高电平至低电平转换时，数据将从位置和速度积分器传输到位置和速度寄存器。故障寄存器也会在此时进行更新。 A0 和 A1 输入的状态决定是将位置数据还是速度数据传输至输出寄存器。

普通模式下，输出移位寄存器为24位宽。24位字由16位角度数据(位置或速度数据)和其后的8位故障寄存器数据组成。数据以MSB优先(位23)方式在 SDO 引脚上读出。位23至位8对应于角度信息。角位置数据格式为无符号二进制，全0表示0度，全1表示360度 - 1 LSB。角速度数据格式为二进制补码，MSB代表旋转方向。位7至位0对应于故障信息。如果用户不需要故障信息，可以在第16个 SCLK 上升沿之后拉高 $\overline{\text{WR/FSYNC}}$ 。

故障寄存器清除

AD2S1210的 LOT 引脚和/或 DOS 引脚变为低电平时，即表示检测到故障。AD2S1210能够检测8种独立的故障条件。要确定是何种条件触发了故障指示，用户必须进入配置模式并读取故障寄存器。若要复位故障指示器，必须再施加一个 $\overline{\text{SAMPLE}}$ 脉冲。这可确保初始采样与随后读取故障寄存器之间可能发生的任何故障都会被捕捉到。因此，为了读取和清除故障寄存器，需要发生下述一系列事件：

1. $\overline{\text{SAMPLE}}$ 输入发生高电平至低电平转换。
2. $\overline{\text{SAMPLE}}$ 输入应保持低电平 $t_{\text{L}} \text{ ns}$ ，然后可以返回高电平。
3. AD2S1210应处于配置模式，即 A0 和 A1 均设为逻辑高电平。
4. 按照“在配置模式下读取AD2S1210”部分所述读取故障寄存器。
5. $\overline{\text{SAMPLE}}$ 输入再次发生高电平至低电平转换，以清除 DOS 和/或 LOT 引脚上的故障指示。请注意，如果是持续故障，故障指示器将在指定的故障时间延迟内重新触发。

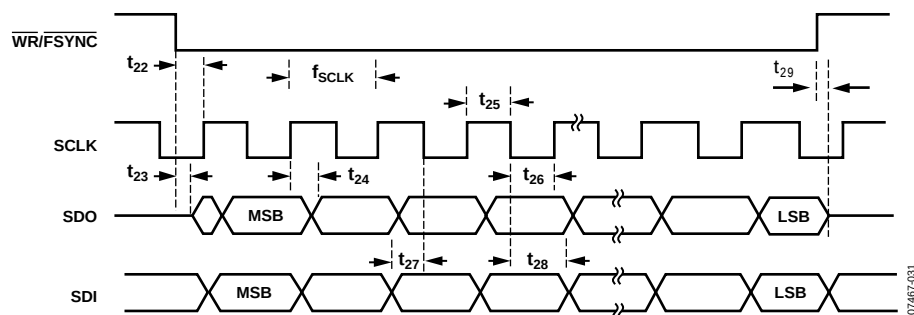
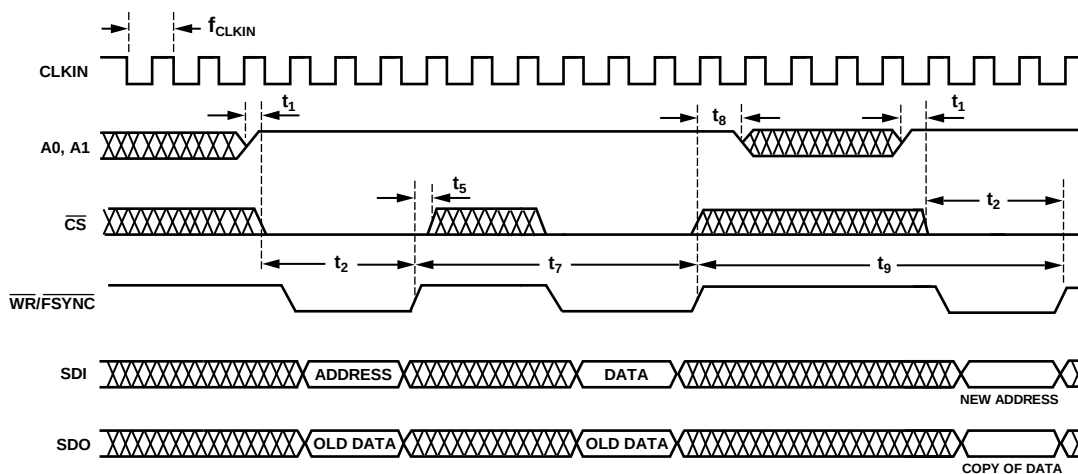


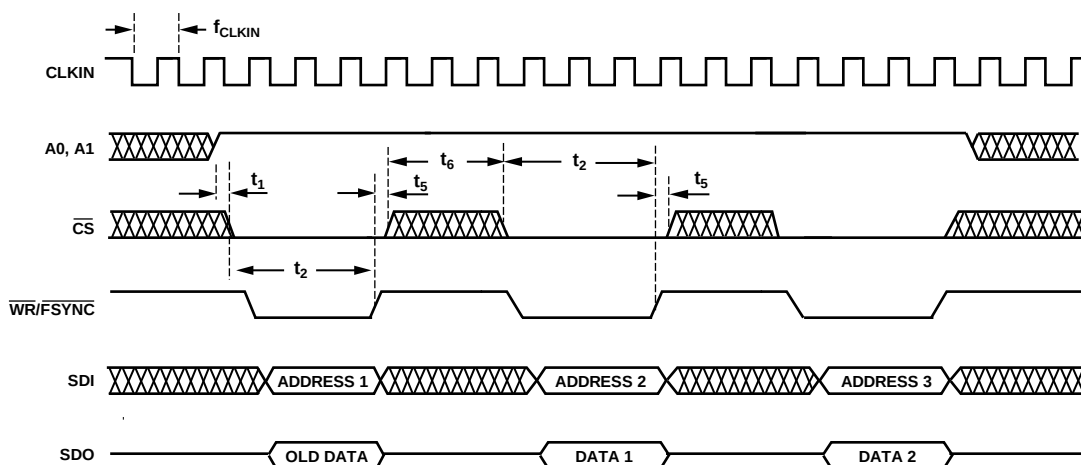
图32. 串行接口时序图



NOTES

1. **XX** DON'T CARE.

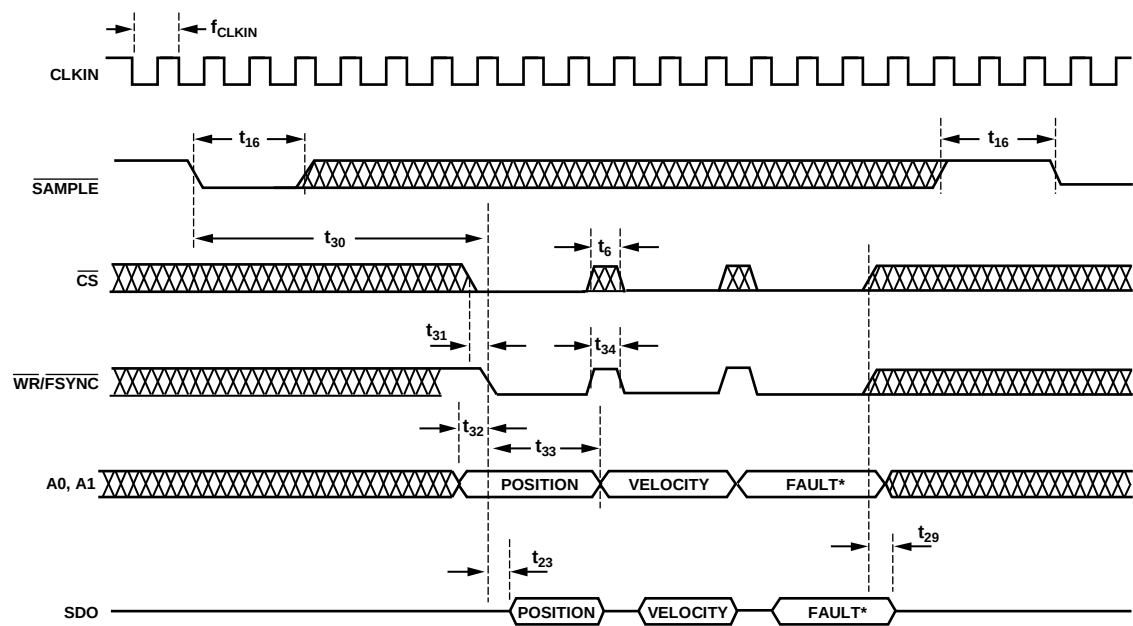
图33. 串行接口写入时序—配置模式



NOTES

1. **XX** DON'T CARE.

图34. 串行接口读取时序—配置模式



*ASSUMES FAULT REGISTER ADDRESS WRITTEN TO PART BEFORE EXITING CONFIGURATION MODE.

NOTES

1. **XX** DON'T CARE.

图35. 串行接口读取时序

07467-034

增量式编码器输出

A、B和NM增量式编码器仿真输出为自由式；而且如果施加于转换器的旋变格式输入信号有效，则输出有效。

AD2S1210可配置为用于仿真256线、1024线、4096线或16,384线编码器。例如，如果AD2S1210配置为12位分辨率，则转一圈将产生1024个A、B脉冲。角旋转不断增大时(即顺时针方向)，脉冲A超前于脉冲B。

AD2S1210编码器仿真输出的分辨率一般配置为与数字输出的分辨率相同。不过，编码器仿真输出的分辨率也可以低于数字输出的分辨率。例如，如果AD2S1210的分辨率配置为16位，则编码器仿真输出的分辨率也可以配置为14位、12位或10位。但是，编码器仿真输出的分辨率不得高于数字输出的分辨率。如果AD2S1210被配置为编码器仿真输出的分辨率高于与数字输出的分辨率，AD2S1210内部将覆盖此配置。此时，编码器仿真输出的分辨率设为与数字输出的分辨率一致。通过写入控制寄存器的位D3和D2，可以对编码器仿真输出的分辨率进行编程。

当绝对角位置经过零点时，即产生路标脉冲。路标脉冲宽度在内部设置为90°且相对于周期A。图36显示了A、B和NM之间的关系。

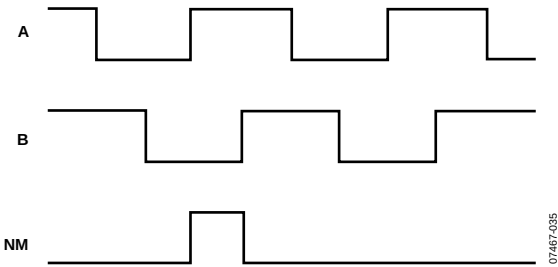


图36. 顺时针旋转的A、B和NM时序

A和B输出使得AD2S1210加上旋变的解决方案能够直接取代光学编码器，而无需修改或升级现有应用软件。

上电时序控制和复位

AD2S1210需要一个外部复位信号使RESET输入保持低电平，直到V_{DD}达到规定的工作电压范围4.5 V至5.5 V以内。

在V_{DD}处于规定范围之后，RESET引脚必须保持低电平至少10 μs(即图37中的t_{RST})。对AD2S1210施加一个RESET信号，将把输出位置初始化为0x000值(通过并行、串行和编码器接口输出的度数)，并导致器件指示LOS(LOT和DOS引脚拉低)，如图37所示。

如果没有正确控制上电复位时序，可能会导致位置指示不正确。

在RESET输入的上升沿之后，必须为器件留出至少t_{TRACK} ms的时间(见图37)，以便内部电路稳定下来，并且跟踪环路建立至输入位置的阶跃变化。在t_{TRACK}期间，LOT和DOS引脚可能会指示故障，原因是RESET引起的阶跃响应。t_{TRACK}的持续时间取决于转换器分辨率，如表27所示。经过t_{TRACK}之后，应按照“清除故障寄存器”部分所述读取和清除故障寄存器。读取和清除故障寄存器所需的时间表示为t_{FAULT}，它由应用所用的DSP/微处理器的接口速度决定。(请注意，如果位置数据是通过编码器输出获取，则可以在t_{TRACK}期间监控这些输出。)

表27. t_{TRACK}与分辨率的关系(f_{CLKIN} = 8.192 MHz)

分辨率(位)	t _{TRACK} (ms)
10	10
12	20
14	25
16	60

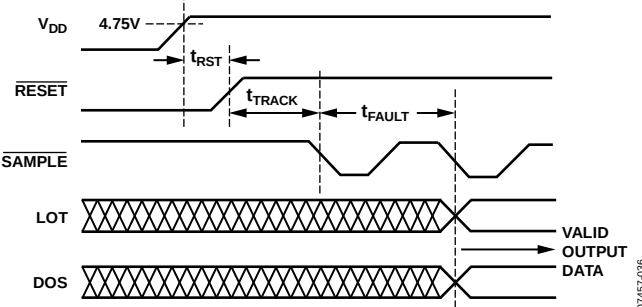


图37. 上电时序控制和复位

电路动态特性

环路响应模型

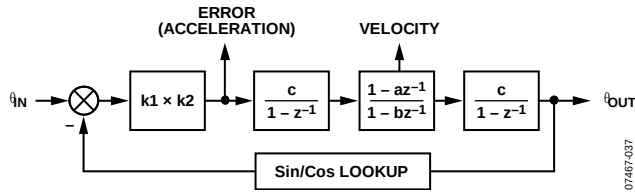


图38. RDC系统响应框图

RDC是一种混合信号器件，利用两个ADC对来自旋变的信号进行数字化处理，并利用Type II跟踪环路将其转换为数字的位置和速度字。

第一增益级包括正弦/余弦输入端的ADC增益和输入第一积分器的误差信号的增益。第一积分器产生一个与速度成比例的信号。补偿滤波器包含一个极点和一个零点，用于提供相位裕量并减小高频噪声增益。第二积分器与第一积分器相同，用于从速度信号产生位置输出。正弦/余弦查找表具有单位增益。参数 k_1 、 k_2 、 a 、 b 和 c 的值如表28所示。

下列公式为图38所示各模块的传递函数，这些公式合并便构成了完整RDC系统的环路响应。

积分器1和积分器2传递函数：

$$I(z) = \frac{c}{1 - z^{-1}} \quad (10)$$

补偿滤波器传递函数

$$C(z) = \frac{1 - az^{-1}}{1 - bz^{-1}} \quad (11)$$

RDC开环传递函数：

$$G(z) = k_1 \times k_2 \times I(z)^2 \times C(z) \quad (12)$$

RDC闭环传递函数：

$$H(z) = \frac{G(z)}{1 + G(z)} \quad (13)$$

闭环幅度和相位响应为二阶低通滤波器的幅度和相位响应（见图11和图12）。

为将 $G(z)$ 转换到 s 平面，用下式替换 z ，以执行双线性逆变换：

$$z = \frac{\frac{2}{t} + s}{\frac{2}{t} - s} \quad (14)$$

其中 t 为采样周期($1/4.096 \text{ MHz} \approx 244 \text{ ns}$)。

替换后，开环传递函数 $G(s)$ 为：

$$G(s) = \frac{k_1 \times k_2 (1 - a)}{a - b} \times \frac{1 + st + \frac{s^2 t^2}{4}}{s^2} \times \frac{1 + s \times \frac{t(1 + a)}{2(1 - a)}}{1 + s \times \frac{t(1 + b)}{2(1 - b)}} \quad (15)$$

此变换可产生低频($f < f_{\text{SAMPLE}}$)时的最佳匹配。在这种频率(在AD2S1210的闭环带宽范围内)，该传递函数可以简化为：

$$G(s) \cong \frac{K_a}{s^2} \times \frac{1 + st_1}{1 + st_2} \quad (16)$$

其中：

$$t_1 = \frac{t(1 + a)}{2(1 - a)}$$

$$t_2 = \frac{t(1 + b)}{2(1 - b)}$$

$$K_a = \frac{k_1 \times k_2 (1 - a)}{a - b}$$

求解各值可得到 t_1 、 t_2 和 K_a ，如表29所示。

表28. RDC系统响应参数

参数	说明	10位分辨率	12位分辨率	14位分辨率	16位分辨率
k_1 (标称值)	ADC增益	1.8/2.5	1.8/2.5	1.8/2.5	1.8/2.5
k_2	误差增益	$6 \times 10^6 \times 2\pi$	$18 \times 10^6 \times 2\pi$	$82 \times 10^6 \times 2\pi$	$66 \times 10^6 \times 2\pi$
a	补偿器零点系数	8187/8192	4095/4096	8191/8192	32,767/32,768
b	补偿器极点系数	509/512	4085/4096	16,359/16,384	32,757/32,768
c	积分器增益	1/1,024,000	1/4,096,000	1/16,384,000	1/65,536,000

表29. 环路传递函数参数与分辨率的关系($f_{CLKIN} = 8.192 \text{ MHz}$)

分辨率(位)	$t_1 \text{ (ms)}$	$t_2 \text{ (ms)}$	$K_a \text{ (sec}^{-2}\text{)}$
10	0.4	42	39.6×10^6
12	1	91	6.5×10^6
14	2	160	1.6×10^6
16	8	728	92.7×10^3

请注意，闭环响应描述为：

$$H(s) = \frac{G(s)}{1+G(s)} \quad (17)$$

将计算结果转换到s域，便能量化开环直流增益(K_a)。此值可用于计算环路的加速度误差(参见误差源部分)。

对10°阶跃输入的阶跃响应如图10、图11、图12和图13所示。对179°阶跃输入的阶跃响应如图14、图15、图16和图17所示。作为对加速度阶跃变化的响应，AD2S1210表现出与对位置阶跃变化相同的响应特征。

典型性能参数部分中的图18和图19显示了AD2S1210针对各分辨率设置的幅度和相位响应。

误差源 加速度

采用Type II伺服环路的跟踪转换器不存在速度延迟，但却存在与加速度有关的误差。此误差可利用转换器的加速度常数(K_a)进行量化。

$$K_a = \frac{\text{输入加速度}}{\text{跟踪误差}} \quad (18)$$

变换可得：

$$\text{跟踪误差} = \frac{\text{输入加速度}}{K_a} \quad (19)$$

分子和分母的单位必须一致。AD2S1210的最大加速度由用户应用可接受的最大跟踪误差决定。例如，如果可接受的最大跟踪误差为5°，则最大加速度定义为产生5°输出位置误差(即当器件指示LOT时)的加速度。

下例显示了在一个12位应用中，如何通过最大跟踪误差(5°)计算最大加速度：

$$\text{最大加速度} = \frac{K_a (\text{sec}^{-2}) \times 5^\circ}{360^\circ/\text{rev}} \cong 90,300 \text{ rps}^2 \quad (20)$$

典型性能参数部分中的图20至图23显示了AD2S1210在各分辨率设置下的跟踪误差与加速度响应的关系。

AD2S1210

外形尺寸

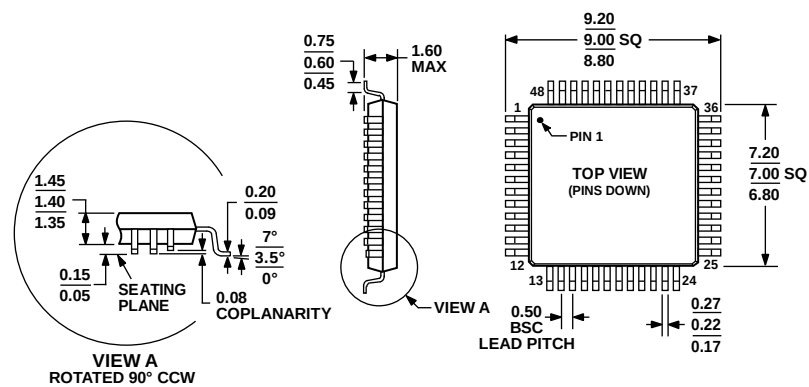


图39. 48引脚薄型四方扁平封装[LQFP]
(ST-48)
图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD2S1210ASTZ	−40°C至+85°C	48引脚 LQFP	ST-48
AD2S1210BSTZ	−40°C至+85°C	48引脚 LQFP	ST-48
AD2S1210CSTZ	−40°C至+125°C	48引脚 LQFP	ST-48
AD2S1210DSTZ	−40°C至+125°C	48引脚 LQFP	ST-48
AD2S1210WDSTZ ²	−40°C至+125°C	48引脚 LQFP	ST-48
AD2S1210WDSTZRL7 ²	−40°C至+125°C	48引脚 LQFP	ST-48
EVAL-AD2S1210EDZ		评估板	

¹ Z = 符合RoHS标准的器件。

² 通过汽车应用认证。

注释

注释