

Piccolo 微控制器

查询样品: [TMS320F28027](#), [TMS320F28026](#), [TMS320F28023](#), [TMS320F28022](#), [TMS320F28021](#), [TMS320F28020](#), [TMS320F280200](#)

1 TMS320F2802x, TMS320F2802xx(Piccolo™) 微控制器 (MCU)

1.1 特性

- 亮点
 - 高效 **32 位** 中央处理单元 (CPU) (**TMS320C28x™**)
 - **60MHz**, **50MHz**, 和 **40MHz** 器件
 - **3.3V** 单电源
 - 集成型加电和欠压复位
 - 两个内部零引脚振荡器
 - 多达 **22** 个复用通用输入输出 (GPIO) 引脚
 - 三个 **32 位 CPU** 定时器
 - 片载闪存、**SRAM**、一次性可编程 (OTP) 内存
 - 代码安全模块
 - 串行端口外设 (SCI/SPI/I2C)
 - 增强型控制外设
 - 增强型脉宽调制器 (ePWM)
 - 高分辨率 PWM (HRPWM)
 - 增强型捕捉 (eCAP)
 - 模数转换器 (ADC)
 - 片上温度传感器
 - 比较器
 - **38** 引脚和 **48** 引脚封装
- 高效 **32 位 CPU** (**TMS320C28x™**)
 - **60MHz** (**16.67ns** 周期时间)
 - **50MHz** (**20ns** 周期时间)
 - **40MHz** (**25ns** 周期时间)
 - **16 x 16** 和 **32 x 32** 媒介访问控制 (MAC) 运算
 - **16 x 16** 双 MAC
 - 哈佛 (Harvard) 总线架构
 - 连动运算
 - 快速中断响应和处理
 - 统一存储器编程模型
 - 高效代码 (使用 C/C++ 和汇编语言)
- 字节序: 小端序
- 低器件和系统成本:
 - **3.3V** 单电源
 - 无需电源排序
 - 集成型加电和欠压复位
 - 可采用低至 **38** 引脚小型封装
 - 低功率
 - 无模拟支持引脚
- 计时:
 - 两个内部零引脚振荡器
 - 片载晶振振荡器/外部时钟输入
 - 支持动态锁相环路 (PLL) 比率变化
 - 安全装置定时器模块
 - 丢失时钟检测电路
- 多达 **22** 个具有输入滤波功能可单独编程的多路复用 GPIO 引脚
- 可支持所有外设中断的外设中断扩展 (PIE) 模块
- 三个 **32 位 CPU** 定时器
- 每个 ePWM 模块中的独立 **16 位** 定时器
- 片载存储器
 - 闪存, **SRAM**, **OTP**, 引导 **ROM** 可用
- **128 位** 安全密钥/锁
 - 保护安全内存块
 - 防止固件逆向工程
- 串行端口外设
 - 一个 **SCI(UART)** 模块
 - 一个 **SPI** 模块
 - 一个内部集成电路 (**I2C**) 总线
- 高级仿真特性
 - 分析和断点功能
 - 借助硬件的实时调试
- **2802x, 2802xx** 封装
 - **38** 引脚 **DA** 薄型小外形尺寸封装 (TSSOP)
 - **48** 引脚 **PT** 薄型方形扁平封装 (LQFP)



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

Piccolo, TMS320C28x, C28x, TMS320C2000, Code Composer Studio, XDS510, XDS560 are trademarks of Texas Instruments.

All other trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

版权 © 2008–2012, Texas Instruments Incorporated

English Data Sheet: [SPRS523](#)

1.2 说明

F2802x Piccolo™ 系列微控制器为 C28x™ 内核供电，此内核与低引脚数量器件中的高集成控制外设相耦合。该系列的代码与以往基于 C28x 的代码相兼容，并且提供了很高的模拟集成度。

一个内部电压稳压器允许单一电源轨运行。对 HRPWM 模块实施了改进，以提供双边缘控制（调频）。增设了具有内部 10 位基准的模拟比较器，并可直接对其进行路由以控制 PWM 输出。ADC 可在 0V 至 3.3V 固定全标度范围内进行转换操作，并支持公制比例 V_{REFHI} / V_{REFLO} 基准。ADC 接口专门针对低开销/低延迟进行了优化。

1.3 开始使用

这一部分提供了当为一个 C28x 器件进行首次开发时所采取步骤的简要概括。有关这些步骤的详细情况，请参阅：

- 《开始使用 TMS320C28x 数字信号控制器》（文献编号 [SPRAAM0](#)）。
- [C2000 开始使用网站 \(http://www.ti.com/c2000getstarted\)](http://www.ti.com/c2000getstarted)
- TMS320F28x MCU 开发和实验者工具 (<http://www.ti.com/f28xkits>)

1	TMS320F2802x, TMS320F2802xx(Piccolo™) 微控制器 (MCU)	1	4.6	高分辨率 PWM (HRPWM)	64
1.1	特性	1	4.7	增强型捕捉模块 (eCAP1)	65
1.2	说明	2	4.8	JTAG 端口	67
1.3	开始使用	2	4.9	GPIO MUX	68
2	简介	4	5	器件支持	73
2.1	引脚分配	6	5.1	器件和开发支持工具命名规则	73
2.2	信号说明	8	5.2	相关文档	75
3	功能概述	13	5.3	社区资源	76
3.1	方框图	13	6	电气规范	77
3.2	内存映射	14	6.1	最大绝对额定值	77
3.3	简要说明	22	6.2	建议的运行条件	77
3.4	寄存器映射	30	6.3	电气特性	78
3.5	器件仿真寄存器	31	6.4	功耗	79
3.6	中断	32	6.5	散热设计考虑	84
3.7	VREG/BOR/POR	36	6.6	针对 MCU 的无信号缓冲的仿真器连接	84
3.8	系统控制	38	6.7	时序参数符号	85
3.9	低功耗模式块	45	6.8	时钟要求和特性	89
4	外设	46	6.9	电源排序	90
4.1	模拟时钟	46	6.10	通用输入/输出 (GPIO)	92
4.2	串行外设接口 (SPI) 模块	52	6.11	增强型控制外设	99
4.3	串行通信接口 (SCI) 模块	55	6.12	详细说明	119
4.4	内部集成电路 (I2C)	58	6.13	闪存定时	120
4.5	增强型 PWM 模块 (ePWM1/2/3/4)	60	7	修订历史记录	122
			8	热性能/机械数据	123

2 简介

表 2-1 列出了 TMS320F2802x 器件的特性。

表 2-1. 硬件特性

功能:		类型 ⁽¹⁾	28027 (60MHz)		28026 (60MHz)		28023 (50MHz)		28022 (50MHz)		28021 (40MHz)		28020 (40MHz)		280200 (40MHz)	
封装类型			38 引脚 DA TSSOP	48 引脚 PT LQFP	38 引脚 DA TSSOP	48 引脚 PT LQFP	38 引脚 DA TSSOP	48 引脚 PT LQFP	38 引脚 DA TSSOP	48 引脚 PT LQFP	38 引脚 DA TSSOP	48 引脚 PT LQFP	38 引脚 DA TSSOP	48 引脚 PT LQFP	38 引脚 DA TSSOP	48 引脚 PT LQFP
指令周期		-	16.67ns		16.67ns		20ns		20ns		25ns		25ns		25ns	
片载闪存 (16 位字)		-	32K		16K		32K		16K		32K		16K		8K	
片载 SARAM (16 位字)		-	6K		6K		6K		6K		5K		3K		3K	
针对片载闪存 / SARAM/OTP 块的代码安全		-	支持		支持		支持		支持		支持		支持		支持	
引导 ROM (8K X 16)		-	支持		支持		支持		支持		支持		支持		支持	
一次性可编程 (OTP) ROM (16 位字)		-	1K		1K		1K		1K		1K		1K		1K	
ePWM 输出		1	8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)	
eCAP 输入		0	1		1		1		1		1		1		-	
安全装置定时器		-	支持		支持		支持		支持		支持		支持		支持	
12 位模数转换器 (ADC)	MSPS	3	4.6		4.6		3		3		2		2		2	
	转换时间		216.67ns		216.67ns		260ns		260ns		500ns		500ns		500ns	
	通道		7	13	7	13	7	13	7	13	7	13	7	13	7	13
	温度传感器		支持		支持		支持		支持		支持		支持		支持	
	双采样保持		支持		支持		支持		支持		支持		支持		支持	
32 位 CPU 定时器		-	3		3		3		3		3		3		3	
高分辨率 ePWM 通道		1	4 (ePWM1A/2A/3A/4A)		4 (ePWM1A/2A/3A/4A)		4 (ePWM1A/2A/3A/4A)		4 (ePWM1A/2A/3A/4A)		-		-		-	
带有集成型模数转换器 (DAC) 的比较器		0	1	2	1	2	1	2	1	2	1	2	1	2	1	2
内部集成电路 (I2C)		0	1		1		1		1		1		1		1	
串行外设接口 (SPI)		1	1		1		1		1		1		1		1	
串行通信接口 (SCI)		0	1		1		1		1		1		1		1	
I/O 引脚 (共用)	数字 (GPIO)	-	20	22	20	22	20	22	20	22	20	22	20	22	20	22
	模拟 (AIO)	-	6		6		6		6		6		6		6	
外部中断		-	3		3		3		3		3		3		3	
电源电压 (标称值)		-	3.3V		3.3V		3.3V		3.3V		3.3V		3.3V		3.3V	
温度选项	T: -40°C 至 105°C	-	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持
	S: -40°C 至 125°C	-	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持	支持
	Q: -40°C 至 125°C ⁽²⁾	-	支持	支持	支持	支持	支持	支持	支持	支持	-	-	-	-	-	-
产品状态 ⁽³⁾		-	TMS		TMS		TMS		TMS		TMS		TMS		TMS	

(1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，而这些差异不会影响模块的基本功能性。这些特定器件差异显示在《TMS320x28xx, 28xxx DSP 外设参考手册》(文献编号 [SPNU566](#)) 列表中和外设参考指南中。

(2) “Q”是指针对汽车应用的 Q100 认证技术规范。

(3) 器件级说明，请见 [注释列表正常](#)，器件和开发支持工具命名规则。“TMS”产品状态表示一个完全合格的生产器件。

2.1 引脚分配

图 2-1 显示了 48 引脚 PT 薄型四方扁平封装 (LQFP) 引脚分配。图 2-2 显示了 38 引脚 DA 薄型小外形尺寸封装 (TSSOP) 引脚分配。

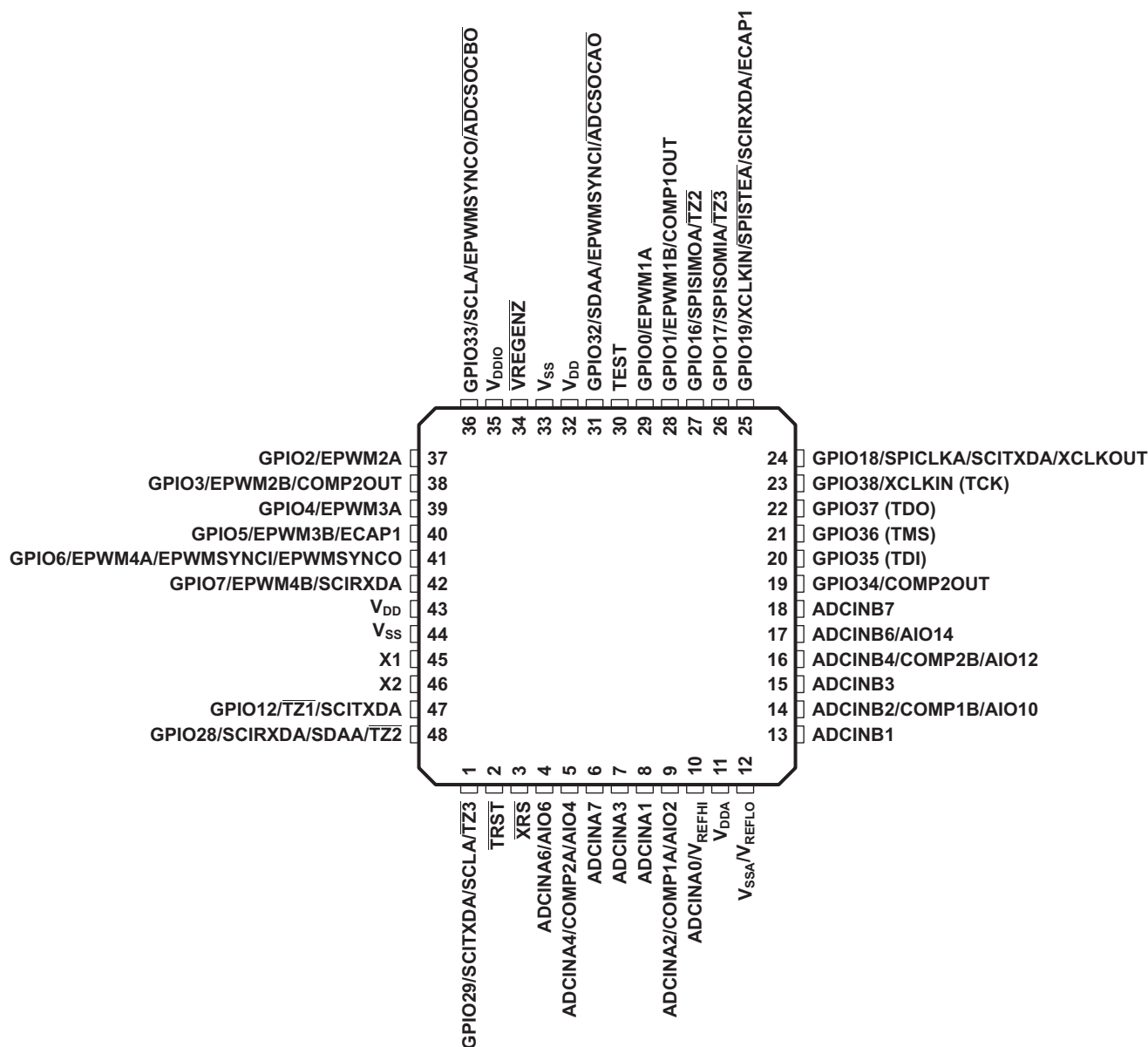


图 2-1. 2802x 48 引脚 PT LQFP (顶视图)

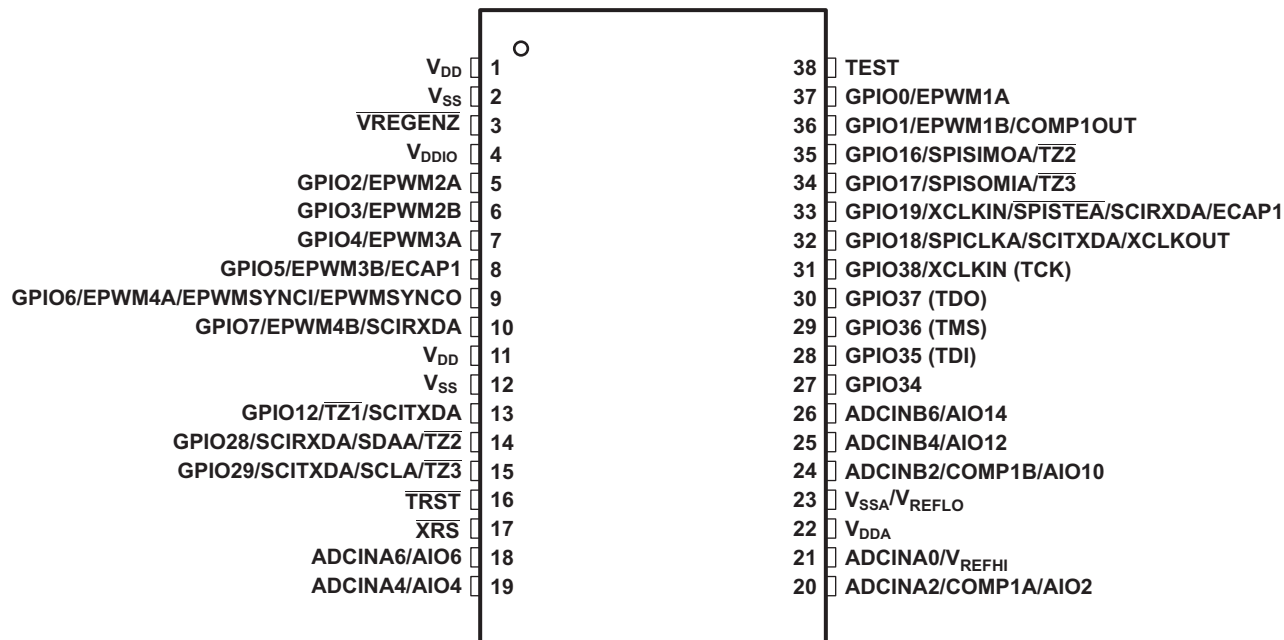


图 2-2. 2802x 38 引脚 DA TSSOP (顶视图)

2.2 信号说明

表 2-2 对这些信号进行了说明。除 JTAG 引脚以外，默认情况下 GPIO 功能在复位时为缺省值，除非另外注明。它们下面列出的外设信号是供替换的功能。有些外设功能并不在所有器件上提供。详细信息请见表 2-1。输入不是 5V 耐压。所有 GPIO 引脚为 I/O/Z 且有一个内部上拉电阻器，此内部上拉电阻器可在每个引脚上有选择性的启用/禁用。这一特性只适用于 GPIO 引脚。PWM 引脚上的上拉电阻在复位时并不启用。其它 GPIO 引脚上的上拉电阻复位时被启用。AIO 引脚没有内部上拉电阻。

注释：当使用片载 VREG 时，GPIO19，GPIO34，GPIO35，GPIO36，GPIO37，和 GPIO38 引脚在加电期间会有毛刺脉冲。如果这一情况在应用中为无法接受的话，可由 1.8V 电源外部供电。当使用一个外部 1.8V 电源时，无需电源排序。然而，如果 I/O 引脚的电平移动输出缓冲器中的 3.3V 晶体管在 1.9V 晶体管之前加电，输出缓冲器有可能打开，这会在加电期间导致引脚上的毛刺脉冲。为了避免这一运行状态，给 V_{DD} 引脚加电应早于对 V_{DDIO} 引脚供电，或者与之同时，以确保 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前达到 0.7V。

表 2-2. 终端功能⁽¹⁾

端子			I/O/Z	说明
名称	PT 引脚 #	DA 引脚 #		
JTAG				
$\overline{\text{TRST}}$	2	16	I	使用内部下拉电阻进行 JTAG 测试复位。当被驱动为高电平时， $\overline{\text{TRST}}$ 使扫描系统获得器件运行的控制权。 如果这个信号未连接或者被驱动至低电平，此器件在功能模式下运转，并且测试复位信号被忽略。 注释： TRST 是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。 在这个引脚上需要一个外部下拉电阻器。 这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。 一个 2.2k Ω 电阻器一般提供足够的保护。 由于这是应用专用的，建议针对调试器和应用的适当运行对每个目标板进行验证。(↓)
TCK	请见 GPIO38		I	请见 GPIO38。 带有内部上拉电阻器的 JTAG 测试时钟 (↑)
TMS	请见 GPIO36。		I	请见 GPIO36。 带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。 这个串行控制输入被计时在 TCK 上升沿上的 TAP 控制器中。(↑)
TDI	请见 GPIO35		I	请见 GPIO35。 带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。 TDI 在 TCK 的上升沿上所选择的寄存器（指令或者数据）内计时。(↑)
TDO	请见 GPIO37		O/Z	请见 GPIO37。 JTAG 扫描输出，测试数据输出 (TDO)。 所选寄存器（指令或者数据）的内容被从 TCK 下降沿上的 TDO 移出。 (8mA 驱动)
闪存				
TEST	30	38	I/O	测试引脚。 为 TI 预留。 必须被保持为未连接。
时钟				
XCLKOUT	请见 GPIO18		O/Z	请见 GPIO18。 取自 SYSCLKOUT 的输出时钟。 XCLKOUT 或者与 SYSCLKOUT 的频率一样、或者为其一半， 或为其 四分之一。 这由 XCLK 寄存器内的引脚 1:0 (XCLKOUTDIV) 控制。 复位时， XCLKOUT=SYSCLKOUT/4。 通过将 XCLKOUTDIV 设定为 3， XCLKOUT 信号可被关闭。 为了使这个信号传播到此引脚， GPIO18 的复用控制必须被设定至 XCLKOUT。
XCLKIN	请见 GPIO19 和 GPIO38		I	请见 GPIO19 和 GPIO38。 外部振荡器输入。 针对时钟的引脚源由 XCLK 寄存器内的 XCLKINSEL 位控制， GPIO38 为默认选择。 这个引脚馈通一个来外部 3.3V 振荡器的时钟。 在这个情况下， X1 引脚， 如果可用的话， 必须被接至 GND， 而且必须通过 CLKCTL 寄存器内的 位 14 将片载晶体振荡器禁用。 如果使用一个晶振/谐振器， 必须通过 CLKCTL 寄存器内的位 13 将 XCLKIN 路径禁用。 注释： 使用 GPIO38/TCK/XCLKIN 引脚为用于正常器件运行的一个外部时钟供电的引脚也许需要组装有一些钩子以在使用 JTAG 连接器进行调试期间禁用这个路径。 这是为了防止 TCK 信号竞争， 在 JTAG调试会话期间， 此信号被激活。 在此次为器件计时期间， 零引脚内部振荡器可被使用。
X1	45	-	I	片载晶体振荡器输入。 为了使用这个振荡器， 一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。 在这种情况下， XCLKIN 路径必须被 CLKCTL 寄存器内的位 13 禁用。 如果这个引脚未使用， 它必须被连接至 GND。(I)
X2	46	-	O	片载晶体振荡器输出。 一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。 如果 X2 未使用， 它必须保持在未连接状态。(O)

(1) I = 输入，O = 输出，Z = 高阻抗，OD = 开漏，↑ = 上拉，↓ = 下拉

表 2-2. 终端功能⁽¹⁾ (continued)

端子			I/O/Z	说明
名称	PT 引脚 #	DA 引脚 #		
复位				
$\overline{\text{XRS}}$	3	17	I/OD	器件复位（输入）和安全装置复位（输出）。Piccolo 器件有一个内置加电复位 (POR) 和欠压复位 (BOR) 电路。这样，无需外部电路既可生成一个复位脉冲。在一个加电或者欠压情况下，这个引脚由器件驱动为低电平。POR/BOR 块的阈值，请见 Section 6.3 ，电气特性。当一个安全装置复位发生时，这个引脚也由 MCU 驱动为低电平。安全装置复位期间，在 512 个 OSCCLK 周期的安全装置复位持续时间内， $\overline{\text{XRS}}$ 引脚被驱动为低电平。如果需要的话，一个外部电路也可驱动这个引脚使一个器件复位生效。在这个情况下，建议由一个开漏器件驱动这个引脚。由于抗扰度原因，一个 R-C 电路必须被连接至这个引脚。不论源是什么，一个器件复位会引起器件终止执行。程序计数器指向包含在位置 03xFFFC0 内的地址。当复位被置成无效时，在程序计数器指定的位置开始执行。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。(I/OD)
模数转换器 (ADC)，比较器 (COMPARATOR)，模拟 (ANALOG) I/O				
ADCINA7	6	-	I	ADC 组 A，通道 7 输入
ADCINA6 AIO6	4	18	I I/O	ADC 组 A，通道 6 输入 数字 AIO 6
ADCINA4 COMP2A AIO4	5	19	I I I/O	ADC 组 A，通道 4 输入 比较器输入 2A（只用在 48 引脚的器件中） 数字 AIO 4
ADCINA3	7	-	I	ADC 组 A，通道 3 输入
ADCINA2 COMP1A AIO2	9	20	I I I/O	ADC 组 A，通道 2 输入 比较器输入 1A 数字 AIO 2
ADCINA1	8	-	I	ADC 组 A，通道 1 输入
ADCINA0 V_{REFHI}	10	21	I I	ADC 组 A，通道 0 输入 ADC 外部基准-只在处于 ADC 外部基准模式中时才使用。请见 节 4.1.1 ，ADC。
ADCINB7	18	-	I	ADC 组 B，通道 7 输入
ADCINB6 AIO14	17	26	I I/O	ADC 组 B，通道 6 输入 数字 AIO 14
ADCINB4 COMP2B AIO1	16	25	I I I/O	ADC 组 B，通道 4 输入 比较器输入 2B（只用在 48 引脚的器件中） 数字 AIO 12
ADCINB3	15	-	I	ADC 组 B，通道 3 输入
ADCINB2 COMP1B AIO10	14	24	I I I/O	ADC 组 B，通道 2 输入 比较器输入 1B 数字 AIO 10
ADCINB1	13	-	I	ADC 组 B，通道 1 输入

表 2-2. 终端功能⁽¹⁾ (continued)

端子			I/O/Z	说明
名称	PT 引脚 #	DA 引脚 #		
CPU 和 I/O 电源				
V _{DDA}	11	22		模拟电源引脚。 在此引脚附近连接一个 2.2μF 电容器（典型值）。
V _{SSA} V _{REFLO}	12	23	I	模拟接地引脚 ADC 低基准（一直接地）
V _{DD}	32	1		CPU 和逻辑数字电源引脚-当使用内部 VREG 时，无需电源。 当使用内部 VREG 时，将 1.2μF（最小值）陶瓷电容器（10% 耐受）接地。 可使用更高值的电容器，但是这会 影响电源轨斜坡上升时间。
V _{DD}	43	11		
V _{DDIO}	35	4		数字 I/O 和闪存电源引脚-当 VREG 被启用时，为单电源。 在此引脚附近连接一个 2.2μF 电容器（典型值）。
V _{SS}	33	2		数字接地引脚
V _{SS}	44	12		
电压稳压器控制信号				
$\overline{\text{VREGENZ}}$	34	3	I	内部 VREG 启用/禁用。 拉至低电平来启用内部电压稳压器 (VREG)，拉至高电平禁用 VREG。
GPIO 和外设信号 ⁽¹⁾				
GPIO0 EPWM1A - -	29	37	I/O/Z O - -	通用输入/输出 0 增强型 PWM1 输出 A 和高分辨率脉宽调制 (HRPWM) 通道 - -
GPIO1 EPWM1B - COMP1OUT	28	36	I/O/Z O - O	通用输入/输出 1 增强型 PWM1 输出 B - 比较器 1 的直接输出
GPIO2 EPWM2A - -	37	5	I/O/Z O - -	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道 - -
GPIO3 EPWM2B - COMP2OUT	38	6	I/O/Z O - O	通用输入/输出 3 增强型 PWM2 输出 B - 比较器 2 的直接输出（只在 48 引脚器件中提供）
GPIO4 EPWM3A - -	39	7	I/O/Z O - -	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道 - -
GPIO5 EPWM3B - ECAP1	40	8	I/O/Z O - I/O	通用输入/输出 5 增强型 PWM3 输出 B - 增强型捕捉输入/输出 1
GPIO6 EPWM4A EPWMSYNCl EPWMSYNCO	41	9	I/O/Z O I O	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 外部 ePWM 同步脉冲输入 外部 ePWM 同步脉冲输出

(1) GPIO 功能（用粗斜体显示）在复位时为缺省值。它们下面列出的外设信号是供替换的功能。对于有 GPIO 功能复用的 JTAG 引脚，到 GPIO 块的输入路径一直有效。根据 TRST 信号的情况，来自 GPIO 块的输出路径和从一个引脚到 JTAG 块的路径被启用/禁用。详细信息请参阅《TMS320x2802x/TMS320F2802xx Piccolo 系统控制和中断参考指南》（文献编号 [SPRUFN3](#)）。

表 2-2. 终端功能⁽¹⁾ (continued)

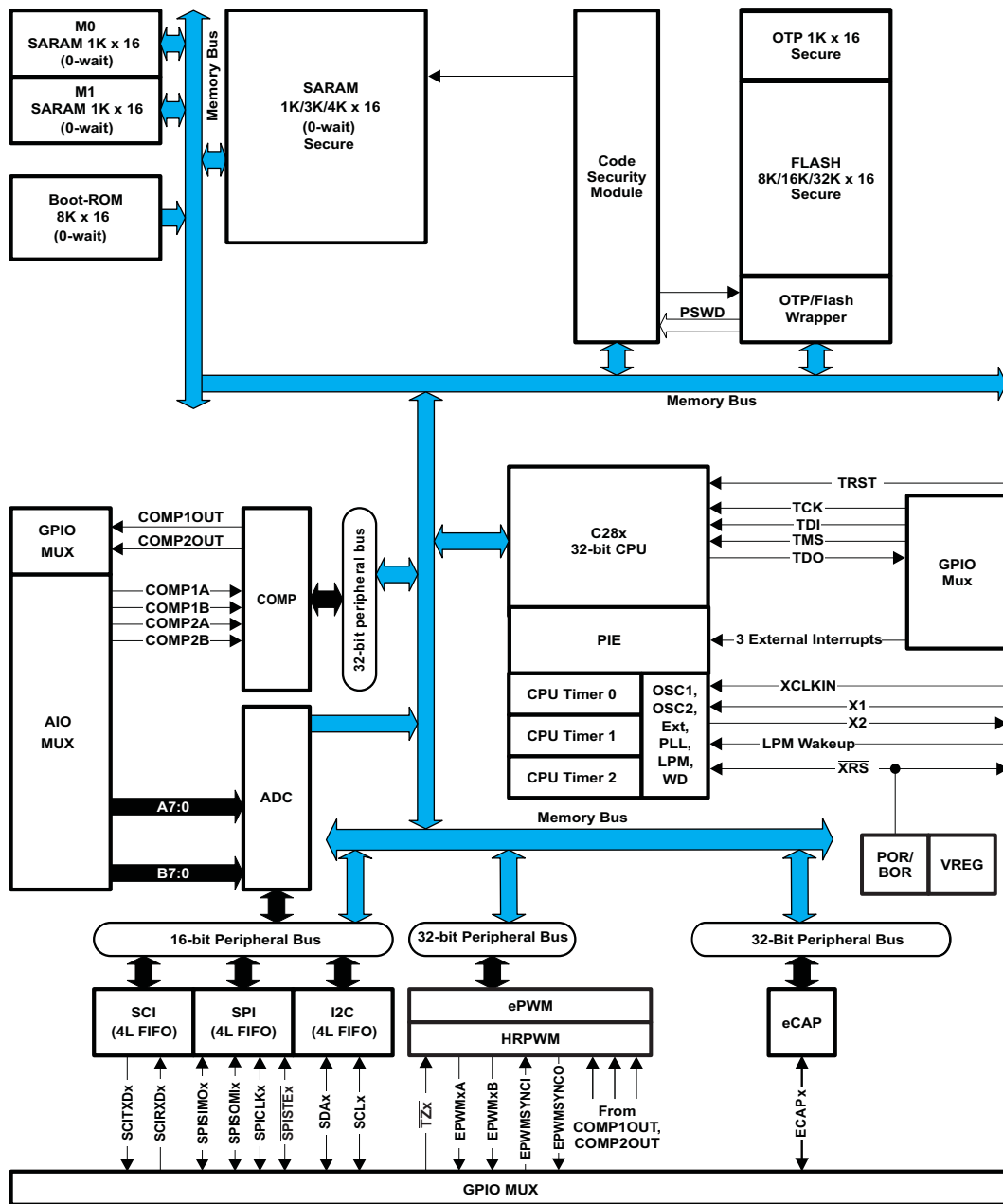
端子			I/O/Z	说明
名称	PT 引脚 #	DA 引脚 #		
GPIO7 EPWM4B SCIRXDA -	42	10	I/O/Z O I -	通用输入/输出 7 增强型 PWM4 输出 B SCI-A 接收数据 -
GPIO12 $\overline{TZ1}$ SCITXDA -	47	13	I/O/Z I O -	通用输入/输出 12 触发区输入 1 SCI-A 发送数据 -
GPIO16 SPISIMOA - $\overline{TZ2}$	27	35	I/O/Z I/O I -	通用输入/输出 16 从器件输入，主器件输出 - 触发区输入 2
GPIO17 SPISOMIA - $\overline{TZ3}$	26	34	I/O/Z I/O I -	通用输入/输出 17 SPI-A 从器件输出，主器件输入 - 触发区输入 3
GPIO18 SPICLKA SCITXDA XCLKOUT	24	32	I/O/Z I/O O O/Z	通用输入/输出 18 SPI 时钟输入/输出 SCI-A 发送 取自 SYSCLKOUT 的输出时钟。XCLKOUT 或者与 SYSCLKOUT 的频率一样、或者为其一半，或者为其四分之一。这由 XCLK 寄存器内的引脚 1:0 (XCLKOUTDIV) 控制。复位时，XCLKOUT=SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为 3，XCLKOUT 信号可被关闭。为了使这个信号传播到此引脚，GPIO18 的复用控制必须被设定至 XCLKOUT。
GPIO19 XCLKIN $\overline{SPISTEA}$ SCIRXDA ECAP1	25	33	I/O/Z I/O I I/O	通用输入/输出 19 外部振荡器输入。从这个引脚到时钟块的路径不是由这个引脚的复用功能选通。如果这个被用于其它外设功能，应该注意不要启用这个路径用于计时。 SPI-A 从器件发送使能输入/输出 SCI-A-接收 增强型捕捉输入/输出 1
GPIO28 SCIRXDA SDAA $\overline{TZ2}$	48	14	I/O/Z I I/OD I	通用输入/输出 28 SCI 接收数据 I2C 数据开漏双向端口 触发区输入 2
GPIO29 SCITXDA SCLA $\overline{TZ3}$	1	15	I/O/Z O I/OD I	通用输入/输出 29。 SCI 发送数据 I2C 时钟开漏双向端口 触发区输入 3
GPIO32 SDAA EPWMSYNCl ADCSOCAO	31	-	I/O/Z I/OD I O	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 A

表 2-2. 终端功能⁽¹⁾ (continued)

端子			I/O/Z	说明
名称	PT 引脚 #	DA 引脚 #		
GPIO33 SCLA EPWMSYNCO ADCSOCBO	36	-	I/O/Z I/OD O O	通用输入/输出 33 I2C 时钟开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 B
GPIO34 COMP2OUT - -	19	27	I/O/Z O	通用输入/输出 34 比较器 2 的直接输出。在 DA 封装中, COMP2OUT 信号不可用。 - -
GPIO35 TDI	20	28	I/O/Z I	通用输入/输出 35 带有内部上拉电阻器的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 的上升沿上所选择的寄存器 (指令或者数据) 内计时。
GPIO36 TMS	21	29	I/O/Z I	通用输入/输出 36 带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。这个串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。
GPIO37 TDO	22	30	I/O/Z O/Z	通用输入/输出 37 JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或者数据) 的内容被从 TCK 下降沿的 TDO 移出 (8mA 驱动)。
GPIO38 TCK XCLKIN	23	31	I/O/Z I I	通用输入/输出 38 带有内部上拉电阻器的 JTAG 测试时钟 外部振荡器输入。从这个引脚到时钟块的路径不是由这个引脚的复用功能选通。如果这个被用于其它功能, 应该注意不要为计时启用这个路径。

3 功能概述

3.1 方框图



A. 由于引脚复用，所有外设引脚不能同时使用。

图 3-1. 功能方框图

3.2 内存映射

在图 3-2, 图 3-3, 图 3-4, 图 3-5, 和图 3-6中, 以下规则适用:

- 内存块不可缩放。
- 外设帧 0, 外设帧 1, 和外设帧 2 内存映射只限于数据内存。一个用户程序不能访问这些处于程序空间内的内存映射。
- 受保护意味着写后读操作的顺序被保存, 而不是流水线顺序。
- 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- 位置 0x3D7C80-0x3D7CC0 包含内部振荡器和 ADC 校准例程。这些位置不可由用户设计。

	Data Space	Prog Space
0x00 0000	M0 Vector RAM (Enabled if VMAP = 0)	
0x00 0040	M0 SARAM (1K x 16, 0-Wait)	
0x00 0400	M1 SARAM (1K x 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 x 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (4K x 16, Protected)	Reserved
0x00 7000	Peripheral Frame 2 (4K x 16, Protected)	
0x00 8000	L0 SARAM (4K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x00 9000	Reserved	
0x3D 7800	User OTP (1K x 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	Calibration Data	
0x3D 7EB0	Reserved	
0x3D 7FFF	PARTID	
0x3D 8000	Reserved	
0x3F 0000	FLASH (32K x 16, 4 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (4K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x3F 9000	Reserved	
0x3F E000	Boot ROM (8K x 16, 0-Wait)	
0x3F FFC0	Vector (32 Vectors, Enabled if VMAP = 1)	

A. 内存位置 0x3D7E80-0x3D7EAF 被保留在 TMX/TMP 芯片内。

图 3-2. 28023/28027 内存映射

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K x 16, 0-Wait)	
0x00 0400	M1 SARAM (1K x 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 x 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (4K x 16, Protected)	Reserved
0x00 7000	Peripheral Frame 2 (4K x 16, Protected)	
0x00 8000	L0 SARAM (4K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x00 9000	Reserved	
0x3D 7800	User OTP (1K x 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	Calibration Data	
0x3D 7EB0	Reserved	
0x3D 7FFF	PARTID	
0x3D 8000	Reserved	
0x3F 4000	FLASH (16K x 16, 4 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (4K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x3F 9000	Reserved	
0x3F E000	Boot ROM (8K x 16, 0-Wait)	
0x3F FFC0	<i>Vector (32 Vectors, Enabled if VMAP = 1)</i>	

A. 内存位置 0x3D7E80-0x3D7EAF 被保留在 TMX/TMP 芯片内。

图 3-3. 28022/28026 内存映射

	Data Space	Prog Space
0x00 0000	M0 Vector RAM (Enabled if VMAP = 0)	
0x00 0040	M0 SARAM (1K x 16, 0-Wait)	
0x00 0400	M1 SARAM (1K x 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 x 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (4K x 16, Protected)	Reserved
0x00 7000	Peripheral Frame 2 (4K x 16, Protected)	
0x00 8000	L0 SARAM (3K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x00 8C00	Reserved	
0x3D 7800	User OTP (1K x 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	Calibration Data	
0x3D 7EB0	Reserved	
0x3D 7FFF	PARTID	
0x3D 8000	Reserved	
0x3F 0000	FLASH (32K x 16, 4 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (3K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x3F 8C00	Reserved	
0x3F E000	Boot ROM (8K x 16, 0-Wait)	
0x3F FFC0	Vector (32 Vectors, Enabled if VMAP = 1)	

A. 内存位置 0x3D7E80-0x3D7EAF 被保留在 TMX/TMP 芯片内。

图 3-4. 28021 内存映射

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K x 16, 0-Wait)	
0x00 0400	M1 SARAM (1K x 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 x 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (4K x 16, Protected)	Reserved
0x00 7000	Peripheral Frame 2 (4K x 16, Protected)	
0x00 8000	L0 SARAM (1K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x00 8400	Reserved	
0x3D 7800	User OTP (1K x 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	Calibration Data	
0x3D 7EB0	Reserved	
0x3D 7FFF	PARTID	
0x3D 8000	Reserved	
0x3F 4000	FLASH (16K x 16, 4 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (1K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x3F 8400	Reserved	
0x3F E000	Boot ROM (8K x 16, 0-Wait)	
0x3F FFC0	Vector (32 Vectors, Enabled if VMAP = 1)	

A. 内存位置 0x3D7E80-0x3D7EAF 被保留在 TMX/TMP 芯片内。

图 3-5. 28020 内存映射

	Data Space	Prog Space
0x00 0000	M0 Vector RAM (Enabled if VMAP = 0)	
0x00 0040	M0 SARAM (1K x 16, 0-Wait)	
0x00 0400	M1 SARAM (1K x 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 x 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (4K x 16, Protected)	Reserved
0x00 7000	Peripheral Frame 2 (4K x 16, Protected)	
0x00 8000	L0 SARAM (1K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x00 8400	Reserved	
0x3D 7800	User OTP (1K x 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	Calibration Data	
0x3D 7EB0	Reserved	
0x3D 7FFF	PARTID	
0x3D 8000	Reserved	
0x3F 6000	FLASH (8K x 16, 2 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (1K x 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x3F 8400	Reserved	
0x3F E000	Boot ROM (8K x 16, 0-Wait)	
0x3F FFC0	Vector (32 Vectors, Enabled if VMAP = 1)	

A. 内存位置 0x3D7E80-0x3D7EAF 被保留在 TMX/TMP 芯片内。

图 3-6. 280200 内存映射

表 3-1. F28021/28023/28027 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 0000-0x3F 1FFF	扇区 D (8K x 16)
0x3F 2000-0x3F 3FFF	扇区 C (8K x 16)
0x3F 4000-0x3F 5FFF	扇区 B (8K x 16)
0x3F 6000-0x3F 7F7F	扇区 A (8K x 16)
0x3F 7F80-0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000。
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点 (程序分支指令)
0x3F 7FF8-0x3F 7FFF	安全密码 (128 位) (不要设定为零)

表 3-2. F28020/28022/28026 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 4000-0x3F 4FFF	扇区 D (4K x 16)
0x3F 5000-0x3F 5FFF	扇区 C (4K x 16)
0x3F 6000-0x3F 6FFF	扇区 B (4K x 16)
0x3F 7000-0x3F 7F7F	扇区 A (4K x 16)
0x3F 7F80-0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000。
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点 (程序分支指令)
0x3F 7FF8-0x3F 7FFF	安全密码 (128 位) (不要设定为零)

表 3-3. F280200 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 6000-0x3F 6FFF	扇区 B (4K x 16)
0x3F 7000-0x3F 7F7F	扇区 A (4K x 16)
0x3F 7F80-0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000。
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点 (程序分支指令)
0x3F 7FF8-0x3F 7FFF	安全密码 (128 位) (不要设定为零)

注

- 当代码安全密码被编辑时, 0x3F7F80 到 0x3F7FF5 间的所有地址不能被用作程序代码或者数据。这些位置必须被设定为 0x0000。
- 如果代码安全特性未被使用, 地址 0x3F 7F80 至 0x3F 7FEF 可被用于代码或者数据。地址 0x3F 7FF0-0x3F 7FF5 为数据保留且不能包含程序代码。

表 3-4 显示如何处理这些内存地址。

表 3-4. 使用安全代码模块的影响

地址	闪存	
	代码安全被启用	代码安全被禁用
0x3F 7F80-0x3F 7FEF	用 0x0000 填充	应用代码和数据
0x3F 7FF0-0x3F 7FF5		只为数据保留。

外设帧 1 和外设帧 2 被编在一组以使这些块成为受保护的写入/读取外设块。受保护模式确保所有到这些块的访问如文档中所描述的一样。由于此管道，在对不同内存位置读取之前的写入操作将出现在 CPU 内存总线上相反的顺序。这会导致特定外设应用中的问题，在此类应用中，用户认为写入会首先发生（如文档所描述的那样）。CPU 支持一个块保护模式，在这个模式中，可对一个内存区域进行保护，这样操作按照本文档所描述的那样发生（代价是额外的周期被添加以校正运行）。可对这个模式进行编程，并且缺省情况下，它会保护所选的区域。

针对内存映射区域内不同空间的等待状态列在表 3-5 中。

表 3-5. 等待状态

区域 (AREA)	等待状态 (CPU)	备注
M0 和 M1 SARAM	0 - 等待	固定的
外设帧 0	0 - 等待	
外设帧 1	0 - 等待（写入） 2 - 等待（读取）	周期可由已生成的外设扩展。 到外设帧 1 寄存器的背靠背写入操作将生成一个 1 周期停止（1 周期延迟）。
外设帧 2	0 - 等待（写入） 2 - 写入（读取）	固定的 周期不可由外设扩展。
L0 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
OTP	可编程 1 - 等待最小	由闪存寄存器设定。 1 - 等待是等待状态所允许的最小值。
闪存	可编程 0 - 页式等待最小值 1 - 随机等待最小值 随机等待 ≥ 页式等待	由闪存寄存器设定。
闪存密码	16 - 等待固定	密码位置的等待状态是固定的。
引导 - ROM	0 - 等待	

3.3 简要说明

3.3.1 CPU

2802x(C28x) 系列是 TMS320C2000™ 微控制器 (MCU) 平台的产品成员。基于 C28x 的控制器具有与现有 C28x MCU 一样的 32 位定点架构。它是一个高效的 C/C++ 引擎,使得用户不仅能够用高级语言开发他们的控制系统,还能够使用 C/C++ 开发算术算法。此器件在处理 MCU 算术任务时与处理系统控制任务时同样有效,而系统控制任务通常由微控制器器件处理。这样的效率在很多系统中省却了对第二个处理器的需要。32 x 32 位 MAC 64 位处理能力使得控制器能够有效地处理更高的数字分辨率问题。添加了带有关键寄存器自动环境保存的快速中断响应,使得一个器件能够用最小的延迟处理很多异步事件。此器件有一个具有流水线式存储器访问的 8 级深受保护管道。这个流水线式操作使得此器件能够在高速执行而无需求助于昂贵的高速存储器。特别分支超前硬件大大减少了条件不连续而带来的延迟。特殊存储条件操作进一步提升了性能。

3.3.2 内存总线 (哈佛总线架构)

与很多 MCU 类型器件一样,多总线被用于在内存和外设以及 CPU 之间移动数据。此内存总线架构包含一个程序读取总线、数据读取总线、和数据写入总线。此程序读取总线由 22 条地址线路和 32 条数据线路组成。数据读取和写入总线由 32 条地址线路和 32 条数据线路组成。32 位宽数据总线可实现单周期 32 位运行。多总线结构,通常称为哈佛总线,使得 C28x 能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存优先内存访问。总的来说,内存总线访问的优先级可概括如下:

最高级:	数据写入	(内存总线上不能同时进行数据和程序写入。)
	程序写入	(内存总线上不能同时进行数据和程序写入。)
	数据读取	
	程序读取	(内存总线上不能同时进行程序读取和取指令。)
最低级:	取指令	(内存总线上不能同时进行程序读取和取指令。)

3.3.3 外设总线

为了在多种德州仪器 (TI) MCU 器件系列间实现外设迁移,此器件采用一个针对外设互连的外设总线标准。外设总线桥复用了多种总线,此总线将处理器内存总线组装进一个由 16 条地址线路和 16 或者 32 条数据线路和相关控制信号组成的单总线中。支持外设总线的三个版本。一个版本只支持 16 位访问 (被称为外设帧 2)。另外版本支持 16 位和 32 位访问 (被称为外设帧 1)。

3.3.4 实时 JTAG 和分析

此器件执行标准 IEEE 1149.1 JTAG⁽¹⁾ 接口用于基于电路内的调试。此外,此器件支持实时模式运行,此运行模式可在处理器正在运行和执行代码且处理中断的同时允许修改内存内容、外设、和寄存器位置。用户也可以通过非时间关键代码进行单步操作,同时可在没有干扰的情况下启用将被处理的时间关键中断。此器件在 CPU 的硬件内执行实时模式。这是 28x 系列器件所特有的特性,无需软件监控。此外,还提供了特别分析硬件以实现硬件断电或者数据/地址观察点的设置并当一个匹配发生时生成不同的用户可选中断事件。这些器件不支持边界扫描;然而,如果将下面的因素考虑在内的话,也可提供 IDCODE 和 BYPASS (旁路) 特性。缺省情况下不支持 IDCODE。用户需要搜索 JTAG 的 SHIFT IR 和 SHIFT DR 状态序列来获得 IDCODE。对于 BYPASS 指令,第一个被移位的 DR 值应该为 1。

(1) IEEE 标准 1149.1-1990 标准测试端口和边界扫描架构

3.3.5 闪存

F280200 器件包含 8K x 4 的嵌入式闪存存储器，被分别放置在 2 个 4K x 16 扇区中。F28021/23/27 器件包含 32K x 16 的嵌入式闪存存储器，被分别放置在 4 个 8K x 16 扇区内。F28020/22/26 器件包含 16K x 4 的嵌入式闪存存储器，被分别放置在 4 个 4K x 16 扇区中。所有器件还包含一个单一 1K x 16 OTP 内存，其地址范围为 0x3D 7800-0x3D 7BFF。用户能够在不改变其它扇区的同时单独擦除、编辑、和验证一个闪存扇区。然而，不能使用闪存的一个扇区或者这个 OTP 来执行擦除/编辑其它扇区的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存 / OTP 被映射到程序和数据空间；因此，它可被用于执行代码或者存储数据信息。地址 0x3F 7FF0-0x3F 7FF5 为数据变量保留且不能包含程序代码。

注

闪存和 OTP 写入状态可由应用配置。这使得运行在较低频率上的应用能够将闪存配置为使用较少的等待状态。

可通过在闪存选项寄存器中启用闪存流水线操作模式来提升闪存的效能。这个模式被启用时，线性代码执行的效能将远远快于只由等待状态配置所表示的原始性能。使用闪存管道模式的准确性增加依应用而定。

与闪存选项、闪存等待状态、和 OTP 等待状态寄存器相关的更多信息，请见《TMS320x2802x/TMS320F2802xx Piccolo 系统控制和中断参考指南》（文献编号 [SPRUFN3](#)）。

3.3.6 M0, M1 SARAM

所有器件包含这两块单周期访问内存，每一个的大小为 1K x 16。复位时，堆栈指针指向块 M1 的开始位置。M0 和 M1 块，与所有其它 C28x 器件上的内存块一样，被映射到程序和数据空间。因此，用户能够使用 M0 和 M1 来执行代码或者用于数据变量。分区在连接器内执行。C28x 器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

3.3.7 L0 SARAM

器件含有多达 4K x 16 的单一访问 RAM。请参考节 3.2 中的器件专用内存映射图表来确定一个指定器件的准确大小。这个块被映射到程序和数据空间。

3.3.8 引导 ROM

引导 ROM 由厂家使用引导载入软件进行设定。提供的引导模式信号告诉引导加载软件在加电时使用哪种引导模式。用户能够选择正常引导或者从外部连接下载新软件或者选择在内部闪存 / ROM 中编辑的引导软件。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。

表 3-6. 引导模式选择

模式	GPIO37/TDO	GPIO34/COMP2OUT	TRST	模式
3	1	1	0	取模式 (GetMode)
2	1	0	0	等待（说明请见节 3.3.9）
1	0	1	0	SCI
0	0	0	0	并行 IO
EMU	x	x	1	仿真引导

3.3.8.1 仿真引导

当仿真器被连接时，GPIO37/TDO 引脚不能被用于引导模式选择。在这种情况下，引导 ROM 检测一个被连接的仿真器并使用 PIE 矢量表中两个被保留的 SARAM 位置内的内容来确定引导模式。如果两个位置内的内容均无效，那么使用等待引导选项。可在仿真引导中访问所有引导模式选项。

3.3.8.2 GetMode

GetMode的缺省运行状态选项为引导至闪存。通过在 OTP 中设定两个位置，这个运行状态能够被改变为其它的引导选项。如果两个 OTP 位置的内容均为无效，那么引导至闪存。可指定下列加载器中的一个：SCI，SPI，I2C，或者 OTP。

3.3.8.3 引导加载器使用的外设引脚

表 3-7 显示了每一个外设引导加载器所使用的 GPIO 引脚。参考 GPIO 复用表以检查您是否希望将这些与任一外设的冲突使用到您的应用中。

表 3-7. 外设引导加载引脚

引导加载器	外设加载器引脚
SCI	SCIRXDA (GPIO28) SCITXDA (GPIO29)
并行引导	数据(GPIO[7:0]) 28x 控制(GPIO16) 主机控制(GPIO12)
SPI	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA(GPIO19)
I2C	SDAA (GPIO32) ⁽¹⁾ SCLA (GPIO33) ⁽¹⁾

(1) 在您的器件封装上，GPIO 引脚 32 和 33 也许不可用。在这些器件上，这个引导加载选项不可用。

3.3.9 安全性

此器件支持高级安全性以保护用户固件不受反向工程的损坏。这个安全性特有一个 128 位密码（针对 16 个等待状态的硬编码），此密码由用户编辑入闪存。一个代码安全模块 (CSM) 用于保护闪存 / OTP 和 L0/L1 SARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存密码位置内的值相匹配的正确的 128 位 KEY（密钥）值。

除了 CSM，仿真代码安全逻辑电路 (ECSL) 也已经被实现来防止未经授权的用户安全代码。在仿真器连接时，任何对于闪存、用户 OTP、或者 L0 内存的代码或者数据访问将生成 ECSL 错误并断开仿真连接。为了实现安全代码仿真，同时保持 CSM 安全内存读取，用户必须向 KEY 寄存器的低 64 位写入正确的值，这个值与存储在闪存密码位置的低 64 位的值相符合。请注意仍须执行闪存内所有 128 位密码的假读取。如果密码位置的低 64 位为全 1（未被编辑），那么无须符合 KEY 值。

当使用闪存内被编辑的密码位置（即，安全的）进行最初调试时，CPU 将开始运行并可执行一个指令来访问一个受保护的 ECSL 区域。如果这一情况发生，ECSL 将发生错误并使仿真器连接被断开。

这个解决方案是为了使用等待引导选项。这将进入一个软件断点周围的环路以在不触发安全错误的情况下实现仿真器连接。一旦仿真器被使用《TMS320x2802x Piccolo 引导 ROM 参考指南》（文献编号 [SPRUFG6](#)）所描述的仿真引导选项中的一个进行了连接，用户可以退出这个模式。Piccolo 器件不支持一个硬件复位等待模式。

注

- 当代码安全密码被编辑时，0x3F7F80 到 0x3F7FF5 间的所有地址不能被用作程序代码或者数据。这些位置必须被设定为 0x0000。
- 如果代码安全特性未被使用，地址 0x3F7F80 至 0x3F7FEF 可被用于代码或者数据。地址 0x3F7FF0-0x3F7FF5 为数据保留且不能包含程序代码。

128 位密码（位于 0x3F7FF8-0x3F7FFF）必须被设定为全 0。这样做的话将永久锁住此器件。

Disclaimer

代码安全模块免责声明

这个器件所包含的代码安全模块 (CSM) 被设计用于对存储在相关内存 (ROM 或者闪存) 中的数据进行密码保护并且由德州仪器 (TI) 提供质量保证, 与其标准条款和条件相一致, 符合 TI 发布的规范以获得适用于这个器件的保修期。

但是, TI 不保证或表示 CSM 不会被危害或破坏, 或不能通过其它方法存取关联的存储器中存储的数据。而且, 除了上述内容外, TI 也未对本器件的 CSM 或操作做任何保证或表示, 包括任何隐含的用于特定用途的商用性或适用性保证。

在任何情况下, TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或严重伤害不负任何责任, 无论 TI 是否被告知存在这种伤害的可能性。排除的损害包括但不限于数据丢失、信誉损失、无法使用、业务中断或其它经济损失。

3.3.10 外设中断扩展 (PIE) 块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。在 F2802x 上, 外设使用 96 可能中断中的 33 个。96 个中断被分成 8 组, 每组被提供 12 个 CPU 中断线 (INT1 或者 INT12) 中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时, 这个矢量由 CPU 自动抽取。抽取这个矢量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用/禁用。

3.3.11 外部中断 (XINT1-XINT3)

此器件支持 3 个被屏蔽的外部中断 (XINT1-XINT3)。每一个中断可被选择成负边沿、正边沿、或者二者触发并能够被启用/禁用。这些中断还包含一个 16 位自由运行的上数计数器, 当检测到一个有效的中断边沿时, 该计数器复位为 0。这个计数器可被用于为中断精确计时。没有用于外部引脚的专用引脚。

XINT1, XINT2, 和 XINT3 中断可接受来自 GPIO0-GPIO3 引脚的输入。

3.3.12 内部零引脚振荡器、振荡器、和 PLL

此器件可由两个内部零引脚振荡器、一个外部振荡器、或者一个连接至片载振荡器电路 (只适用于 48 引脚器件) 的晶振中的任一个计时。一个提供的 PLL 支持高达 12 个输入时钟缩放比。PLL 比率可用软件中在器件运行时更改, 这使得用户在需要低功耗运行时能够按比例降低运行频率。时序细节, 请参考 [Section 6](#), 电气规范。PLL 块可被设定为旁路模式。

3.3.13 安全装置

每个器件包含两个安全装置: CPU 安全装置监控内核, 而 NMI 安全装置是一个丢失时钟检测电路。用户软件必须在特定的期限内定期复位 CPU 安全装置计数器; 否则, CPU 安全装置将生产一个到处理器的复位。如果需要, 可将 CPU 安全装置禁用。只有在发生一个时钟故障的情况下, NMI 安全装置才起作用并可生成一个中断或者一个器件复位。

3.3.14 外设时钟

在外设闲置时, 到每一个独立外设的时钟可被启用/禁用以减少功耗。此外, 到串行端口 (除了 I2C) 的系统时钟可按照 CPU 时钟进行缩放。

3.3.15 低功耗模式

此器件是完全静态 CMOS 器件。提供三个低功耗模式：

- IDLE**（闲置）：将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间需要运行的外设保持运行状态。来自激活外设或者安全装置定时器的已启用的中断将把处理器从 IDLE 模式中唤醒。
- STANDBY**（待机）：关闭到 CPU 和外设的时钟。在这个模式下，振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。在检测到中断事件之后的下一个有效周期上，执行开始。
- HALT**（暂停）：基本上，这个模式关断器件并将器件置于尽可能低的功耗模式中。如果内部零引脚振荡器被用作时钟源，缺省情况下，HALT 模式将它们关闭。为了防止这些振荡器被关闭，可使用 CLKCTL 寄存器内的 INTOSCnHALTI 位。这样，零引脚振荡器可在这个模式下中被用于为 CPU 安全装置计时。如果片载晶体振荡器被用作时钟源，在这个模式中，它将被关闭。一个复位或者一个外部信号（通过一个 GPIO 引脚）或者 CPU 安全装置能够将器件从这个模式唤醒。

在试图将器件置于 HALT 或者 STANDBY 模式前，CPU 时钟 (OSCCLK) 和 WDCLK 应来自同一个时钟源。

3.3.16 外设帧 0, 1, 2 (PFn)

此器件将外设分成 3 个部分。外设映射如下：

- PF0**
 - PIE:** PIE 中断启用和控制寄存器加上 PIE 矢量表
 - :
 - 闪存:** 闪存写入状态寄存器
 - 定时器:** CPU - 定时器 0, 1, 2 寄存器
 - CSM:** 代码安全模块 KEY 寄存器
 - ADC:** ADC 结果寄存器
- PF1**
 - GPIO:** GPIO MUX 配置和控制寄存器
 - :
 - ePWM:** 增强型脉冲宽度调制器模块和寄存器
 - eCAP:** 增强型捕捉模块和寄存器
 - 比较器:** 比较器模块:
- PF2**
 - SYS:** 系统控制寄存器
 - :
 - SCI:** 串行通信接口 (SCI) 控制和 RX/TX 寄存器
 - SPI:** 串行端口接口 (SPI) 和 RX/TX 寄存器
 - ADC:** ADC 状态、控制、和配置寄存器
 - IC2:** 集成电路间模块和寄存器
 - XINT:** 外部中断寄存器

3.3.17 通用输入/输出 (GPIO) 复用器

大多数的外设信号与通用输入/输出 (GPIO) 信号复用。这使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时, GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式, 用户能够独立设定每一个引脚。对于特定的输入, 用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO 信号也可被用于使器件脱离特定低功耗模式。

3.3.18 32 位 CPU 定时器 (0, 1, 2)

CPU 定时器 0, 1, 和 2 是完全一样的 32 位定时器, 这些定时器带有可预先设定的周期和 16 位时钟预分频。此定时器有一个 32 位倒计时寄存器, 此寄存器在计数器达到 0 时生成一个中断。这个计数器的减量为被预分频值设置所分频的 CPU 时钟速度的值。当此计数器达到 0 时, 它自动重新载入一个 32 位的周期值。

CPU 定时器 0 为通用定时器并被连接至 PIE 块。CPU 定时器 1 为通用定时器并被连接至 CPU 的 INT13。CPU 定时器 2 为 DSP/BIOS 保留。它被连接至 CPU 的 INT14。如果 DSP/BIOS 未被使用, CPU 定时器 2 也可称为通用定时器。

CPU 定时器 2 可由下列任一器件计时:

- SYSCLKOUT (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- 外部时钟源

3.3.19 控制外设

此器件支持下列用于嵌入式控制和通信的外设:

- | | |
|-------|--|
| ePWM: | 增强型 PWM 外设支持针对前缘/后缘边沿、被锁存的/逐周期机制的独立的/互补的 PWM 生成, 可调节死区生成。一些 PWM 引脚支持 HRPWM 高分辨率占空比和周期特性。2802x 器件上的类型 1 模块也支持增加的死区分辨率、增强型片上系统 (SOC) 和中断生成、和包括基于比较器输出的触发功能的高级触发。 |
| eCAP: | 这个增强型捕捉外设使用一个 32 位时基并在连续/单次捕捉模式中记录多达四个可编程事件。
这个外设也可被配置为生成一个辅助 PWN 信号。 |
| ADC: | ADC 块是一个 12 位转换器。根据器件的不同, 它有多达 13 个单端通道输出引脚。它包含两个用于同步采样的采样保持单元。 |
| 比较器: | 每个比较器块由一个模拟比较器连同为一个为比较器的一个输入供电的内部 10 位基准组成。 |

3.3.20 串行端口外设

此器件支持下列的串行通信外设：

- SPI:** SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流被移入和移出器件。通常，SPI 用于 MCU 和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 主控/受控操作支持。SPI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。
- SCI:** 串行通信接口是一个两线制异步串行端口，通常被称为 UART。SCI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。
- IC2:** 内部集成电路 (I2C) 模块提供一个 MCU 和其它器件（符合飞利浦半导体内部 IC 总线 (I2C-bus) 规范版本 2.1 并由一个 I2C-bus 相连）间的接口。通过这个 I2C 模块，连接在这个两线制总线上的外部组件能够发送高达 8 位数据到 MCU，或者从 MCU 接收高达 8 位数据。I2C 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

3.4 寄存器映射

此器件包含3个外设寄存器空间。这些空间分类如下：

- 外设帧 0： 这些是直接映射到 CPU 内存总线的外设。请参阅表 3-8。
 外设帧 1： 这些是映射到 32 位外设总线的外设。请参阅表 3-9。
 外设帧 2： 这些是映射到 16 位外设总线的外设。请参阅表 3-10。

表 3-8. 外设帧 0 寄存器⁽¹⁾

名称	地址范围	大小 (x16)	受保护的 EALLOW ⁽²⁾
器件仿真寄存器	0x00 0880-0x00 0984	261	支持
系统功率控制寄存器	0x00 0985-0x00 0987	3	支持
闪存寄存器 ⁽³⁾	0x00 0A80-0x00 0ADF	96	支持
代码安全模块寄存器	0x00 0AE0-0x00 0AEF	16	支持
ADC 寄存器 (0 等待只读)	0x00 0B00-0x00 0B0F	16	否
CPU - 定时器 0/1/2 寄存器	0x00 0C00-0x00 0C3F	64	否
PIE 寄存器	0x00 0CE0-0x00 0CFF	32	否
PIE 矢量表	0x00 0D00-0x00 0DFF	256	否

- (1) 在帧 0 中的寄存器支持 16 位和 32 位访问。
 (2) 如果寄存器是 EALLOW 受保护的，那么在 EALLOW 指令被执行前写入不能被执行。EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。
 (3) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 3-9. 外设帧 1 寄存器

名称	地址范围	大小 (x 16)	受 EALLOW 保护
比较器 1 寄存器	0x00 6400-0x00 641F	32	(1)
比较器 2 寄存器	0x00 6420-0x00 643F	32	(1)
ePWM1 + HRPWM1 寄存器	0x00 6800-0x00 683F	64	(1)
ePWM2 + HRPWM2 寄存器	0x00 6840-0x00 687F	64	(1)
ePWM3 + HRPWM3 寄存器	0x00 6880-0x00 68BF	64	(1)
ePWM4 + HRPWM4 寄存器	0x00 68C0-0x00 68FF	64	(1)
eCAP1 寄存器	0x00 6A00-0x00 6A1F	32	否
GPIO 寄存器	0x00 6F80-0x00 6FFF	128	(1)

- (1) 一些寄存器是受 EALLOW 保护的。详细信息请见模块参考指南。

表 3-10. 外设帧 2 寄存器

名称	地址范围	大小 (x 16)	受 EALLOW 保护
系统控制寄存器	0x00 7010-0x00 702F	32	支持
SPI-A 寄存器	0x00 7040-0x00 704F	16	否
SCI-A 寄存器	0x00 7050-0x00 705F	16	否
NMI 安全装置中断寄存器	0x00 7060-0x00 706F	16	支持
外部中断寄存器	0x00 7070-0x00 707F	16	支持
ADC 寄存器	0x00 7100-0x00 717F	128	(1)
I2C-A 寄存器	0x00 7900-0x00 793F	64	(1)

- (1) 一些寄存器是受 EALLOW 保护的。详细信息请见模块参考指南。

3.5 器件仿真寄存器

这些寄存器用于控制 C28x CPU 的保护模式和监视某些关键器件信号。表 3-11 中定义了这些寄存器。

表 3-11. 器件仿真寄存器

名称	地址范围	大小 (x 16)	说明			受 EALLOW 保护的
DEVICECNF	0x0880 0x0881	2	器件配置寄存器			支持
PARTID	0x3D 7FFF	1	部件 ID 寄存器	TMS320F280200PT 0x00C1 TMS320F280200DA 0x00C0 TMS320F28027PT 0x00CF TMS320F28027DA 0x00CE TMS320F28026PT 0x00C7 TMS320F28026DA 0x00C6 TMS320F28023PT 0x00CD TMS320F28023DA 0x00CC TMS320F28022PT 0x00C5 TMS320F28022DA 0x00C4 TMS320F28021PT 0x00CB TMS320F28021DA 0x00CA TMS320F28020PT 0x00C3 TMS320F28020DA 0x00C2	否	
CLASSID	0x0882	1	类别 ID 寄存器	TMS320F280200PT/DA 0x00C7 TMS320F28027PT/DA 0x00CF TMS320F28026PT/DA 0x00C7 TMS320F28023PT/DA 0x00CF TMS320F28022PT/DA 0x00C7 TMS320F28021PT/DA 0x00CF TMS320F28020PT/DA 0x00C7	否	
REVID	0x0883	1	修订版本 ID 寄存器	0x0000 - 芯片修订版本 0 - TMS 0x0001 - 芯片修订版本 A - TMS		否

3.6 中断

图 3-7 显示了不同的中断源是如何被复用的。

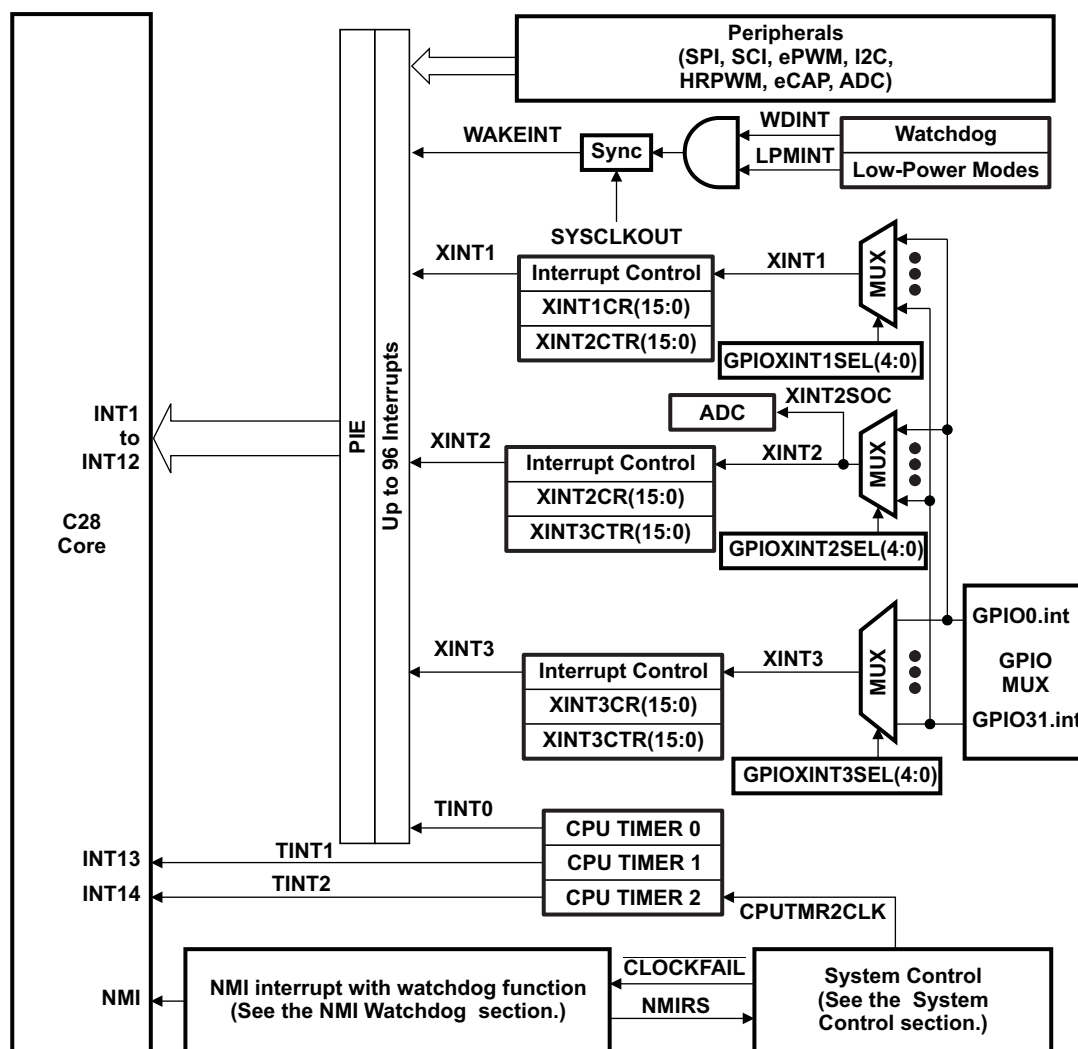


图 3-7. 外部和 PIE 中断源

8 个 PIE 块中断被组合进一个 CPU 中断中。12 个 CPU 中断组，每组 8 个中断，总共 96 个中断。表 3-12 显示了 2802x 器件所用的中断。

TRAP #Vectornumber (矢量号) 指令将程序控制发送至与指定的矢量相对用的中断处理例程。TRAP #0 尝试传送程序控制到复位矢量所指向的地址。然而，PIE 矢量表不含复位矢量。因此，当 PIE 被启用时，TRAP #0 不应被使用。这样做将导致未定义的运行状态。

当 PIE 被启用时，TRAP #1 至 TRAP #12 将传送程序控制到与 PIE 组中第一个矢量相对应的中断处理例程。例如：TRAP #1 从 INT1.1 取矢量，TRAP #2 从 INT2.1 取矢量，以此类推。

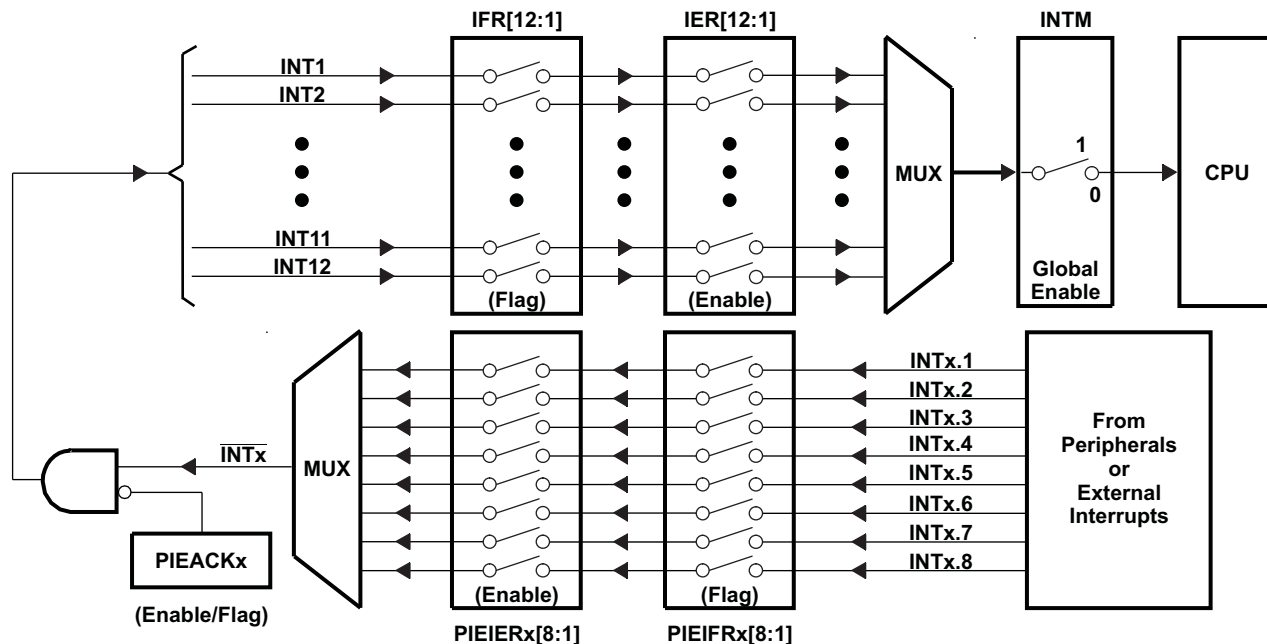


图 3-8. 使用 PIE 块的中断复用

表 3-12. PIE 多路复用的外设中断矢量表⁽¹⁾

	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1.y	WAKEINT (LPM/WD) 0xD4E	TINT0 (定时器 0) 0xD4C	ADCINT9 (ADC) 0xD4A	XINT2 外部内部2 0xD48	XINT1 外部内部1 0xD46	被保留 - 0xD44	ADCINT2 (ADC) 0xD42	ADCINT1 (ADC) 0xD40
INT2.y	被保留 - 0xD5E	被保留 - 0xD5C	被保留 - 0xD5A	被保留 - 0xD58	EPWM4_TZINT (ePWM4) 0xD56	EPWM3_TZINT (ePWM3) 0xD54	EPWM2_TZINT (ePWM2) 0xD52	EPWM1_TZINT (ePWM1) 0xD50
INT3.y	被保留 - 0xD6E	被保留 - 0xD6C	被保留 - 0xD6A	被保留 - 0xD68	EPWM4_INT (ePWM4) 0xD66	EPWM3_INT (ePWM3) 0xD64	EPWM2_INT (ePWM2) 0xD62	EPWM1_INT (ePWM1) 0xD60
INT4.y	被保留 - 0xD7E	被保留 - 0xD7C	被保留 - 0xD7A	被保留 - 0xD78	被保留 - 0xD76	被保留 - 0xD74	被保留 - 0xD72	ECAP1_INT (eCAP1) 0xD70
INT5.y	被保留 - 0xD8E	被保留 - 0xD8C	被保留 - 0xD8A	被保留 - 0xD88	被保留 - 0xD86	被保留 - 0xD84	被保留 - 0xD82	被保留 - 0xD80
INT6.y	被保留 - 0xD9E	被保留 - 0xD9C	被保留 - 0xD9A	被保留 - 0xD98	被保留 - 0xD96	被保留 - 0xD94	SPITXINTA (SPI-A) 0xD92	SPIRXINTA (SPI-A) 0xD90
INT7.y	被保留 - 0xDAE	被保留 - 0xDAC	被保留 - 0xDAA	被保留 - 0xDA8	被保留 - 0xDA6	被保留 - 0xDA4	被保留 - 0xDA2	被保留 - 0xDA0
INT8.y	被保留 - 0xDBE	被保留 - 0xDBC	被保留 - 0xDBA	被保留 - 0xDB8	被保留 - 0xDB6	被保留 - 0xDB4	I2CINT2A (I2C-A) 0xDB2	I2CINT1A (I2C-A) 0xDB0
INT9.y	被保留 - 0xDCE	被保留 - 0xDCC	被保留 - 0xDCA	被保留 - 0xDC8	被保留 - 0xDC6	被保留 - 0xDC4	SCITXINTA (SCI-A) 0xDC2	SCIRXINTA (SCI-A) 0xDC0
INT10.y	ADCINT8 (ADC) 0xDDE	ADCINT7 (ADC) 0xDDC	ADCINT6 (ADC) 0xDDA	ADCINT5 (ADC) 0xDD8	ADCINT4 (ADC) 0xDD6	ADCINT3 (ADC) 0xDD4	ADCINT2 (ADC) 0xDD2	ADCINT1 (ADC) 0xDD0
INT11.y	被保留 - 0xDEE	被保留 - 0xDEC	被保留 - 0xDEA	被保留 - 0xDE8	被保留 - 0xDE6	被保留 - 0xDE4	被保留 - 0xDE2	被保留 - 0xDE0
INT12.y	被保留 - 0xDFE	被保留 - 0xDFC	被保留 - 0xDFA	被保留 - 0xDF8	被保留 - 0xDF6	被保留 - 0xDF4	被保留 - 0xDF2	XINT3 外部 内部 3 0xDF0

(1) 在 96 个可能的中断中，有一些是不使用的。这些中断是为以后的器件所保留的。如果它们在 PIEIFRx 级被启用并且这个组中的中断没有一个被外设使用，这些中断可被用作软件中断。否则，在意外地清除它们的标志同时修改 PIEIFR 的情况下，来自外设的中断也许会丢失。总的来说，在两个安全情况下，被保留的中断可被用作软件中断：

- 组内没有外设使中断有效。
- 没有外设中断被分配给组（例如，PIE 组 5，7，或者 11）。

表 3-13. PIE 配置和控制寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
PIECTRL	0x0CE0	1	PIE, 控制寄存器
PIEACK	0x0CE1	1	PIE, 确认寄存器
PIEIER1	0x0CE2	1	PIE, INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE, INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE, INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE, INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE, INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE, INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE, INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE, INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE, INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE, INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE, INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE, INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE, INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE, INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE, INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE, INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE, INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE, INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE, INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE, INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE, INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE, INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE, INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE, INT12 组标志寄存器
被保留	0x0CFA- 0x0CFF	6	被保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 矢量表受保护。

3.6.1 外部中断

表 3-14. 外部中断寄存器

名称	地址	大小 (x 16)	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
XINT3CTR	0x00 707A	1	XINT3 计数器寄存器

使用正、负、或者正负边沿可启用/禁用或者限定每一个外部中断。如需更多信息，请参阅《TMS320x2802x/TMS320F2802xxPiccolo 系统控制和中断参考指南》（文献编号 [SPRUFN3](#)）。

3.7 VREG/BOR/POR

虽然内核和 I/O 电路运行在两个不同的电压上，这些器件有一个片载电压稳压器 (VREG) 来生成 V_{DD} 电压，此电压由 V_{DDIO} 电源提供。这在应用板上免除了第二个外部稳压器的成本和空间的需要。此外，在加电和运行模式期间，内部加电复位 (POR) 和欠压复位 (BOR) 电力路监控 V_{DD} 和 V_{DDIO} 电源轨。

3.7.1 片载电压稳压器 (VREG)

一个线性稳压器生成内核电压 (V_{DD})，此电压由 V_{DDIO} 电源提供。因此，虽然在每一个 V_{DD} 引脚上都需要电容器来稳定生成的电压，但是运行此器件并不需要为这些引脚供电。相反地，如果功率或者冗余是应用关心的首要问题，那么可将 VREG 禁用。

3.7.1.1 使用片载 VREG

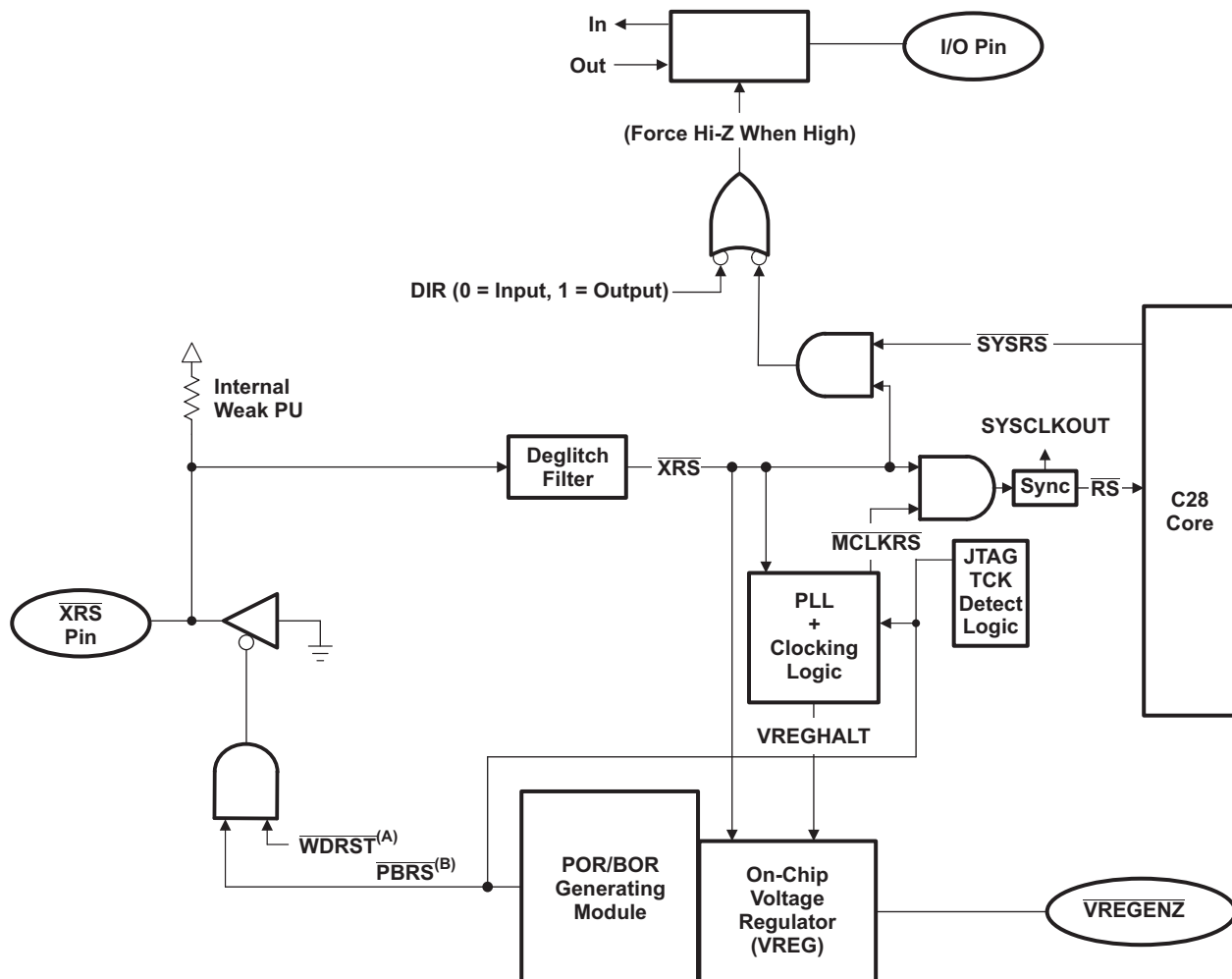
为了采用片载 VREG， $\overline{VREGNZ}$ 引脚应该被接至低电平并且适当的建议运行电压应该被应用于 V_{DD} 和 V_{DDIO} 引脚。在这个情况下，内核逻辑所需的 V_{DD} 电压将有 VREG 生成。为了实现 VREG 正确调节，每一个 V_{DD} 引脚需要电容值为 $1.2\mu\text{F}$ （最小值）的电容器。这些电容器应该被放置在尽可能接近 V_{DD} 引脚的位置。

3.7.1.2 禁用片载 VREG

为了节约能源，也可禁用片载 VREG 并使用一个效率更高的外部稳压器将内核逻辑电压提供给 V_{DD} 引脚。为了启用这个选项， $\overline{VREGNZ}$ 引脚必须被接至高电平。

3.7.2 片载加电复位 (POR) 和欠压复位 (BOR) 电路

两个片载监视电路，加电复位 (POR) 和欠压复位 (BOR) 从应用板上移除了监控 V_{DD} 和 V_{DDIO} 电源轨的负担。POR 的目的是在整个加电过程期间，在整个器件上创建一个洁净的复位。此触发点是一个非固定的、比 BOR 更低的触发点，将在器件运行期间观察 V_{DD} 或者 V_{DDIO} 电源轨的骤减。POR 功能总是出现在 V_{DD} 和 V_{DDIO} 电源轨上。在器件首次加电后，BOR 功能总是出现在 V_{DD} 上，并且当内部 VREG 被启用时，出现在 V_{DD} 上（ $\overline{VREGNZ}$ 引脚被接至低电平）。当其中一个电压低于它们各自的触发点时，两个功能连接至 $\overline{XRS}$ 引脚低电平。此外，当内部电压稳压器被启用时，一个过压保护电路将连接至 $\overline{XRS}$ 低电平，此时 V_{DD} 电源轨上高于其触发点。在 [Section 6](#) 中列出了不同的触发点以及器件在欠压/过压条件被移除后释放 $\overline{XRS}$ 引脚的延迟时间。[图 3-9](#) 显示了 VREG, POR, 和 BOR。为了禁用 V_{DD} 和 V_{DDIO} BOR 功能，在 BORCFG 寄存器中提供了一个位。详细信息，请参考《TMS320x2802x/TMS320F2802xxPiccolo 系统控制和中断参考指南》（文献编号 [SPRUFN3](#)）。



- A. $\overline{WDRST}$ 是来自 CPU 安全装置的复位信号。
B. $\overline{PBRST}$ 是来自 POR/BOR 模块的复位信号。

图 3-9. VREG + POR + BOR + Reset 信号连接性

3.8 系统控制

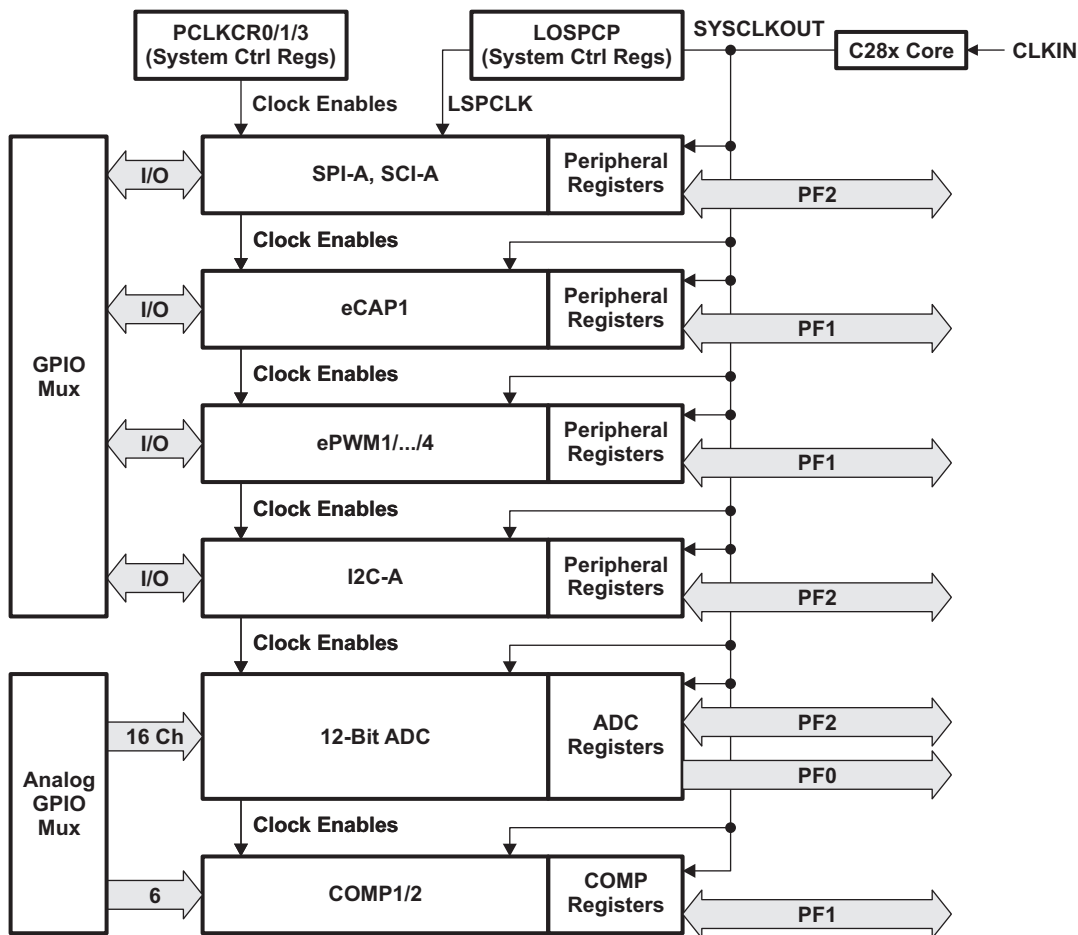
这一部分对振荡器和时钟机制、安全装置功能以及低功耗模式进行了说明。

表 3-15. PLL、时钟、安全装置和低功率模式寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
BORCFG	0x00 0985	1	BOR 配置寄存器
XCLK	0x00 7010	1	XCLKOUT 控制
PLLSTS	0x00 7011	1	PLL 状态寄存器
CLKCTL	0x00 7012	1	时钟控制寄存器
PLLLOCKPRD	0x00 7013	1	PLL 锁周期
INTOSC1TRIM	0x00 7014	1	内部振荡器 1 调整寄存器
INTOSC2TRIM	0x00 7016	1	内部振荡器 2 调整寄存器
LOSPCP	0x00 701B	1	低速外设时钟预分频寄存器
PCLKCR0	0x00 701C	1	外设时钟控制寄存器 0
PCLKCR1	0x00 701D	1	外设时钟控制寄存器 1
LPMCR0	0x00 701E	1	低功耗模式控制寄存器 0
PCLKCR3	0x00 7020	1	外设时钟控制寄存器 3
PLLCR	0x00 7021	1	PLL 控制寄存器
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	安全装置计数器寄存器
WDKEY	0x00 7025	1	安全装置复位密钥寄存器
WDCR	0x00 7029	1	安全装置控制寄存器

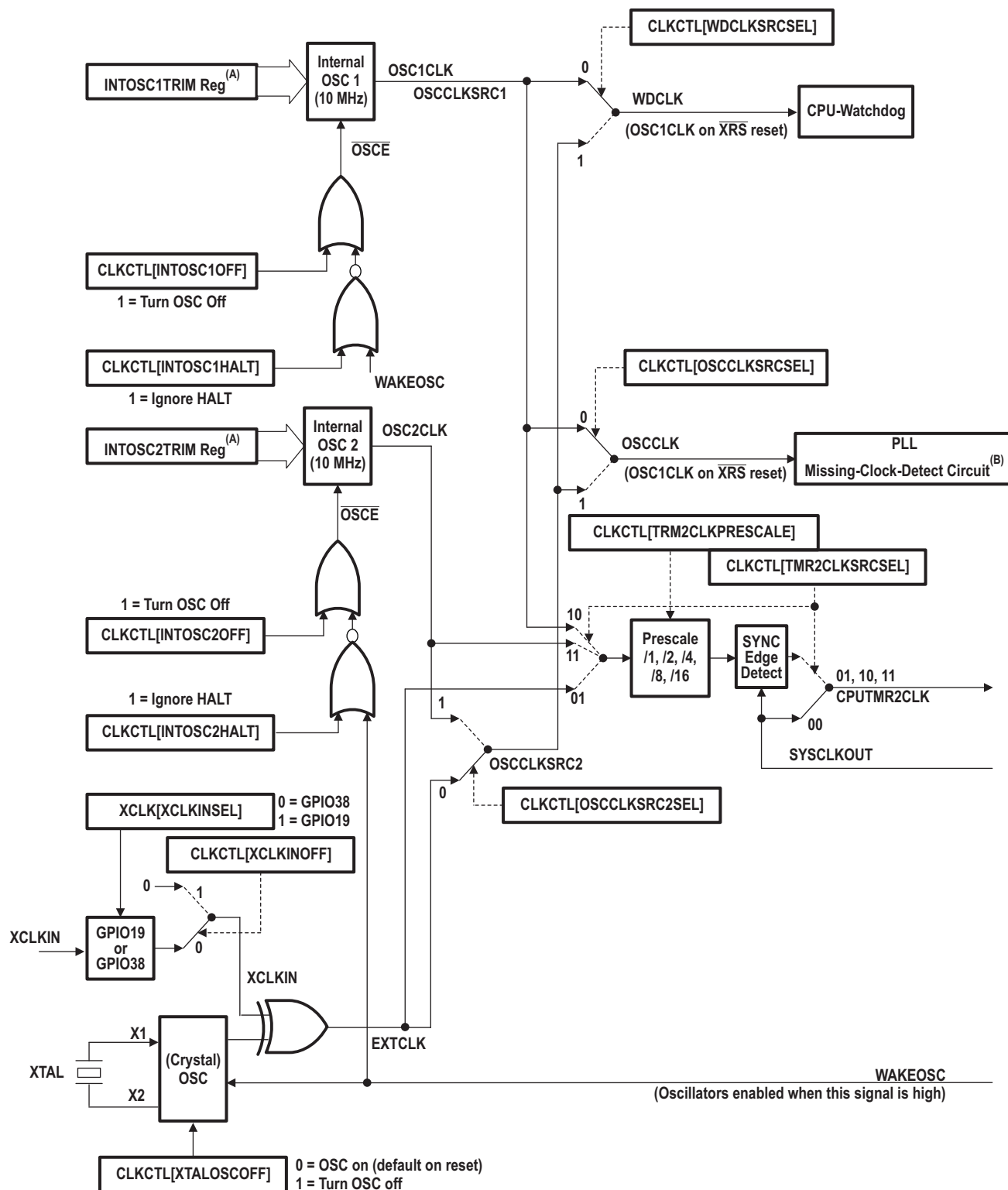
(1) 这个表中的所有寄存器是 EALLOW 受保护的。

图 3-10 显示了讨论的多种时钟域。图 3-11 显示了能够为器件运行提供时钟的多种时钟源（内部的和外部的）。



A. CLKIN 是 CPU 的内部时钟。它作为 SYSCLKOUT 从 CPU 传出（也就是说，CLKIN 与 SYSCLKOUT 频率相同）。

图 3-10. 时钟和复位域



- A. 从 TI 基于 OTP 的校准功能载入的寄存器。
B. 丢失时钟检测细节请见节 3.8.4。

图 3-11. 时钟树

3.8.1 内部零引脚振荡器

F2802x器件包含两个独立的内部零引脚振荡器。缺省情况下，两个振荡器在加电时全都打开，此时，内部振荡器 1 是默认时钟源。为了节能，用户可将不使用的振荡器断电。这些振荡器的中心频率由它们各自的振荡器调整寄存器决定，此寄存器在校准例程中被写入作为引导 ROM 执行的一部分。有关这些振荡器的更多信息，请见Section 6，电气规范。

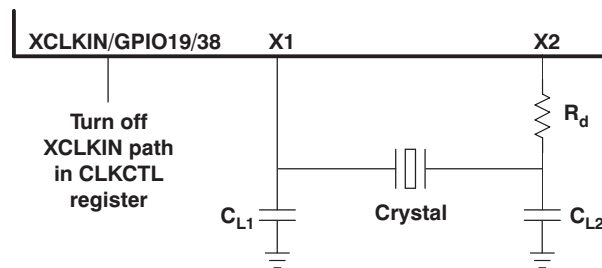
3.8.2 晶体振荡器选项

表 3-16中列出了外部石英晶体（基本模式，并行共振）的典型技术规范。此外，ESR 范围 = 30 至 150Ω。

表 3-16. 外部石英晶振的典型技术规范⁽¹⁾。

频率 (MHz)	$R_d(\Omega)$	$C_{L1}(pF)$	$C_{L2}(pF)$
5	2200	18	18
10	470	15	15
15	0	15	15
20	0	12	12

(1) $C_{\text{并联}}$ 应该少于或者等于 5pF。



A. X1/X2 引脚只在 48 引脚封装内提供。

图 3-12. 片载晶体振荡器的使用

注

1. C_{L1} 和 C_{L2} 是电路板和包括 IC 和晶振在内的组件的总电容值。这个值通常约为晶振负载电容值的两倍。
2. 制造商的晶振技术规范中对晶振的负载电容值进行了说明。
3. TI 建议用户让谐振器/晶振销售商对他们销售的器件与 MCU 芯片的运行进行特性说明。谐振器/晶体供应商具有调谐振谐电路的设备和专业技术。销售商也可建议客户考虑适当的谐振组件值，这个值将在整个运行范围内产生合适的启动和稳定性。

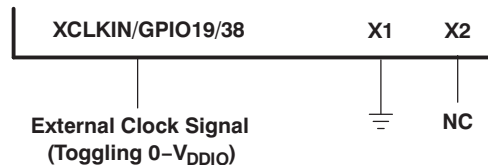


图 3-13. 3.3V 外部振荡器的使用

3.8.3 基于 PLL 的时钟模块

此器件有一个片载、基于 PLL 的时钟模块。这个模块为器件提供所有需要的时钟信号，以及对低功耗模式进入的控制。PLL 有一个 4 位比率控制 PLLCR[DIV] 来选择不同的 CPU 时钟速率。在写入 PLLCR 寄存器之前，安全装置模块应该被禁用。在 PLL 模式稳定后，它可被重新启用（如果需要的话），重新启用的时间为

1ms。输入时钟和 PLLCR[DIV] 位的选择方法应该是在 PLL (VCOCLK) 的输出频率至少为 50MHz 的时候再选择。

表 3-17. PLL 设置

PLLCR[DIV] 值 ^{(1) (2)}	SYSCLKOUT (CLKIN)		
	PLLSTS[DIVSEL]=0 或 1 ⁽³⁾	PLLSTS[DIVSEL]=2	PLLSTS[DIVSEL]=3
0000 (PLL 旁路)	OSCCLK/4 (缺省) ⁽¹⁾	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	(OSCCLK * 1)/1
0010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	(OSCCLK * 2)/1
0011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	(OSCCLK * 3)/1
0100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	(OSCCLK * 4)/1
0101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	(OSCCLK * 5)/1
0110	(OSCCLK * 6)/4	(OSCCLK * 6)/2	(OSCCLK * 6)/1
0111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	(OSCCLK * 7)/1
1000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	(OSCCLK * 8)/1
1001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	(OSCCLK * 9)/1
1010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	(OSCCLK * 10)/1
1011	(OSCCLK * 11)/4	(OSCCLK * 11)/2	(OSCCLK * 11)/1
1100	(OSCCLK * 12)/4	(OSCCLK * 12)/2	(OSCCLK * 12)/1

- (1) PLL 控制寄存器 (PLLCR) 和 PLL 状态寄存器 (PLLSTS) 只能通过 $\overline{\text{XRS}}$ 信号或者一个安全装置复位被复位为它们的缺省值。一个调试器发出的复位或者丢失时钟检测逻辑对其没有影响。
- (2) 此寄存器是 EALLOW 受保护的。如需更多信息，请参阅《TMS320x2802x/TMS320F2802xxPiccolo 系统控制和中断参考指南》（文献编号 [SPRUFN3](#)）。
- (3) 缺省情况下，PLLSTS [DIVSEL] 被配置为 /4。（引导 ROM 将这个配置改为 /1。）在写入 PLLCR 前，PLLSTS [DIVSEL] 必须为 0，而只有当 PLLSTS [PLLOCKS]=1 时才应被改变。

表 3-18. CLKIN 分频选项

PLLSTS [DIVSEL]	CLKIN 分频
0	/4
1	/4
2	/2
3	/1

基于 PLL 的时钟模块提供四种运行模式：

- **INTOSC1（内部零引脚振荡器 1）**：这是内部片载振荡器 1。此振荡器可为安全装置块、内核和 CPU 定时器 2 提供时钟。
- **INTOSC2（内部零引脚振荡器 2）**：这是内部片载振荡器 2。此振荡器可为安全装置块、内核和 CPU 定时器 2 提供时钟。INTOSC1 和 INTOSC2 都可被独立选择用于安全装置块、内核和 CPU 定时器 2。
- **晶振/谐振器运行**：片载（晶振）振荡器使得器件可以使用一个连接在其上的外部晶振/振荡器来提供时钟。晶振/谐振器被连接至 X1/X2 引脚上。一些器件也许没有 X1/X2 引脚。详细信息请见表 2-2。
- **外部时钟源运行**：如果片载（晶振）振荡器未被使用，这个模式可实现对振荡器的旁通模式。此器件时钟由一个外部时钟源数生成并从 XCLKIN 引脚输入。请注意 XCLKIN 与 GPIO19 或者 GPIO38 引脚复用。通过 XCLK 寄存器中的 XCLKINSEL 位，XCLKIN 输入可被选择为 GPIO19 或者 GPIO38。CLKCTL[XCLKINOFF] 位禁用这个时钟输入（强制低电平）。如果时钟源未被使用或者各自的引脚被用作 GPIO，用户应该在引导时间上将其禁用。

在改变时钟源前，请确保目标时钟存在。如果时钟不存在，那么那个时钟源必须在开关时钟前被禁用（使用 CLKCTL 寄存器）。

表 3-19. 可能的 PLL 配置模式

PLL 模式	注释	PLLSTS[DIVSEL]	CLKIN 和 SYSCLKOUT
PLL 关闭	由在 PLLSTS 寄存器中设置 PLLOFF 位的用户调用。在此模式中，PLL 块被禁用。这对降低系统噪声和低功率操作非常有用。在进入此模式之前，必须先将 PLLCR 寄存器设置为 0x0000（PLL 旁路）。CPU 时钟（CLKIN）直接源自 X1/X2，X1 或者 XCLKIN 中任一个上的时钟输入。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL 旁路	PLL 旁路是加电或外部复位 ($\overline{XRS}$) 时的默认 PLL 配置。当 PLLCR 寄存器设置为 0x0000 时或在修改 PLLCR 寄存器已经被修改之后 PLL 锁定至新频率时，选择此模式。在此模式中，PLL 本身被旁路，但未关闭。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL 启用	通过将非零值 n 写入 PLLCR 寄存器实现。在写入 PLLCR 时，此器件将在 PLL 锁之前切换至 PLL 旁路模式。	0, 1 2 3	OSCCLK * n/4 OSCCLK * n/2 OSCCLK * n/1

3.8.4 输入时钟的损耗（NMI 安全装置功能）

2802x 器件可由两个内部零引脚振荡器 (INTOSC1/INTOSC2) 的其中任一个、片载晶体振荡器、或者一个外部时钟输入计时。无论时钟源是什么，在 PLL 启用和 PLL 旁通模式中，如果到 PLL 的输入时钟消失，PLL 将在其输出上发出一个跛行模式时钟。这个跛行模式时钟持续为 CPU 和外设提供一个典型值为 1-5MHz 的时钟。

当跛行模式被激活时，一个被锁存为 NMI 中断的 $\overline{CLOCKFAIL}$ 信号被生成。根据 NMIRESETSEL 位的配置，对器件的复位可被立即启动或者当它溢出时，NMI 安全装置计数器能够发出一个复位。除此之外，丢失时钟状态 (MCLKSTS) 位被设定。应用可使用 NMI 中断来检测输入时钟故障并启动所需的校正操作，例如切换到另一个时钟源（如果有的话）或者为系统启动一个关断过程。

如果软件对于时钟故障情况没有应答，NMI 安全装置将在一个设定时间间隔后触发一个复位。图 3-14 显示了相关的中断机制。

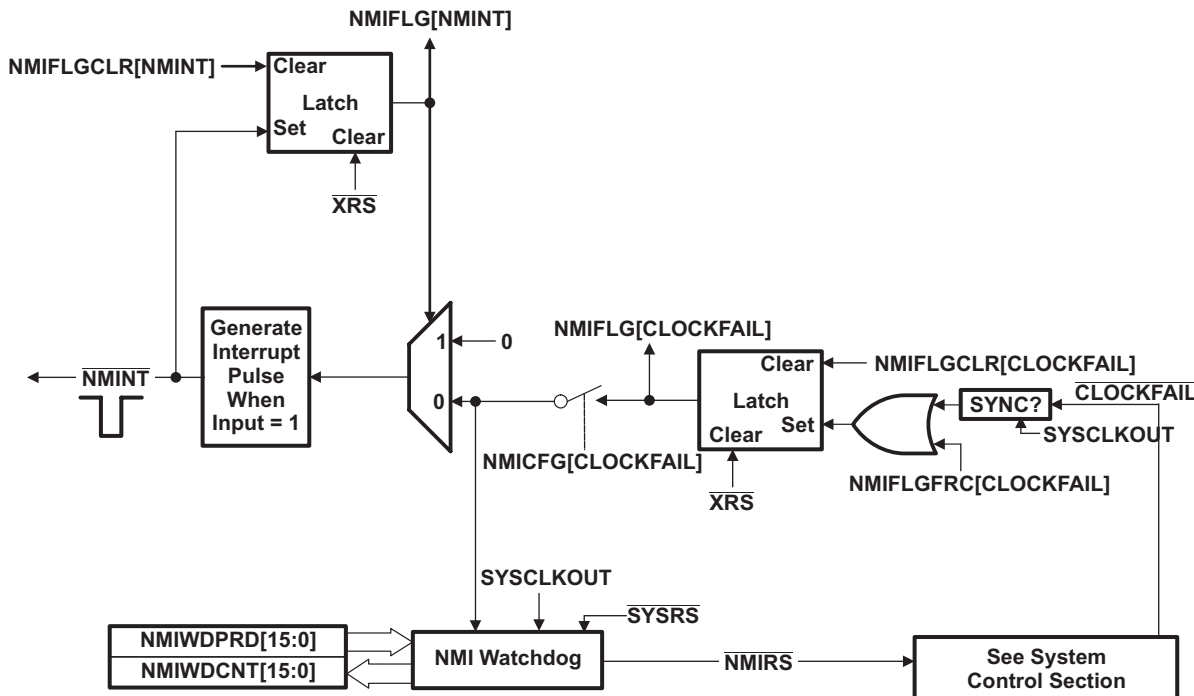


图 3-14. NMI - 安全装置

3.8.5 CPU 安全装置模块

2802x 器件上的 CPU 安全装置模块与 281x/280x/283x 器件上所使用的模块相类似。只要 8 位安全装置上数计数器达到了它的最大值，这个模块就生成一个输出脉冲，512 振荡器时钟宽度 (OSCCLK)。为了防止这一情况，用户必须禁用此计数器或者软件必须定期地向复位此安全装置计数器的安全装置密钥寄存器写入一个 0x55+0xAA 序列。图 3-15 显示了安全装置模块内的各种功能块。

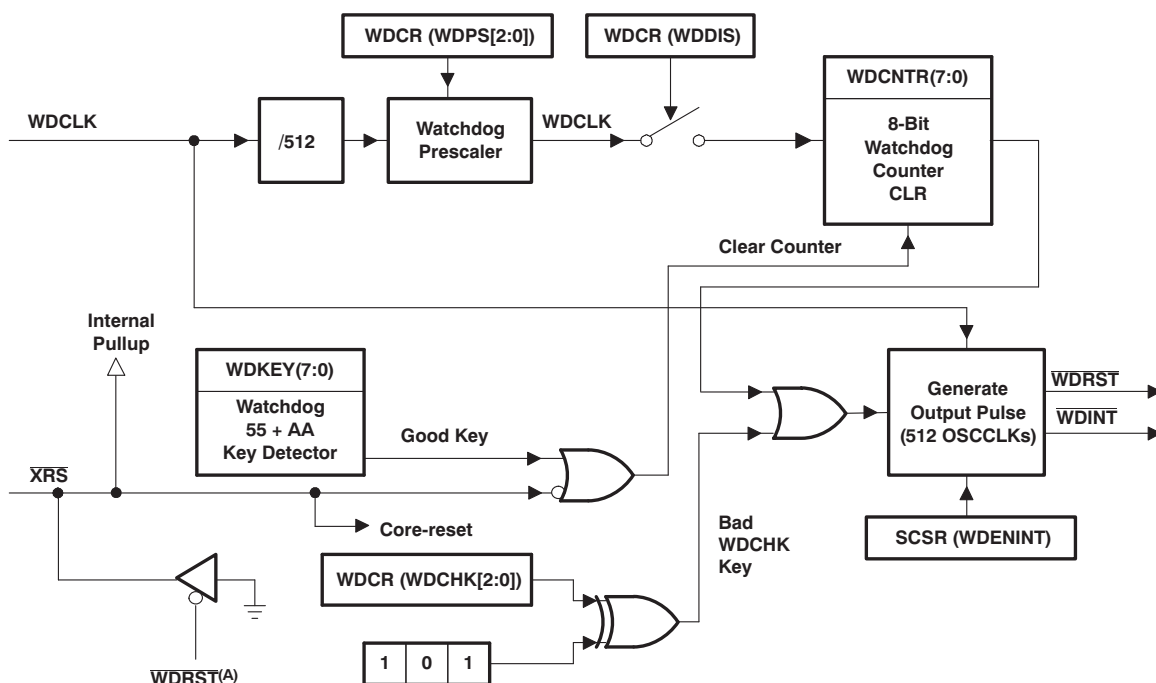
通常情况下，当输入时钟出现时，CPU 安全装置计数器减量来启动一个 CPU 安全装置复位或者 WDINT 中断。然而，当外部输入时钟发生故障时，CPU 安全装置计数器停止减量（也就是说，安全装置计数器不会随着跛行模式时钟而改变）。

注

CPU 安全装置与 NMI 安全装置不同。它是出现在所有 28x 器件中的老版安全装置。

注

在正确 CPU 运行频率绝对关键的应用中应该执行一个机制，通过这个机制，只要输入时钟出现故障，MCU 就被保持在复位状态。例如，只要电容器充满电，一个 R-C 电路可被用于触发 MCU 的 XRS 引脚。一个 I/O 引脚可被用于定期为电容器放电以防止其被完全充满。这样一个电路也有助于检测闪存存储器的故障。



A. $\overline{\text{WDRST}}$ 信号在 512 个 OSCCLK 周期内被驱动为低电平。

图 3-15. CPU - 安全装置模块

$\overline{\text{WDINT}}$ 信号使得安全装置可被用作一个从 IDLE/STANDY 模式的唤醒。

在 STANDBY 模式中，器件上的所有外设关闭。仍然可用的唯一外设是 CPU 安全装置。这个模块将关闭 OSCCLK。 $\overline{\text{WDINT}}$ 信号被馈送到 LPM 块以便它可以将器件从 STANDBY 唤醒（如已启用）。更多细节，请见节 3.9 低功耗模式块。

在 IDLE 模式中， $\overline{\text{WDINT}}$ 信号可通过 PIE 来生成一个到 CPU 的中断来将 CPU 从 IDLE 模式中唤醒。

在 HALT 模式中，CPU 安全装置可被用于通过一个器件复位来唤醒器件。

3.9 低功耗模式块

表 3-20 总结了各种模式。

表 3-20. 低功耗模式

模式	LPMCR0 (1:0)	OSCCLK	CLKIN	SYSCLKOUT	退出 ⁽¹⁾
IDLE	00	打开	打开	打开	$\overline{XRS}$, CPU 安全装置中断, 任一被启用的中断
STANDBY	01	打开 (CPU 安全装置仍然运行)	关闭	关闭	$\overline{XRS}$, CPU 安全装置中断, GPIO 端口 A 信号, 调试器 ⁽²⁾
HALT ⁽³⁾	1X	关闭 (片载振荡器和 PLL 关闭, 零引脚振荡器和 CPU 安全装置状态取决于用户代码。)	关闭	关闭	$\overline{XRS}$, GPIO 端口 A 信号, 调试器 ⁽²⁾ , CPU 安全装置

- (1) 退出列列出哪些信号或在哪些情况下会退出低功耗模式。一个低电平信号, 或者任何此类信号, 退出低功耗状态。此信号必须保持低电平足够长时间以便器件识别中断。否则, 将不会从低功耗模式退出, 而器件将返回到标明的低功耗模式。
- (2) 即使 CPU 时钟 (CLKIN) 被关闭, JTAG 端口仍能运行。
- (3) 为了使器件进入 HALT 模式, WDCLK 必须被激活。

不同的低功耗模式运行状态如下:

- IDLE 模式:** 通过启用由处理器识别的中断来退出此模式。LPM 块在这个模式期间, 在 LPMCR0 (LPM) 位被设定为 0,0 时, LPM 块不执行任何任务。
- STANDBY 模式:** 任一 GPIO 端口 A 信号 (GPIO[31:0]) 能够将器件从 STANDBY 模式中唤醒。用户必须在 GPIOLPMSEL 寄存器中选择哪一个信号将唤醒器件。在唤醒器件前, 所选的信号也由 OSCCLK 限定。在 LPMCR0 寄存器中指定了 OSCCLK 的数量。
- HALT 模式:** CPU 安全装置, $\overline{XRS}$, 和任一 GPIO 端口 A 信号 (GPIO[31:0]) 可将器件从 HALT 模式中唤醒。用户在 GPIOLPMSEL 寄存器中选择信号。

注

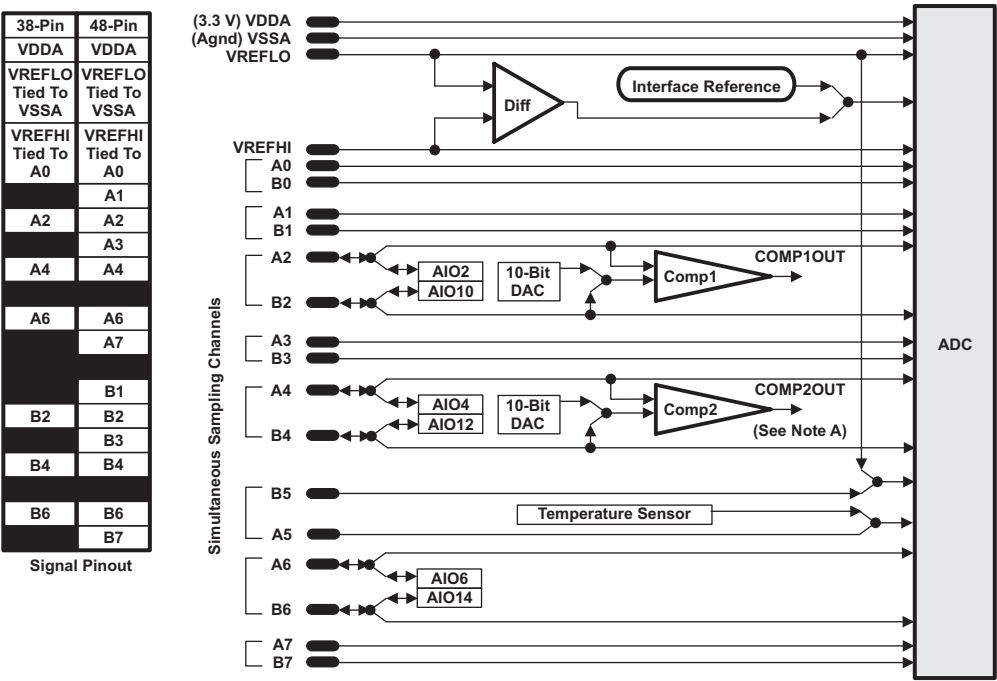
低功耗模式并不会影响输出引脚的状态 (包括 PWM 引脚在内)。当 IDLE 指令被执行时, 它们将保持在代码指定的状态中。如需更多信息, 请参阅

《TMS320x2802x/TMS320F2802xxPiccolo 系统控制和中断参考指南》(文献编号 [SPRUFN3](#))。

4 外设

4.1 模拟时钟

一个被执行的 12 位 ADC 内核具有与基于 F280x/F2833x 的 12 位 ADC 不同的定时。ADC 包装程序被修改以包含新的定时以及其它改进以提升转换开始的定时控制性能。图 4-1显示了模拟模块与F2802x系统其余部分的相互作用。



A. 比较器 2 只在 48 引脚 PT封装上可用。

图 4-1. 模拟引脚配置

4.1.1 ADC

4.1.1.1 特性

ADC 的内核包含有一个单一 12 位转换器，此转换器由两个采样保持电路供源。这两个采样保持电路可同时或者顺序采样。按顺序，这些电路由总共高达 13 个模拟输入通道供源。此转换器可被配置为与一个内部带隙基准一起运行来创建基于实际电压的转换或者与一对外部电压基准 (V_{REFHI}/V_{REFLO}) 一起运行来创建基于射频度量的转换。

与之前的 ADC 类型不同，这个 ADC 并不是基于程序装置的。对于用户来讲，他们可以很容易地从一个单触发来创建一系列的转换。然而，操作的基本原则是以单个转换的配置为中心，被称为 SOC，或者转换开始。

ADC 模块的功能包括：

- 具有内置双采样保持 (S/H) 的 12 位 ADC 内核
- 同步采样模式或顺序采样模式
- 全范围模拟输入：0V 至 3.3V 定值，或者 V_{REFHI}/V_{REFLO} 射频度量。输入模拟电压的数值源自：
 - 内部基准 ($V_{REFLO}=V_{SSA}$ 。当使用内部或者外部基准模式时， V_{REFHI} 一定不能超过 V_{DDA} 。)

$$\text{Digital Value} = 0, \quad \text{when input} \leq 0 \text{ V}$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{3.3} \quad \text{when } 0 \text{ V} < \text{input} < 3.3 \text{ V}$$

$$\text{Digital Value} = 4095, \quad \text{when input} \geq 3.3 \text{ V}$$

- 外部基准 (V_{REFHI}/V_{REFLO} 被连接至外部基准。当使用内部或者外部基准模式时， V_{REFHI} 一定不能超过 V_{DDA} 。)
- $$\text{Digital Value} = 0, \quad \text{when input} \leq 0 \text{ V}$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{V_{REFHI} - V_{REFLO}} \quad \text{when } 0 \text{ V} < \text{input} < V_{REFHI}$$

$$\text{Digital Value} = 4095, \quad \text{when input} \geq V_{REFHI}$$

- 运行在全系统时钟上，无需预分频
- 多达 16 个通道，复用的输入
- 16 个 SOC，可针对触发、采样窗口、和通道进行配置
- 用于存储转换值的 16 个结果寄存器（可单独寻址）
- 多个触发源
 - S/W - 软件立即启动
 - ePWM 1-4
 - GPIO XINT2
 - CPU 定时器 0/1/2
 - ADCINT1/2
- 9 个灵活的 PIE 中断，可在任一个转换后配置中断请求

表 4-1. ADC 配置和控制寄存器

寄存器名称	地址	大小 (x 16)	受 EALLOW 保护	说明
ADCCTL1	0x7100	1	支持	控制 1 寄存器
ADCCTL2	0x7101	1	支持	控制 2 寄存器
ADCINTFLG	0x7104	1	否	中断标志寄存器
ADCINTFLGCLR	0x7105	1	否	中断标志清除寄存器
ADCINTOVF	0x7106	1	否	中断溢出寄存器
ADCINTOVFCLR	0x7107	1	否	中断溢出清除寄存器
INTSEL1N2	0x7108	1	支持	中断 1 和 2 选择寄存器
INTSEL3N4	0x7109	1	支持	中断 3 和 4 选择寄存器
INTSEL5N6	0x710A	1	支持	中断 5 和 6 选择寄存器
INTSEL7N8	0x710B	1	支持	中断 7 和 8 选择寄存器
INTSEL9N10	0x710C	1	支持	中断 9 选择寄存器（被保留的中断 10 选择）
SOCPRCTL	0x7110	1	支持	SOC 优先级控制寄存器
ADCSAMPLEMODE	0x7112	1	支持	采样模式寄存器
ADCINTSOCSEL1	0x7114	1	支持	中断 SOC 选择 1 寄存器（用于 8 个通道）
ADCINTSOCSEL2	0x7115	1	支持	中断 SOC 选择 2 寄存器（用于 8 个通道）
ADCSOCFLG1	0x7118	1	否	SOC 标志 1 寄存器（用于 16 个通道）
ADCSOCFRC1	0x711A	1	否	SOC 强制 1 寄存器（用于 16 个通道）
ADCSOCOVF1	0x711C	1	否	SOC 溢出 1 寄存器（用于 16 个通道）
ADCSOCOVFCLR1	0x711E	1	否	SOC 溢出清除 1 寄存器（用于 16 个通道）
ADCSOC0CTL 至 ADCSOC15CTL	0x7120- 0x712F	1	支持	SOC0 控制寄存器至 SOC15 控制寄存器
ADCREFTTRIM	0x7140	1	支持	基准调整寄存器
ADCOFFTRIM	0x7141	1	支持	偏移调整寄存器
COMPHYSTCTL	0x714C	1	支持	比较器滞后控制寄存器
ADCREV	0x714F	1	否	修订版本寄存器

表 4-2. ADC 结果寄存器（被映射至 PF0）

寄存器名称	地址	大小 (x 16)	受 EALLOW 保护	说明
ADCRESULT0 至 ADCRESULT15	0xB00- 0xB0F	1	否	ADC 结果 0 寄存器至 ADC 结果 15 寄存器

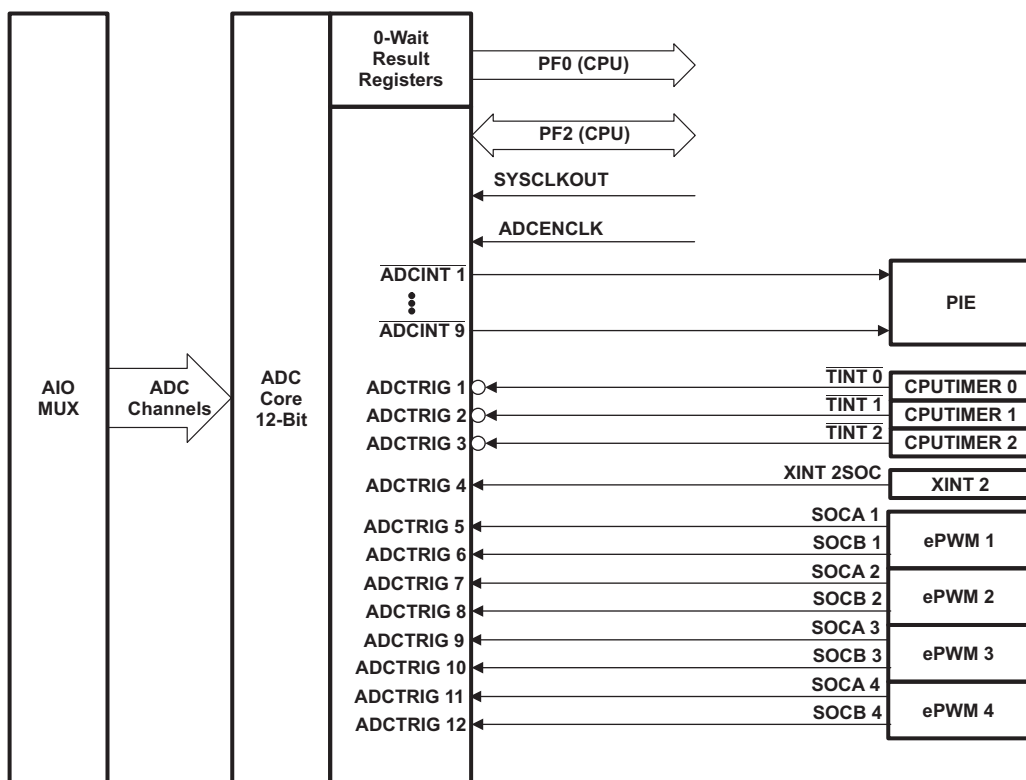


图 4-2. ADC 连接

如果 ADC 未被使用，连接 ADC

建议保持到模拟电源引脚的连接，即便在 ADC 未被使用时也是如此。下面总结了如果 ADC 未在应用中使用，应该如何连接 ADC 引脚：

- V_{DDA-} 连接到 V_{DDIO}
- V_{SSA-} 连接到 V_{SS}
- V_{REFLO-} 连接到 V_{SS}
- $ADCINAn$, $ADCINBn$, V_{REFHI-} 连接到 V_{SSA}

当在一个应用中使用 ADC 模块时，未使用的 ADC 输入引脚应被连接至模拟接地 (V_{SSA})。

请注意：与 AIO 功能复用的未使用的 ADCIN 引脚不应直接接地。它们应该通过一个 1kΩ 电阻器接地。这是为了防止一个错误代码将这些引脚配置为 AIO 输出并将接地的引脚驱动至一个逻辑高电平状态。

当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开。

The diagram illustrates the internal logic of the GPIO MUX block for an AIOx pin. It shows the following components and connections:

- AIOx Pin:** The external input pin, connected to the AIOxIN signal.
- Logic implemented in GPIO MUX block:**
 - AIOxIN:** The input signal to the MUX.
 - AIOxINE:** The input signal to the MUX, derived from AIOxIN via an inverter.
 - MUX:** A multiplexer with two inputs (0 and 1) and one output. The output is connected to the SYNC block.
 - SYNC:** A synchronization block that receives the MUX output and the SYSCLK signal.
 - AIODAT Reg (Read):** The output of the SYNC block.
 - AIODAT Reg (Latch):** The output of the SYNC block, connected to the AIOSET, AIOCLEAR, and AIOTOGGLE registers.
 - AIOSET, AIOCLEAR, AIOTOGGLE Regs:** Registers that control the AIOx pin's behavior.
 - AIODIR Reg (Latch):** The output of the AIOSET, AIOCLEAR, and AIOTOGGLE registers, connected to the MUX input 0.
 - AIOxDIR:** The output of the AIOSET, AIOCLEAR, and AIOTOGGLE registers, connected to the MUX input 1.
 - MUX Input 0:** The output of the AIOSET, AIOCLEAR, and AIOTOGGLE registers, connected to the MUX input 0.
 - MUX Input 1:** The output of the AIOSET, AIOCLEAR, and AIOTOGGLE registers, connected to the MUX input 1.

ADC 通道和比较器功能一直可用。数字 I/O 功能只有当 AIOMUX1 寄存器中的各自的位为 0 时才可用。在这个模式中，对 AIODAT 寄存器的读取反映了真实的引脚状态。

当 AIOMUX 寄存器中各自的位为 1 时，数字 I/O 功能被禁用。在这个模式下，对 AIODAT 寄存器的读取反映了 AIODAT 寄存器的输出锁存并且输入数字 I/O 缓冲器被禁用以防止模拟信号生成噪声。

复位时，数字功能被禁用。如果此引脚被用作一个模拟输入，用户应该为那个引脚将 AIO 功能保持在禁用状态。

4.1.3 比较器块

图 4-4 显示了比较器，模块与系统其余部分的相互作用。

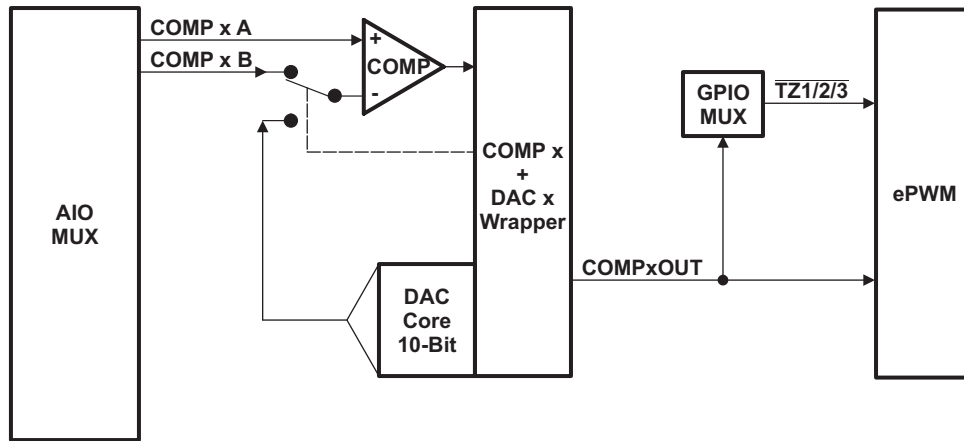


图 4-4. 比较器块图

表 4-3. 比较器控制寄存器

寄存器名称	COMP1 地址	COMP2 地址 ⁽¹⁾	大小 (x 16)	受 EALLOW 保 护	说明
COMPCTL	0x6400	0x6420	1	支持	比较器控制寄存器
COMPSTS	0x6402	0x6422	1	否	比较器状态寄存器
DACCTL	0x6404	0x6424	1	支持	DAC 控制寄存器
DACVAL	0x6406	0x6426	1	否	DAC 值寄存器
RAMPMAXREF_ACTIVE	0x6408	0x6428	1	否	斜坡发生器最大基准（有效）寄存器
RAMPMAXREF_SHDW	0x640A	0x642A	1	否	斜坡发生器最大基准（阴影）寄存器
RAMPDECVAL_ACTIVE	0x640C	0x642C	1	否	斜坡发生器减量值（有效）寄存器
RAMPDECVAL_SHDW	0x640E	0x642E	1	否	斜坡发生器减量值（阴影）寄存器
RAMPSTS	0x6410	0x6430	1	否	斜坡发生器状态寄存器

(1) 比较器 2 只在 48 引脚 PT 封装内可用。

4.2 串行外设接口 (SPI) 模块

此器件包括四引脚串行外设接口 (SPI) 模块。提供一个 SPI 模块 (SPI-A)。SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流移入和移出器件。通常，SPI 用于 MCU 和外部外设或其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。

SPI 模块的特性包括：

- 四个外部引脚：
 - SPISOMI: SPI 从器件输出/主器件输入引脚
 - SPISIMO: SPI 从器件输入/主器件输出引脚
 - $\overline{\text{SPISTE}}$: SPI 从器件发送使能引脚
 - SPICLK: SPI 串行时钟引脚

请注意：如果 SPI 模块未被使用，所有四个引脚可被用作 GPIO。

- 两个运行模式：主控和受控
- 波特率：125 个不同的可编辑速率。

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \quad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \quad \text{when SPIBRR} = 0, 1, 2$$

- 数据字长度：一到十六数据位
- 包括四个计时机制（由时钟极性和时钟相位的位控制）：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上传送数据，而在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿的一半周期之前发送数据，而在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，而在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号下降沿之前的半个周期发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（发送功能可在软件中被禁用）
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9 个 SPI 模块控制寄存器：位于控制寄存器内，帧开始地址 7040h。

注

这个模块中的所有寄存器是被连接至外设帧 2 的 16 位寄存器。当一个寄存器被访问时，低字节 (7-0)，和高字节 (15-8) 内的寄存器数据被读作零。对高字节的写入没有效果。

增强型特性：

- 4 级发送/接收 FIFO
- 经延迟的发射控制
- 支持双向 3 线 SPI 模式

SPI 端口运行由表 4-4 中列出的寄存器配置和控制。

表 4-4. SPI-A 寄存器

名称	地址	大小 (x 16)	受 EALLOW 保护	说明 ⁽¹⁾
SPICCR	0x7040	1	否	SPI-A 配置控制寄存器
SPICTL	0x7041	1	否	SPI-A 运行控制寄存器
SPISTS	0x7042	1	否	SPI-A 状态寄存器
SPIBRR	0x7044	1	否	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	否	SPI-A 接收仿真缓冲器寄存器
SPIRXBUF	0x7047	1	否	SPI-A 串行输入缓冲器寄存器
SPITXBUF	0x7048	1	否	SPI-A 串行输出缓冲器寄存器
SPIDAT	0x7049	1	否	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	否	SPI-A FIFO 发送寄存器
SPIFFRX	0x704B	1	否	SPI-A FIFO 接收寄存器
SPIFFCT	0x704C	1	否	SPI-A FIFO 控制寄存器
SPIPRI	0x704F	1	否	SPI-A 优先级控制寄存器

(1) 这个表中寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

The diagram illustrates the internal architecture of the SPI module, organized into several functional blocks:

- RX FIFO Registers:** Contains SPIFFENA and SPIFTX.14. It feeds into the RX FIFO Interrupt.
- SPIRXBUF Buffer Register:** Receives data from the RX FIFO and feeds into the SPIRXBUF Buffer Register.
- TX FIFO Registers:** Contains SPIFXBUF and TX FIFO registers (TX FIFO_3 to TX FIFO_0). It feeds into the TX FIFO Interrupt.
- SPIFXBUF Buffer Register:** Receives data from the TX FIFO and feeds into the SPIFXBUF Buffer Register.
- Interrupt Logic:**
 - RX Interrupt Logic:** Receives the RX FIFO Interrupt and generates the SPIINT signal to the CPU.
 - TX Interrupt Logic:** Receives the TX FIFO Interrupt and generates the SPITX signal to the CPU.
- Registers:**
 - SPIRXBUF Buffer Register:** 16-bit register for received data.
 - SPIFXBUF Buffer Register:** 16-bit register for transmitted data.
 - SPIDAT Data Register:** 16-bit register for data transfer, controlled by the Talk bit (SPICTL.1).
 - SPICCR.3-0:** SPI Character register.
 - SPIBRR.6-0:** SPI Bit Rate register.
 - SPICCR.6:** SPI Clock Polarity register.
 - SPICTL.2:** Master/Slave select register.
 - SPICTL.3:** SPI Clock Phase register.
 - SPICCR.6:** SPI Clock Polarity register.
 - SPICTL.3:** SPI Clock Phase register.
- Signal Paths:**
 - SPISIMO and SPISOMI:** Serial data pins, controlled by the SPIINT and SPITX signals.
 - SPISTE:** SPI Status pin, controlled by the SPIINT signal.
 - SPICLK:** SPI Clock pin, controlled by the SPICCR.6 and SPICTL.3 registers.

图 4-5. SPI 模块方框图（受控模式）

4.3 串行通信接口 (SCI) 模块

此器件包括一个串行通信接口 (SPI) 模块 (SCI-A) SCI 模块支持 CPU 和其它同步外设之间使用非归零 (NRZ) 格式的数字通信。SCI 接收器和发射器是双缓冲的, 并且它们中的每一个有其自身独立的使能和中断位。两个器件都可独立或者同时地运行在全双工模式。为了确保数据完整性, SCI 在中断检测、奇偶校验、超载、和组帧错误方面对接收到的数据进行检查。通过一个 16 位波特率选择寄存器, 可将比特率设定为超过 65000 个不同的速度。

每个 SCI 模块的特性包括:

- 两个外部引脚:
 - SCITXD: SCI 发送-输出引脚
 - SCIRXD: SCI 接收-输入引脚
 注释: 两个引脚如果不被用于 SCI 的话, 可被用作 GPIO。
- 波特率被设定为 64K 个不同速率:

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} \quad \text{when BRR} \neq 0$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \quad \text{when BRR} = 0$$

- 数据-字格式
 - 一个开始位
 - 数据-字长度可被设定为 1 至 8 位
 - 可选偶/奇/无奇偶校验位
 - 一个或者两个停止位
- 四个错误检测标志: 奇偶、超载、组帧、和中断检测
- 两个唤醒多处理器模式: 空闲线路和地址位
- 半双工或者全双工运行
- 双缓冲接收和发送功能
- 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作。
 - 发射器: TXRDY 标志 (发射器缓冲寄存器已经准备好接收另外字符) 和 TX EMPTY (TX 空) 标志 (发射器移位寄存器已空)
 - 接收器: RXRDY 标志 (接收器缓冲寄存器已经准备好接收另外的字符), BRKDT 标志 (发生了中断条件), 和 RX ERROR 错误标志 (监控四个中断条件)
- 用于发射器和接收器中断的独立使能位 (除了 BRKDT)
- NRZ (非归零码) 格式

注

这个模块中的所有寄存器是被连接至外设帧 2 的 8 位寄存器。当一个寄存器被访问时, 低字节 (7-0), 和高字节 (15-8) 内的寄存器数据被读作零。对高字节的写入没有作用。

增强型特性:

- 自动波特率检测硬件逻辑电路
- 4 级发送/接收 FIFO

SCI 端口运行由表 4-5 中列出的寄存器配置和控制。

表 4-5. SCI-A 寄存器⁽¹⁾

名称	地址	大小 (x 16)	受 EALLOW 保护	说明
SCICCR	0x7050	1	否	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	否	SCI-A 控制寄存器
SCIHBAUDA	0x7052	1	否	SCI-A 波特率寄存器, 高位
SCILBAUDA	0x7053	1	否	SCI-A 波特率寄存器, 低位
SCICTL2A	0x7054	1	否	SCI-A 控制寄存器 2
SCIRXSTA	0x7055	1	否	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	否	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	否	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	否	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽²⁾	0x705A	1	否	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽²⁾	0x705B	1	否	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽²⁾	0x705C	1	否	SCI-A FIFO 控制寄存器
SCIPRIA	0x705F	1	否	SCI-A 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

图 4-6 显示了 SCI 模块方框图。

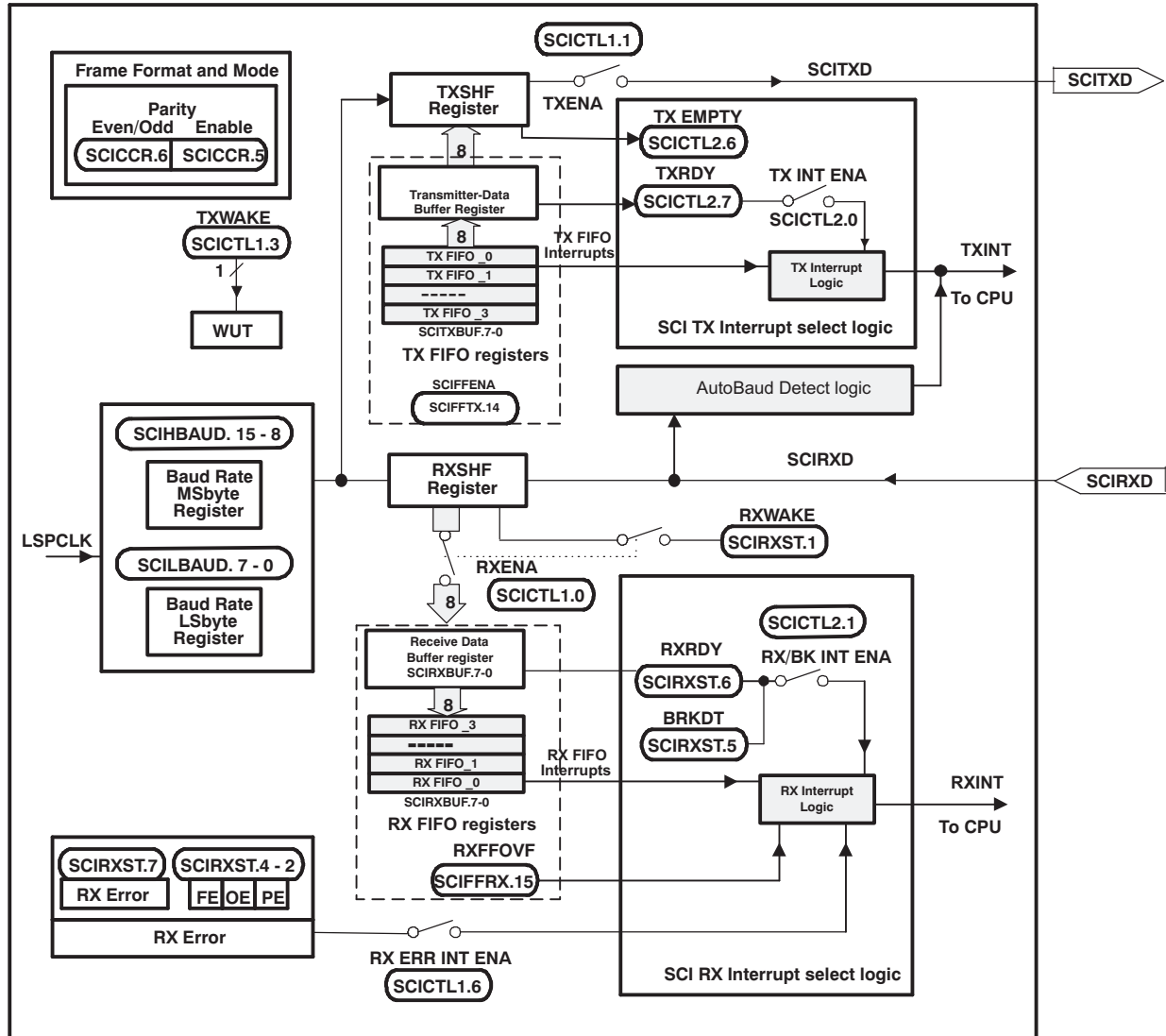


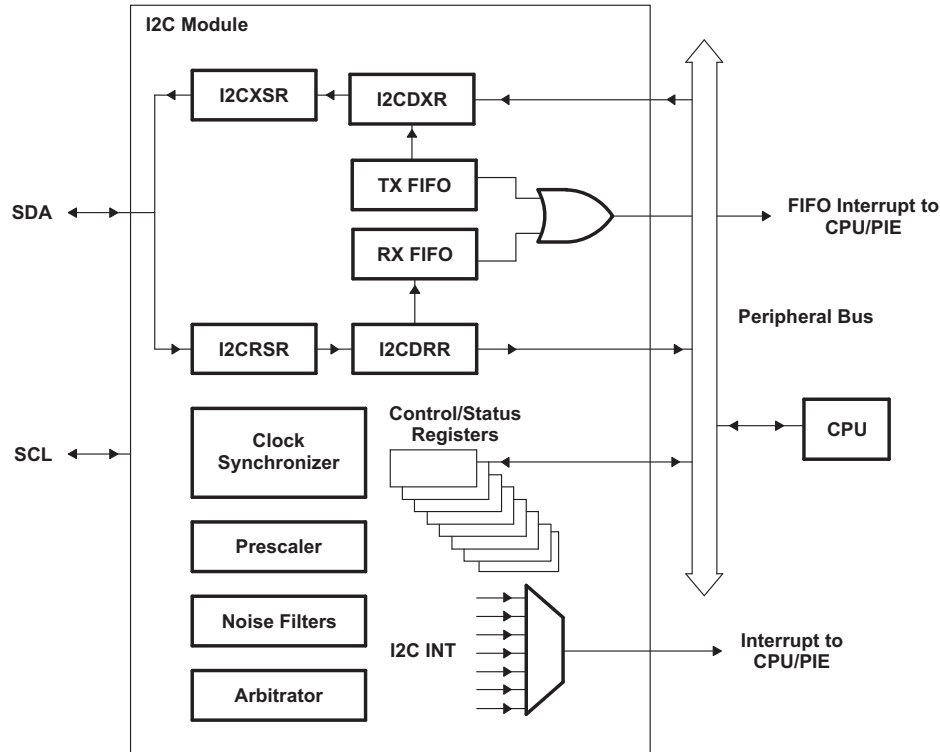
图 4-6. 串行通信接口 (SCI) 模块方框图

4.4 内部集成电路 (I2C)

此器件包含一个 I2C 串行端口。图 4-7 显示了这个器件内的 I2C 外设模块接口。

I2C 模块具有以下特性：

- 符合飞利浦半导体 I2C 总线规格（版本 2.1）：
 - 支持 1 位至 8 位格式传输
 - 7 位和 10 位寻址模式
 - 常规调用
 - START 字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400kbps（I2C 快速模式速率）
- 一个 4 字接收 FIFO 和一个 4 字发送 FIFO
- 可以由 CPU 使用的一个中断。这个中断可由下列条件中的一个生成：
 - 发送数据准备好
 - 接收数据准备好
 - 寄存器访问准备好
 - 没有接收到确认
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为从器件
- 在 FIFO 模式下，CPU 可以使用附加的中断
- 模块启用/禁用能力
- 自由数据格式模式



- 在 SYSCLKOUT 速率上对 I2C 寄存器进行访问。I2C 端口的内部定时和信号波形也为 SYSCLKOUT 速率。
- PCLKCRO 寄存器内的时钟使能位 (I2CAENCLK) 关闭到 I2C 端口的时钟以实现低功耗运行。复位时, I2CAENCLK 被清除, 这表明外设内部时钟被关闭。

图 4-7. I2C 外设模块接口

表 4-6 中的寄存器配置并且扩展 I2C 端口操作。

表 4-6. I2C-A 寄存器

名称	地址	受 EALLOW 保护	说明
I2COAR	0x7900	否	I2C 自身的地址寄存器
I2CIER	0x7901	否	I2C 中断使能寄存器
I2CSTR	0x7902	否	I2C 状态寄存器
I2CCLKL	0x7903	否	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	否	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	否	I2C 数据计数寄存器
I2CDRR	0x7906	否	I2C 数据接收寄存器
I2CSAR	0x7907	否	I2C 从器件地址寄存器
I2CDXR	0x7908	否	I2C 数据发送寄存器
I2CMDR	0x7909	否	I2C 模式寄存器
I2CISRC	0x790A	否	I2C 中断源寄存器
I2CPSC	0x790C	否	I2C 预分频器寄存器
I2CFFTX	0x7920	否	I2C FIFO 发送寄存器
I2CFFRX	0x7921	否	I2C FIFO 接收寄存器
I2CRSR	-	否	I2C 接收移位寄存器 (不可访问 CPU)
I2CXSR	-	否	I2C 发送移位寄存器 (不可访问 CPU)

4.5 增强型 PWM 模块 (ePWM1/2/3/4)

器件包含高达4个增强型 PWM 模块 (ePWM)。图 4-8显示了一个多 ePWM 模块的方框图。图 4-9显示了与 ePWM 互连的信号。如需更多细节，请参阅《TMS320x2802x, 2803x Piccolo 增强型脉宽调制器 (ePWM) 模块参考指南》(文献编号 [SPRUGE9](#))。

表 4-7显示了每个模块的完整的 ePWM 寄存器集。

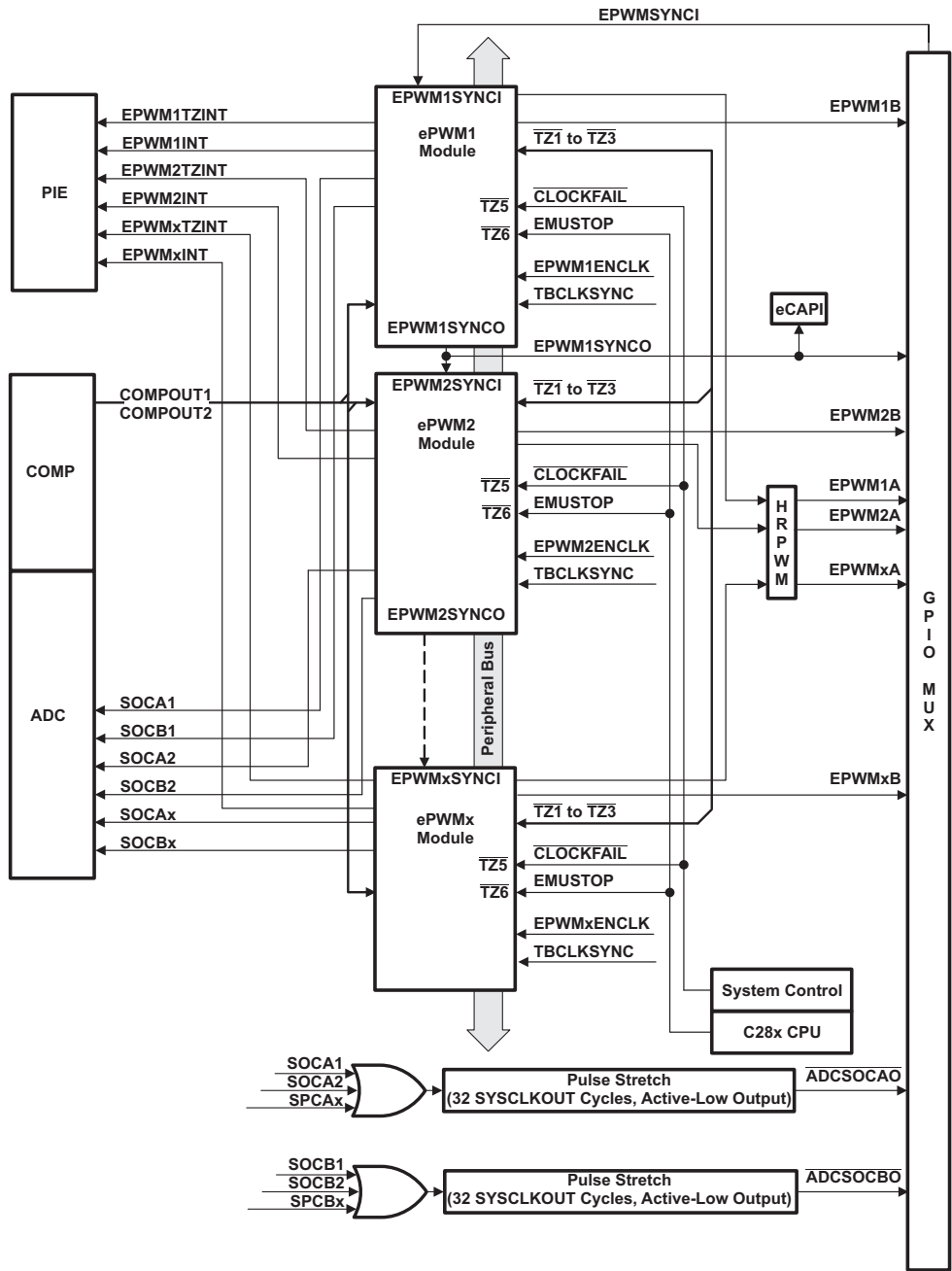


图 4-8. ePWM

表 4-7. ePWM控制和状态寄存器

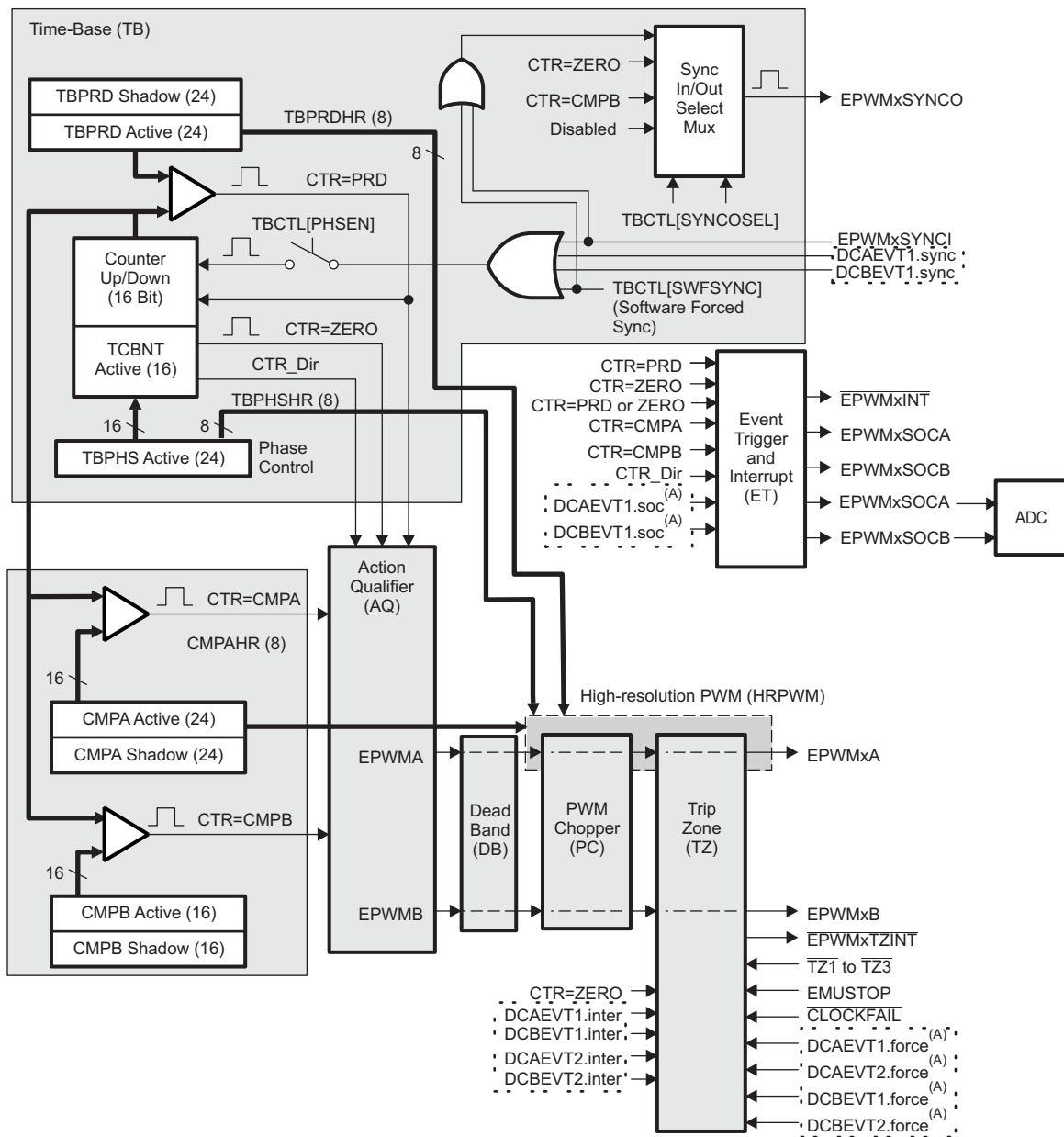
名称	ePWM1	ePWM2	ePWM3	ePWM4	大小 (x16)/ #SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	1/1	时基周期寄存器集
TBPRDHR	0x6806	0x6846	0x6886	0x68C6	1/1	时基周期高分辨率寄存器 ⁽¹⁾
CMPCTL	0x6807	0x6847	0x6887	0x68C7	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	1/1	计数器比较 A 寄存器集
CMPB	0x680A	0x684A	0x688A	0x68CA	1/1	计数器比较 B 寄存器集
AQCTLA	0x680B	0x684B	0x688B	0x68CB	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	1/0	用于输出 B 的操作限定器控制寄存器
AQSFR	0x680D	0x684D	0x688D	0x68CD	1/0	操作限定器软件强制寄存器
AQCSFR	0x680E	0x684E	0x688E	0x68CE	1/1	操作限定器连续 S/W 强制寄存器集
DBCTL	0x680F	0x684F	0x688F	0x68CF	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	1/0	可编程控制故障区选择寄存器 ⁽¹⁾
TZDCSEL	0x6813	0x6853	0x6893	0x68D3	1 / 0	可编程控制故障区域数字比较寄存器
TZCTL	0x6814	0x6854	0x6894	0x68D4	1/0	触发区控制寄存器 ⁽¹⁾
TZEINT	0x6815	0x6855	0x6895	0x68D5	1/0	触发区启用中断寄存器 ⁽¹⁾
TZFLG	0x6816	0x6856	0x6896	0x68D6	1/0	可编程控制故障区域标志寄存器 ⁽¹⁾
TZCLR	0x6817	0x6857	0x6897	0x68D7	1/0	触发区清除寄存器 ⁽¹⁾
TZFRC	0x6818	0x6858	0x6898	0x68D8	1/0	触发区强制寄存器 ⁽¹⁾
ETSEL	0x6819	0x6859	0x6899	0x68D9	1/0	事件触发器选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	1/0	事件触发器预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	1/0	事件触发器标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	1/0	事件触发器清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	1/0	事件触发器强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	1/0	HRPWM 配置寄存器 ⁽¹⁾

(1) 寄存器受 EALLOW 保护。

表 4-7. ePWM控制和状态寄存器 (continued)

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小 (x16)/ #SHADOW	说明
HRPWR	0x6821	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	0x6826	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6828	0x6868	0x68A8	0x68E8	1/0	高分辨率周期控制寄存器 ⁽¹⁾
TBPRDHRM	0x682A	0x686A	0x68AA	0x68EA	1/W ⁽²⁾	时基周期 HRPWM 寄存器镜像
TBPRDM	0x682B	0x686B	0x68AB	0x68EB	1/W ⁽²⁾	时基周期寄存器镜像
CMPAHRM	0x682C	0x686C	0x68AC	0x68EC	1/W ⁽²⁾	比较 A HRPWM 寄存器镜像
CMPAM	0x682D	0x686D	0x68AD	0x68ED	1/W ⁽²⁾	比较 A 寄存器镜像
DCTRISEL	0x6830	0x6870	0x68B0	0x68F0	1/0	数字比较触发选择寄存器 ⁽¹⁾
DCACTL	0x6831	0x6871	0x68B1	0x68F1	1/0	数字比较 A 控制寄存器 ⁽¹⁾
DCBCTL	0x6832	0x6872	0x68B2	0x68F2	1/0	数字比较 B 控制寄存器 ⁽¹⁾
DCFCTL	0x6833	0x6873	0x68B3	0x68F3	1/0	数字比较滤波器控制寄存器 ⁽¹⁾
DCCAPCT	0x6834	0x6874	0x68B4	0x68F4	1/0	数字比较捕捉控制寄存器 ⁽¹⁾
DCFOFFSET	0x6835	0x6875	0x68B5	0x68F5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6836	0x6876	0x68B6	0x68F6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6837	0x6877	0x68B7	0x68F7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6838	0x6878	0x68B8	0x68F8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6839	0x6879	0x68B9	0x68F9	1/1	数字比较计数器捕捉寄存器

(2) W = 写入影子寄存器



A. 这些事件由基于 COMPxOUT 和 $\overline{TZ}$ 信号电平的类型 1 ePWM 数字比较 (DC) 子模块生成。

图 4-9. ePWM 子模块显示关键内部信号互连

4.6 高分辨率 PWM (HRPWM)

通过使用一个专用的校准延迟线路，这个模块在一个单模块和一个简化的校准系统内包含多条延迟线路。每一个 ePWM 模块均有一条 HR 延迟线路。

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率大大好于使用传统数字 PWM 方法所能导出的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率功能
- 这个功能可被应用在单边沿（占空比和相移控制）以及针对频率/周期调制的双边沿控制中。
- 通过对 ePWM 模块的比较 A 和相位寄存器的扩展来控制更加精细的时间粒度控制或者边沿定位。
- HRPWM 功能，当在一个特定器件上可用时，只在 PWM 模块的 A 信号路径上提供（也就是说，在 EPWMxA 输出上提供）。EPWMxB 输出具有传统 PWM 功能。

注

HRPWM 所能接收的最小 SYSCLKOUT 频率为 50MHz。

注

当双边沿高分辨率被启用时（高分辨率周期模式），PWMxB 输出不可用。

4.7 增强型捕捉模块 (eCAP1)

此器件包含一个增强型捕捉模块 (eCAP) 图 4-10 显示了一个模块的功能方框图。

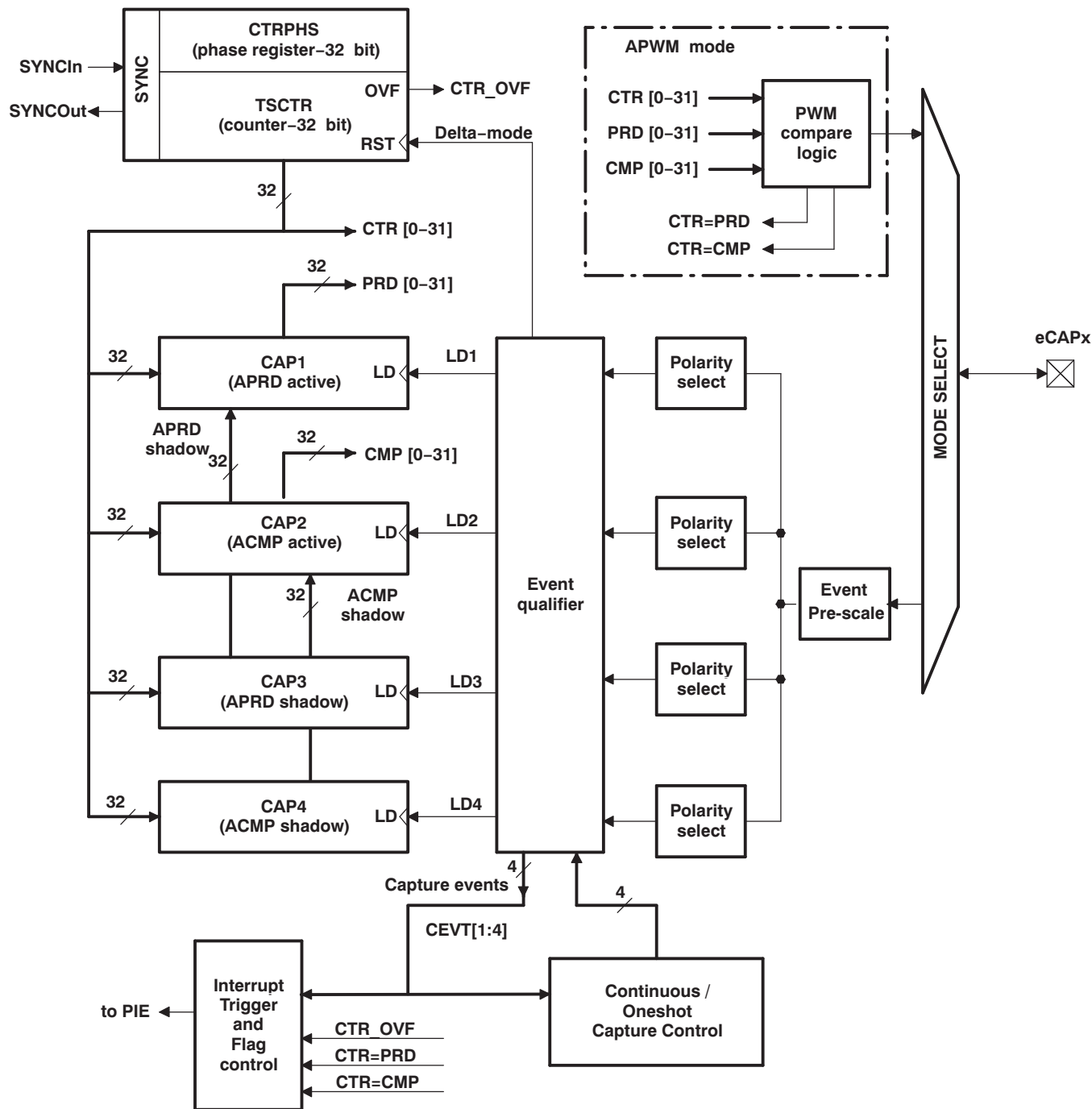


图 4-10. eCAP 功能方框图

eCAP 模块以 SYSCLKOUT 速率计时。

PCLKCR1 寄存器中的时钟使能位 (ECAP1 ENCLK) 只关闭 eCAP 模块 (为了实现低功耗运行)。复位时, ECAP1ENCLK 被设定为低电平, 表明外设时钟被关闭。

表 4-8. eCAP 控制和状态寄存器

名称	eCAP1	大小 (x 16)	受 EALLOW 保护	说明
TSCTR	0x6A00	2		时间戳计数器
CTRPHS	0x6A02	2		计数器相位偏移值寄存器
CAP1	0x6A04	2		捕捉 1 寄存器
CAP2	0x6A06	2		捕捉 2 寄存器
CAP3	0x6A08	2		捕捉 3 寄存器
CAP4	0x6A0A	2		捕捉 4 寄存器
被保留	0x6A0C-0x6A12	8		被保留
ECCTL1	0x6A14	1		捕捉控制寄存器 1
ECCTL2	0x6A15	1		捕捉控制寄存器 2
ECEINT	0x6A16	1		捕捉中断使能寄存器
ECFLG	0x6A17	1		捕捉中断标志寄存器
ECCLR	0x6A18	1		捕捉中断清除寄存器
ECFRC	0x6A19	1		捕捉中断强制寄存器
被保留	0x6A1A-0x6A1F	6		被保留

4.8 JTAG 端口

在2802x器件上，JTAG 端口被减少到 5 个引脚 ($\overline{\text{TRST}}$, TCK, TDI, TMS, TDO)。TCK, TDI, TMS 和 TDO 引脚也是 GPIO 引脚。 $\overline{\text{TRST}}$ 信号在图 4-11 中为引脚选择 JTAG 或者 GPIO 运行模式。在仿真/调试期间，这些引脚的 GPIO 功能并不可用。如果 GPIO38/TCK/XCLKIN 引脚被用于提供一个外部时钟，一个替代的内部时钟源应该被用于在仿真/调试期间为器件计时，这是因为 TCK 功能需要这个引脚。

注

在2802x器件中，JTAG 引脚也可被用作 GPIO 引脚。在电路板设计时应小心以确保连接到这些引脚的电路不会影响 JTAG 引脚功能的仿真能力。任一连接到这些引脚的电路不应防止仿真器驱动 JTAG 引脚（或者被 JTAG 引脚驱动）进行成功的调试。

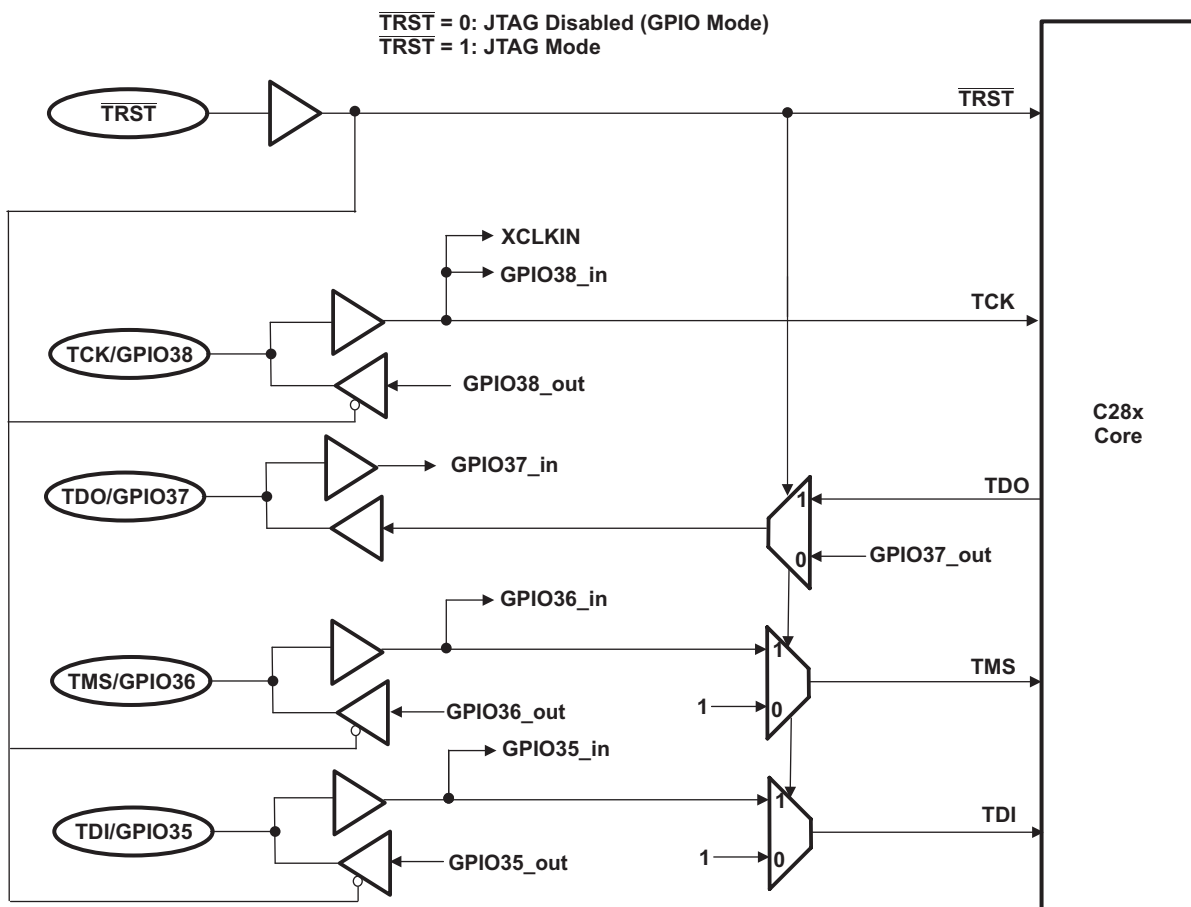


图 4-11. JTAG/GPIO 复用

4.9 GPIO MUX

GPIO 复用器除了提供独立的引脚位拆裂 I/O 功能外, 还可以将最多 3 个独立的外设信号复用在一个单一的 GPIF 引脚上、

器件支持22个 GPIO 引脚。GPIO 控制和数据寄存器被映射到外设帧 1 以在寄存器上启用 32 位运行 (连同 16 位运行)。表 4-9 显示了 GPIO 寄存器映射。

表 4-9. GPIO 寄存器

名称	地址	大小 (x 16)	说明
GPIO 控制寄存器 (受 EALLOW 保护)			
GPACTRL	0x6F80	2	GPIO A 控制寄存器 (GPIO0 至 31)
GPAQSEL1	0x6F82	2	GPIO A 限定器选择 1 寄存器 (GPIO0 至 15)
GPAQSEL2	0x6F84	2	GPIO A 限定器选择 2 寄存器 (GPIO16 至 31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 寄存器 (GPIO0 至 15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 寄存器 (GPIO16 至 31)
GPADIR	0x6F8A	2	GPIO A 方向寄存器 (GPIO0 至 31)
GPAPUD	0x6F8C	2	GPIO A 上拉电阻器禁用寄存器 (GPIO0 至 GPIO31)
GPBCTRL	0x6F90	2	GPIO B 控制寄存器 (GPIO32 至 38)
GPBQSEL1	0x6F92	2	GPIO B 限定器选择 1 寄存器 (GPIO32 至 38)
GPBMUX1	0x6F96	2	GPIO B MUX 1 寄存器 (GPIO32 至 38)
GPBDIR	0x6F9A	2	GPIO B 方向寄存器 (GPIO32 至 38)
GPBPUD	0x6F9C	2	GPIO B 上拉电阻器禁用寄存器 (GPIO38 至 38)
AIOMUX1	0x6FB6	2	模拟, I/O 复用 1 寄存器 (AIO0 至 AIO15)
AIO DIR	0x6FBA	2	模拟, I/O 方向寄存器 (AIO0 至 AIO15)
GPIO 数据寄存器 (不受 EALLOW 保护)			
GPADAT	0x6FC0	2	GPIO A 数据寄存器 (GPIO0 至 31)
GPASET	0x6FC2	2	GPIO A 数据设定寄存器 (GPIO0 至 31)
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器 (GPIO0 至 31)
GPATOGGLE	0x6FC6	2	GPIO A 数据切换寄存器 (GPIO0 至 31)
GPBDAT	0x6FC8	2	GPIO B 数据寄存器 (GPIO32 至 38)
GPBSET	0x6FCA	2	GPIO B 数据设定寄存器 (GPIO32 至 38)
GPBCLEAR	0x6FCC	2	GPIO B 数据清除寄存器 (GPIO32 至 38)
GPBTOGGLE	0x6FCE	2	GPIO B 数据切换寄存器 (GPIO32 至 38)
AIODAT	0x6FD8	2	模拟 I/O 数据寄存器 (AIO0 至 AIO15)
AIOSET	0x6FDA	2	模拟 I/O 数据设定寄存器 (AIO0 至 AIO15)
AIOCLEAR	0x6FDC	2	模拟 I/O 数据清除寄存器 (AIO0 至 AIO15)
AIO TOGGLE	0x6FDE	2	模拟 I/O 数据切换寄存器 (AIO0 至 AIO15)
GPIO 中断和低功耗模式选择寄存器 (受 EALLOW 保护)			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器 (GPIO0 至 31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIOXINT3SEL	0x6FE2	1	XINT3 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIO LPMSEL	0x6FE8	2	LPM GPIO 选择寄存器 (GPIO0 至 GPIO31)

注

从写入 GPxMUXn/AIOMUXn 和 GPxQSELn 寄存器发生到动作有效有两个 SYSCLKOUT 周期延迟。

表 4-10. GPIOA MUX⁽¹⁾⁽²⁾

	复位时缺省 主 I/O 功能	外设 选择 1	外设 选择 2	外设 选择 3
GPAMUX1 寄存器位	(GPAMUX1 位 = 00)	(GPAMUX1 位 = 01)	(GPAMUX1 位 = 10)	(GPAMUX1 位 = 11)
1-0	GPIO0	EPWM1A (O)	被保留	被保留
3-2	GPIO1	EPWM1B (O)	被保留	COMP1OUT (O)
5-4	GPIO2	EPWM2A (O)	被保留	被保留
7-6	GPIO3	EPWM2B (O)	被保留	COMP2OUT ⁽³⁾ (O)
9-8	GPIO4	EPWM3A (O)	被保留	被保留
11-10	GPIO5	EPWM3B (O)	被保留	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCl (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SCIRXDA (I)	被保留
17-16	被保留	被保留	被保留	被保留
19-18	被保留	被保留	被保留	被保留
21-20	被保留	被保留	被保留	被保留
23-22	被保留	被保留	被保留	被保留
25-24	GPIO12	$\overline{TZ1}$ (I)	SCITXDA (O)	被保留
27-26	被保留	被保留	被保留	被保留
29-28	被保留	被保留	被保留	被保留
31-30	被保留	被保留	被保留	被保留
GPAMUX2 寄存器位	(GPAMUX2 位 = 00)	(GPAMUX2 为 = 01)	(GPAMUX2 位 = 10)	(GPAMUX2 位 = 11)
1-0	GPIO16	SPISIMOA (I/O)	被保留	$\overline{TZ2}$ (I)
3-2	GPIO17	SPISOMIA (I/O)	被保留	$\overline{TZ3}$ (I)
5-4	GPIO18	SPICLKA (I/O)	SCITXDA (O)	XCLKOUT (O)
7-6	GPIO19/XCLKIN	$\overline{SPISTEA}$ (I/O)	SCIRXDA (I)	ECAP1 (I/O)
9-8	被保留	被保留	被保留	被保留
11-10	被保留	被保留	被保留	被保留
13-12	被保留	被保留	被保留	被保留
15-14	被保留	被保留	被保留	被保留
17-16	被保留	被保留	被保留	被保留
19-18	被保留	被保留	被保留	被保留
21-20	被保留	被保留	被保留	被保留
23-22	被保留	被保留	被保留	被保留
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OD)	$\overline{TZ2}$ (I)
27-26	GPIO29	SCITXDA (O)	SCLA (I/OD)	$\overline{TZ3}$ (I)
29-28	被保留	被保留	被保留	被保留
31-30	被保留	被保留	被保留	被保留

(1) 被保留意味着没有外设被指定到这个 GPxMUX1/2 寄存器设置。如果它被选择，那么引脚的状态将为未定义并且此引脚可被驱动。这个选择是为以后扩展预留的保留配置。

(2) I = 输入，O = 输出，OD = 开漏

(3) 这些功能在 38 引脚封装内不可用。

表 4-11. GPIOB MUX⁽¹⁾

	复位时缺省 主 I/O 功能	外设选择 1	外设选择 2	外设选择 3
外设选择 4	(GPBMUX1 位 = 00)	(GPBMUX1 位 = 01)	(GPBMUX1 为 = 10)	(GPBMUX1 位 = 11)
1-0	GPIO32 ⁽²⁾	SDAA ⁽²⁾ (I/OD)	EPWMSYNCl ⁽²⁾ (I)	ADCSOCAO ⁽²⁾ (O)
3-2	GPIO33 ⁽²⁾	SCLA ⁽²⁾ (I/OD)	EPWMSYNCO ⁽²⁾ (O)	ADCSOCBO ⁽²⁾ (O)
5-4	GPIO34	COMP2OUT (O)	被保留	被保留
7-6	GPIO35 (TDI)	被保留	被保留	被保留
9-8	GPIO36 (TMS)	被保留	被保留	被保留
11-10	GPIO37 (TDO)	被保留	被保留	被保留
13-12	GPIO38/XCLKIN (TCK)	被保留	被保留	被保留
15-14	被保留	被保留	被保留	被保留
17-16	被保留	被保留	被保留	被保留
19-18	被保留	被保留	被保留	被保留
21-20	被保留	被保留	被保留	被保留
23-22	被保留	被保留	被保留	被保留
25-24	被保留	被保留	被保留	被保留
27-26	被保留	被保留	被保留	被保留
29-28	被保留	被保留	被保留	被保留
31-30	被保留	被保留	被保留	被保留

- (1) I = 输入, O = 输出, OD = 开漏
(2) 这些引脚在 38 引脚封装内不可用。

表 4-12. 模拟 MUX⁽¹⁾

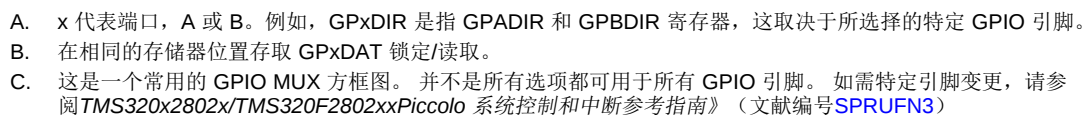
		复位时缺省
	AIOx 和 外设选择 1	外设选择 2 和外设选择 3
AIOMUX1 寄存器位	AIOMUX1 位 = 0,x	AIOMUX1 位 = 1,x
1-0	ADCINA0 (I)	ADCINA0 (I)
3-2	ADCINA1 ⁽²⁾ (I)	ADCINA1 ⁽²⁾ (I)
5-4	AIO2 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	ADCINA3 ⁽²⁾ (I)	ADCINA3 ⁽²⁾ (I)
9-8	AIO4 (I/O)	ADCINA4 (I), COMP2A ⁽³⁾ (I)
11-10	ADCINA5(I)	ADCINA5 (I)
13-12	AIO6 (I/O)	ADCINA6 (I)
15-14	ADCINA7 ⁽²⁾ (I)	ADCINA7 ⁽²⁾ (I)
17-16	ADCINB0 (I)	ADCINB0 (I)
19-18	ADCINB1 ⁽²⁾ (I)	ADCINB1 ⁽²⁾ (I)
21-20	AIO10 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	ADCINB3 ⁽²⁾ (I)	ADCINB3 ⁽²⁾ (I)
25-24	AIO12 (I/O)	ADCINB4 (I), COMP2B ⁽³⁾ (I)
27-26	ADCINB5(I)	ADCINB5 (I)
29-28	AIO14 (I/O)	ADCINB6 (I)
31-30	ADCINB7 ⁽²⁾ (I)	ADCINB7 ⁽²⁾ (I)

- (1) I = 输入, O = 输出
(2) 这些引脚在 38 引脚封装内不可用。
(3) 这些功能在 38 引脚封装内不可用。

通过四个选择中的 GPxQSEL1/2 寄存器，用户可为每一个 GPIO 引脚选择输入限定的类型：

- 只同步至 SYSCLKOUT (GPxQSEL1/2=0,0)：这是复位时所有 GPIO 引脚的缺省模式并且它只是将输入信号同步至系统时钟 (SYSCLKOUT)。
- 使用采样窗口的限定条件 (GPxQSEL1/2=0, 1 和 1, 0)：这个模式中，在与系统时钟 (SYSCLKOUT) 同步后，输入信号在输入被允许改变前，被一定数量的周期所限定。
- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位所指定并且可在一组 8 个信号中进行配置。它为采样输入信号指定了多个 SYSCLKOUT 周期。采样窗口为 3 样品或者 6 样品宽并且只有当所有样品与图表 4-18（对于 6 样品模式）中所显示的一样时（全 0 或者全 1），输出才会改变。
- 无同步 (GPxQSEL1/2=1, 1)：这个模式用于无需同步的外设（同步不在外设内执行）。

由于器件上所要求的多级复用，有可能会有一个外设输入信号被映射到多于一个 GPIO 引脚的情况。此外，当一个输入信号未被选择时，输入信号将缺省为一个 0 或者 1 状态，这由外设而定。



72 外设

5 器件支持

德州仪器 (TI) 为 C28x™ 的 MCU 类产品提供了大量的开发工具，其中包括评估处理器性能、生成代码、开发算法执行的工具，且完全集成以及调试软件和硬件模块。

下面的产品支持基于2802x的应用的开发：

软件开发工具

- Code Composer Studio™ 集成开发环境 (IDE)
 - C/C++ 编译器
 - 代码生成工具
 - 汇编器/连接器
 - 周期精确模拟器
- 应用算法
- 示例应用代码

硬件开发工具

- 开发和评估工具
- 基于 JTAG 的仿真器 - XDS510™ 类别，XDS560™ 仿真器，XDS100
- 闪存编程工具
- 电源
- 文档和线缆

5.1 器件和开发支持工具命名规则

为了指出产品开发周期的阶段，TI 为所有 TMS320™ MCU 器件和支持工具的部件号分配了前缀。每一个 TMS320™ MCU 商用系列成员产品具有以下三个前缀中的一个：TMX，TMP，或者 TMS（例如，TMS320F28023）。德州仪器 (TI) 建议为其支持的工具使用三个可能前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

器件开发进化流程：

- TMX** 试验器件不一定代表最终器件的电气规范标准。
- TMP** 最终的芯片模型符合器件的电气规范标准，但是未经完整的质量和可靠性验证。
- TMS** 完全合格的产品器件

支持工具开发发展流程：

- TMDX** 还未经完整的德州仪器 (TI) 内部质量测试的开发支持工具
- TMDS** 完全合格的开发支持产品

TMX 和 TMP 器件和 TMDX 开发支持工具出货时带有如下的免责声明：
“开发产品用于内部评估用途。”

TMS 器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (TMX 或者 TMP) 的故障率大于标准生产器件。由于它们的预计的最终使用故障率仍未定义，德州仪器 (TI) 建议不要将这些器件用于任何生产系统。只有合格的产品器件将被使用。

TI 器件的命名规则也包括一个带有器件系列名称的后缀。这个后缀表示封装类型（例如，PT）和温度范围（例如，S）。图 5-1 提供了读取任一系列产品成员完整器件名称的图例。

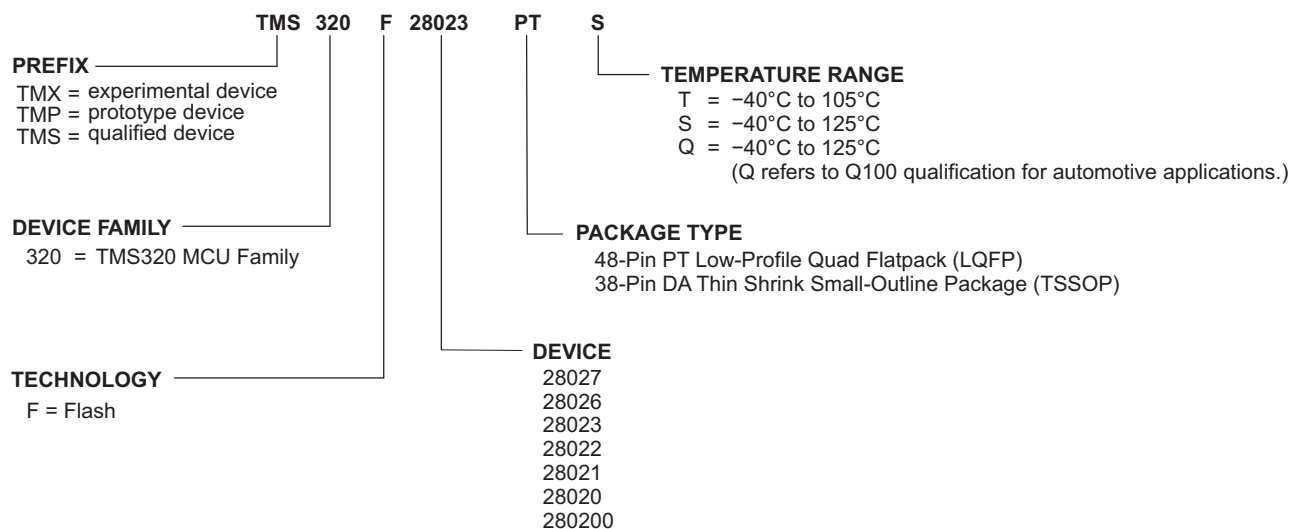


图 5-1. 器件命名规则

5.2 相关文档

从产品声明到应用开发的大量文档提供了对所有 TMS320™ MCU 系列器件的支持。提供的文档类型包括：数据表和数据手册，并带有设计规范标准；以及硬件和软件应用。

表 5-1 显示了适用于这个数据手册中器件的外设参考指南。有关外设类型的更多信息，请见《TMS320x28xx, 28xxx DSP 外设参考指南》（文献编号 [SPRU566](#)）。

表 5-1. TMS320F2802x, TMS320F2802xx 外设选择指南

外设	文献编号 编号	类型 (1)	28027, 28026, 28023, 28022, 28021, 28020	280200
TMS320x2802x/TMS320F2802xx Piccolo 系统控制和中断参考指南	SPRUFN3	-	X	X
TMS320x2802x、2803x Piccolo 模数转换器 (ADC) 和比较器	SPRUGE5	3/0 (2)	X	X
TMS320x2802x, 2803x Piccolo 串行通信接口 (SCI)	SPRUGH1	0	X	X
TMS320x2802x, 2803x Piccolo 串行外设接口 (SPI)	SPRUG71	1	X	X
TMS320x2802x Piccolo 引导 ROM	SPRUFN6	-	X	X
TMS320x2802x, 2803x Piccolo 增强型脉宽调制器 (ePWM) 模块	SPRUGE9	1	X	X
TMS320x2802x, 2803x Piccolo 增强型捕捉 (eCAP) 模块	SPRUZF8	0	X	-
TMS320x2802x, 2803x Piccolo 内部集成电路 (I2C)	SPRUZF9	0	X	X
TMS320x2802x, 2803x Piccolo 高分辨率脉宽调制器 (HRPWM)	SPRUGE8	1	X	-

- (1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，而这些差异不会影响模块的基本功能。外设参考指南列出了这些特定器件差异。
- (2) ADC 模块为类型 3，而比较器模块为类型 0。

下列文档可从 TI 网站 ([www.ti.com](#)) 中下载：

勘误表

[SPRZ292](#) **TMS320F28027, TMS320F28026, TMS320F28023, TMS320F28022, TMS320F28021, TMS320F28020, TMS320F280200, TMS320F280270, TMS320F280260, TMS320F280230, TMS320F280220 Piccolo MCU 芯片勘误表对与芯片有关的已知报告进行了说明并提供了权变措施。**

CPU 用户指南

[SPRU430](#) 《TMS320C28x CPU 和指令集参考指南》描述了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。它还描述了这些 DSP 上可用的仿真功能。

外设指南

[SPRUFN3](#) 《TMS320x2802x/TMS320F2802xx Piccolo 系统控制和中断参考指南》描述了 2802x 微控制器 (MCU) 的不同中断和系统控制特性。

[SPRU566](#) 《TMS320x28xx, 28xxx DSP 外设参考指南》描述了 28x 数字信号处理器 (DSP) 的外设参考指南。

[SPRUFN6](#) 《TMS320x2802x Piccolo 引导 ROM 参考指南》描述了引导加载程序的用途和特性（厂家编辑的引导加载软件）并提供代码示例。它还描述了器件的片载引导 ROM 的其它内容，并标识了所有信息在该存储器内的位置。

- [SPRUGE5](#)** 《TMS320x2802x, 2803x Piccolo 模数转换器 (ADC) 和比较器参考指南》描述了如何配置和使用片载 ADC 模块, 此模块是一种 12 位管线型 ADC。
- [SPRUGE9](#)** 《TMS320x2802x, 2803x Piccolo 增强型脉宽调制器 (ePWM) 模块参考指南》描述了增强型脉宽调制器的主要应用领域, 包括数字电机控制、开关模式电源控制、UPS (不间断电源) 和其它形式的电力转换。
- [SPRUGE8](#)** 《TMS320x2802x, 2803x Piccolo 高分辨率脉宽调制器 (HRPWM)》描述了脉宽调制器的高分辨率扩展版本 (HRPWM) 的操作。
- [SPRUGH1](#)** 《TMS320x2802x, 2803x Piccolo 串行通信接口 (SCI) 参考指南》描述了如何使用 SCI。
- [SPRUFZ8](#)** 《TMS320x2802x, 2803x Piccolo 增强型捕捉 (eCAP) 模块参考指南》描述了增强型捕捉模块。它包括模块描述和寄存器。
- [SPRUG71](#)** 《TMS320x2802x, 2803x Piccolo 串行外设接口 (SPI) 参考指南》描述了 SPI - 一种高速同步串行输入/输出 (I/O) 端口 - 它允许按照已编程的位传输速率将具有编程长度 (1 到 16 位) 的串行比特流移入或移出器件。
- [SPRUFZ9](#)** 《TMS320x2802x, 2803x Piccolo 内部集成电路 (I2C) 参考指南》描述了内部集成电路 (I2C) 模块的特性和操作。
- 工具指南
- [SPRU513](#)** 《TMS320C28x 汇编语言工具 v5.0.0 用户指南》描述了用于 TMS320C28x 器件的汇编语言工具 (用于开发汇编语言代码的汇编程序和其它工具)、汇编器指令、宏、通用目标文件格式、和符号调试指令。
- [SPRU514](#)** 《TMS320C28x 优化 C/C++ 编译器 v5.0.0 用户指南》描述了 TMS320C28x™ C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码, 并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。
- [SPRU608](#)** 《TMS320C28x 指令集模拟器技术概览》描述了用于 TMS320C2000 IDE 的 Code Composer Studio 内提供的模拟器, 此模拟器能够模拟 C28x™ 内核的指令集。

5.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范 and 标准且不一定反映 TI 的观点; 请见 TI 的[使用条款](#)。

[TI E2E 社区](#) **TI 工程师间 (E2E) 社区** 此社区的创建目的是为了促进工程师之间协作。在 e2e.ti.com 中, 您可以咨询问题、共享知识、探索思路, 在研发工程师的帮助下解决问题。

[德州仪器 \(TI\) 嵌入式处理器维基网站](#) **德州仪器 (TI) 嵌入式处理器维基网站**。此网站的建立是为了帮助开发人员从德州仪器 (TI) 的嵌入式处理器入门并且也为了促进与这些器件相关的硬件和软件的总体知识的创新和增长。

6 电气规范

6.1 最大绝对额定值⁽¹⁾⁽²⁾

电源电压范围, V_{DDIO} (I/O 和闪存)	相对于 V_{SS}	-0.3V 至 4.6V
电源电压, V_{DD}	相对于 V_{SS}	-0.3V 至 2.5V
模拟电压范围, V_{DDA}	相对于 V_{SSA}	-0.3V 至 4.6V
输入电压范围, $V_{IN}(3.3V)$		-0.3V 至 4.6V
输出电压范围, V_O		-0.3V 至 4.6V
输入钳制电流, $I_{IK}(V_{IN} < 0 \text{ 或者 } V_{IN} > V_{DDIO})^{(3)}$		$\pm 20\text{mA}$
输出钳制电流, $I_{OK}(V_O < 0 \text{ 或者 } V_O > V_{DDIO})$		$\pm 20\text{mA}$
结温范围, $T_J^{(4)}$		-40°C 至 150°C
贮存温度范围, $T_{stg}^{(4)}$		-65°C 至 150°C

- (1) 在超出那些下面列出的绝对最大额定值条件下工作可能会造成器件的永久损坏。这些只是应力额定值, 在这些值或者任何超过 [Section 6.2](#) 下所标明的其它条件下的功能运行并未注明。长时间处于最大绝对额定情况下会影响设备的可靠性。
- (2) 所有电压值都是相对于 V_{SS} 的值, 除非额外注明。
- (3) 每个引脚上的持续钳制电流为 2mA。
- (4) 长期高阻抗贮存并且/或者在最大温度条件下长时间使用会使器件总体使用寿命的缩短。额外信息, 请见《IC 封装热量应用报告》(文献编号 [SPRA953](#)) 和《用于 TMS320LF24xx 和 TMS320F28xx 器件应用报告的可靠性数据》(文献编号 [SPRA963](#))。

6.2 建议的运行条件

		最小值	标称值	最大值	单位
器件电源电压, I/O, $V_{DDIO}^{(1)(2)}$		2.97	3.3	3.63	V
器件电源电压 CPU, V_{DD} (当内部 VREG 被禁用并且由 1.8V 电源外部供电时)		1.71	1.8	1.995	V
电源接地, V_{SS}			0		V
模拟电源电压, $V_{DDA}^{(1)}$		2.97	3.3	3.63	V
模拟接地, V_{SSA}			0		V
器件时钟频率 (系统时钟)	28020, 28021, 280200	2		40	MHz
	28022, 28023	2		50	
	28026, 28027	2		60	
高电平输入电压, $V_{IH}(3.3V)$		2		$V_{DDIO}+0.3$	V
低电平输入电压, $V_{IL}(3.3V)$		$V_{SS}-0.3$		0.8	V
高电平输出源电流, $V_{OH}=V_{OH}$ (最小值), I_{OH}	所有 GPIO/AIO 引脚			-4	mA
	组 2 ⁽³⁾			-8	mA
低电平输出灌电流, $V_{OL}=V_{OL}$ (最大值), I_{OL}	所有 GPIO/AIO 引脚			4	mA
	组 2 ⁽³⁾			8	mA
结温, $T_J^{(4)}$	T 版本	-40		105	°C
	S 版本	-40		125	
	Q 版本 (Q100 标准)	-40		125	

- (1) V_{DDIO} 和 V_{DDA} 之间的差距应保持在大约 0.3 V 之内。
- (2) 如果 BOR 未被使用, 那么 V_{DDIO} 可使用一个 $\pm 10\%$ 的公差。如需更多信息, 请参与《TMS320F28027, TMS320F28026, TMS320F28023, TMS320F28022, TMS320F28021, TMS320F28020, TMS320F280200, TMS320F280270, TMS320F280260, TMS320F280230, TMS320F280220 Piccolo MCU 芯片勘误表》(文献编号 [SPRZ292](#))。如果 BOR 被启用, V_{DDIO} 的公差为 $\pm 5\%$ 。
- (3) 第 2 组引脚如下: GPIO16, GPIO17, GPIO18, GPIO19, GPIO28, GPIO29, GPIO36, GPIO37。
- (4) T_A (环境温度) 取决于产品和应用并且可以达到器件的最大额定 T_J 。热性能设计注意事项, 请见 [Section 6.5](#)。

6.3 电气特性⁽¹⁾

在推荐的运行条件下（除非额外注明）

参数		测试条件		最小值	典型值	最大值	单位	
V _{OH}	高电平输出电压	I _{OH} =I _{OH} 最大值		2.4			V	
		I _{OH} =50μA		V _{DDIO} -0.2				
V _{OL}	低电平输出电压	I _{OL} =I _{OL} 最大值		0.4			V	
I _{IL}	输入电流 (低电平)	带有上拉使能的引脚	V _{DDIO} =3.3V, V _{IN} =0V	所有 GPIO	-80	-140	-205	μA
				$\overline{XRS}$ 引脚	-225	-290	-360	
	具有下拉使能的引脚	V _{DDIO} =3.3V, V _{IN} =0V			±2			
I _{IH}	输入电流 (高电平)	上拉电阻器被启用的引脚	V _{DDIO} =3.3V, V _{IN} =V _{DDIO}		±2			μA
		下拉电阻器被启用的引脚	V _{DDIO} =3.3V, V _{IN} =V _{DDIO}		28	50	80	
I _{OZ}	输出电流, 上拉电阻器或者下拉电阻器被禁用	V _O =V _{DDIO} 或者 0V		±2			μA	
C _I	输入电容			2			pF	
	V _{DDIO} BOR 触发点	下降的 V _{DDIO}		2.42	2.65	3.135	V	
	V _{DDIO} BOR 滞后			35			mV	
	监视器复位延迟时间	延迟时间过后, BOR/POR/OVR 事件被移除以释放 $\overline{XRS}$		400		800	μs	
	VREG V _{DD} 输出	内部 VREG 打开		1.9			V	

(1) 当片载 VREG 被使用时，它的输出由 POR/BOR 电路监控，如果内核电压 (V_{DD}) 超出范围，此电路将复位器件。

6.4 流耗

Table 6-1. 40MHz SYSCLKOUT 上的 TMS320F2802x/F280200⁽¹⁾流耗

模式	测试条件	VREG 被启用				VREG 被禁用					
		I _{DDIO} ⁽²⁾		I _{DDA} ⁽³⁾		I _{DD}		I _{DDIO} ⁽²⁾		I _{DDA} ⁽³⁾	
		TYP ⁽⁴⁾	最大值	典型值 ⁽⁴⁾	最大值	典型值 ⁽⁴⁾	最大值	典型值 ⁽⁴⁾	最大值	典型值 ⁽⁴⁾	最大值
可用 (闪存)	下列外设时钟被启用： - ePWM1/2/3/4 - eCAP1 - SCI-A - SPI-A - ADC - IC2 - COMP1/2 - CPU 定时器 0/1/2 所有 PWM 引脚被切换至 40MHz。 所有 I/O 引脚保持未连接状态。 ⁽⁵⁾ 具有 1 个等待状态的代码正在闪存之外运行。 XCLKOUT 被关闭。	70mA	80mA	13mA	18mA	62mA	70mA	15mA	18mA	13mA	18mA
IDLE	闪存被断电。 XCLKOUT 被关闭。 所有外设时钟被关闭。	13mA	16mA	53μA	58μA	15mA	17mA	120μA	400μA	53μA	58μA
STANDBY	闪存被断电。 外设时钟被关闭。	3mA	6mA	10μA	15μA	3mA	6mA	120μA	400μA	10μA	15μA
HALT	闪存被断电。 外设时钟被关闭。 输入时钟被禁用。 ⁽⁶⁾	50μA		10μA	15μA	15μA		25μA		10μA	15μA

- 对于 TMS320F280200 器件，从显示在 Table 6-1 中用于运行模式的 I_{DD} (VREG 被禁用) / I_{DDIO} (VREG 被启用) 的电流数中减去用于 eCAP 的 I_{DD} 电流数 (请见 Table 6-4)。
- I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
- 为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA} 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。
- TYP 数适用于常温 and 标称电压。
- 下面的操作在环路内完成:
 - 数据持续从 SPI-A 和 SCI-A 端口上被发出。
 - 硬件复用器被使用。
 - 安全装置被复位。
 - ADC 正在执行持续转换。
 - COMP1/2 是持续开关电压。
 - GPIO17 被接通。
- 如果一个石英晶振或者陶瓷谐振器被用作时钟源, HALF 模式将关闭片载晶体振荡器。

Table 6-2. 50MHz SYSCLKOUT 上的 TMS320F2802x 流耗

模式	测试条件	VREG 被启用				VREG 被禁用					
		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾		I _{DD}		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾	
		TYP ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值
可用 (闪存)	下列的外设时钟被启用： - ePWM1/2/3/4 - eCAP1 - SCI-A - SPI-A - ADC - IC2 - COMP1/2 - CPU 定时器 0/1/2 所有 PWM 引脚被切换至 40MHz。 所有 I/O 引脚保持未连接状态。 ⁽⁴⁾ 具有 1 个等待状态的代码正在闪存之外运行。 XCLKOUT 被关闭。	80mA	90mA	13mA	18mA	71mA	80mA	15mA	18mA	13mA	18mA
IDLE	闪存被断电。 XCLKOUT 被关闭。 所有外设时钟被关闭。	16mA	19mA	64μA	69μA	17mA	20mA	120μA	400μA	64μA	69μA
STANDBY	闪存被断电。 外设时钟被关闭。	4mA	7mA	10μA	15μA	4mA	7mA	120μA	400μA	10μA	15μA
HALT	闪存被断电。 外设时钟被关闭。 输入时钟被禁用。 ⁽⁵⁾	50μA		10μA	15μA	15μA		25μA		10μA	15μA

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。(2) 为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA} 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。

(3) TYP 数适用于常温 and 标称电压。

(4) 下面的操作在环路内完成:

- 数据持续地从 SPI-A 和 SCI-A 端口中被发出。
- 硬件复用器被使用。
- 安全装置被复位。
- ADC 正在执行持续转换。
- COMP1/2 是持续开关电压。
- GPIO17 被接通。

(5) 如果一个石英晶振或者陶瓷谐振器被用作时钟源, HALF 模式将关闭片载晶体振荡器。

Table 6-3. TMS320F2802x在 60MHz SYSCLKOUT 上的流耗

模式	测试条件	VREG 被启用				VREG 被禁用					
		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾		I _{DD}		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾	
		TYP ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值
可用 (闪存)	下列的外设时钟被启用： - ePWM1/2/3/4 - eCAP1 - SCI-A - SPI-A - ADC - IC2 - COMP1/2 - CPU-TIMER0/1/2 所有 PWM 引脚被切换至 60MHz。 所有 I/O 引脚保持未连接状态。 ⁽⁴⁾ 正在闪存之外运行的代码具有 2 个等待状态。 XCLKOUT 被关闭。	90mA	100mA	13mA	18mA	80mA	90mA	15mA	18mA	13mA	18mA
IDLE	闪存被断电。 XCLKOUT 被关闭。 所有外设时钟被关闭。	18mA	23mA	75μA	80μA	19mA	24mA	120μA	400μA	75μA	80μA
STANDBY	闪存被断电。 外设时钟被关闭。	4mA	7mA	10μA	15μA	4mA	7mA	120μA	400μA	10μA	15μA
HALT	闪存被断电。 外设时钟被关闭。 输入时钟被禁用。 ⁽⁵⁾	50μA		10μA	15μA	15μA		25μA		10μA	15μA

- (1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
- (2) 为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA} 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。
- (3) TYP 数适用于常温 and 标称电压。
- (4) 下面的操作在环路内完成:
- 数据持续地从 SPI-A 和 SCI-A 端口上被发出。
 - 硬件复用器被使用。
 - 安全装置被复位。
 - ADC 正在执行持续转换。
 - COMP1/2 是持续开关电压。
 - GPIO17 被接通。
- (5) 如果一个石英晶振或者陶瓷谐振器被用作时钟源, HALF 模式将关闭片载晶体振荡器。

NOTE

外设 - 器件中执行的 I/O 复用防止同时使用所有可用外设。这是因为不止一个外设功能可共用一个 I/O 引脚。然而, 可同时打开到所有外设的时钟, 虽然这一配置并无实际用途。如果这一操作完成, 器件汲取的电流将大于流耗表中的额定值。

6.4.1 减少流耗

2802x/280200器件包含一个减少器件流耗的方法。 由于每一个外设单元有一个独立的时钟启用位，通过关闭到任一未在指定应用中使用的外设模块的时钟，可大大减少流耗。 此外，可利用这三个低功耗模式的任一个来进一步减少流耗。 Table 6-4表明了由关闭时钟所实现的流耗减少的典型值。

Table 6-4. 不同外设的典型流耗（60MHz 上时）⁽¹⁾

外设 模块 ⁽²⁾	I _{DD} 电流 减少 (mA)
ADC	2 ⁽³⁾
IC2	3
ePWM	2
eCAP	2
SCI	2
串行外设接口 (SPI)	2
COMP/DAC	1
HRPWM	3
CPU - 定时器	1
内部零引脚振荡器	0.5

- (1) 复位时，所有外设时钟被禁用（除了 CPU 定时器时钟）。 只有在外设时钟被打开后，才可进行对外设寄存器的写入/读取操作。
- (2) 对于具有多个实例的外设，依照模块引用电流。 例如，为 ePWM 所引出的 2mA 电流是用于一个 ePWM 模块。
- (3) 这个数字代表了取自 ADC 模块数字部分的电流。 关闭 ADC 模块的时钟也将消除取自 ADC (I_{DDA}) 模拟部分的电流。

NOTE

当 XCLKOUT 被关闭时，I_{DDIO}流耗减少了 15mA（典型值）。

NOTE

基线 I_{DD}电流（此电流是指当内核在无外设被启用的情况下执行一个仿真环路时的电流）为45mA，典型值。 为了达到一个指定应用的所需 I_{DD}电流，取自外设（由应用启用）的电流必须被增加到 I_{DD}电流上。

下面是进一步减少流耗的其它方法：

- 如果代码运行出 SARAM，闪存模块可被断电。 这将使 V_{DD}电源轨内的流耗减少 18mA（典型值），V_{DDIO}电源轨内的流耗减少 13mA（典型值）。
- 通过禁用负责输出功能的引脚上的上拉电阻，可实现 V_{DDIO}电流节省。

6.4.2 流耗图 (VREG 被启用)

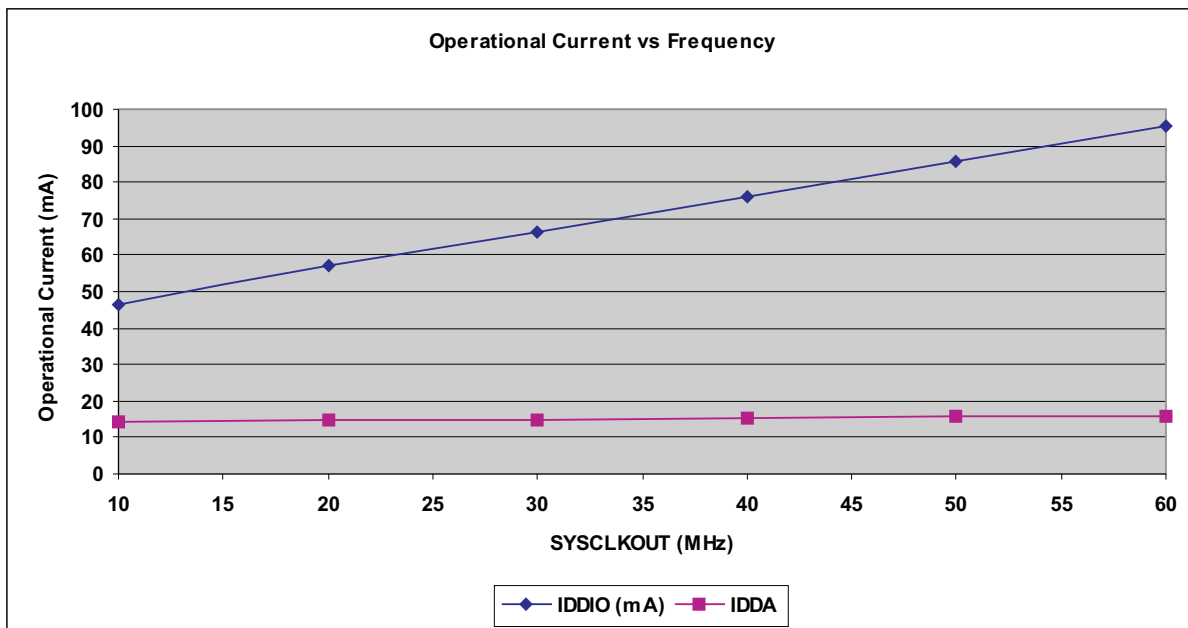


Figure 6-1. 典型运行电流与频率间的关系(F2802x/F280200)

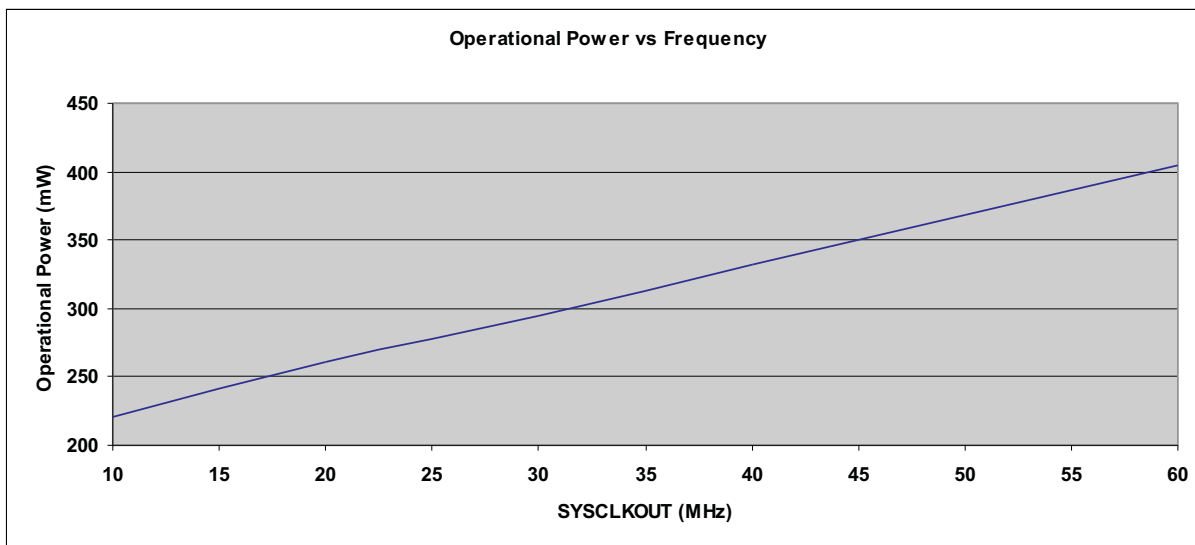


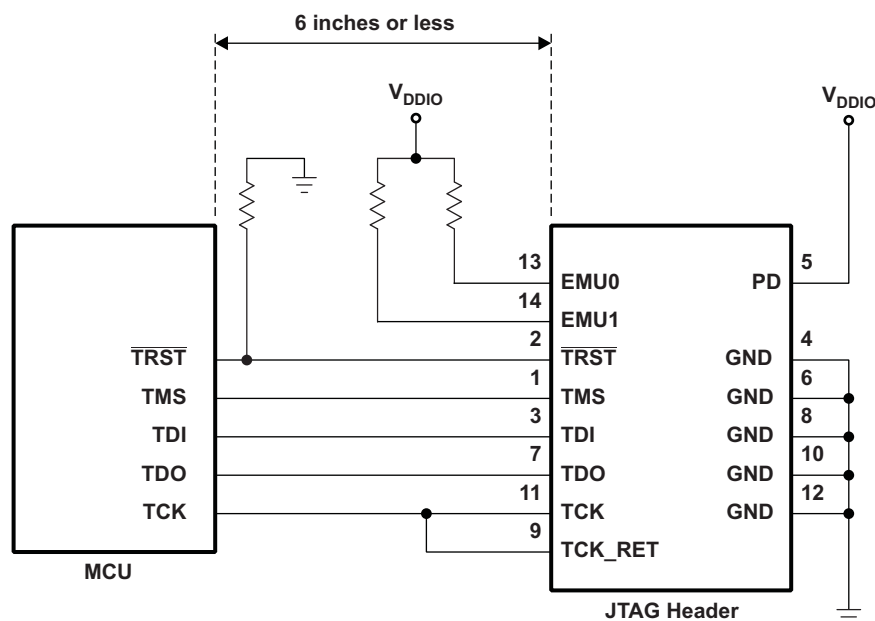
Figure 6-2. 典型运行功率与频率间的关系 (F2802x/F280200)

6.5 散热设计考虑

根据最终应用设计和运行情况， I_{DD} 和 I_{DDIO} 电流应该不同。最终产品中超过建议最大功率耗散的系统也许需要额外的散热增强。环境温度 (T_A) 随着最终应用和产品设计而变化。影响可靠性和功能性的关键参数是 T_J ，结温、而非环境温度。因此，应该注意将 T_J 保持在额定限值内。应该测量 $T_{外壳温度}$ 以估计运行结温 T_J 。 $T_{外壳温度}$ 通常在封装顶部表面的中央进行测量。散热应用报告《IC 封装散热度量》（文献编号：SPRA953）和《针对 TMS320LF24xx 和 TMS320F28xx 器件的可靠性数据》（文献编号：SPRA963）有助于理解散热度量和定义。

6.6 针对 MCU 的无信号缓冲的仿真器连接

Figure 6-3显示了 MCU 和 JTAG 接头之间针对单处理器配置的连接。如果 JTAG 接头和 MCU 之间的距离大于 6 英寸，那么仿真信号必须被缓冲。如果距离小于 6 英寸，通常无需缓冲。Figure 6-3显示了较简单、无缓冲的情况。对于上拉/下拉电阻器的值，请见节 2.2，信号说明。



A. JTAG/GPIO 复用请见图 4-11。

Figure 6-3. 针对 MCU 的无信号缓冲的仿真器连接

NOTE

2802x器件无 EMU0/EMU1 引脚。对于有一个板上 JTAG 接头的设计，接头上的 EMU0/EMU1 引脚必须通过一个 4.7kΩ（典型值）电阻器被连接至 V_{DDIO} 。

6.7 时序参数符号

所用的时序参数符号按照 JEDEC 标准 100 创建。为了缩短符号，一些引脚的名称和其它相关的术语名已经按如下方法缩减：

小写下标和它们的含意：	字母和符合符号和它们的含意：
a 访问时间	H 高
c 周期时间（周期）	L 低
d 延迟时间	V 有效
f 下降时间	X 未知、改变、或者无关电平
h 保持时间	Z 高阻抗
r 上升时间	
su 建立时间	
t 转换时间	
v 有效时间	
w 脉冲持续时间（宽度）	

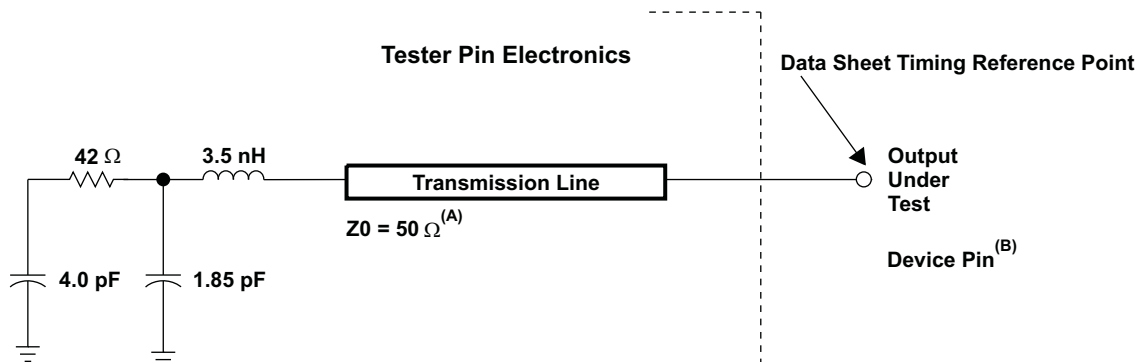
6.7.1 定时参数的通用注释

所有 28x 器件的输出信号（包括 XCLKOUT）取自一个内部时钟，这样，对于一个指定半周期的所有输出转换在一个互相之间相对最小转换率时发生。

这个显示在下面时序图中的信号组合也许不一定代表真实的周期。对于真实周期范例，请参见本文档的合适周期说明部分。

6.7.2 测试负载电路

这个测试负载电路用于测试这个文档中提供的所有开关特性。



- 使用一个器件引脚上小于每纳秒 4 伏 (4V/ns) 的输入转换率对这个数据表中的输入要求进行测试。
- 此数据表在器件引脚上提供时序。对于输出时序分析，必须将测试器引脚电子特性和传输线路效应考虑在内。一个带有 2ns 或者更长时间延迟的传输线路可被用于生成所需的传输线路效应。传输线路只用作一个负载。无需从数据表时序中增加或者减少传输线路延迟（2ns 或者更长）。

Figure 6-4. 3.3V 测试负载电路

6.7.3 器件时钟表

这个部分提供针对2802x MCU 上可用的多种时钟选项的定时要求和开关特性。Table 6-5, Table 6-6, 和Table 6-7列出了不同时钟的周期时间。

Table 6-5. 2802x 时钟表和命名规则（40MHz 器件）

		最小值	标称值	最大值	单位
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	25		500	ns
	频率	2		40	MHz
LSPCLK ⁽¹⁾	$t_{c(LCO)}$, 周期时间	25	100 ⁽²⁾		ns
	频率		10 ⁽²⁾	40	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	25			ns
	频率			40	MHz

(1) 更低的 LSPCLK 将减少器件功耗。

(2) 如果 SYSCLKOUT=40MHz, 这个值为缺省复位值。

Table 6-6. 2802x 时钟表和命名规则（50MHz 器件）

		最小值	标称值	最大值	单位
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	20		500	ns
	频率	2		50	MHz
LSPCLK ⁽¹⁾	$t_{c(LCO)}$, 周期时间	20	80 ⁽²⁾		ns
	频率		12.5 ⁽²⁾	50	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	20			ns
	频率			50	MHz

(1) 更低的 LSPCLK 将减少器件功耗。

(2) 如果 SYSCLKOUT=50MHz, 这个值为缺省复位值。

Table 6-7. 2802x时钟表和命名规则（60MHz 器件）

		最小值	标称值	最大值	单位
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	16.67		500	ns
	频率	2		60	MHz
LSPCLK ⁽¹⁾	$t_{c(LCO)}$, 周期时间	16.67	66.67 ⁽²⁾		ns
	频率		15 ⁽²⁾	60	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	16.67			ns
	频率			60	MHz

(1) 更低的 LSPCLK 将减少器件功耗。

(2) 如果 SYSCLKOUT=60MHz, 这个值为缺省复位值。

Table 6-8. 器件计时要求/特性

		最小值	标称值	最大值	单位
片载振荡器 (X1/X2 引脚) (晶振/谐振器)	$t_{c(OSC)}$, 周期时间	50		200	ns
	频率	5		20	MHz
外部振荡器/时钟源 (XCLKIN 引脚) — PLL 被启用	$t_{c(CI)}$, 周期时间 (C8)	33.3		200	ns
	频率	5		30	MHz
外部振荡器/时钟源 (XCLKIN 引脚) — PLL 被禁用	$t_{c(CI)}$, (C8) 周期时间	33.33		250	ns
	频率	4		30	MHz
跛行模式 SYSCLKOUT (/2 被启用)	频率范围	1 至 5			MHz
XCLKOUT	$t_{c(XCO)}$, 周期时间 (C1)	66.67		2000	ns
	频率	0.5		15	MHz
PLL 锁定时间 ⁽¹⁾	t_p			1	ms

(1) PLLLOCKPRD 寄存器必须按照 OSCCLK 周期的数量进行更新。如果零引脚振荡器 (10MHz) 被用作时钟源, 那么必须将一个为 10000 (最小值) 的值写入 PLLLOCKPRD 寄存器。

Table 6-9. 内部零引脚振荡器 (INTOSC1/INTOSC2) 特性

参数		最小值	典型值	最大值	单位
内部零引脚振荡器 1 (INTOSC1) ⁽¹⁾⁽²⁾	频率		10		MHz
内部零引脚振荡器 2 (INTOSC2) ⁽¹⁾⁽²⁾	频率		10		MHz
步长尺寸 (粗调)			55		kHz
步长尺寸 (微调)			14		kHz
温度漂移 ⁽³⁾			3.03	4.85	kHz/°C
电压 (V _{DD}) 漂移 ⁽³⁾			175		Hz/mV

- (1) 为了获得比显示中更好的振荡器精度 (10MHz±1% 或更好), 请参考《2802xC/C++ 头文件和外设示例》(文献编号 [SPRC832](#)) 中的振荡器校准示例, 和《振荡器补偿指南应用报告》(文献编号 [SPRAB84](#))。TYP/MAX (典型值/最大值) 值请参考 [Figure 6-5](#)。
- (2) 只有当 VREG 被启用时, 才能确保频率范围, VREGENZ=V_{SS}。
- (3) 内部振荡器的输出频率由温度梯度和电压 (V_{DD}) 梯度确定。例如:
- 温度的上升将引起输出频率按照温度系数增加。
 - 电压的下降 (V_{DD}) 将引起输出频率按照电压系数下降。

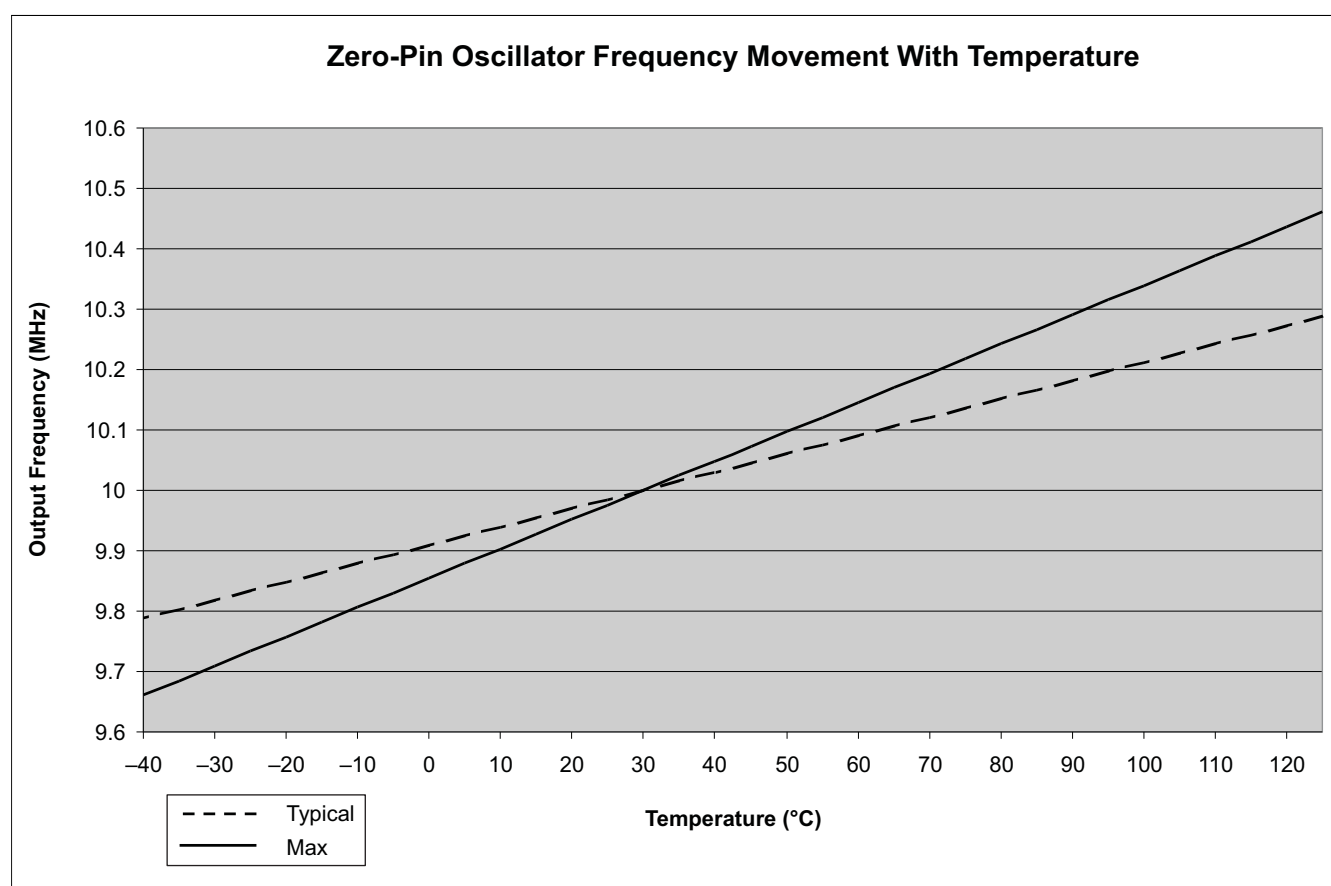


Figure 6-5. 随着温度发生变动的零引脚振荡器频率

6.8 时钟要求和特性

Table 6-10. XCLKIN 定时要求 - PLL 被启用

编号		最小值	最大值	单位
C9	$t_{f(CI)}$ 下降时间, XCLKIN		6	ns
C10	$t_{r(CI)}$ 上升时间, XCLKIN		6	ns
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平是 $t_{c(OSCCLK)}$ 的一部分的时间	45	55	%
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平是 $t_{c(OSCCLK)}$ 的一部分的时间	45	55	%

Table 6-11. XCLKIN 定时需求 - PLL 被禁用

编号			最小值	最大值	单位
C9	$t_{f(CI)}$ 下降时间, XCLKIN	高达 20 MHz		6	ns
		20MHz 至 30MHz		2	
C10	$t_{r(CI)}$ 上升时间, XCLKIN	高达 20 MHz		6	ns
		20MHz 至 30MHz		2	
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平是 $t_{c(OSCCLK)}$ 的一部分的时间		45	55	%
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平是 $t_{c(OSCCLK)}$ 的一部分的时间		45	55	%

表 3-19 中显示了可能的配置模式。

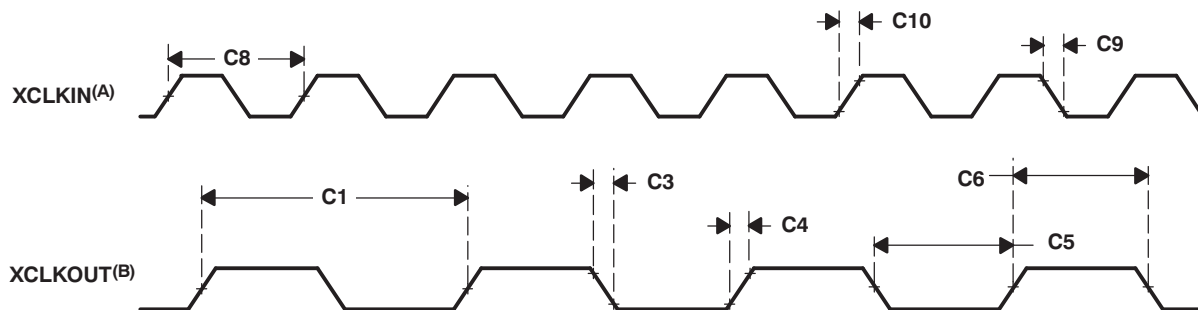
Table 6-12. XCLKOUT 开关特性 (PLL 旁通或者被禁用) ⁽¹⁾⁽²⁾

在推荐的运行条件下 (除非额外注明)

编号	参数	最小值	典型值	最大值	单位
C3	$t_{f(XCO)}$ 下降时间, XCLKOUT			11	ns
C4	$t_{r(XCO)}$ 上升时间, XCLKOUT			11	ns
C5	$t_{w(XCOL)}$ 脉冲持续时间, XCLKOUT 低电平的时间	H-2		H+2	ns
C6	$t_{w(XCOH)}$ 脉冲持续时间, XCLKOUT 高电平的时间	H-2		H+2	ns

(1) 认定这些参数有 40pF 的负载。

(2) $H=0.5t_{c(XCO)}$

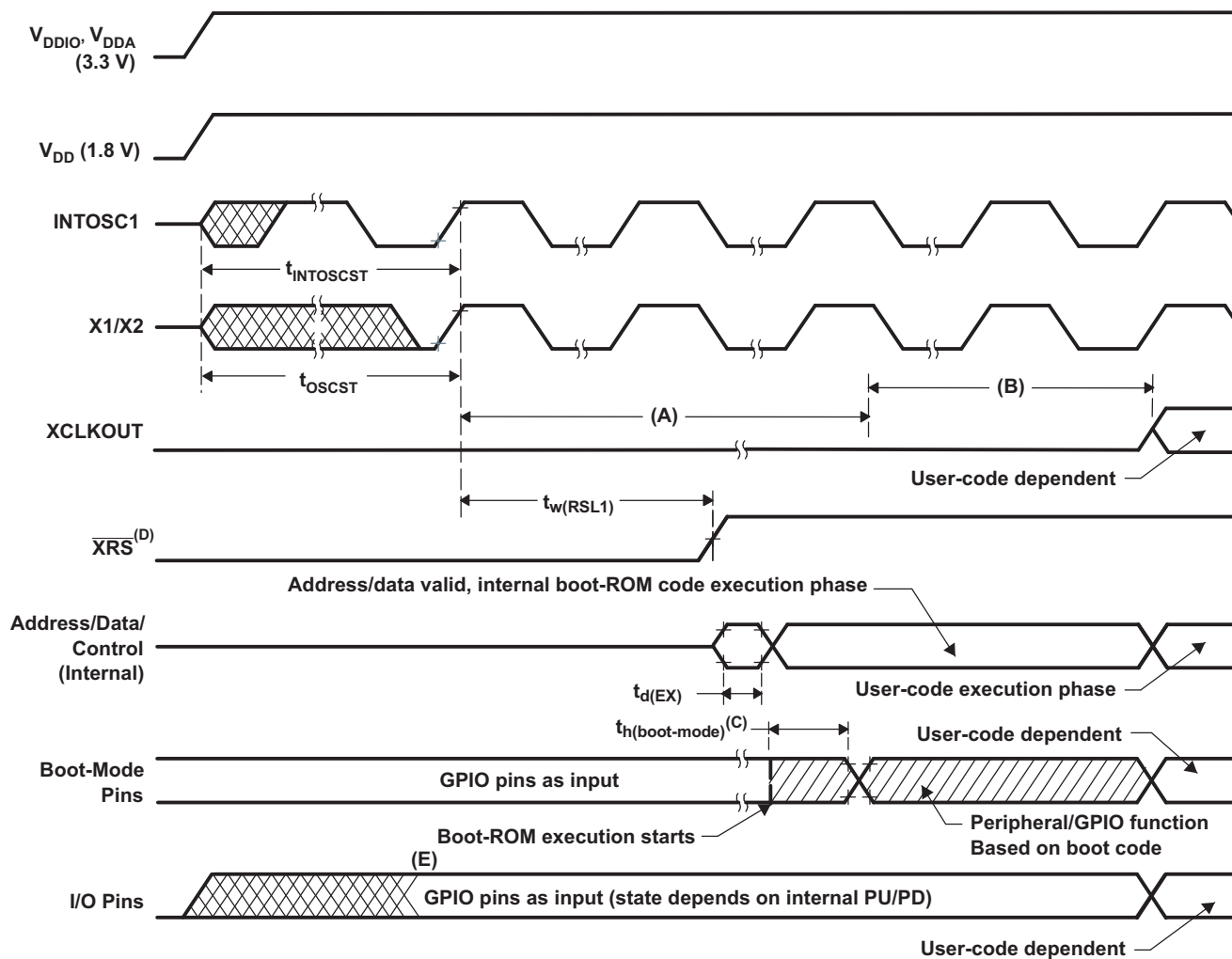


- A. XCLKIN 与 XCLKOUT 的关系取决于所选择的分频因子。所显示的波形只用于说明时序参数并且根据实际配置会有所不同。
- B. XCLKOUT 被配置成反映 SYSCLKOUT。

Figure 6-6. 时钟时序

6.9 电源排序

复位后无需电源排序来确保器件处于正常状态或者防止加电/断点期间的 I/O 上的毛刺脉冲（19, GPIO, GPIO34–38 上没有无毛刺脉冲 I/O）。在为器件加电之前，不应将 V_{DDIO} 之上大于二极管压降（0.7V）的电压应用于任何数字引脚上（对于模拟引脚，这个值是比 V_{DDA} 高 0.7V 的电压值）。此外， V_{DDIO} 和 V_{DDA} 之间的差距应一直在 0.3V 之内。应用于未加电器件的引脚上的电压会以一种无意的方式偏置内部 p-n 接头并产生无法预料的结果。



- 加电时，SYSCLKOUT 为 OSCCLK/4。由于 XCLK 寄存器内的 XCLKOUTDIV 位出现时的状态为复位状态 0，SYSCLKOUT 在出现在 XCLKOUT 上之前被进一步 4 分频。这个状态期间，XCLKOUT=OSCCLK/16。
- 引导 ROM 将 DIVSEL 位配置为 /1 运行。在这个状态期间，XCLKOUT=OSCCLK/4。请注意，XCLKOUT 在被用户代码明确配置之前在引脚上不可见。
- 复位后，引导 ROM 代码采样 Boot Mode（引导模式）引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。
- 由于片载加电复位 (POR) 电路，使用 XRS 引脚是可选的。
- 当 BOR 被驱动为高电平，内部上拉/下拉将起作用。

Figure 6-7. 加电复位

Table 6-13. 复位 $\overline{\text{XRS}}$ 时序要求

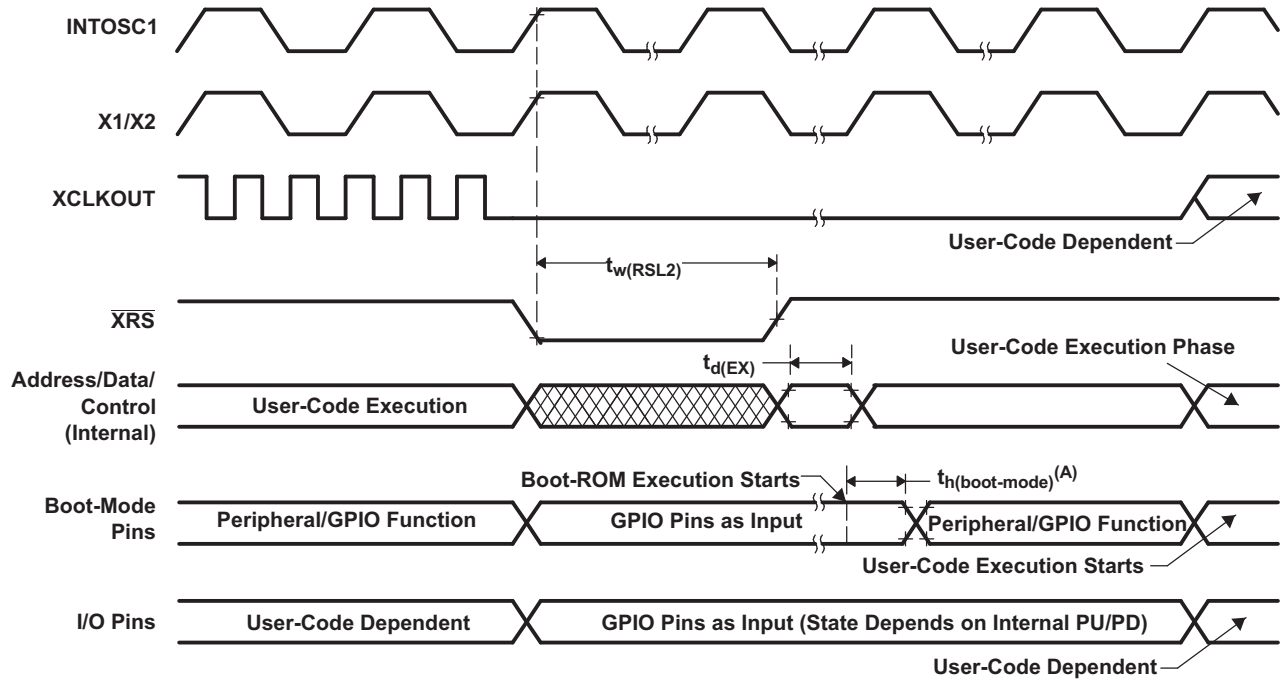
		最小值	标称值	最大值	单位
t_h (引导模式)	引导模式引脚的保持时间	$1000t_{c(SCO)}$			周期
$t_w(\text{RSL2})$	脉冲持续时间, 热复位时 $\overline{\text{XRS}}$ 低电平的时间	$32t_{c(\text{OSCCLK})}$			周期

Table 6-14. 复位 ($\overline{\text{XRS}}$) 开关特性

在推荐的运行条件下 (除非额外注明)

参数	测试条件	最小值	典型值	最大值	单位
$t_w(\text{RSL1})$	脉冲持续时间, $\overline{\text{XRS}}$ 由器件驱动器的时间		600		μs
$t_w(\text{WDRS})$	脉冲持续时间, 由安全装置生成复位脉冲的时间		$512t_{c(\text{OSCCLK})}$		周期
$t_d(\text{EX})$	延迟时间, $\overline{\text{XRS}}$ 高电平后, 地址/数据有效的时间		$32t_{c(\text{OSCCLK})}$		周期
t_{INTOSCST}	启动时间, 内部零引脚振荡器		3		μs
$t_{\text{OSCST}}^{(1)}$	片载晶体振荡器启动时间	1	10		ms

(1) 取决于晶振/谐振器和电路板设计。



- A. 复位后, 引导 ROM 代码采样 BOOT 模式 引脚。基于 引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

Figure 6-8. 热复位

Figure 6-9显示了写入 PLLCR 寄存器所产生的效果的一个示例。 在第一个阶段，PLLCR=0x0004 并且 SYSCLKOUT=OSCCLK x 2。然后写入 0x0008 到 PLLCR。就在 PLLCR 寄存器被写入后，PLL 锁存阶段开始。在这个阶段期间，SYSCLKOUT=OSCCLK/2。在 PLL 锁存完成后，SYSCLKOUT 表示新的运行频率，OSCCLKx4。

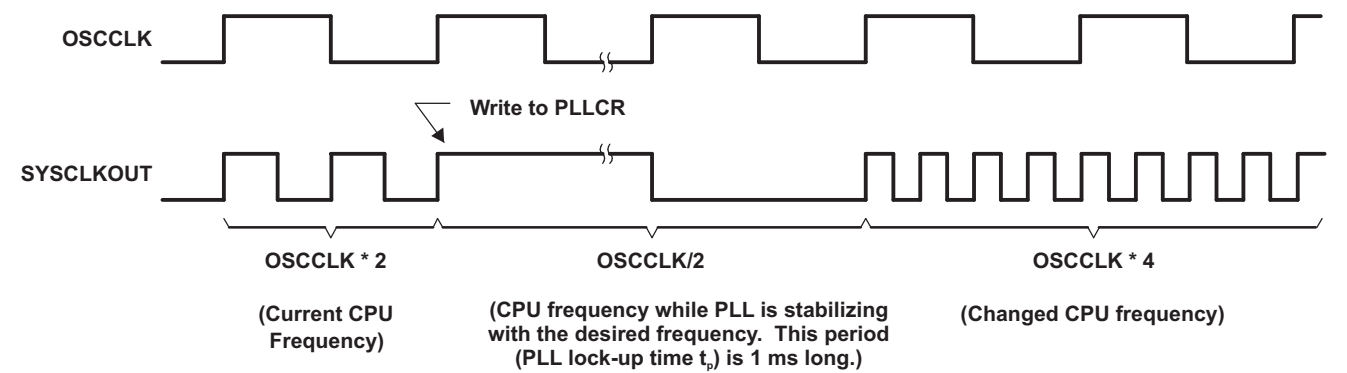


Figure 6-9. 写入 PLLCR 寄存器所产生的效果的一个示例

6.10 通用输入/输出 (GPIO)

6.10.1 GPIO - 输出时序

Table 6-15. 通用输出开关特性

在推荐的运行条件下（除非额外注明）

参数			最小值	最大值	单位
t _r (GPO)	上升时间, GPIO 从低电平切换至高电平的时间	所有 GPIO		13 ⁽¹⁾	ns
t _f (GPO)	下降时间, GPIO 从高电平切换至低电平的时间	所有 GPIO		13 ⁽¹⁾	ns
t _{GPO}	切换频率			15	MHz

(1) 上升时间和下降时间随着 I/O 引脚上的电力负荷变化。Table 6-15中指定的值适用于一个 I/O 引脚上的 40pF 负载。

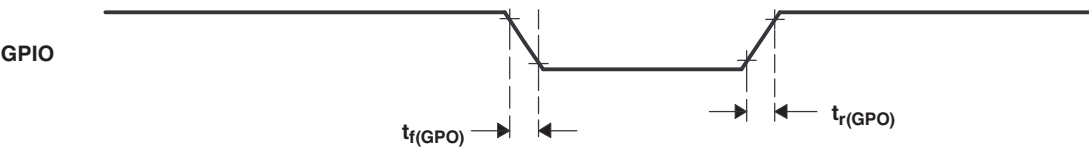


Figure 6-10. 通用输出时序

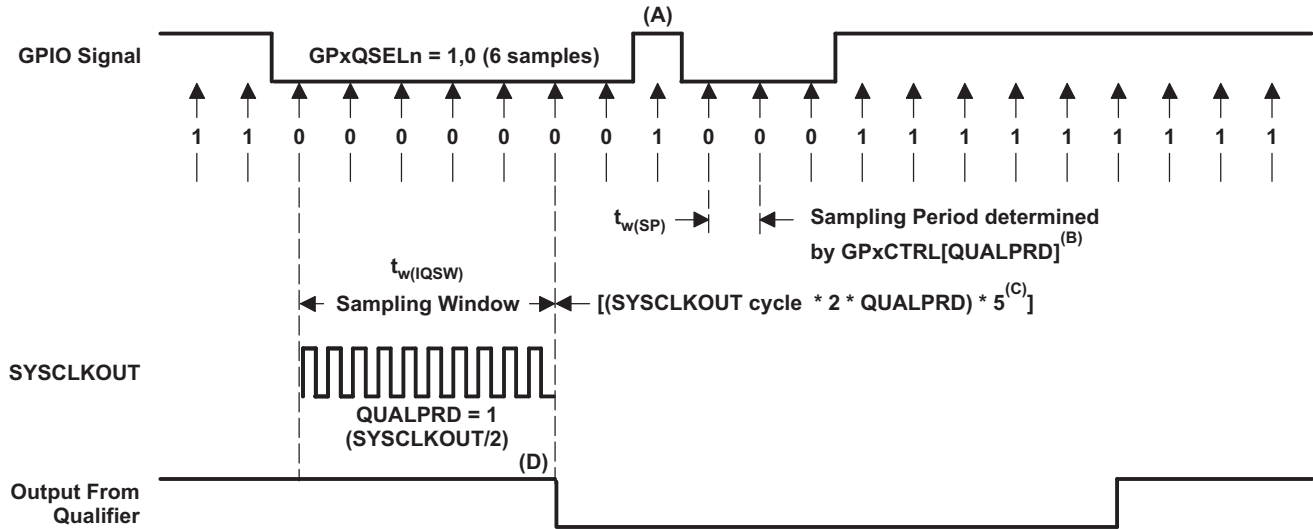
6.10.2 GPIO - 输入时序

Table 6-16. 通用输入时序要求

		最小值	最大值	单位
$t_{w(SP)}$ 采样周期	QUALPRD=0	$1t_{c(SCO)}$		周期
	QUALPRD≠0	$2t_{c(SCO)} * QUALPRD$		周期
$t_{w(IQSW)}$ 输入限定器采样窗口		$t_{w(SP)} * (n^{(1)} - 1)$		周期
$t_{w(GPI)}^{(2)}$ 脉冲持续时间, GPIO 低电平/高电平的时间	同步模式	$2t_{c(SCO)}$		周期
	带有输入限定器	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$		周期

(1) "n" 代表由 GPxQSELn 寄存器定义的限定采样的数量。

(2) 对于 $t_{w(GPI)}$, 对于一个低电平有效信号, 脉宽在 V_{IL} 至 V_{IL} 之间进行测量, 而对于一个高电平有效信号脉宽在 V_{IH} 至 V_{IH} 之间进行测量。



- 这个毛刺脉冲将被输入限定器所忽略。QUALPRD 位字段指定了限定采样周期。它可在 00 至 0xFF 间变化。如果 QUALPRD=00, 那么采样周期为 1 个 SYSCLKOUT 周期。对于任何其它的 "n" 值, 限定采样周期为 2n SYSCLKOUT 周期 (也就是说, 在每一个 SYSCLKOUT 周期上, GPIO 引脚将被采样)。
- 通过 GPxCTRL 寄存器选择的限定周期应用于 8 个 GPIO 引脚上。
- 此限定块可采样 3 个或者 6 个样本。GPxQSELn 寄存器选择使用的采样模式。
- 在所示的示例中, 为了使限定器检测到变化, 输入应该在 10 个 SYSCLKOUT 周期或者更长的时间内保持稳定。换句话说, 输入应该在 $(5 \times QUALPRD \times 2)$ SYSCLKOUT 周期内保持稳定。这将确保发生 5 个用于检测的采样周期。由于外部时钟被异步驱动, 一个 13 SYSCLKOUT 宽的脉冲将确保可靠识别。

Figure 6-11. 采样模式

6.10.3 针对输入信号的采样窗口宽度

下面的部分总结了不同的输入限定器配置下用于输入信号的采样窗口宽度。

采样频率表明相对于 SYCLKOUT 的信号采样频率。

如果 QUALPRD≠0 的话, 采样频率 = $\text{SYCLKOUT} / (2 \times \text{QUALPRD})$

如果 QUALPRD=0 的话, 采样频率 = SYCLKOUT

如果 QUALPRD≠0 的话, 采样周期 = SYCLKOUT 周期 $\times 2 \times \text{QUALPRD}$

在上面的等式中, SYCLKOUT 周期表明 SYCLKOUT 的时间周期。

如果 QUALPRD=0 的话, 采样周期 = SYCLKOUT 周期

在一个指定的采样窗口中, 输入信号的 3 个样本或者 6 个样本被采样以确定信号的有效性。由写入到 GPxQSELn 寄存器的值确定。

情况 1:

使用 3 个样本的限定

如果 QUALPRD≠0, 采样窗口宽度 = $(\text{SYCLKOUT 周期} \times 2 \times \text{QUALPRD}) \times 2$

如果 QUALPRD=0, 采样窗口宽度 = $(\text{SYCLKOUT 周期}) \times 2$

情况 2:

使用 6 个样本的限定

如果 QUALPRD≠0, 采样窗口宽度 = $(\text{SYCLKOUT 周期} \times 2 \times \text{QUALPRD}) \times 5$

如果 QUALPRD=0, 采样窗口宽度 = $(\text{SYCLKOUT 周期}) \times 5$

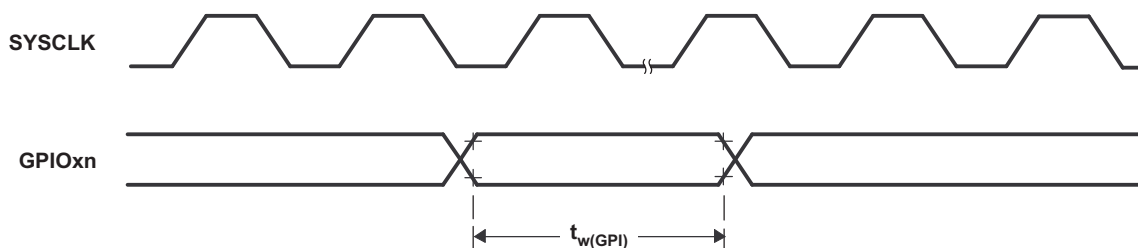


Figure 6-12. 通用输入定时

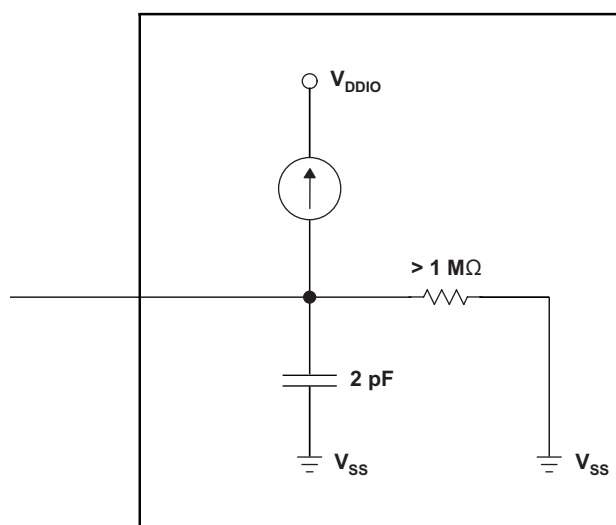


Figure 6-13. 针对带有内部上拉电阻的 GPIO 引脚的输入电阻模型

6.10.4 低功耗唤醒定时

Table 6-17显示时序要求, Table 6-18显示了开关特性, 而Figure 6-14显示了 IDLE 模式下的时序图

Table 6-17. IDLE 模式时序要求⁽¹⁾

		最小值	标称值	最大值	单位
$t_{w(WAKE-INT)}$ 脉冲持续时间，外部唤醒信号的时间	无输入限定器	$2t_c(SCO)$			周期
	带有输入限定器	$5t_c(SCO)+t_{w(IQSW)}$			

(1) 对于输入限定器参数的说明, 请见Table 6-16。

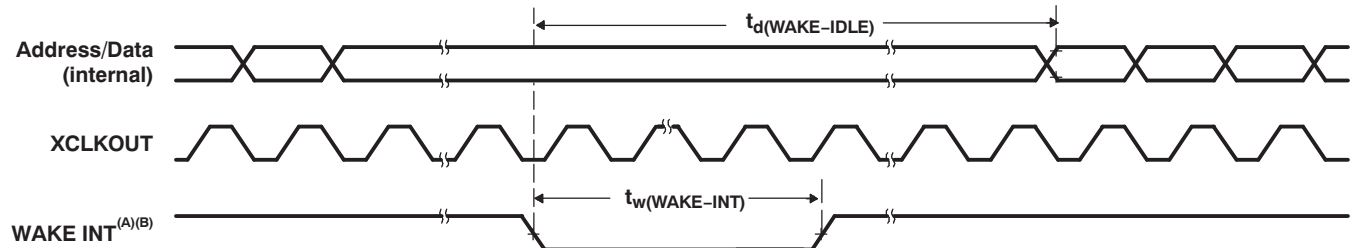
Table 6-18. IDLE 模式开关特性⁽¹⁾

在推荐的运行条件下 (除非额外注明)

参数	测试条件	最小值	典型值	最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间, 外部唤醒信号到程序执行重新开始的时间 ⁽²⁾				周期
	• 从闪存唤醒 – 激活状态中的闪存模块	无输入限定器		$20t_{c(SCO)}$	周期
		带有输入限定器		$20t_{c(SCO)} + t_{w(IQSW)}$	周期
	• 从闪存唤醒 – 睡眠状态中的闪存模块	无输入限定器		$1050t_{c(SCO)}$	周期
		带有输入限定器		$1050t_{c(SCO)} + t_{w(IQSW)}$	周期
	• 从 SARAM 中唤醒	无输入限定器		$20t_{c(SCO)}$	周期
		带有输入限定器		$20t_{c(SCO)} + t_{w(IQSW)}$	周期

(1) 对于输入限定器参数的说明, 请见Table 6-16。

(2) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR (由唤醒触发) 信号的执行会涉及额外的延迟。



A. WAKE INT 可以是任一被启用的中断, WDINT或者XRS。

B. 从将器件置于低功耗模式 (LPM) 的 IDLE 指令被执行开始, 在至少 4 个 OSCCLK 周期之前, 唤醒不应被启动。

Figure 6-14. IDLE 进入和退出定时

Table 6-19. STANDBY 模式定时要求

	测试条件	最小值	标称值	最大值	单位
t _w (WAKE-INT) 脉冲持续时间，外部唤醒信号的时间	无输入限定	3t _c (OSCCLK)			周期
	带有输入限定 ⁽¹⁾	(2+QUALSTDBY)*t _c (OSCCLK)			

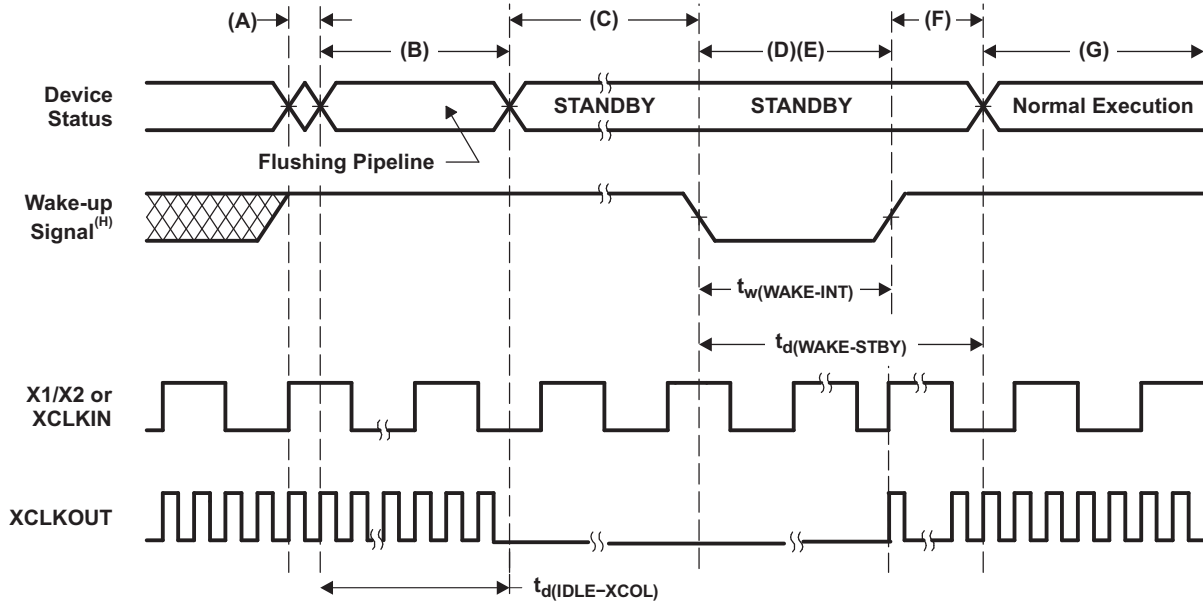
(1) QUALSTDBY 是一个 LPMCR0 寄存器内的 6 位字段。

Table 6-20. STANDBY 模式开关特性

在推荐的运行条件下（除非额外注明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间，IDLE 指令被执行到 XCLKOUT 变为低电平的时间		$32t_{c(SCO)}$		$45t_{c(SCO)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾					周期
	• 从闪存唤醒 – 处于激活状态的闪存模块	无输入限定器			$100t_{c(SCO)}$	周期
		带有输入限定器			$100t_{c(SCO)}+t_{w(WAKE-INT)}$	
	• 从闪存唤醒 – 处于睡眠状态的闪存模块	无输入限定器			$1125t_{c(SCO)}$	周期
		带有输入限定器			$1125t_{c(SCO)}+t_{w(WAKE-INT)}$	
	• 从 SARAM 中唤醒	无输入限定器			$100t_{c(SCO)}$	周期
		带有输入限定器			$100t_{c(SCO)}+t_{w(WAKE-INT)}$	

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR（由唤醒触发）信号的执行会涉及额外的延迟。



- A. 被执行的 IDLE 指令将器件置于 STANDBY 模式。
- B. PLL 块响应 STANDBY 信号。在被关闭前，SYSCLKOUT 在下面标明的一定数量的周期内被保持：
- 当 DIVSEL=00 或 11 时，16 个周期
 - 当 DIVSEL=10 时，32 个周期
 - 当 DIVSEL=11 时，64 个周期
- 这个延迟使得 CPU 管线和其它等待的操作被适当清空。
- C. 到外设的时钟被关闭。然而，PLL 和安全装置并未关闭。此器件现在处于 STANDBY 模式。
- D. 外部唤醒信号被驱动为有效。
- E. 提供给 GPIO 引脚的用于唤醒器件的唤醒信号必须符合最小脉冲宽度的要求。此外，这个信号一定不能毛刺脉冲。如果一个噪声信号被提供给 GPIO 引脚，器件的唤醒状态将是不确定的并且此器件也许不能在随后的唤醒脉冲中退出低功耗模式。
- F. 在一个延迟周期内，退出 STANDBY 模式。
- G. 正常执行重新开始。此器件将响应中断（如果被启用的话）。
- H. 从将器件置于低功耗模式 (LPM) 的 IDLE 指令被执行开始，在至少 4 个 OSCCLK 周期之前，唤醒不应被启动。

Figure 6-15. STANDBY 进入和退出定时图

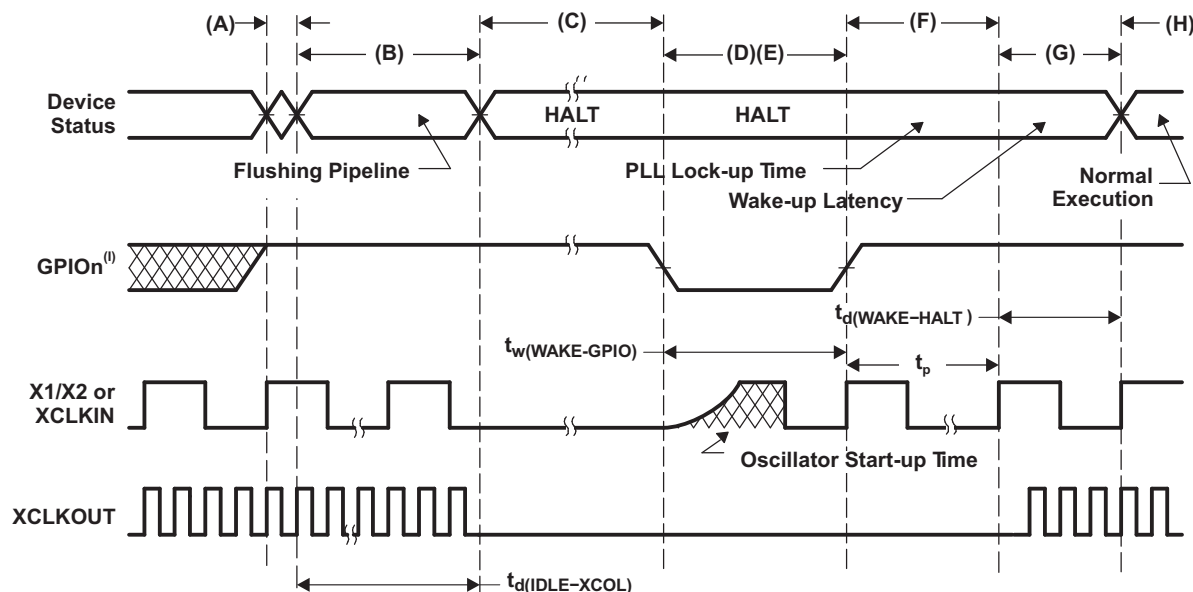
Table 6-21. HALT 模式时序要求

		最小值	标称值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间，GPIO 唤醒信号的时间	$t_{oscst} + 2t_{c(OSCCLK)}$			周期
$t_{w(WAKE-XRS)}$	脉冲持续时间，XRS 唤醒信号的时间	$t_{oscst} + 8t_{c(OSCCLK)}$			周期

Table 6-22. HALT 模式开关特性

在推荐的运行条件下（除非额外注明）

参数		最小值	典型值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间，IDLE 指令被执行到 XCLKOUT 变为低电平的时间	$32t_{c(SCO)}$		$45t_{c(SCO)}$	周期
t_p	PLL 锁存时间			1	ms
$t_{d(WAKE-HALT)}$	延迟时间，PLL 锁存到程序执行重新开始的时间				
	- 从闪存唤醒 - 处于睡眠状态的闪存模块			$1125t_{c(SCO)}$	周期
	从 SARAM 中唤醒			$35t_{c(SCO)}$	周期



- A. IDLE 指令被执行以将器件置于 HALT 模式。
- B. PLL 块响应 HALT 信号。在振荡器被关闭并且到内核的 CLKIN 被停止前 SYSCLKOUT 在下面所示的一定数量的周期内保持：
 - 当 DIVSEL=00 或 11 时，16 周期
 - 当 DIVSEL=10 时，32 个周期
 - 当 DIVSEL=11 时，64 个周期
 这个延迟使得 CPU 管线和其它等待的操作被适当清空。
- C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于 HALT 模式，消耗绝对最小功率。可在 HALT 模式中保持零引脚内部振荡器（INTOSC1 和 INTOSC2）以及安全装置可用。可通过对 CLKCTL 寄存器中的适当位进行写入操作来实现此功能。
- D. 当 GPIO_n 引脚（用于使器件脱离 HALT 模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这样可在 PLL 锁序列期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降边沿异步开始唤醒序列，请注意在进入和处于 HALT 模式期间保持一个低噪声环境。
- E. 提供给 GPIO 引脚的用于唤醒器件的唤醒信号必须符合最小脉冲宽度的要求。此外，这个信号一定不能带有毛刺脉冲。如果一个噪声信号被提供给 GPIO 引脚，器件的唤醒状态将是不确定的并且此器件也许不能在随后的唤醒脉冲中退出低功耗模式。
- F. 一旦振荡器已经稳定，PLL 锁序列被启动（耗时 1ms）。
- G. 当到内核的 CLKIN 被启用时，在一个延迟后，此器件响应此中断（如果被启用）。现在退出 HALT 模式。
- H. 正常运行重新开始。
- I. 从将器件置于低功耗模式（LPM）的 IDLE 指令被执行开始，在至少 4 个 OSCCLK 周期之前，唤醒不应被启动。

Figure 6-16. 使用 GPIO_n 的 HALT 唤醒

6.11 增强型控制外设

6.11.1 增强型脉宽调制器 (ePWM) 时序

PWM 是指 ePWM1-4 上的 PWM 输出。Table 6-23 显示了 PWM 时序要求和 Table 6-24，开关特性。

Table 6-23. ePWM 时序要求⁽¹⁾

$t_{w(SYCN)}$	同步输入脉冲宽度	测试条件	最小值	最大值	单位
		异步	$2t_{c(SCO)}$		周期
		同步的	$2t_{c(SCO)}$		周期
		带有输入限定器	$1t_{c(SCO)} + t_{w(IQSW)}$		周期

(1) 要获得输入限定符参数的解释说明，请见 Table 6-16。

Table 6-24. ePWM 开关特性

在推荐的运行条件下（除非额外注明）

参数	测试条件	最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平的时间	33.33		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SCO)}$		周期
$t_{d(PWM)tza}$	延迟时间，触发输入有效到 PWM 强制高电平的时间 延迟时间，触发输入有效到 PWM 强制低电平的时间		25	ns
$t_{d(TZ-PWM)HZ}$	延迟时间，触发输入有效至 PWM 高阻抗 (Hi-Z) 的时间		20	ns

6.11.2 可编程控制故障区输入定时

Table 6-25. 可编程控制故障区输入定时要求⁽¹⁾

$t_{w(TZ)}$	脉冲持续时间， $\overline{TZx}$ 输入低电平的时间	测试条件	最小值	最大值	单位
		异步的	$2t_{c(TBCLK)}$		周期
		同步的	$2t_{c(TBCLK)}$		周期
		带有输入限定器	$2t_{c(TBCLK)} + t_{w(IQSW)}$		周期

(1) 要获得输入限定符参数的解释说明，请见 Table 6-16。

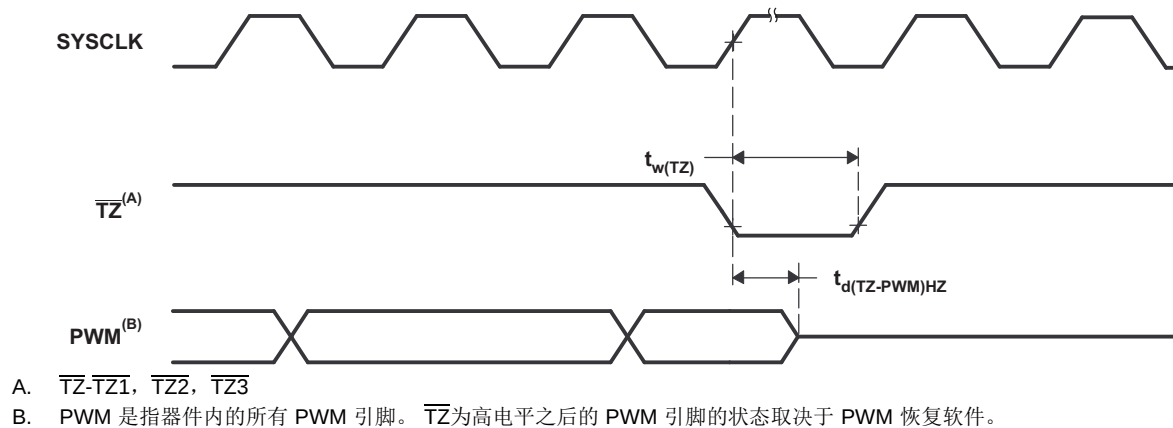


Figure 6-17. PWM Hi-Z 特性

6.11.3 高分辨率 PWM (HRPWM)定时

Table 6-26显示了高分辨率 PWM 的开关特性。

Table 6-26. 高分辨率 PWM 特性在 SYSCLKOUT=50MHz⁽¹⁾-60MHz时

	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽²⁾		150	310	ps

- (1) HRPWM 运行在一个最少 50MHz 的 SYSCLKOUT 频率上。低于 50MHz，在器件过程变化时，MEP 阶跃尺寸有可能下降至低于冷却温度并且高内核电压达到一个要求的值以至于 255 MEP 阶跃将不能跨过整个 SYSCLKOUT 周期。
- (2) 最大 MEP 步长基于最差情况过程、最大温度和最大电压。MEP 步长将随着低电压和高温度而增加，随着电压和冷却温度而降低。使用 HRPWM 特性的应用应该使用 MEP 缩放因子优化器 (SFO) 近似软件函数。在最终应用中使用 SFO 函数的细节请见 TI 软件库。SFO 函数有助于在 HRPWM 运行时动态地估计每个 SYSCLKOUT 周期内的 MEP 步数量。

6.11.4 增强型捕捉 (eCAP) 时序

Table 6-27显示了 eCAP 时序要求，而Table 6-28显示了 eCAP 开关特性。

Table 6-27. 增强型捕捉 (eCAP) 时序要求⁽¹⁾

	测试条件	最小值	最大值	单位
$t_{w(CAP)}$ 捕捉输入脉冲宽度	异步的	$2t_{c(SCO)}$		周期
	同步	$2t_{c(SCO)}$		周期
	带有输入限定器器	$1t_{c(SCO)}+t_{w(IQSW)}$		周期

- (1) 对于输入限定器参数的说明，请见Table 6-16。

Table 6-28. eCAP 开关特性

在推荐的运行条件下（除非额外注明）

参数	测试条件	最小值	最大值	单位
$t_{w(APWM)}$ 脉冲持续时间，APWMx 输出高电平/低电平的时间		20		ns

6.11.5 ADC 转换开始时序

Table 6-29. 外部 ADC 转换开始开关特性

在推荐的运行条件下（除非额外注明）

参数	最小值	最大值	单位
$t_{w(ADC\ SOCL)}$ 脉冲持续时间，ADC _{SOCXO} 低电平的时间	$32t_{c(HCO)}$		周期

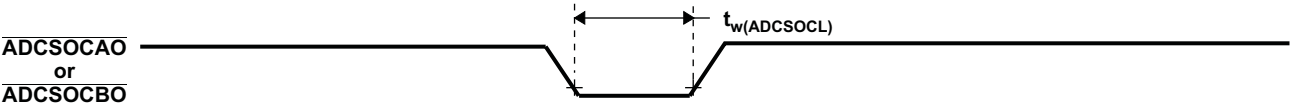


Figure 6-18. ADCSOCXO或者ADCSOCBO时序

6.11.6 外部中断时序

Table 6-30. 外部中断时序要求⁽¹⁾

	测试条件	最小值	最大值	单位
$t_{w(INT)}$ ⁽²⁾ 脉冲持续时间, INT 输入低电平/高电平的时间	同步	$1t_{c(SCO)}$		周期
	带有限定符	$1t_{c(SCO)} + t_{w(IQSW)}$		周期

- (1) 要获得输入限定符参数的解释说明, 请见 [Table 6-16](#)。
(2) 这个时序适用于为 ADCSOC 功能性所配置的任一 GPIO 引脚。

Table 6-31. 外部中断开关特性⁽¹⁾

在推荐的运行条件下 (除非额外注明)

参数	最小值	最大值	单位
$t_{d(INT)}$ 延迟时间, INT 低电平/高电平到中断矢量提取的时间		$t_{w(IQSW)} + 12t_{c(SCO)}$	周期

- (1) 要获得输入限定符参数的解释说明, 请见 [Table 6-16](#)。

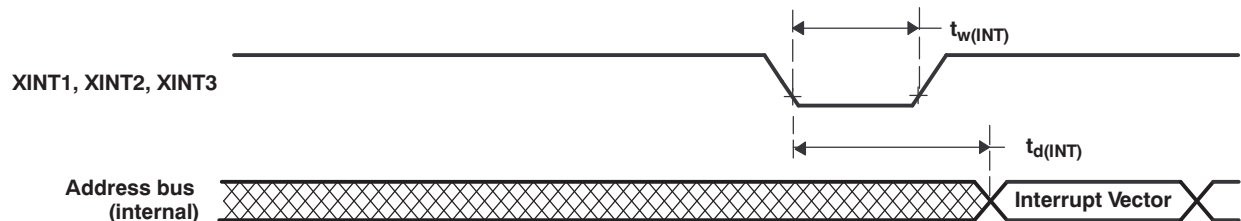


Figure 6-19. 外部中断定时

6.11.7 I2C 电气特性和时序

Table 6-32. I2C 时序

		测试条件	最小值	最大值	单位
f_{SCL}	SCL 时钟频率	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置		400	kHz
V_{il}	低电平输入电压			$0.3V_{\text{DDIO}}$	V
V_{ih}	高电平输入电压		$0.7V_{\text{DDIO}}$		V
V_{hys}	输入滞后		$0.05 V_{\text{DDIO}}$		V
V_{ol}	低电平输出电流	3mA 吸收电流	0	0.4	V
t_{LOW}	SCL 时钟的低周期	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置	1.3		μs
t_{HIGH}	SCL 时钟的高周期	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置	0.6		μs
I_{i}	输入电压介于 $0.1V_{\text{DDIO}}$ 和 $0.9V_{\text{DDIO}}$ (最大值) 的输入电流		-10	10	μA

6.11.8 串行外设接口 (SPI) 主控模式时序

Table 6-33列出了主控模式时序（时钟相位 = 0）而Table 6-34列出了时序（时钟相位 = 1）。Figure 6-20和Figure 6-21显示了时序波形。

Table 6-33. SPI 主控模式外部定时（时钟相位 = 0）(1)(2)(3)(4)(5)

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或 2 时的 SPI		当 (SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	
3	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	
4	$t_{d(SPCH-SIMO)M}$	延迟时间, SPICLK 高电平至 SPISIMO 有效的时间 (时钟极性 = 0)		10		10	ns
	$t_{d(SPCL-SIMO)M}$	延迟时间, SPICLK 低电平至 SPISIMO 有效的时间 (时钟极性 = 1)		10		10	
5	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平后, SPISIMO 数据有效的的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后, SPISIMO 数据有效的的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		
8	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 0)	26		26		ns
	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 1)	26		26		
9	$t_{v(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		

(1) 主控/受控位 (SPICTL.2) 被设定, 而时钟相位的位 (SPICTL.3) 被清除。

(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR} + 1)$

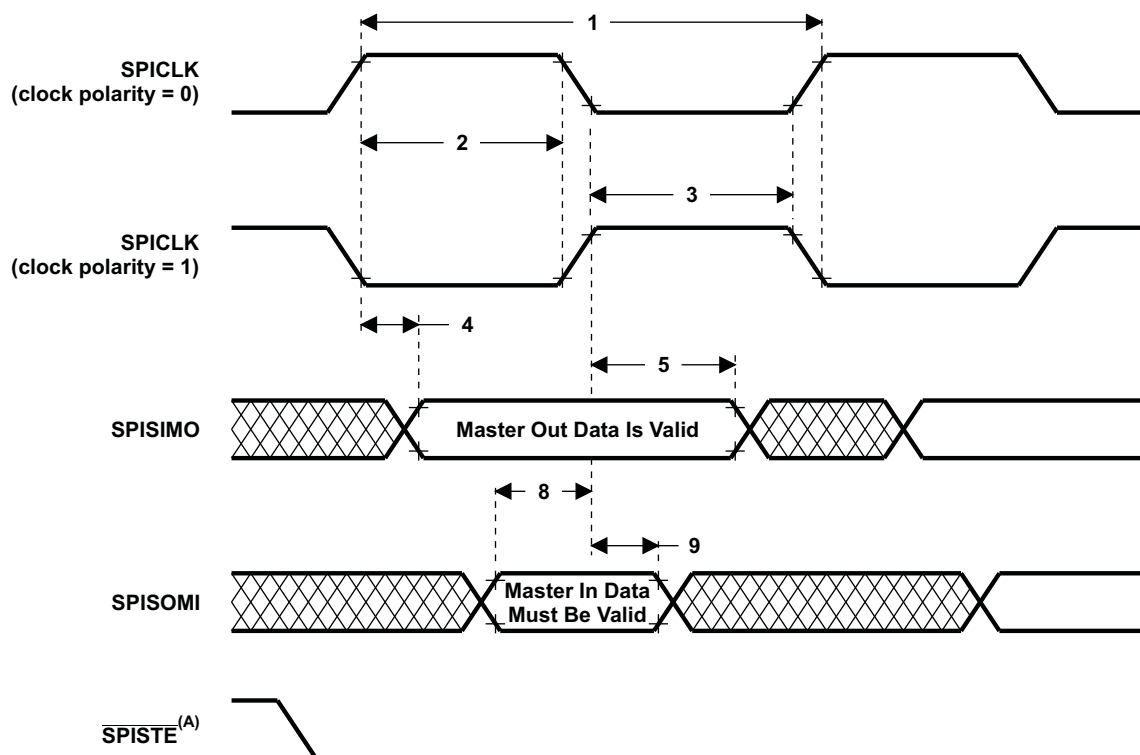
(3) $t_{c(LCO)} = \text{LSPCLK 周期时间}$

(4) 内部时钟预分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:

主控模式发射最大值 15MHz, 主控模式接收最大值 10MHz

受控模式发送最大值 10MHz, 受控模式接收最大值 10MHz。

(5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPICCR 6) 控制。



- A. 在**主控模式**下，在有效的 SPI 时钟边沿之前 $0.5t_{c(SPC)}$ (最小值)， $\overline{SPISTE}$ 变为有效。在字的后端， $\overline{SPISTE}$ 在接收到最后一个数据位的边沿 (SPICLK) 之后 $0.5t_{c(SPC)}$ 将变为无效，除非 $\overline{SPISTE}$ 在 FIFO 和非 FIFO 模式中的背靠背传送字之间保持有效。

Figure 6-20. SPI 主控模式外部定时 (时钟相位 = 0)

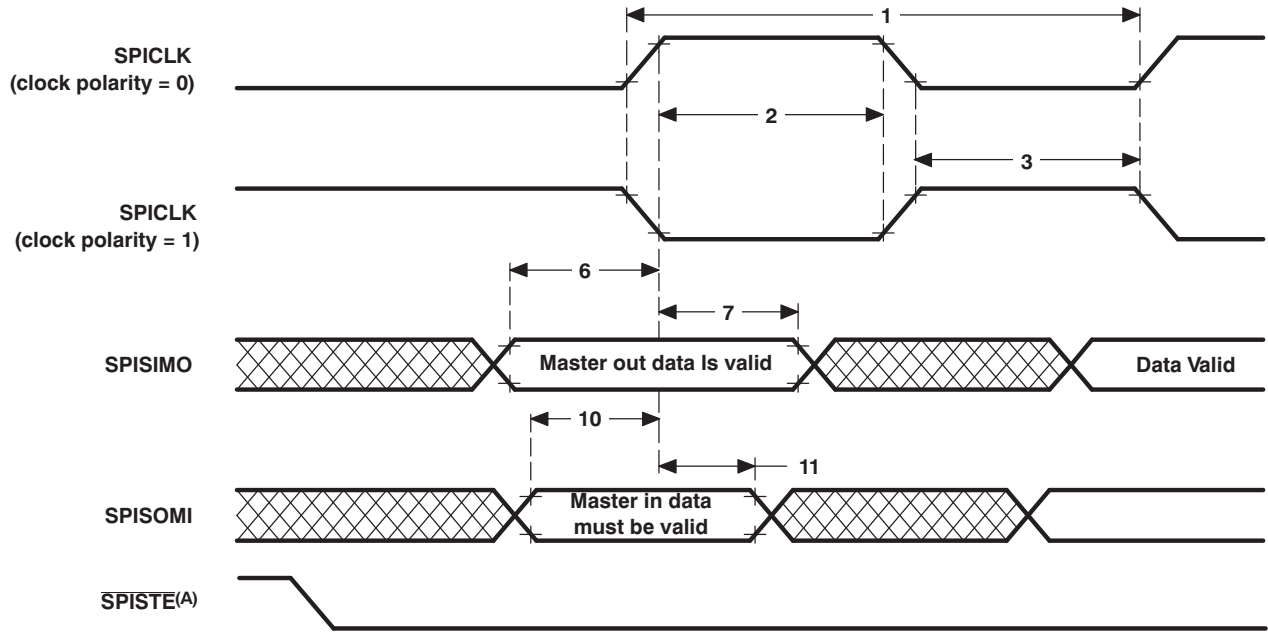
Table 6-34. SPI 主控模式外部定时 (时钟相位 = 1) (1)(2)(3)(4)(5)

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或 2 时的 SPI		当 (SPIBRR+1) 为奇数 并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)}M$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)}M$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}M-10$	$0.5t_{c(SPC)}M$	$0.5t_{c(SPC)}M-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)}M-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)}M$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}M-10$	$0.5t_{c(SPC)}M$	$0.5t_{c(SPC)}M-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)}M-0.5t_{c(LCO)}$	
3	$t_{w(SPCL)}M$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}M-10$	$0.5t_{c(SPC)}M$	$0.5t_{c(SPC)}M+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)}M+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)}M$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}M-10$	$0.5t_{c(SPC)}M$	$0.5t_{c(SPC)}M+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)}M+0.5t_{c(LCO)}$	
6	$t_{su(SIMO-SPCH)}M$	建立时间, 在 SPICLK 高电平之前 SPISIMO 数据有效的的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}M-10$		$0.5t_{c(SPC)}M-10$		ns
	$t_{su(SIMO-SPCL)}M$	建立时间, 在 SPICLK 低电平之前 SPISIMO 数据有效的的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}M-10$		$0.5t_{c(SPC)}M-10$		
7	$t_v(SPCH-SIMO)M$	有效时间, SPICLK 高电平之后 SPISIMO 数据有效的的时间 (时钟极 性 = 0)	$0.5t_{c(SPC)}M-10$		$0.5t_{c(SPC)}M-10$		ns
	$t_v(SPCL-SIMO)M$	有效时间, SPICLK 低电平 后, SPISIMO 数据有效的的时间 (时 钟极性 = 1)	$0.5t_{c(SPC)}M-10$		$0.5t_{c(SPC)}M-10$		
10	$t_{su(SOMI-SPCH)}M$	建立时间, SPISOMI 在 SPICLK 高 电平之前的时间 (时钟极性 = 0)	26		26		ns
	$t_{su(SOMI-SPCL)}M$	建立时间, SPISOMI 在 SPICLK 低 电平之前的时间 (时钟极性 = 1)	26		26		

- (1) 主控/受控位 (SPICTL.2) 被设定并且时钟相位的位 (SPICTL.3) 被设定。
(2) $t_{c(SPC)}=SPI$ 时钟周期时间 = LSPCLK/4 或者 LSPCLK/(SPIBRR+1)
(3) 内部时钟预分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:
主控模式发射最大值 15MHz, 主控模式接收最大值 10MHz
受控模式发送最大值 10MHz, 受控模式接收最大值 10MHz。
(4) $t_{c(LCO)}=LSPCLK$ 周期时间
(5) 作为基准的 SPICLK 信号的有效边沿由 CLOCK POLARITY (时钟极性) 位 (SPICCR 6) 控制。

Table 6-34. SPI 主控模式外部定时（时钟相位 = 1）⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾ (continued)

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或 2 时的 SPI		当 (SPIBRR+1) 为奇数 并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
11	t _v (SPCH-SOMI)M	有效时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极 性 = 0）	0.25t _c (SPC) _M -10		0.5t _c (SPC) _M -10		ns
	t _v (SPCL-SOMI)M	有效时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极 性 = 1）	0.25t _c (SPC) _M -10		0.5t _c (SPC) _M -10		



- B. 在主控模式下， $\overline{\text{SPISTE}}$ 在有效 SPI 时钟边沿前 $0.5t_{c(\text{SPC})}$ （最小值）变为有效。在字的后端， $\overline{\text{SPISTE}}$ 在接收到最后一个数据位的边沿 (SPICLK) 之后 $0.5t_{c(\text{SPC})}$ 将变为无效，除非 $\overline{\text{SPISTE}}$ 在 FIFO 和非 FIFO 模式中的背靠背传送字之间保持有效。

Figure 6-21. SPI 主控模式外部时序（时钟相位 = 1）

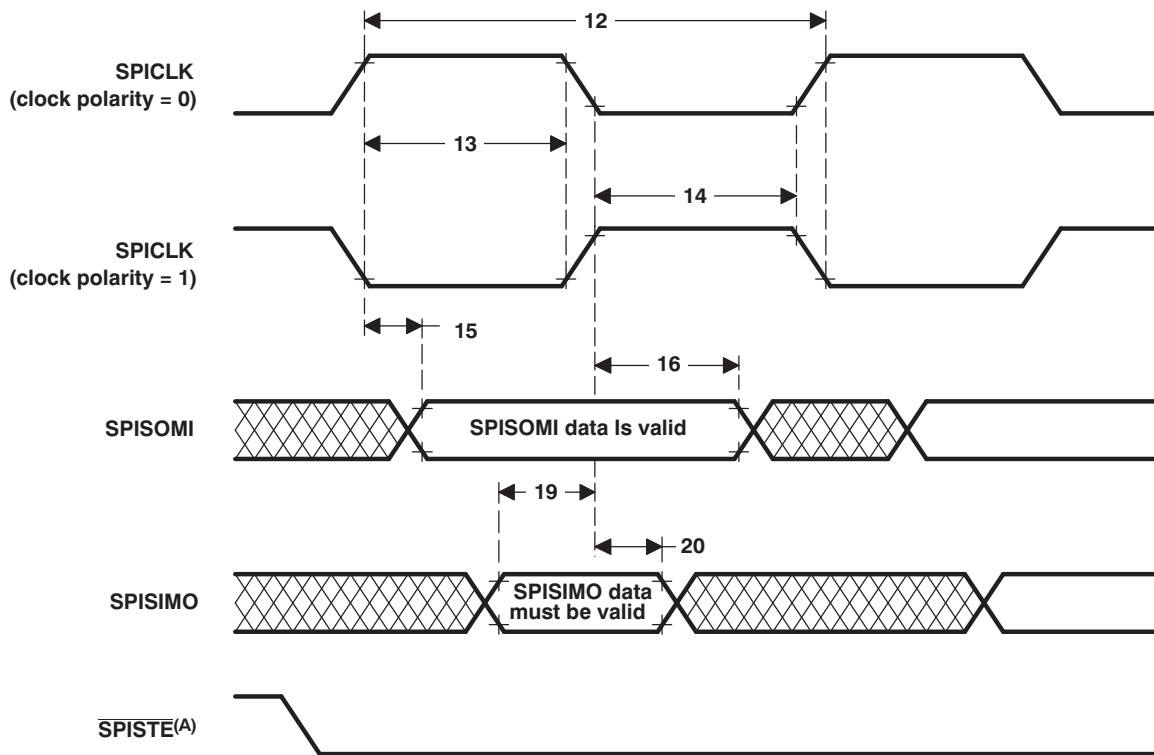
6.11.9 SPI 受控模式时序

Table 6-35列出了受控模式外部时序（时钟相位 = 0）并且Table 6-36（时钟相位 = 1）Figure 6-22和Figure 6-23显示了时序波形。

Table 6-35. SPI 受控模式外部定时（时钟相位 = 0）(1)(2)(3)(4)(5)

编号		最小值	最大值	单位
12	$t_{c(SPC)}S$ 周期时间, SPICLK	$4t_{c(LCO)}$		ns
13	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
14	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
15	$t_{d(SPCH-SOMI)}S$ 延迟时间, SPICLK 高电平至 SPISOMI 有效的时间 (时钟极性 = 0)		21	ns
	$t_{d(SPCL-SOMI)}S$ 延迟时间, SPICLK 低电平至 SPISOMI 有效的时间 (时钟极性 = 1)		21	
16	$t_{v(SPCL-SOMI)}S$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间 (时钟极性 = 0)	$0.75t_{c(SPC)}S$		ns
	$t_{v(SPCH-SOMI)}S$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间 (时钟极性 = 1)	$0.75t_{c(SPC)}S$		
19	$t_{su(SIMO-SPCL)}S$ 建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性 = 0)	26		ns
	$t_{su(SIMO-SPCH)}S$ 建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性 = 1)	26		
20	$t_{v(SPCL-SIMO)}S$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S-10$		ns
	$t_{v(SPCH-SIMO)}S$ 有效时间, SPICLK 高电平之后 SPISIMO 数据有效的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S-10$		

- (1) 主控/受控位 (SPICTL.2) 位被清除并且时钟相位位 (SPICTL.3) 被清除。
- (2) $t_{c(SPC)}=SPI$ 时钟周期时间 = $LSPCLK/4$ 或者 $LSPCLK/(SPIBRR + 1)$
- (3) 内部时钟预分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:
主控模式发射最大值 15MHz, 主控模式接收最大值 10MHz
受控模式发送最大值 10MHz, 受控模式接收最大值 10MHz。
- (4) $t_{c(LCO)}=LSPCLK$ 周期时间
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。



- C. 在受控模式下， $\overline{\text{SPISTE}}$ 信号至少应该在有效 SPI 时钟边沿前 $0.5t_{\text{c(SPC)}}$ （最小值）被置为低电平有效并且在接收到最后一个数据位的边沿 (SPICLK) 之后保持至少 $0.5t_{\text{c(SPC)}}$ 。

Figure 6-22. SPI 受控模式外部时序 (时钟相位 = 0)

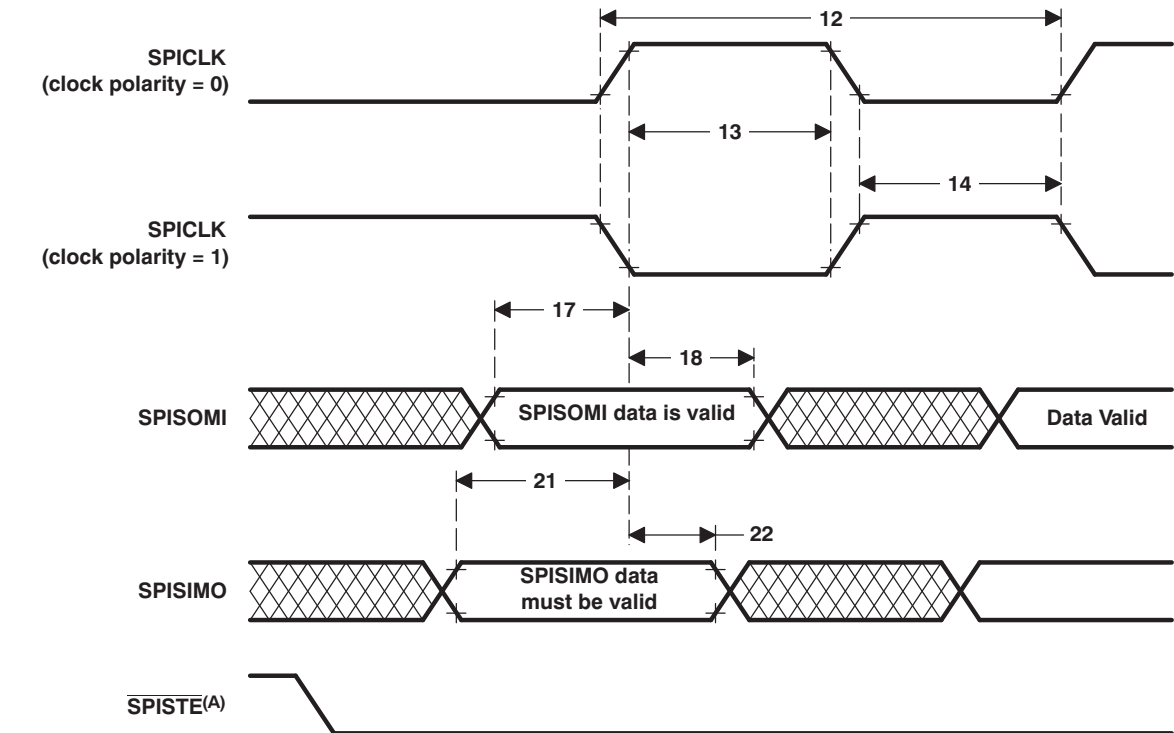
Table 6-36. SPI 受控模式外部时序 (时钟相位 = 1) (1)(2)(3)(4)

编号			最小值	最大值	单位
12	$t_{\text{c(SPC)S}}$	周期时间, SPICLK	$8t_{\text{c(LCO)}}$		ns
13	$t_{\text{W(SPCH)S}}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{\text{c(SPC)S}}-10$	$0.5t_{\text{c(SPC)S}}$	ns
	$t_{\text{W(SPCL)S}}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{\text{c(SPC)S}}-10$	$0.5t_{\text{c(SPC)S}}$	
14	$t_{\text{W(SPCL)S}}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{\text{c(SPC)S}}-10$	$0.5t_{\text{c(SPC)S}}$	ns
	$t_{\text{W(SPCH)S}}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{\text{c(SPC)S}}-10$	$0.5t_{\text{c(SPC)S}}$	
17	$t_{\text{su(SOMI-SPCH)S}}$	建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	$0.125t_{\text{c(SPC)S}}$		ns
	$t_{\text{su(SOMI-SPCL)S}}$	建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	$0.125t_{\text{c(SPC)S}}$		
18	$t_{\text{v(SPCL-SOMI)S}}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间 (时钟极性 = 1)	$0.75t_{\text{c(SPC)S}}$		ns
	$t_{\text{v(SPCH-SOMI)S}}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间 (时钟极性 = 0)	$0.75t_{\text{c(SPC)S}}$		
21	$t_{\text{su(SIMO-SPCH)S}}$	建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	26		ns
	$t_{\text{su(SIMO-SPCL)S}}$	建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	26		

- (1) 主控/受控位 (SPICTL.2) 位被清除并且时钟相位位 (SPICTL.3) 被清除。
 (2) $t_{\text{c(SPC)}} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
 (3) 内部时钟预分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:
 主控模式发射最大值 15MHz, 主控模式接收最大值 10MHz
 受控模式发送最大值 10MHz, 受控模式接收最大值 10MHz。
 (4) 作为基准的 SPICLK 信号的有效边沿由 CLOCK POLARITY 位 (SPICCR 6) 控制。

Table 6-36. SPI 受控模式外部时序（时钟相位 = 1）⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾ (continued)

编号			最小值	最大值	单位
22	$t_{v(SPCH-SIMO)S}$	有效时间，SPICLK 高电平之后 SPISIMO 数据有效的时间（时钟极性 = 0）	0.5 $t_{c(SPC)S-10}$		ns
	$t_{v(SPCL-SIMO)S}$	有效时间，SPICLK 低电平后，SPISIMO 数据有效的时间（时钟极性 = 1）	0.5 $t_{c(SPC)S-10}$		



A. 在受控模式下， $\overline{SPISTE}$ 信号至少应该在有效 SPI 时钟边沿前 $0.5t_{c(SPC)}$ （最小值）被置为低电平有效并且在接收到最后一个数据位的边沿（SPICLK）之后保持至少 $0.5t_{c(SPC)}$ 。

Figure 6-23. SPI 受控模式外部时序（时钟相位 = 1）

6.11.10 片载比较器 / DAC

Table 6-37. 比较器 / DAC 的电气特性

特性	最小值	典型值	最大值	单位
比较器				
比较器输入范围	V _{SSA} -V _{DDA}			V
比较器到 PWM 可编程控制故障区的响应时间（同步）	30			ns
输入偏移	±5			mV
输入滞后 ⁽¹⁾	35			mV
DAC				
DAC 输出范围	V _{SSA} -V _{DDA}			V
DAC 分辨率	10			位
DAC 稳定时间	请参阅 Figure 6-24			
DAC 增益	-1.5			%
DAC 偏移	10			mV
单片	支持			
INL	±3			LSB

- (1) 比较器输入上的滞后由一个施密特触发器配置实现。这将在比较器输出和比较器非反相输出间的实际产生一个 100k Ω 反馈电阻值。这是一个禁用滞后和反馈电阻的选项；如果希望在您的系统使用此选项，相关信息请参阅《TMS320x2802x, 2803x Piccolo 模数转换器 (ADC) 和比较器参考指南》（文献编号 [SPRUGE5](#)）。

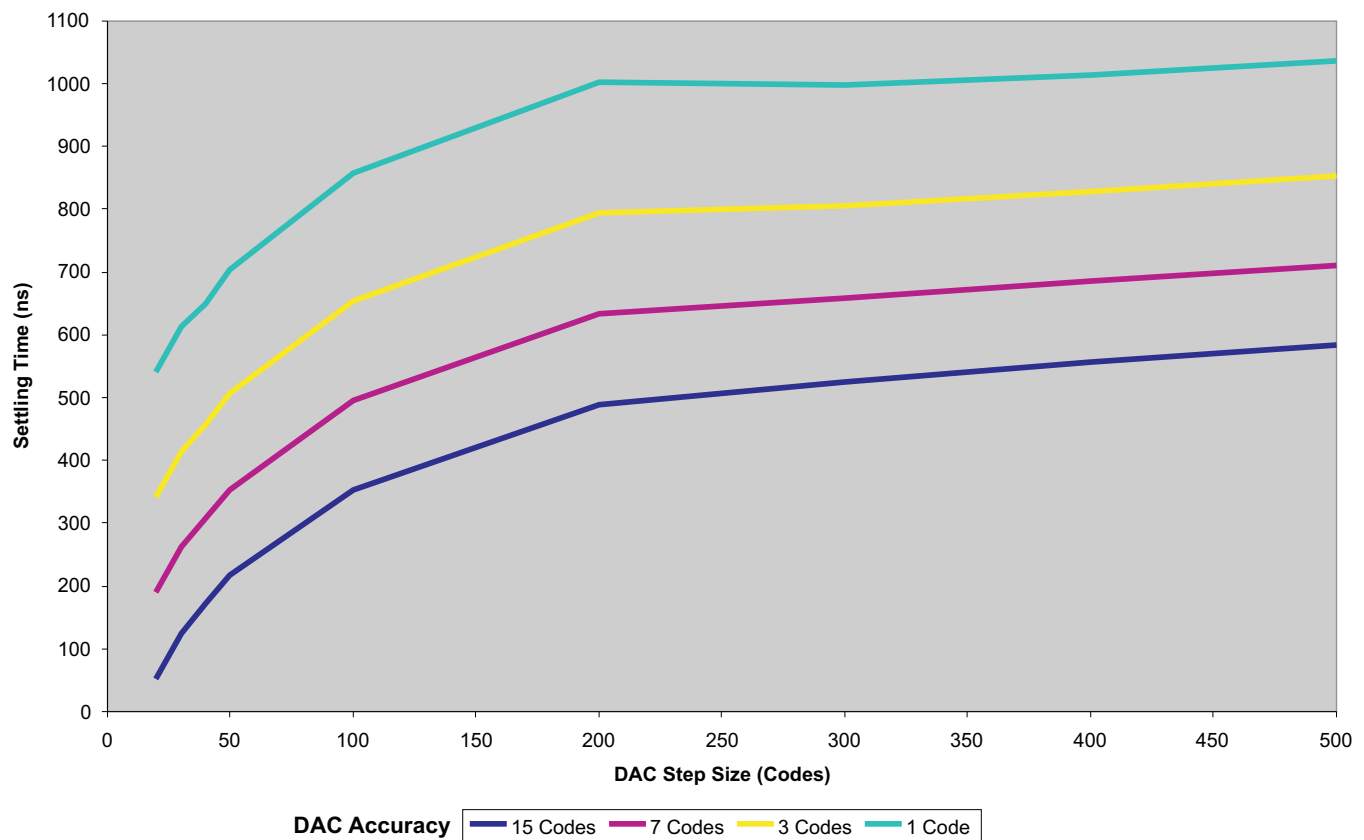


Figure 6-24. DAC 设置时间

6.11.11 片载模数转换器**Table 6-38. ADC 电子特性**

参数		最小值	典型值	最大值	单位
DC 技术规范					
分辨率		12			位
ADC 时钟	60MHz 器件	0.001		60	MHz
采样窗口	28027/26/23/22	7		64	ADC 时钟
	28021/20/200	14		64	
精度					
INL（积分非线性）在 ADC 时钟 $\leq 30\text{MHz}^{(1)}$		-4		4	LSB
在 ADC 时钟 $\leq 30\text{MHz}$ 时，DNL（微分非线性）无丢码		-1		1	最低有效位 (LSB)
偏移误差 ⁽²⁾	执行 Device_Cal 函数	-20	0	20	LSB
	执行定期自我校准 ⁽³⁾	-4	0	4	
带有内部基准的总增益误差		-60		60	LSB
带有内部基准的总增益误差		-40		40	LSB
通道到通道偏移变化		-4		4	LSB
通道到通道增益变化		-4		4	LSB
带有内部基准的 ADC 温度系数			-50		ppm/ °C
带有内部基准的 ADC 温度系数			-20		ppm/ °C
V _{REFLO}			-100		μA
V _{REFHI}			100		μA
模拟输入					
带有内部基准的模拟输入电压		0		3.3	V
带有外部基准的模拟输入电压		V _{REFLO}		V _{REFHI}	V
V _{REFLO} 输入电压 ⁽⁴⁾		V _{SSA}		V _{SSA}	V
V _{REFHI} 输入电压 ⁽⁵⁾	其中 V _{REFLO} =V _{SSA}	1.98		V _{DDA}	V
输入电容值			5		pF
输入漏电流			±5		μA

(1) 当 ADC 输入电压上升到高于 V_{DDA} 时, INL 将降级。(2) 1 LSB 有满刻度范围 (FSR)/4096 的加权值。FSR 为带有内部基准的 3.3V 而 $V_{\text{REFHI}}-V_{\text{REFLO}}$ 用于外部基准。(3) 定期自我校准将去除取决于 ADC 零偏移误差的系统级和温度。通过使用《TMS320x2802x, 2803x Piccolo 模数转换器 (ADC) 和比较器参考指南》(文献编号 [SPRUGES](#)) 中“ADC 零偏移校准”部分中列出的过程, 可在不牺牲一个 ADC 通道的前提下, 在应用中按需要执行这个操作。(4) V_{REFLO} 被一直连接在的 V_{SSA} 上。(5) 当使用内部或者外部基准模式的时候, V_{REFHI} 一定不能超过 V_{DDA} 。由于 V_{REFHI} 被连接至的 ADCINA0 上, ADCINA0 上的输入信号一定不能超过 V_{DDA} 。

Table 6-39. ADC 功率模式

ADC 运行模式	条件	I _{DDA}	单位
模式 A - 运行, 模式	ADC 时钟被启用 带隙打开 (ADCBGPWD=1) 基准打开 (ADCREFPWD=1) ADC 被加电 (ADCPWDN=1)	13	mA
模式 B - 快速唤醒模式	ADC 时钟被启用 带隙打开 (ADCBGPWD=1) 基准打开 (ADCREFPWD=1) ADC 被加电 (ADCPWDN=0)	4	mA
模式 C - 只比较器可用模式	ADC 时钟被启用 带隙打开 (ADCBGPWD=1) 基准打开 (ADCREFPWD=0) ADC 被加电 (ADCPWDN=0)	1.5	mA
模式 D - 关闭模式	ADC 时钟被启用 带隙打开 (ADCBGPWD=0) 基准打开 (ADCREFPWD=0) ADC 被加电 (ADCPWDN=0)	0.075	mA

6.11.11.1 内部温度传感器

Table 6-40. 温度传感器系数

参数 ⁽¹⁾	最小值	典型值	最大值	单位
T _{SLOPE} 温度按照温度传感器的测得的 ADC LSB 变化而变动		0.18 ⁽²⁾⁽³⁾		°C/LSB
T _{偏移} 在温度传感器读数为 0°C 时的 ADC 输出		1750		LSB

- (1) 温度传感器斜坡和偏移根据使用 ADC 内部基准的 ADC LSB 指定。必须按照外部基准电压调整外部基准模式中的电压值。
(2) ADC 温度系数被归入这个技术规范
(3) 温度传感器的输出（根据 LSB）与温度运动的方向符号一致。上升的温度将使得 ADC 值相对于初始值增加；温度的下降将使得 ADC 的值相对于初始值下降。

6.11.11.2 ADC 加电控制位定时

Table 6-41. ADC 加电延迟

参数 ⁽¹⁾	最小值	典型值	最大值	单位
t _{d(PWD)} 加电后, ADC 的延迟时间将稳定			1	ms

- (1) 定时保持与 ADC 模块的兼容性。在首次转换前的 t_{d(PWD)}ms, 2802xADC 支持同时驱动所有 3 个位。

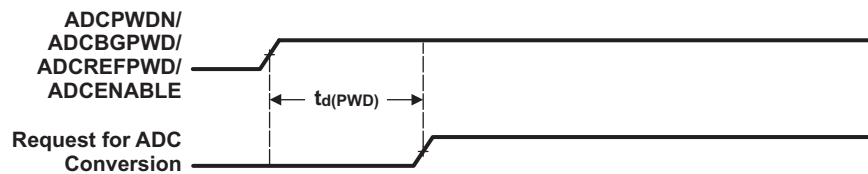
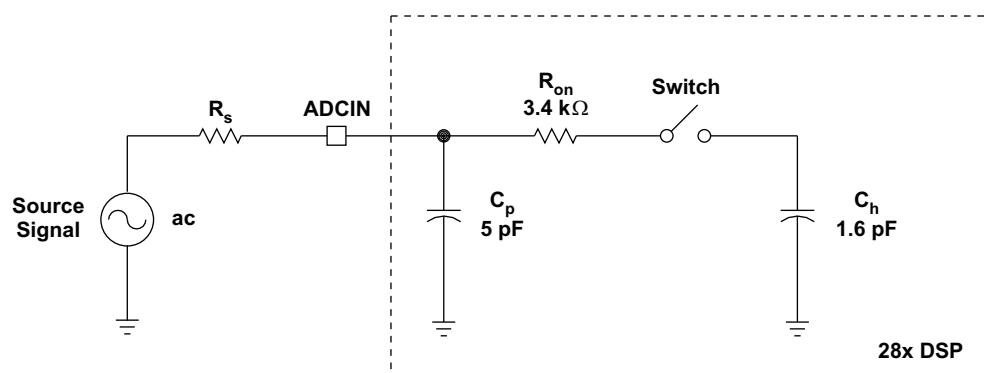


Figure 6-25. ADC 转换时序



Typical Values of the Input Circuit Components:

Switch Resistance (R_{on}): 3.4 k Ω

Sampling Capacitor (C_h): 1.6 pF

Parasitic Capacitance (C_p): 5 pF

Source Resistance (R_s): 50 Ω

Figure 6-26. ADC 输入阻抗模型

6.11.11.3 ADC 顺序和同时时序

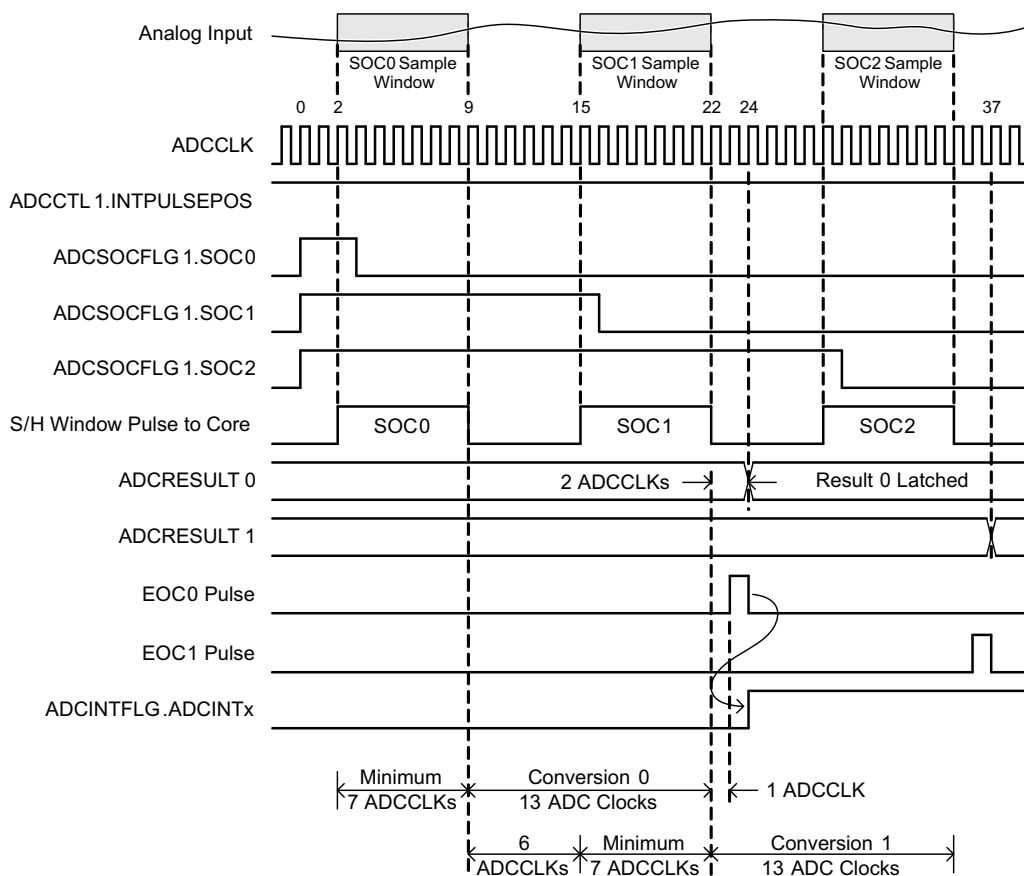


Figure 6-27. 针对顺序模式/后期中断脉冲的时序示例

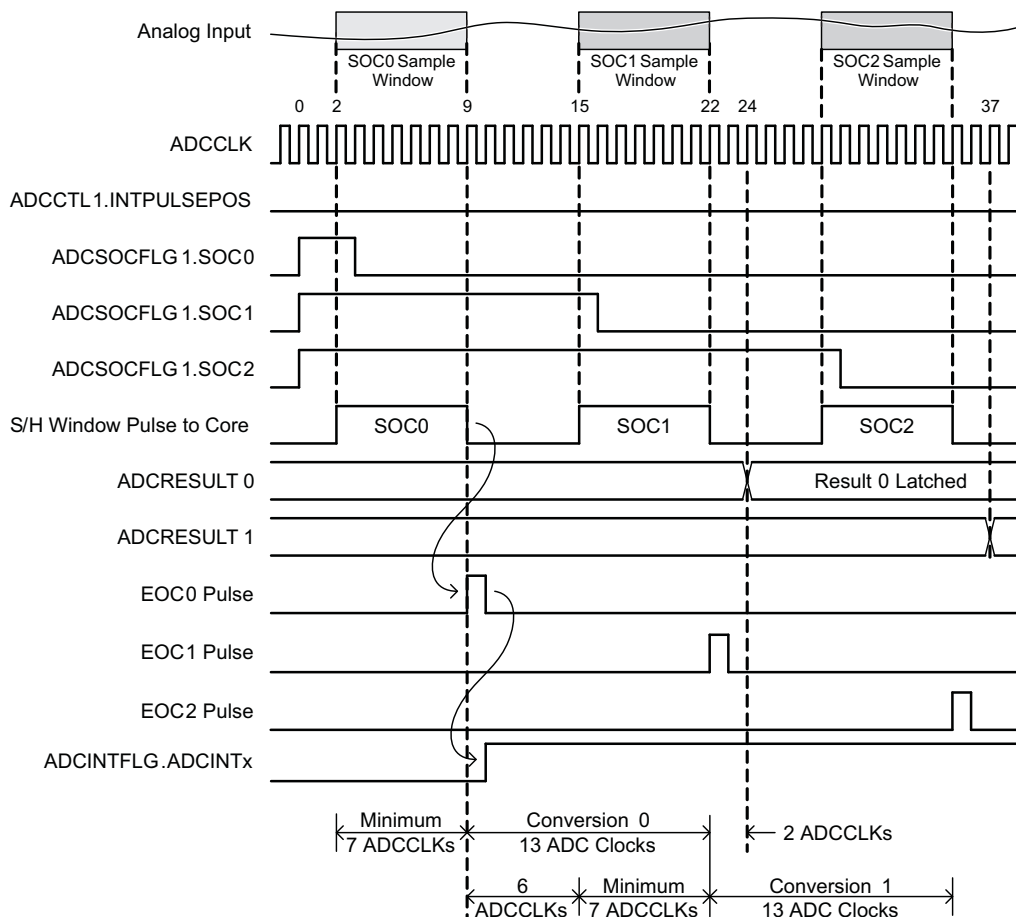


Figure 6-28. 针对顺序模式/早期中断脉冲的时序示例

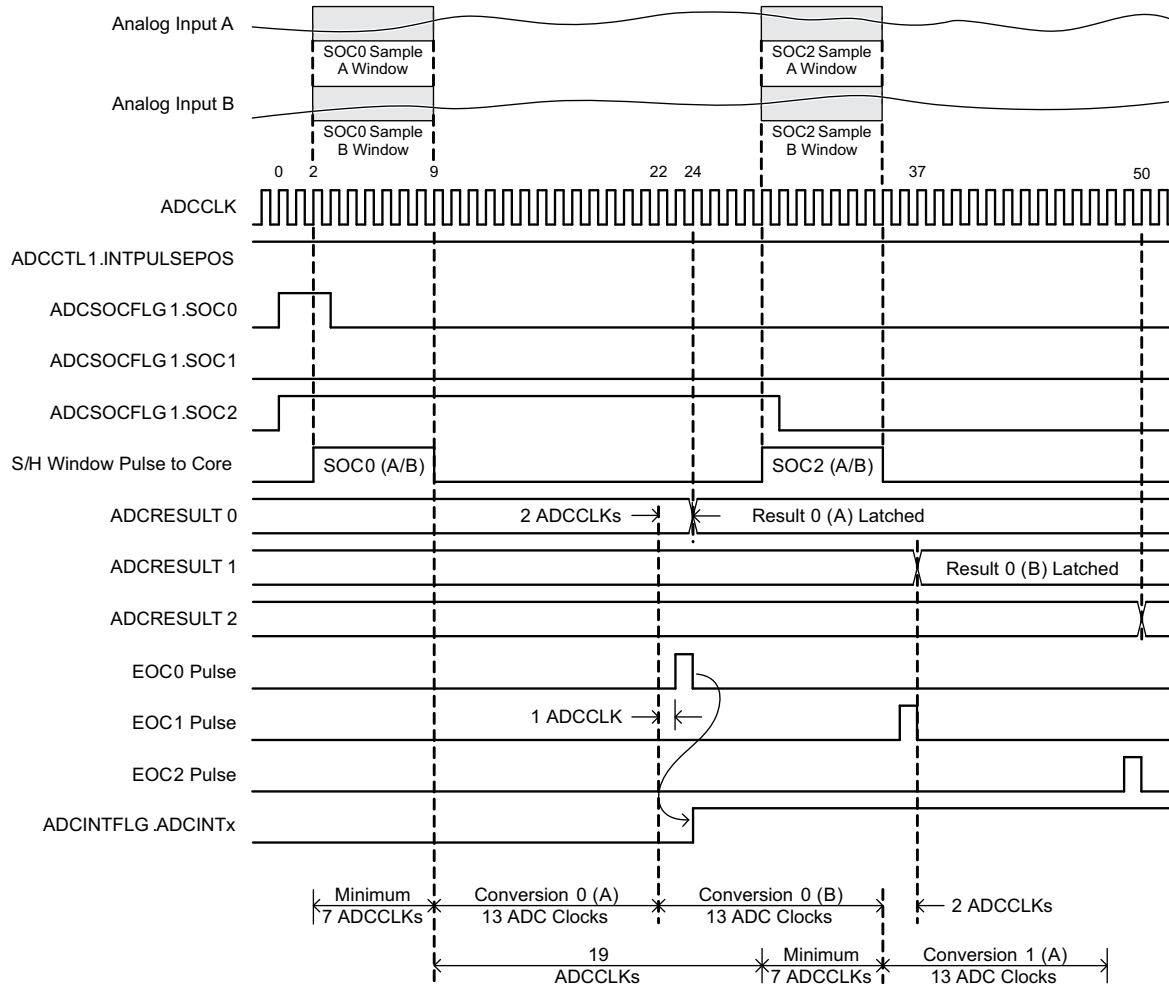


Figure 6-29. 针对同步模式/晚期中断脉冲的时序示例

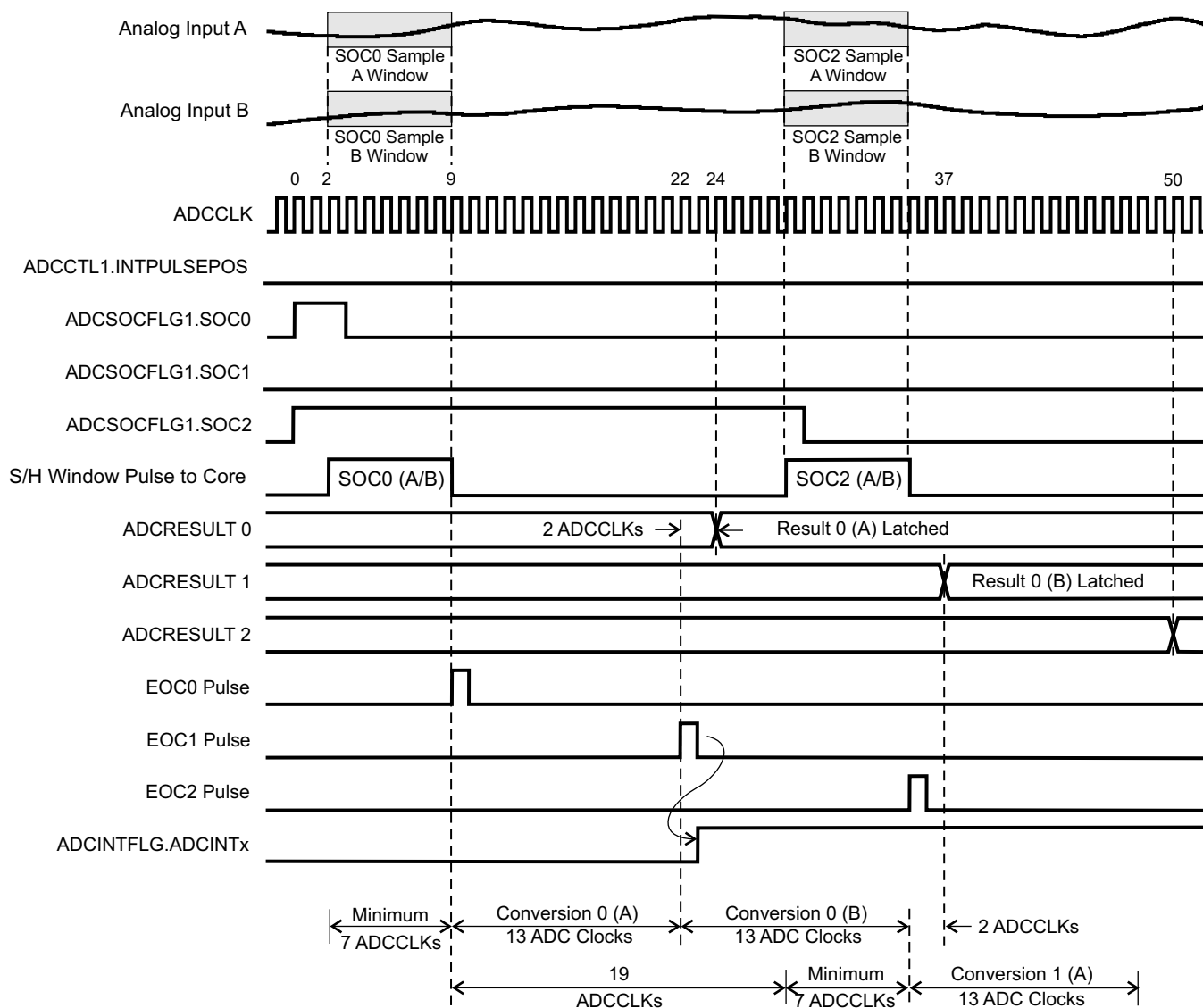


Figure 6-30. 针对同步模式/早期中断脉冲的时序示例

6.12 详细说明

积分非线性

积分非线性是指每个独立代码从零至满刻度所画的一条直线上的偏离。在首次代码转换前，作为零点的点出现一半 **LSB**。满刻度点被定义为超过最后一次代码转换的级别一半 **LSB**。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想 **ADC** 显示分开距离恰好为 1 个 **LSB** 的代码转换。**DNL** 是从这个理想值的偏离。一个少于 ± 1 **LSB** 的微分非线性误差可确保无丢码。

零偏移

当模拟输入为零伏时，应当发生主进位转换。零误差被定义为实际转换到那个点的偏离。

增益误差

第一个代码转换应该出现在高于负满刻度的一个模拟值一半 **LSB** 上。最后一次转换应该出现在低于标称满刻度的一个模拟值一倍半 **LSB** 上。增益误差是首次和末次代码转换间的实际差异以及它们之间的理想差异。

信噪比+失真 (SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量（包括谐波但不包括 **dc**）的均方根总和的比。**SINAD** 的值用分贝表示。

有效位数 (ENOB)

对于一个正弦波，**SINAD** 可用位的数量表示。使用下列公式，
$$N = \frac{(\text{SINAD} - 1.76)}{6.02}$$
 有可能获得一个用 **N**（位的有效数）表达的性能测量值。因此，对于在给定输入频率上用于正弦波输入的器件的有效位数量可从这个测得的 **SINAD** 直接计算。

总谐波失真 (THD)

THD 是头九个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为一个百分比或者分贝值。

无杂散动态范围 (SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差异。

6.13 闪存定时

Table 6-42. 闪存 / OTP 对于 T 温度材料的耐受度⁽¹⁾

	擦除/编程 温度	最小值	典型值	最大值	单位
N_f 闪存对于阵列的耐受度（写入/擦除周期）	0°C 至 105°C（环境温度）	20000	50000		周期
N_{OTP} OTP 对于阵列的耐受度（写入周期）	0°C 至 30°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

Table 6-43. 闪存 / OTP 对于 S 温度材料的耐受度⁽¹⁾

	擦除/编程 温度	最小值	典型值	最大值	单位
N_f 闪存对于阵列的耐受度（写入/擦除周期）	0°C 至 125°C（环境温度）	20000	50000		周期
N_{OTP} OTP 对于阵列的耐受度（写入周期）	0°C 至 30°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

Table 6-44. 闪存 / OTP 对于 Q 温度材料的耐受度⁽¹⁾

	擦除/编程 温度	最小值	典型值	最大值	单位
N_f 闪存对于阵列的耐受度（写入/擦除周期）	-40°C 至 125°C（环境温度）	20000	50000		周期
N_{OTP} OTP 对于阵列的耐受度（写入周期）	-40°C 至 30°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

Table 6-45. 60MHz SYSCLKOUT 上的闪存参数：

参数	测试条件	最小值	典型值	最大值	单位
$I_{DDP}^{(1)}$ 擦除/编程周期期间的 V_{DD} 流耗	VREG 被禁用		80		mA
$I_{DDIOP}^{(1)}$ 擦除/编程周期期间的 V_{DDIO} 流耗			60		
$I_{DDIOP}^{(1)}$ 擦除/编程周期期间的 V_{DDIO} 流耗	VREG 被启用		120		mA

(1) 室温下包括函数调用开销在内的典型参数，是在所有外设关闭时的参数。

Table 6-46. 50MHz SYSCLKOUT 上的闪存参数：

参数	测试条件	最小值	典型值	最大值	单位
$I_{DDP}^{(1)}$ 擦除/编程周期期间的 V_{DD} 流耗	VREG 被禁用		70		mA
$I_{DDIOP}^{(1)}$ 擦除/编程周期期间的 V_{DDIO} 流耗			60		
$I_{DDIOP}^{(1)}$ 擦除/编程周期期间的 V_{DDIO} 流耗	VREG 被启用		110		mA

(1) 室温下包括函数调用开销在内的典型参数，是在所有外设关闭时的参数。

Table 6-47. 40MHz SYSCLKOUT 上的闪存参数：

参数	测试条件	最小值	典型值	最大值	单位
$I_{DDP}^{(1)}$ 擦除/编程周期期间的 V_{DD} 流耗	VREG 被禁用		60		mA
$I_{DDIOP}^{(1)}$ 擦除/编程周期期间的 V_{DDIO} 流耗			60		
$I_{DDIOP}^{(1)}$ 擦除/编程周期期间的 V_{DDIO} 流耗	VREG 被启用		100		mA

(1) 室温下包括函数调用开销在内的典型参数，是在所有外设关闭时的参数。

Table 6-48. 闪存编程/擦除时间

参数		测试条件	最小值	典型值	最大值	单位
编程时间	16 位字			50		μs
	8K 扇区			250		ms
	4K 扇区			125		ms
擦除时间 ⁽¹⁾	8K 扇区			2		s
	4K 扇区			2		s

(1) 当器件从 TI 出货时，片载闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

Table 6-49. 闪存 / OTP 访问时序

参数		最小值	最大值	单位
t _{a(fp)}	页式闪存访问时间	40		ns
t _{a(fr)}	随机闪存访问时间	40		ns
t _{a(OTP)}	OTP 访问时间	60		ns

Table 6-50. 闪存数据保持持续时间

参数		测试条件	最小值	最大值	单位
t _{保持}	数据保持持续时间	T _j =55°C	15		年

Table 6-51. 不同频率上所需最小的闪存/一次性可编程 (OTP) 等待状态

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	页 等待状态 ⁽¹⁾	随机 等待状态 ⁽¹⁾	OTP 等待状态
60	16.67	2	2	3
55	18.18	2	2	3
50	20	1	1	2
45	22.22	1	1	2
40	25	1	1	2
35	28.57	1	1	2
30	33.33	1	1	1
25	40	0	1	1

(1) 随机等待状态必须 ≥ 1。

计算Table 6-51中闪存页等待状态和随机等待状态的等式如下：

$$\text{Flash Page Wait State} = \left\lceil \left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer}$$

$$\text{Flash Random Wait State} = \left\lceil \left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer, or 1, whichever is larger}$$

计算Table 6-51中 OTP 等待状态的等式如下：

$$\text{OTP Wait State} = \left\lceil \left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer, or 1, whichever is larger}$$

7 修订历史记录

这个数据表修订历史记录强调了使 SPRS523H 器件专用数据表变为 SPRS523I 修订版本所做的技术改变。

范围： 见下表。

位置	添加、删除、和修改
图 4-9	更新了“ePWM 子模块显示关键内部信号互连”图
Section 6.9	电源排序： 将“然而，建议在为器件加电前，加在任何引脚上的电压不应大于一个二极管的压降 (0.7V) 改为“在为器件加电前，加在任一数字引脚上的电压不能大于一个高于 V_{DDIO} 的二极管压降 (0.7V)（对于模拟引脚，此电压为比 V_{DDA} 高 0.7V）。此外，V_{DDIO} 和 V_{DDA} 之间的差距应保持在大约 0.3V 之内。
Figure 6-12	通用输入时序： 将 XLKOUT 改为 SYSCLK
Figure 6-17	PWM Hi-Z 特性： 将 XCLKOUT 改为 SYSCLK
Figure 6-30	更新了“针对同步模式/早期中断脉冲的定时示例”图
Table 6-48	闪存编程/擦除时间： 增加与器件被运出时闪存存储器处于被擦除状态时的脚注。
Table 6-50	增加了“闪存数据保持持续时间”表

8 热性能/机械数据

Table 8-1和Table 8-2显示了散热数据。有关散热设计考虑的更多信息请见Section 6.5。

表格之后的机械封装图反映了针对指定器件最新发布的机械数据。

Table 8-1. 散热模型38 引脚 DA结果

空气流量				
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	70.1	56.4	53.9	50.2
Ψ_{JT} [°C/W]	0.34	0.61	0.74	0.98
Ψ_{JB}	32.5	32.1	31.7	31.1
θ_{JC}	12.8			
θ_{JB}	33			

Table 8-2. 散热模型48 引脚 PT结果

空气流量				
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	64	50.4	48.2	45
Ψ_{JT} [°C/W]	0.56	0.94	1.1	1.38
Ψ_{JB}	30.1	28.7	28.4	28
θ_{JC}	13.6			
θ_{JB}	30.6			

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F280200DAS	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F280200DAS S320	Samples
TMS320F280200DAT	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F280200DAT S320	Samples
TMS320F280200PTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F280200PTT	Samples
TMS320F28020DAS	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28020DAS S320	Samples
TMS320F28020DAT	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28020DAT S320	Samples
TMS320F28020PTS	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28020PTS	Samples
TMS320F28020PTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28020PTT	Samples
TMS320F28021DAS	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28021DAS S320	Samples
TMS320F28021DAT	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28021DAT S320	Samples
TMS320F28021PTS	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28021PTS	Samples
TMS320F28021PTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28021PTT	Samples
TMS320F28022DAQ	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28022DAQ S320	Samples
TMS320F28022DAQR	ACTIVE	TSSOP	DA	38	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR		F28022DAQ S320	Samples
TMS320F28022DAS	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28022DAS S320	Samples
TMS320F28022DAT	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28022DAT S320	Samples
TMS320F28022PTQ	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28022PTQ	Samples
TMS320F28022PTS	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28022PTS	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F28022PTSCA	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28022PTS	Samples
TMS320F28022PTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28022PTT	Samples
TMS320F28023DAQ	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28023DAQ S320	Samples
TMS320F28023DAS	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28023DAS S320	Samples
TMS320F28023DAT	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28023DAT S320	Samples
TMS320F28023PTQ	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28023PTQ	Samples
TMS320F28023PTS	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28023PTS	Samples
TMS320F28023PTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28023PTT	Samples
TMS320F28026DAQ	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28026DAQ S320	Samples
TMS320F28026DAS	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28026DAS S320	Samples
TMS320F28026DAT	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28026DAT S320	Samples
TMS320F28026DATR	ACTIVE	TSSOP	DA	38	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28026DAT S320	Samples
TMS320F28026FPTQ	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320F 980 28026FPTQ	Samples
TMS320F28026FPTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28026FPTT	Samples
TMS320F28026PTQ	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28026PTQ	Samples
TMS320F28026PTS	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28026PTS	Samples
TMS320F28026PTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28026PTT	Samples
TMS320F28027DAQ	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28027DAQ S320	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F28027DAS	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28027DAS S320	Samples
TMS320F28027DAT	ACTIVE	TSSOP	DA	38	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28027DAT S320	Samples
TMS320F28027DATR	ACTIVE	TSSOP	DA	38	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28027DAT S320	Samples
TMS320F28027FPTQ	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28027FPTQ	Samples
TMS320F28027FPTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28027FPTT	Samples
TMS320F28027PTQ	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28027PTQ	Samples
TMS320F28027PTQR	ACTIVE	LQFP	PT	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR		S320 980 F28027PTQ	Samples
TMS320F28027PTR	ACTIVE	LQFP	PT	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28027PTT	Samples
TMS320F28027PTS	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 980 F28027PTS	Samples
TMS320F28027PTT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28027PTT	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

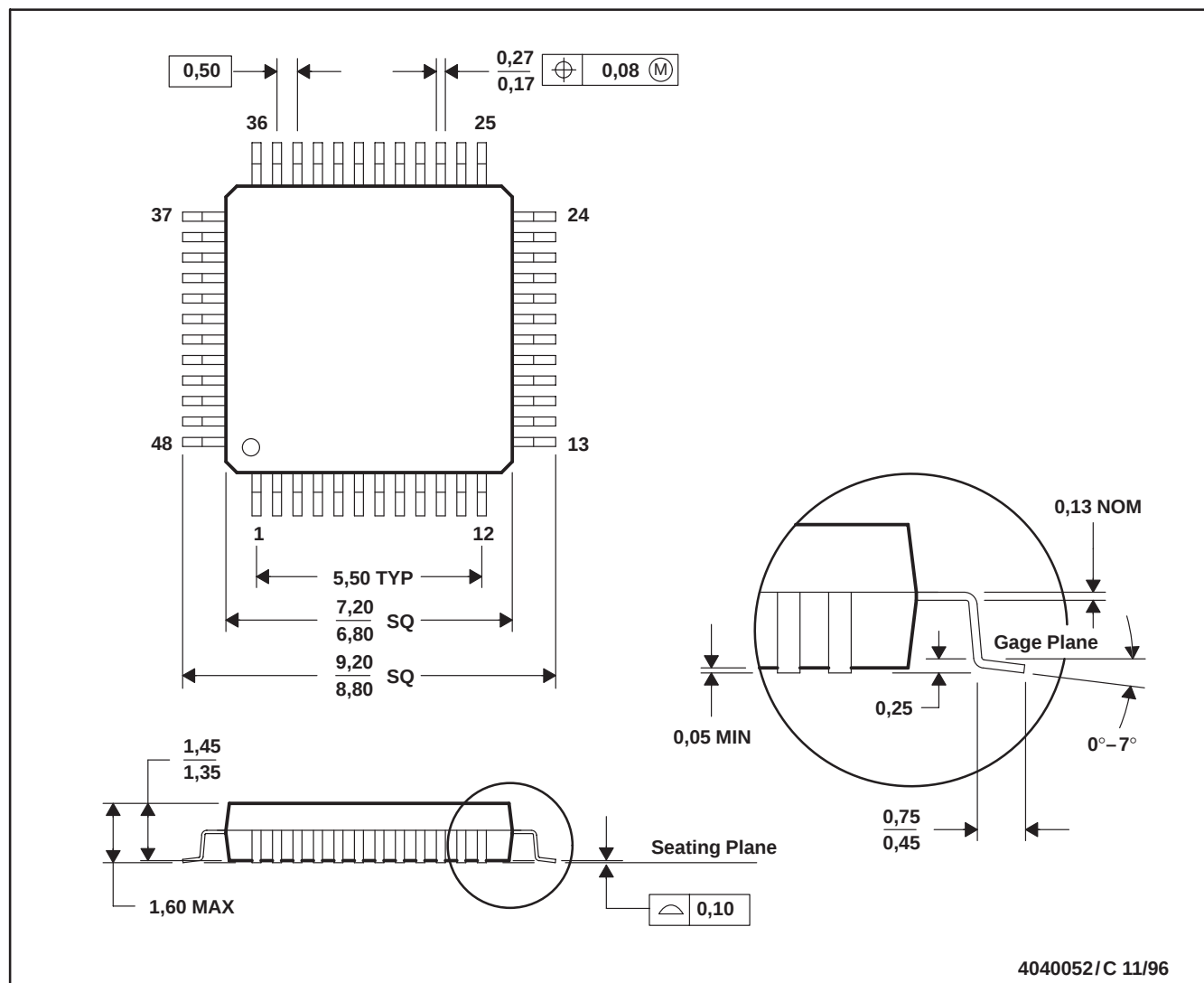
- ⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- ⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- ⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- ⁽⁶⁾ Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PT (S-PQFP-G48)

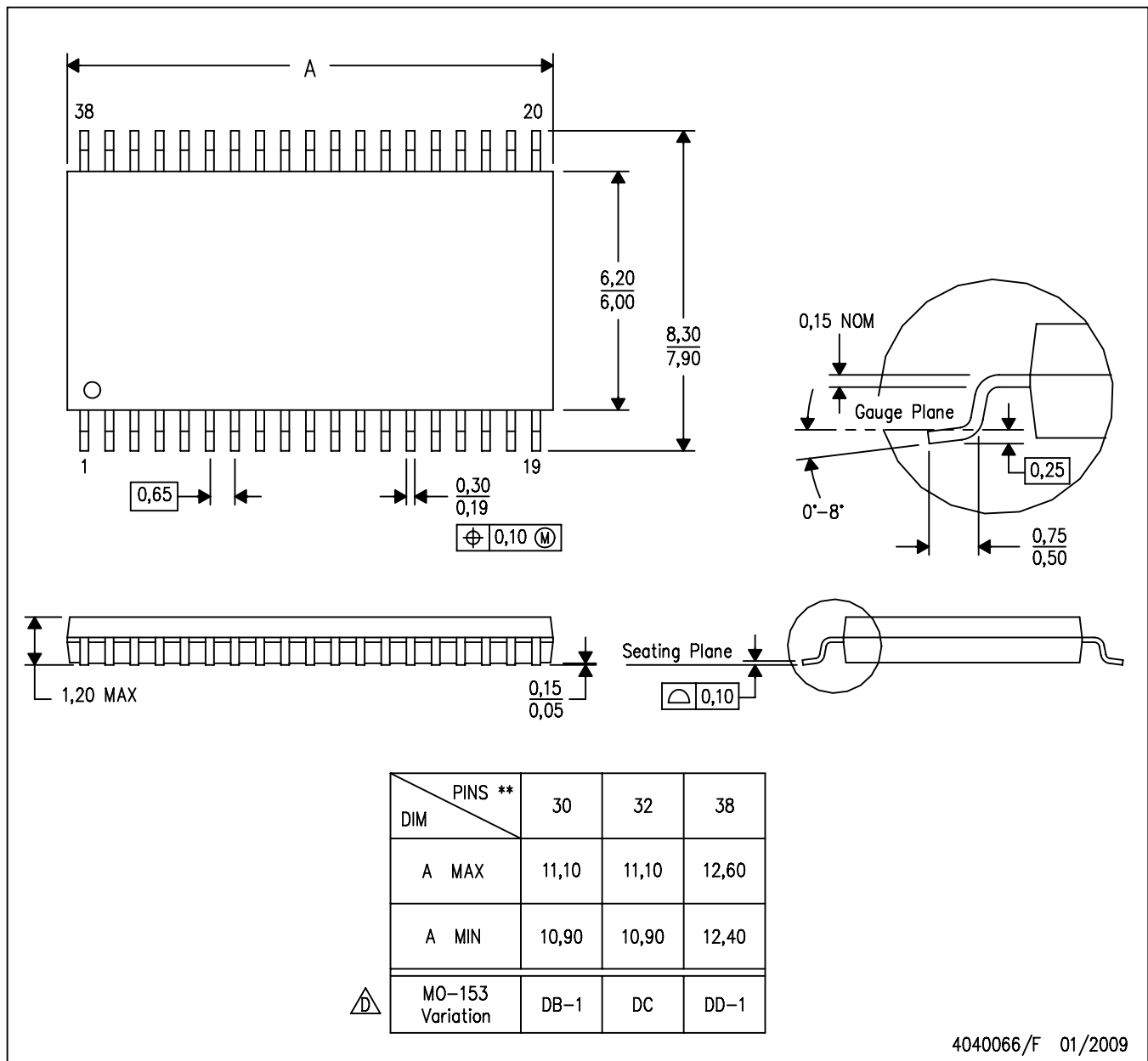
PLASTIC QUAD FLATPACK



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Falls within JEDEC MS-026
 - This may also be a thermally enhanced plastic package with leads connected to the die pads.

DA (R-PDSO-G**)
38 PIN SHOWN

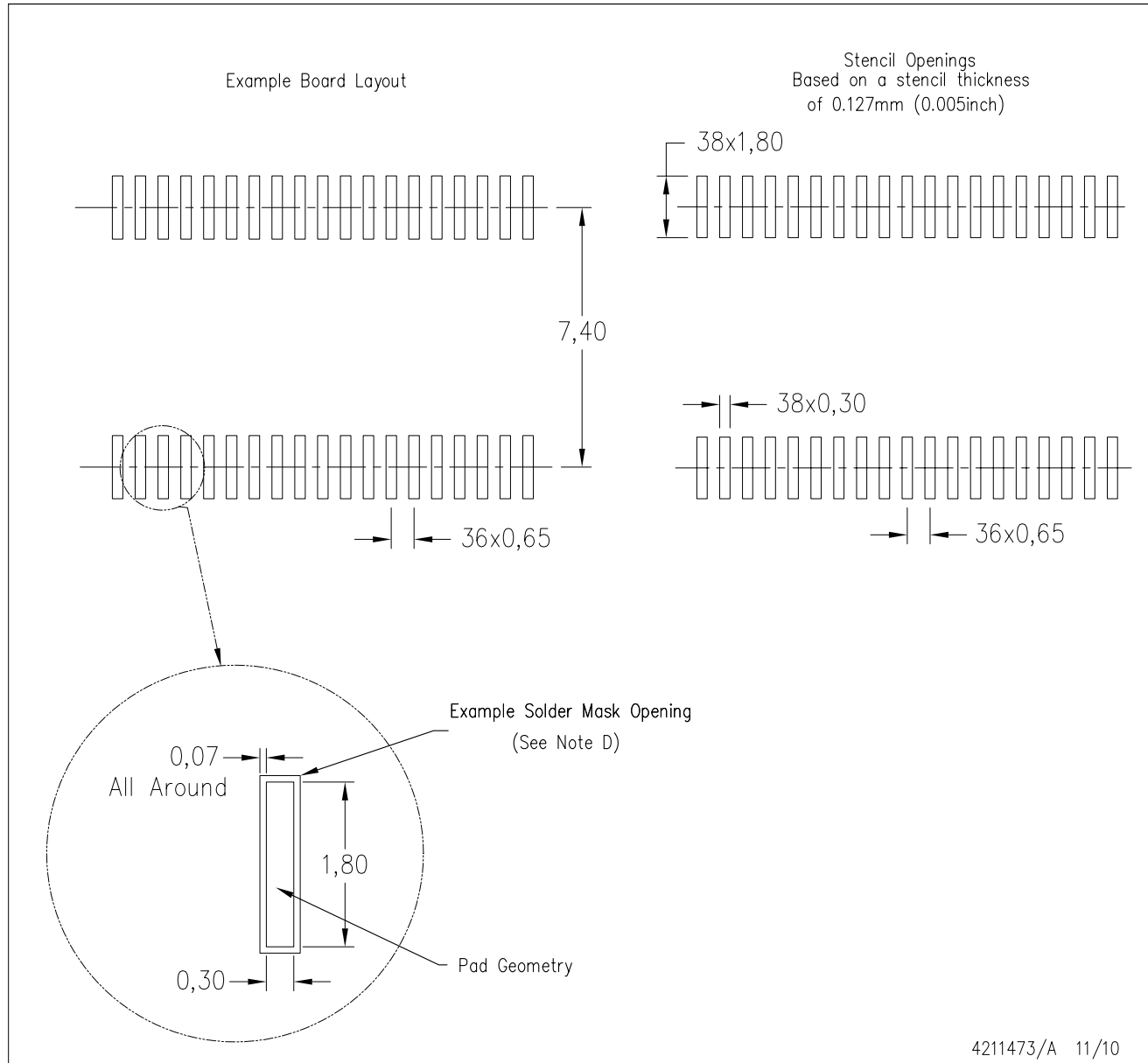
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
 - D. Falls within JEDEC MO-153, except 30 pin body length.

DA (R-PDSO-G38)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - D. Contact the board fabrication site for recommended soldermask tolerances.

重要声明

德州仪器 (TI) 公司有权按照最新发布的 JESD46 对其半导体产品和服务进行纠正、增强、改进和其他修改，并不再按最新发布的 JESD48 提供任何产品和服务。买方在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。

TI 公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于 TI 已认证和批准上市的已封装集成电路产品的销售。另有其他条款可能适用于其他类型 TI 产品及服务的使用或销售。

复制 TI 数据表上 TI 信息的重要部分时，不得变更该等信息，且必须随附所有相关保证、条件、限制和通知，否则不得复制。TI 对该等复制文件不承担任何责任。第三方信息可能受到其它限制条件的制约。在转售 TI 产品或服务时，如果存在对产品或服务参数的虚假陈述，则会失去相关 TI 产品或服务的明示或暗示保证，且构成不公平的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

买方和在系统中整合 TI 产品的其他开发人员（总称“设计人员”）理解并同意，设计人员在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，及设计人员的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。设计人员就自己设计的应用声明，其具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。设计人员同意，在使用或分发包含 TI 产品的任何应用前，将彻底测试该等应用和该等应用中所用 TI 产品的功能。

TI 提供技术、应用或其他设计建议、质量特点、可靠性数据或其他服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用，如果设计人员（个人，或如果是代表公司，则为设计人员的公司）以任何方式下载、访问或使用任何特定的 TI 资源，即表示其同意仅为该等目标，按照本通知的条款使用任何特定 TI 资源。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

设计人员只有在开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等许可包括但不限于任何专利权、版权、屏蔽作品权或与其他 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。TI 不负任何责任，包括但不限于因组合产品所致或与之有关的申索，也不为或对设计人员进行辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

除 TI 已明确指出特定产品已达到特定行业标准（例如 ISO/TS 16949 和 ISO 26262）的要求外，TI 不对未达到任何该等行业标准要求而承担任何责任。

如果 TI 明确宣称产品有助于功能安全或符合行业功能安全标准，则该等产品旨在帮助客户设计和创作自己的符合相关功能安全标准和要求的的应用。在应用内使用产品的行为本身不会配有安全特性。设计人员必须确保遵守适用于其应用的相关安全要求和标准。设计人员不可将任何 TI 产品用于关乎性命的医疗设备，除非已由各方获得授权的管理人员签署专门的合同对此类应用专门作出规定。关乎性命的医疗设备是指出现故障会导致严重身体伤害或死亡的医疗设备（例如生命保障设备、心脏起搏器、心脏除颤器、人工心脏泵、神经刺激器以及植入设备）。此类设备包括但不限于，美国食品药品监督管理局认定为 III 类设备的设备，以及在美国以外的其他国家或地区认定为同等类别设备的所有医疗设备。

TI 可能明确指定某些产品具备某些特定资格（例如 Q100、军用级或增强型产品）。设计人员同意，其具备一切必要专业知识，可以为自己的应用选择适合的产品，并且正确选择产品的风险由设计人员承担。设计人员单方面负责遵守与该等选择有关的所有法律或监管要求。

设计人员同意向 TI 及其代表全额赔偿因其不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司