

特性

低功耗、窄带收发器

利用双VCO的频带范围:

80 MHz至650 MHz

842 MHz至916 MHz

可编程中频滤波器带宽为9 kHz、13.5 kHz和18.5 kHz

调制方式: 2FSK、3FSK、4FSK、MSK

频谱整形方式: 高斯和升余弦滤波

支持的数据速率: 0.05 kbps至24 kbps

2.3 V至3.6 V电源供电

可编程输出功率:

-16 dBm至+13 dBm, 63个步幅

自动功率放大器 (PA) 斜坡控制

接收机灵敏度:

100 bps、2FSK时-130 dBm

1 kbps、2FSK时-122 dBm

正在申请专利的片内镜像抑制校准

片内集成VCO和小数N分频锁相环 (PLL)

片内集成7位ADC和温度传感器

全自动频率控制环路 (AFC)

数字接收信号强度指示 (RSSI)

集成收发 (Tx/Rx) 开关

省电模式下泄漏电流为0.1 μ A

应用

窄带短距离无线电通信设备 (SRD) 标准:

ARIB STD-T67、ETSI EN 300 220、韩国SRD标准、

FCC Part 15、FCC Part 90、FCC Part 95

低成本无线数据传输

远程控制/安全系统

无线计量

无线医疗遥测服务 (WMTS)

家庭自动化

过程和楼宇控制

寻呼机

功能框图

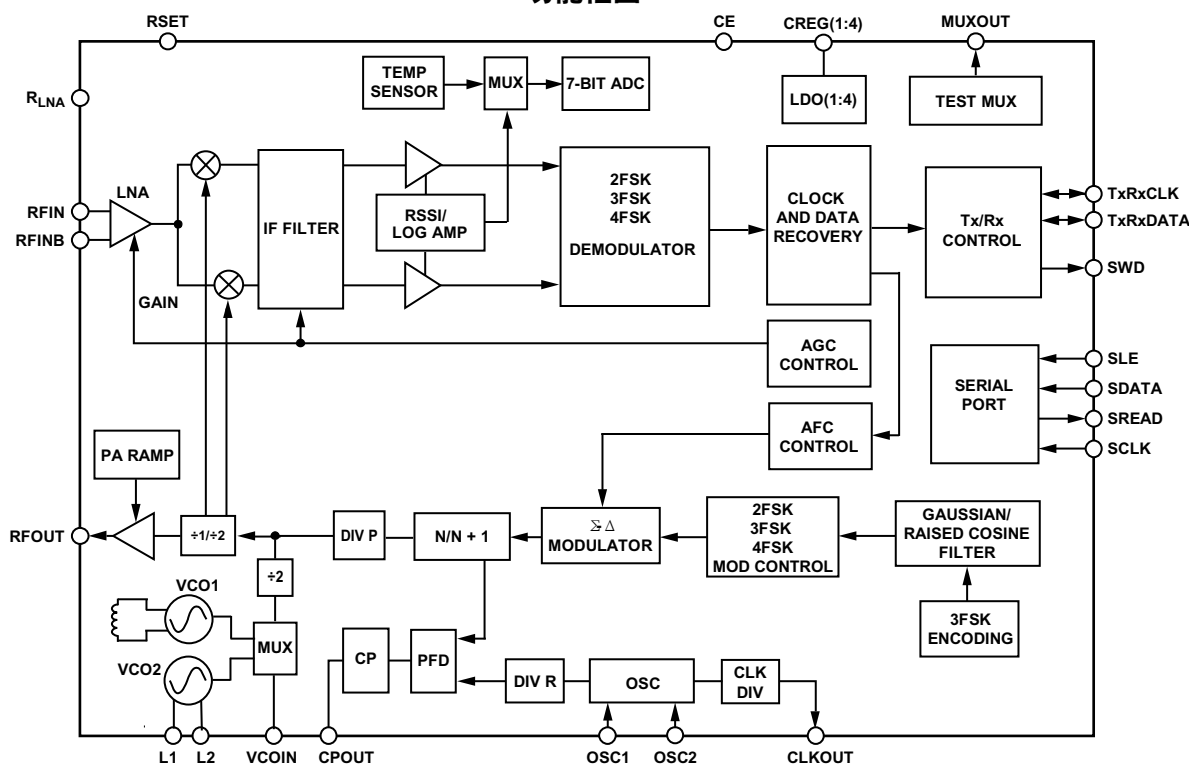


图1

07246-001

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

Fax: 781.461.3113

www.analog.com

©2008 Analog Devices, Inc. All rights reserved.

ADI中文数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性	1	解调、检波和CDR	32
应用	1	接收机设置	34
功能框图	1	解调器考虑因素	36
修订历史	2	应用信息	38
概述	3	中频滤波器带宽校准	38
技术规格	4	LNA/PA匹配	39
RF和PLL规格	4	镜像抑制校准	40
发射规格	5	分组结构及编码	42
接收机规格	6	初始上电后编程	42
数字规格	9	串行接口	46
通用规格	10	回读格式	46
时序特性	11	微控制器/DSP接口	48
时序图	12	寄存器0—N寄存器	49
绝对最大额定值	15	寄存器1—VCO/振荡器寄存器	50
ESD警告	15	寄存器2—发射调制寄存器	51
引脚配置和功能描述	16	寄存器3—发射/接收时钟寄存器	52
典型工作特性	18	寄存器4—解调器设置寄存器	53
频率合成器	22	寄存器5—中频滤波器设置寄存器	54
基准输入	22	寄存器6—中频精校设置寄存器	55
MUXOUT	23	寄存器7—回读设置寄存器	56
电压控制振荡器(VCO)	24	寄存器8—省电测试寄存器	57
选择通道以获得最佳系统性能	25	寄存器9—AGC寄存器	58
发射机	26	寄存器10—AFC寄存器	59
RF输出级	26	寄存器11—同步字检测寄存器	60
频谱整形	28	寄存器12—SWD/阈值设置寄存器	60
调制和滤波选项	29	寄存器13—3FSK/4FSK解调寄存器	61
发射延迟	29	寄存器14—测试DAC寄存器	62
测试码发生器	29	寄存器15—测试模式寄存器	63
接收机部分	30	外形尺寸	64
RF前端	30	订购指南	64
中频滤波器	30		
RSSI/AGC	30		

修订历史

2008年2月—版本0:初始版

概述

ADF7021-N是一款基于ADF7021的高性能、低功率、窄带收发器，拥有9 kHz、13.5 kHz和18.5 kHz的中频滤波器带宽，完全符合各种全球窄带通信标准，尤其是那些要求12.5 kHz通道分离的标准。

ADF7021-N可在窄带、免执照ISM频段以及80 MHz至650 MHz和842 MHz至916 MHz频率范围的特许执照频段内工作。该器件具有高斯和升余弦两种发送数据滤波选项，用以改善窄带应用的频谱效率。它适合符合以下标准或法规的电路应用：日本ARIB STD-T67、欧洲ETSI EN 300 220、韩国近程设备管理法规、中国近程设备管理法规以及北美FCC Part 15、Part 90和Part 95监管标准。ADF7021-N只需少量外部分立器件便可构建一个完整的收发器，因此非常适用于价格敏感和区域敏感的应用。

通过一系列片内FSK调制和数据滤波选项，用户可以更灵活自如地选择调制方案，同时满足严格频谱效率要求。ADF7021-N还支持在2FSK、3FSK和4FSK间动态切换的协议，以充分扩大通信范围并提高数据吞吐量。

发射部分包含两个电压控制振荡器(VCO)和一个输出频率分辨率<1 ppm低噪声小数N分频PLL。其中一个VCO利用内部LC谐振(421 MHz至458 MHz，842 MHz至916 MHz)，另一个利用外部电感作为其谐振电路(80 MHz至650 MHz)的一部分。双VCO设计实现双频带操作，用户既可以在内部电感VCO支持的任意频率下进行收发，也可以在外部电感VCO支持的特定频带下进行收发。

通过快速变频PLL，ADF7021-N可应用于跳频、扩频(FHSS)系统。两个VCO均采用两倍基频工作，减少杂散发射和频率牵引问题。

发射机输出功率可在-16 dBm到+13 dBm之间分63个步幅编程并拥有自动功率斜坡控制功能，以避免频谱杂散并有助于满足法规标准。收发器射频频率、通道间隔和调制都可以利用简单的三线式接口来编程。该器件采用2.3 V至3.6 V电源供电，支持关断功能。

接收机采用低中频架构(100 kHz)，不仅功耗最低、外部原件数最少，而且可避免低频时的直流偏置和闪烁噪声。中频滤波器具有9 kHz、13.5 kHz和18.5 kHz的可编程带宽。ADF7021-N支持各种可编程特性，包括接收的线性度、灵敏度和中频带宽，用户可根据具体应用在接收机灵敏度和选择度与功耗之间进行取舍。接收机还拥有正在申请专利的自动频率控制(AFC)环路，捕捉范围可编程，允许PLL跟踪输入信号中的频率误差。

利用正在申请专利的镜像抑制(IR)校准方案，无需使用外部RF源，接收机的镜像抑制性能可达到56 dB。

片内ADC提供集成温度传感器、外部模拟输入、电池电压和RSSI信号的回读，因而在某些应用中可减少ADC开销。温度传感器在-40°C至+85°C的整个工作温度范围内精度达到±10°C。在室温下进行1点校准并将结果存储在存储器内可提高此精度。

ADF7021-N

技术规格

除非另有声明， $V_{DD} = 2.3\text{ V}$ 至 3.6 V ， $GND = 0\text{ V}$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。典型规格的条件： $V_{DD} = 3\text{ V}$ ， $T_A = 25^\circ\text{C}$ 。

除非另有声明，所有测量都是通过EVAL-ADF7021-NDBxx（采用PN9数据序列）进行的。

RF和PLL规格

表1

参数	最小值	典型值	最大值	单位	测试条件/注释
RF特性					
频率范围（直接输出）	160		650	MHz	关于所需的VCO_BIAS和VCO_ADJUST设置， 请参见表9。 外部电感VCO 内部电感VCO 外部电感VCO，启用RF二分频 内部电感VCO，启用RF二分频
	842		916	MHz	
频率范围（RF二分频模式）	80		325	MHz	
	421		458	MHz	
鉴频鉴相器（PFD）频率 ¹	RF/256		24	MHz	
锁相环（PLL）					
VCO增益 ²					
868 MHz，内部电感VCO		67		MHz/V	VCO_ADJUST = 0, VCO_BIAS = 8
426 MHz，内部电感VCO		45		MHz/V	VCO_ADJUST = 0, VCO_BIAS = 8
426 MHz，外部电感VCO		27		MHz/V	VCO_ADJUST = 0, VCO_BIAS = 3
160 MHz，外部电感VCO		6		MHz/V	VCO_ADJUST = 0, VCO_BIAS = 2
相位噪声（带内）					
868 MHz，内部电感VCO		-97		dBc/Hz	10 kHz偏移，PA = 10 dBm，V _{DD} = 3.0 V， PFD = 19.68 MHz，VCO_BIAS = 8
433 MHz，内部电感VCO		-103		dBc/Hz	10 kHz偏移，PA = 10 dBm，V _{DD} = 3.0 V， PFD = 19.68 MHz，VCO_BIAS = 8
426 MHz，外部电感VCO		-95		dBc/Hz	10 kHz偏移，PA = 10 dBm，V _{DD} = 3.0 V， PFD = 9.84 MHz，VCO_BIAS = 3
相位噪声（带外）					
		-124		dBc/Hz	1 MHz偏移，f _{RF} = 433 MHz，PA = 10 dBm， V _{DD} = 3.0 V，PFD = 19.68 MHz，VCO_BIAS = 8
归一化带内相位本底噪声 ³		-203		dBc/Hz	
PLL建立时间		40		μs	按10 MHz频率步进测定，精度为5 ppm以内， PFD = 19.68 MHz，环路带宽（LBW）= 100 kHz
基准输入					
晶振基准源 ⁴	3.625		24	MHz	
外部振荡器 ^{4,5}	3.625		24	MHz	
晶振启动时间 ⁶					
XTAL偏置 = 20 μA		0.930		ms	10 MHz XTAL，33 pF负载电容，V _{DD} = 3.0 V
XTAL偏置 = 35 μA		0.438		ms	10 MHz XTAL，33 pF负载电容，V _{DD} = 3.0 V
外部振荡器输入电平 ⁷					
OSC1		0.8		V p-p	限幅正弦波
OSC2		CMOS 电平		V	
ADC参数					
INL		±0.4		LSB	V _{DD} = 2.3 V至3.6 V，T _A = 25°C
DNL		±0.4		LSB	V _{DD} = 2.3 V至 3.6 V，T _A = 25°C

¹ 特定RF频率下的最大可用PFD受最小N分频值限制。

² VCO增益在0.7 V VCO调谐电压下测得，在整个VCO调谐范围内波动。这种变化可利用ADIsimPLL™软件包来建模。

³ 此值可用于计算任何工作频率的带内相位噪声。计算功率放大器（PA）输出端的带内相位噪声性能时，请使用以下公式： $-203 + 10 \log(f_{PFD}) + 20 \log N$ 。

⁴ 通过设计加以保证。样片经过测试，以确保符合标准要求。

⁵ TCXO、VCXO或OCXO可用作外部振荡器。

⁶ 晶振启动时间是指将芯片使能（CE）置位以便在CLKOUT引脚上校正时钟频率的时间。

⁷ 有关如何利用外部振荡器的详情，请参见基准输入部分。

发射规格

表2

参数	最小值	典型值	最大值	单位	测试条件/注释
数据速率					
2FSK, 3FSK	0.05		18.5 ¹	kbps	IF_FILTER_BW = 18.5 kHz
4FSK	0.05		24	kbps	IF_FILTER_BW = 18.5 kHz
调制					
频率偏差(f_{DEV}) ²	0.056		28.26	kHz	PFD = 3.625 MHz
	0.306		156	kHz	PFD = 20 MHz
频率偏差分辨率	56			Hz	PFD = 3.625 MHz
高斯滤波器BT		0.5			
升余弦滤波器Alpha		0.5/0.7			编程
发射功率					
最大发射功率 ³		+13		dBm	V _{DD} = 3.0 V, T _A = 25°C
发射功率变化和温度的关系		±1		dB	-40°C 至 +85°C
发射功率变化和V _{DD} 的关系		±1		dB	2.3 V 至 3.6 V at 915 MHz, T _A = 25°C
发射功率平坦度		±1		dB	902 MHz 至 928 MHz, 3 V, T _A = 25°C
可编程步进大小		0.3125		dB	-16 dBm 至 +13 dBm
邻道功率 (ACP)					
426 MHz, 外部电感VCO					
12.5 kHz通道间隔		-50		dBc	PFD = 9.84 MHz 高斯2FSK调制, 在±4.25 kHz带宽范围内测定: ±12.5 kHz偏移、2.4 kbps PN9数据、1.2 kHz频率偏差, 符合ARIB STD-T67
25 kHz通道间隔		-50		dBc	高斯2FSK调制, 在±8 kHz带宽范围内测定: ±25 kHz偏移、9.6 kbps PN9数据、2.4 kHz频率偏差, 符合ARIB STD-T67
868 MHz, 内部电感VCO					
12.5 kHz通道间隔		-46		dBm	PFD = 19.68 MHz 高斯2FSK调制, 10 dBm输出功率, 在±6.25 kHz带宽范围内测定: ±12.5 kHz偏移、2.4 kbps PN9数据、1.2 kHz频率偏差, 符合ETSI EN 300 220
25 kHz通道间隔		-43		dBm	高斯2FSK调制, 10 dBm输出功率, 在±12.5 kHz带宽范围内测定: ±25 kHz偏移、9.6 kbps PN9数据、2.4 kHz频率偏差, 符合ETSI EN 300 220
433 MHz, 内部电感VCO					
12.5 kHz通道间隔		-50		dBm	PFD = 19.68 MHz 高斯2FSK调制, 10 dBm输出功率, 在±6.25 kHz带宽范围内测定: ±12.5 kHz偏移、2.4 kbps PN9数据、1.2 kHz频率偏差, 符合ETSI EN 300 220
25 kHz通道间隔		-47		dBm	高斯2FSK调制, 10 dBm输出功率, 在±12.5 kHz带宽范围内测定: ±25 kHz偏移、9.6 kbps PN9数据、2.4 kHz频率偏差, 符合ETSI EN 300 220
OCCUPIED BANDWIDTH					
2FSK高斯数据滤波					99.0%总平均功率; 12.5 kHz通道间隔(2.4 kbps PN9数据, 1.2 kHz频率偏差); 25 kHz通道间隔(9.6 kbps PN9数据、2.4 kHz频率偏差)
12.5 kHz通道间隔		3.9		kHz	
25 kHz通道间隔		9.9		kHz	
2FSK升余弦数据滤波					
12.5 kHz通道间隔		4.4		kHz	
25 kHz通道间隔		10.2		kHz	
3FSK升余弦滤波					
12.5 kHz通道间隔		3.9		kHz	
25 kHz通道间隔		9.5		kHz	
4FSK升余弦滤波					19.2 kbps PN9数据, 1.2 kHz频率偏差
25 kHz通道间隔		13.2		kHz	

ADF7021-N

参数	最小值	典型值	最大值	单位	测试条件/注释
杂散发射 参考杂散		-65		dBc	100 kHz环路带宽
谐波 ⁴ 二次谐波 三次谐波 所有其他谐波		-35/-52 -43/-60 -36/-65		dBc dBc dBc	13 dBm输出功率，未滤波传导/滤波传导
最佳PA负载阻抗 ⁵ $f_{RF} = 915 \text{ MHz}$ $f_{RF} = 868 \text{ MHz}$ $f_{RF} = 450 \text{ MHz}$ $f_{RF} = 426 \text{ MHz}$ $f_{RF} = 315 \text{ MHz}$ $f_{RF} = 175 \text{ MHz}$		39 + j61 48 + j54 98 + j65 100 + j65 129 + j63 173 + j49		Ω Ω Ω Ω Ω Ω	

¹ 利用高斯或升余弦滤波。选择的频率偏差应能确保发射占用信号带宽处于接收机中频滤波器带宽内。
² 有关频率偏差的定义，请参见寄存器2—发射调制寄存器部分。
³ 按最大未调制功率测定。
⁴ 传导滤波谐波发射是在EVAL-ADF7021-NDBxx上测定的，后者包括一个T级谐波滤波器（两个电感和一个电容）。
⁵ 有关匹配详情，请参见LNA/PA匹配部分。

接收机规格

表3

参数	最小值	典型值	最大值	单位	测试条件/注释
灵敏度					比特差错率(BER) = 10^{-3} ，低噪声放大器(LNA)和功率放大器(PA)单独匹配
2FSK					
0.1 kbps时灵敏度		-130		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
0.25 kbps时灵敏度		-127		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
1 kbps时灵敏度		-122		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
9.6 kbps时灵敏度		-115		dBm	$f_{DEV} = 4 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 18.5 kHz
高斯2FSK					
0.1 kbps时灵敏度		-129		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
0.25 kbps时灵敏度		-127		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
1 kbps时灵敏度		-121		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
9.6 kbps时灵敏度		-114		dBm	$f_{DEV} = 4 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 18.5 kHz
GMSK					
59.6 kbps时灵敏度		-113		dBm	$f_{DEV} = 2.4 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 18.5 kHz
升余弦2FSK					
0.25 kbps时灵敏度		-127		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
1 kbps时灵敏度		-121		dBm	$f_{DEV} = 1 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 13.5 kHz
9.6 kbps时灵敏度		-114		dBm	$f_{DEV} = 4 \text{ kHz}$ ，高灵敏度模式，IF_FILTER_BW = 18.5 kHz

参数	最小值	典型值	最大值	单位	测试条件/注释
3FSK 9.6 kbps时灵敏度		-110		dBm	$f_{DEV} = 2.4 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 18.5 kHz, Viterbi detection on
升余弦3FSK 9.6 kbps时灵敏度		-110		dBm	$f_{DEV} = 2.4 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz, $\alpha = 0.5$, Viterbi detection on
4FSK 9.6 kbps时灵敏度		-112		dBm	$f_{DEV}(\text{inner}) = 1.2 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
升余弦4FSK 9.6 kbps时灵敏度		-109		dBm	$f_{DEV}(\text{inner}) = 1.2 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz, $\alpha = 0.5$
输入IP3					
低增益增强线性度模式		-3		dBm	双音测试, $f_{LO} = 860 \text{ MHz}$, $F1 = f_{LO} + 100 \text{ kHz}$, $F2 = f_{LO} - 800 \text{ kHz}$ LNA_GAIN = 3, MIXER_LINEARITY = 1
中等增益模式		-13.5		dBm	LNA_GAIN = 10, MIXER_LINEARITY = 0
高灵敏度模式		-24		dBm	LNA_GAIN = 30, MIXER_LINEARITY = 0
邻道抑制 868 MHz					所需信号超过灵敏度点3 dB ($BER = 10^{-3}$); 未调制 干扰在邻道中心处; 抑制测定为干扰水平和所需 信号水平 (单位dB) 之差
12.5 kHz通道间隔		40		dB	9 kHz IF_FILTER_BW
25 kHz通道间隔		39		dB	18.5 kHz IF_FILTER_BW
426 MHz					所需信号超过灵敏度基准点3 dB ($BER = 10^{-2}$); 调 制干扰 (与所需信号相同调制) 在邻道中心处; 抑 制测定为干扰水平和基准灵敏度水平 (单位dB) 之 差
12.5 kHz通道间隔		40		dB	9 kHz IF_FILTER_BW, 符合 ARIB STD-T67
25 kHz通道间隔		39		dB	18.5 kHz IF_FILTER_BW, 符合 ARIB STD-T67
同道抑制					所需信号 (2FSK、9.6 kbps、 $\pm 4 \text{ kHz}$ 偏差) 超过灵敏 度点3 dB ($BER = 10^{-3}$), 调制干扰
868 MHz		-5		dB	
镜像通道抑制					所需信号 (2FSK、9.6 kbps、 $\pm 4 \text{ kHz}$ 偏差) 超过灵敏 度点10 dB ($BER = 10^{-3}$); 镜像频率为 $f_{RF} - 200 \text{ kHz}$ 时 放置调制干扰源 (2FSK、9.6 kbps、 $\pm 4 \text{ kHz}$ 偏差); 干扰水平递增直至 $BER = 10^{-3}$
868 MHz		26/39		dB	未校准/校准 ¹ , $V_{DD} = 3.0 \text{ V}$, $T_A = 25^\circ\text{C}$
450 MHz, 内部电感VCO		29/50		dB	未校准/校准 ¹ , $V_{DD} = 3.0 \text{ V}$, $T_A = 25^\circ\text{C}$
阻塞					所需信号超过输入灵敏度水平10 dB; CW干扰强度 递增直至 $BER = 10^{-3}$
$\pm 1 \text{ MHz}$		69		dB	
$\pm 2 \text{ MHz}$		75		dB	
$\pm 5 \text{ MHz}$		78		dB	
$\pm 10 \text{ MHz}$		78.5		dB	
饱和 (最大输入电平)		12		dBm	2FSK 模式, $BER = 10^{-3}$

ADF7021-N

参数	最小值	典型值	最大值	单位	测试条件/注释
RSSI					
输入范围 ²		−120 to −47		dBm	输入功率范围 = −100 dBm至−47 dBm 输入功率范围 = −100 dBm至−47 dBm 参见RSSI/AGC部分
线性度		±2		dB	
绝对精度		±3		dB	
响应时间		390		μs	
自动频率控制					
捕捉范围	0.5		1.5 × IF_ FILTER_BW	kHz	可在寄存器10 (R10_DB[24:31]) 内编程
响应时间		64		Bits	输入功率范围 = −100 dBm至+12 dBm
精度		0.5		kHz	
Rx杂散发射 ³					
内部电感VCO		−91/−91		dBm	天线输入处<1 GHz, 未滤波传导/滤波传导
		−52/−70		dBm	天线输入处>1 GHz, 未滤波传导/滤波传导
外部电感VCO		−62/−72		dBm	天线输入处<1 GHz, 未滤波传导/滤波传导
		−64/−85		dBm	天线输入处>1 GHz, 未滤波传导/滤波传导
LNA输入阻抗					RFIN至RFGND
f _{RF} = 915 MHz		24 − j60		Ω	
f _{RF} = 868 MHz		26 − j63		Ω	
f _{RF} = 450 MHz		63 − j129		Ω	
f _{RF} = 426 MHz		68 − j134		Ω	
f _{RF} = 315 MHz		96 − j160		Ω	
f _{RF} = 175 MHz		178 − j190		Ω	

¹. 镜像抑制利用外部RF源来校准。

². 接收信号电平<−100 dBm时, 建议对多个采样点上的RSSI回馈值求平均处理以提高低输入功率时的RSSI精度。

³. 滤波传导接收杂散发射是在EVAL-ADF7021-NDBxx上测定的, 后者包括一个T级谐波滤波器 (两个电感和一个电容)。

数字规格

表4

参数	最小值	典型值	最大值	单位	测试条件/注释
时序信息					
芯片使能至调节器就绪		10		μs	CREG (1:4) = 100 nF
芯片使能至发射模式					32位寄存器写入时间 = 50 μs
TCXO基准源		1		ms	
XTAL		2		ms	
芯片使能至接受模式					32位寄存器写入时间 = 50 μs , 仅限中频滤波器粗调校准
TCXO基准源		1.2		ms	
XTAL		2.2		ms	
发射-接收周转时间		390 μs + (5 $\times$ t_{BIT})			同步数据输出的时间, 包括AGC建立(三种AGC电平) 和CDR同步; 有关详情, 请参见AGC信息和时序部分; t_{BIT} = 数据位周期
逻辑输入					
输入高电平 V_{INH}	$0.7 \times V_{\text{DD}}$			V	
输入低电平 V_{INL}			$0.2 \times V_{\text{DD}}$	V	
输入电流 $I_{\text{INH}}/I_{\text{INL}}$			± 1	μA	
输入电容 C_{IN}			10	pF	
控制时钟输入			50	MHz	
逻辑输出					
输出高电平 V_{OH}	$DV_{\text{DD}} - 0.4$			V	$I_{\text{OH}} = 500 \mu\text{A}$
输出低电平 V_{OL}			0.4	V	$I_{\text{OL}} = 500 \mu\text{A}$
CLKOUT上升/下降			5	ns	
CLKOUT负载			10	pF	

ADF7021-N

通用规格

表5

参数	最小值	典型值	最大值	单位	测试条件/注释
温度范围(T _A)	-40		+85	°C	
电源					
电源电压V _{DD}	2.3		3.6	V	所有VDD引脚必须连在一起
发射电流消耗 ¹					V _{DD} = 3.0 V, PA匹配成50 Ω VCO_BIAS = 8
868 MHz					
0 dBm		20.2		mA	
5 dBm		24.7		mA	
10 dBm		32.3		mA	
450 MHz, 内部电感VCO					VCO_BIAS = 8
0 dBm		19.9		mA	
5 dBm		23.2		mA	
10 dBm		29.2		mA	
426 MHz, 外部电感VCO					VCO_BIAS = 2
0 dBm		13.5		mA	
5 dBm		17		mA	
10 dBm		23.3		mA	
接收电流消耗					V _{DD} = 3.0 V VCO_BIAS = 8
868 MHz					
低电流模式		22.7		mA	
高灵敏度模式		24.6		mA	
433MHz, 内部电感VCO					VCO_BIAS = 8
低电流模式		24.5		mA	
高灵敏度模式		26.4		mA	
426 MHz, 外部电感VCO					VCO_BIAS = 2
低电流模式		17.5		mA	
高灵敏度模式		19.5		mA	
省电电流消耗					
低功耗睡眠模式		0.1	1	μA	CE 低电平

¹. 发射电流消耗测试使用的组合式PA和LNA匹配网络与EVAL-ADF7021-NDBxx评估板上所用的相同。利用单独的PA匹配网络可获得更高的PA功效。

时序特性

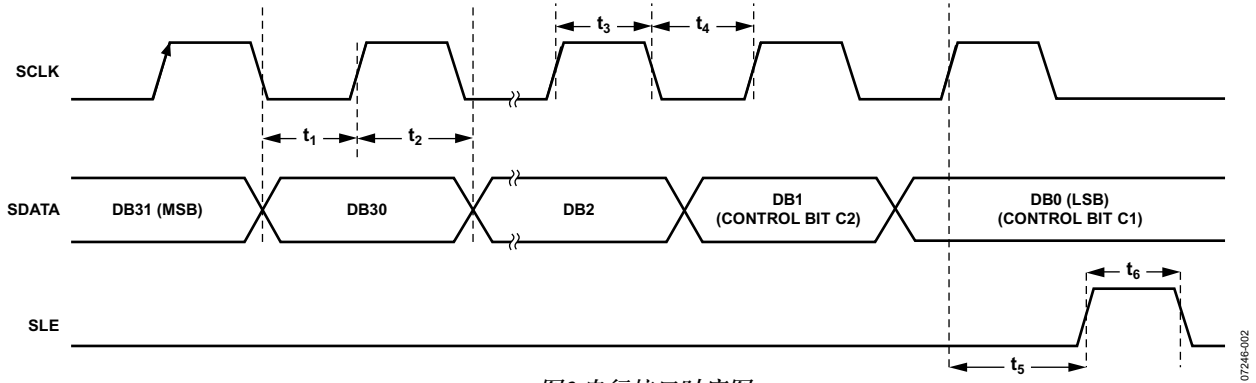
除非另有声明， $V_{DD} = 3\text{ V} \pm 10\%$ ， $DGND = AGND = 0\text{ V}$ ， $T_A = 25^\circ\text{C}$ 。有设计保证，但未经生产测试。

表6

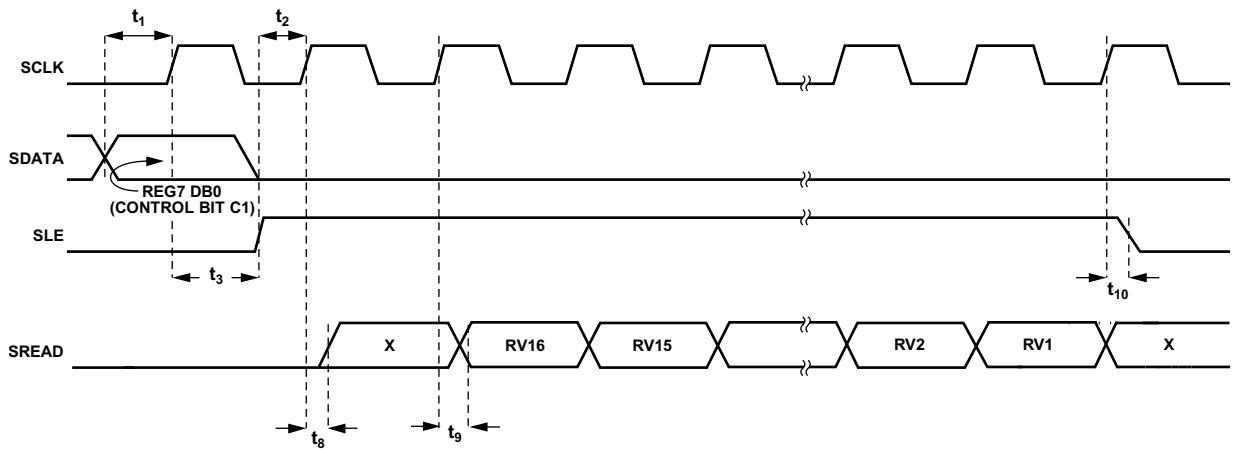
参数	在 T_{MIN} 至 T_{MAX} 时的限值	单位	测试条件/注释
t_1	>10	ns	SDATA至SCLK建立时间
t_2	>10	ns	SDATA至SCLK保持时间
t_3	>25	ns	SCLK高电平持续时间
t_4	>25	ns	SCLK低电平持续时间
t_5	>10	ns	SCLK至SLE建立时间
t_6	>20	ns	SLE脉冲宽度
t_8	<25	ns	SCLK至SREAD数据有效，回读
t_9	<25	ns	SCLK之后的SREAD保持时间，回读
t_{10}	>10	ns	SCLK至SLE禁用时间，回读
t_{11}	$5 < t_{11} < (1/4 \times t_{BIT})$	ns	TxRxCLK负边沿至SLE
t_{12}	>5	ns	TxRxDATA至TxRxCLK建立时间(发射模式)
t_{13}	>5	ns	TxRxCLK至TxRxDATA保持时间(发射模式)
t_{14}	$>1/4 \times t_{BIT}$	μs	TxRxCLK负边沿至SLE
t_{15}	$>1/4 \times t_{BIT}$	μs	SLE正边沿至TxRxCLK正边沿

时序图

串行接口

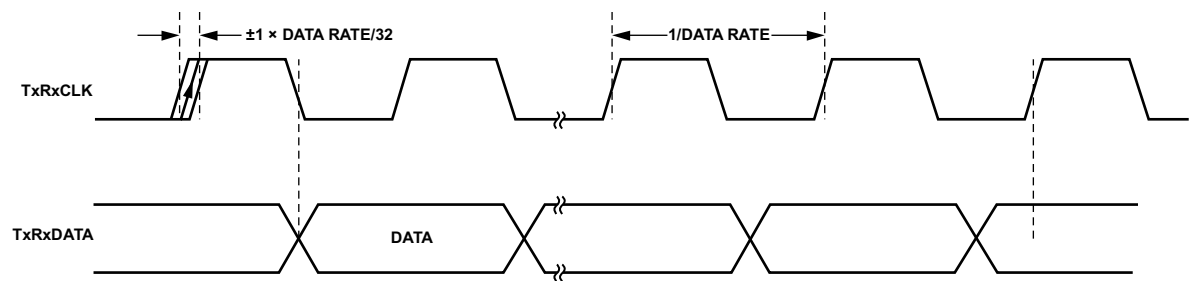


07246-002

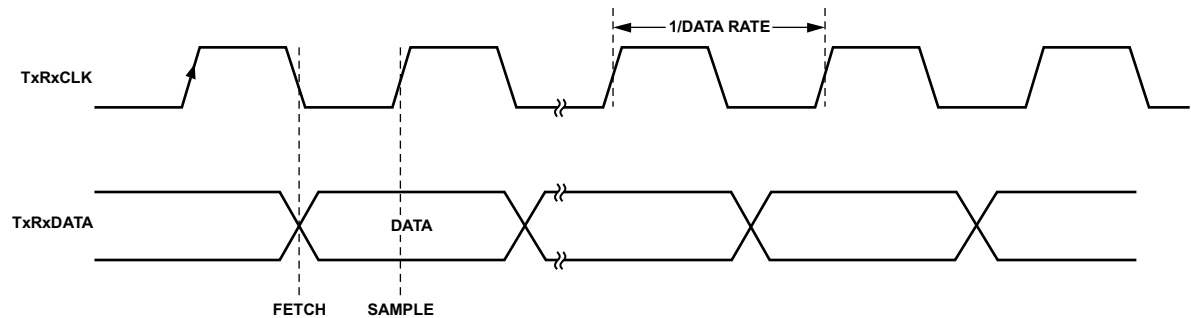


07246-003

2FSK/3FSK时序



07246-004



07246-005

4FSK时序

在4FSK接收模式下，MSB/LSB同步应由接收位流中的SWD来保证

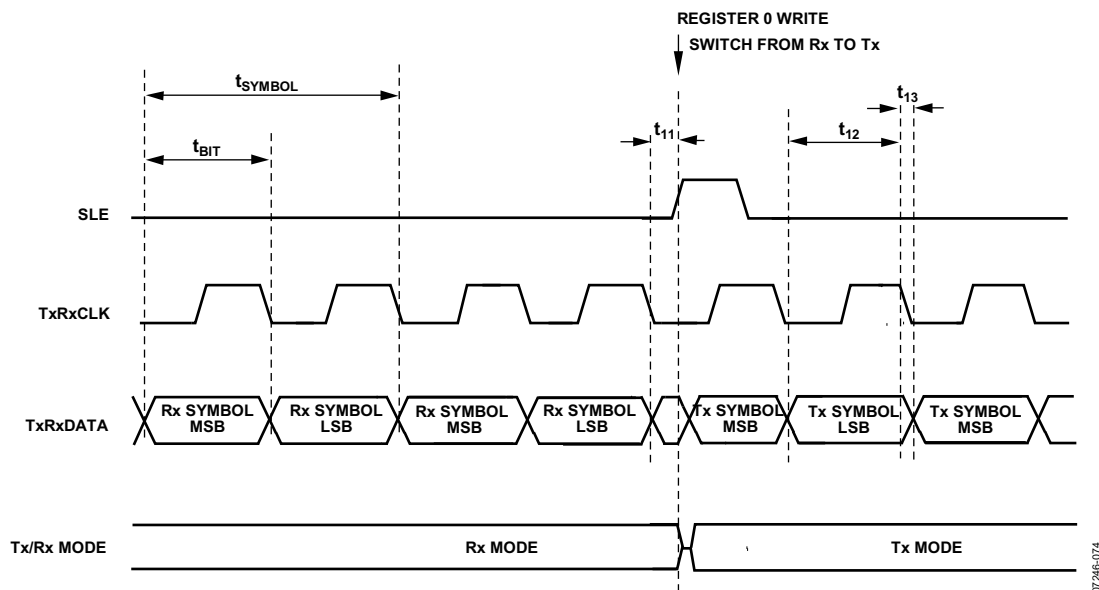
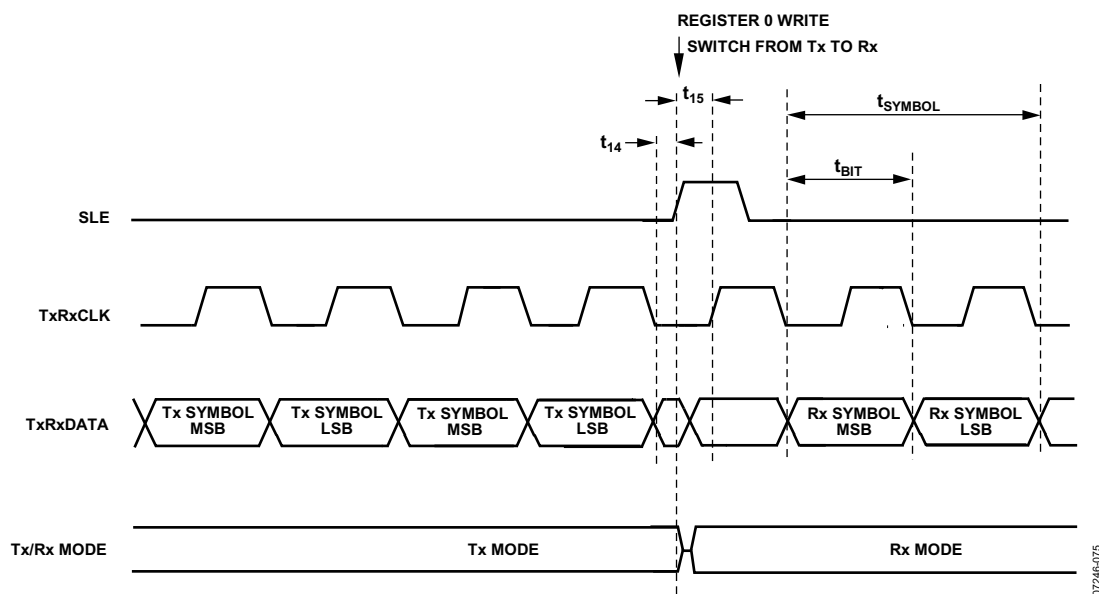


图6. 4FSK模式下的接收至发射时序图



ADF7021-N

UART/SPI模式

UART模式通过将R0_DB28置1来启用。SPI模式通过将R0_DB28置1并将R15_DB[17:19]置0x7来启用。发射/接收数据时钟在CLKOUT引脚上提供。

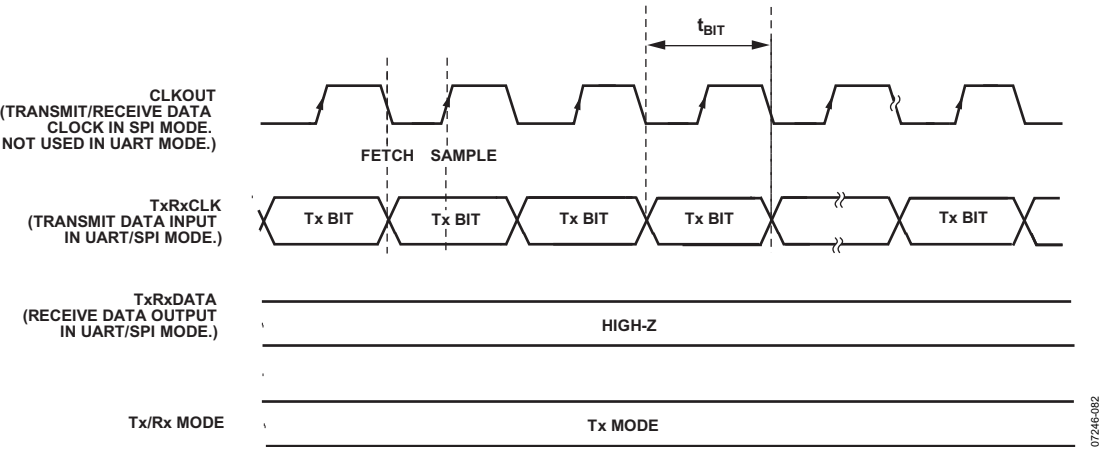


图8. UART/SPI模式下的发射时序图

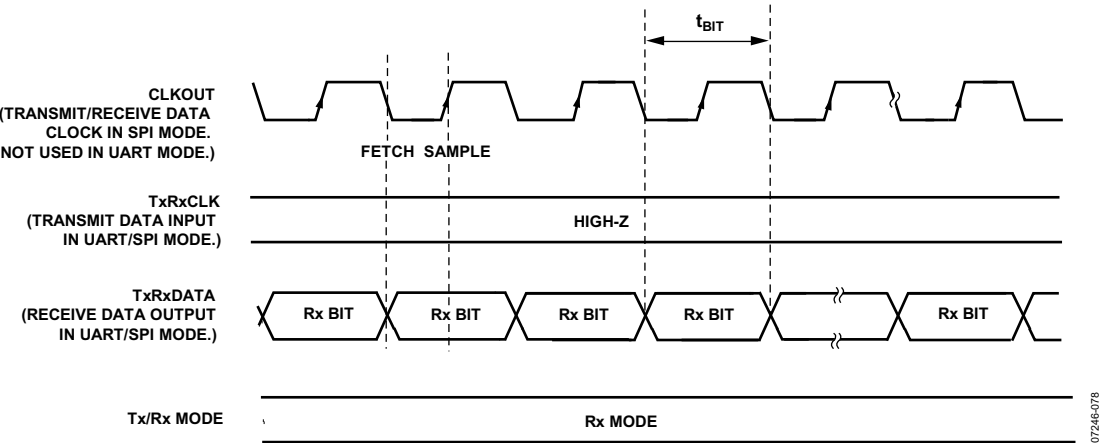


图9. UART/SPI模式下的接收时序图

绝对最大额定值

除非另有声明， $T_A = 25^{\circ}\text{C}$ 。

表7

参数	额定值
V_{DD} 至 GND ¹	−0.3 V 至 +5 V
模拟I/O电压至GND	−0.3 V至 $AV_{DD} + 0.3\text{ V}$
数字I/O电压至GND	−0.3 V至 $DV_{DD} + 0.3\text{ V}$
工作温度范围	
工业（B级）	−40°C 至 +85°C
存储温度范围	−65°C 至 +125°C
最高结温	150°C
MLF θ_{JA} 热阻	26°C/W
回流焊	
峰值温度	260°C
峰值温度时间	40 sec

¹ GND = CPGND = RFGND = DGND = AGND = 0.

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值，不表示在这些条件下或者在任何其它超出本技术规格操作部分所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能RF集成电路,ESD额定值小于2 kV，对ESD（静电放电）敏感。搬运和装配时应采取适当的防范措施。

ESD警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADF7021-N

引脚配置和功能描述

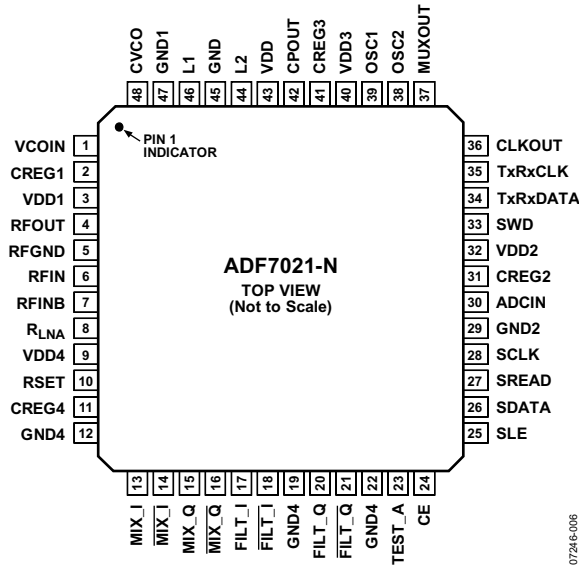


图10. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	描述
1	VCOIN	此引脚上的调谐电压决定电压控制振荡器（VCO）的输出频率。调谐电压越高，输出频率就越高。
2	CREG1	PA模块的调节器电压。在此引脚和接地之间放置一个串联3.9 Ω 电阻和一个100 nF电容可稳定调节器并抑制噪声。
3	VDD1	PA模块的电源电压。尽量靠近此引脚放置 0.1 μ F和100 pF的去耦电容。将所有VDD引脚连在一起。
4	RFOUT	此引脚上提供调制信号。输出功率电平在-16 dBm至+13 dBm之间。应利用适当的组件使输出与所需负载进行阻抗匹配（参见发射机部分）。
5	RFGND	发射机输出级接地。所有GND引脚应连在一起。
6	RFIN	接收机部分的LNA输入。在天线和差分LNA输入之间需要进行输入匹配以确保最大功率传输(参见LNA/PA匹配部分)
7	RFINB	互补LNA输入（参见LNA/PA匹配部分）
8	RLNA	LNA的外部偏置电阻。优化电阻为1.1 k Ω ，容差5%。
9	VDD4	LNA/MIXER模块的电源电压。此引脚应用一个10 nF电容去耦至接地。
10	RSET	外部电阻。设置电荷泵电流和一些内部偏置电流。使用容差5%的3.6 k Ω 电阻。
11	CREG4	LNA/MIXER模块的调节器电压。在此引脚和GND之间放置一个100 nF电容可稳定调节器并抑制噪声。
12, 19, 22	GND4	LNA/MIXER模块接地。
13 to 18	MIX_I, $\overline{\text{MIX_I}}$, MIX_Q, $\overline{\text{MIX_Q}}$, FILT_I, $\overline{\text{FILT_I}}$	信号链测试引脚。这些引脚在正常条件下呈高阻抗并应悬空。
20, 21, 23	FILT_Q, $\overline{\text{FILT_Q}}$, TEST_A	信号链测试引脚。这些引脚在正常条件下呈高阻抗并应悬空
24	CE	芯片使能。拉低CE电平可将ADF7021-N置于全省电模式。当CE呈低电平时会丢失寄存器值，而拉高CE电平后必须对器件进行重新设置。
25	SLE	加载使能，CMOS输入。当SLE变为高电平时，存储在移位寄存器内的数据将载入四个锁存器中的一个。可通过控制位选择锁存器。
26	SDATA	串行数据输入。串行数据以MSB优先方式加载，四个LSB用作控制位。此引脚为高阻抗CMOS输入。
27	SREAD	串行数据输出。此引脚用于将回读数据从ADF7021-N馈入微控制器。SCLK输入用来对SREAD引脚的每个回读位（如AFC或ADC）进行计时。
28	SCLK	串行时钟输入。此串行时钟用来将串行数据逐个输入寄存器。数据在CLK上升沿锁存到32位移位寄存器内。此引脚为数字CMOS输入。

引脚编号	引脚名称	描述
29	GND2	数字部分接地
30	ADCIN	模数转换器输入。通过此引脚可访问内部7位ADC。满量程为0V至1.9 V。可利用SREAD引脚实现回读。
31	CREG2	数字模块的调节器电压。在此引脚和接地之间放置一个100 nF电容可稳定调节器并抑制噪声。
32	VDD2	数字模块的电源电压。尽量靠近此引脚放置一个10 nF去耦电容。
33	SWD	同步字检测。ADF7021-N发现同步字序列匹配时会将此引脚置1(参见寄存器11—同步字检测寄存器部分)。这样就提供了一个外部微控制器中断,表明正在接收有效数据。
34	TxRxDATA	发射数据输入/接收数据输出。这属于数字引脚,适用正常CMOS电平。在UART/SPI模式下,此引脚输出在接收模式下接收的数据。在发射UART/SPI模式下,此引脚呈高阻抗(参见微控制器/DSP接口部分)。
35	TxRxCLK	在接收和发射两个模式下输出数据时钟。这属于数字引脚,适用正常CMOS电平。正时钟沿与接收数据中心相匹配。在发射模式下,此引脚输出精确时钟,以便准确按照所需数据速率将数据从微控制器锁存至发射部分。在UART/SPI模式下,此引脚输入在发射模式下发射的数据。在接收UART/SPI模式下,此引脚呈高阻抗(参见微控制器/DSP接口部分)。
36	CLKOUT	具有输出驱动器的晶振基准源的分频形式。数字时钟输出可用来驱动微控制器时钟等多个其他CMOS输入。该输出具有50:50的传号-空号比并相对于基准源反向。在利用CLKOUT功能的应用中,应尽量靠近该引脚放置一个串行1 kΩ电阻。
37	MUXOUT	提供DIGITAL_LOCK_DETECT信号。此信号用来确定PLL是否锁定至正确频率,另外还提供其他信号,如指示串行接口调节器状态的REGULATOR_READY(有关详情请参见MUXOUT部分)。
38	OSC2	在此引脚和OSC1之间连接基准晶振。用CMOS电平驱动此引脚并禁用内部晶体振荡器后,可使用TCXO基准源。
39	OSC1	在此引脚和OSC1之间连接基准晶振。用交流耦合0.8 V p-p电平驱动此引脚并禁用内部晶体振荡器后,可使用TCXO基准源。
40	VDD3	电荷泵和PLL分频器的电源电压。用10 nF电容对此引脚去耦至接地。
41	CREG3	
42	CPOUT	电荷泵输出。此输出可产生在环路滤波器内经过积分的电流脉冲。经过积分的电流改变了VCO输入中的控制电压。
43	VDD	VCO谐振电路的电源电压。用10 nF电容对此引脚去耦至接地。
44, 46	L2, L1	外部VCO电感引脚。如果使用外部VCO电感,在这些引脚上连接芯片电感可设置VCO工作频率。如果使用内部VCO电感,这些引脚可保持浮空。详情请参见电压控制振荡器(VCO)部分。
45, 47	GND, GND1	VCO模块接地。
48	CVCO	在此引脚和CREG1之间放置一个22 nF电容以降低VCO噪声。

典型工作特性

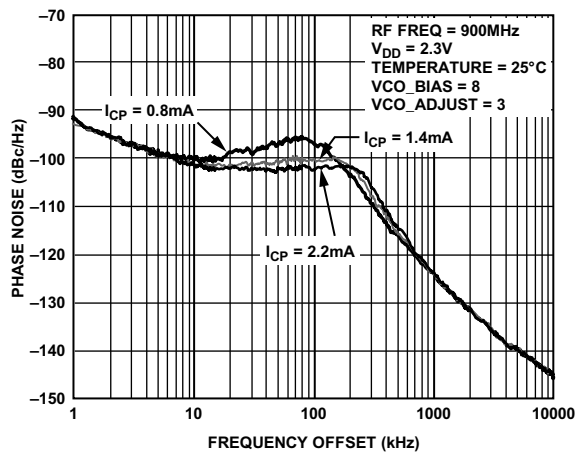


图11. 在900 MHz, $V_{DD} = 2.3$ V时的相位噪声响应

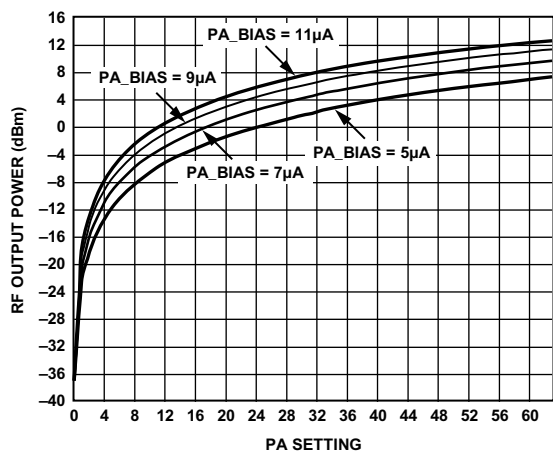


图12. RF输出功率和PA设置特性曲线

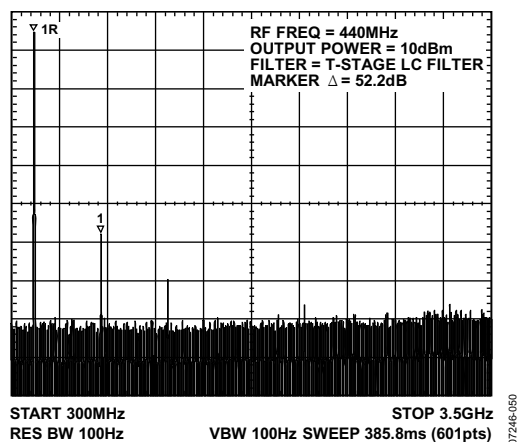


图13. T级LC滤波器的PA输出谐波响应

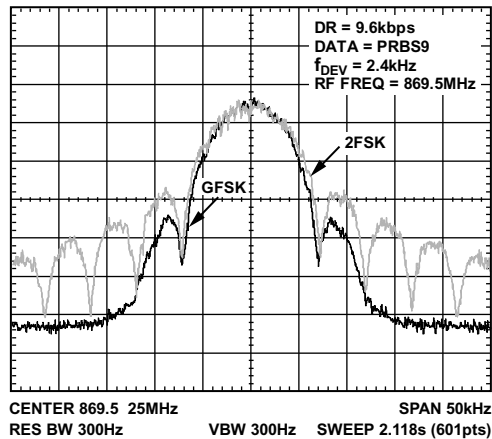


图14. 在2FSK和GFSK模式下的输出频谱

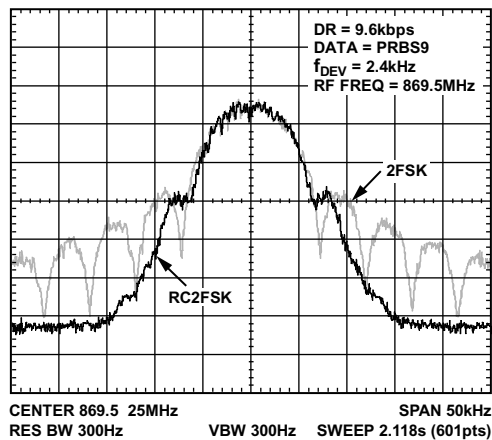


图15. 在2FSK和升余弦2FSK模式下的输出频谱

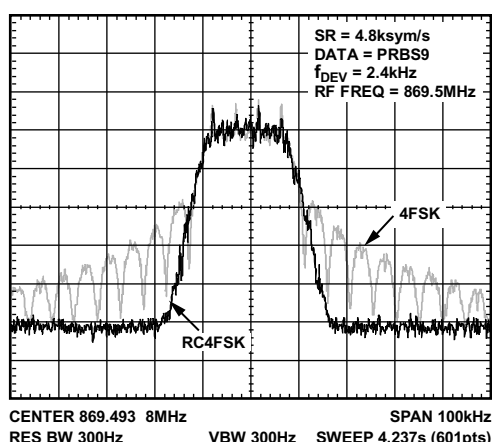


图16. 在4FSK和升余弦4FSK模式下的输出频谱

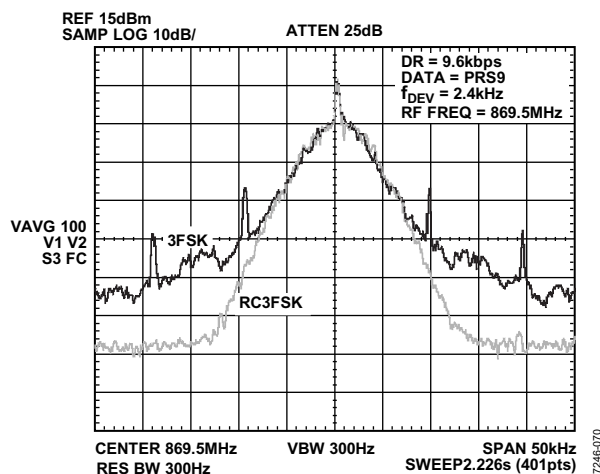


图17. 在3FSK和升余弦3FSK模式下的输出频谱

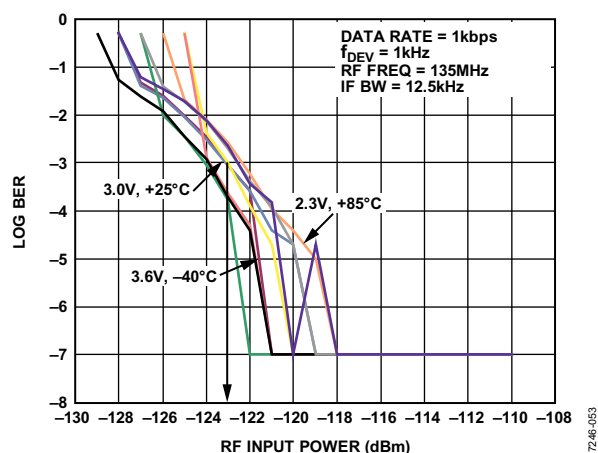
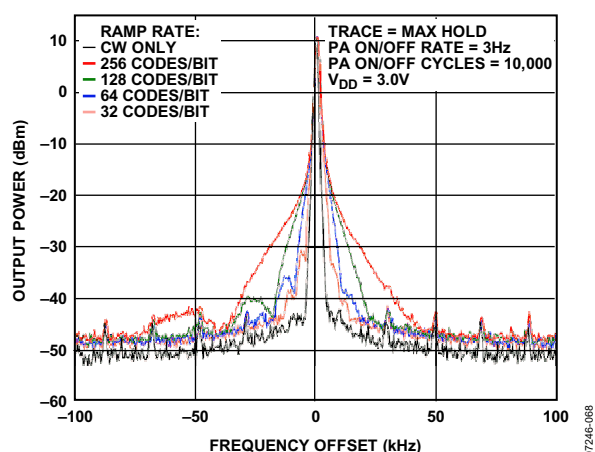
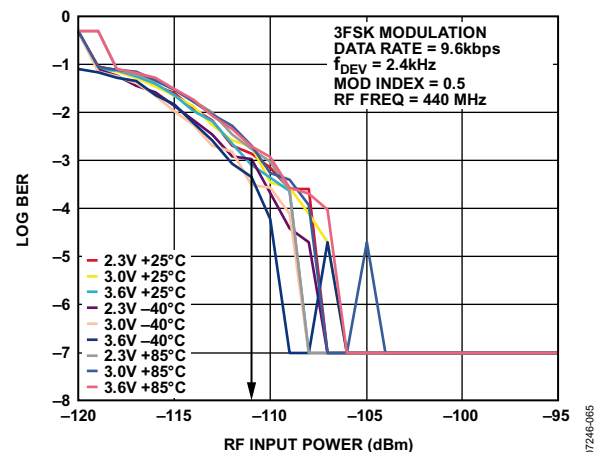
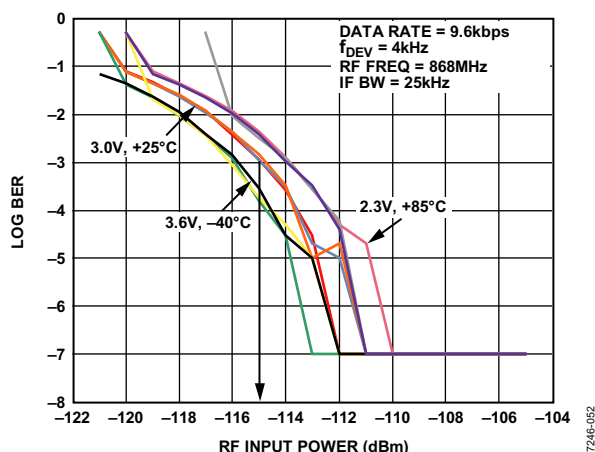
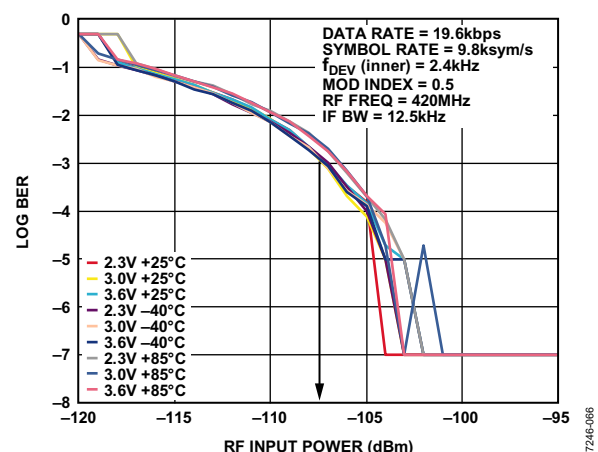
图20. 2FSK灵敏度和 V_{DD} 及温度特性曲线, $f_{RF} = 135 \text{ MHz}$ 

图18. 不同PA斜坡率选项在最大值保持模式下的输出频谱

图21. 3FSK灵敏度和 V_{DD} 及温度特性曲线, $f_{RF} = 440 \text{ MHz}$ 图19. 2FSK灵敏度和 V_{DD} 及温度特性曲线, $f_{RF} = 868 \text{ MHz}$ 图22. 4FSK灵敏度和 V_{DD} 及温度特性曲线, $f_{RF} = 420 \text{ MHz}$

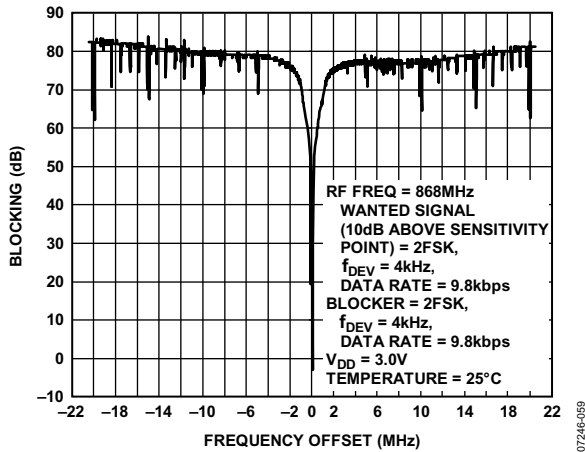


图23. 宽带干扰抑制

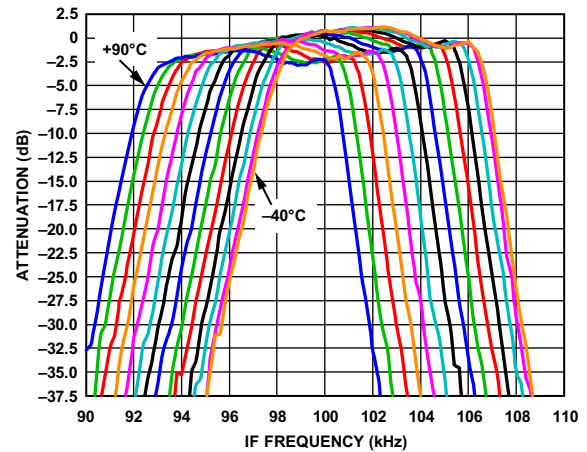


图26. 中频滤波器响应随温度的变化 (IF_FILTER_BW = 9kHz, 温度范围-40°C至+90°C, 10°步进)

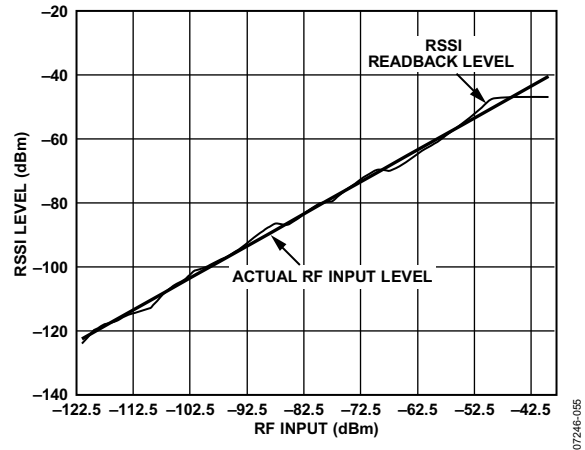


图24. 数字RSSI回馈线性度

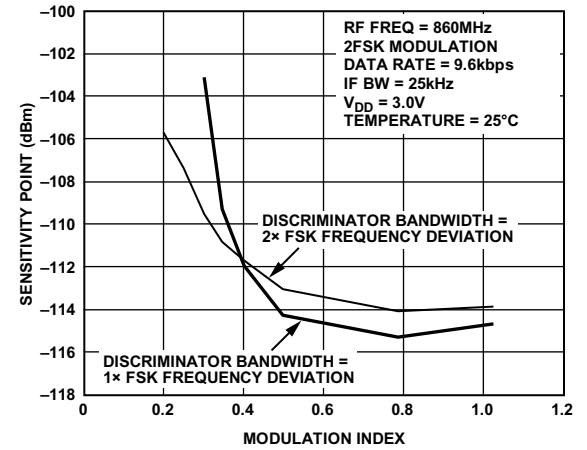


图 27. 2FSK灵敏度、调制指数、相关鉴频器带宽特性曲线

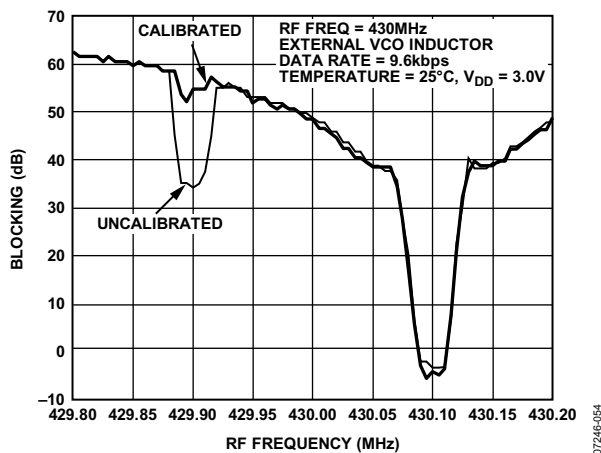


图25. 未校准和校准镜像抑制

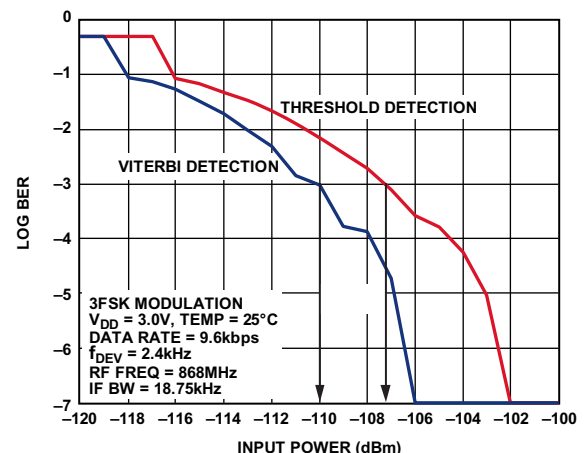


图28. 利用维特比检测和阈值检测的3FSK接收机灵敏度

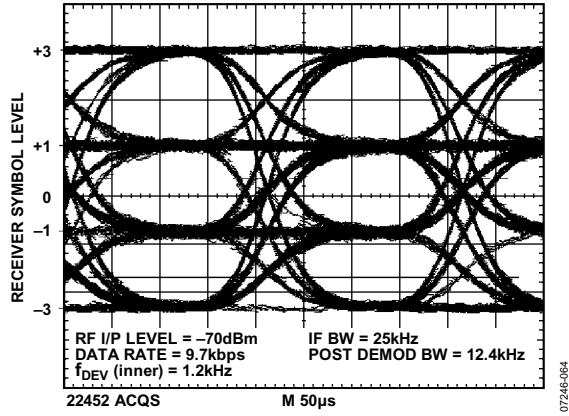


图29. 利用测试DAC输出测量的4FSK接收机眼图

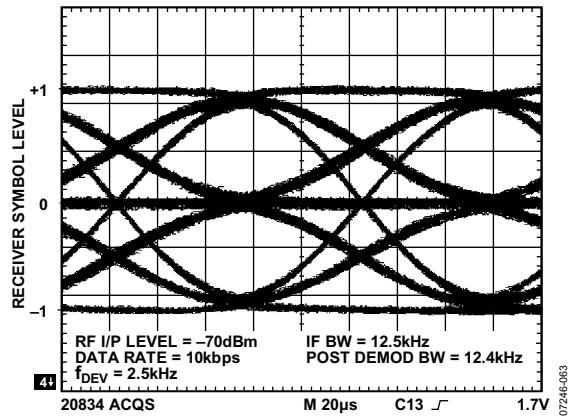


图30. 利用测试DAC输出测量的3FSK接收机眼图

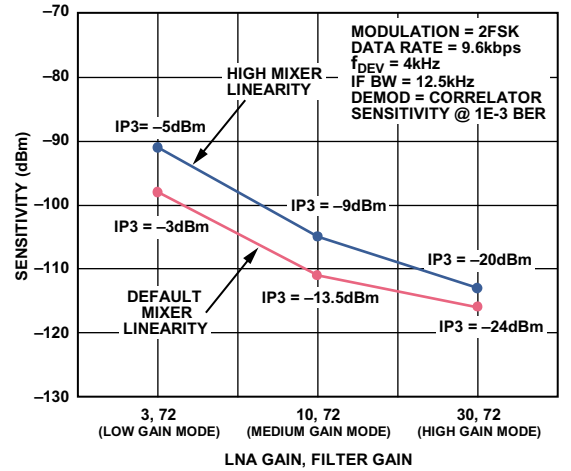


图31. 接收灵敏度和LNA/中频滤波器增益及混频器线性度设置特性曲线(还显示每个设置处的输入IP3)

频率合成器

基准输入

板上晶体振荡器电路（见图32）可利用石英晶振作为PLL基准源。建议窄带应用采用频率容差 ≤ 10 ppm的石英晶振。也可以采用容差 > 10 ppm的石英晶振，但为了符合窄带规范（如ARIB STD-T67和ETSI EN 300 220）的绝对频率误差规格，必须对晶振频率误差进行补偿。

振荡器电路通过将R1_DB12设为高电平来启用。它在上电时默认启用，可通过拉低CE电平来禁用。晶振误差可通过利用自动频率控制功能或调整小数N分频值来校正（参见N分频器部分）。

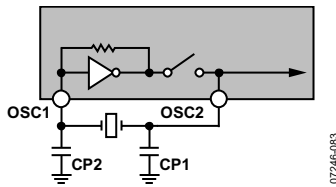


图32. ADF7021-N上的振荡器电路

在正确频率下进行振荡需要两个并联谐振电容。其参数值取决于晶振规格。挑选时应确保电容串联值加上PCB走线电容可达到晶振的额定负载电容（通常12 pF至20 pF）。走线电容值在2 pF至5 pF之间变化，具体视电路板布局而定。尽量挑选温度系数低的电容，以确保在各种条件下获得稳定的频率操作。

使用TCXO基准源

ADF7021-N也可采用单端基准源（TCXO、VCXO或OCXO）。建议用于绝对频率精度要求 < 10 ppm的应用（如要求符合ARIB STD-T67或ETSI EN 300 220标准的应用）。下列是ADF7021-N和外部基准振荡器的两种接口选择。

- 使用CMOS输出电平的振荡器可应用于OSC2。内部振荡器电路应通过将R1_DB12设为低电平来禁用。

- 使用0.8 V p-p电平的振荡器可通过一个22 pF电容来交流耦合到OSC1内。内部振荡器电路应通过将R1_DB12设为高电平来启用。

可编程晶振偏置电流

在振荡器电路内的偏置电流可通过写入XTAL_BIAS位（R1_DB [13:14]）在20 μ A和35 μ A之间配置。增加偏置电流可使晶体振荡器更快上电。

CLKOUT除法器 and 缓冲

CLKOUT电路从振荡器部分获得基准时钟信号（见图32），并将分频、50:50占空比信号传送到CLKOUT引脚。CLKOUT信号相对于基准时钟反向。可提供从2至30的均匀分频。此分频数在R1_DB[7:10]内设定。上电时，CLKOUT默认8分频。

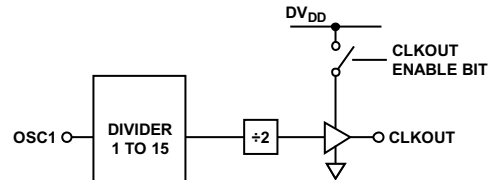


图33. CLKOUT级

要禁用CLKOUT，请将分频数设为0。输出缓冲器可在4.8 MHz下用10%的上升时间驱动多达20 pF的负载。更快的边沿可导致一些杂散直接馈入输出端。可利用一个串接电阻（1k Ω ）来减缓时钟边沿以在CLKOUT频率下减少这些杂散。

R分频器

3位R分频器将基准输入频率除以1到7的整数。该分频信号作为基准时钟提供给鉴频鉴相器（PFD）。分频比在R1_DB [4:6]内设定。PFD频率越高，N值越低。这既降低了以20 log(N)速率倍增到输出的噪声，又减少了杂散成分的出现次数。

在上电时，寄存器1默认R = 1。

$$PFD [Hz] = XTAL/R$$

环路滤波器

环路滤波器对来自电荷泵的电流脉冲进行积分以形成根据所需频率调谐VCO输出的电压，同时还衰减PLL所产生的杂散水平。典型环路滤波器设计如图34所示。

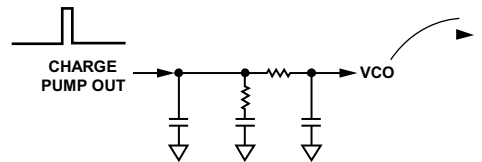


图34. 典型环路滤波器配置

环路的设计应使环路带宽（LBW）约为100 kHz，这可以实现带内相位噪声和带外杂散抑制的良好平衡。过度加宽LBW可以减少频率跳跃所花的时间，但可能会引起杂散衰减不足。环路带宽较窄，可能会导致环路到达锁定的时间延长，还可能导致更高水平的功率落入邻道内。应使用EVAL-ADF7021-NDBxx上的环路滤波器设计以获得最优性能。

ADF7021-N环路滤波器设计也可采用免费设计工具ADI SRD Design Studio™ (有关详情请参见ADI [SRD Design Studio](#)网站)。

N分频器

ADF7021-N PLL中的反馈分频器包括一个8位整数分频器(R0_DB[19:26])和一个15位sigma-delta(Σ-Δ)小数N分频器(R0_DB[4:18])。整数分频器属于PLL中较常见的标准吞吐冲分频器。它将最小整数分频值设为23。小数分频值在输出端提供精细的分辨率，其中PLL的输出频率计算如下：

$$f_{OUT} = \frac{XTAL}{R} \times \left(Integer_N + \frac{Fractional_N}{2^{15}} \right)$$

选择RF二分频(参见电压控制振荡器(VCO)部分)时，此公式变成：

$$f_{OUT} = \frac{XTAL}{R} \times 0.5 \times \left(Integer_N + \frac{Fractional_N}{2^{15}} \right)$$

合并Integer_N (最大值 = 255) 和Fractional_N (最小值 = 32,768/32,768) 得到最大N除数255 + 1。所以最小可用PFD为：

$$PFD_{MIN} [Hz] = \frac{Maximum\ Required\ Output\ Frequency}{(255 + 1)}$$

例如，在欧洲868 MHz至870 MHz频带内工作时， $PFD_{MIN} = 3.4\text{ MHz}$ 。

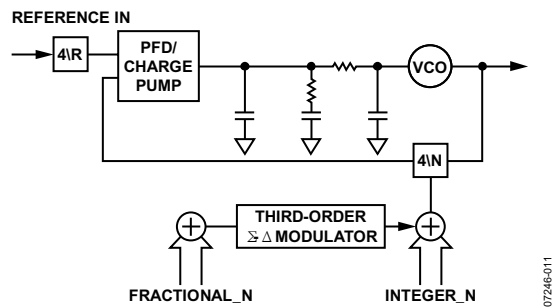


图35. 小数N分频PLL

稳压器

ADF7021-N内含四个调节器向器件提供稳定的电压。额定调节器电压为2.3 V。调节器1要求在CREG1和GND之间串联一个3.9 Ω电阻和一个100 nF电容，而其他调节器则要求连接一个100 nF电容。CE呈高电平时，调节器和其他相关电路上电，吸取2mA的总电源电流。拉低CE引脚会禁用调节器，将电源电流降至1 μA以下，同时擦除寄存器内保存的所有值。

串行接口依靠调节器电源来工作。因此要想对器件执行写入操作，用户必须拉高CE且调节器电压必须稳定。调节器状态(CREG4)可利用MUXOUT引脚上的REGULATOR_READY信号来监控。

MUXOUT

通过MUXOUT引脚，可以访问ADF7021-N内的不同数字点。MUXOUT的状态通过寄存器0(R0_DB[29:31])来控制。

REGULATOR_READY

REGULATOR_READY是收发器上电后MUXOUT上的默认设置。调节器上电时间一般为50 μs。由于串行接口依靠调节器供电，要对ADF7021-N进行编程，调节器必须处于额定电压。调节器的状态可在MUXOUT处监控。当MUXOUT上的调节器就绪信号呈高电平时，便可开始对ADF7021-N进行编程。

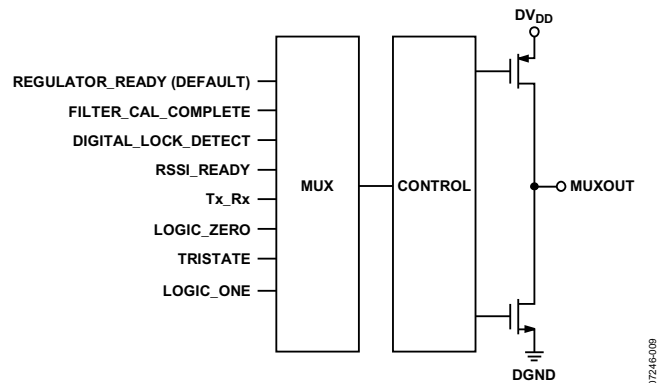


图36. MUXOUT电路

FILTER_CAL_COMPLETE

MUXOUT可设为FILTER_CAL_COMPLETE。此信号在中频滤波器粗校和中频滤波器精校期间降低，可用作微控制器中断以通知中频滤波器校准结束。

DIGITAL_LOCK_DETECT

DIGITAL_LOCK_DETECT指示PLL锁定时间。锁定检测电路位于PFD处。当连续五个周期的相位误差低于15 ns时，锁定检测设为高电平。锁定检测保持高电平，直至在PFD处检测到25 ns的相位误差为止。

RSSI_READY

MUXOUT可设为RSSI_READY。它指示内部模拟RSSI已建立并可进行数字RSSI回读。

Tx_Rx

Tx_Rx指示ADF7021-N处于发射模式还是接收模式。在发射模式下，此信号为低电平。在接收模式下，此信号为高电平。它可用来控制外部Tx/Rx开关。

ADF7021-N

电压控制振荡器 (VCO)

ADF7021-N包含两个VCO内核。第一个VCO(即内部电感VCO)采用内部LC谐振,支持842MHz至916MHz和421MHz至458MHz的工作频带。第二个VCO(即外部电感VCO)采用外部电感作为其LC谐振的一部分,支持80MHz至650 MHz的RF工作频带。

为了尽量降低杂散发射,两个VCO都以两倍RF频率工作。然后将VCO信号在合成器环路内执行二分频,以提供发射机所需的频率和接收机所需的本振(LO)频率。在合成器环路外再执行一次二分频(RF_DIVIDE_BY_2),以允许在421 MHz至458 MHz频带(内部电感VCO)和80 MHz至325 MHz频带(外部电感VCO)内工作。

VCO在CVCO引脚和调节器(CREG1引脚)之间需要一个外部22 nF电容以减少内部噪声。

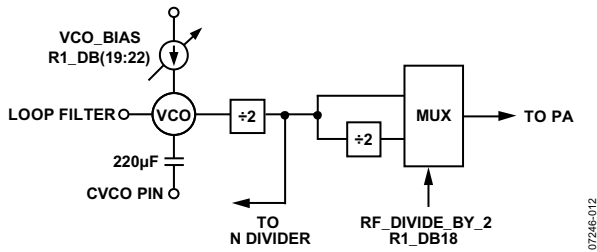


图37. 电压控制振荡器(VCO)

内部电感VCO

要选择内部电感VCO,将R1_DB25设为逻辑0(默认设置)。

VCO偏置电流可利用R1_DB[19:22]来调节。要确保VCO振荡,使用内部电感VCO时各种条件下的最小偏置电流均设置为0x8。

VCO应通过设置VCO_ADJUST位(R1_DB[23:24])来重新置中,具体视所需工作频率而定。详情见表9。

外部电感VCO

采用外部电感VCO时,其中心频率通过内部变容二极管电容以及外部片式电感、接合线及PCB走线的总电感来设置。外部电感接在L2和L1引脚之间。

VCO工作频率和总外部电感(片式电感+PCB走线)的特性曲线如图38所示。

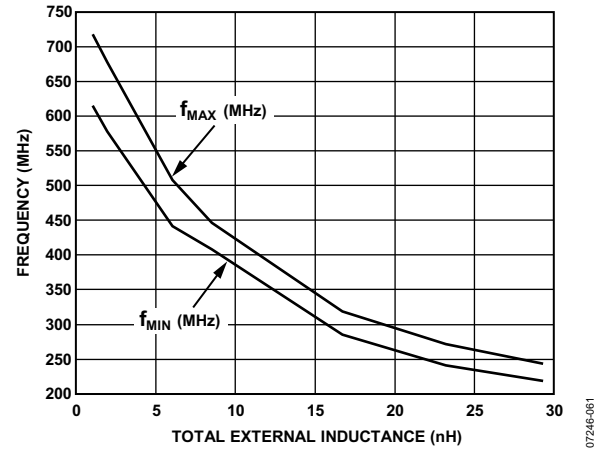


图38. 直接RF输出和总外部电感值特性曲线

采用FR4材料的PCB走线电感约为0.57 nH/mm。应将此值从总值中减去以确定正确的片式电感值。

一般情况下,特定电感值允许ADF7021-N在RF工作频率 $\pm 6\%$ 的范围内工作。选择RF_DIVIDE_BY_2 bit (R1_DB18)时,此范围变成 $\pm 3\%$ 。例如,在400 MHz下,可预期单个电感(VCO范围以400 MHz为中心)的工作范围为 ± 24 MHz(即376 MHz至424 MHz)。

器件在发射或接收模式下完全上电时,测量VCOIN引脚上的电压可确认特定RF输出频率的VCO调谐电压。

VCO调谐范围为0.2 V至2 V。所选外部电感值应能确保VCO的工作频率尽量接近此调谐范围的中心。RF频率 < 200 MHz时,由于VCO增益降低且存在 $< \pm 6$ MHz的调谐范围,这点特别重要。

VCO工作频率范围可通过设置VCO_ADJUST位(R1_DB[23:24])来调整。VCO工作范围的上下偏移幅度一般最多为RF频率的1%。

要选择外部电感VCO,将R1_DB25设为逻辑1。VCO_BIAS的设置应视工作频率而定(如表9所示)。

表9 内外部电感VCO的RF输出频率范围及所需寄存器设置

RF频率输出 (MHz)	待使用的 VCO	RF二分频	寄存器设置			
			VCO_INDUCTOR R1_DB25	RF_DIVIDE_BY_2 R1_DB18	VCO_ADJUST R1_DB[23:24]	VCO_BIAS R1_DB[19:22]
870 to 916	内部L	否	0	0	11	8
842 to 870	内部L	否	0	0	00	8
440 to 458	内部L	是	0	1	11	8
421 to 440	内部L	是	0	1	00	8
450 to 650	外部L	否	1	0	XX	4
200 to 450	外部L	否	1	0	XX	3
80 to 200	外部L	是	1	1	XX	2

选择通道以获得最佳系统性能

RF VCO频率和基准频率的交互可能导致产生小数杂散。当合成器处于小数模式(即RF VCO和基准频率不是整数关系)时，杂散可能以一定的偏移频率出现在VCO输出频谱上，该偏移频率与整数倍的基准频率和VCO频率之间的差频率相对应。

这些杂散由环路滤波器予以衰减，在靠近基准频率整数倍数的通道上表现得更为明显；对于这些通道，差频率可能位于环路带宽以内，“整数边界杂散”的名称正是由此而来。这些杂散很少出现，因为整数频率约为基准频率的整数倍，一般>10 MHz。为了避免在小数寄存器中出现极小或极大值，应选择适当的基准频率。

发射机

RF输出级

ADF7021-N的功率放大器(PA)基于一个单端、电流控制、开漏放大器，后者可在最高频率950MHz下提供高达13 dBm的功率(驱动50 Ω 负载)。

PA输出电流，因此输出功率可在较宽范围上编程。PA配置如图39所示。输出功率利用R2_DB[13:18]来设置。

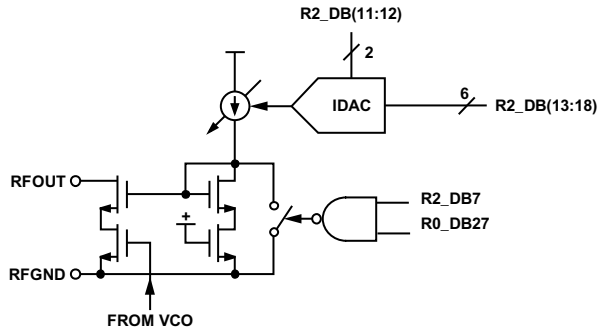


图39. PA配置

PA配备过压保护，可在严重失配情况下保持稳定。用户可根据具体应用为PA设计一个匹配网络，以便在各类天线(如环路或单极天线)所需的辐射输出功率水平下展现最佳功效。有关详情，请参见LNA/PA匹配部分。

PA斜坡

PA快速开关时，其变化的输入阻抗会暂时性干扰VCO输出频率。这一过程被称为VCO牵引，在输出频谱中表现为所需载波频率附近的频谱散射或杂散。一些无线电发射规范对这些PA瞬态感应杂散有所限制(如ETSI EN 300 220规范)。通过逐渐开关PA的斜坡控制，可使PA瞬态杂散降至最低。

ADF7021-N内置PA斜坡配置能力。如图40所示，共有8个斜坡率设置，斜坡率定义为每个数据位周期所含的特定数量的PA设置码。PA对其64个代码级逐一进行遍历，但每个设置的遍历速度不同。斜坡率通过配置R2_DB[8:10]来设置。

如果PA通过PA_ENABLE位(R2_DB7)来启用/禁用，则其处于上斜坡/下斜坡。如果PA通过Tx/Rx位(R0_DB27)来启用/禁用，则其处于上斜坡/硬关闭。

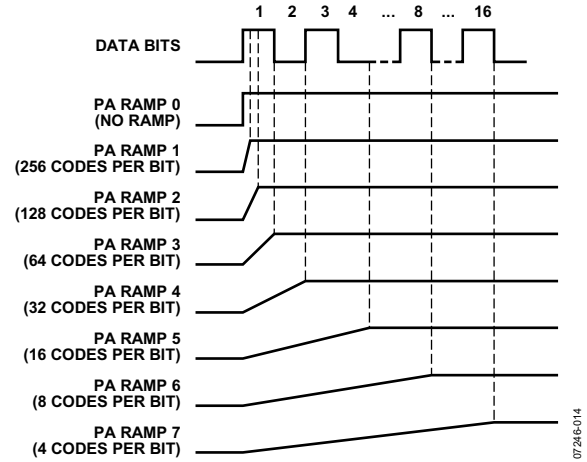


图40. PA斜坡设置

PA Bias Currents

PA偏置电流

PA_BIAS位(R2_DB[11:12])有助于调节PA偏置电流，以便必要时进一步扩大输出功率控制范围。如果不需要此功能，建议采用默认值9 μ A，如果需要的输出功率高于10 dBm，则建议采用11 μ A的PA偏置设置。输出级通过复位R2_DB7来关断。

调制方案

ADF7021-N支持2FSK、3FSK和4FSK调制。这些调制方案的实施方案如图41所示。

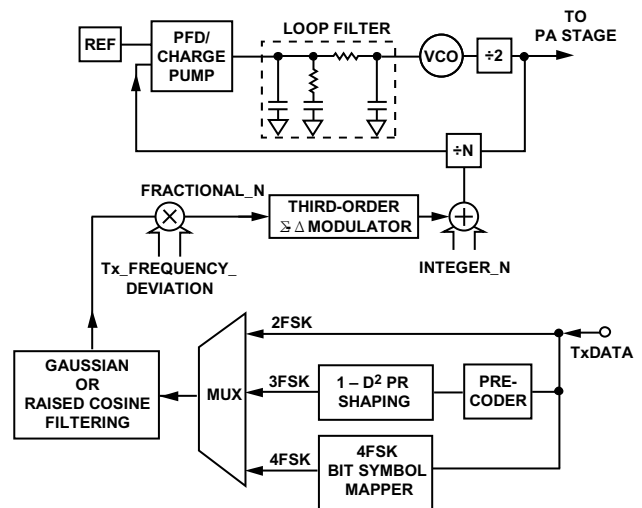


图41. 发射调制实施方案

设置发射数据速率

除了过采样2FSK模式外，在所有调制模式下，TxRxCLK引脚上都会提供精确时钟，以便按所需数据速率将来自微控制器的数据锁存入发射部分。此时钟的精确频率定义为

$$DATA\ CLK = \frac{XTAL}{DEMOD_CLK_DIVIDE \times CDR_CLK_DIVIDE \times 32}$$

其中：

XTAL为晶振或TCXO频率。

DEMOD_CLK_DIVIDE是设置解调器时钟速率的分频器(R3_DB[6:9])。

CDR_CLK_DIVIDE是设置CDR时钟速率的分频器(R3_DB[10:17])。

有关编程详情，请参见寄存器3—发射/接收时钟寄存器部分。

设置FSK发射偏差频率

在所有调制模式下，与中心频率的偏差都是使用Tx_FREQUENCY_DEVIATION位(R2_DB[19:27])来设置的。

中心频率偏差 (Hz) 计算如下：

对于直接RF输出，

$$f_{DEV} [Hz] = \frac{PFD \times Tx_FREQUENCY_DEVIATION}{2^{16}}$$

对于启用的RF_DIVIDE_BY_2，

$$f_{DEV} [Hz] = 0.5 \times \frac{PFD \times Tx_FREQUENCY_DEVIATION}{2^{16}}$$

其中Tx_FREQUENCY_DEVIATION是从1至511的数值(R2_DB[19:27])。

在4FSK调制中，四个符号(00、01、11、10)作为 $\pm 3 \times f_{DEV}$ 和 $\pm 1 \times f_{DEV}$ 来发射。

二进制频移键控(2FSK)

设置中心频率的N值，然后用TxDATA线路对其进行切换，即可实现两级频移键控。中心频率偏差是使用Tx_FREQUENCY_DEVIATION位R2_DB[19:27]来设置的。

要选择2FSK，可将MODULATION_SCHEME位(R2_DB[4:6])设为000。

选择2FSK调制并采用调制指数0.5，可支持最小频移键控(MSK)或高斯最小频移键控(GMSK)。将R2_DB[19:27]配置为 $f_{DEV} = 0.25 \times$ 发射数据速度，即可设置0.5的调制指数。

3级频移键控(3FSK)

在3级FSK调制(又称为修正双二进制FSK)中，二进制数据(逻辑0和1)映射到三个不同的频率上：载波频率(f_C)、载波频率减偏差频率($f_C - f_{DEV}$)以及载波频率加偏差频率($f_C + f_{DEV}$)。

逻辑0映射到载波频率，逻辑1映射到 $f_C - f_{DEV}$ 频率或 $f_C + f_{DEV}$ 频率。

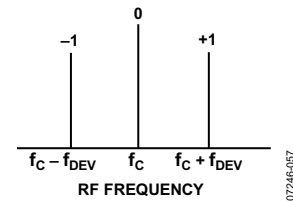


图42. 3FSK符号至频率映射

由于RF边带中消减了一些能量并转移到载波频率上，因此和2FSK相比，该位至频率映射会造成发射带宽降低。调制指数较低时，3FSK的发射频谱效率最多比2FSK提高25%。3FSK的位至符号映射是利用线性卷积编码器实施的，该编码器还允许在接收器内采用维特比检测。用来实现此系统的发射硬件框图如图43所示。用来实施发射频谱整形的卷积编码器多项式为

$$P(D) = 1 - D^2$$

其中：

P为卷积编码器多项式。

D为单位延迟算子。

带传递函数 $1/P(D)$ 的数字预编码器在发射机中实施 $1 - D^2$ 整形滤波器的反向模2运算。

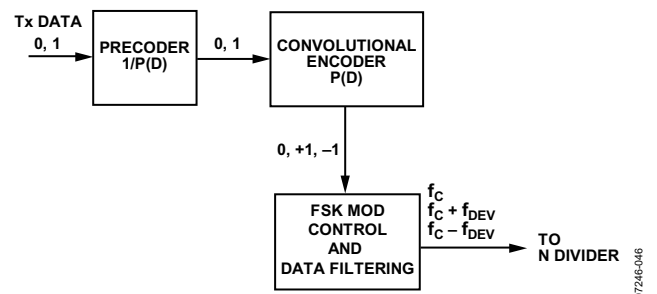


图43. 3FSK编码

ADF7021-N

输入二进制发射数据至3级卷积输出的信号映射如表10所示。卷积编码器将连续+1或-1的最大数目限制为2并向FSK调制器提供相等数目的+1和-1，从而确保两个RF边带内频谱能量相等

表10. 卷积编码器的3级信号映射

TxDATA	1	0	1	1	0	0	1	0	0	1
预编码器输出	1	0	0	1	0	1	1	1	1	0
编码器输出	+1	0	-1	+1	0	0	+1	0	0	-1

此编码方案的另一特性是无直流发射符号序列，有利于接收机中的符号检测和频率测量。此外，此3级卷积编码器不会造成码率损耗；即发射符号速率等于发射数据输入端的数据速率。

要选择3FSK，可将MODULATION_SCHEME位(R2_DB[4:6])设为010。3FSK调制模式下还可使用升余弦滤波进一步提高发射信号的频谱效率。

4级频移键控 (4FSK)

在4FSK调制中，将TX数据位流中的连续输入位对映射到四个可能符号(-3、-1、+1、+3)中的任意一个，即可实现每符号两位的频谱效率。因此，发射符号速率是输入比特率的一半。

将符号频率间距降至最低可提高4FSK的频谱效率。4FSK的位至符号映射采用格雷码，如图44所示。

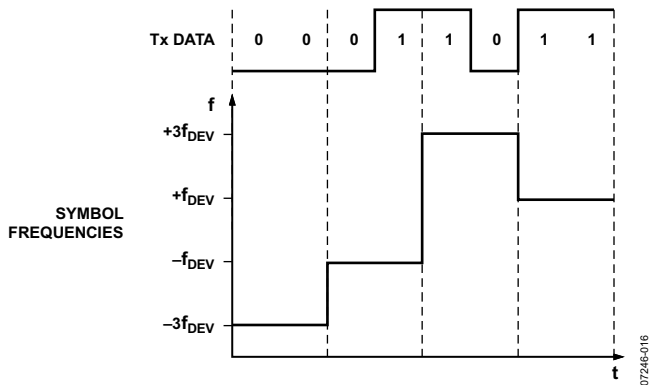


图44. 4FSK位至符号映射

内部偏差频率(+fDEV和-fDEV)利用Tx_FREQUENCY_DEVIATION位R2_DB[19:27]来设置。外部偏差频率自动设为内部偏差频率的三倍。

在接收模式的上电序列中对寄存器3执行写入操作后，TxRxCLK引脚的发射时钟可用。对寄存器3执行写入操作后，在ADF7021-N产生第一个发射时钟脉冲时，应将第一个符号的MSB输入ADF7021-N。有关时序详情，请参见图6。

过采样2FSK

在过采样2FSK中，没有来自TxRxCLK引脚的数据时钟，而是以32倍的设置速率对TxRxDATA引脚的发射数据进行采样。

这是唯一可以和UART模式接口一起用于数据发射的调制模式(有关详情请参见接口连接至微控制器/DSP部分)。

频谱整形

高斯或升余弦滤波可用来提高发射频谱效率。ADF7021-N支持在2FSK调制模式中使用高斯滤波(带宽时间[BT] = 0.5)。升余弦滤波可在2FSK、3FSK或4FSK调制模式下使用。升余弦滤波器的滚降系数(alpha)具有0.5和0.7的可编程选项。高斯和升余弦滤波器都采用精确控制BT和alpha滤波器参数的线性相位数字滤波器架构来实施，并确保发射频谱不随温度和电源电压而变化。

高斯频移键控(GFSK)

高斯频移键控对发射数据进行数字前置滤波，以减少发射频谱占用的带宽。所用高斯滤波器的BT乘积为0.5。

高斯滤波只能在2FSK调制模式下使用。要选择2FSK，可将R2_DB[4:6]设为001。

升余弦滤波

升余弦滤波利用滚降系数(alpha)为0.5或0.7的升余弦滤波器来对发射数据进行数字前置滤波。alpha默认设置为0.5，但可采用0.7的alpha值(将R2_DB30设为逻辑1)来提高升余弦滤波器带宽以降低数据滤波强度。升余弦滤波可在2FSK、3FSK和4FSK调制模式下使用。

如表11所示，升余弦滤波通过设置R2_DB[4:6]来启用。

调制和滤波选项

表11介绍了各种调制和数据滤波选项。

表11. 调制和滤波选项

调制	数据滤波	R2_DB[4:6]
二进制FSK		
2FSK	无	000
MSK ¹	无	000
带半正弦基带整形的 OQPSK ²	无	000
GFSK	高斯	001
GMSK	高斯	001
RC2FSK	升余弦	101
过采样2FSK	无	100
3级FSK		
3FSK	无	010
RC3FSK	升余弦	110
4级FSK		
4FSK	无	011
RC4FSK	升余弦	111

¹ MSK是调制指数 = 0.5的2FSK调制。

² 带半正弦基带整形的偏移正交相移键控（OQPSK）与MSK频谱等效。

³ GMSK是调制指数 = 0.5的GFSK。

发射延迟

发射延迟是指从TxRxCLK信号对位/符号进行采样到该位/符号出现在RF输出端的延迟时间。无数据滤波的延迟为1位。如表12所示，增加数据滤波会进一步增加延迟。

数据时钟对最后一个数据位进行采样后，ADF7021-N务必保持发射模式以处理此延迟。ADF7021-N保持发射模式的时间应等于所用调制方案的延迟位周期数。这样可确保TxRxCLK信号采样的所有数据都出现在RF上。

表12中的延迟数据假定使用正TxRxCLK边沿来采样数据(默认)。如果通过设置R2_DB[28:29]来反转TxRxCLK，则可向表12内的所有值再增加0.5位延迟。

表12. 调制和滤波选项

调制	延迟
2FSK	1位
GFSK	4位
RC2FSK, Alpha = 0.5	5位
RC2FSK, Alpha = 0.7	4位
3FSK	1位
RC3FSK, Alpha = 0.5	5位
RC3FSK, Alpha = 0.7	4位
4FSK	1符号
RC4FSK, Alpha = 0.5	5符号
RC4FSK, Alpha = 0.7	4符号

测试码发生器

ADF7021-N内置了若干测试码发生器，便于进行无线电链路设置或RF测量。

受支持码的完整列表见表13。这些测试码的数据速率是寄存器3中设置的编程数据速率。

测量邻道功率(ACP)或占用带宽时，测试调制适用PN9序列。

表13. 发射测试码发生器选项

测试码	R15_DB[8:10]
正常	000
发射载波	001
发射 + f_{DEV} 音	010
发射 - f_{DEV} 音	011
发射1010码	100
发射PN9序列	101
重复发射SWD码	110

接收机部分

RF前端

用低中频架构不仅大大减少外部元件数量，还避免了电力线引起的干扰问题。

图45所示的是接收机前端结构。用户可通过多种编程选项在灵敏度、线性和电流消耗之间进行取舍，以便更好地满足具体应用要求。为获得较高的抗杂散接收能力，低噪声放大器(LNA)带一个差分输入。选择发射模式(R0_DB27 = 0)后，开关SW2会使LNA输入短路。这项功能有利于设计一个组合式LNA/PA匹配网络而无需外部Rx/Tx开关。有关匹配网络设计的详情，请参见LNA/PA匹配部分。

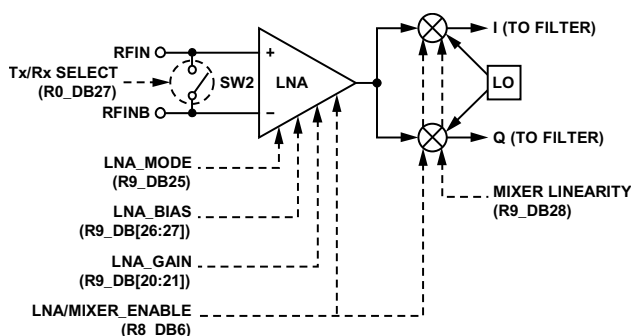


图45. RF前端

LNA后接一个正交下变频混频器，将RF信号转换成100 kHz的中频频率。务必注意，合成器输出频率值必须设置为比接收通道中心频率低100 kHz。LNA有两种基本工作模式：高增益/低噪声模式和低增益/低功率模式。要在两种模式之间切换，请使用LNA_MODE位(R9_DB25)。使用MIXER_LINEARITY位(R9_DB28)，还可将混频器配置为低电流模式或增强线性模式。

根据具体应用的灵敏度和线性要求，建议相应调整LNA_MODE位和MIXER_LINEARITY位，如表15所示。

LNA增益通过LNA_GAIN位(R9_DB[20:21])来配置，并可通过用户或自动增益控制(AGC)逻辑来设置。

中频滤波器

中频滤波器设置

采用中心频率为100 kHz的五阶巴特沃兹多相中频滤波器，可抑制带外干扰。该中频滤波器的带宽可通过R4_DB[30:31]编程为9 kHz、13.5 kHz或18.5 kHz，选择时应根据在干扰抑制和所需信号衰减之间作出权衡。

如果AGC环路禁用，则中频滤波器增益可通过FILTER_GAIN位(R9_DB[22:23])设为三个水平中的一个。启用AGC环路时，滤波器增益自动调节。

中频滤波器带宽和中心频率校准

要补偿工艺容差，上电后应当对中频滤波器进行校准以确保带宽和中心频率正确。提供粗校和精校两种方案，粗校指快速校准，精校指以高精度进行滤波器对中，用户可自选。粗校通过将R5_DB4设为高电平来启用。精校通过将R6_DB4设为高电平来启用。

欲详细了解何时需要进行滤波器校准、哪些应用适合粗调或精调，请参见中频滤波器带宽校准部分。

RSSI/AGC

RSSI作为一个跟随基带(BB)通道滤波的逐次压缩对数放大器。该对数放大器的对数线性度达 ± 3 dB。还可兼做限幅器，对FSK解调器的信号至数字强度进行转换。失调校正电路使用BBOS_CLK_DIVIDE位(R3_DB[4:5])，后者应设置为1 MHz和2 MHz之间。RSSI强度通过一个80级(7位)Flash ADC进行转换，以用于用户回读和数字控制AGC。该强度可转换成输入功率(dBm)。默认情况下，以接收模式上电时，AGC开启。

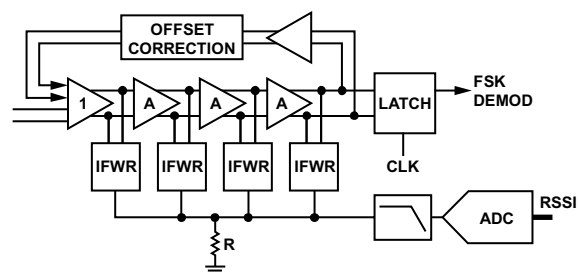


图46. RSSI框图

RSSI阈值

当RSSI超过AGC_HIGH_THRESHOLD (R9_DB[11:17])时，增益降低。当RSSI低于AGC_LOW_THRESHOLD (R9_DB[4:10])时，增益增加。以接收模式上电时，阈值默认为30和70。可对延迟(由AGC_CLK_DIVIDE, R3_DB[26:31]设置)进行编程以便建立环路。建议将值设为13以使AGC更新速率达到7.7 kHz。

用户可以选择修改30和70这两个默认阈值(寄存器9)。默认的AGC设置值适合大多数应用。要使AGC正常工作，阈值间隔必须大于30。

失调校正时钟

在寄存器3中，用户应设置BBOS_CLK_DIVIDE位(R3_DB[4:5])以使基带失调时钟（BBOS CLK）频率处于1 MHz和2 MHz之间

$$BBOS\ CLK\ [Hz] = XTAL / (BBOS_CLK_DIVIDE)$$

其中BBOS_CLK_DIVIDE 可设为4、8、16或32。

AGC信息和定时

AGC是默认选择的，针对测得的RSSI强度进行相应的LNA和滤波器增益设置后，AGC即可工作。如果用户希望进入表15所列的其中一个模式，可通过写入寄存器9来禁用AGC。AGC电路的建立时间一般为390 μs，因此准确测量RSSI所花的时间一般也为390 μs。但具体时间取决于AGC电路必须循环通过的增益设置数。每次修改增益后，AGC环路会在设定的时间内等待，以便建立瞬变。此AGC更新速率依据以下公式设置

$$AGC\ Update\ Rate\ [Hz] = \frac{SEQ_CLK_DIVIDE\ [Hz]}{AGC_CLK_DIVIDE}$$

其中：

AGC_CLK_DIVIDE由R3_DB[26:31]设置。推荐值13。

SEQ_CLK_DIVIDE = 100 kHz (R3_DB[18:25])。

如使用建议的AGC_CLK_DIVIDE设置，AGC总建立时间为

$$AGC\ Settling\ Time\ [sec] = \frac{Number\ of\ AGC\ Gain\ Changes}{AGC\ Update\ Rate\ [Hz]}$$

在AGC建立过程中，最坏的情况就是AGC控制环路必须循环通过所有五个增益设置，在这种情况下AGC建立时间达到最大值650 μs。

RSSI公式（换算成dBm）

RSSI公式为

$$\begin{aligned} \text{输入功率 [dBm]} = \\ -130\ \text{dBm} + (\text{回读代码} + \text{增益模式校正}) \times 0.5 \end{aligned}$$

其中：

回读代码是由寄存器7回读寄存器中的位RV7至位RV1给出的(参见图58和回读格式部分)。

增益模式校正是由表14中的值给出的。

在RSSI回读过程中，LNA增益(LG2、LG1)和滤波器增益(FG2、FG1)值也可从回读寄存器获得。

表14. 增益模式校正

LNA增益 (LG2, LG1)	滤波器增益 (FG2, FG1)	增益模式校正
H (1, 0)	H (1, 0)	0
M (0, 1)	H (1, 0)	24
M (0, 1)	M (0, 1)	38
M (0, 1)	L (0, 0)	58
L (0, 0)	L (0, 0)	86

应当引入一个附加系数以解决前端匹配网络/天线损耗。

表15. LNA/混频器模式

接收机模式	LNA_MODE (R9_DB25)	LNA_GAIN (R9_DB[20:21])	MIXER_LINEARITY (R9_DB28)	灵敏度(2FSK, DR = 4.8 kbps, f _{DEV} = 4 kHz)	Rx电流消耗 (mA)	输入IP3 (dBm)
高灵敏度模式 (默认)	0	30	0	-118	24.6	-24
增强线性高增益	0	30	1	-114.5	24.6	-20
中等增益	1	10	0	-112	22.1	-13.5
增强线性中等增益	1	10	1	-105.5	22.1	-9
低增益	1	3	0	-100	22.1	-5
增强线性低增益	1	3	1	-92.3	22.1	-3

解调、检波和CDR

系统概述

图47概述了ADF7021-N上接收信号的解调、检波及时钟和数据恢复(CDR)。

先对中频滤波器的正交输出进行限幅，然后将其馈送到相关器FSK解调器或线性FSK解调器。相关器解调器用于2FSK、3FSK和4FSK解调。线性解调器用于频率测量并在AFC回路激活时启用。线性解调器也可用于2FSK解调。

解调器后接一个数字后置解调器滤波器，可消除解调器信号输出中的过量噪声。阈值/限幅器检波用于2FSK和4FSK数据恢复。3FSK数据恢复可使用阈值检波或维特比检波来实现。

片内CDR PLL用来将接收位流与本地时钟重新同步。它分别在TxRxDATA和TxRxCLK引脚上输出重新定时的数据和时钟。

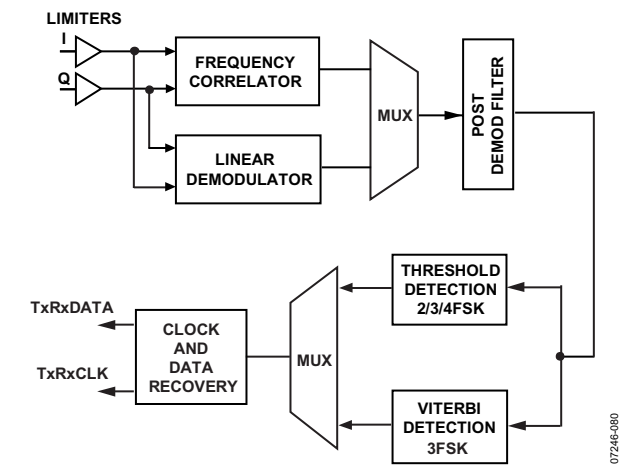


图47. 解调、检波和CDR流程概述

相关器解调器

相关器解调器可用于2FSK、3FSK和4FSK解调。图48所示为相关器解调器的2FSK操作。

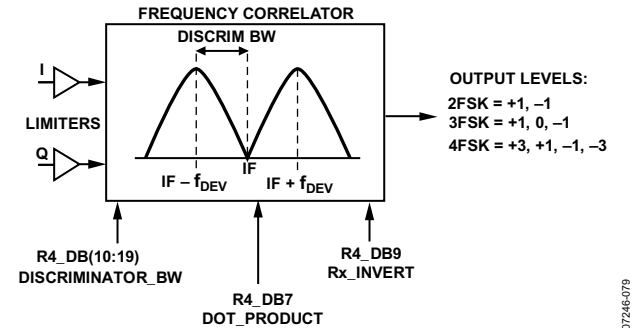


图48. 2FSK相关器解调器操作

先对中频滤波器的正交输出进行限幅，然后将其馈送到数字频率相关器，对2FSK/3FSK/4FSK频谱进行滤波和鉴频。

对于2FSK调制，数据恢复通过比较两个相关器的输出电平来进行。此鉴频器的性能近似于一个匹配滤波器检波器，后者可在存在加性白高斯噪声（AWGN）的情况下提供最佳检波。这种FSK解调方法的灵敏度比线性解调器大约高3 dB至4 dB。

线性解调器

图49所示为线性解调器框图

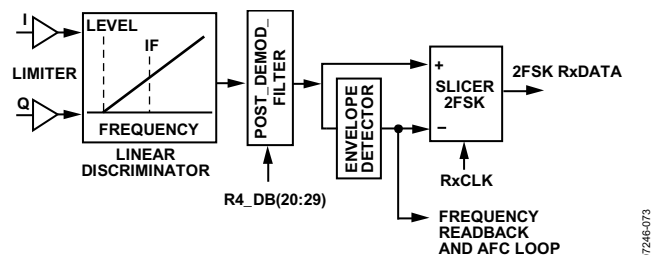


图49. 线性FSK解调器框图

数字鉴频器的输出信号和限幅器输出频率呈线性比例关系。鉴频器利用均值滤波器和包络检波器组合对输出进行滤波并求平均处理。对于来自后置解调器滤波器的解调2FSK数据，恢复方式是针对包络检波器的输出进行限幅，如图49所示。这种解调方法在接收频谱接近或处于中频带宽内时校正发射机和接收机之间的频率误差。此包络检波器输出还用于AFC回读并为AFC控制环路提供频率估算。

后置解调器滤波器

在解调器输出端，一个二阶数字低通滤波器消除解调位流的过量噪声。这个前置解调器滤波器的带宽可编程且必须针对用户的数据速率和接收调制类型加以优化。如果带宽设置过窄，则性能会由于符号间干扰(ISI)而降低。如果设置过宽，则会产生过量噪声，降低接收机性能。POST_DEMOD_BW位(R4_DB[20:29])可设置这个滤波器的带宽。

2FSK位限幅器/阈值检测

2FSK解调可利用相关FSK解调器或线性FSK解调器来实施。两种情况都采用阈值检测在后置解调滤波器的输出端进行数据恢复。

相关解调器的输出信号电平始终集中于零附近。因此限幅器阈值电平可固定在零处，且解调器性能与发射数据位流的游程长度约束无关。因此数据恢复很稳定，避免了传统FSK解调器中存在的典型基线漂移问题。

当2FSK解调采用线性解调器时，包络检波器的输出用作限幅器阈值，这一输出可跟踪中频滤波器带宽内的频率误差。

3FSK和4FSK阈值检测

使用相关解调器，后接后置解调器滤波器，再进行阈值检测，可实现4FSK解调。后置解调器滤波器输出一个4级信号，代表发射符号(-3, -1, +1, +3)。4FSK阈值需要三个阈值设置，一个始终固定在0处，另外两个可利用3FSK/4FSK_SLICER_THRESHOLD位(R13_DB[4:10])进行编程并对称放在零上下方。

使用相关解调器，后接后置解调滤波器，可实现3FSK解调。后置解调器滤波器输出一个3级信号，代表发射符号(-1, 0, +1)。使用阈值检测或维特比检测，可实现3FSK数据恢复。阈值检测通过两个阈值来实现，这两个阈值可利用3FSK/4FSK_SLICER_THRESHOLD位(R13_DB[4:10])进行编程并对称放在零上下方。

3FSK维特比检测

3FSK维特比检测在四态网格上运行，它是使用两个工作速率为符号速率一半的交错式维特比检测器来实现的。维特比检测器通过R13_DB11来启用。

为方便在发射位流内采用不同游程长度约束，可以通过设置VITERBI_PATH_MEMORY位(R13_DB[13:14])，按4位、6位、8位或32位的步进对维特比路径存储器长度进行编程。路径存储器长度应设置为等于或大于交错发射位流中连续0的最大数目。

与维特比检测配合使用时，3FSK接收器的灵敏度一般比利用阈值检测获得的灵敏度高3 dB。不过，启用维特比检测器后，接收器位延迟的增加幅度是维特比路径存储器长度的两倍。

时钟恢复

所有调制模式都采用过采样数字时钟和数据恢复(CDR)PLL来对接收位流和本地时钟进行再同步。PLL的过采样时钟速率(CDR_CLK)必须设为符号速率的32倍(参见“寄存器—发射/接收时钟寄存器”部分)。CDR PLL的最大数据/符号速率容差取决于发射分组中的零交越符号跃迁数目。例如，如果使用具有101010前同步码的2FSK，则最大容差为数据速率的±3.0%。不过，在分组其余部分恢复期间，可能无法保证符号跃迁以规则间隔出现，因此该容差会降低。为使CDR的数据速率容差达到最大，建议使用适当形式的编码和/或数据加扰，确保多个跃迁以规则间隔出现。

ADF7021-N

例如，在2FSK中使用曼彻斯特编码数据，可获得±2.0%的数据速率容差。

CDR PLL设计用于在前同步码期间快速采集恢复符号，一般在前同步码的5个符号跃迁内实现位同步。

在4FSK调制中使用+3, -3, +3, -3前同步码，容差为符号速率的±3%(或数据速率的±1.5%)。不过，在分组其余部分恢复期间，可能无法保证符号跃迁以规则间隔出现，因此该容差会降低。为使符号/数据速率容差达到最大，构建4FSK分组的其他部分时，应使用数据加扰和/或以规则间隔(如每8或16个符号后)在发射位流内插入特定的直流平衡符号，确保发射符号接近无直流特性。

在3FSK调制中，线性卷积编码器方案可以保证发射符号序列为无直流，从而有利于符号检测。但是，建议采用Tx数据加扰以限制发射位流中零符号的游程长度。利用3FSK，CDR数据速率容差一般为±0.5%。

接收机设置 相关器解调器设置

如需启用不同调制模式的相关器，请参见表16。

表16. 启用相关器解调器

接收调制	DEMOD_SCHEME (R4_DB[4:6])
2FSK	001
3FSK	010
4FSK	011

如需优化接收机灵敏度，必须针对发射机使用的特定偏差频率和调制对相关器带宽进行优化。鉴频器带宽由R4_DB[10:19]控制，定义如下

$$DISCRIMINATOR_BW = \frac{(DEMOD_CLK \times K)}{400 \times 10^3}$$

其中：

DEMOD_CLK如“寄存器3—发射/接收时钟寄存器”部分所定义。

K视不同调制模式而定，公式如下：

对于2FSK，

$$K = Round\left(\frac{100 \times 10^3}{f_{DEV}}\right)$$

对于3FSK，

$$K = Round\left(\frac{100 \times 10^3}{2 \times f_{DEV}}\right)$$

对于4FSK，

$$K = Round_{4FSK}\left(\frac{100 \times 10^3}{4 \times f_{DEV}}\right)$$

其中：

Round四舍五入为最接近的整数。

Round_{4FSK}在下列整数中取最接近的值：32, 31, 28, 27, 24, 23, 20, 19, 16, 15, 12, 11, 8, 7, 4, 3。

f_{DEV} 是发射频率偏差 (Hz)。对于4FSK， f_{DEV} 为用于±1符号的频率偏差（即内部频率偏差）。

要优化相关器系数，还必须指定R4_DB7和R4_DB[8:9]。这些位的值取决于K为奇数还是偶数。这些位依据表17和18来指定。

表17. 2FSK和3FSK的相关器K值定义

K	K/2	(K + 1)/2	R4_DB7	R4_DB[8:9]
偶数	偶数	N/A	0	00
偶数	奇数	N/A	0	10
奇数	N/A	偶数	1	00
奇数	N/A	奇数	1	10

表18. 4FSK的相关器K值定义

K	R4_DB7	R4_DB[8:9]
偶数	0	00
奇数	1	00

线性解调器设置

线性解调器可用于2FSK解调。要启用线性解调器，请将DEMOD_SCHEME位(R4_DB[4:6])设为000。

后置解调器滤波器设置

后置解调滤波器的3 dB带宽应依据接收调制类型和数据速率来设置。带宽由R4_DB[20:29:00]控制，计算公式如下

$$POST_DEMOD_BW = \frac{2^{11} \times \pi \times f_{CUTOFF}}{DEMOD_CLK}$$

其中 f_{CUTOFF} 为后置解调器滤波器的目标3 dB带宽，单位Hz。

表19. 2FSK/3FSK/4FSK调制方案的后置解调滤波器带宽设置

接收调制	后置解调器滤波器带宽 f_{CUTOFF} (Hz)
2FSK	$0.75 \times \text{数据速率}$
3FSK	$1 \times \text{数据速率}$
4FSK	$1.6 \times \text{符号速率} \quad (= 0.8 \times \text{数据速率})$

3FSK维特比检测器设置

维特比检测器可用于3FSK数据检测，通过设置R13_DB11为逻辑1来激活。

维特比路径存储器长度可编程，每步4、6、8或32位 (VITERBI_PATH_MEMORY, R13_DB[13:14])。

路径存储器长度应设置为等于或大于交错发射位流中连续0的最大数目。

维特比检测器还使用阈值电平来实施最大似然检测算法。这些阈值可通过3FSK/4FSK_SLICER_THRESHOLD位 (R13_DB[4:10])来编程。

这些位指定如下：

$$3FSK/4FSK_SLICER_THRESHOLD = 57 \times \left(\frac{Transmit\ Frequency\ Deviation \times K}{100 \times 10^3} \right)$$

其中K为相关器鉴频器带宽的计算值。

3FSK维特比检测器设置

要激活3FSK的阈值检测，R13_DB11应设为逻辑0。3FSK/4FSK_SLICER_THRESHOLD位 (R13_DB[4:10]) 的设置见“3FSK 维特比检测器设置”部分。

3FSK CDR设置

在3FSK中，建议采用至少有40位连续1的发射前同步码，确保有最大数目的符号跃迁可供CDR请求锁定。

要对3FSK进行时钟和数据恢复，需要在寄存器13内设置若干参数（参见表20）。

4FSK维特比检测器设置

4FSK检测器阈值采用3FSK/4FSK_SLICER_THRESHOLD位 (R13_DB[4:10])来设置。阈值依据如下公式设置

$$3FSK/4FSK_SLICER_THRESHOLD = 78 \times \left(\frac{4FSK\ Outer\ Tx\ Deviation \times K}{100 \times 10^3} \right)$$

其中K为相关器鉴频器带宽的计算值。

表20. 3FSK CDR设置

参数	推荐设置	用途描述
PHASE_CORRECTION (R13_DB12)	1	相位校正开启
3FSK_CDR_THRESHOLD (R13_DB[15:21])	$62 \times \left(\frac{Transmit\ Frequency\ Deviation \times K}{100 \times 10^3} \right)$ 其中K为相关器鉴频器带宽的计算值	设置CDR决策阈值电平
3FSK_PREAMBLE_TIME_VALIDATE (R13_DB [22:25])	15	前同步码检测器时间限定词

解调器考虑因素

2FSK前同步码

对于2FSK，建议的前同步码位模式为无直流模式（如10101010...模式）。也可采用具有更长游程长度约束的前同步码（如11001100...），但这会导致接收机中接收位流的同步时间更长。前同步码需要有足够位数，以便接收机建立AGC并确保实现CDR。采用相关器解调器时，建议前同步码至少为16位；采用线性解调器时，建议前同步码至少为48位。接收机采用内部AFC时，建议前同步码至少为64位。

前同步码报头后面的剩余字段不必采用无直流编码。对于这些字段，ADF7021-N可接受八位以上游程长度的编码方案而不会降低性能。有关详情，请参见“应用笔记AN-915”。

4FSK前同步码和数据编码

对于4FSK，建议的前同步码位模式为重复的00100010...位序列。这个重复-3, +3, -3, +3符号的两级序列具有无直流特性，可在接收机中最大程度提升4FSK前同步码的符号定时性能和数据恢复能力。建议前同步码的长度至少为32位（16个符号）。

构建4FSK分组的其他部分时，应使用数据加扰和/或以规则间隔（如每8或16个符号后）在发射位流内插入特定的直流平衡符号，确保发射符号接近无直流平衡。

无AFC时解调器频率误差容差

ADF7021-N提供了若干选项，可用来解决由于发射和接收晶振/TCXO失配所引起的频率误差。

禁用AFC后，相关器解调器可耐受 $\pm 0.3 \times f_{DEV}$ （ f_{DEV} 为FSK频率偏差）范围内的频率误差。若频率误差较大，可调整K值使相关器带宽加倍，进而提高频率容差。

K计算公式如下

$$K = Round\left(\frac{100 \times 10^3}{2 \times f_{DEV}}\right)$$

还应使用新的K值来重新计算寄存器4中的DISCRIMINATOR_BW设置。若按上述方式使相关器带宽加倍，以提高频率误差容差，通常会造成接收机灵敏度损失1 dB至2 dB。

当接收信号处于中频滤波器带宽内时，线性解调器(AFC禁用)将追踪接收信号频率误差。例如，对于占用带宽 = 9 kHz的接收信号，若采用18.5 kHz中频滤波器带宽，线性解调器即可以 ± 4.75 kHz的误差追踪信号，而不会提高位误差或损失灵敏度。

相关器解调器和低调制指数

2FSK的调制指数定义为

$$Modulation Index = \frac{2 \times f_{DEV}}{Data Rate}$$

调制指数较低时，提高相关器解调器的鉴频器带宽可最大程度提高接收机灵敏度性能和频率容差。若调制指数低于0.4，建议使相关器带宽加倍，K计算方式如下：

$$K = Round\left(\frac{100^3}{2 \times f_{DEV}}\right)$$

还应使用新的K值来重新计算寄存器4中的DISCRIMINATOR_BW设置。图27表明，在2FSK调制模式下，当调制指数较低时，可通过使相关器带宽加倍来改善灵敏度。

AFC操作

ADF7021-N还支持实时AFC环路，用来消除由于发射和接收晶振/TCXO失配所引起的频率误差。AFC环路利用线性鉴频器模块来估算频率误差。线性FSK鉴频器利用平均滤波器和包络检波器组合来对输出进行滤波和求平均处理，以消除FSK频率调制。在接收模式下，包络检波器的输出可用于估算平均中频频率。

ADF7021-N支持两种AFC方法：外部AFC和内部AFC。

外部AFC

在此模式下，用户通过ADF7021-N串行端口对频率信息进行回读并将一个频率校正值施加于小数N分频频率合成器-N分频器。

获得频率信息的方式是读取16位带符号AFC回读（如“回读格式”部分所述），并使用下列公式：

$$\text{频率回读 [Hz]} = (\text{AFC回读} \times \text{解调器 CLK})/2^{18}$$

尽管AFC READBACK值属于带符号数，但在正常工作条件下该值为正数。在没有频率误差的情况下，频率回读值等于100 kHz的中频频率。

内部AFC

ADF7021-N支持实时、内部、自动频率控制环路。在此模式下，内部控制环路自动监控频率误差并利用内部比例积分(PI)控制环路来调节频率合成器-N分频器。

内部AFC控制环路参数通过寄存器10来控制。内部AFC环路通过将R10_DB4设为1来激活。还必须根据使用中的晶振频率来输入缩放比例系数。这个系数在R10_DB[5:16]中设置，计算公式如下

$$AFC_SCALING_FACTOR = Round\left(\frac{2^{24} \times 500}{XTAL}\right)$$

最大AFC范围

AFC环路的最大频率校正范围可在ADF7021-N上编程。该范围通过R10_DB[24:31]来设置。最大AFC校正范围是指AFC调谐范围上限和下限的频率差。例如，如果最大AFC校正范围设为10 kHz，则AFC可在fLO ± 5 kHz的范围内调整接收机LO。

但是，当启用RF_DIVIDE_BY_2(R1_DB18)时，编程范围减半。用户应当将编程的最大AFC范围加倍来解决这种减半问题。

建议的最大AFC校正范围应≤1.5 × 中频滤波器带宽。如果最大频率校正范围设为>1.5 × 中频滤波器带宽，中频滤波器的衰减可能会降低AFC环路灵敏度。

当AFC启用且AFC校正范围接近中频滤波器带宽时，接收机的邻道抑制(ACR)性能可能会降低。但由于AFC校正范围是可编程的，用户可在校正范围和ACR性能之间进行取舍。

当采用内部或外部AFC消除AFC误差时，可利用IF_FILTER_BW位(R4_DB[30:31])降低中频滤波器带宽，以进一步改善接收机灵敏度。

自动同步字检测(SWD)

ADF7021-N还支持同步或ID字段的自动检测。要激活此模式，同步(或ID)字必须预编程入ADF7021-N。在接收模式下，此预编程字将与接收位流进行比较。确定匹配有效时，下一次Rx时钟脉冲时ADF7021-N将对外部SWD引脚进行置位。

此功能可用来提醒微处理器已检测到一个有效通道。它放宽了微处理器的计算要求并降低了整体功耗。

SWD信号还可在预编程的字节数内保持高电平，从而对接收分组进行成帧处理。数据分组长度可在R12_DB[8:15]内设置。

SWD引脚状态可通过设置R12_DB[6:7]来配置。R11_DB[4:5]用来设置同步/ID字的长度，长度可为12、16、20或24位。在恢复分组的其余部分期间或在接收机输入端存在噪声/无信号时，可能会发生同步字检测错误。建议采用24位值，以充分减少这一情况的发生。发射机必须先发射同步字节MSB，后发射LSB，以使接收机同步字节检测硬件保持适当对准。

也可将误差容差参数设置为：字的错误位不超过三位时，接受有效匹配。误差容差值在R11_DB[6:7]内指定。

应用信息

中频滤波器带宽校准

每次以接收模式上电时，应对中频滤波器进行校准，以校正因工艺变化引起的带宽和滤波器中心频率误差。通过写入寄存器5启动自动校准后，无需外部干预。用户必须根据多种因素(如中频滤波器带宽、接收信号带宽及温度变化)，确定是进行粗校还是精校。两种校准方法的效果如表21所示。

表21. 中频滤波器校准规格

滤波器校准方法	中心频率精度 ¹	校准时间 (典型值)
粗校	100 kHz ± 2.5 kHz	200 μs
精校	100 kHz ± 0.6 kHz	8.2 ms

¹ 校准后。

校准设置

中频滤波器校准通过写入寄存器5并设置IF_CAL_COARSE位(R5_DB4)来启动。这种方式启动的是滤波器粗校。如果IF_FINE_CAL位(R6_DB4)已配置为高电平，则粗校后进行精校，否则校准即告结束。

通过写入器件的方式启动后，校准自动执行，无需用户干预。粗校时间为200 μs，精校时间为数微秒，其间不应访问ADF7021-N。中频滤波器校准逻辑要求将IF_FILTER_DIVIDER位(R5_DB[5:13])设置如下

$$\frac{XTAL [Hz]}{IF_FILTER_DIVIDER} = 50 \text{ kHz}$$

针对中频滤波器周围的特定失调，精校使用两个内部生成的信号音。中频滤波器会使这两个信号音衰减，衰减水平可使用RSSI测量。滤波器中心频率经过调节，使两个信号音等量衰减。然后重新测量两个最佳信号音的衰减。最多可持续测量10次RSSI，其间校准算法将中频滤波器的中心频率设在100 kHz的上下0.6 kHz范围内。

这些信号音的频率通过IF_CAL_LOWER_TONE_DIVIDE(R6_DB[5:12])和IF_CAL_UPPER_TONE_DIVIDE(R6_DB[13:20])位来设置，如下列公式所述：

低信号音频率 (kHz)

$$\frac{XTAL}{IF_CAL_LOWER_TONE_DIVIDE \times 2}$$

高信号音频率 (kHz)

$$\frac{XTAL}{IF_CAL_UPPER_TONE_DIVIDE \times 2}$$

建议如表22所述来放置高低信号音。

表22. 中频滤波器精校信号音频率

中频滤波器带宽	低信号音频率	高音频率
9 kHz	78.1 kHz	116.3 kHz
13.5 kHz	79.4 kHz	116.3 kHz
18.5 kHz	78.1 kHz	119 kHz

因为滤波器衰减略微不对称，所以必须使滤波器中心频率少量失调，以便在高低邻道处提供几乎等量的抑制。表22所示的校准信号音使中频滤波器中心频率少量正失调。

某些应用中可能不需要失调，用户可能希望将中频滤波器的中心频率精确固定在100 kHz。这时用户可修改表22中的信号音频率以调整精校结果。

校准算法调整滤波器中心频率并在校准期间测量RSSI 10次。调整加RSSI测量的时间由以下公式求出

$$IF \text{ Tone Calibration Time} = \frac{IF_CAL_DWELL_TIME}{SEQ \text{ CLK}}$$

建议中频信号音校准时间为至少800 μs。中频滤波器精校的总时间由以下公式求出

$$\text{中频滤波器精校时间} = \text{中频信号音校准时间} \times 10$$

何时需要粗校

建议每次以接收模式上电时进行一次粗校。这种校准一般需要200 μs时间。MUXOUT上的FILTER_CAL_

COMPLETE信号可用于监控滤波器校准持续时间或通知校准结束。校准期间不应访问ADF7021-N。

若接收信号带宽非常接近中频滤波器带宽，每次器件以接收模式上电时，建议进行一次精校。

$$OBW + \text{粗校变化} > IF \text{ FILTER } BW$$

MUXOUT上的FILTER_CAL_COMPLETE信号(由R0_DB[29:31]设置)可用于监控滤波器校准持续时间或通知校准结束。滤波器粗校在滤波器精校前自动执行。

在接收机需要短期内多次上电的应用中, 只需在接收机初次上电时进行一次精校即可。

这种方法只适用于短期内以接收模式连续上电的情况,其间温度变化很小($<15^{\circ}\text{C}$)。

校准时，滤波器中心频率可能随温度而变化。如果 ADF7021-N 用于需要长期保持接收模式的应用，用户必须考虑到滤波器中心频率随温度的变化情况。一般情况下，温度每变化 20°C ，频率会变化 1 kHz ，也就是说，如果在 25°C 进行滤波器粗校和精校，初始最大误差为 $\pm 0.5\text{ kHz}$ ，在整个温度范围内 (-40°C 至 $+85^{\circ}\text{C}$)，滤波器中心频率可能最多变化 $\pm 3.25\text{ kHz}$ ，因此总误差为 $\pm 3.75\text{ kHz}$ 。

要使ADF7021-N在灵敏度、发射功率和功耗方面表现最佳性能，RF输入和输出端口必须与天线阻抗正确匹配。对于成本敏感型应用，ADF7021-N配备一个内部Rx/Tx开关，以方便使用简单的组合式无源PA/LNA匹配网络。或者也可以使用一个外部Rx/Tx开关（如[ADG919](#)），后者可略微提高接收机灵敏度并降低发射机功耗。

在图50显示的配置中，ADF7021-N配备一个内部Rx/Tx开关用于组合式LNA/PA匹配网络。这是EVAL-ADF7021-NDBxx评估板上使用的配置。内部Rx/Tx开关会使性能降低1 dB至2 dB，对于大多数应用而言，这种略微的性能下降是可以接受的，用户可以充分发挥这种解决方案的成本优势。设计组合式匹配网络时必须补偿网络在Tx和Rx路径中提供的电抗，同时将Rx/Tx开关的状态考虑在内。



该流程一般要求多次迭代，直至达到可接受的平衡点。ADF7021-N能否成功实施组合式LNA/PA匹配网络，关键取决于能否为PCB提供精确电气模型。关于这一点，强烈建议使用合适的CAD软件包。为方便用户，ADF7021-N随附一个小尺寸参考设计，其中包括匹配和谐波滤波器元件。为尽量降低成本，该设计位于2层PCB上。有关Gerber文件，请访问www.analog.com。

ADF7021-N

外部Rx/Tx开关

图51所示的配置采用了外部Rx/Tx开关。这种配置允许在发射和接收路径中对匹配和滤波器网络独立进行优化。因此，相比使用内部Rx/Tx开关，这种方法更灵活，设计更容易。PA通过电感L1来偏置，而C1模块阻塞直流电流。L1和C1一同构成匹配网络，将源阻抗转化为最佳PA负载阻抗 Z_{OPT_PA} 。

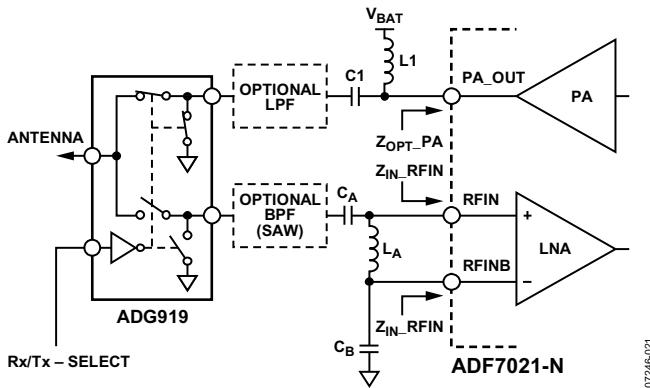


图51. 具有外部Rx/Tx开关的ADF7021-N

Z_{OPT_PA} 取决于各种因素，如所需输出功率、频率范围、电源电压范围及温度范围。选择适当的 Z_{OPT_PA} 有助于充分降低应用中的Tx电流消耗。应用笔记AN-764和AN-859包含了一系列典型条件下的 Z_{OPT_PA} 值。但在特定条件下，建议通过负载牵引测量来获得适当的 Z_{OPT_PA} 值。

由于差分LNA输入的原因，LNA匹配网络的设计必须能够同时提供单端转差分变换和复杂的共轭阻抗匹配。图51显示了元件数最少、可满足上述要求的网络配置，其中包括两个电容和一个电感。

根据天线配置的不同，用户在PA输出端可能需要一个谐波滤波器以满足政府相关法规对于杂散发射的要求。该谐波滤波器可采用分立LC pi或T级滤波器等多种方式实施。在Rx路径内添加带通滤波器可提高ADF7021-N对带外强干扰的抗扰度。或者，也可选择其中一种增强线性度模式来提高ADF7021-N阻塞性能，如表15所示。

镜像抑制校准

ADF7021-N内的镜像通道比所需信号低200 kHz。多相滤波器利用非对称频率响应来抑制此镜像。接收机的镜像抑制性能取决于I和Q信号在幅度上的匹配程度以及两者间的正交匹配程度(即两者之间所成角度接近90°的程度)。未校准的镜像抑制性能约为29 dB(在450 MHz时)。但是，通过找到最佳I/Q增益和相位调整设置，可将此性能提高多达20 dB。

利用内部RF源进行校准

LNA关断后，一个片内生成、低电平RF信号音将施加到混频器输入端。当中频滤波器的镜像抑制使信号音衰减时，LO会经过调节，使该信号音在镜像频率处下降。然后利用RSSI回读来测量此信号音的功率水平。调节I/Q增益和相位调整DAC(R5_DB[20:31])并重新测量RSSI。这个过程会一直重复，直到找到可提供最低RSSI回读水平的最佳增益和相位调整值，使接收机的镜像抑制性能达到最大。

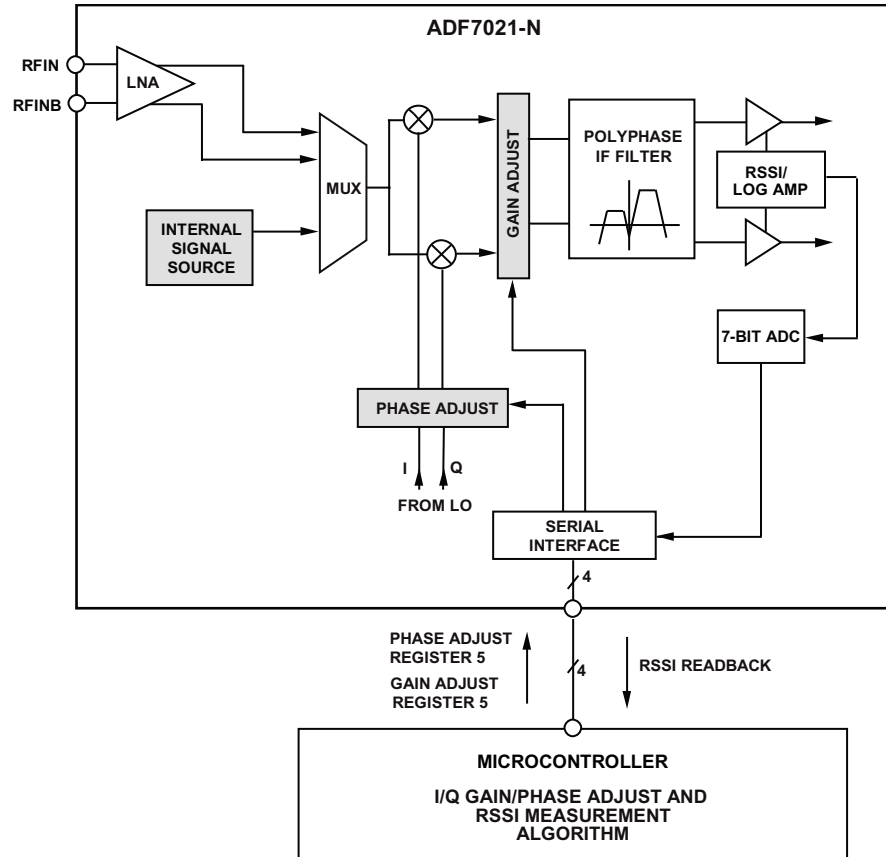


图52. 利用内部校准源和微控制器的镜像抑制校准

使用内部RF源后，用于镜像校准的RF频率将具有可编程特性，并且是基准频率的奇数倍。

利用外部RF源进行校准

还可利用外部RF源来实施IR校准。IR校准程序和内部RF源使用的校准程序相同，不同之处在于RF信号施加到LNA输入端。

校准程序和设置

IR校准算法由ADI公司提供，基于可在外部微处理器或微控制器内实施的低复杂度、2D优化算法。

要启用内部RF源，IR_CAL_SOURCE_DRIVE_LEVEL位(R6_DB[28:29])应设为最高水平。LNA应设为最低增益设置，采用内部源时，应禁用AGC。另外也可采用外部RF源。

相位调整幅度利用IR_PHASE_ADJUST_MAG位(R5_DB[20:23])来设置。此校正可应用于I通道或Q通道，具体视IR_PHASE_ADJUST_DIRECTION位(R5_DB24)的值而定。

I/Q增益幅度通过IR_GAIN_ADJUST_MAG位(R5_DB[25:29])来调节。此校正可应用于I或Q通道，具体取决于IR_GAIN_ADJUST_I/Q位(R5_DB30)的值，IR_GAIN_ADJUST_UP/DN位(R5_DB31)则用于设置增益调整定义的是增益调整还是衰减调整。

ADF7021-N电源电压的变化不影响校准结果的有效性。但温度变化会对结果产生一定影响。图53显示了温度为-40°C、+25°C和+85°C时，初始校准后镜像抑制随温度变化的典型特性曲线。ADF7021-N上的内部温度传感器可用来决定是否重新进行一次IR校准。

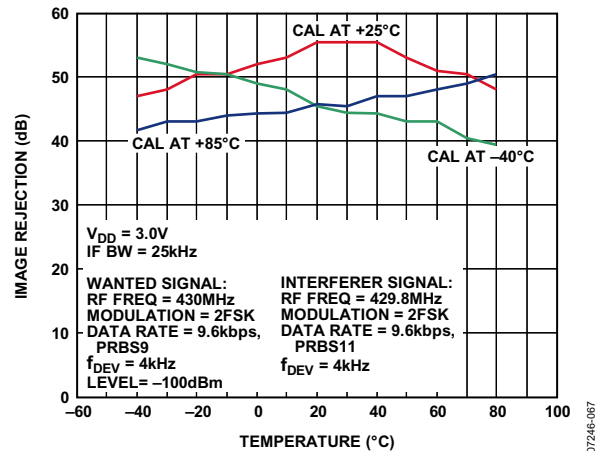


图53. 温度为-40°C、+25°C和+85°C时，初始校准后镜像抑制随温度的变化

ADF7021-N

分组结构及编码

图54显示了建议用于ADF7021-N的分组结构。

PREAMBLE	SYNC WORD	ID FIELD	DATA FIELD	CRC
----------	-----------	----------	------------	-----

07246-023

图54. 发射协议的典型格式

有关各种调制方案所需的前同步码结构及长度的信息，请参见“接收机设置”部分。

初始上电后编程

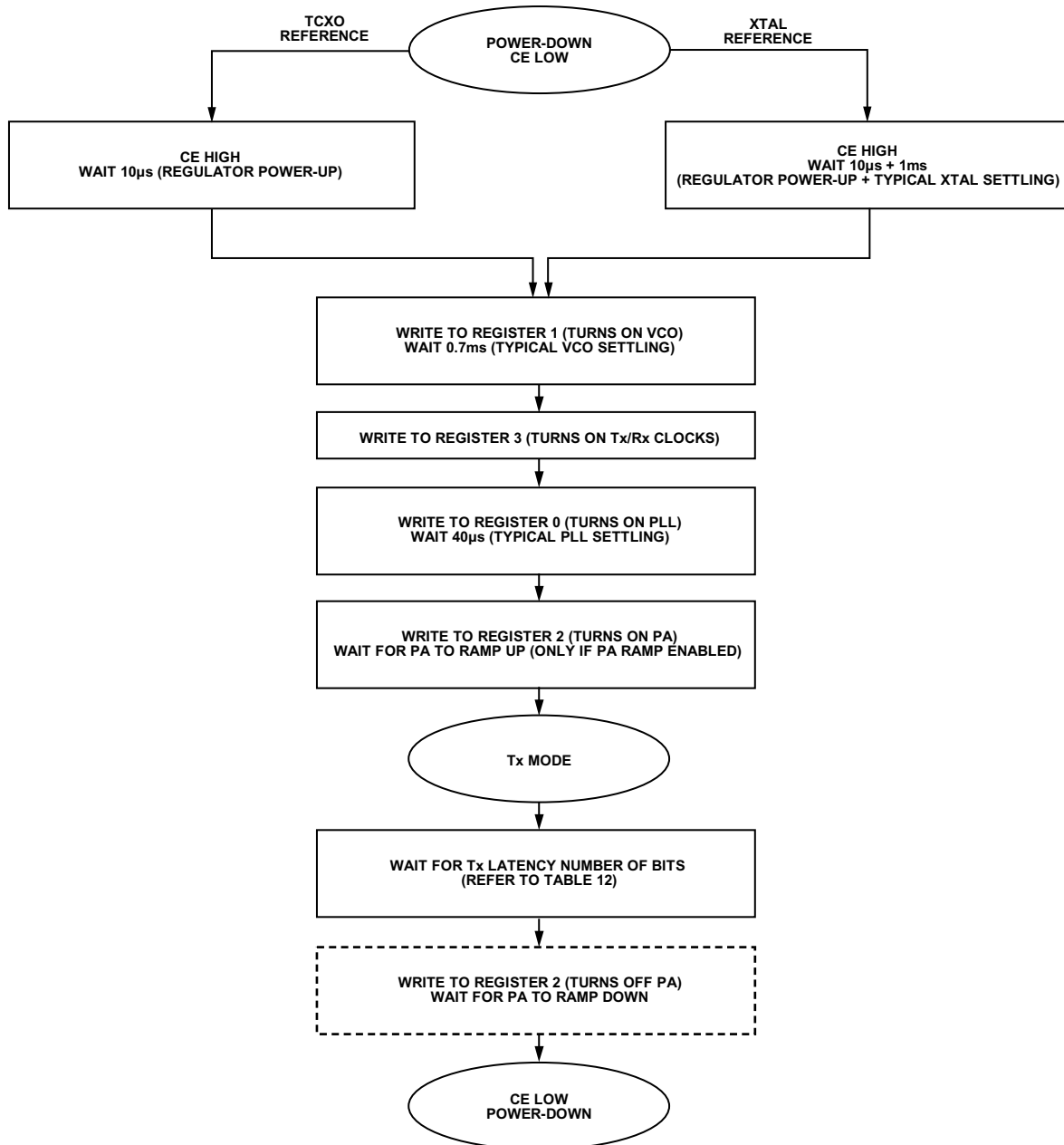
表23列出了拉高CE电平后，Tx或Rx模式下设置ADF7021-N所需的最低写入次数。还可写入其他寄存器以使器件适应

特定应用需求，如设置同步字节检测或启用AFC。从Tx变成Rx或从Rx变成Tx时，用户需要切换Tx/Rx位，并且仅对寄存器0执行写入操作，以100 kHz的幅度调整LO。

表23. Tx/Rx设置的最低寄存器写入要求

模式	寄存器				
Tx	Reg 1	Reg 3	Reg 0	Reg 2	
Rx	Reg 1	Reg 3	Reg 0	Reg 5	Reg 4
Tx 至 Rx 及 Rx 至 Tx	Reg 0				

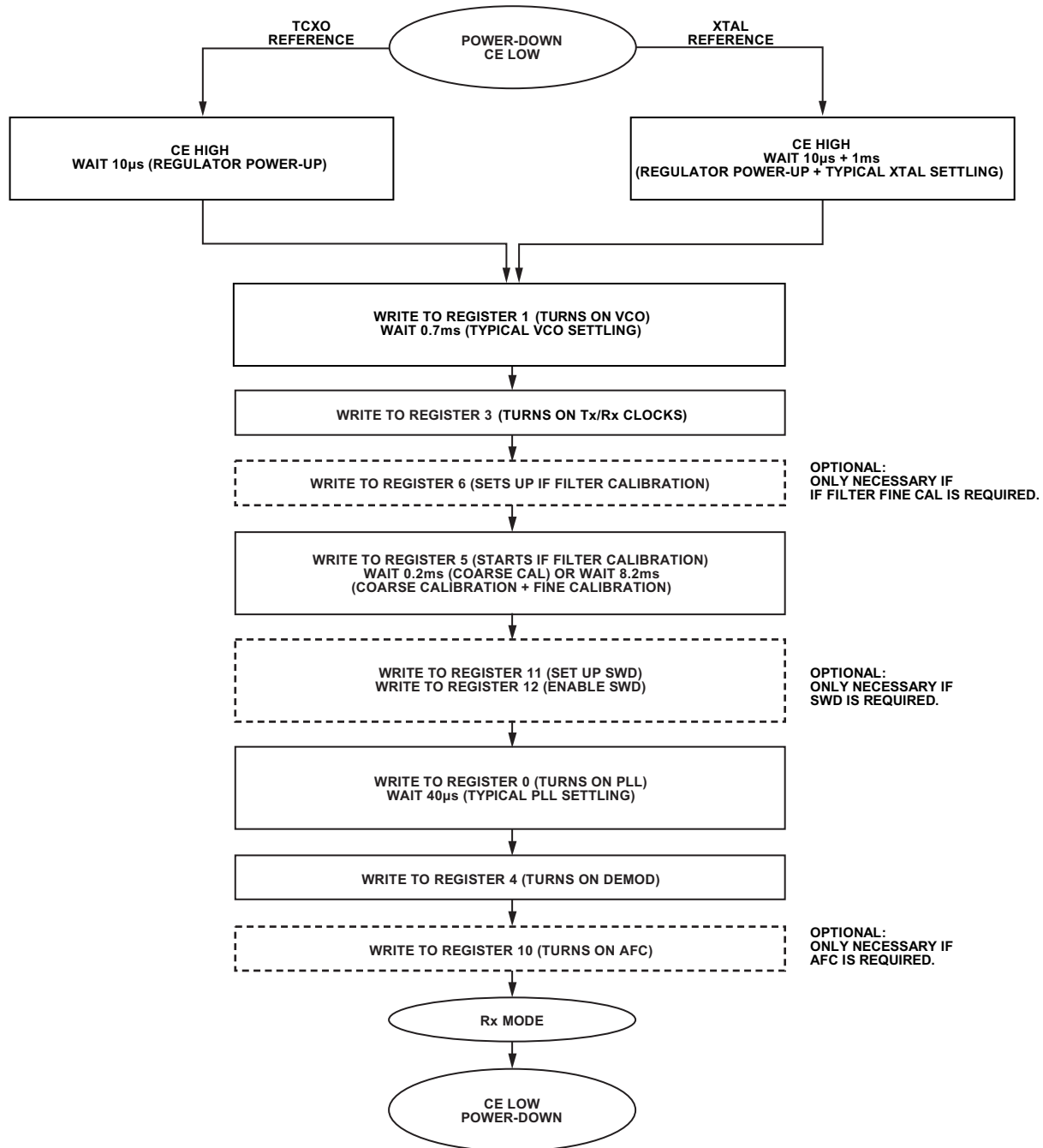
建议的发射和接收编程序列分别如图55和56所示。图中显示了TCXO和XTAL基准源上电程序的差别。



-- OPTIONAL. ONLY NECESSARY IF PA RAMP DOWN IS REQUIRED.

07246-086

图55. 发射模式上电序列



-- OPTIONAL.

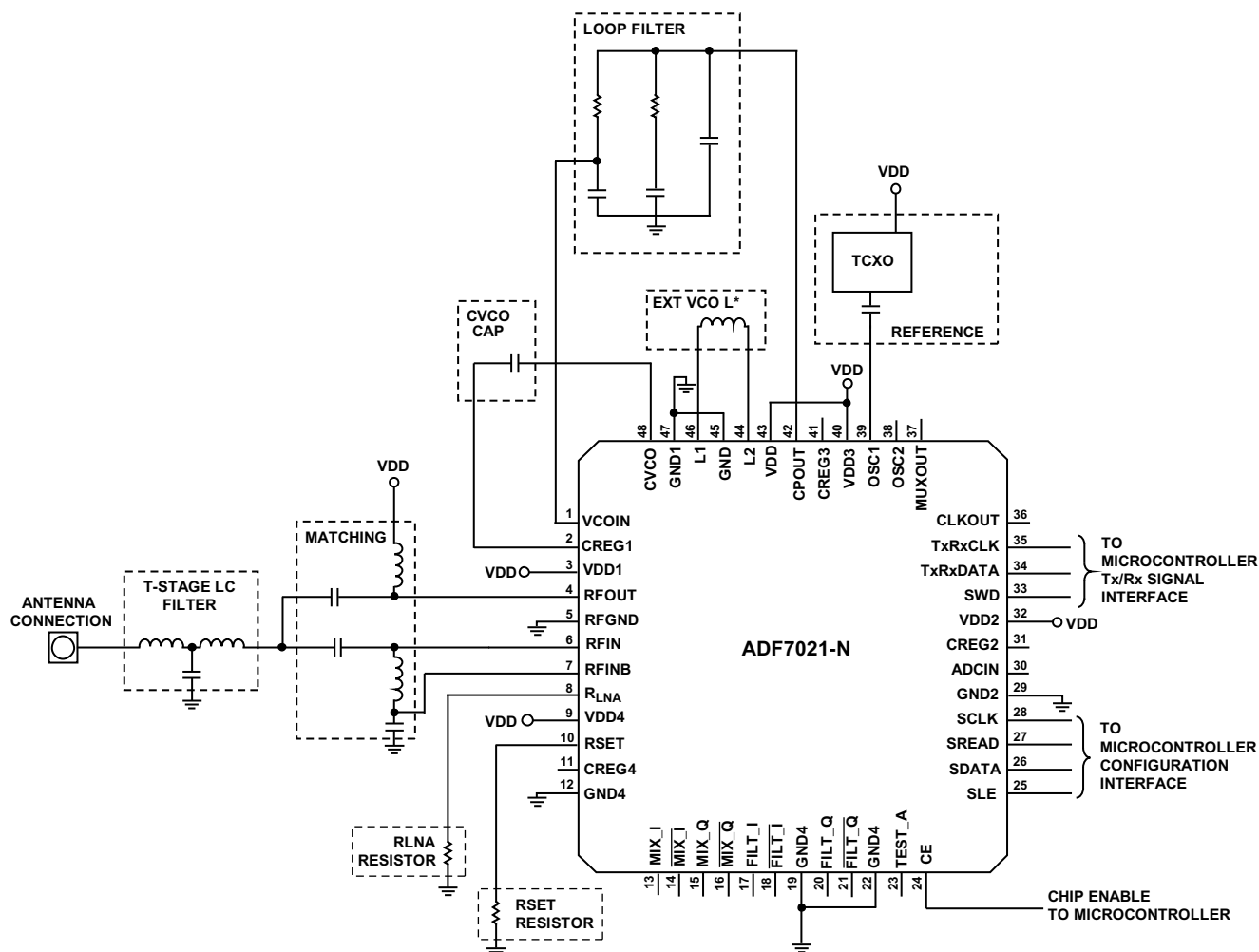
图56. 接收模式上电序列

07246-087

应用电路

ADF7021-N只需极少的外部元件即可工作。图57所示为建议的应用电路。注意，为简明起见，图中未显示电源解耦和调节器电容。

有关建议的元件参数，请访问ADF7021-N产品页，查看ADF7021-N评估板数据手册和AN-859应用笔记。请严格遵循参考设计图以确保在窄带应用中获得最出色的性能。



*不采用外部电感VCO时，引脚44和46可保持浮空。

注释

¹ 引脚[13:18]、[20:21]和23属于测试引脚，在正常工作中不使用。

图57. 典型应用电路（调节器电容和电源解耦未显示）

串行接口

串行接口允许用户利用三线式接口(SCLK、SDATA和SLE)对16/32位寄存器进行编程。串行接口由一个电平转换器、一个32位移位寄存器和16个锁存器组成。信号应兼容CMOS。串行接口由调节器供电，因此CE呈低电平时，串行接口不工作。

数据在每个时钟(SCLK)的上升沿以MSB优先方式逐个时钟输入寄存器。数据在SLE上升沿传输到16个锁存器中的一个。目标锁存器由四个控制位(C4至C1)的值决定；即图2底部从DB3至DB0的四个LSB。数据还可在SREAD引脚上回读。

回读格式

回读操作通过向回读寄存器写入有效控制字并启用READBACK位(R7_DB8 = 1)来启动。回读可在用SLE信号锁存控制字后开始。SLE必须在读出数据时保持高电平。如图58所示，SCLK引脚上的每个有效沿都会以MSB优先方式在SREAD引脚上连续逐个输出回读字。锁存操作后第一个时钟周期出现的数据必须忽略。第16个回读位之后需要一个额外时钟周期将SREAD引脚恢复到三态。因此，每次回读总共需要18个时钟周期。第18个时钟周期后，应拉低SLE。

AFC回读

在线性解调器或相关器解调器激活的情况下，AFC回读仅在接收FSK信号期间有效。AFC回读值采用带符号16位整数格式(包含位RV1至RV16)并依据下列公式进行缩放：

$$FREQ\ RB\ [Hz] = (AFC_READBACK \times DEMOD\ CLK)/2^{18}$$

在没有频率误差的情况下，FREQ RB等于100 kHz的中频频率。注意，为了让AFC回读产生有效结果，下变频输入信号必须处于模拟中频滤波器带宽之外。输入信号电平较低时，可通过求平均来减少回读值波动。

RSSI回读

回读字格式如图58所示。它包含RSSI级信息(位RV1至位RV7)、电流滤波器增益(FG1、FG2)和电流LNA增益(LG1、LG2)设置。滤波器和LNA增益依据“寄存器9—AGC寄存器”部分中的定义进行编码。信号电平低于100 dBm时，对RSSI测量值求平均可提高精度。如RSSI/AGC部分所述，可从RSSI回读值中算出输入功率。

READBACK MODE	READBACK VALUE															
	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
AFC READBACK	RV16	RV15	RV14	RV13	RV12	RV11	RV10	RV9	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1
RSSI READBACK	X	X	X	X	X	LG2	LG1	FG2	FG1	RV7	RV6	RV5	RV4	RV3	RV2	RV1
BATTERY VOLTAGE/ADCIN/TEMP. SENSOR READBACK	X	X	X	X	X	X	X	X	X	RV7	RV6	RV5	RV4	RV3	RV2	RV1
SILICON REVISION	RV16	RV15	RV14	RV13	RV12	RV11	RV10	RV9	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1
FILTER CAL READBACK	0	0	0	0	0	0	0	0	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1

07246-029

图58. 回读值表

电池电压/ADCIN/温度传感器回读

电池电压在引脚VDD4处测得。回读信息包含在位RV1至位RV7内。这也适用于ADCIN引脚和温度传感器处的电压回读。根据回读信息，可利用以下公式确定电池或ADCIN电压

$$V_{BATTERY} = (\text{电池电压回读})/21.1$$

$$V_{ADCIN} = (\text{ADCIN电压回读})/42.1$$

利用下列公式可求出温度

$$Temp [^{\circ}\text{C}] = -40 + (68.4 - \text{温度回读}) \times 9.32$$

芯片版本回读

在未设置其他寄存器的情况下，芯片版本回读字有效。芯片版本字采用四个BCD格式的4位字节进行编码。产品代

码(PC)采用从位RV5至位RV16的三个4位字节进行编码。版本代码(RC)采用从位RV1至位RV4的一个4位字节编码。ADF7021-N的产品代码应回读为PC = 0x211。当前版本代码应读作RC = 0x1。

滤波器带宽校准回读

滤波器校准回读字包含在位RV1至位RV8内(参见图58)。此回读可用于手动滤波器调节，因此某些情况下无需进行中频滤波器校准。手动调节值由R5_DB[14:19]编程。要根据滤波器校准回读来计算手动调节，请使用下列公式：

$$IF_FILTER_ADJUST = FILTER_CAL_READBACK - 128$$

如“寄存器5—中频滤波器设置寄存器”部分所述，结果应编程到R5_DB[14:19]内。

ADF7021-N

微控制器/DSP接口

标准发射/接收数据接口

微控制器的标准发射/接收信号和配置接口如图59所示。在发射模式下，ADF7021-N在TxRxCLK引脚上提供数据时钟，TxRxDATA引脚用作数据输入端。发射数据在TxRxCLK上升沿读入ADF7021-N。

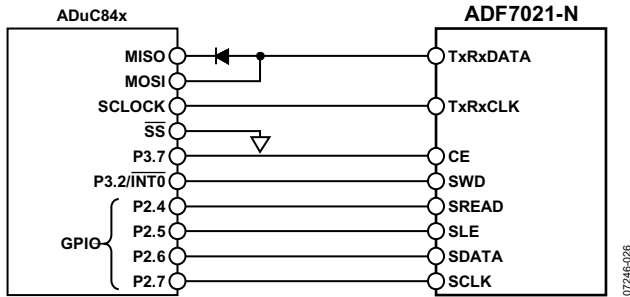


图59. ADuC84x至ADF7021-N连接图

在接收模式下，ADF7021-N在TxRxCLK引脚上提供同步数据时钟。接收数据在TxRxDATA引脚上提供。应使用TxRxCLK的上升沿将接收数据读入微控制器。有关时序图，参见图4及5。

在4FSK发射模式下，发射符号的MSB在来自TxRxCLK引脚的数据时钟的第一个上升沿读入ADF7021-N。在4FSK接收模式下，第一个有效载荷符号的MSB在SWD后的第一个数据时钟负沿逐个输出，并应在随后的上升沿读入微控制器。有关时序图，参见图6及7。

UART模式

在UART模式下，TxRxCLK引脚配置为在发射模式下输入发射数据。在接收模式下，可在TxRxDATA引脚上提供接收数据，从而提供异步数据接口。UART模式只能和过采样2FSK一起使用。图60所示为利用ADF7021-N UART模式的可行微控制器接口。要启用此UART接口模式，将R0_DB28设为高电平。图8及9所示为UART模式的相关时序图。

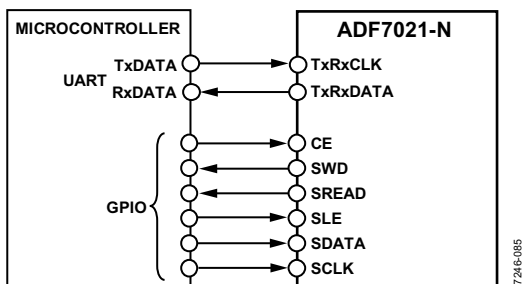


图60. ADF7021-N (UART模式) 至异步微控制器接口

SPI模式

在SPI模式下，TxRxCLK引脚配置为在发射模式下输入发射数据。在接收模式下，接收数据在TxRxDATA引脚上提供。在发射和接收两种模式下，数据时钟在CLKOUT引脚上提供。在发射模式下，数据在CLKOUT正沿读入ADF7021-N。在接收模式下，TxRxDATA数据引脚应由微控制器在CLKOUT正沿进行采样。

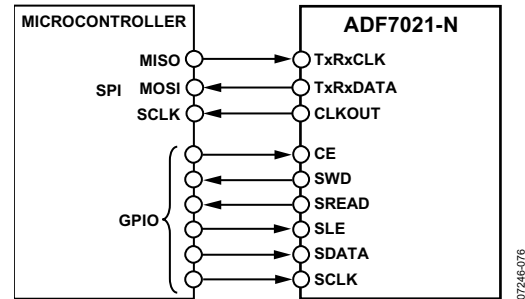


图61. ADF7021-N (SPI模式) 至微控制器接口

要启用SPI接口模式，将R0_DB28设为高电平并将R15_DB [17:19]设为0x7。图8及9所示为SPI模式的相关时序图，图61所示为利用ADF7021-N SPI模式的建议微控制器接口。

ADSP-BF533接口

建议的Blackfin® ADSP-BF533的接口方法见图62。

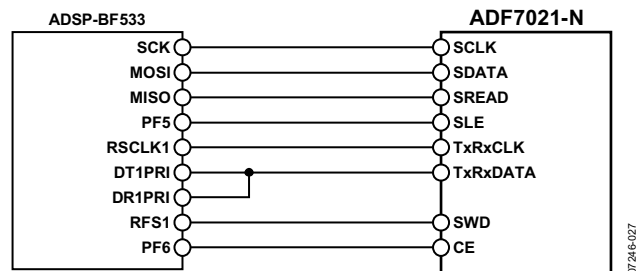


图62. ADSP-BF533至ADF7021-N连接图

MUXOUT			UART_MODE	Tx/Rx	INTEGER_N																FRACTIONAL_N																ADDRESS BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0									
M3	M2	M1	U1	TR1	N8	N7	N6	N5	N4	N3	N2	N1	M15	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4 (0)	C3 (0)	C2 (0)	C1 (0)									

图63. 寄存器 0—N寄存器映射

- RF输出频率通过下列公式求出：
对于直接输出

$$RF_{OUT} = PFD \times \left(Integer_N + \frac{Fractional_N}{2^{15}} \right)$$
 对于选择RF_DIVIDE_BY_2 (R1_DB18)

$$RF_{OUT} = PFD \times 0.5 \times \left(Integer_N + \frac{Fractional_N}{2^{15}} \right)$$
- 在UART/SPI模式下，TxRxCLK引脚用来输入Tx数据。
Rx数据在TxRxDATA引脚上提供。
- 图63中MUXOUT映射内的FILTER_CAL_ COMPLETE指示中频滤波器粗校或粗校加精校已结束。DIGITAL_LOCK_DETECT指示PLL已锁定。RSSI_READY指示RSSI信号已建立并可进行RSSI回读。
- Tx/Rx在此寄存器中提供DB27的状态，可用来控制外部Tx/Rx开关。

寄存器1—VCO/振荡器寄存器

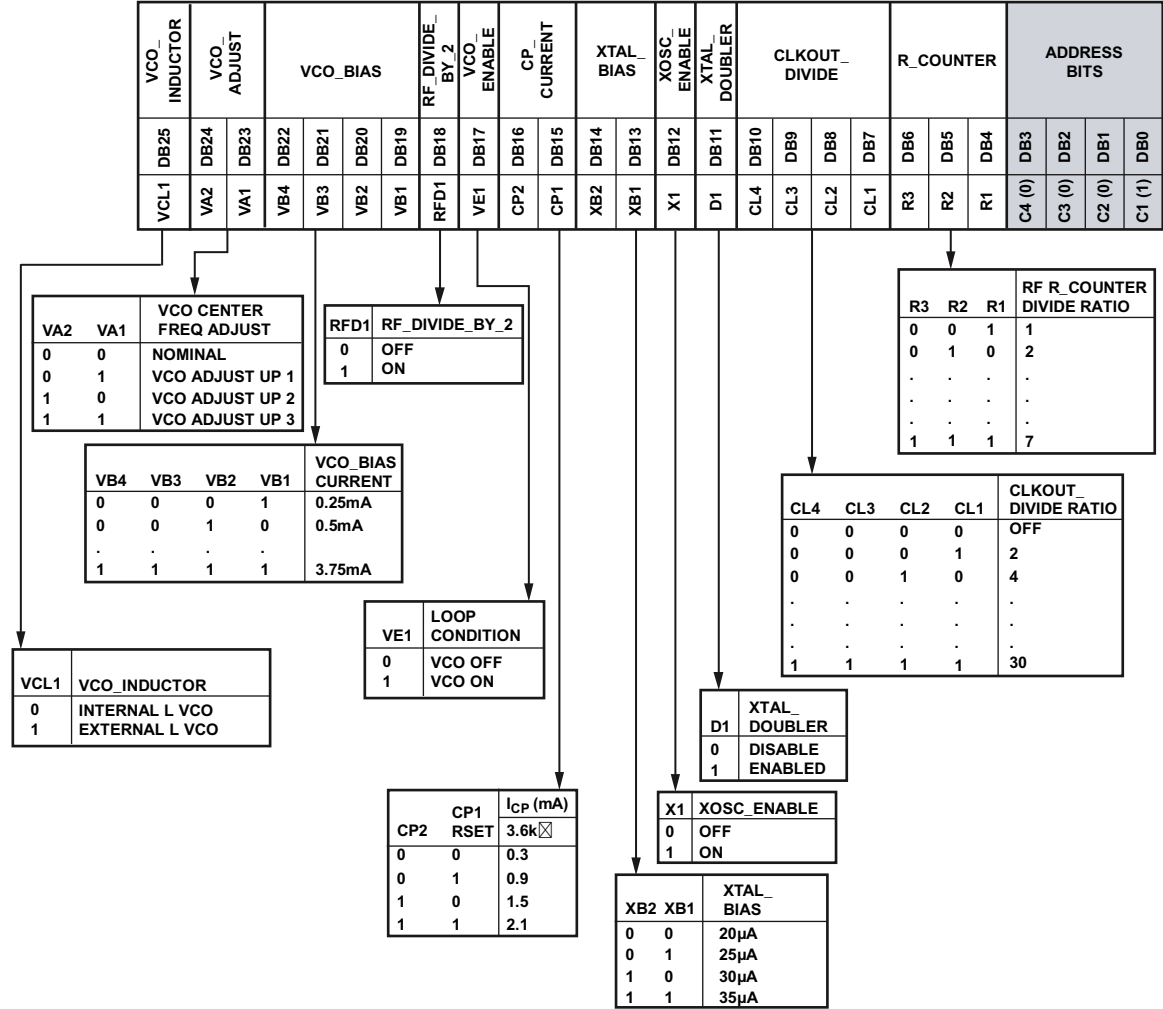


图64.寄存器1—VCO/振荡器寄存器映射

- R_COUNTER和XTAL_DOUBLER关系如下：

$$\text{If } \text{XTAL_DOUBLER} = 0, PFD = \frac{\text{XTAL}}{R_COUNTER}$$

$$\text{If } \text{XTAL_DOUBLER} = 1, PFD = \frac{\text{XTAL} \times 2}{R_COUNTER}$$
- CLOCKOUT_DIVIDE是XTAL的分频反转形式，在引脚36上提供(CLKOUT)。
- 采用外部晶振时，将XOSC_ENABLE设为高电平。如果采用将CMOS电平输出到引脚OSC2上的外部振荡器(如TCXO)，将XOSC_ENABLE设为低电平。如果采用将0.8 V p-p限幅正弦波输出到引脚OSC1上的外部振荡器，将XOSC_ENABLE设为高电平。
- VCO_BIAS位应按表9来设置。
- VCO_ADJUST位用于调节VCO工作频带的中心。每个位的VCO频带上调幅度通常为RF工作频率的1%（如果RF_DIVIDE_BY_2启用，则为0.5%）。
- 将VCO_INDUCTOR设为外部后，即可使用外部电感VCO，供80 MHz至650 MHz的RF工作频率。如果操作中使用内部电感VCO，将此位设为低电平。

寄存器2—发射调制寄存器

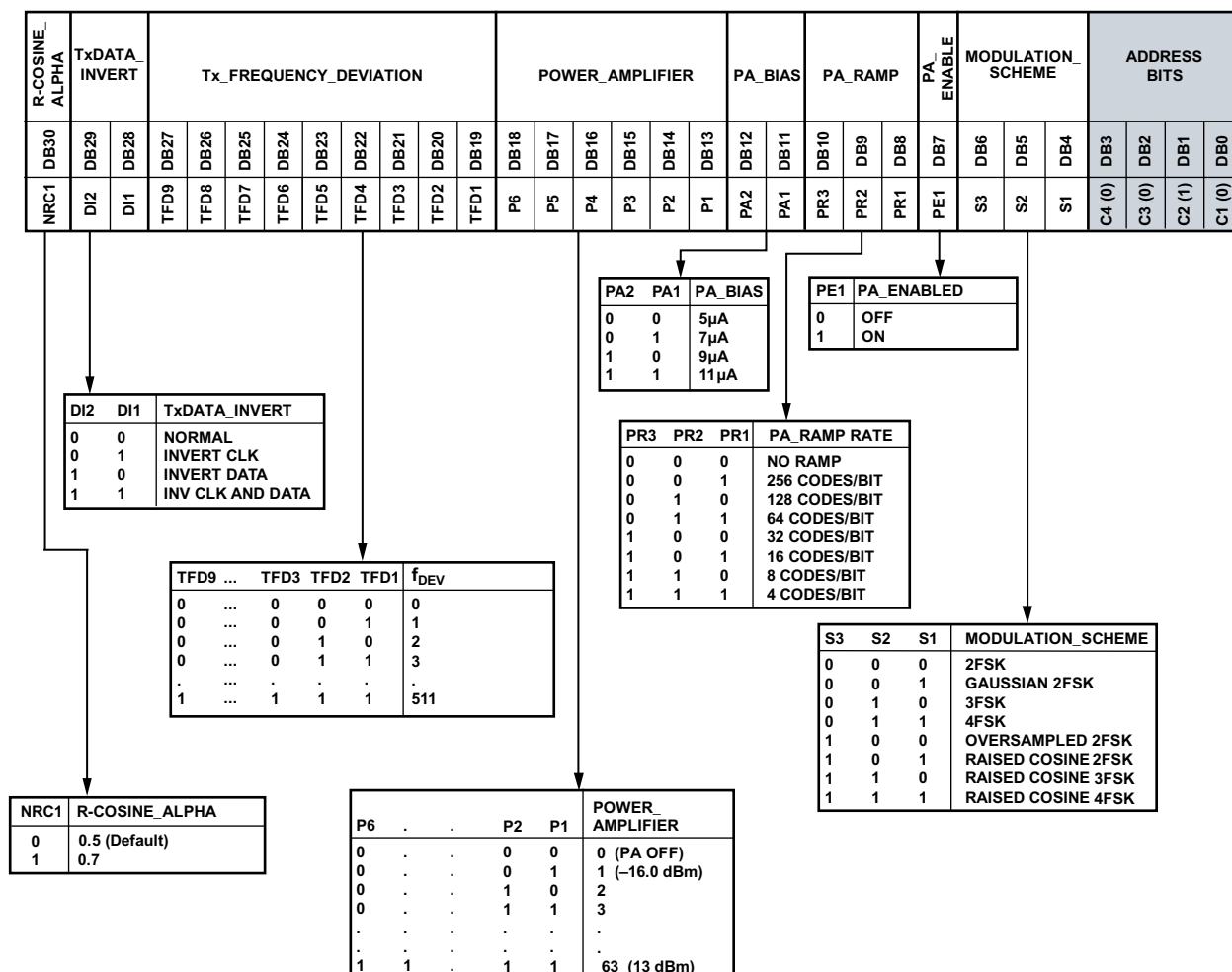


图64.寄存器1—VCO/振荡器寄存器映射

- 2FSK/3FSK/4FSK频率偏差由下列公式表示：
直接输出
频率偏差 [Hz]=
$$\frac{Tx_FREQUENCY_DEVIATION \times PFD}{2^{16}}$$

启用RF_DIVIDE_BY_2 (R1_DB18)
频率偏差 [Hz]=
$$0.5 \times \frac{Tx_FREQUENCY_DEVIATION \times PFD}{2^{16}}$$

其中Tx_FREQUENCY_DEVIATION由R2_DB[19:27]设置，
PFD为PFD频率。
- 对于4FSK，在 $\pm 3 \times$ 频率偏差和 $\pm 1 \times$ 偏差处存在信号音。
- 功率放大器(PA)以编程速率(R2_DB[8:10])缓升，直至达到编程水平(R2_DB[13:18])。如果PA通过PA_ENABLE位(R2_DB7)来启用/禁用，则其处于上斜坡/下斜坡。如果PA通过Tx/Rx位(R0_DB27)来启用/禁用，则其处于上斜坡/硬关闭。
- R-COSINE_ALPHA将升余弦数据滤波器的滚降系数(alpha)设为0.5或0.7。Alpha默认设置为0.5，采用0.7的alpha值可提高升余弦滤波器带宽以降低数据滤波强度。

寄存器3—发射/接收时钟寄存器

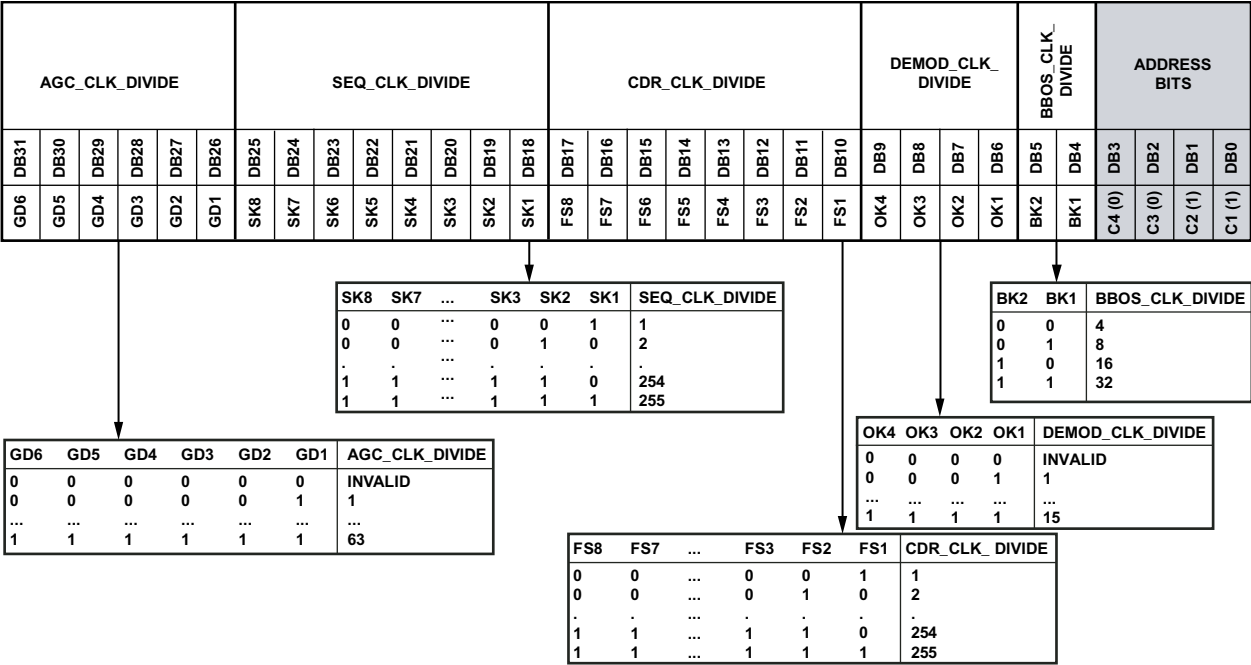


图66.寄存器3—发射/接收时钟寄存器映射

- 基带失调时钟频率(BBOS CLK)必须大于1 MHz且小于2 MHz，其中
- 设置解调器时钟(DEMOD CLK)以便 $2 \text{ MHz} \leq \text{DEMOD CLK} \leq 15 \text{ MHz}$ ，其中
- 对于2FSK/3FSK，数据/时钟恢复频率(CDR CLK)需要位于 $(32 \times \text{数据速率})$ 上下2%的范围内。对于4FSK，CDR CLK需要位于 $(32 \times \text{符号速率})$ 上下2%的范围内。
- 时序控制器时钟(SEQ CLK)将时钟提供至数字接收模块。应尽量接近100 kHz。
- 每个AGC步进允许的建立时间由AGC更新速率决定。应设置接近8 kHz。

$$BBOS\ CLK = \frac{XTAL}{BBOS_CLK_DIVIDE}$$

$$DEMOD\ CLK = \frac{XTAL}{DEMOD_CLK_DIVIDE}$$

$$CDR\ CLK = \frac{DEMOD\ CLK}{CDR_CLK_DIVIDE}$$

$$SEQ\ CLK = \frac{XTAL}{SEQ_CLK_DIVIDE}$$

$$AGC\ Update\ Rate[Hz] = \frac{SEQ_CLK}{AGC_CLK_DIVIDE}$$

寄存器4—解调器设置寄存器

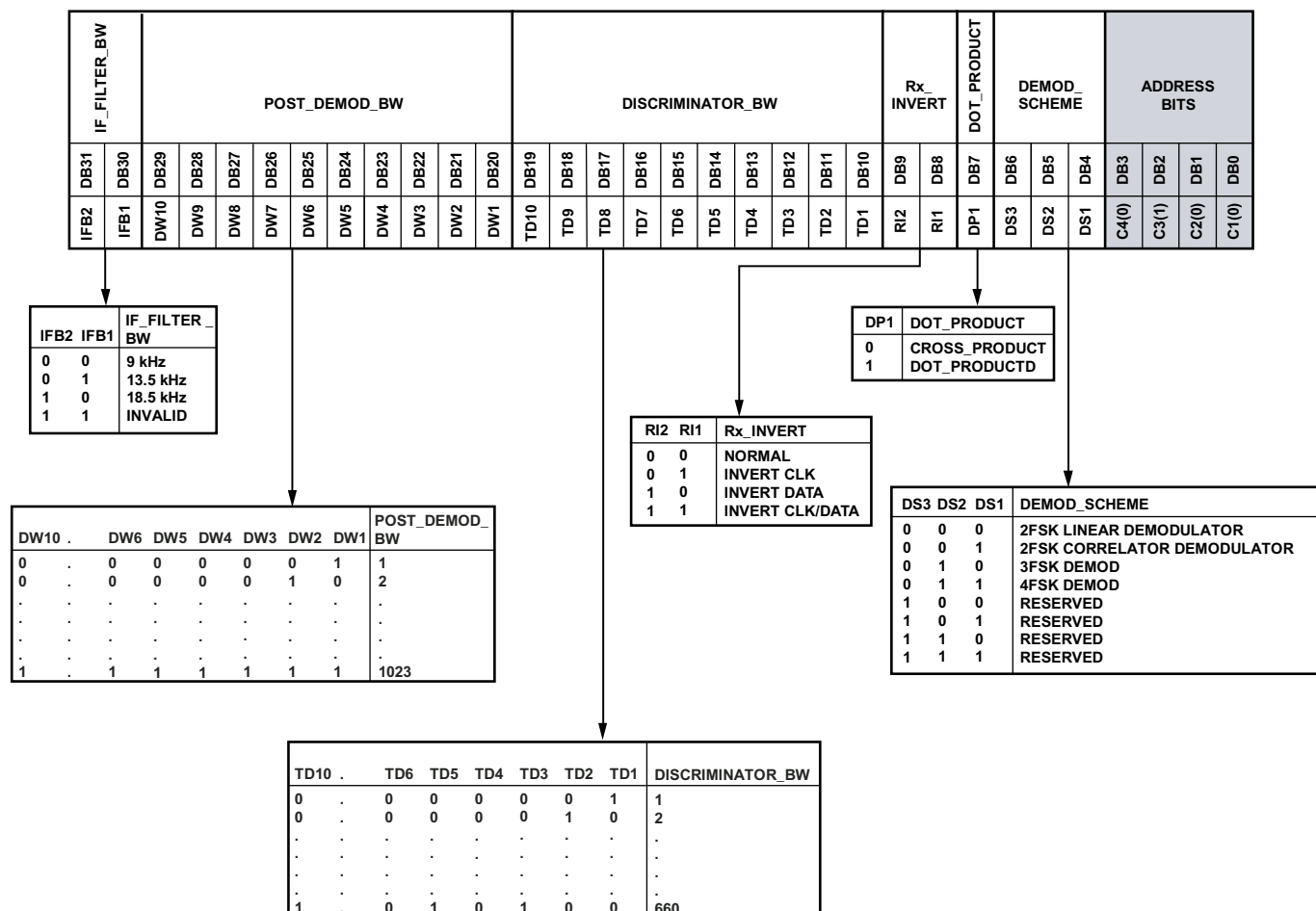


Figure 67. Register 4—Demodulator Setup Register Map

- 要求出DISCRIMINATOR_BW，利用下列公式：

$$DISCRIMINATOR_BW = \frac{DEMOC_CLK \times K}{400 \times 10^3}$$

其中最大值 = 660。

- 对于2FSK，

$$K = Round\left(\frac{100 \times 10^3}{f_{DEV}}\right)$$

- 对于3FSK，

$$K = Round\left(\frac{100 \times 10^3}{2 \times f_{DEV}}\right)$$

- 对于4FSK，

$$K = Round_{4FSK}\left(\frac{100 \times 10^3}{4 \times f_{DEV}}\right)$$

其中：

Round四舍五入为最接近的整数。

Round_{4FSK}进行四舍五入，在下列整数中取最接近的值：

32, 31, 28, 27, 24, 23, 20, 19, 16, 15, 12, 11, 8, 7, 4, 3。

f_{DEV} 是发射频率偏差(Hz)。对于4FSK，

f_{DEV} 为用于±1符号的频率偏差(即内部频率偏差)。

- Rx_INVERT(R4_DB[8:9])和DOT_PRODUCT(R4_DB7)需要如表17及18所示进行设置。

$$POST_DEMOC_BW = \frac{2^{11} \times \pi \times f_{CUTOFF}}{DEMOC_CLK}$$

其中后置解调器滤波器的截止频率(f_{CUTOFF}) 在2FSK中通常为0.75 × 数据速率。在3FSK中，应设为等于数据速率，在4FSK中，应设为等于1.6 × 符号速率。

寄存器5—中频滤波器设置寄存器

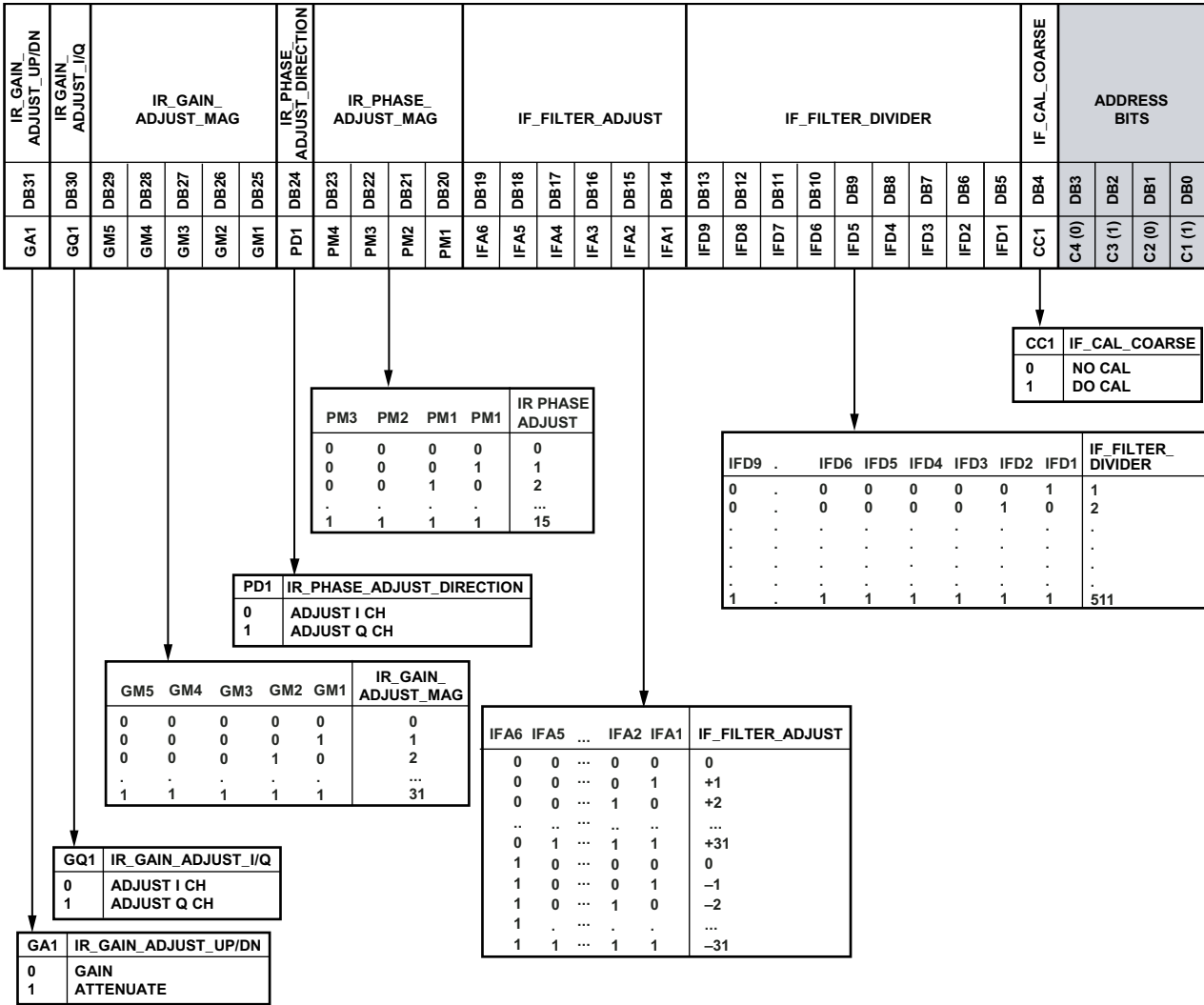


图68. 寄存器5—中频滤波器设置寄存器映射

- 设置IF_CAL_COARSE位(R5_DB4)后，进行中频滤波器粗校。如果IF_FINE_CAL位(R6_DB4)之前已设置，则在粗校后自动进行精校。
- 设置IF_FILTER_DIVIDER以便

$$\frac{XTAL}{IF_FILTER_DIVIDER} = 50 \text{ Hz}$$
- IF_FILTER_ADJUST允许后续接收机上电时直接编程中频滤波器精校，因此某些情况下无需重新进行滤波器精校。有关利用IF_FILTER_ADJUST位的信息，请参见“滤波器带宽校准回读”部分。
- R5_DB[20:31]用于镜像抑制校准。有关这些参数的编程方式的详情，请参见“镜像抑制校准”部分。

寄存器6—中频精校设置寄存器

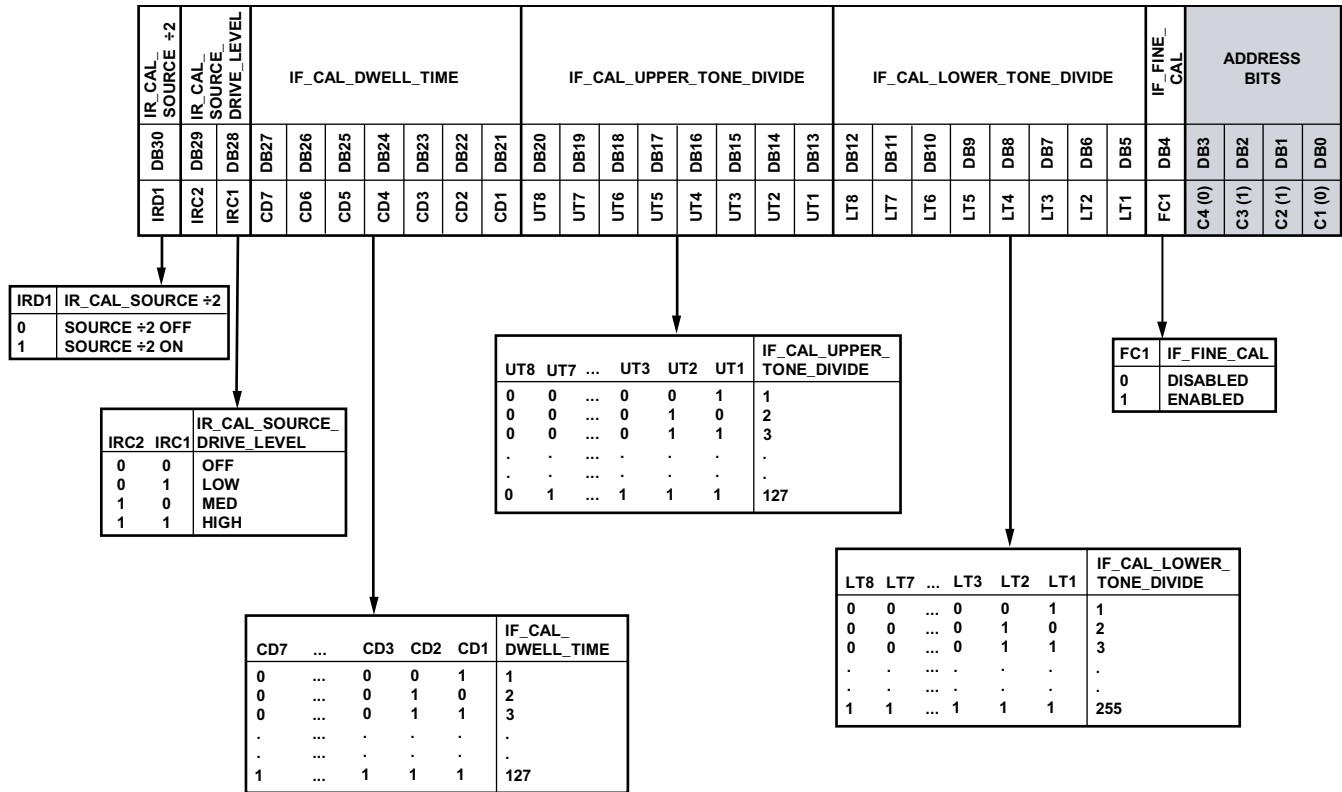


图69. 寄存器6—中频精校设置寄存器映射

- 中频滤波器精校通过启用IF_FINE_CAL位(R6_DB4)来设置。之后仅在写入寄存器5并设置R5_DB4时才进行精校。
 - 中频信号音校准时间是指在中频校准信号音处花费的时间。它取决于时序控制器时钟。根据最佳做法，建议将中频信号音校准时间设为至少500 μ s。
- 低信号音频率(kHz) =
$$\frac{XTAL}{IF_CAL_LOWER_TONE_DIVIDE \times 2}$$
- 高信号音频率(kHz) =
$$\frac{XTAL}{IF_CAL_UPPER_TONE_DIVIDE \times 2}$$
- 建议如表24所述来放置高低信号音。
- 中频信号音校准时间 =
$$\frac{IF_CAL_DWELL_TIME}{SEQ_CLK}$$
- 中频滤波器精校的总时间为
- 中频信号音校准时间 $\times$ 10
- R6_DB[28:30]控制镜像抑制(IR)校准的内部源。IR_CAL_SOURCE_DRIVE_LEVEL位(R6_DB[28:29])设置源的驱动强度，IR_CAL_SOURCE_DIV2位(R6_DB30)允许将内部信号源的频率除以2。

表24. 中频滤波器精校信号音频率

中频滤波器带宽	低信号音频率	高信号音频率
9 kHz	78.1 kHz	116.3 kHz
13.5 kHz	79.4 kHz	116.3 kHz
18.5 kHz	78.1 kHz	119 kHz

ADF7021-N

寄存器7—回读设置寄存器

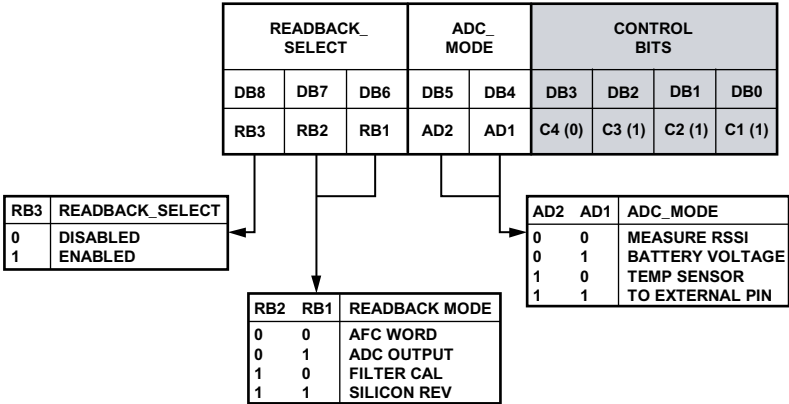


图70. 寄存器7—回读设置寄存器映射

- RSSI测量值回读仅在Rx模式下有效。在Rx模式下无法在外部引脚上回读电池电压、温度传感器或电压。
- 要在Tx模式下在外部引脚上回读电池电压、温度传感器或电压，用户应先用R8_DB8使ADC上电，因为它在Tx模式下默认关断以省电。
- 对于AFC回读，采用下列公式(参见“回读格式”部分):
$$\text{FREQ RB [Hz]} = (\text{AFC回读} \times \text{DEMOD CLK})/2^{18}$$
$$V_{\text{BATTERY}} = \text{电池电压回读}/21.1$$
$$V_{\text{ADCIN}} = \text{ADCIN电压回读}/42.1$$
$$\text{温度 [}^{\circ}\text{C]} = -40 + (68.4 - \text{温度回读}) \times 9.32$$

寄存器8—省电测试寄存器

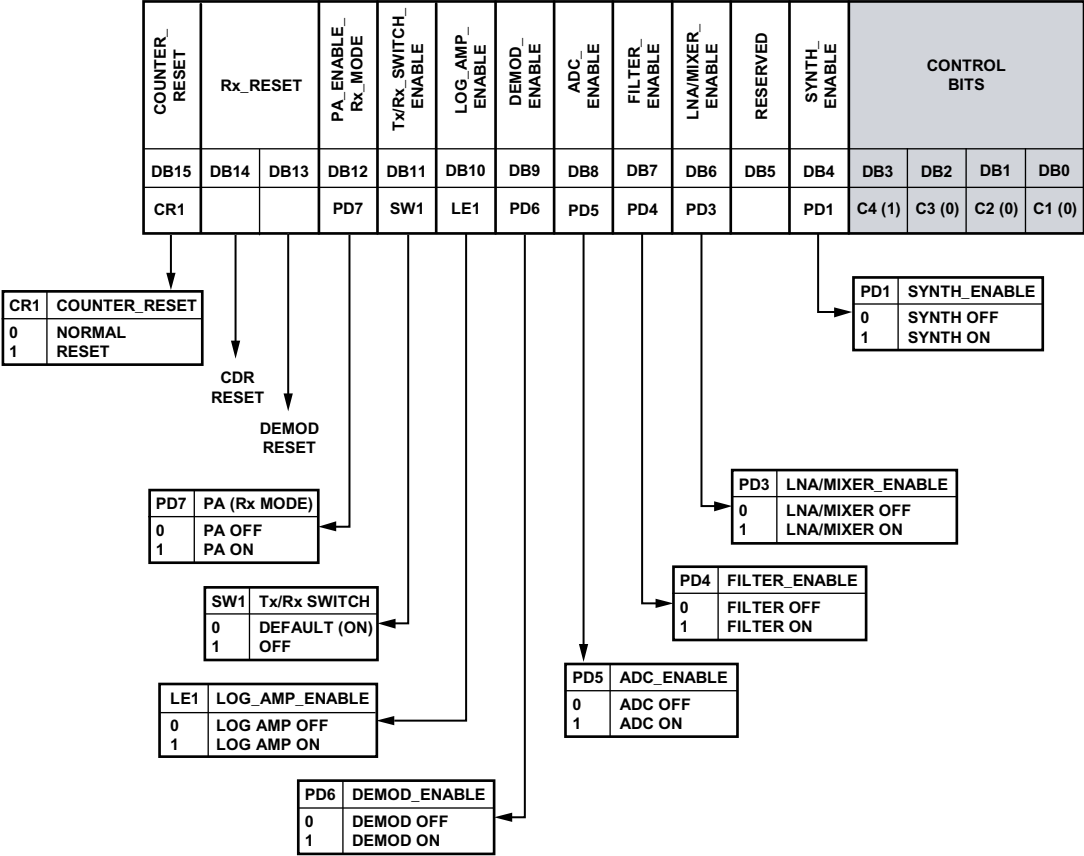


图71. 寄存器8—省电测试寄存器映射

- 在正常工作条件下不必写入此寄存器。
- 对于组合式LNA/PA匹配网络，R8_DB11应始终设为0，以启用内部Tx/Rx开关。这是上电时的默认条件。

寄存器9—AGC寄存器

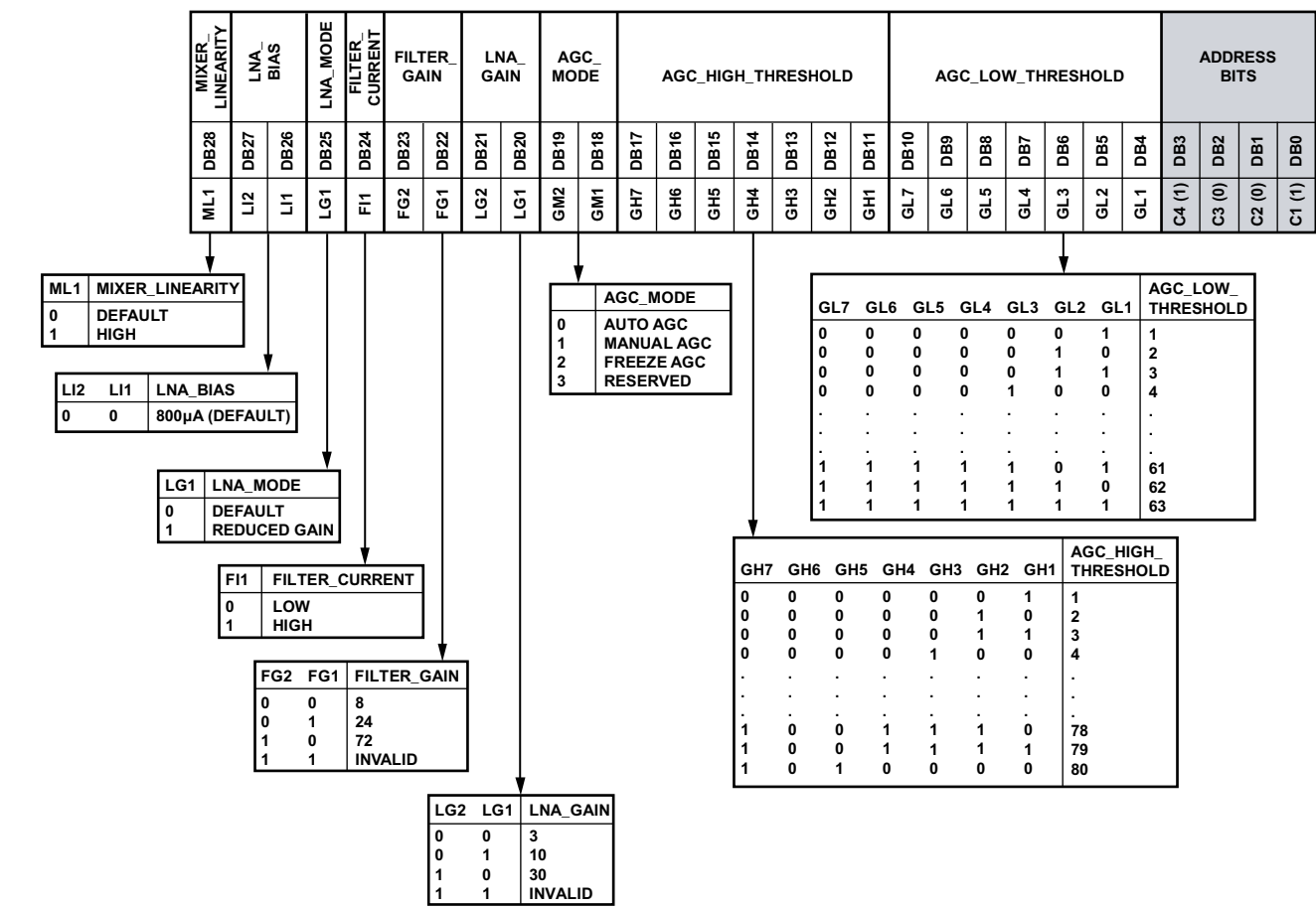


图72. 寄存器 9—AGC寄存器映射

- 只有需要默认值外的AGC设置值时，才必须对此寄存器编程。
- 在接收模式下，上电时AGC默认设为自动AGC。默认阈值为AGC_LOW_THRESHOLD = 30且AGC_HIGH_THRESHOLD = 70。详情参见RSSI/AGC部分。
- AGC高低设置必须相差30以上才能确保操作正常。
- 只有LNA_MODE(R9_DB25)设为0时，才提供30的LNA增益。

寄存器10—AFC寄存器

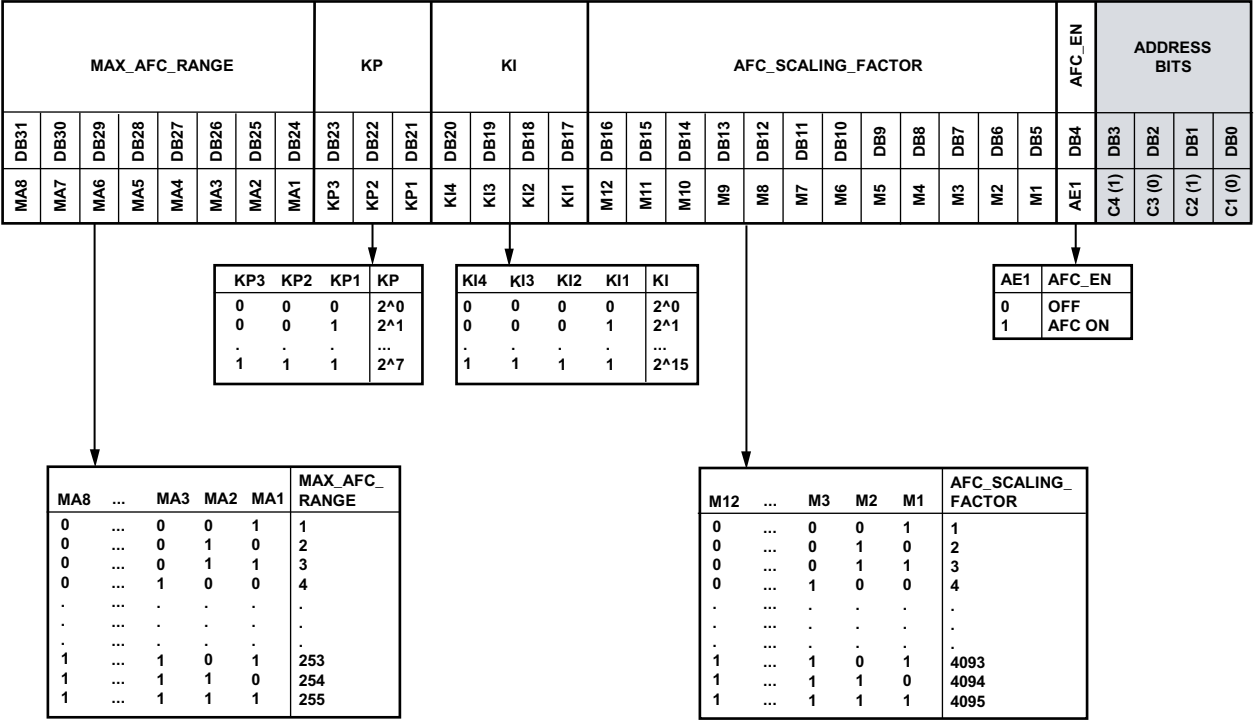


图73. 寄存器 10—AFC寄存器映射

07246-040

- AFC_SCALING_FACTOR可表示为
$$AFC_SCALING_FACTOR = Round\left(\frac{2^{24} \times 500}{XTAL}\right)$$
- KI和KP设置会影响AFC建立时间和AFC精度。每个参数的容许范围为KI > 6且KP < 7。
- 要获得最佳AFC性能，建议设置为KI=11且KP=4。要在AFC建立时间和AFC精度之间寻找平衡点，可根据建议设置调节KI和KP参数(保持在容许范围内)，以确保
- 但当启用RF_DIVIDE_BY_2(R1_DB18)时，编程AFC校准范围减半。用户可将MAX_AFC_RANGE值加倍来解决减半问题。
- 处于AFC捕捉范围之内、但位于中频滤波器带宽之外的信号会被中频滤波器衰减。因此，信号可能会低于接收机的灵敏度点，使AFC无法检测到。

AFC校正范围 = MAX_AFC_RANGE × 500 Hz

寄存器11—同步字检测寄存器

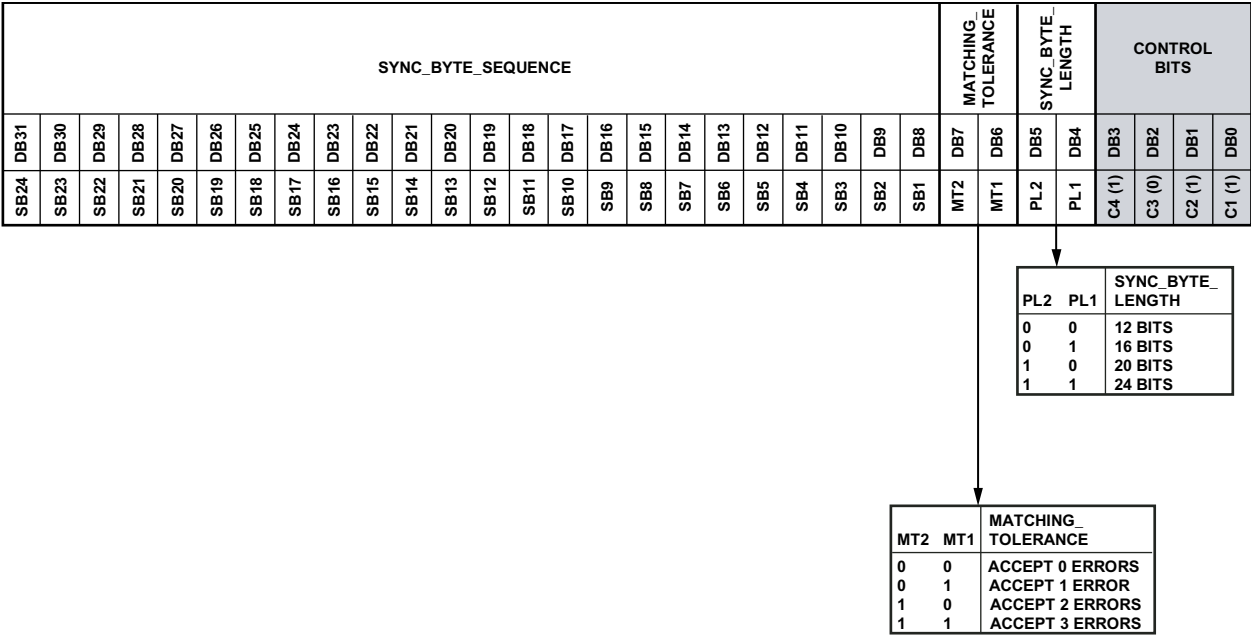


图74. 寄存器11—同步字检测寄存器映射

寄存器12—SWD/阈值设置寄存器

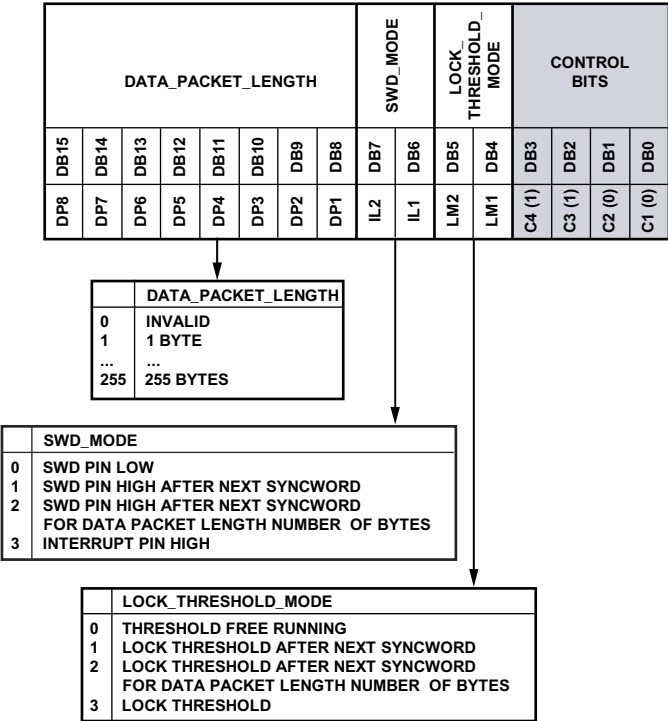


图75. 寄存器12—SWD/阈值设置寄存器映射

锁定阈值会锁定包络检测器的阈值。这样可以在线性解调中锁定限幅器，并在使用线性或相关器解调时锁定AFC和AGC环路。

寄存器13—3FSK/4FSK解调寄存器

有关这些设置的编程信息，请参见“接收机设置”部分。

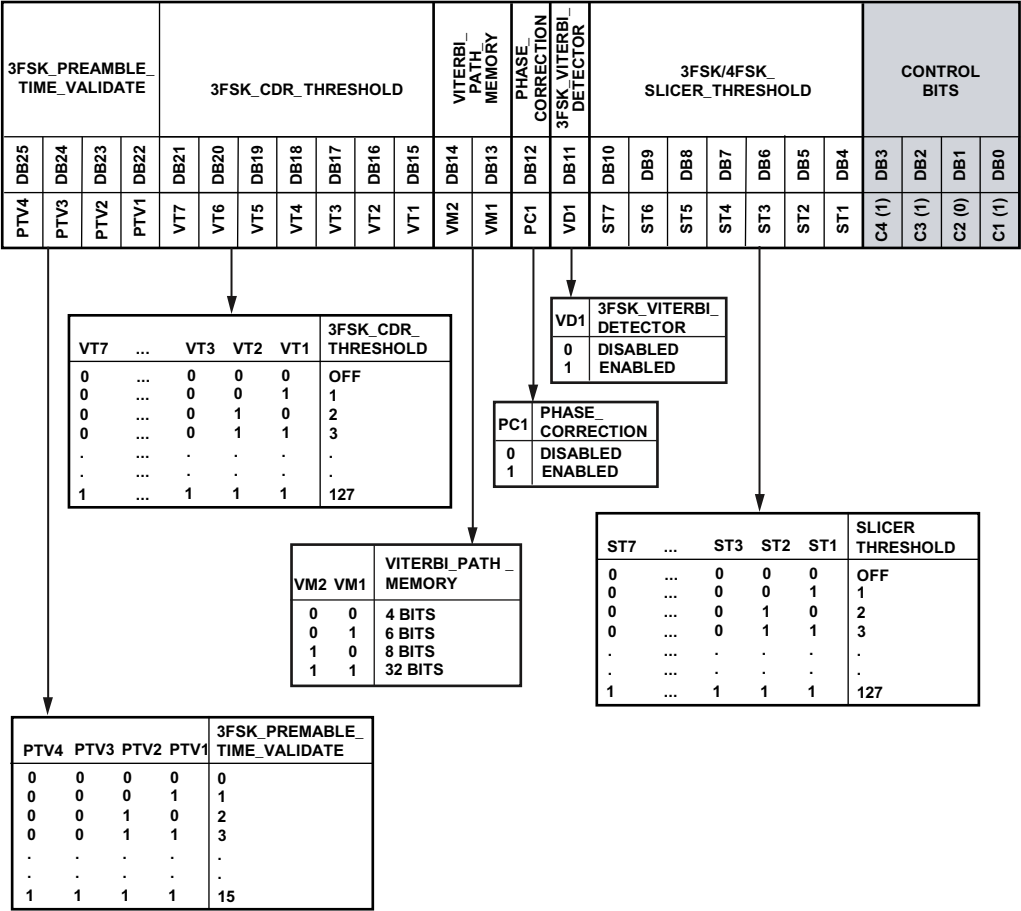


图76. 寄存器13—3FSK/4FSK解调寄存器映射

07246-043

寄存器14—测试DAC寄存器

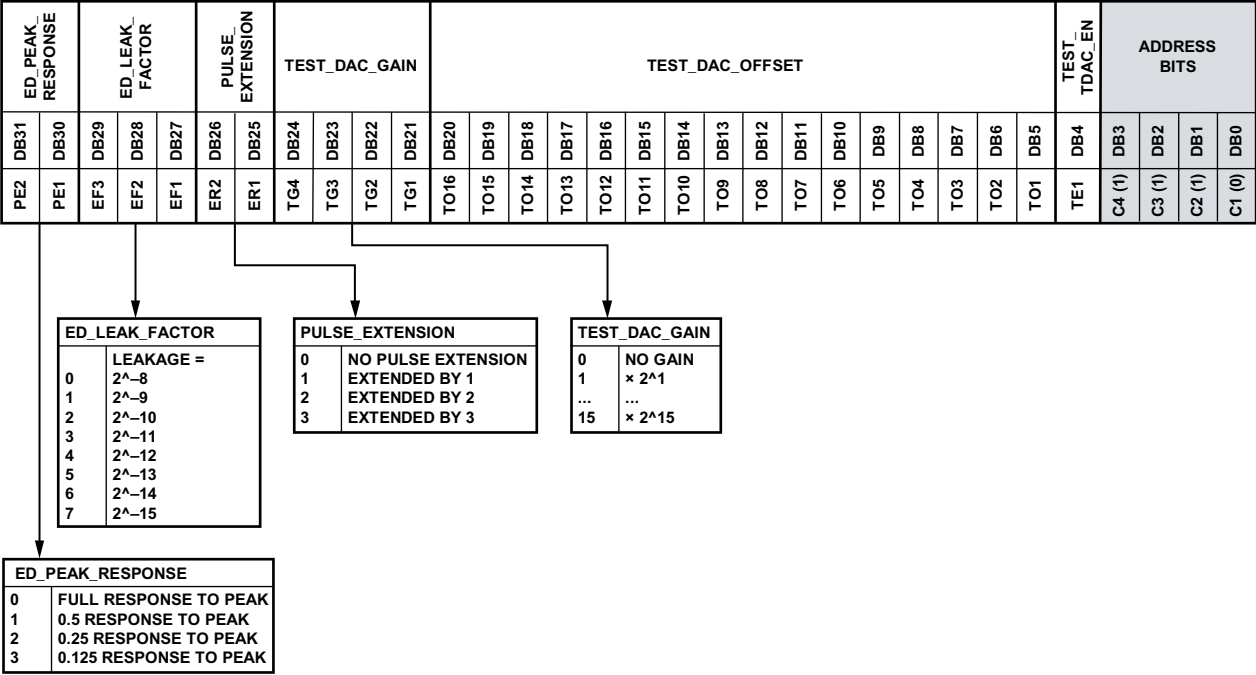


图77. 寄存器14—测试DAC寄存器映射

要启用解调器调谐参数 PULSE_EXTENSION、ED_LEAK_FACTOR 和 ED_PEAK_RESPONSE，必须将 R15_DB[4:7] 设为 0x9。

利用测试DAC来实施模拟FM DEMOD并测量SNR

有关使用测试DAC的详情，请参见“应用笔记AN-852”。

测试DAC允许以外部方式查看线性和相关器解调器的后置解调器滤波器输出。测试DAC还使用二阶误差反馈Σ-Δ转换器将16位滤波器输出转换为高频、单个位输出。输出可在SWD引脚上查看。适当滤波后，此信号可用于如下操作：

- 监控FSK后置解调器滤波器输出端的信号，这样即可测量解调器输出SNR。也可构建接收位流的眼图以测量接收信号质量。
- 提供模拟FM解调。

虽然相关器和滤波器由DEMODO CLK提供时钟信号，但测试DAC向CDR CLK提供时钟信号。注意，尽管测试DAC在常规用户模式下可以工作，但将CDR CLK增加到DEMODO CLK频率或以上时才能获得最佳性能。这种情况下CDR模块不工作。

编程寄存器14启用测试DAC。线性和相关器/解调器输出都可多路复用至DAC。

寄存器14允许从信号中消除固定失调项(目的是在ddt情况下消除中频分量)。它还有一个信号增益项，以允许使用DAC的最大动态范围。

寄存器15—测试模式寄存器

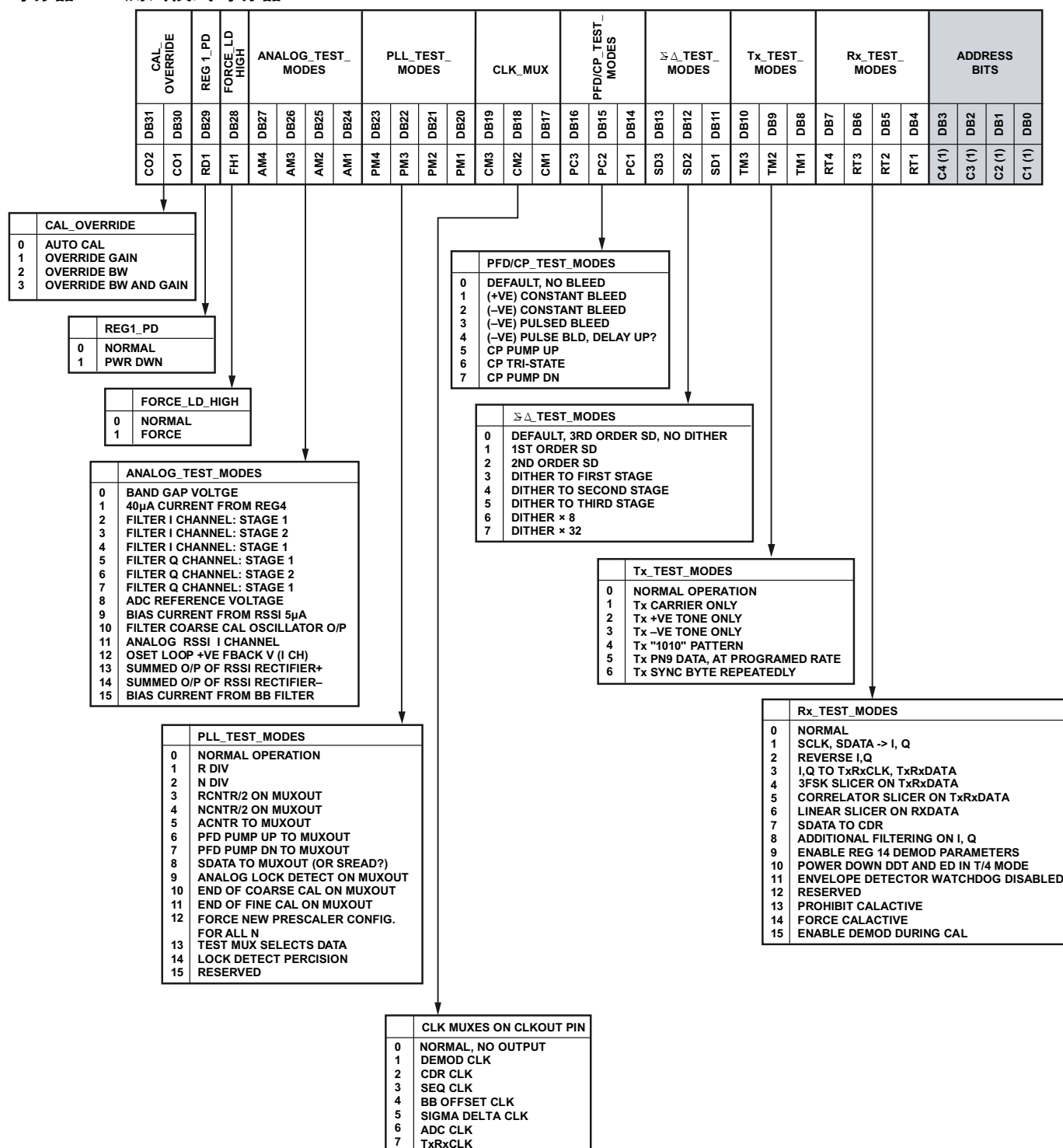
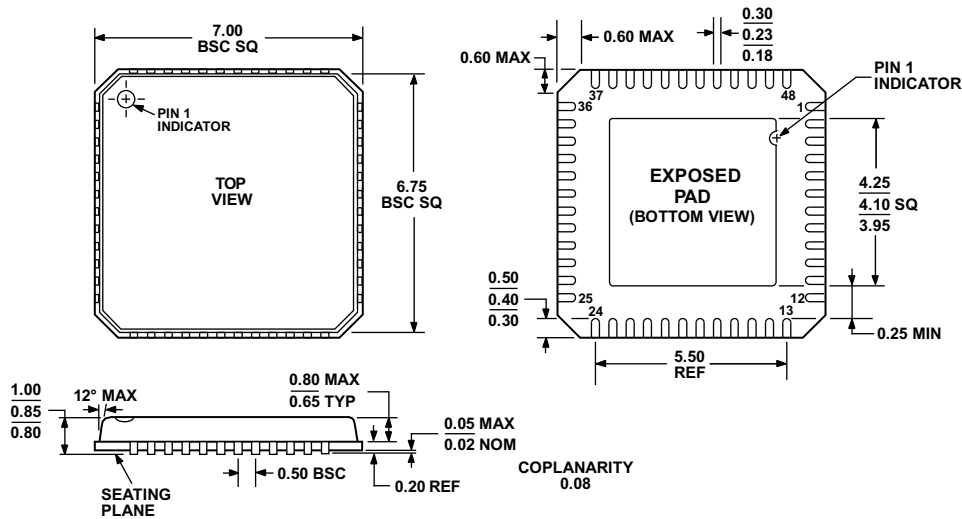


图78. 寄存器15—测试模式寄存器映射

- 将ANALOG_TEST_MODES设为11，可在Test_A引脚上查看模拟RSSI。
- Tx_TEST_MODES可用来启用测试调制。
- 要旁路CDR模块，可将Rx_TEST_MODES设为4、5或6来旁路，具体视所用解调器而定。

ADF7021-N

外形尺寸



符合JEDEC标准MO-220-VKKD-2
图79. 48引脚LFCSP_VQ封装,
7 mm x 7 mm超薄体
(CP-48-3),
尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项
ADF7021-NBCPZ ¹	-40°C至+85°C	48引脚LFCSP_VQ	CP-48-3
ADF7021-NBCPZ-RL ¹	-40°C至+85°C	48引脚LFCSP_VQ	CP-48-3
ADF7021-NBCPZ-RL7 ¹	-40°C至+85°C	48引脚LFCSP_VQ	CP-48-3
ADF7021-NDF	-40°C至+85°C	薄膜芯片	
EVAL-ADF70XXMBZ2 ¹		评估平台主板	
EVAL-ADF7021-NDBIZ ¹		426 MHz至429 MHz子板	
EVAL-ADF7021-NDBEZ ¹		426 MHz至429 MHz子板	
EVAL-ADF7021-NDBZ2 ¹		860 MHz至870 MHz子板	
EVAL-ADF7021-NDBZ5 ¹		匹配无载子板	

¹ Z = 符合RoHS标准的兼容器件。