

**AK4631****16-Bit $\Delta\Sigma$ Mono CODEC with ALC & MIC/SPK-AMP****概 要**

AK4631はマイクアンプ、スピーカアンプを内蔵した16bit モノラルCODECです。入力にはマイクアンプ及びALC(Automatic Level Control)回路を内蔵し、出力にはスピーカアンプを内蔵しており、DSC等での動画音声用途に最適です。スピーカアンプは圧電スピーカにも対応しています。パッケージは28pin QFNを採用、実装面積を大幅に削減します。

特 長

1. 16-Bit Delta-Sigma Mono CODEC
2. 録音側機能
 - 1ch Mono Input
 - マイク用ゲインアンプ内蔵 (0dB, 20dB, 26dB or 32dB)
 - ALC機能付きIPGA 内蔵 (-8dB ~ +27.5dB, 0.5dB Step)
 - ADC特性 : S/(N+D) : 80dB, DR, S/N : 85dB
3. 再生側機能
 - Digital Volume内蔵 (+12dB ~ -115dB, 0.5dB Step, Mute)
 - Mono Line Output: S/(N+D) : 85dB, S/N : 93dB
 - Mono Speaker-Amp内蔵
 - SPK-AMP特性 : S/(N+D) : 50dB, S/N : 90dB (240mW@ 8 Ω ,出力時)
 - BTL接続
 - 圧電スピーカ対応
 - ALC(Automatic Level Control) 回路内蔵
 - 定格出力 : 250mW @ 8 Ω &SVDD=3.3V
3.0Vrms@SVDD=5V
 - Beep音入力可能
4. パワーマネジメント機能
5. PLL Mode:
 - 周波数 : 11.2896MHz, 12MHz, 12.288MHz, 13.5MHz, 24MHz, 27MHz (MCKI pin)
1fs (FCK pin)
16fs, 32fs or 64fs (BICK pin)
6. EXT Mode:
 - 入力周波数 : 256fs, 512fs or 1024fs (MCKI pin)
7. Sampling Rate:
 - PLL Slave Mode (FCK pin) : 7.35kHz ~ 26kHz
 - PLL Slave Mode (BICK pin) : 7.35kHz ~ 48kHz
 - PLL Slave Mode (MCKI pin):
8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
 - PLL Master Mode:
8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
 - EXT Slave Mode:
7.35kHz ~48kHz (256fs), 7.35kHz ~ 26kHz (512fs), 7.35kHz ~13kHz (1024fs)
8. Output Master Clock Frequency: 256fs
9. シリアル μ Pインタフェース : 3線シリアル
10. マスタ/スレーブモード

11. Audio Interface Format: MSB First, 2's compliment

- ADC: DSP Mode, 16bit 前詰め, I²S互換
- DAC: DSP Mode, 16bit 前詰め, 後詰め, I²S互換

12. Ta = -10 ~ 70°C

13. 電源電圧

- CODEC: 2.6 ~ 3.6V (typ. 3.3V)
- Speaker-Amp : 2.6 ~ 5.25V (typ. 3.3V/5.0V)

14. 消費電流: 16 mA (全回路パワーオン)

15. Package: 28pin QFN

16. AK4536/AK4630 互換

■ ブロック図

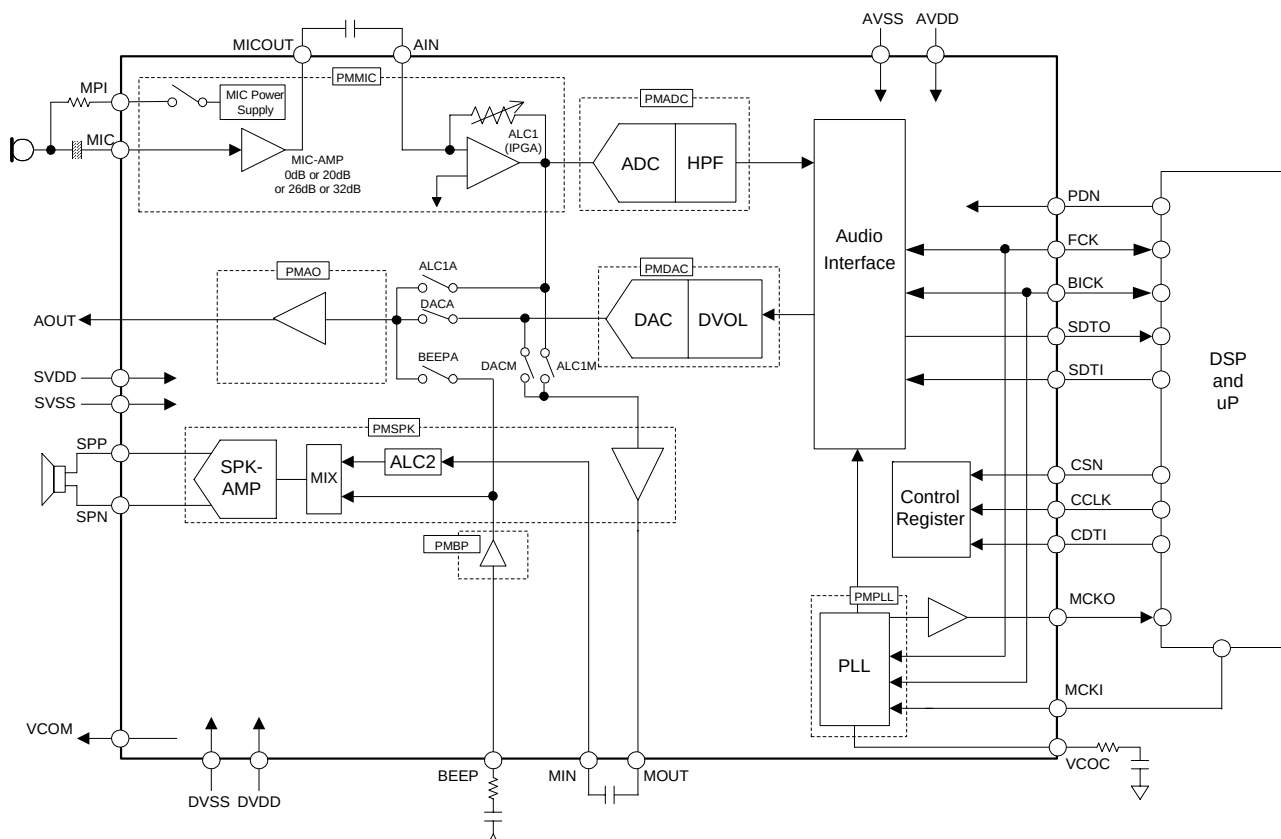
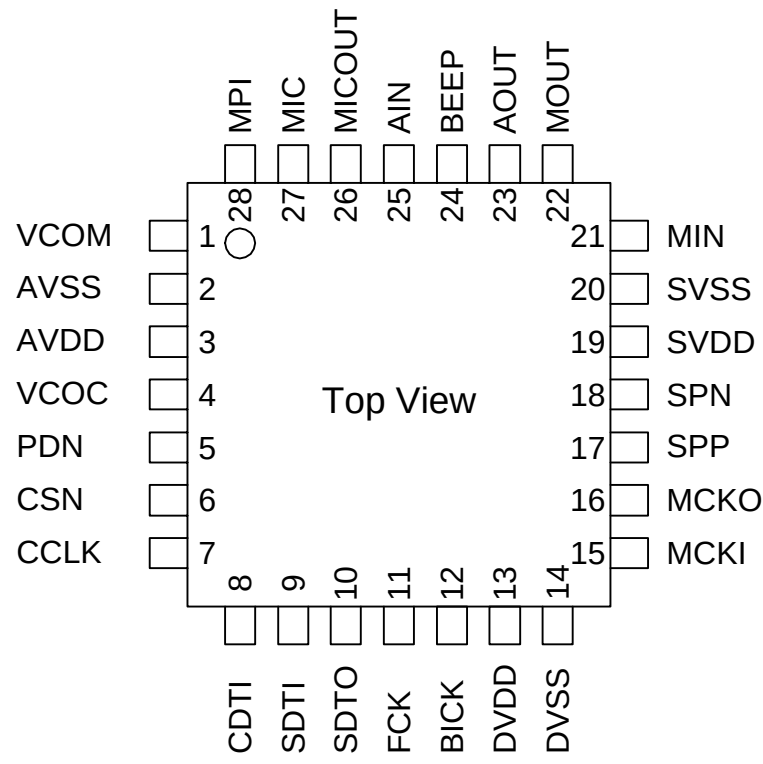


Figure 1. AK4631 Block Diagram

■ オーダリングガイド

AK4631VN	-10 ~ +70°C	28pin QFN (0.5mm pitch)
AKD4631	AK4631評価用ボード	

■ ピン配置



■ AK4536, AK4630との互換性

AK4536, AK4630 を使用している場合、下記で示す互換性の中で塗りつぶされた箇所以外は、回路およびソフトの変更無しで AK4536 または AK4630 を AK4631 へ置き換えることが可能です。

1. 機能

機能	AK4536VN	AK4630VN	AK4631VN
ダイナミックスピーカ使用時			
AVDD, DVDD, SVDD	2.4V ~ 3.6V	2.4V ~ 3.6V	2.6V ~ 3.6V
SPK-Amp 出力電圧 ALC2 OFF 時 AVDD=DVDD=SVDD=3.3V時	2モード 150mW@8Ω 250mW@8Ω	2モード 150mW@8Ω 250mW@8Ω	4モード 150mW@8Ω 250mW@8Ω 250mWモードに対し+4.2dB 250mWモードに対し+6.2dB
SPK-Amp 出力電圧 ALC2 ON 時 AVDD=DVDD=SVDD=3.3V時	2モード 150mW@8Ω 250mW@8Ω	2モード 150mW@8Ω 250mW@8Ω	2モード 150mW@8Ω 240mW@8Ω
圧電スピーカ使用時			
AVDD, DVDD	対応無し	対応無し	2.6V ~ 3.6V
SVDD			2.6V ~ 5.25V
SPK-Amp 出力電圧			4モード
その他			
水晶発振器	有り	無し	無し
MCKI pin AC Coupling入力	有り	無し	無し
マスタクロック出力	無し	有り	有り
ALC2 リカバリ動作時の基準値	+18dB固定	+18dB固定	+19.5dB~-12.0dB の範囲で設定可能
サンプリングレート	7.35kHz ~ 26kHz	7.35kHz ~ 26kHz	7.35kHz ~ 48kHz
MIC Amp ゲイン	0dB/+20dB	0dB/+20dB	0dB/+20dB/+26dB/+32dB
出力ボリューム遷移時間	1モード 1061/fs	1モード 1061/fs	2モード 1061/fs, 256/fs
PLLマスタクロック	11.2896MHz, 12MHz, 12.288MHz	11.2896MHz, 12MHz, 12.288MHz	11.2896MHz, 12MHz, 12.288MHz, 13.5MHz, 24MHz, 27MHz
AOUT ボツ音対策	無し	無し	有り
パワーダウン状態の AOUT pin の出力	Hi-Z	Hi-Z	AVSS
BEEP → SPP/SPN ゲイン (外部入力抵抗 = 20kΩ時)	+6dB SPKG bit = “0” 時	+6dB SPKG bit = “0” 時	+7.84 dB SPKG1-0 bits = “00” 時
PLL を FCK基準で使用する場 合の VCOC ピンの R と C	10kΩ + 470nF	10kΩ + 470nF	6.8kΩ + 220nF
PLL Master Mode時の Audio I/F Format	DSP Modeのみ	全モード	全モード
PLL Slave Mode時の Audio I/F Format	DSP Modeのみ	全モード	全モード
PLL Master Mode時のFCKの “H”幅	1 / tBCK	50% duty	50% duty
パッケージ裏面四隅の黒塗り部 の長さ (Note 1)	0.2 ^{+0.10} _{-0.20} mm	0.55 ± 0.20 mm	0.55 ± 0.20 mm
パッケージの高さの Min 値	0.80 mm	0.70 mm	0.70 mm
リードフレームを除いたパッケー ジの厚み	0.78 ^{+0.17} _{-0.28}	規定無し	規定無し

機能		AK4536VN	AK4630VN	AK4631VN
Mono Line Output 特性				
D-Range (typ)		95dB	95dB	93dB
S/N(typ)		95dB	95dB	93dB
Speaker-Amp 特性				
Output Voltage (-0.5dBFS時)				
SPKG1-0 bits = “00” (typ)		2.92Vpp	2.92Vpp	3.09Vpp
SPKG1-0 bits = “01” (typ)		3.78Vpp	3.78Vpp	3.92Vpp
S/(N+D) (240mW出力時) SPKG1-0 bits = “01” (typ)		-	-	50dB
S/(N+D) (250mW出力時) SPKG1-0 bits = “01” (typ)		50dB	50dB	20dB
ADC Digital Filter (HPF) 特性: fs=8kHz				
Frequency Response (typ)	-3.0dB	1.25Hz	1.25 Hz	0.62 Hz
	-0.5dB	3.56 Hz	3.56 Hz	1.81 Hz
	-0.1dB	8.14 Hz	8.14 Hz	3.99 Hz

Note 1. AK4631 ではAK4536 に比べ黒塗り部が広がっています。黒塗り部が配線等に接触せずにオープンになっているかの確認を行ってください。

2. ピン

ピン	AK4536VN	AK4630VN	AK4631VN
# 15	MCKI / XTI	MCKI	MCKI
# 16	XTO	MCKO	MCKO

3. レジスタ

(1) レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMBP	PMSPK	PMAO	PMDAC	PMMIC	PMADC
01H	Power Management 2	0	0	0	0	M/S	MCKPD	MCKO	PMPLL
02H	Signal Select 1	SPPS	BEEPS	ALC2S	DACA	DACM	MPWR	MICAD	MGAIN0
03H	Signal Select 2	0	AOPSN	MGAIN1	SPKG1	SPKG0	BEEPA	ALC1M	ALC1A
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO1	BCKO0	DIF1	DIF0
05H	Mode Control 2	0	0	FS3	MSBS	BCKP	FS2	FS1	FS0
06H	Timer Select	DVTM	ROTM	ZTM1	ZTM0	WTM1	WTM0	LTM1	LTM0
07H	ALC Mode Control 1	0	ALC2	ALC1	ZELM	LMAT1	LMAT0	RATT	LMTH
08H	ALC Mode Control 2	0	REF6	REF5	REF4	REF3	REF2	REF1	REF0
09H	Input PGA Control	0	IPGA6	IPGA5	IPGA4	IPGA3	IPGA2	IPGA1	IPGA0
0AH	Digital Volume Control	DVOL7	DVOL6	DVOL5	DVOL4	DVOL3	DVOL2	DVOL1	DVOL0
0BH	ALC2 Mode Control	0	0	RFS5	RFS4	RFS3	RFS2	RFS1	RFS0

太字 AK4536 または AK4630 から変更されたレジスタ
AK4536 および AK4630 から追加されたレジスタ

(2) MCKO bit (Addr = 01H, D1 bit)

レジスタ	AK4536	AK4630/AK4631
Addr = 01H, D1	PMXTL bit	MCKO bit 0: “L” output (Default) 1: 256fs output

(3) FS1-0 bits (Addr = 05H, D1-0 bits)

FCK or BICK 基準PLL 使用時(PLL2 bit = “0” and PMPLL bit = “1”)のサンプリング周波数の設定 FS3-0 bits が下表の示す通り変更されています。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency Range	
					AK4536/AK4630	AK4631
0	0	Don't care	0	0	$7.35\text{kHz} \leq f_s \leq 10\text{kHz}$	$7.35\text{kHz} \leq f_s \leq 8\text{kHz}$
1	0	Don't care	0	1	$10\text{kHz} < f_s \leq 14\text{kHz}$	$8\text{kHz} < f_s \leq 12\text{kHz}$
2	0	Don't care	1	0	$14\text{kHz} < f_s \leq 20\text{kHz}$	$12\text{kHz} < f_s \leq 16\text{kHz}$
3	0	Don't care	1	1	$20\text{kHz} < f_s \leq 26\text{kHz}$	$16\text{kHz} < f_s \leq 24\text{kHz}$
6	1	Don't care	1	0	N/A	$24\text{kHz} < f_s \leq 32\text{kHz}$
7	1	Don't care	1	1	N/A	$32\text{kHz} < f_s \leq 48\text{kHz}$
Others	Others				N/A	N/A

8kHz, 11.025kHz, 16kHz, 22.05kHz, 24kHz では AK4536/AK4630 と AK4631 の設定は同じです。

ピン／機能

No.	Pin Name	I/O	Function
1	VCOM	O	Common Voltage Output Pin, $0.45 \times AVDD$ Bias voltage of ADC inputs and DAC outputs.
2	AVSS	-	Analog Ground Pin
3	AVDD	-	Analog Power Supply Pin
4	VCOC	O	Output Pin for Loop Filter of PLL Circuit This pin should be connected to AVSS with one resistor and capacitor in series.
5	PDN	I	Power-Down Mode Pin “H”: Power up, “L”: Power down reset and initialize the control register.
6	CSN	I	Chip Select Pin
7	CCLK	I	Control Data Clock Pin
8	CDTI	I	Control Data Input Pin
9	SDTI	I	Audio Serial Data Input Pin
10	SDTO	O	Audio Serial Data Output Pin
11	FCK	I/O	Frame Clock Pin
12	BICK	I/O	Audio Serial Data Clock Pin
13	DVDD	-	Digital Power Supply Pin
14	DVSS	-	Digital Ground Pin
15	MCKI	I	External Master Clock Input Pin (Internal Pull Down $25k\Omega$ @PDN pin = “L”)
16	MCKO	O	Master Clock Output Pin
17	SPP	O	Speaker Amp Positive Output Pin
18	SPN	O	Speaker Amp Negative Output Pin
19	SVDD	-	Speaker Amp Power Supply Pin
20	SVSS	-	Speaker Amp Ground Pin
21	MIN	I	ALC2 Input Pin
22	MOUT	O	Mono Analog Output Pin
23	AOUT	O	Mono Line Output Pin
24	BEEP	I	Beep Signal Input Pin
25	AIN	I	IPGA (ALC1) Input Pin
26	MICOUT	O	Microphone Analog Output Pin
27	MIC	I	Microphone Input Pin (Mono Input)
28	MPI	O	MIC Power Supply Pin for Microphone

Note: All input pins except analog input pins (MIC, AIN, MIN and BEEP pins) should not be left floating.

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

Classification	Pin Name	設定
Analog Input	MIC, AIN, BEEP, MIN	オープンかつパスを切して下さい。
Analog Output	MICOUT, MPI, AOUT, MOUT, SPP, SPN	オープン
Digital Input	MCKI, SDTI, FCK(when M/S bit = “0”), BICK(when M/S bit = “0”)	DVSSに接続
Digital Output	MCKO, SDTO, FCK(when M/S bit = “1”), BICK(when M/S bit = “1”)	オープン

絶対最大定格

(AVSS, DVSS, SVSS=0V; Note 2)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	Speaker-Amp	SVDD	-0.3	6.0	V
	AVSS – DVSS (Note 3)	Δ GND1	-	0.3	V
	AVSS – SVSS (Note 3)	Δ GND2	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	± 10	mA
Analog Input Voltage		VINA	-0.3	AVDD+0.3	V
Digital Input Voltage		VIND	-0.3	DVDD+0.3	V
Ambient Temperature (powered applied)		Ta	-10	70	°C
Storage Temperature		Tstg	-65	150	°C
Maximum Power Dissipation (Note 4)		Pd	-	520	mW

Note 2. 電圧は全てグランドピンに対する値です。

Note 3. AVSSと DVSS, SVSSは同じアナロググランドに接続して下さい。

Note 4. 実装されるプリント基板の配線密度100%以上の場合です。この電力値はAK4631の内部損失分で、外部接続されるスピーカ消費分は含まれません。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また、通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS, SVSS=0V; Note 2)

Parameter		Symbol	min	typ	max	Units
Power Supplies (Note 5)	Analog	AVDD	2.6	3.3	3.6	V
	Digital	DVDD	2.6	3.3	3.6	V
	Speaker-Amp (Note 6)	SVDD	2.6	3.3 / 5.0	5.25	V
	Difference	AVDD-DVDD	-0.3	0	0.3	V

Note 2. 電圧は全てグランドピンに対する値です。

Note 5. AVDD, DVDD, SVDDの電源立ち上げシーケンスを考慮する必要はありません。

一部の電源だけをOFFする場合、再度電源をONした後にPDN pin = “L”でリセットして下さい。

Note 6. 8 Ω ダイナミックスピーカ接続時はSVDD = 2.6V ~ 3.6V です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分
ご注意ください。

アナログ特性

(Ta=25°C; AVDD, DVDD, SVDD=3.3V; AVSS=DVSS=SVSS=0V; fs=8kHz, BICK=64fs; Signal Frequency=1kHz; 16bit Data; Measurement frequency=20Hz ~ 3.4kHz; EXT Slave Mode; unless otherwise specified)

Parameter	min	typ	max	Units	
MIC Amplifier					
Input Resistance	20	30	40	kΩ	
Gain (MGAIN1-0 bits = “00”)	-	0	-	dB	
(MGAIN1-0 bits = “01”)	-	20	-	dB	
(MGAIN1-0 bits = “10”)	-	26	-	dB	
(MGAIN1-0 bits = “11”)	-	32	-	dB	
MIC Power Supply: MPI pin					
Output Voltage (Note 7)	2.22	2.47	2.72	V	
Load Resistance	2	-	-	kΩ	
Load Capacitance	-	-	30	pF	
Input PGA Characteristics:					
Input Resistance (Note 8)	5	10	15	kΩ	
Step Size	0.05	0.5	0.9	dB	
Gain Control Range	−8	-	+27.5	dB	
ADC Analog Input Characteristics: MIC → IPGA → ADC, MIC Gain=20dB, IPGA=0dB, ALC1=OFF					
Resolution			16	Bits	
Input Voltage (MIC Gain=20dB, Note 9)	0.168	0.198	0.228	Vpp	
S/(N+D) (−1dBFS) (Note 10)	68	80	-	dB	
D-Range (−60dBFS)	75	85	-	dB	
S/N	75	85	-	dB	
DAC Characteristics:					
Resolution			16	Bits	
Mono Line Output Characteristics: AOUT pin, DAC → AOUT, RL=10kΩ					
Output Voltage (Note 11)	1.78	1.98	2.18	Vpp	
S/(N+D) (0dBFS) (Note 10)	73	85	-	dB	
D-Range (−60dBFS)	83	93	-	dB	
S/N	83	93	-	dB	
Load Resistance	10	-	-	kΩ	
Load Capacitance	-	-	30	pF	
Speaker-Amp Characteristics: MIN → SPP/SPN pins, ALC2=OFF, RL=8Ω, BTL, SVDD=3.3V					
Output Voltage (Note 12)	SPKG1-0 bits = “00” (−0.5dBFS)	2.47	3.09	3.71	Vpp
	SPKG1-0 bits = “01” (−0.5dBFS)	3.10	3.92	4.74	Vpp
S/(N+D)	SPKG1-0 bits = “00” (150mW出力時)	40	60	-	dB
	SPKG1-0 bits = “01” (240mW出力時)	20	50	-	dB
	SPKG1-0 bits = “01” (250mW出力時)	-	20	-	dB
S/N (Note 14)	80	90	-	dB	
Load Resistance	8	-	-	Ω	
Load Capacitance	-	-	30	pF	
Speaker-Amp Characteristics: MIN → SPP/SPN pins, ALC2=OFF, CL=3μF, Rserial=10Ω x 2, BTL, SVDD=5.0V					
Output Voltage (Note 12)	SPKG1-0 bits = “10” (0dBFS)	-	6.72	-	Vpp
	SPKG1-0 bits = “11” (0dBFS)	6.80	8.50	10.20	Vpp
S/(N+D) (Note 12) (Note 13)	SPKG1-0 bits = “10” (0dBFS)	-	60	-	dB
	SPKG1-0 bits = “11” (0dBFS)	20	50	-	dB
S/N (Note 13) (Note 14)	80	90	-	dB	
Load Impedance (Note 15)	50	-	-	Ω	
Load Capacitance	-	-	3	μF	

Parameter	min	typ	max	Units
BEEP Input: BEEP pin, External Input Resistance= 20k Ω				
Maximum Input Voltage (Note 16)	-	1.98	-	V _{pp}
Output Voltage (Input Voltage=0.6V _{pp})				
BEEP → SPP/SPN (SPKG1-0 bits = “00”)	0.74	1.48	2.22	V _{pp}
BEEP → AOUT	0.3	0.6	0.9	V _{pp}
Mono Input: MIN pin				
Maximum Input Voltage (Note 17)	-	2.18	-	V _{pp}
Input Resistance (Note 18)	12	24	36	k Ω
Mono Output: MOUT pin, DAC→ MOUT				
Output Voltage (Note 19)	1.78	1.98	2.18	V _{pp}
Load Resistance	10	-	-	k Ω
Load Capacitance	-	-	30	pF
Power Supplies				
Power Up (PDN = “H”)				
All Circuit Power-up: (Note 20)				
AVDD+DVDD				
fs=8kHz	-	9	-	mA
fs=48kHz	-	11.5	17.5	mA
SVDD: Speaker-Amp Normal Operation (SPPS bit = “1”, No Output)				
SVDD=3.3V	-	7	-	mA
SVDD=5.0V	-	9	27	mA
Power Down (PDN = “L”)				
AVDD+DVDD+SVDD	-	10	200	μ A

Note 7. 出力電圧はAVDDに比例します。V_{out} = 0.75 x AVDD (typ)。

Note 8. IPGAの入力インピーダンスは、ALC1のゲイン設定により、typ.8k Ω ~11k Ω の間で変化します。

Note 9. 入力電圧はAVDDに比例します。V_{in} = 0.06 x AVDD (typ)。

Note 10. PLL Slave ModeでFCK pinからPLL基準クロックを入力する場合、S/(N+D)は、77dB(typ)になります。

Note 11. 出力電圧はAVDDに比例します。V_{out} = 0.6 x AVDD (typ)。

Note 12. フルスケールはMIN = 1.98V_{pp}入力時。

Note 13. 測定点は SPP pin /SPN pin 直です。

Note 14. SPKG1-0 bitsの設定に関係なく、同じ値です。

Note 15. Figure 34 において、Load Impedance はシリーズ抵抗と 1kHz における圧電スピーカの抵抗成分の合計です。Load Capacitance は圧電スピーカの容量成分です。圧電スピーカを使用する場合、SPP, SPN pin にそれぞれ10 Ω 以上のシリーズ抵抗を接続してください。

Note 16. 最大入力電圧はAVDDと外付けの入力抵抗(R_{in})に比例します。V_{out} = 0.6 x AVDD x R_{in}/20k Ω (max)。

Note 17. 最大入力電圧はAVDDに比例します。V_{in} = 0.66 x AVDD (max)。

Note 18. Mono Input の入力インピーダンスは、ALC2のゲイン設定により、typ.22k Ω ~26k Ω の間で変化します。

Note 19. 出力電圧はAVDDに比例します。V_{out} = 0.6 x AVDD (typ)。

Note 20. PLL Master Mode (MCKI=12.288MHz)で、PMMIC = PMADC = PMDAC = PMSPK = PMVCM = PMPLL = MCKO = PMAO = PMBP = MPWR = M/S = “1”の場合です。このとき、MPI pinの出力電流は0mAです。EXTモード(PMPLL=MCKO=M/S= “0”)の場合、AVDD+DVDD = 7mA (fs=8kHz, typ)、9.5mA (fs=48kHz, typ)になります。

フィルタ特性

(Ta = 25°C; AVDD, DVDD = 2.6 ~ 3.6V, SVDD = 2.6 ~ 5.25V; fs=8kHz)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 21)	±0.16dB	PB	0		3.0	kHz
	−0.66dB		-	3.5	-	kHz
	−1.1dB		-	3.6	-	kHz
	−6.9dB		-	4.0	-	kHz
Stopband (Note 21)		SB	4.7			kHz
Passband Ripple		PR			±0.1	dB
Stopband Attenuation		SA	73			dB
Group Delay (Note 22)		GD		17.1		1/fs
Group Delay Distortion		ΔGD		0		μs
ADC Digital Filter (HPF):						
Frequency Response (Note 21)	−3.0dB	FR	-	0.62	-	Hz
	−0.5dB		-	1.81	-	Hz
	−0.1dB		-	3.99	-	Hz
DAC Digital Filter:						
Passband (Note 21)	±0.1dB	PB	0		3.6	kHz
	−0.7dB		-	3.6	-	kHz
	−6.0dB		-	4.0	-	kHz
Stopband (Note 21)		SB	4.6			kHz
Passband Ripple		PR			±0.01	dB
Stopband Attenuation		SA	59			dB
Group Delay (Note 22)		GD		16.8		1/fs
DAC Digital Filter + Analog Filter:						
Frequency Response: 0 ~ 3.4kHz		FR		±1.0		dB

Note 21. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば、ADCのPB=3.6kHz (@-1.0dB)は0.45 x fsです。各応答は1kHzを基準にします。

Note 22. デジタルフィルタによる遅延演算で、ADC部はアナログ信号が入力されてから16 ビットデータが出力レジスタにセットされるまでの時間です。

DAC部は16ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

DC特性

(Ta = 25°C; AVDD, DVDD = 2.6 ~ 3.6V, SVDD = 2.6 ~ 5.25V)

Parameter		Symbol	min	typ	max	Units
High-Level Input Voltage		VIH	70%DVDD	-	-	V
Low-Level Input Voltage		VIL	-	-	30%DVDD	V
High-Level Output Voltage (Iout=−80μA)		VOH	DVDD−0.4	-	-	V
Low-Level Output Voltage (Iout= 80μA)		VOL	-	-	0.4	V
Input Leakage Current		Iin	-	-	±10	μA

スイッチング特性

(Ta = 25°C; AVDD, DVDD = 2.6 ~ 3.6V, SVDD = 2.6 ~ 5.25V; CL=20pF)

Parameter	Symbol	min	typ	max	Units
PLL Master Mode (PLL Reference Clock = MCKI pin) (Figure 2)					
MCKI Input: Frequency	fCLK	11.2896		27.0	MHz
Pulse Width Low	tCLKL	0.4/fCLK			ns
Pulse Width High	tCLKH	0.4/fCLK			ns
MCKO Output:					
Frequency	fMCK		256 x fFCK		kHz
Duty Cycle except fs=29.4kHz,32kHz	dMCK	40	50	60	%
fs=29.4kHz, 32kHz (Note 23)	dMCK		33		%
FCK Output: Frequency	fFCK	8		48	kHz
Duty Cycle	dFCK		50		%
BICK: Period (BCKO1-0 = "00")	tBCK		1/16fFCK		ns
(BCKO1-0 = "01")	tBCK		1/32fFCK		ns
(BCKO1-0 = "10")	tBCK		1/64fFCK		ns
Duty Cycle	dBCK		50		%
Audio Interface Timing					
DSP Mode: (Figure 3, Figure 4)					
FCK "↑" to BICK "↑" (Note 24)	tDBF	0.5 x tBCK -40	0.5 x tBCK	0.5 x tBCK + 40	ns
FCK "↑" to BICK "↓" (Note 25)	tDBF	0.5 x tBCK -40	0.5 x tBCK	0.5 x tBCK +40	ns
BICK "↑" to SDTO (BCKP = "0")	tBSD	-70		70	ns
BICK "↓" to SDTO (BCKP = "1")	tBSD	-70		70	ns
SDTI Hold Time	tSDH	50			ns
SDTI Setup Time	tSDS	50			ns
Except DSP Mode: (Figure 5)					
BICK "↓" to FCK Edge	tBFCK	-40		40	ns
FCK to SDTO (MSB) (Except I ² S mode)	tFSD	-70		70	ns
BICK "↓" to SDTO	tBSD	-70		70	ns
SDTI Hold Time	tSDH	50			ns
SDTI Setup Time	tSDS	50			ns

Parameter	Symbol	min	typ	max	Units
PLL Slave Mode (PLL Reference Clock: FCK pin) (Figure 6, Figure 7)					
FCK: Frequency	fFCK	7.35	8	26	kHz
DSP Mode: Pulse Width High	tFCKH	tBCK-60		1/fFCK-tBFCK	ns
Except DSP Mode: Duty Cycle	duty	45		55	%
BICK: Period	tBCK	1/64fFCK		1/16fFCK	ns
Pulse Width Low	tBCKL	240			ns
Pulse Width High	tBCKH	240			ns
PLL Slave Mode (PLL Reference Clock: BICK pin) (Figure 6, Figure 7)					
FCK: Frequency	fFCK	7.35	8	48	kHz
DSP Mode: Pulse width High	tFCKH	tBCK-60		1/fFCK-tBFCK	ns
Except DSP Mode: Duty Cycle	duty	45		55	%
BICK: Period (PLL3-0 = "0001")	tBCK		1/16fFCK		ns
(PLL3-0 = "0010")	tBCK		1/32fFCK		ns
(PLL3-0 = "0011")	tBCK		1/64fFCK		ns
Pulse Width Low	tBCKL	0.4 x tBCK			ns
Pulse Width High	tBCKH	0.4 x tBCK			ns
PLL Slave Mode (PLL Reference Clock: MCKI pin) (Figure 8)					
MCKI Input: Frequency	fCLK	11.2896		27.0	MHz
Pulse Width Low	fCLKL	0.4/fCLK			ns
Pulse Width High	fCLKH	0.4/fCLK			ns
MCKO Output:					
Frequency	fMCK		256 x fFCK		kHz
Duty Cycle except fs=29.4kHz, 32kHz	dMCK	40	50	60	%
fs=29.4kHz, 32kHz (Note 23)	dMCK		33		%
FCK: Frequency	fFCK	8		48	kHz
DSP Mode: Pulse width High	tFCKH	tBCK-60		1/fFCK-tBFCK	ns
Except DSP Mode: Duty Cycle	duty	45		55	%
BICK: Period	tBCK	1/64fFCK		1/16fFCK	ns
Pulse Width Low	tBCKL	0.4 x tBCK			ns
Pulse Width High	tBCKH	0.4 x tBCK			ns
Audio Interface Timing					
DSP Mode: (Figure 9, Figure 10)					
FCK "↑" to BICK "↑" (Note 24)	tFCKB	0.4 x tBCK			ns
FCK "↑" to BICK "↓" (Note 25)	tFCKB	0.4 x tBCK			ns
BICK "↑" to FCK "↑" (Note 24)	tBFCK	0.4 x tBCK			ns
BICK "↓" to FCK "↑" (Note 25)	tBFCK	0.4 x tBCK			ns
BICK "↑" to SDTO (BCKP = "0")	tBSD			80	ns
BICK "↓" to SDTO (BCKP = "1")	tBSD			80	ns
SDTI Hold Time	tSDH	50			ns
SDTI Setup Time	tSDS	50			ns
Except DSP Mode: (Figure 12)					
FCK Edge to BICK "↑" (Note 26)	tFCKB	50			ns
BICK "↑" to FCK Edge (Note 26)	tBFCK	50			ns
FCK to SDTO (MSB) (Except I ² S mode)	tFSD			80	ns
BICK "↓" to SDTO	tBSD			80	ns
SDTI Hold Time	tSDH	50			ns
SDTI Setup Time	tSDS	50			ns

Parameter	Symbol	min	typ	max	Units
EXT Slave Mode (Figure 11)					
MCKI Frequency: 256fs	fCLK	1.8816	2.048	12.288	MHz
512fs	fCLK	3.7632	4.096	13.312	MHz
1024fs	fCLK	7.5264	8.192	13.312	MHz
Pulse Width Low	tCLKL	0.4/fCLK			ns
Pulse Width High	tCLKH	0.4/fCLK			ns
FCK Frequency (MCKI = 256fs)	fFCK	7.35	8	48	kHz
(MCKI = 512fs)	fFCK	7.35	8	26	kHz
(MCKI = 1024fs)	fFCK	7.35	8	13	%
Duty Cycle	duty	45		55	
BICK Period	tBCK	312.5			ns
BICK Pulse Width Low	tBCKL	130			ns
Pulse Width High	tBCKH	130			ns
Audio Interface Timing (Figure 12)					
FCK Edge to BICK “↑” (Note 26)	tFCKB	50			ns
BICK “↑” to FCK Edge (Note 26)	tBFCK	50			ns
FCK to SDTO (MSB) (Except I ² S mode)	tFSD			80	ns
BICK “↓” to SDTO	tBSD			80	ns
SDTI Hold Time	tSDH	50			ns
SDTI Setup Time	tSDS	50			ns

Note 23. Duty Cycle = “L”幅 / クロック周期 × 100

Note 24. MSBS, BCKP bits = “00” or “11”

Note 25. MSBS, BCKP bits = “01” or “10”

Note 26. この規格値はFCKのエッジとBICKの“↑”が重ならないように規定しています。

Parameter	Symbol	min	typ	max	Units
Control Interface Timing:					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN “H” Time	tCSW	150			ns
CSN “↓” to CCLK “↑”	tCSS	150			ns
CCLK “↑” to CSN “↑”	tCSH	50			ns
Reset Timing					
PDN Pulse Width (Note 27)	tPD	150			ns
PMADC “↑” to SDTO valid (Note 28)	tPDV		1059		1/fs

Note 27. AK4631はPDN pin = “L”でリセットされます。

Note 28. PMADC bitを立ち上げてからのFCKクロックの“↑”の回数です。

■ タイミング波形

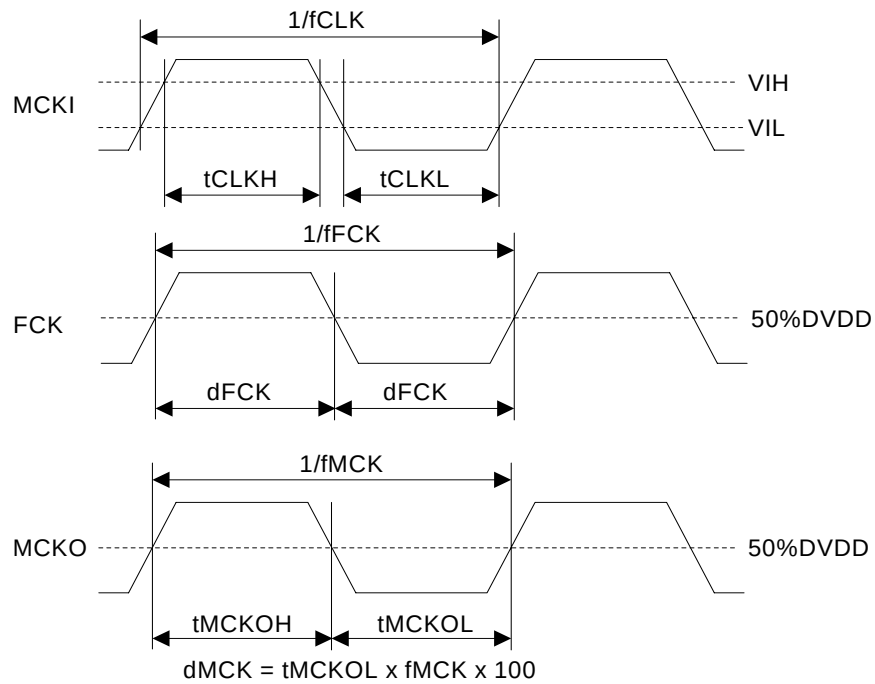


Figure 2. Clock Timing (PLL Master mode)

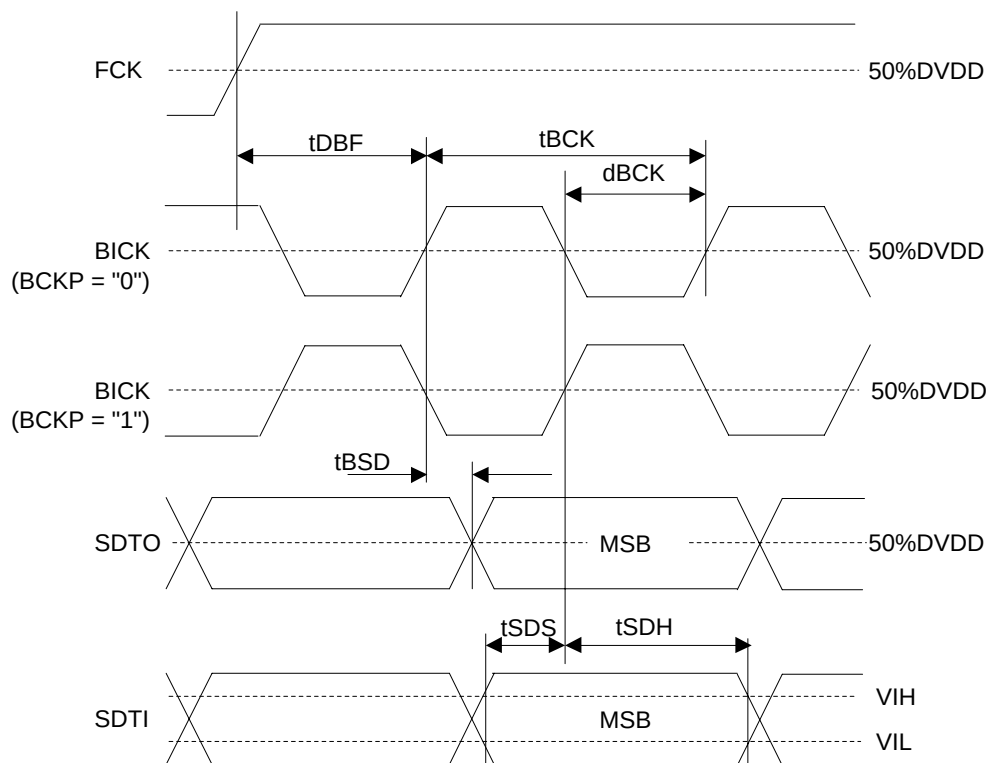


Figure 3. Audio Interface Timing (PLL Master mode & DSP mode: MSBS = "0")

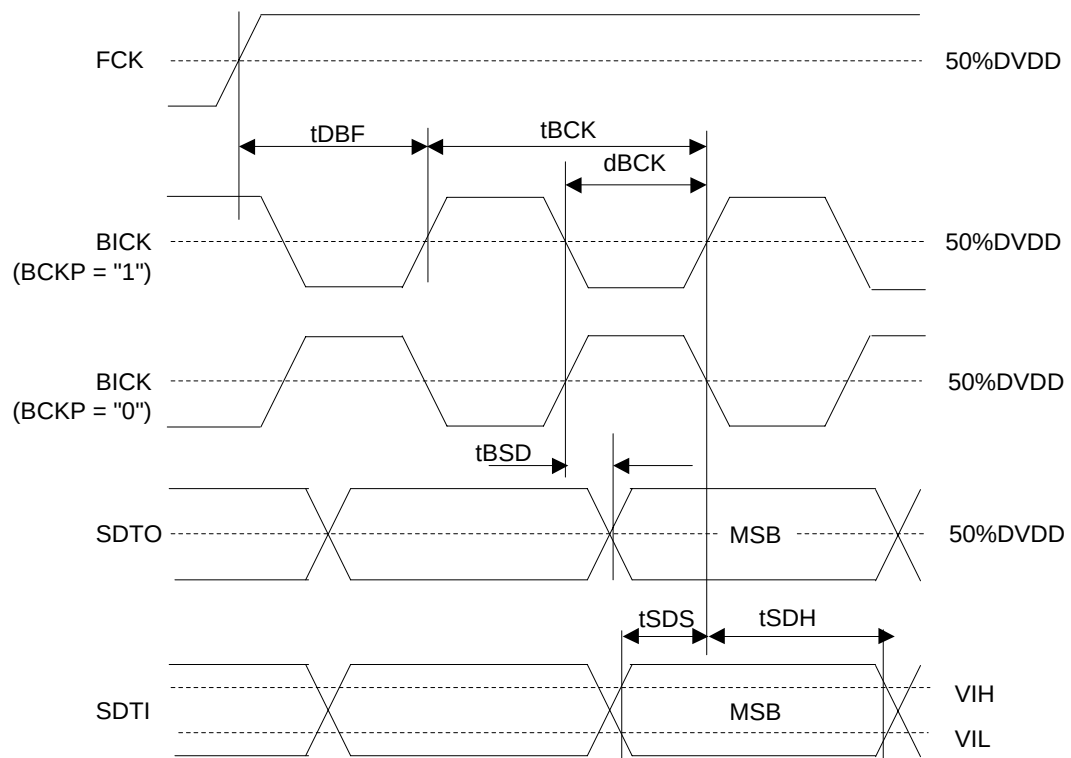


Figure 4. Audio Interface Timing (PLL Master mode & DSP mode: MSBS = "1")

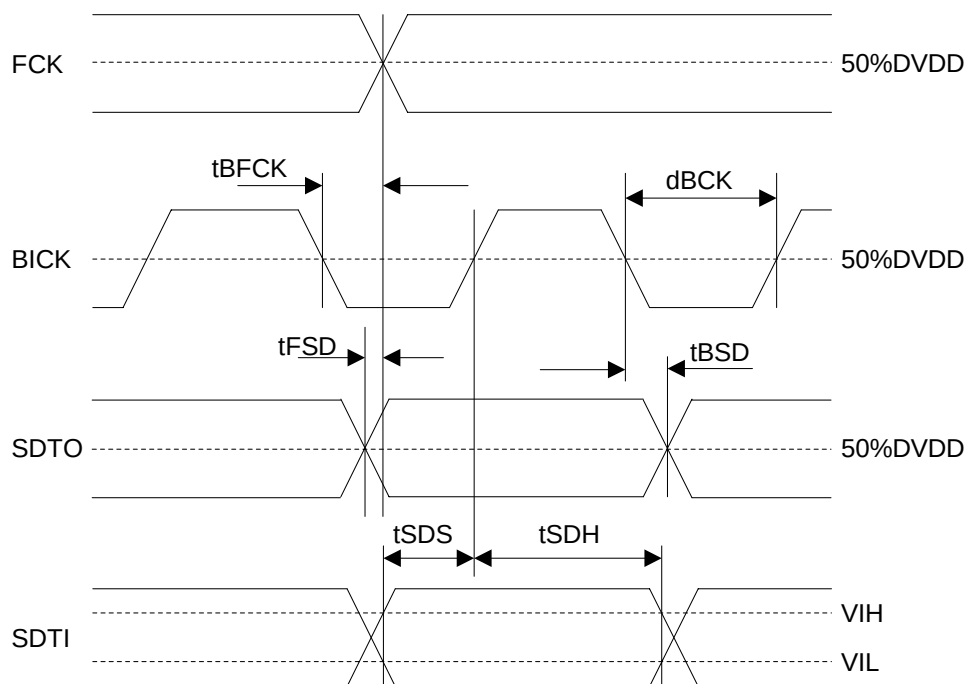


Figure 5. Audio Interface Timing (PLL Master mode & Except DSP mode)

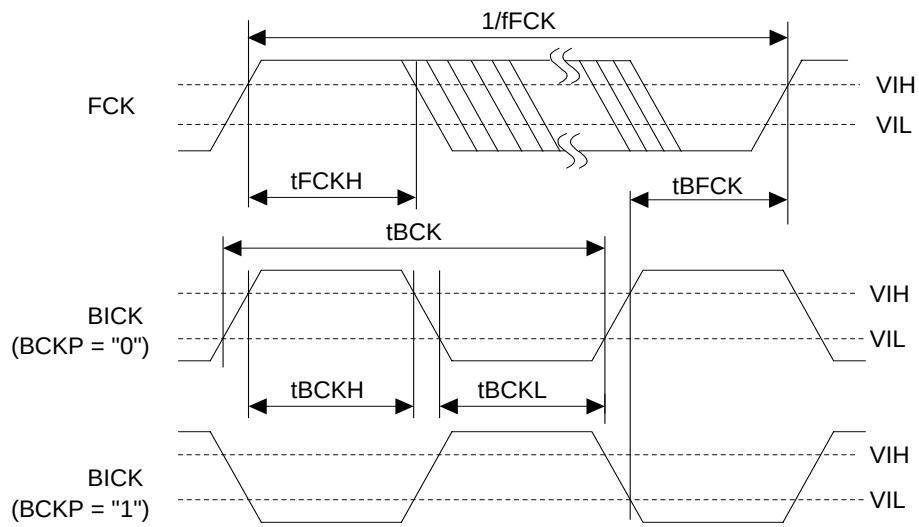


Figure 6. Clock Timing (PLL Slave mode; PLL Reference Clock = FCK or BICK pin & DSP mode; MSBS = 0)

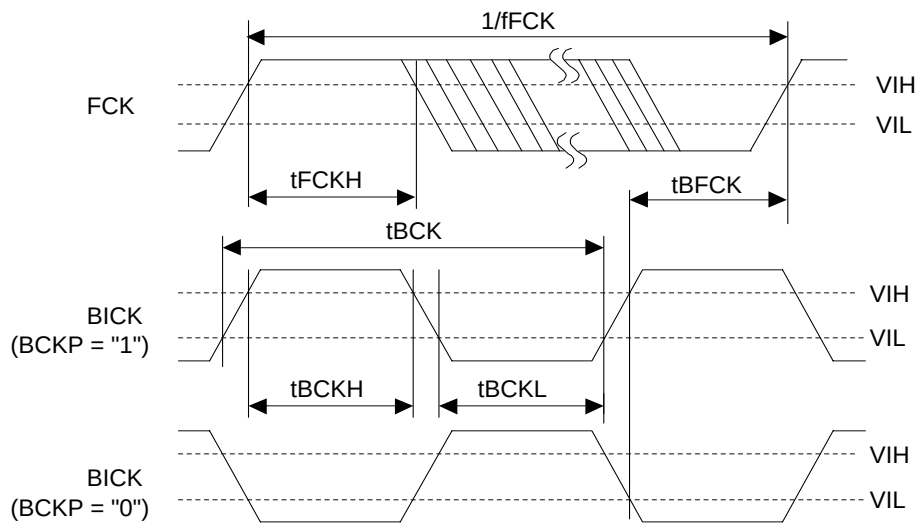


Figure 7. Clock Timing (PLL Slave mode; PLL Reference Clock = FCK or BICK pin & DSP mode; MSBS = 1)

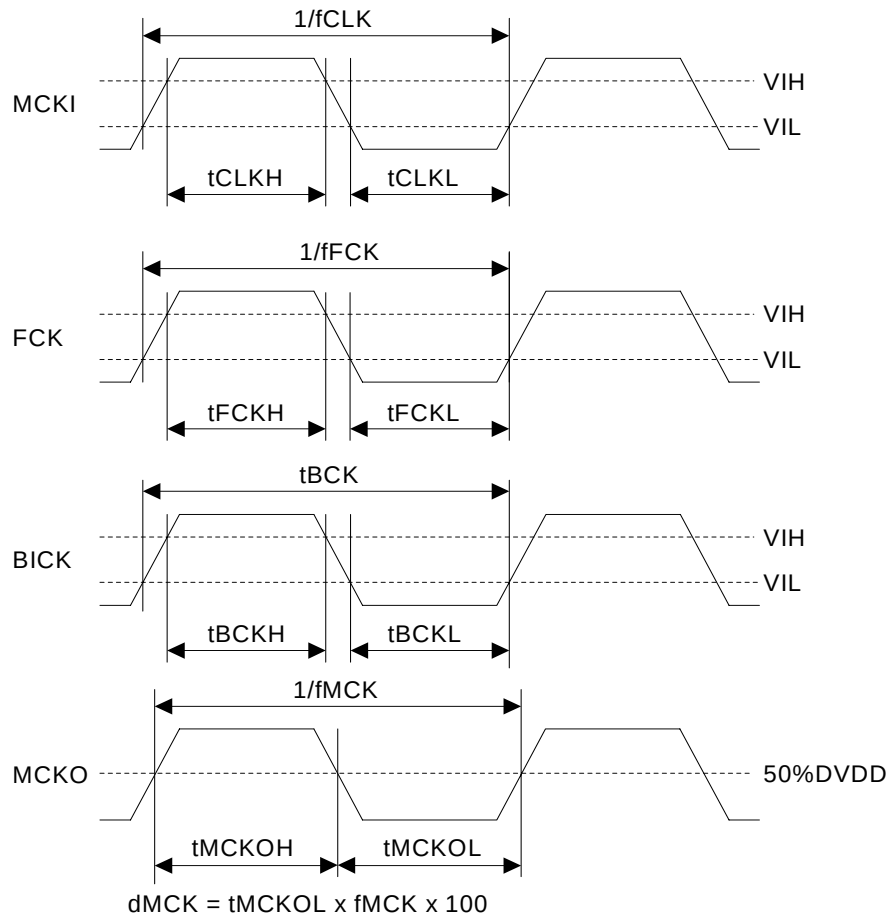


Figure 8. Clock Timing (PLL Slave mode; PLL Reference Clock = MCKI pin & Except DSP mode)

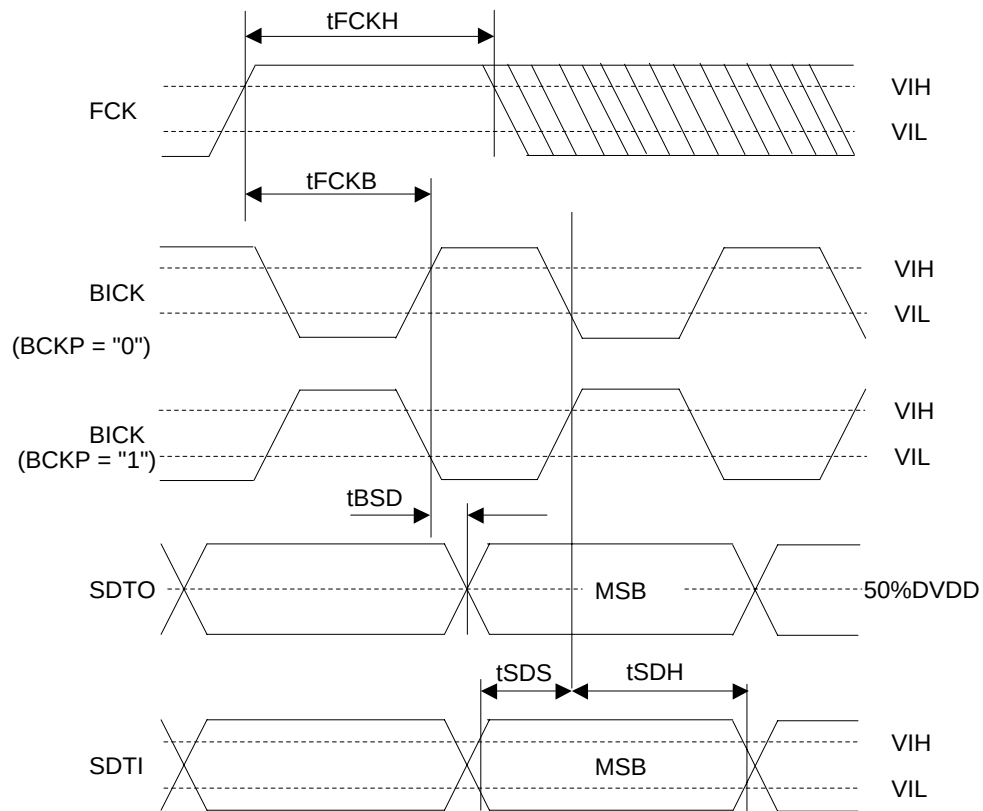


Figure 9. Audio Interface Timing (PLL Slave mode & DSP mode; MSBS = 0)

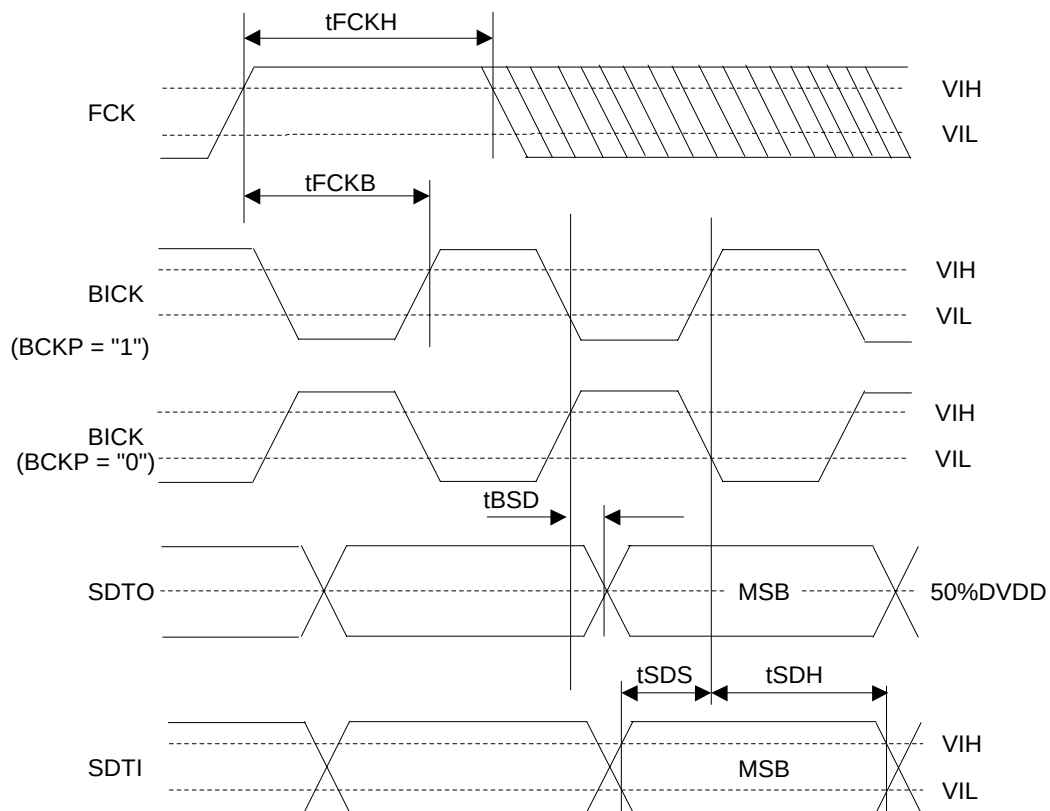


Figure 10. Audio Interface Timing (PLL Slave mode, DSP mode; MSBS = 1)

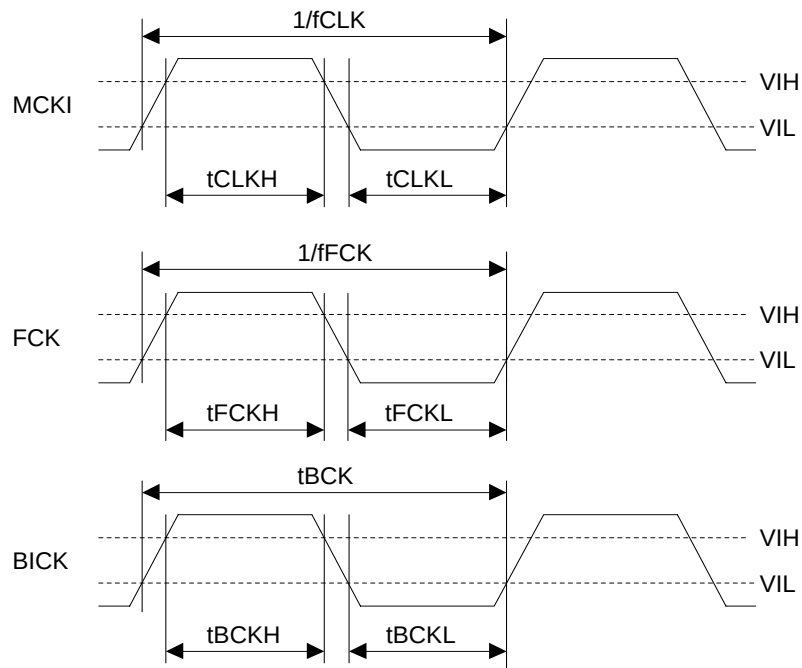


Figure 11. Clock Timing (EXT Slave mode)

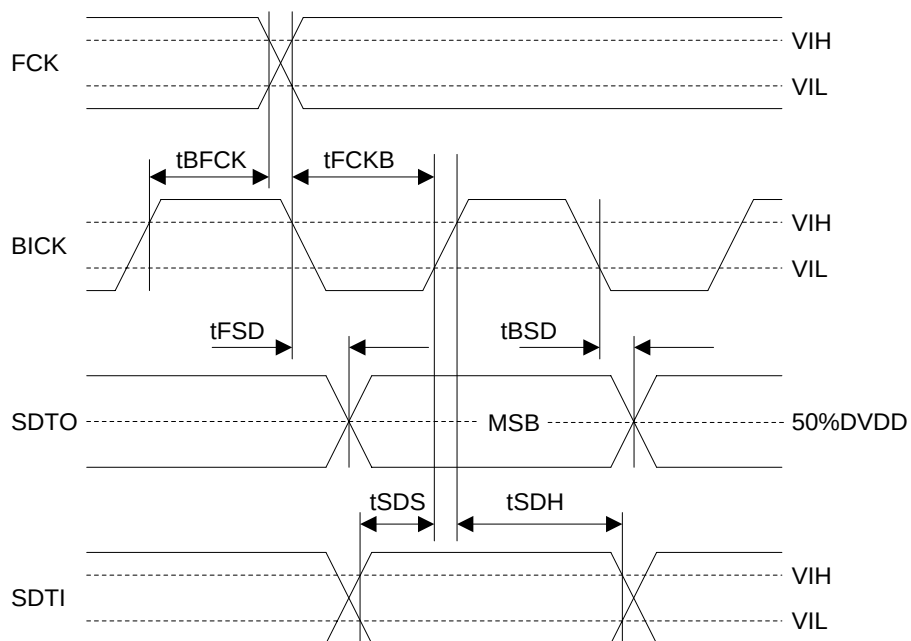


Figure 12. Audio Interface Timing (PLL, EXT Slave mode & Except DSP mode)

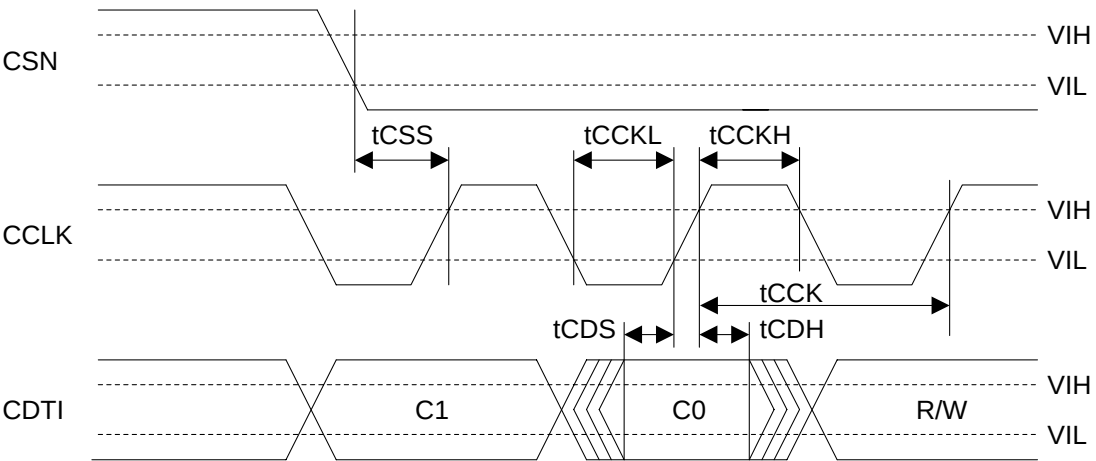


Figure 13. WRITE Command Input Timing

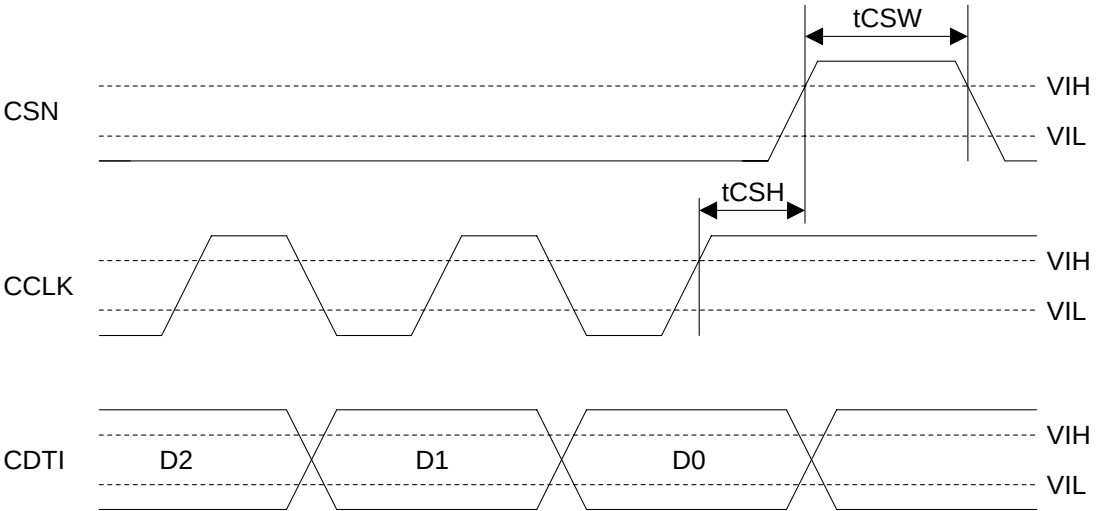


Figure 14. WRITE Data Input Timing

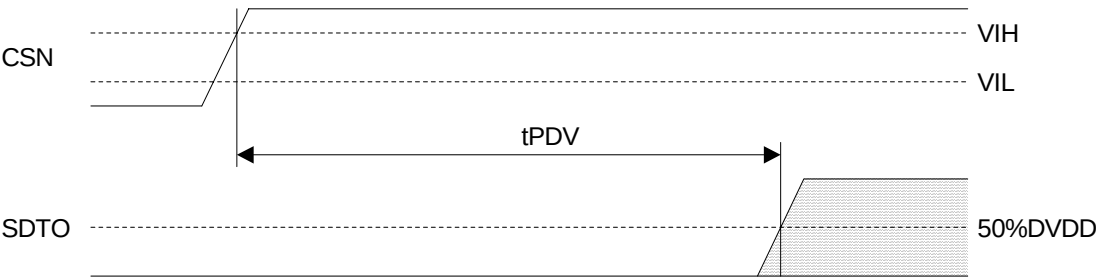


Figure 15. Power Down & Reset Timing 1

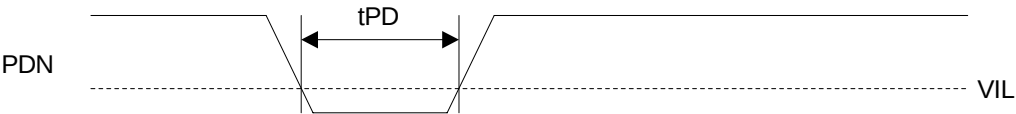


Figure 16. Power Down & Reset Timing 2

機能説明

■ システムクロック

外部とのI/Fモードは以下の4通りの方法があります。（See Table 1 and Table 2）

Mode	PMPLL bit	M/S bit	PLL3-0 bit	MCKPD bit	Figure
PLL Master Mode	1	1	See Table 4	0	Figure 18
PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)	1	0	See Table 4	0	Figure 19
PLL Slave Mode 2 (PLL Reference Clock: FCK or BICK pin)	1	0	See Table 4	1	Figure 20
EXT Slave Mode	0	0	X	0	Figure 21
Don't Care (Note 29)	0	1	X	X	-

Table 1. Clock Mode Setting (X: Don't care)

Note 29. クロックモード設定の都合上、このモードを通過する区間では、MCKO, FCK, BICK から正常でない周波数のクロックが出力されます。

Mode	MCKO bit	MCKO pin	MCKI pin	BICK pin	FCK pin
PLL Master Mode	0	"L" Output	Master Clock Input for PLL (Note 30)	16fs/32fs/64fs Output	1fs Output
	1	256fs Output			
PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)	0	"L" Output	Master Clock Input for PLL (Note 30)	16fs/32fs/64fs Input	1fs Input
	1	256fs Output			
PLL Slave Mode 2 (PLL Reference Clock: FCK or BICK pin)	0	"L" Output	GND	16fs/32fs/64fs Input	1fs Input
EXT Slave Mode	0	"L" Output	256fs/ 512fs/ 1024fs Input	≥ 32fs Input	1fs Input

Note 30. 11.2896MHz/12MHz/12.288MHz/13.5MHz/24MHz/27MHz

Table 2. Clock pins state in Clock Mode

[MCKIのプルダウン抵抗について]

マスタクロックを入力する時は、MCKPD bit="0"にして下さい。入力がフローティングになるときはMCKPD bit="1" (Default) にして、25k Ω (typ) で内部プルダウンします。

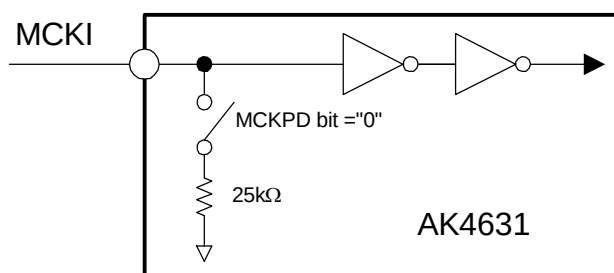


Figure 17. Pull-down resistor of MCKI pin

■ マスタモードとスレーブモードの切り替え

マスタモードとスレーブモードの切り替えはM/S bitで行います。“1”でマスタモード、“0”でスレーブモードです。AK4631はパワーダウン時(PDN pin = “L”)、及びリセット解除後はスレーブモードです。リセット解除後、M/S bitを“1”に変更することでマスタモードになります。

マスタモードで使用する場合、M/S bitに“1”が書き込まれるまで、AK4631のFCK, BICK pinはフローティングの状態です。そのため、AK4631のFCK, BICK pinに100k Ω 程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

M/S bit	Mode
0	Slave Mode
1	Master Mode

Default

Table 3. Select Master/Slave Mode

■ PLLモードについて

PMPLL bit = “1”の時、内蔵の高精度アナログPLLはFS3-0 bit, PLL3-0 bitで選択したクロックに応じて動作します。PLLのロック時間は、電源投入後、PMPLL bit を“0” → “1”に変更し、安定したクロックが入力された場合、またはサンプリング周波数に変更された場合でもTable 4の通りです。

1) PLL Modeの設定

Mode	PLL3 bit	PLL2 bit	PLL1 bit	PLL0 bit	PLL基準クロック入力ピン	入力周波数	VCOC pinのR,C		PLLロック時間(max)
							R[Ω]	C[F]	
0	0	0	0	0	FCK pin	1fs	6.8k	220n	160ms
1	0	0	0	1	BICK pin	16fs	10k	4.7n	2ms
2	0	0	1	0	BICK pin	32fs	10k	4.7n	2ms
3	0	0	1	1	BICK pin	64fs	10k	4.7n	2ms
4	0	1	0	0	MCKI pin	11.2896MHz	10k	4.7n	40ms
5	0	1	0	1	MCKI pin	12.288MHz	10k	4.7n	40ms
6	0	1	1	0	MCKI pin	12MHz	10k	4.7n	40ms
7	0	1	1	1	MCKI pin	24MHz	10k	4.7n	40ms
12	1	1	0	0	MCKI pin	13.5MHz	10k	10n	40ms
13	1	1	0	1	MCKI pin	27MHz	10k	10n	40ms
Others	Others				N/A				

Default

Table 4. Setting of PLL Mode (*fs: Sampling Frequency)

2) PLL Modeのサンプリング周波数設定

PLL2 bit = “1” (MCKI入力)の場合は、Table 5の設定によりサンプリング周波数が選択できます。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency
0	0	0	0	0	8kHz
1	0	0	0	1	12kHz
2	0	0	1	0	16kHz
3	0	0	1	1	24kHz
4	0	1	0	0	7.35kHz
5	0	1	0	1	11.025kHz
6	0	1	1	0	14.7kHz
7	0	1	1	1	22.05kHz
10	1	0	1	0	32kHz
11	1	0	1	1	48kHz
14	1	1	1	0	29.4kHz
15	1	1	1	1	44.1kHz
Others	Others				N/A

Default

Table 5. Setting of Sampling Frequency at PLL2 bit = “1” and PMPLL bit = “1”

PLL2 bit = “0” の場合(FCK or BICKより入力)は、FS3, FS1-0 bitでサンプリング周波数の設定を行って下さい (Table 6)。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency Range	Default
0	0	Don't care	0	0	$7.35\text{kHz} \leq f_s \leq 8\text{kHz}$	
1	0	Don't care	0	1	$8\text{kHz} < f_s \leq 12\text{kHz}$	
2	0	Don't care	1	0	$12\text{kHz} < f_s \leq 16\text{kHz}$	
3	0	Don't care	1	1	$16\text{kHz} < f_s \leq 24\text{kHz}$	
6	1	Don't care	1	0	$24\text{kHz} < f_s \leq 32\text{kHz}$	
7	1	Don't care	1	1	$32\text{kHz} < f_s \leq 48\text{kHz}$	
Others	Others				N/A	

Table 6. Setting of Sampling Frequency at PLL2 bit = “0” and PMPLL bit = “1”

(Note) FCK 基準(PLL3-0 bits = “0000”) の場合のサンプリング周波数は $7.35\text{kHz} \leq f_s \leq 26\text{kHz}$ です。

■ PLL のアンロックについて

1) PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

このモードで PMPLL bit = “0” → “1”にした後、あるいはサンプリング周波数を変更した場合、FCK, BICK, MCKOからは正常でない周波数のクロックが出力されます。その後、PLLがアンロックを検出した場合、アンロックになった瞬間、FCKとBICK出力は強制的に “L”になりますが、MCKO bit = “1”の場合、MCKOからは正常でないクロックが出力されます。MCKO bit = “0”の場合は、MCKOは “L”を出力します。(See Table 7)

PLL ロック後、BICKとFCK出力は “L”からクロック出力となりますので最初の1周期分のFCK, BICKは、正常でない可能性があります、1fs後には正常なクロックになります。

PLL State	MCKO pin		BICK pin	FCK pin
	MCKO bit = “0”	MCKO bit = “1”		
PMPLL bit “0” → “1”直後	“L” Output	不定	不定	不定
PLL Unlock 検出時	“L” Output	不定	“L” Output	“L” Output
PLL Lock 時	“L” Output	256fs Output	See Table 9	1fs Output

Table 7. Clock Operation at PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

2) PLL Slave Mode (PMPLL bit = “1”, M/S bit = “0”)

このモードでは PMPLL bit = “0” → “1”にした後、あるいはサンプリング周波数を変更した場合、MCKOからは正常でない周波数のクロックが出力されます。その後、PLLがロックするとMCKOから256fsのクロックが出力されます。但し、PLLがアンロックになった場合、ADC及びDACからは正常なデータが出力されません。DACに関しては、Addr=02HのDACA bit と DACM bit を “0”にすることにより出力をミュートすることが可能です。

PLL State	MCKO pin	
	MCKO bit = “0”	MCKO bit = “1”
PMPLL bit “0” → “1”直後	“L” Output	不定
PLL Unlock 検出時	“L” Output	不定
PLL Lock 時	“L” Output	256fs Output

Table 8. Clock Operation at PLL Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

■ PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

外部から11.2896MHz, 12MHz, 12.288MHz, 13.5MHz, 24MHz or 27MHz のクロックを入力し、内部のPLLによりMCKO, BICK, FCKクロックを生成し出力します。MCKO出力は256fs固定で、MCKO bitにより、ON/OFFが可能です。BICK出力はBCKO1-0 bitにより、16fs, 32fs or 64fsを選択することができます。(See Table 9)

BICK出力が16fsの場合は、オーディオI/FはDSPモードのみ対応します。

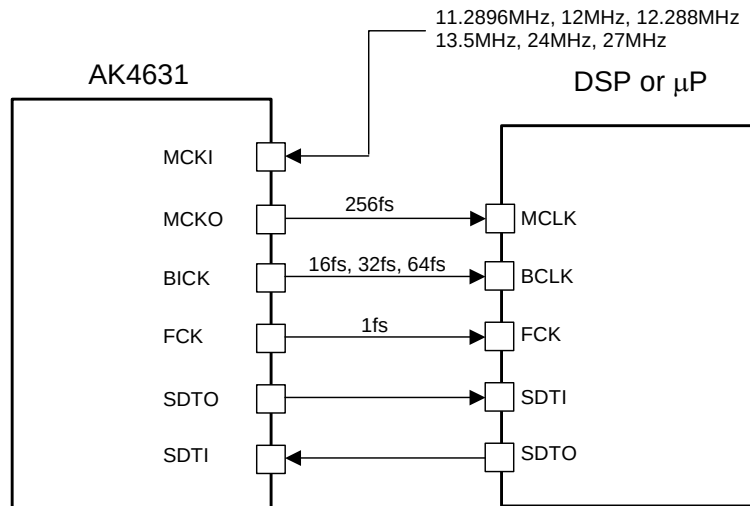


Figure 18. PLL Master Mode

Mode	BCKO1	BCKO0	BICK出力周波数	Default
0	0	0	16fs	
1	0	1	32fs	
2	1	0	64fs	
3	1	1	N/A	

Table 9. BICK Output Frequency at Master Mode

■ PLL Slave Mode (PMPLL bit = “1”, M/S bit = “0”)

MCKI, BICK or FCK pinへ入力されるクロックを基準に内部のPLLにてAK4631に必要なクロックを生成します。PLLの基準クロックは、PLL3-0 bitにて設定することができます。また、BICK出力が16fsの場合は、オーディオI/FはDSPモードのみ対応します。

a) PLL 基準クロック: BICK or FCK pin

FS3-0 bitを設定することで、BICK クロック を基準とする場合は 7.35kHz ~ 48kHz、FCKクロックを基準とする場合は7.35kHz ~ 26kHz の任意のサンプリング周波数に対応します。(See Table 6)

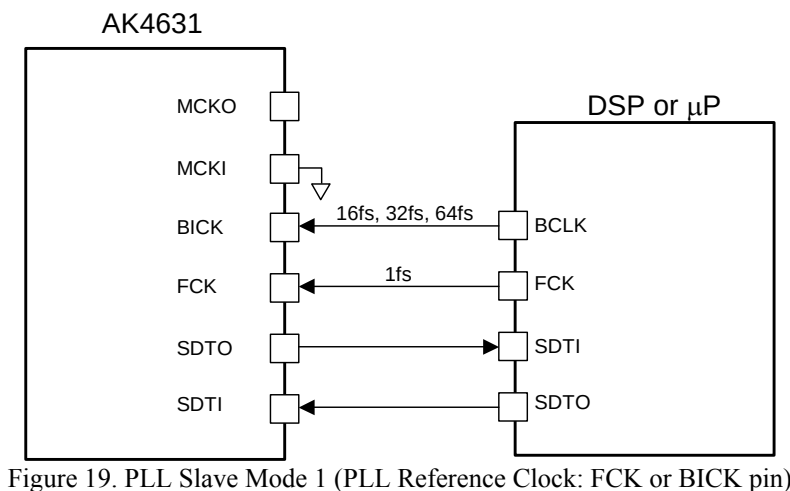


Figure 19. PLL Slave Mode 1 (PLL Reference Clock: FCK or BICK pin)

b) PLL 基準クロック: MCKI pin

MCKOに同期したBICK,FCKを入力します。MCKOとFCKは同期する必要がありますが位相を合わせる必要はありません。サンプリング周波数は、FS3-0 bitで設定することができます。(See Table 5)

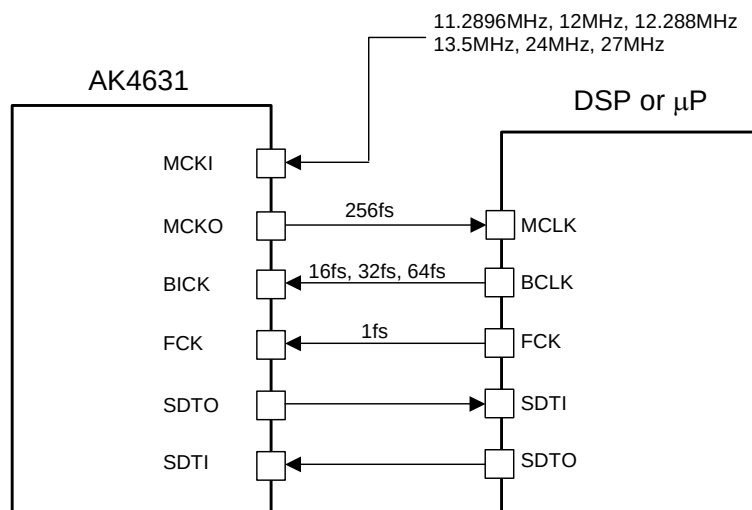


Figure 20. PLL Slave Mode 2 (PLL Reference Clock: MCKI pin)

ADC or DACが動作中 (PMADC bit = “1” or PMDAC bit = “1”) は外部クロック(MCKI, BICK, FCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態 (PMADC bit = PMDAC bit = “0”) にしてください。

■ EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

PMPLL bitを“0”にすることで、外部クロックモード(EXT Mode)で動作し、MCKI pinからPLLを介さずに直接、ADC, DACにマスタクロックを入力できます。このモードは通常のオーディオCODECとのI/Fに対して互換性があります。必要なクロックはMCKI (256fs, 512fs or 1024fs), BICK (≥ 32 fs), FCK(fs)です。MCKIとFCKは同期する必要がありますが位相を合わせる必要はありません。MCKIの入力周波数はFS3-0 bitにより選択することが可能です。(See Table 10)

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range	
0	Don't care	0	0	256fs	$7.35\text{kHz} \leq f_s \leq 48\text{kHz}$	Default
1	Don't care	0	1	1024fs	$7.35\text{kHz} < f_s \leq 13\text{kHz}$	
2	Don't care	1	0	256fs	$7.35\text{kHz} < f_s \leq 48\text{kHz}$	
3	Don't care	1	1	512fs	$7.35\text{kHz} < f_s \leq 26\text{kHz}$	

Table 10. EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”) 時のMCKI周波数の設定

EXT Slave ModeではオーディオインタフェースフォーマットのMode 0には対応していません。

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。MCKIに入力されるマスタクロックの周波数を上げることで、S/Nを改善できます。Table 11はDAC出力からAOUTアンプに通した場合のS/Nです。

MCKI	S/N ($f_s=8\text{kHz}$, 20kHzLPF + A-weighted)
256fs	83dB
512fs	93dB
1024fs	93dB

Table 11. Relationship between MCKI and S/N of AOUT

ADC or DACが動作中 (PMADC bit = “1” or PMDAC bit = “1”) は外部クロック(MCKI, BICK, FCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態 (PMADC bit = PMDAC bit = “0”) にしてください。

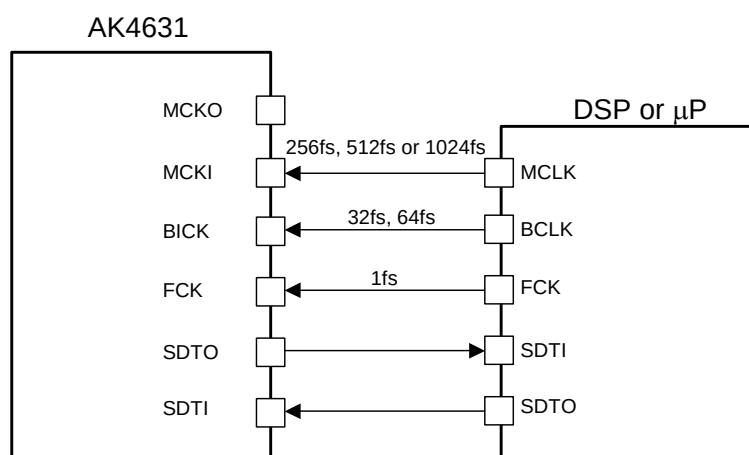


Figure 21. EXT Slave Mode

■ オーディオインタフェースフォーマット

4種類のデータフォーマット(Table 12)がDIF1-0 bitで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットです。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではFCKとBICKは出力になり、スレーブモードでは入力になります。

Mode 1-3では、SDTOはBICKの“↓”で出力され、SDTIはBICKの“↑”でラッチされます。

Mode	DIF1	DIF0	SDTO (ADC)	SDTI (DAC)	BICK	Figure
0	0	0	DSP Mode	DSP Mode	$\geq 16fs$	See Table 11
1	0	1	前詰め	後詰め	$\geq 32fs$	Figure 26
2	1	0	前詰め	前詰め	$\geq 32fs$	Figure 27
3	1	1	I ² S互換	I ² S互換	$\geq 32fs$	Figure 28

Default

Table 12. Audio Interface Format

Mode 0 (DSPモード)では、BCKP, MSBS bitにより、オーディオI/Fのタイミングを変更することができます。

BCKP bit = “0”の場合、SDTOはBICKの“↑”で出力され、SDTIはBICKの“↓”でラッチされます。
BCKP bit = “1”の場合、SDTOはBICKの“↓”で出力され、SDTIはBICKの“↑”でラッチされます。

MSBS bitは、SDTO/SDTIのMSBデータの位置をBICKの半周期分シフトすることができます。

MSBS bit	BCKP bit	Audio Interface Format
0	0	Figure 22
0	1	Figure 23
1	0	Figure 24
1	1	Figure 25

Table 13. Audio Interface Format in Mode 0

ADCより出力された16bitデータを8bitデータへ変換し保存する場合、16bitデータを単純に切り捨てると、16bitデータの“-1”は8bitデータで“-1”に変換されます。この8bitデータの“-1”をDACにて再生するために16bitデータに再変換すると“-256”となり大きなノイズになります。8bitデータへ変換する前に、16bitデータにオフセット（128）を加算することを推奨します。

■ システムリセット

電源立ち上げ時には、PDN pinに一度“L”を入力してリセットを行って下さい。システムリセットが行われると、AK4631の内部レジスタは全て初期値になります。

PMADC bitを“0” → “1”に変更することで、ADCの初期化サイクルが開始されます。初期化サイクルは1059/fs=133ms@fs=8kHzです。初期化サイクル中、ADC出力データは2'sコンプリメントの“0”です。初期化サイクル終了後、ADCの出力はアナログ入力信号に相当するデータにセトリングします。DACにはこの初期化サイクルはありません。

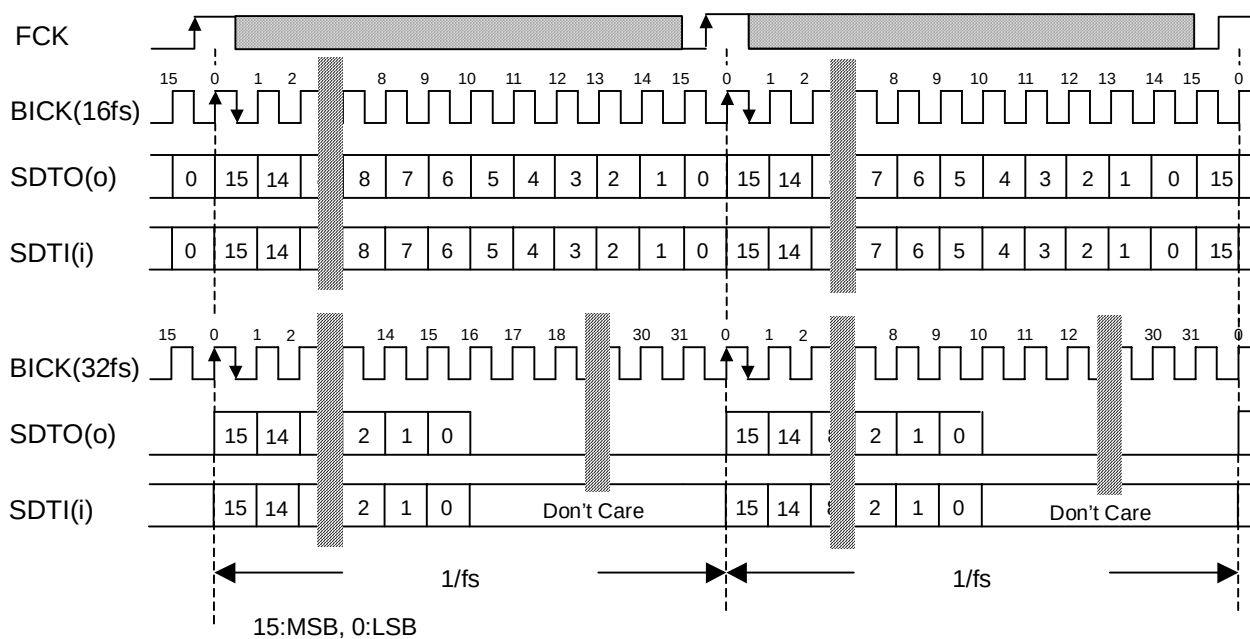


Figure 22. Mode 0 Timing (BCKP = "0", MSBS = "0")

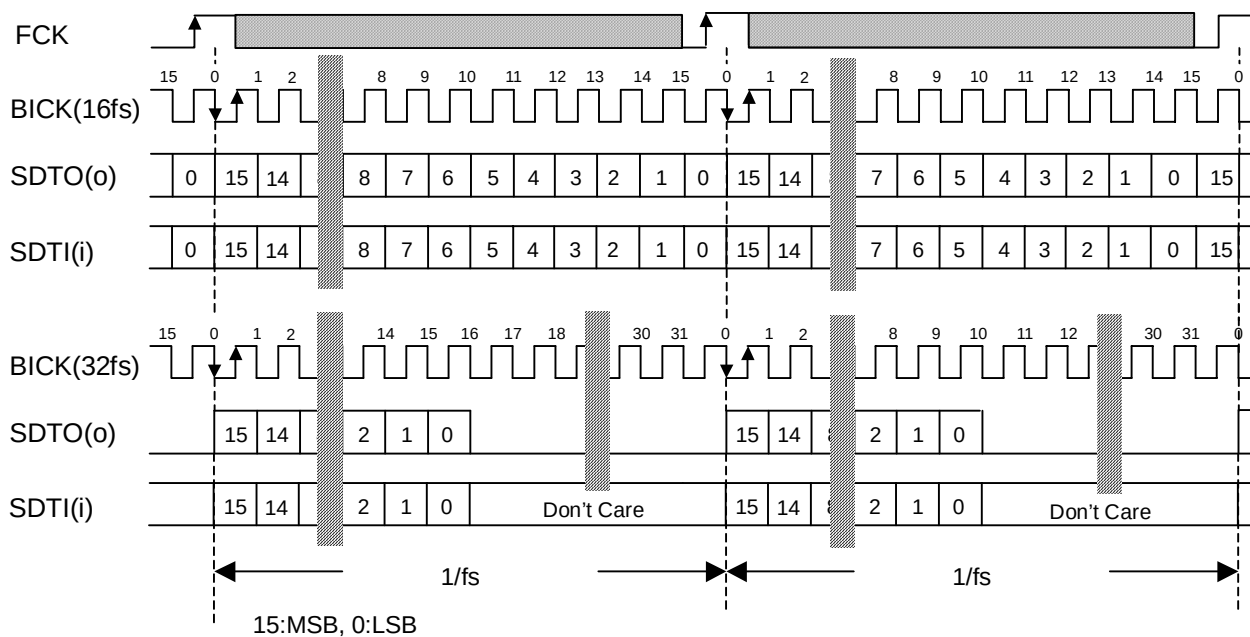


Figure 23. Mode 0 Timing (BCKP = "1", MSBS = "0")

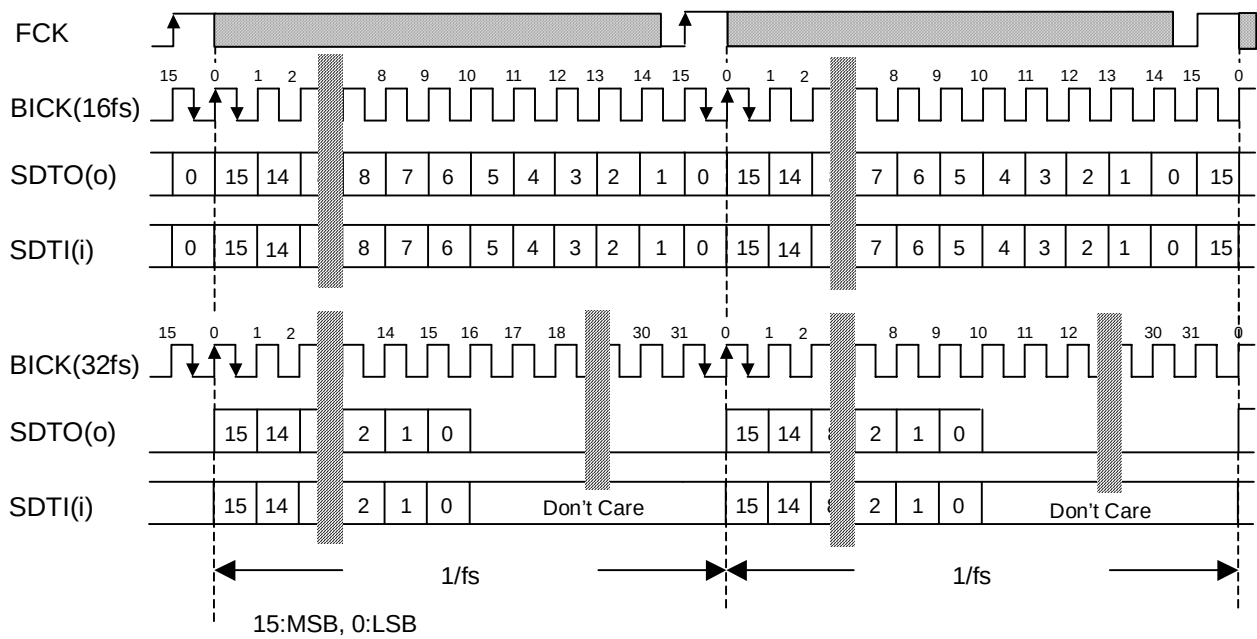


Figure 24. Mode 0 Timing (BCKP = “0”, MSBS = “1”)

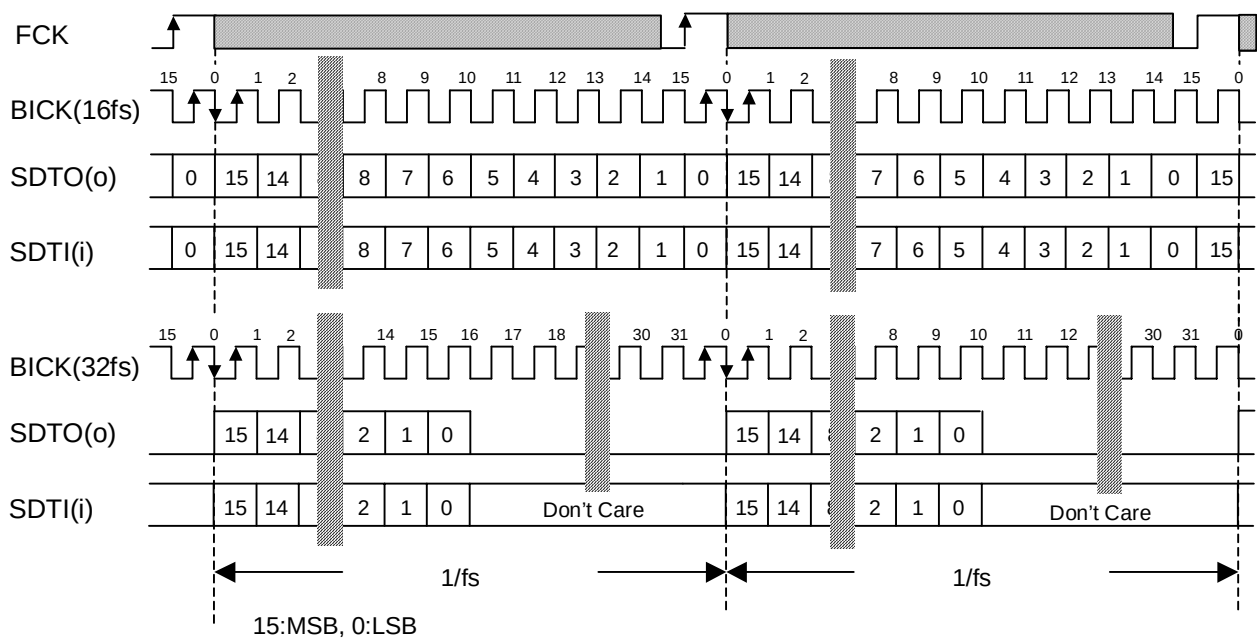


Figure 25. Mode 0 Timing (BCKP = “1”, MSBS = “1”)

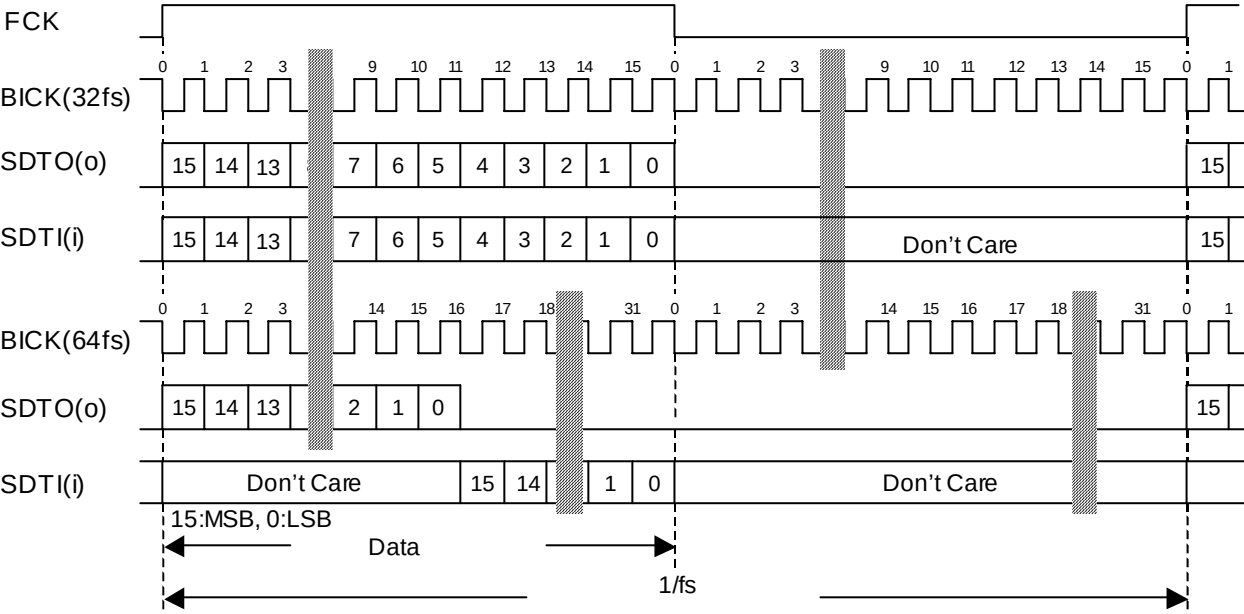


Figure 26. Mode 1 Timing

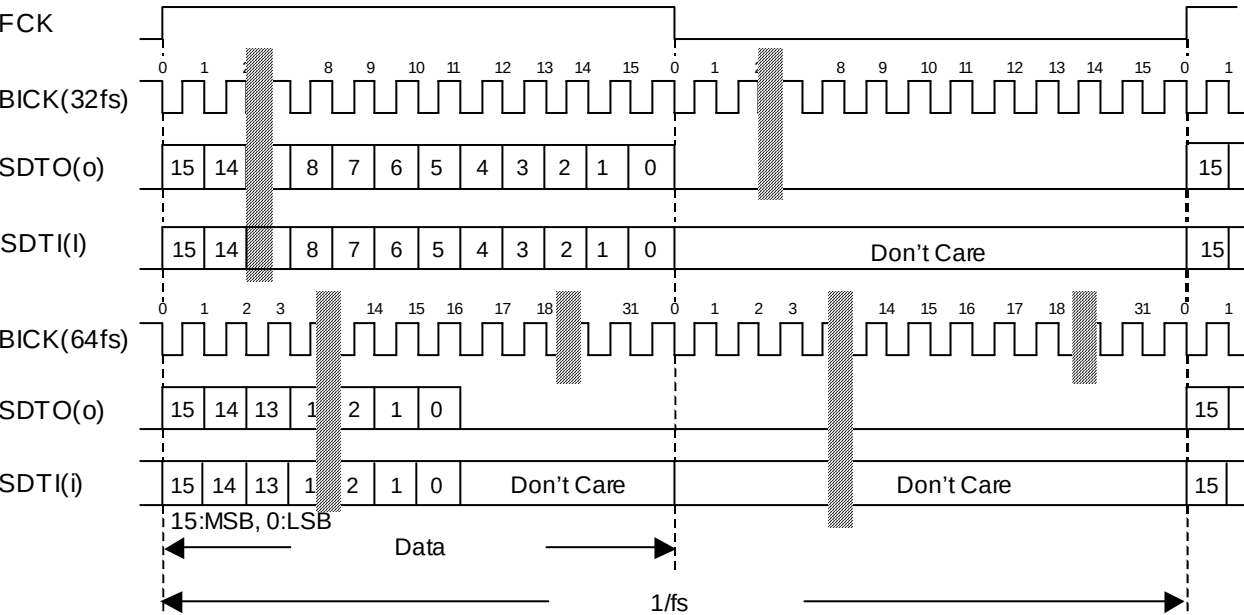


Figure 27. Mode 2 Timing

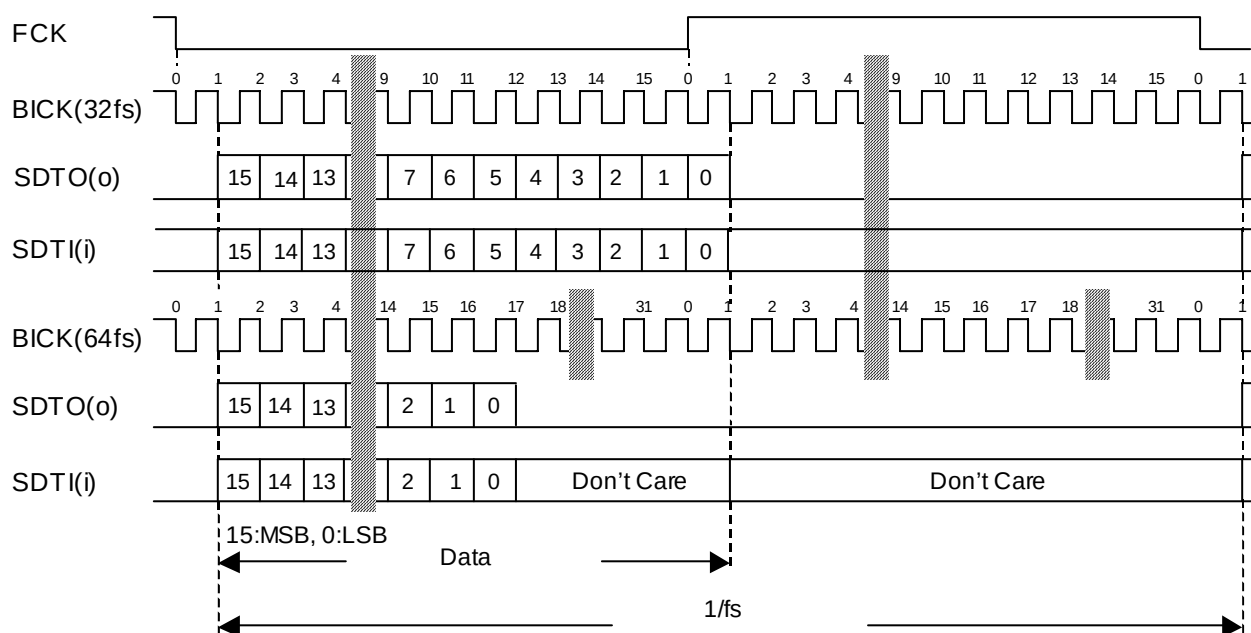


Figure 28. Mode 3 Timing

■ デジタルHPF

ADCはDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は0.62Hz (@fs=8kHz)になっており、サンプリング周波数(fs)に比例します。

■ マイク用ゲインアンプ

AK4631はマイク用ゲインアンプを内蔵しています。MGAIN1-0 bits により、ゲインを設定することができます。入力インピーダンスはtyp. 30kΩです。

MGAIN1 bit	MGAIN0 bit	Input Gain
0	0	0dB
0	1	+20dB
1	0	+26dB
1	1	+32dB

Default

Table 14. Input Gain

■ マイクパワー

MPI pinからマイク用の電源を供給することができます。出力電圧は(0.75 x AVDD)V (typ)に比例し、負荷抵抗は、min. 2kΩです。MPI pinにコンデンサは接続しないで下さい。(Figure 29参照)

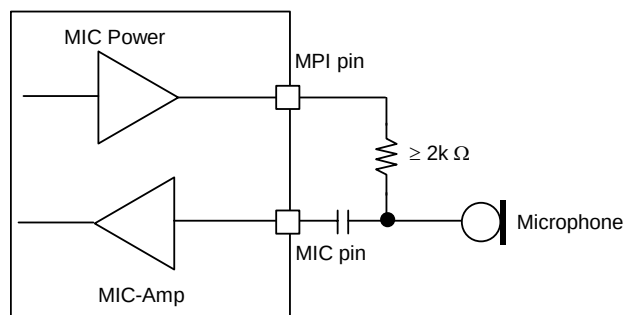


Figure 29. MIC Block Circuit

■ マニュアルモード

AK4631はALC1 bit = “0”の時、マニュアルモードになります。このモードは以下の場合に使用します。

1. リセット解除後、ALC1動作に関するレジスタ設定（ZTM1-0, LMTHなど）を行う場合
2. サンプリング周波数の変更に伴い、リミッタ／リカバリ周期などALC1動作に関するレジスタの変更を行う場合
3. IPGAをマニュアルボリュームとして使用する場合

マニュアル動作モード時に IPGA6-0 bits へ書き込みを行うと、ゼロクロスカウンタはリセットされカウントが開始されます。入力信号がゼロクロスするか、またはゼロクロスタイムアウトした時に初めて書き込まれた値が有効になります。ゼロクロスタイムアウト時間は ZTM1-0 bits で設定できます。

IPGA6-0 bitへの書き込みはゼロクロスタイムアウト時間以上の間隔をあけて行って下さい。

■ MIC – ALC 動作

ALC1 bit = “1”の時、ALC1ブロックにより、マイク入力のALC動作が行われます。

[1] ALC1リミッタ動作

ALC1リミッタ動作では、IPGAの出力レベルがALC1リミッタ検出設定レベル(LMTH)を越えた場合、ALC1リミッタATTステップ(LMAT1-0 bit)分だけ自動的にIPGA値を減衰させます。

ZELM bit = “1”の時、この減衰動作はLTM1-0 bitで設定された周期で、IPGAの出力レベルがLMTH以下になるまで連続的に行われます。また、減衰動作終了後でもALC1 bit = “0”にしない限り、再びIPGAの出力レベルがLMTHを越えれば、この減衰動作は繰り返されます。

ZELM bit = “0”の時、ALC1リミッタ動作はZTM1-0 bitで設定した時間でゼロクロス検出動作を行いながら、IPGA値を自動的に減衰させます。

[2] ALC1リカバリ動作

ALC1リカバリ動作は、WTM1-0 bitで設定された時間だけ待機を行い、この間、IPGAの出力信号がリカバリ待機カウンタリセットレベルを越えることがなければ、ALC1リカバリ動作を行います。このALC1リカバリ動作は設定された基準レベル(REF6-0 bit)まで、ZTM1-0 bitで設定した時間でゼロクロス検出動作を行いながら、IPGA値を自動的に増加させます。このALC1リカバリ動作はWTM1-0 bitで設定した周期で行われます。WTM1-0 bitで設定した期間中にゼロクロス動作が終了した場合、WTM1-0 bitで設定した期間まで待機して、次のリカバリ動作に入ります。

ALC1リカバリ動作中、IPGAの出力レベルがALC1リミッタ検出設定レベル(LMTH)を越えた場合、直ちにALC1リミッタ動作に入ります。

また、ALC1リカバリ待機中に

$(\text{リカバリ待機カウンタリセットレベル}) \leq (\text{IPGA出力レベル}) < (\text{リミッタ検出レベル})$

となっている場合、待機タイマはリセットされます。そのため、

$(\text{リカバリ待機カウンタリセットレベル}) > (\text{IPGA出力レベル})$

となった時から、待機時間のカウントが開始されます。

また、ALC1動作はインパルス性のノイズにも対応したALCになっています。インパルス性のノイズが入力された場合、通常のリカバリ動作よりも早いサイクルでリカバリ動作を行います。

[3] ALC1動作設定手順例

Table 15は、ALC1の設定例です。下記設定例では、ALC1は、0dBから動作を開始します。

Register Name	Comment	fs=8kHz		fs=16kHz	
		Data	Operation	Data	Operation
LMTH	Limiter detection Level	1	-4dBFS	1	-4dBFS
LTM1-0	Limiter operation period at ZELM = 1	00	Don't use	00	Don't use
ZELM	Limiter zero crossing detection	0	Enable	0	Enable
ZTM1-0	Zero crossing timeout period	00	16ms	01	16ms
WTM1-0	Recovery waiting period *WTM1-0 bits should be the same data as ZTM1-0 bits	00	16ms	01	16ms
REF6-0	Maximum gain at recovery operation	47H	+27.5dB	47H	+27.5dB
IPGA6-0	IPGA gain at the start of ALC1 operation	10H	0dB	10H	0dB
LMAT1-0	Limiter ATT Step	00	1 step	00	1 step
RATT	Recovery GAIN Step	0	1 step	0	1 step
ALC1	ALC1 Enable bit	1	Enable	1	Enable

Table 15. Examples of the ALC1 setting

ALC1動作中は、以下のビットへの変更を禁止します。これらのビットを変更する場合は、ALC1動作を終了（ALC1 bit = “0” or PMMIC bit = “0”）してから行って下さい。

・LTM1-0, LMTH, LMAT1-0, WTM1-0, ZTM1-0, RATT, REF6-0, ZELMの各ビット

ALC1動作開始時のゲインを設定する場合は、PMMIC bit = “1”かつALC1 bit = “0”の状態では、IPGA6-0 bitを設定して下さい。PMMIC bit = “0”の状態では、IPGA6-0 bitsの変更はIPGAへ反映されません。また、ALC1 bit = “1” → “0”としたとき、IPGAのゲインはALC1動作により自動設定された最終値を保持します。

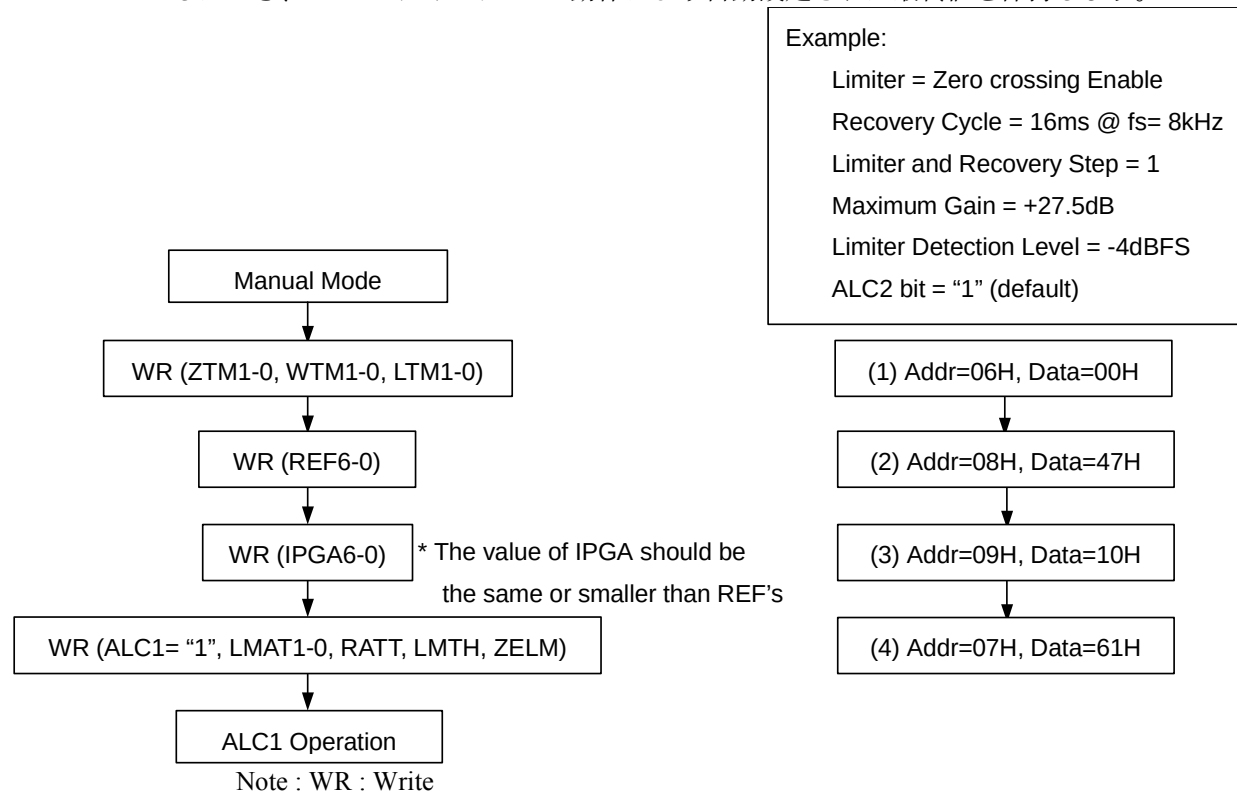


Figure 30. Registers set-up sequence at ALC1 operation

■ 出力ボリューム

AK4631はMUTEを含む0.5dBステップ、256レベルのデジタル出力ボリュームを内蔵します。このボリュームはDACの前段にあり、入力データを+12dBから-115dBまで減衰、またはミュートします。ボリューム間の遷移は $1061/f_s$ または $256/f_s$ でソフト遷移します。遷移ステップはDVTM bitで設定します。

DVOL7-0	Gain	Default
00H	+12.0dB	
01H	+11.5dB	
02H	+11.0dB	
•	•	
18H	0dB	
•	•	
FDH	-114.5dB	
FEH	-115.0dB	
FFH	MUTE ($-\infty$)	

Table 16. Digital Volume Code Table

DVTM bit	DVOL7-0 bits 00H から FFH までの遷移時間		
	設定値	$f_s=8\text{kHz}$ 時	$f_s=22.05\text{kHz}$ 時
0	$1061/f_s$	133msec	48msec
1	$256/f_s$	32msec	12msec

Table 17. 出力ボリュームの遷移時間設定

■ BEEP入力

PMBP bit = “1”の時、BEEPS bitを“1”にするとBEEP pinから入力された信号をスピーカアンプから出力し、BEEPA bitを“1”にするとモノラルラインアウトアンプから出力することができます。入力されるBEEP音は R_i でレベル調整を行うことができます。 $R_i = 20\text{k}\Omega$ 時のゲインをTable 18に示します。このゲインは、 R_i の値に半比例します。

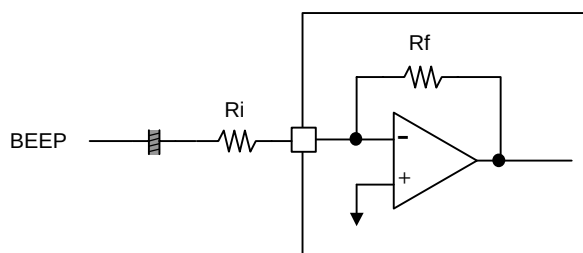


Figure 31. Block Diagram of BEEP pin

SPKG1-0 bits	BEEP → SPP/SPN ゲイン	BEEP → AOUT ゲイン
00	+7.89dB	0dB
01	+9.93dB	0dB
10	+14.11dB	0dB
11	+16.15dB	0dB

Table 18. $R_i = 20\text{k}\Omega$ 時、BEEP入力ゲイン

■ モノラルライン出力 (AOUT pin)

DACの出力信号を出力します。DACA bit を“0”にすると、AOUT出力をOFFにすることも可能です。負荷抵抗はmin. 10k Ω です。PMAO bit = AOPSN bit = “0” にすると、パワーダウン状態になり AVSS に 100k Ω (typ) でプルダウンされます。AOPSN bit = “1” とすると、パワーセーブモード状態になります。また、AOPSN bit = “1” として、PMAO bit でパワーダウンのON/OFF を行くと、ON/OFF 時に発生するポップ音を低減することができます。このとき、Figure 32 に示すようにCカップル後、ラインアウトのラインを 20k Ω の抵抗でプルダウンしてください。立ち上がりおよび立下りの時間はC=1 μ F のとき、最大 300 ms です。モノラルラインアウトは、PMAO bit = “1” かつ AOPSN bit = “0” でパワーアップ状態となります。

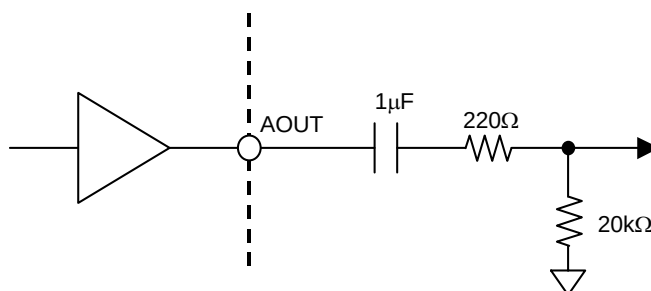


Figure 32. AOUT 外付け回路(ポップ音低減対策時)

AOUTコントロールシーケンス(AK4631 のポップ音低減対策時)

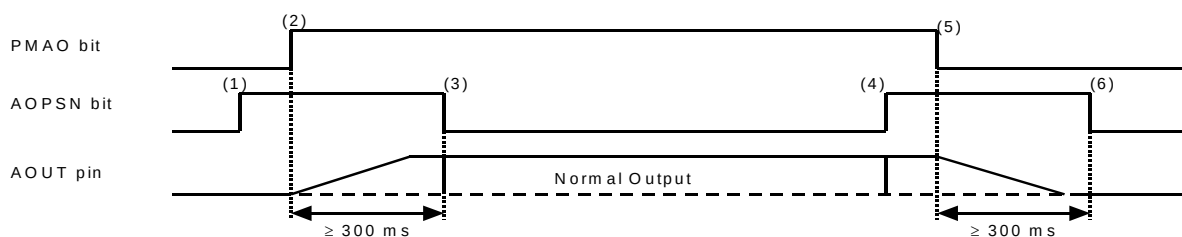


Figure 33. ポップ音低減対策時のAOUT コントロールシーケンス

- (1) パワーセーブモードを ON します。AOPSN bit = “1”
- (2) パワーダウンを解除します。PMAO bit = “1”
AOUT pin が立ち上がります。立ち上がり時間は C = 1 μ F のとき 200 ms(max 300ms) です。
- (3) AOUT pin が立ち上がった後でパワーセーブモードを解除します。AOPSN bit = “0”
AOUT 出力が可能になります。
- (4) パワーセーブモードを ON します。AOPSN bit = “1”
- (5) パワーダウンに設定します。PMAO bit = “1”
AOUT pin が立ち下がります。立ち下がり時間は C = 1 μ F のとき 200 ms(max 300ms) です。
- (6) AOUT pin が立ち下がった後でパワーセーブモードを解除します。AOPSN bit = “0”

■ スピーカアンプ

スピーカアンプ用電源 SVDD の電圧範囲は 2.6V ～ 5.25V の範囲で任意に設定することが可能です。但し、ダイナミックスピーカ(50Ω未満)使用時は 2.6V ～ 3.6V になります。

DACから出力された信号はALC2回路を通過してスピーカアンプに入力されます。このスピーカアンプは、BTL接続によるモノラル出力で、SPKG1-0 bitsにてゲインを調整することができます。ALC2 OFF時のスピーカアンプからの出力レベルは AVDD および SPKG1-0 bits により決まります。ALC2 ON 時の出力レベルは AVDD, SVDD, SPKG1-0 bits により決まります。ALC2 の出力レベルはSVDD に比例します。

SPKG1-0 bits	ゲイン
00	0dB
01	+2.04dB
10	+6.22dB
11	+8.26dB

(Note) ゲインは SPKG1-0bits= “00” 時からの相対値

Table 19. ALC2 OFF 時のSPK-Amp ゲイン

SPKG1-0 bits	AVDD	SVDD	ALC2 OFF 時SPK-Amp出力 DAC 入力 -0.5dBFS	ALC2 ON 時 SPK-Amp出力
00	3.3V	3.3V	3.09Vpp, 150mW@8Ω	3.09Vpp, 150mW@8Ω
01	3.3V	3.3V	3.92Vpp, 240mW@8Ω	3.92Vpp, 240mW@8Ω
10	3.3V	3.3V	6.34Vpp (Note)	使用不可
11	3.3V	3.3V	8.02Vpp (Note)	使用不可
00	3.3V	5.0V	3.09Vpp	使用不可
01	3.3V	5.0V	3.92Vpp	使用不可
10	3.3V	5.0V	6.34Vpp	6.34Vpp
11	3.3V	5.0V	8.02Vpp	8.02Vpp

(Note) 信号がクリップしないと仮定した場合の出力レベルです。実際には、DAC から -0.5dBFS の信号が出力された場合、実際には信号がクリップします。クリックさせないためにはDVOL等により DAC からの出力レベルを下げて、SPK-Amp からの出力を 3.92Vpp 以下に抑える必要があります。

Table 20 SPK-Amp 出力レベル

<圧電スピーカ使用時の注意点>

負荷容量が30pF を超える圧電スピーカと接続する時は、Figure 34に示すようにシリーズ抵抗(10Ω以上)をSPP pin, SPN pin とスピーカの間に挿入してください。また、外部から圧力が加えられたとき圧電スピーカが起電力を発生するので、その対策にFigure 34に示すようにスピーカとGND間にツェナーダイオードを挿入してください。ツェナーダイオードは以下の条件を満たすものを使用してください。

SVDD の 92% ≤ ツェナーダイオード(Figure 34のZD)のツェナー電圧 ≤ SVDD+0.3V

Ex) SVDD = 5.0V の時: 4.6V ≤ ZD ≤ 5.3V

例えば、ツェナー電圧 5.1V(Min値 4.97V, Max値 5.24V) のツェナーダイオードが使用可能です。

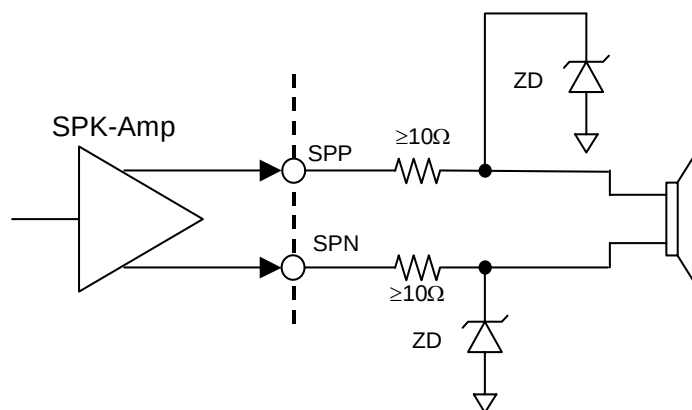


Figure 34. SPK出力回路(圧電スピーカと接続する場合)

＜スピーカアンプのコントロールシーケンス＞

PMSPK bitでスピーカブロック(MOUT, ALC2, SPK-AMP)のPower-up/downをすることができます。PMSPK bitが“0”の場合、MOUT, SPP, SPN pinはHi-Zになります。

PMSPK bit が“1”の時、SPPS bitを“0”にするとスピーカアンプはパワーセーブモードになります。この時、SPP pinはHi-Z、SPN pinはSVDD/2を出力します。

電源投入後、PDN pinを“L”から“H”に変更し、PMSPK bitを“1”にすると、SPP, SPN pinはパワーセーブモードで立ち上がります。この時、SPP pinはHi-Zに、SPN pinはSVDD/2になりますが、パワーセーブモードで立ち上げると、ポップ音を低減させることができます。また、Power-down時 (PMSPK bit=“0”)もパワーセーブモードを経由することで、同様にポップ音を低減させることができます。

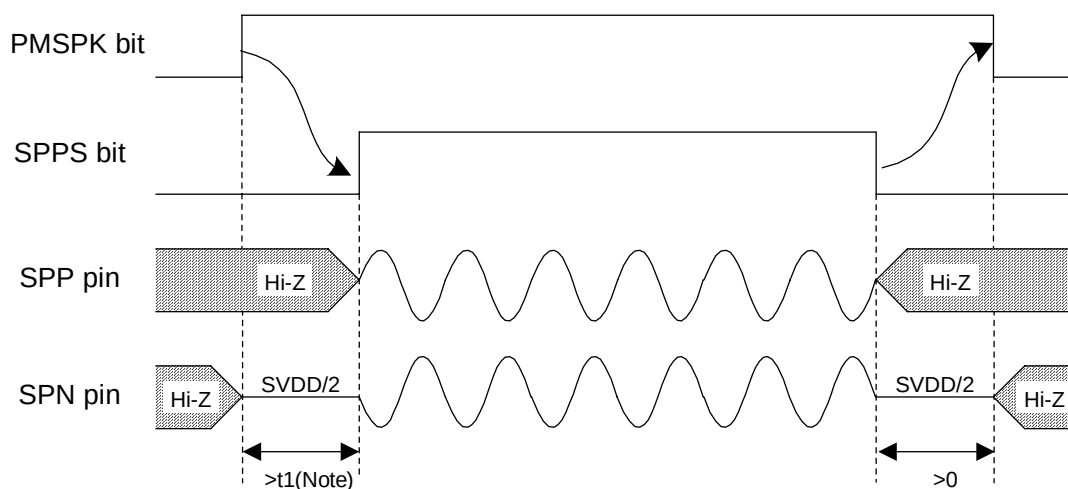


Figure 35. Power-up/Power-down Timing for Speaker-Amp

(Note)

“t1” は MIN pin の入力抵抗と MOUT pin – MIN pin 間に接続されるコンデンサの時定数によって決まります。MIN-Amp (ALC2)の入力が安定する前にSPK-Ampの出力をEnableにすると、ポップ音が生じる可能性があります。

Ex) MOUT pin – MIN pin 間のコンデンサ=0.1 μ F, MIN pin の入力抵抗 36k Ω (Max) の場合: $t1 = 5\tau = 18\text{ms}$
この時の MOUT pin – MIN pin 間のコンデンサと MIN pin の入力抵抗(Rin)によって構成される HPF のカットオフ周波数(f_c)は以下ようになります。

$$f_c = 66\text{Hz}@R_{in}=24\text{k}\Omega(\text{typ}), 133\text{Hz}@R_{in}=12\text{k}\Omega(\text{min}), 44\text{Hz}@R_{in}=36\text{k}\Omega(\text{max})$$

■ SPK – ALC 動作

ALC2 bit = “1”の時、ALC2ブロックにより、スピーカ出力のALC動作が行われます。ALC2の入力インピーダンス(MIN pin)はtyp. 24k Ω でVCOM電圧にバイアスされています。ALC2のレベルダイアグラムについては、Figure 36 ~ Figure 39 を参照して下さい。

ALC2リミッタ検出レベルはSVDD電圧に比例し、-7.1dBV(@SPKG1 bit = “0”, SVDD=3.3V または SPKG1 bit = “1”, SVDD=5V) より大きい信号が入力されるとALC2回路が動作し、出力レベルを制限します。連続して-7.1dBV以上の信号がALC2回路に入力された場合、ALC2リミッタ動作の変更周期は250 μ s (=2/fs@fs=8kHz) で、0.5dBずつ減衰されます。

ALC2リカバリ動作は常にゼロクロス検出動作を行いながら1dBステップで増幅して行きます。このALC2リカバリ動作は、ALC2 の出力レベルが -9.1dBV(@SPKG1 bit = “0”, SVDD=3.3V または SPKG1 bit = “1”, SVDD=5V)になるまで行います。また、ALC2リカバリ動作時の最大ゲインはRFS5-0 bits で設定します。

-9.1dBV ~ -7.1dBVの間の信号が入力された場合、ALC2リミッタ及びリカバリ動作は行いません。

PMSPK bitを“0”から“1”に変更すると、初期化サイクル(512/fs=64ms @ fs=8kHz, ROTM bit = “0”)が開始されます。初期化サイクル中、ALC2はディセーブル状態（ALC2のゲインは“-3.5dB固定”）で、初期化サイクルが終了するとALC2は“-2dB”から動作を開始します。ROTM bit および RFS5-0 bits の設定はPMSPK = “0”の間に行ってください。

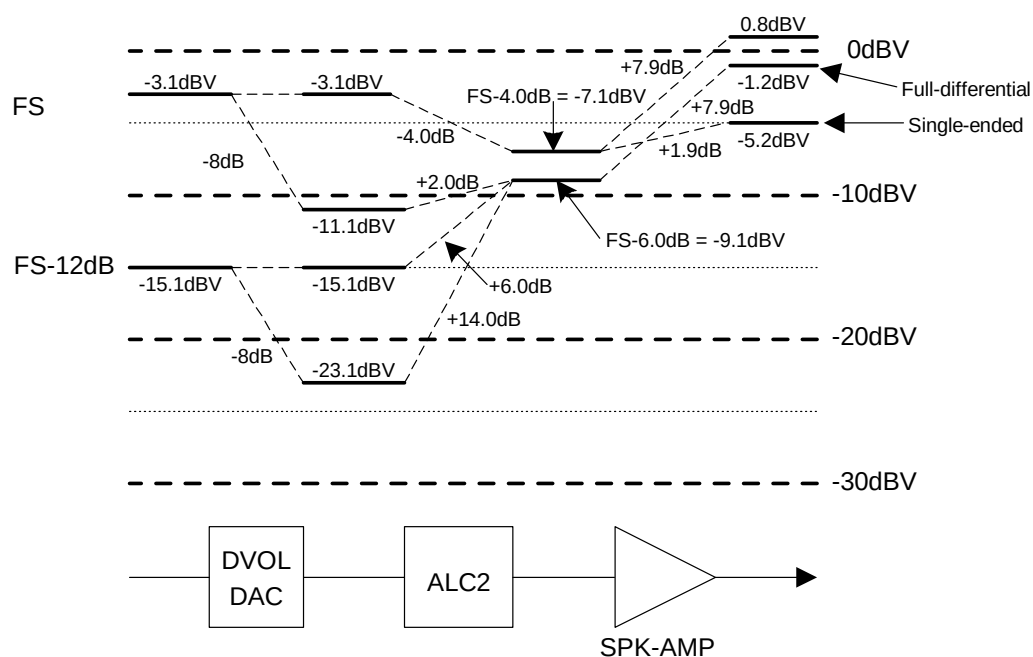
ALC2 がDisableの場合、ALC2ブロックのゲインは -3.5dB固定になります。従いまして、スピーカブロック内部(MIN → SPP/SPN)のゲインは、Table 22 に示すようになります。

パラメータ		ALC2リミッタ動作	ALC2リカバリ動作
動作開始レベル		-7.1dBV	-9.1dBV
変更周期	fs=8kHz	2/fs = 250 μ s	512/fs = 64ms
	fs=16kHz	2/fs = 125 μ s	512/fs = 32ms
ゼロクロス検出		なし	あり (Timeout=512/fs)
ATT/GAIN量		0.5dB step	1dB step

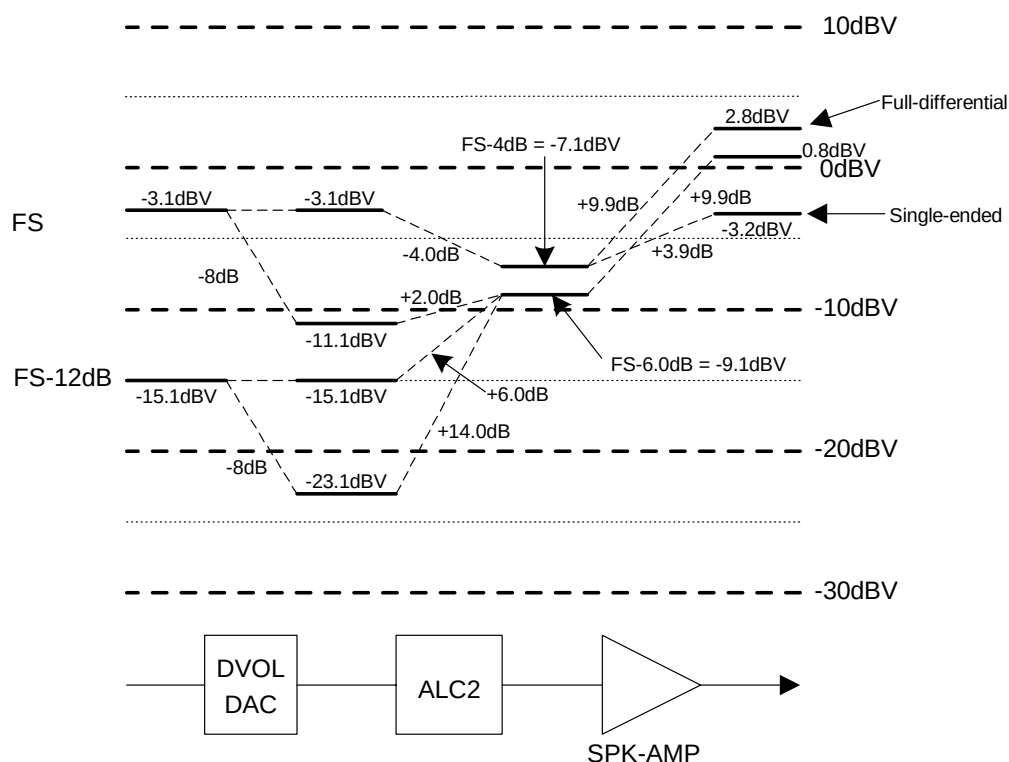
Table 21. Limiter /Recovery of ALC2 (ROTM bit = “0”)

SPKG1-0 bits	ゲイン
00	+4.4dB
01	+6.4dB
10	+10.6dB
11	+12.7dB

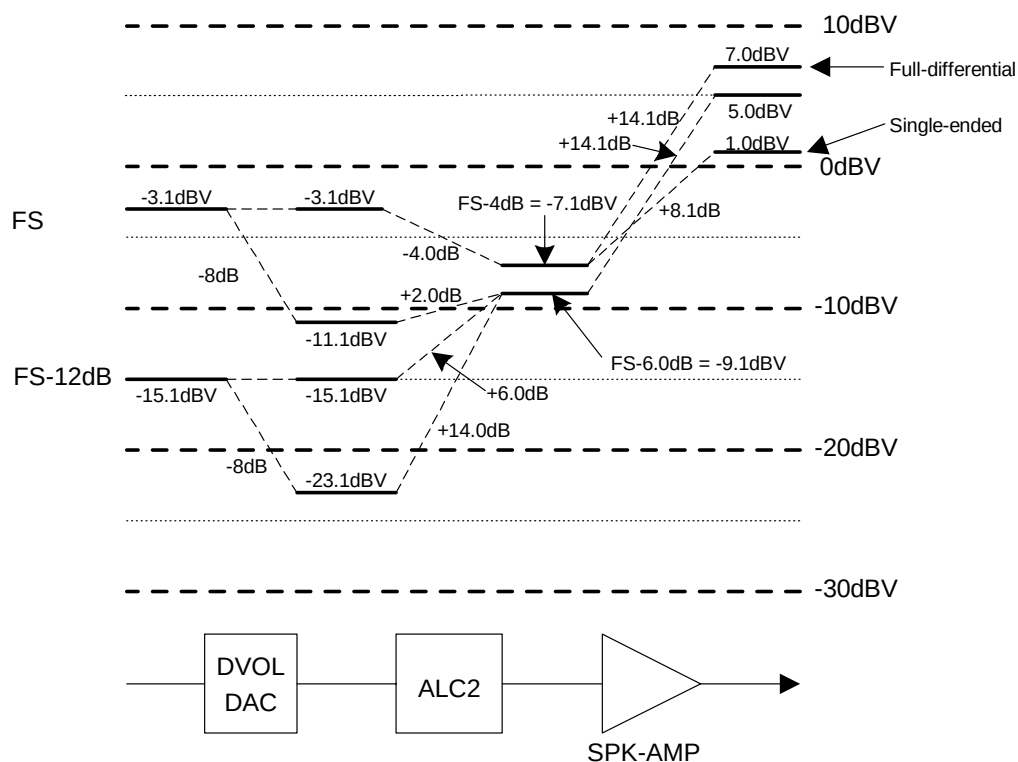
Table 22. ALC2 OFF 時のSPK-Amp(Full-differential出力時)ゲイン



(AVDD=3.3V, SVDD=3.3V, DVOL=-8.0dB/0dB, SPKG1-0 bit = "00",) * FS = Full Scale
Figure 36. Speaker-Amp Output Level Diagram

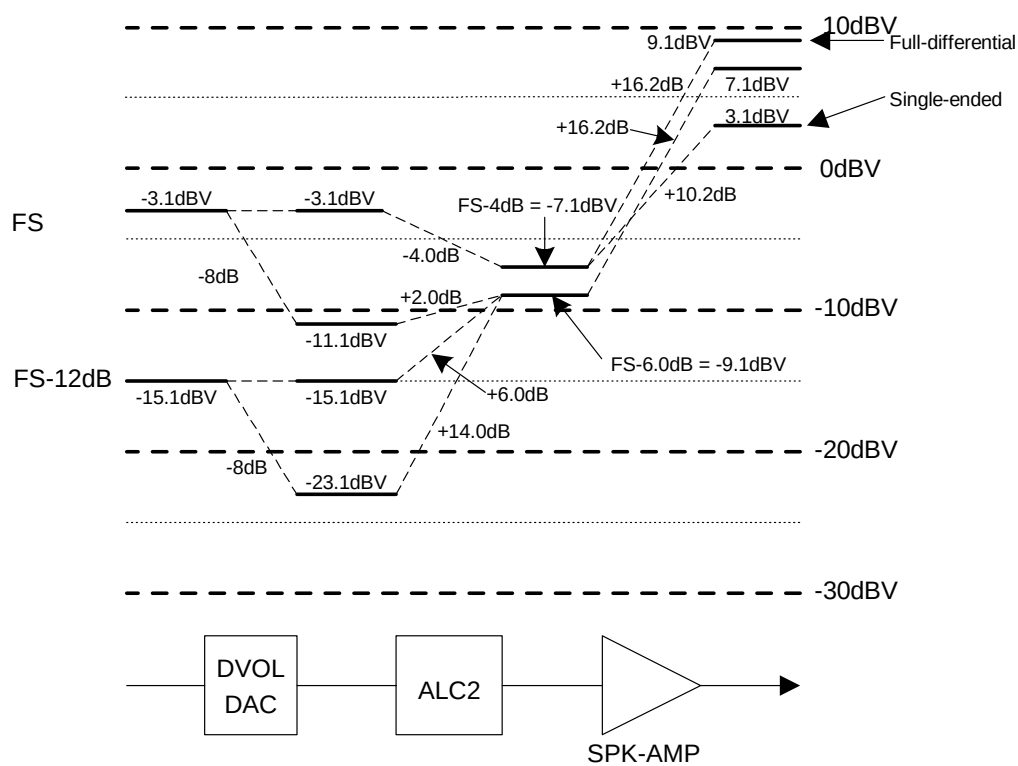


(AVDD=3.3V, SVDD=3.3V, DVOL=-8.0dB/0dB, SPKG1-0 bit = "01",) * FS = Full Scale
Figure 37. Speaker-Amp Output Level Diagram



(AVDD=3.3V, SVDD=5.0V, DVOL=-8.0dB/0dB, SPKG1-0 bit = "10",) * FS = Full Scale

Figure 38. Speaker-Amp Output Level Diagram

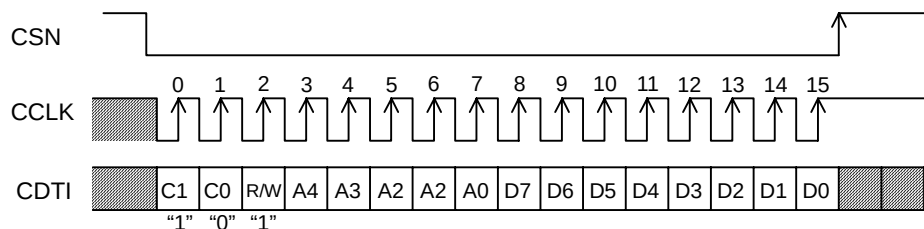


(AVDD=3.3V, SVDD=5.0V, DVOL=-8.0dB/0dB, SPKG1-0 bit = "11",) * FS = Full Scale

Figure 39. Speaker-Amp Output Level Diagram

■ シリアルコントロールインタフェース

レジスタ設定は3線式シリアルI/F pin(CSN, CCLK, CDTI)で書き込みを行います。I/F上のデータはChip address (2bits, “10”固定), Read/Write (1bit; “1”固定), Register address (MSB first, 5bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。PDN pin=“L”でレジスタの値はリセットされます。



C1-C0: Chip Address (C1 = “1”, C0 = “0”); Fixed to “10”
 R/W: READ/WRITE (“1”: WRITE, “0”: READ); Fixed to “1”
 A4-A0: Register Address
 D7-D0: Control data

Figure 40. Serial Control I/F Timing

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMBP	PMSPK	PMAO	PMDAC	PMMIC	PMADC
01H	Power Management 2	0	0	0	0	M/S	MCKPD	MCKO	PMPLL
02H	Signal Select 1	SPPS	BEEPS	ALC2S	DACA	DACM	MPWR	MICAD	MGAIN0
03H	Signal Select 2	0	AOPSN	MGAIN1	SPKG1	SPKG0	BEEPA	ALC1M	ALC1A
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO1	BCKO0	DIF1	DIF0
05H	Mode Control 2	0	0	FS3	MSBS	BCKP	FS2	FS1	FS0
06H	Timer Select	DVTM	ROTM	ZTM1	ZTM0	WTM1	WTM0	LTM1	LTM0
07H	ALC Mode Control 1	0	ALC2	ALC1	ZELM	LMAT1	LMAT0	RATT	LMTH
08H	ALC Mode Control 2	0	REF6	REF5	REF4	REF3	REF2	REF1	REF0
09H	Input PGA Control	0	IPGA6	IPGA5	IPGA4	IPGA3	IPGA2	IPGA1	IPGA0
0AH	Digital Volume Control	DVOL7	DVOL6	DVOL5	DVOL4	DVOL3	DVOL2	DVOL1	DVOL0
0BH	ALC2 Mode Control	0	0	RFS5	RFS4	RFS3	RFS2	RFS1	RFS0

PDN pin = “L” resets the registers to their default values.

Note: “0”で指定されたビットへの“1”の書き込みは禁止です。

Note: アドレス00H～0BH以外のアドレスへの書き込みは禁止です。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMBP	PMSPK	PMAO	PMDAC	PMMIC	PMADC
	Default	0	0	0	0	0	0	0	0

PMADC: ADCのパワーマネジメント

0: Power down (Default)

1: Power up

PMADC bitを“0”から“1”に変更すると、初期化サイクル(1059/fs=133ms@fs=8kHz)が開始されます。初期化サイクル終了後、ADCはデータを出力します。

PMMIC: マイクブロック(MIC-Amp, ALC1)のパワーマネジメント

0: Power down (Default)

1: Power up

PMDAC: DACのパワーマネジメント

0: Power down (Default)

1: Power up

PMAO: モノラルライン出力のパワーマネジメント

0: Power down (Default)

1: Power up

PMSPK: スピーカアンプのパワーマネジメント

0: Power down (Default)

1: Power up

PMBP: ビープ入力のパワーマネジメント

0: Power down (Default)

1: Power up

PMBP bit = “0”としても、BEEP からスピーカへのパスがつながっています。このパスを切るためには、BEEPS bit = “0”として下さい。また、BEEPからモノラルラインアウトのパスも同様に、BEEPA bit = “0”として下さい。

PMVCM: VCOMのパワーマネジメント

0: Power down (Default)

1: Power up

このアドレスのビットをON/OFF (“1”/“0”)することで部分的にパワーダウンすることができます。また、PDN pinを“L”にすることで、レジスタの内容に関係なく、全回路を一度にパワーダウンすることができます。

また、アドレス00Hと PMPLLと MCKOの全てのパワーマネジメントビットを“0”にすることで、全回路を一度にパワーダウンすることができます。このとき、IPGAの設定レジスタは初期化されますが、それ以外のレジスタの内容は保持されています。（IPGA6-0 bitの詳細説明を参照。）

各ブロックを動作させる場合は、必ずPMVCM bitを“1”にしなければなりません。PMVCM bitに対して“0”を書き込むことができるのは、アドレス00Hと PMPLLと MCKOの全てのパワーマネジメントビットを“0”にする時だけです。

スピーカアンプからBEEP信号を出力するパスのみ、あるいはAOUTからBEEP信号を出力するパスのみを使用する場合、クロックを供給する必要はありません。ADC, DAC, ALC1, ALC2のどれか一つでも使用する場合、クロックを供給して下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Power Management 2	0	0	0	0	M/S	MCKPD	MCKO	PMPLL
Default		0	0	0	0	0	1	0	0

PMPLL: PLLのパワーマネジメント

0: EXT Mode and Power Down (Default)

1: PLL Mode and Power up

MCKO: MCKO信号のコントロール

0: “L” Output (Default)

1: 256fs Output

MCKPD: MCKI pinのプルダウン抵抗コントロール

0: Master Clock input enable

1: Pull down by 25k Ω (typ.) (Default)

M/S: Master / Slave Modeの選択

0: Slave Mode (Default)

1: Master Mode

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Signal Select 1	SPPS	BEEPS	ALC2S	DACA	DACM	MPWR	MICAD	MGAIN0
	Default	0	0	0	0	0	0	0	1

MGAIN1-0: マイクアンプのゲインコントロール(See Table 23)

MGAIN 1 bit は 03H の D6 bit です。

MGAIN1 bit	MGAIN0 bit	Input Gain	
0	0	0dB	Default
0	1	+20dB	
1	0	+26dB	
1	1	+32dB	

Table 23. Input Gain

MICAD: ADCに入力されるALC1出力信号のコントロール

0: OFF (Default)

1: ON

“1”でALC1の出力信号をADCに入力します。

MPWR: MICのマイクパワーの出力

0: OFF (Default)

1: ON

PMMIC bit = “1”の時、このビットは有効になります。

DACM: DACからモノラルアンプに入力される信号のコントロール

0: OFF (Default)

1: ON

PMSPK bit = “1”の時、このビットは有効になります。PMSPK bit = “0”の時、MOUT pinはHi-Zになります。

DACA: DACからモノラルラインアンプに入力される信号のコントロール

0: OFF (Default)

1: ON

PMAO bit = “1”の時、このビットは有効になります。PMAO bit = “0”の時、AOUT pinはAVSSになります。

ALC2S: スピーカアンプに入力されるALC2出力信号のコントロール

0: OFF (Default)

1: ON

“1”でALC2の出力信号をスピーカアンプに入力します。

BEEPS: BEEP pinからスピーカアンプに入力される信号のコントロール

0: OFF (Default)

1: ON

“1”でBEEP音をスピーカアンプに入力します。

SPPS: スピーカアンプのパワーセーブモード

0: Power Save Mode (Default)

1: Normal Operation

“0”でスピーカアンプはパワーセーブモードになります。この時、SPP pinはHi-Z、SPN pinはSVDD/2を出力します。PMSPK bit = “1”の時、このビットは有効になります。但し、PDN pin = “L”直後はPMSPK bit = “0”となっているため、スピーカアンプはパワーダウン状態です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Signal Select 2	0	AOPSN	MGAIN1	SPKG1	SPKG0	BEEPA	ALC1M	ALC1A
	Default	0	0	0	0	0	0	0	0

ALC1A: モノラルラインアウトアンプに入力されるALC1出力信号のコントロール

0: OFF (Default)

1: ON

PMAO bit="1"の時、このビットは有効になります。PMAO bit="0"の時、AOUT pinはAVSSになります。

ALC1M: モノラルアンプに入力されるALC1出力信号のコントロール

0: OFF (Default)

1: ON

PMSPK bit="1"の時、このビットは有効になります。PMSPK bit="0"の時、MOUT pinはHi-Zになります。

BEEPA: モノラルラインアウトアンプに入力されるBEEP信号のコントロール

0: OFF (Default)

1: ON

PMAO bit="1"の時、このビットは有効になります。PMAO bit="0"の時、AOUT pinはAVSSになります。

SPKG1-0: スピーカアンプ出力ゲインの設定(See Table 24)

SPKG1-0 bits	ゲイン
00	0dB
01	+2.2dB
10	+4.4dB
11	+8.7dB

Table 24. SPK-Amp ゲイン

MGAIN1: マイクアンプのゲインコントロール(See Table 23)

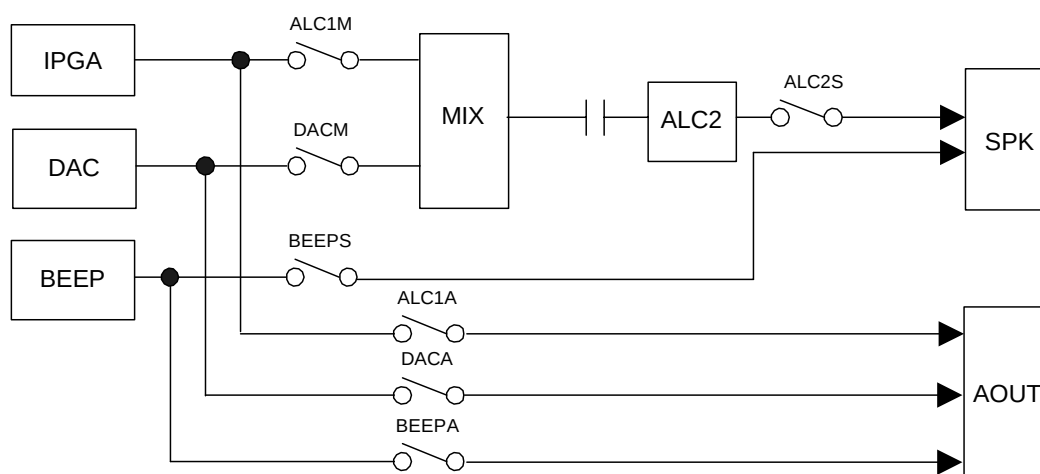


Figure 41. Speaker and Mono Lineout-Amps switch control

AOPSN: モノライン出力(AOUT pin)のパワーセーブモード

0: Normal Operation (Default)

1: Power Save Mode

“1” でモノラルライン出力アンプのパワーセーブモードが有効になります。この時、PMAO bit を切り替えることでパワーセーブモードを経由して、パワーアップ／ダウン時の切り替え時に発生するポップ音を低減することが出来ます。(See Figure 33)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO1	BCKO0	DIF1	DIF0
	Default	0	0	0	0	0	0	1	0

DIF1-0: オーディオインタフェースフォーマット (See Table 25)

Mode	DIF1	DIF0	SDTO (ADC)	SDTI (DAC)	BICK	Figure
0	0	0	DSP Mode	DSP Mode	$\geq 16\text{fs}$	See Table 31
1	0	1	前詰め	後詰め	$\geq 32\text{fs}$	Figure 26
2	1	0	前詰め	前詰め	$\geq 32\text{fs}$	Figure 27
3	1	1	I ² S互換	I ² S互換	$\geq 32\text{fs}$	Figure 28

Default

Table 25. Audio Interface Format

BCKO1-0: マスタモード時のBICK出力周波数の設定 (See Table 26)

Mode	BCKO1	BCKO0	BICK出力周波数
0	0	0	16fs
1	0	1	32fs
2	1	0	64fs
3	1	1	N/A

Default

Table 26. BICK Output Frequency at Master Mode

PLL3-0: PLL基準クロックの選択(See Table 27)

Mode	PLL3 bit	PLL2 bit	PLL1 bit	PLL0 bit	PLL Reference Clock Input Pin	Input Frequency
0	0	0	0	0	FCK pin	1fs
1	0	0	0	1	BICK pin	16fs
2	0	0	1	0	BICK pin	32fs
3	0	0	1	1	BICK pin	64fs
4	0	1	0	0	MCKI pin	11.2896MHz
5	0	1	0	1	MCKI pin	12.288MHz
6	0	1	1	0	MCKI pin	12MHz
7	0	1	1	1	MCKI pin	24MHz
12	1	1	0	0	MCKI pin	13.5MHz
13	1	1	0	1	MCKI pin	27MHz
Others	Others				N/A	

Default

Table 27. Setting of PLL Mode (*fs: Sampling Frequency)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Mode Control 2	0	0	FS3	MSBS	BCKP	FS2	FS1	FS0
	Default	0	0	0	0	0	0	0	0

FS3-0: サンプリング周波数(See Table 28 and Table 29)及びMCKI周波数の設定(See Table 30)

PLLモード時はサンプリング周波数の設定を行い、EXTモード時はMCKIの入力周波数を設定します。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency	
0	0	0	0	0	8kHz	Default
1	0	0	0	1	12kHz	
2	0	0	1	0	16kHz	
3	0	0	1	1	24kHz	
4	0	1	0	0	7.35kHz	
5	0	1	0	1	11.025kHz	
6	0	1	1	0	14.7kHz	
7	0	1	1	1	22.05kHz	
10	1	0	1	0	32kHz	
11	1	0	1	1	48kHz	
14	1	1	1	0	29.4kHz	
15	1	1	1	1	44.1kHz	
Others	Others				N/A	

Table 28. Setting of Sampling Frequency at PLL2 bit = "1" and PMPLL bit = "1"

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency Range	
0	0	Don't care	0	0	$7.35\text{kHz} \leq f_s \leq 8\text{kHz}$	Default
1	0	Don't care	0	1	$8\text{kHz} < f_s \leq 12\text{kHz}$	
2	0	Don't care	1	0	$12\text{kHz} < f_s \leq 16\text{kHz}$	
3	0	Don't care	1	1	$16\text{kHz} < f_s \leq 24\text{kHz}$	
6	1	Don't care	1	0	$24\text{kHz} < f_s \leq 32\text{kHz}$	
7	1	Don't care	1	1	$32\text{kHz} < f_s \leq 48\text{kHz}$	
Others	Others				N/A	

Table 29. Setting of Sampling Frequency Range at PLL2 bit = "0" and PMPLL bit = "1"

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range	
0	Don't care	0	0	256fs	$7.35\text{kHz} \leq f_s \leq 48\text{kHz}$	Default
1	Don't care	0	1	1024fs	$7.35\text{kHz} < f_s \leq 13\text{kHz}$	
2	Don't care	1	0	256fs	$7.35\text{kHz} < f_s \leq 48\text{kHz}$	
3	Don't care	1	1	512fs	$7.35\text{kHz} < f_s \leq 26\text{kHz}$	

Table 30. EXT Slave Mode (PMPLL bit = "0", M/S bit = "0") 時のMCKI周波数の設定

BCKP, MSBS: "00" (Default) (See Table 31)

MSBS bit	BCKP bit	Audio Interface Format	
0	0	Figure 22	Default
0	1	Figure 23	
1	0	Figure 24	
1	1	Figure 25	

Table 31. Audio Interface Format in Mode 0

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Timer Select	DVTM	ROTM	ZTM1	ZTM0	WTM1	WTM0	LTM1	LTM0
	Default	0	0	0	0	0	0	0	0

LTM1-0: ALC1リミッタ動作変更周期の設定(see Table 32)

ALC1リミッタ動作ゼロクロス検出がDisable (ZELM bit="1")の時、ALC1リミッタ動作によりIPGA値は瞬時に変更されます。IPGA値が連続して変更される場合は、LTM1-0 bitで設定される周期で変更が行われます。初期値は“00”です。

LTM1	LTM0	ALC1リミッタ変更周期			
			8kHz	16kHz	
0	0	0.5/fs	63μs	31μs	Default
0	1	1/fs	125μs	63μs	
1	0	2/fs	250μs	125μs	
1	1	4/fs	500μs	250μs	

Table 32. ALC1 Limiter Operation Period at zero crossing disable (ZELM bit="1")

WTM1-0: ALC1リカバリ待機時間の設定(see Table 33)

ALC1動作中にリミッタ動作が発生しない場合、リカバリ動作を行う周期を設定します。初期値は“00”です。

WTM1	WTM0	ALC1リカバリ周期			
			8kHz	16kHz	
0	0	128/fs	16ms	8ms	Default
0	1	256/fs	32ms	16ms	
1	0	512/fs	64ms	32ms	
1	1	1024/fs	128ms	64ms	

Table 33. ALC1 Recovery Operation Waiting Period

ZTM1-0: ALC1ゼロクロスタイムアウト時間の設定(see Table 34)

マイコン書き込み動作、ALC1リカバリ動作により、ゲインが変更されるのは、ゼロクロスするかまたはタイムアウトした場合です。初期値は“00”です。

ZTM1	ZTM0	ゼロクロスタイムアウト時間			
			8kHz	16kHz	
0	0	128/fs	16ms	8ms	Default
0	1	256/fs	32ms	16ms	
1	0	512/fs	64ms	32ms	
1	1	1024/fs	128ms	64ms	

Table 34. Zero Crossing Timeout Period

ROTM: ALC2 リカバリ動作周期、ゼロクロスタイムアウト時間及び、初期化サイクルの設定。

0: 512/fs (Default)

1: 1024/fs

ROTM bitの設定は、PMSKP bit = “0”の間に行って下さい。

DVTM: Digital Volume のソフト遷移時間を設定します。

0: 1061/fs (Default)

1: 256/fs

このソフト遷移時間は DVOL7-0 bits を 00H から FFH へ変更した場合の遷移時間です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	ALC Mode Control 1	0	ALC2	ALC1	ZELM	LMAT1	LMAT0	RATT	LMTH
Default		0	1	0	0	0	0	0	0

LMTH: ALC1リミッタ検出設定レベル/リカバリ待機カウンタリセットレベル(see Table 35)

ALC1リミッタ検出設定レベル及びリカバリ待機カウンタリセットレベルのばらつきはそれぞれ(設定値 $\pm$ 2dB)です。初期値は“0”です。

LMTH	ALC1リミッタ検出レベル	ALC1リカバリ待機カウンタリセットレベル	Default
0	ADC Input $\geq$ -6.0dBFS	-6.0dBFS > ADC Input $\geq$ -8.0dBFS	
1	ADC Input $\geq$ -4.0dBFS	-4.0dBFS > ADC Input $\geq$ -6.0dBFS	

Table 35. ALC1 Limiter Detection Level / Recovery Waiting Counter Reset Level

RATT: ALC1リカバリゲインステップ(see Table 36)

ALC1リカバリ動作時、現在のIPGA値から増加させるステップ数を設定します。例えば、現在のIPGA値が30Hの場合、RATT bit=“1”に設定しておく、ALC1リカバリ動作によってIPGA値は32Hに変更され、1dB ($=0.5 \times 2$)増加されます。

IPGA値が基準レベル(REF6-0 bit)に達した場合、IPGA値の増加は行いません。

RATT	GAIN STEP	Default
0	1	
1	2	

Table 36. ALC1 Recovery Gain Step Setting

LMAT1-0: ALC1リミッタATTステップ(see Table 37)

ALC1リミッタ動作時、入力信号が設定されたALC1リミッタ検出レベル(LMTH)を越えた場合、現在のIPGA値から減衰させるステップ数を設定します。例えば、現在のIPGA値が47Hの場合、LMAT1-0 bit=“11”に設定しておく、ALC1リミッタ動作によってIPGA値は43Hに変更され、2dB ($=0.5 \times 4$)減衰されます。

ALC1リミッタの動作周期は、LTM1-0 bitとZELM bitによって設定することができます。

減衰量がIPGA=“00H”を越えた値になる場合、“00H”にクリップされます。

LMAT1	LMAT0	ATT STEP	Default
0	0	1	
0	1	2	
1	0	3	
1	1	4	

Table 37. ALC1 Limiter ATT Step Setting

ZELM: ALC1リミッタ動作時ゼロクロス検出イネーブル

0: Enable (Default)

1: Disable

“0”の時、ALC1リミッタ動作によりIPGA値が変更されるのは、ゼロクロスするかまたはタイムアウトした時です。ゼロクロスタイムアウト時間は、ALC1リカバリ動作時のゼロクロスタイムアウト時間と同じです。“1”の時、ALC1リミッタ動作によりIPGA値は瞬時に変更されます。

ALC1: ALC1イネーブルフラグ

0: ALC1 Disable (Default)

1: ALC1 Enable

“1”でALC1をイネーブルします。初期値は“0”(Disable)です。

ALC2: ALC2イネーブルフラグ

0: ALC2 Disable

1: ALC2 Enable (Default)

初期化サイクル(512/fs=64ms@fs=8kHz, ROTM bit = “0”)終了後、ALC2はイネーブルになります。
この初期化サイクルは、PDN pinを“L”から“H”またはPMSPK bitを“0”から“1”に変更した時、開始されます。初期値は“1”(Enable)です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	ALC Mode Control 2	0	REF6	REF5	REF4	REF3	REF2	REF1	REF0
Default		0	0	1	1	0	1	1	0

REF6-0: ALC1リカバリ動作時の基準値の設定(see Table 38)

ALC1リカバリ動作中、IPGA値がREF6-0 bitで設定された基準値に達した場合、基準値以上のゲイン動作は行いません。

例えば、REF=30H, RATT=2 step, IPGA=2FHの時、オートリカバリ動作により、IPGAは2FH + 2step = 31Hになろうとしますが、REF=30Hですので、IPGA値は30Hになります。初期値は“36H”です。

DATA (HEX)	GAIN (dB)	STEP
47	+27.5	Default 0.5dB
46	+27.0	
45	+26.5	
⋮	⋮	
36	+19.0	
⋮	⋮	
10	+0.0	
⋮	⋮	
06	-5.0	
05	-5.5	
04	-6.0	
03	-6.5	
02	-7.0	
01	-7.5	
00	-8.0	

Table 38. Setting Reference Value at ALC1 Recovery Operation

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Input PGA Control	0	IPGA6	IPGA5	IPGA4	IPGA3	IPGA2	IPGA1	IPGA0
	Default	0	0	0	1	0	0	0	0

IPGA6-0: 入力アナログPGA (see Table 39)

初期値は“10H”です。IPGAのゲインを切り替える場合は、PMMIC bit = “1”かつ ALC1 bit = “0”の状態書き込んで下さい。また、PMMIC bit = “1” 後、2/fs (250μs@fs=8kHz)の時間を待って IPGA へ書き込みを行ってください。IPGAのゲインは、PMMIC bit = “0”のときリセットされ、初期化されます。ALC1 bit “1” → “0”とした時、IPGAのゲインはALC1動作により自動設定された最終値を保持します。

マニュアルモードの場合、IPGAは任意の値に設定することができます。IPGA値を変更した場合のゼロクロスタイムアウト時間はZTM1-0 bitで設定することができます。IPGAのコントロールレジスタに書き込みを行うと、ゼロクロスカウンタはリセットされ、カウントが開始されます。入力信号がゼロクロスするか、またはゼロクロスタイムアウトした時に初めて書き込まれた値が有効になります。

DATA (HEX)	GAIN (dB)	STEP
47	+27.5	0.5dB
46	+27.0	
45	+26.5	
:	:	
36	+19.0	
:	:	
10	+0.0	
:	:	
06	-5.0	
05	-5.5	
04	-6.0	
03	-6.5	
02	-7.0	
01	-7.5	
00	-8.0	

Default

Table 39. Input Gain Setting

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Digital Volume Control	DVOL7	DVOL6	DVOL5	DVOL4	DVOL3	DVOL2	DVOL1	DVOL0
	Default	0	0	0	1	1	0	0	0

DVOL7-0: 出力デジタルボリューム(see Table 40)

AK4631はMUTEを含む0.5dBステップ、256レベルのデジタル出力ボリューム(DVOL)を内蔵します。このボリュームはDACの前段にあり、入力データを+12dBから-115dBまで減衰、またはミュートします。ボリューム間の遷移は1061/fs (= 133ms @ fs = 8kHz) または256/fs (= 32ms @ fs = 8kHz) でソフト遷移に行われます。ソフト遷移時間は DVTM bit で設定します。

DVOL7-0	Gain
00H	+12.0dB
01H	+11.5dB
02H	+11.0dB
•	•
18H	0dB
•	•
FDH	-114.5dB
FEH	-115.0dB
FFH	MUTE (-∞)

Default

Table 40. Digital Volume Code Table

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	ALC2 Mode Control	0	0	RFS5	RFS4	RFS3	RFS2	RFS1	RFS0
Default		0	0	1	1	1	1	0	0

RFS6-0: ALC2リカバリ動作時の基準値の設定(see Table 41)

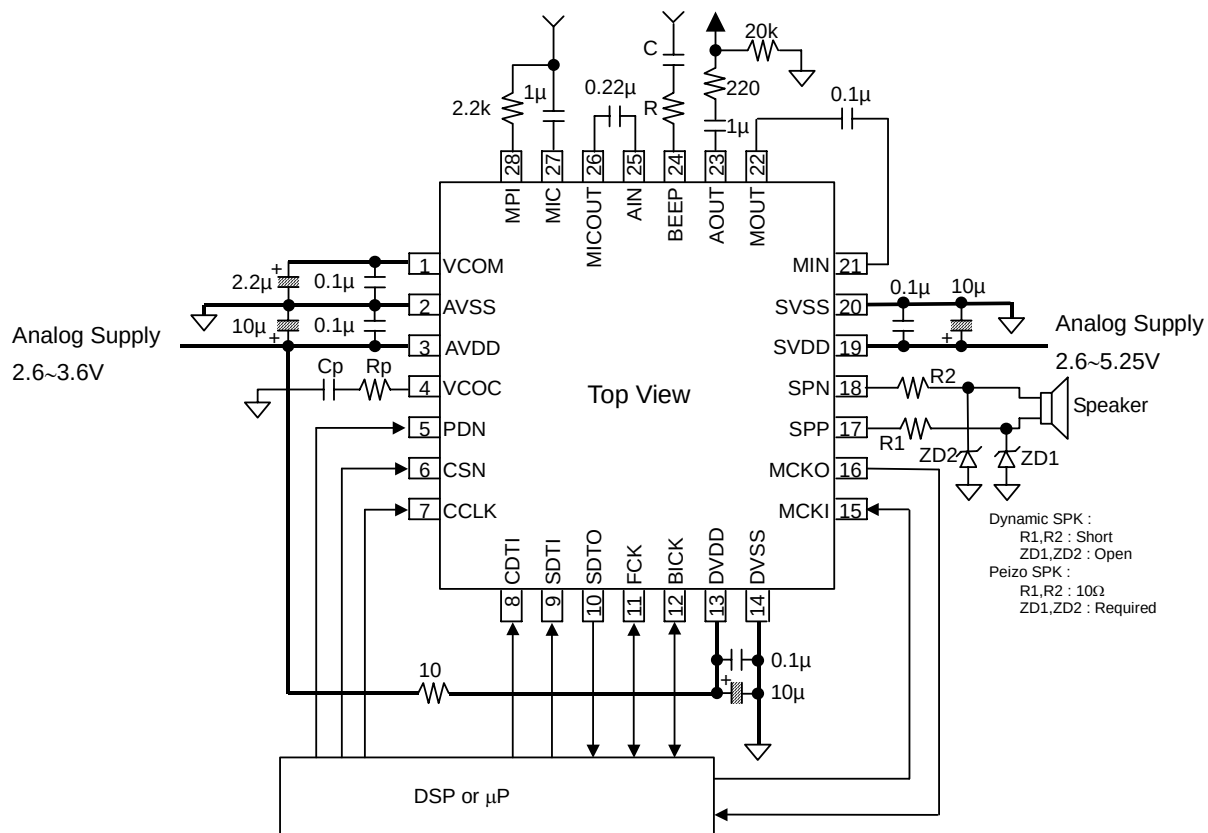
REFS5-0 bits	Volume[dB]	Step
3F	+19.5	0.5dB
3E	+19.0	
3D	+18.5	
3C	+18.0	
:	:	
19	+0.5	
18	+0.0	
17	-0.5	
:	:	
03	-10.5	
02	-11.0	
01	-11.5	
00	-12.0	

Default

Table 41. Setting Reference Value at ALC2 Recovery Operation

システム設計

Figure 42はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4631)を参照して下さい。



- 注:
- AK4631のAVSS, DVSS, SVSS と周辺コントローラ等のグラウンドは分けて配線して下さい。
 - プルダウンピン以外のデジタル入力ピンはオープンにしないで下さい。
 - BEEP pin の R と C は適宜設定して下さい。
 - EXTモード(PMPLL bit = “0”) の場合、VCOC pinはオープンで構いません。
 - PLLモード(PMPLL bit = “1”) の場合、VCOC pin の Cp と Rp はTable 42 に従って設定して下さい。
 - MICOUT-AIN間のコンデンサとAINの入力抵抗で HPF を構成します。コンデンサが 0.22μF のとき、カットオフ周波数は、typ. 72Hz (min. 48Hz, max. 145Hz) です。

Mode	PLL3 bit	PLL2 bit	PLL1 bit	PLL0 bit	PLL基準クロック入力ピン	入力周波数	VCOC pinのRp,Cp		PLLロック時間 (max)
							Rp[Ω]	Cp[F]	
0	0	0	0	0	FCK pin	1fs	6.8k	220n	160ms
1	0	0	0	1	BICK pin	16fs	10k	4.7n	2ms
2	0	0	1	0	BICK pin	32fs	10k	4.7n	2ms
3	0	0	1	1	BICK pin	64fs	10k	4.7n	2ms
4	0	1	0	0	MCKI pin	11.2896MHz	10k	4.7n	40ms
5	0	1	0	1	MCKI pin	12.288MHz	10k	4.7n	40ms
6	0	1	1	0	MCKI pin	12MHz	10k	4.7n	40ms
7	0	1	1	1	MCKI pin	24MHz	10k	4.7n	40ms
12	1	1	0	0	MCKI pin	13.5MHz	10k	10n	40ms
13	1	1	0	1	MCKI pin	27MHz	10k	10n	40ms
Others	Others				N/A				

Default

Table 42. Setting of PLL Mode (*fs: Sampling Frequency)

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD, DVDD, SVDDにはシステムのアナログ電源を供給します。AVDD, DVDD, SVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。AVSS, DVSS, SVSSはアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 μ F程度の電解コンデンサと並列に0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

3. アナログ入力

マイク入力とBEEP入力はシングルエンド入力になっており、入力レンジは内部のコモン電圧(typ: 0.45 x AVDD)を中心に0.06 x AVDD Vpp(typ)、または、0.6 x AVDD Vpp(typ)になります。通常、入力信号はコンデンサでDCカットします。この時カットオフ周波数は $f_c=1/(2\pi RC)$ です。AK4631はAVSSからAVDDまでの電圧を入力することができます。

4. アナログ出力

DACに対する入力データのフォーマットは2'sコンプリメントで、7FFFH(@16bit)に対しては正のフルスケール、8000H(@16bit)に対しては負のフルスケール、0000H(@16bit)での理論値はVCOM電圧です。VCOM電圧は、モノラルライン出力及びモノラル出力では0.45 x AVDD (typ)を中心に出力され、スピーカ出力ではSVDD/2を中心に出力されます。

コントロール シーケンス

■ クロックの設定

ADC, DAC, ALC1, ALC2, IPGA を使用時には、クロックが供給されている必要があります。

1. PLL マスタモードの場合

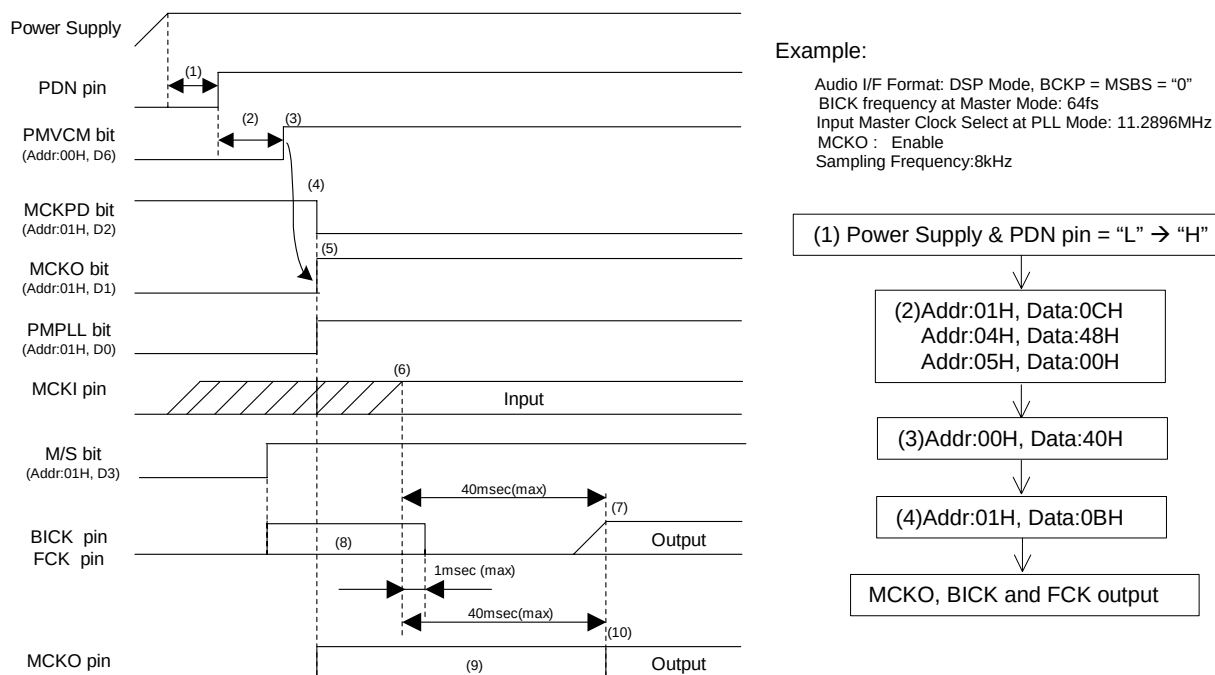


Figure 43. Clock Set Up Sequence (1)

<手順例>

(1) 電源立ち上げ後、PDN pin "L" → "H"

(1)の区間はAK4631のリセットのため、150ns以上の"L"区間が必要です。

(2) この区間に、DIF1-0, PLL3-0, FS2-0, BCKO1-0, MSBS, BCKP, M/S bitの設定を行って下さい。

(3) VCOMのパワーアップ: PMVCM bit = "0" → "1"

各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

(4) MCKI pinのプルダウン解除: MCKPD bit = "1" → "0"

(5) MCKO出力を使用する場合: MCKO bit = "1"

MCKO出力を使用しない場合: MCKO bit = "0"

(6) PMPLL bitが"0" → "1"になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。PLLのロック時間は40ms(max)です。

(7) PLLが安定後、BICK, FCK pinを出力し始め、正常な動作が開始します。

(8) この区間に正常でない周波数のFCKとBICKクロックが出力されます。

(9) この区間では、MCKO pinから正常でないクロックが出力されます。

(10) PLLが安定後、MCKO pinから正常なクロックが出力されます。

2. PLL スレーブモードで外部クロック (FCK or BICK pin) を使用する場合

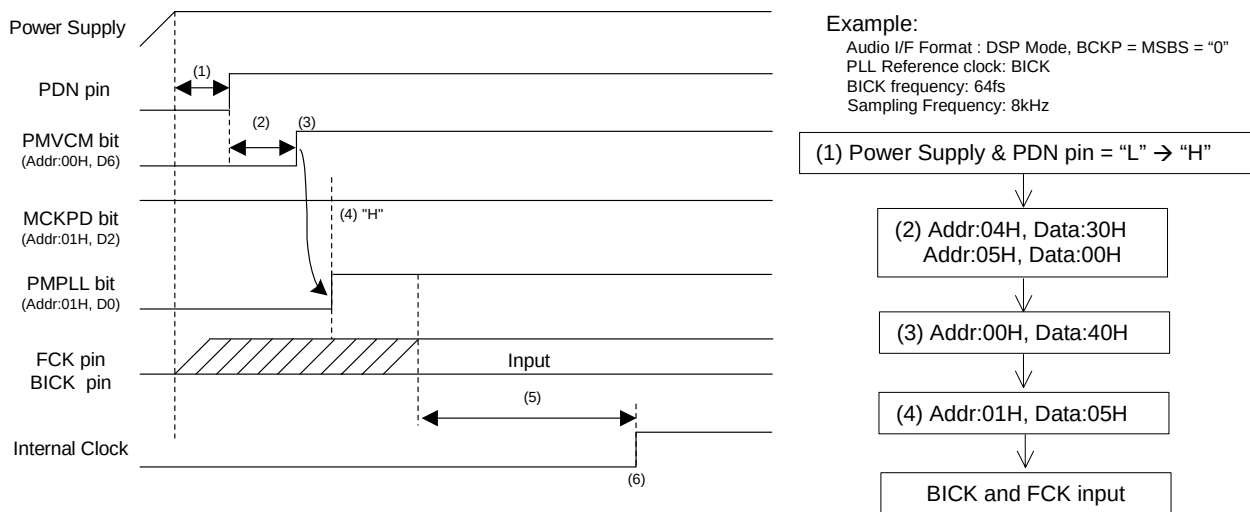


Figure 44. Clock Set Up Sequence (2)

<手順例>

(1)電源立ち上げ後、PDN pin "L" → "H"

(1)の区間はAK4631のリセットのため、150ns以上の"L"区間が必要です。

(2)この区間に、DIF1-0, FS2-0, PLL3-0, MSBS, BCKP bitの設定を行って下さい。

(3)VCOMのパワーアップ: PMVCM bit = "0" → "1"

各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

(4)MCKI pinのプルダウン: MCKPD bit = "1"

(5)PMPLL bitが "0" → "1"になり、PLL基準クロック (FCK or BICK pin) が供給された後、PLL動作がスタートします。PLLのロック時間はFCKがPLL基準クロック入力の場合、160ms(max), BICKがPLL基準クロックの場合、2ms(max)です。

(6)PLLが安定後、正常な動作が開始します。

3. PLL スレーブモードで外部クロック (MCKI pin) を使用する場合

Example:

Audio I/F Format: DSP Mode, BCKP = MSBS = "0"
 BICK frequency at Master Mode: 64fs
 Input Master Clock Select at PLL Mode: 11.2896MHz
 MCKO : Enable
 Sampling Frequency: 8kHz

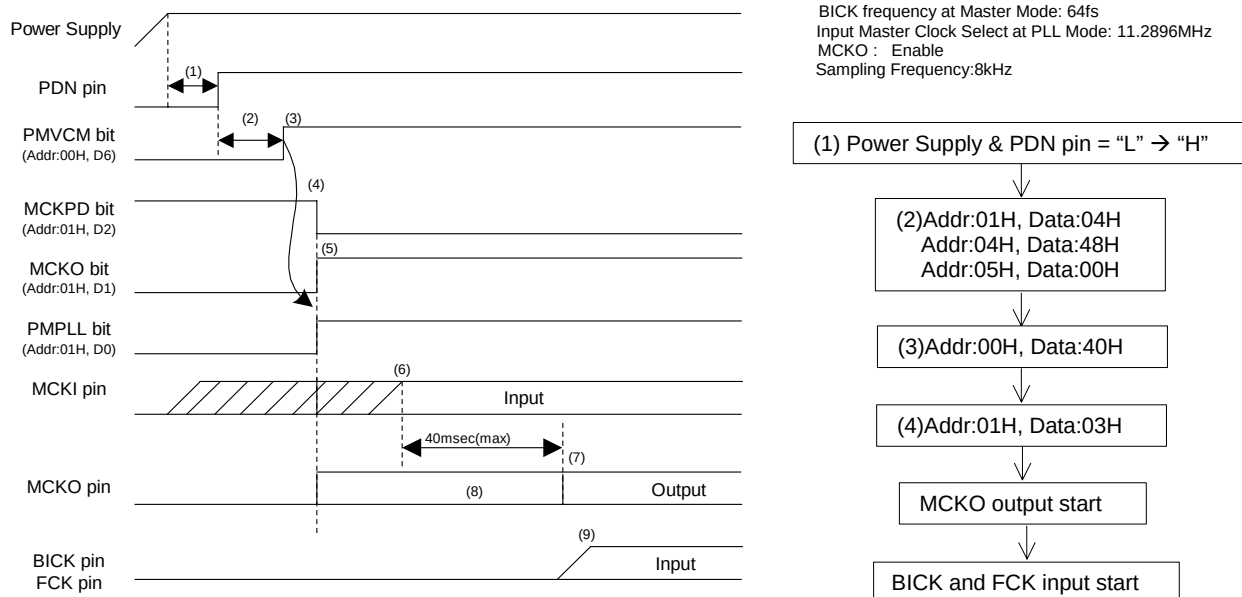


Figure 45. Clock Set Up Sequence (3)

<手順例>

(1) 電源立ち上げ後、PDN pin “L” → “H”

(1)の区間はAK4631のリセットのため、150ns以上の“L”区間が必要です。

(2) この区間に、DIF1-0, PLL3-0, FS3-0, BCKO1-0, MSBS, BCKP, M/S bitの設定を行って下さい。

(3) VCOMのパワーアップ: PMVCM bit = “0” → “1”

各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

(4) MCKI pinのプルダウン解除: MCKPD bit = “1” → “0”

(5) MCKO 出力の設定: MCKO bit = “1”

(6) PMPLL bitが“0” → “1”になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。PLLのロック時間は40ms(max)です。

(7) PLLが安定後、MCKO pin から正常なクロックが出力されます。

(8) この区間では、MCKO pin から正常でないクロックが出力されます。

(9) MCKOクロックに同期したBICK, FCKクロックを入力してください。

4. 外部クロックモードで使用する場合(スレーブモード)

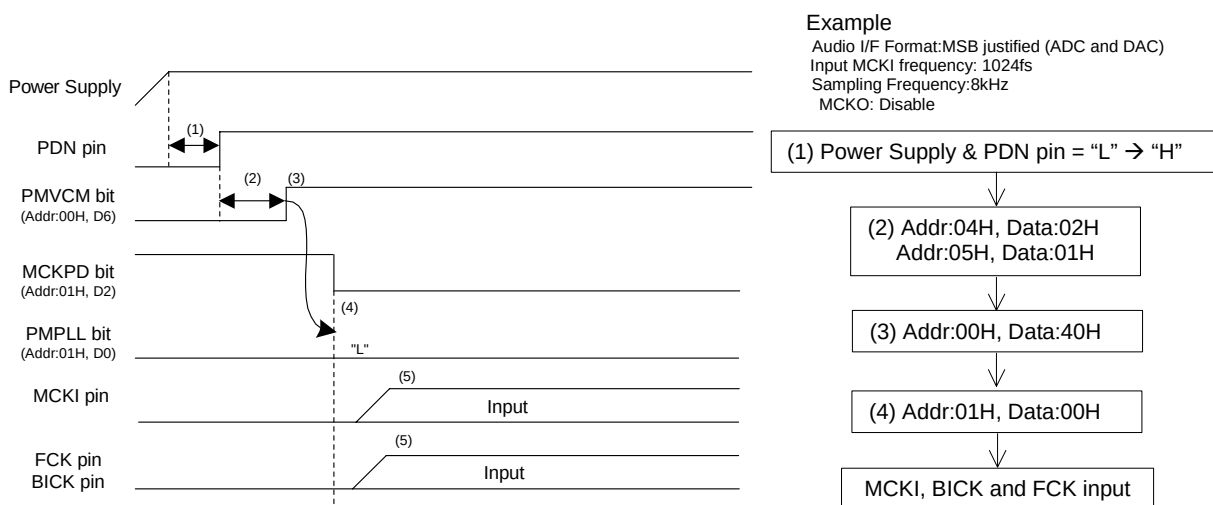
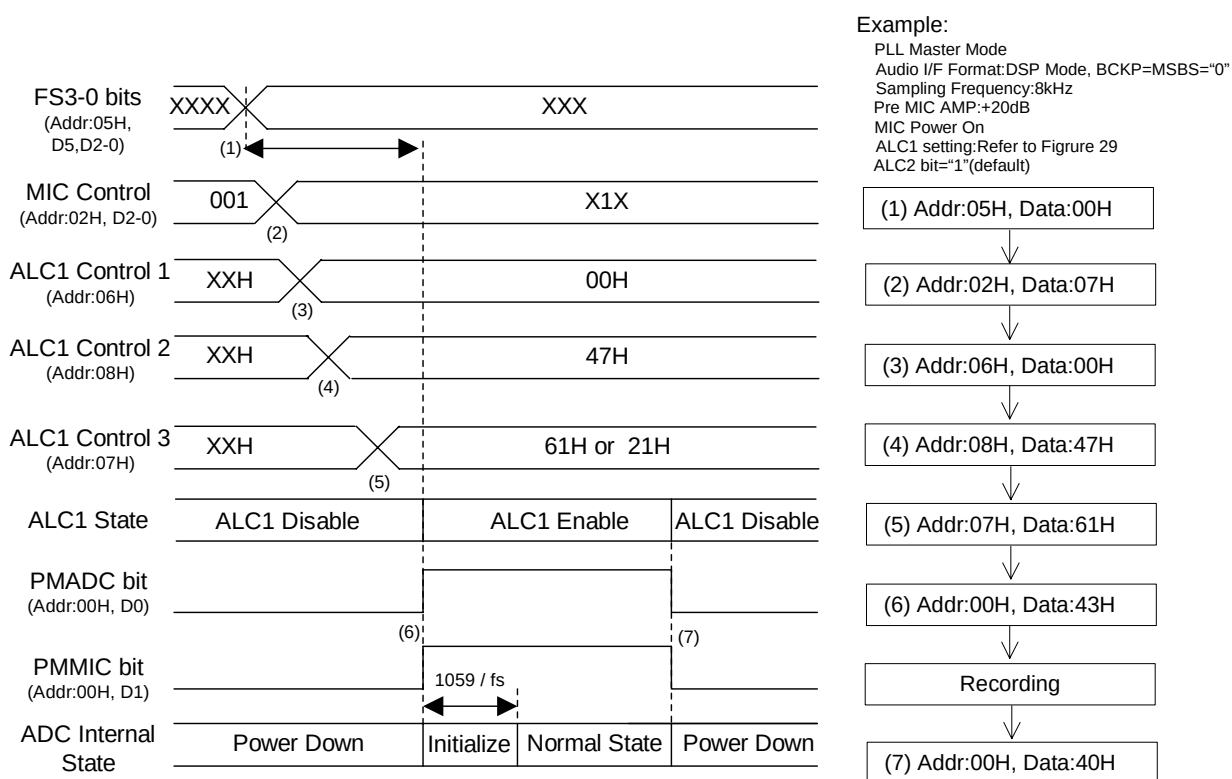


Figure 46. Clock Set Up Sequence (4)

<手順例>

- (1) 電源立ち上げ後、PDN pin "L" → "H"
 (1)の区間はAK4631のリセットのため、150ns以上の"L"区間が必要です。
- (2) この区間に、DIF1-0, FS1-0 bitの設定を行って下さい。
- (3) VCOMのパワーアップ: PMVCM bit = "0" → "1"
 各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) MCKI pinのプルダウンの解除: MCKPD bit = "1" → "0"
 PLLのパワーダウン: PMPLL bit = "0"
- (5) MCKI, FCK, BICKクロック入力後、正常な動作が開始します。

■ マイク入力録音



<手順例>

fs=8kHz時のALC1の設定例です。もし、ALC1のパラメータを変更する場合は、“Figure 30. Registers set-up sequence at ALC1 operation”を参照して下さい。

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bit)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(6)のマイク及びADCのパワーアップを行って下さい。

(2) マイク入力(アドレス 02H)の設定。

(3) ALC1 Timer (アドレス 06H) の設定

(4) ALC1 REF値 (アドレス 08H) の設定

(5) LMTH, RATT, LMAT1-0, ALC1 bitの設定 (アドレス 07H)

(6) マイク及びADCのパワーアップ: PMMIC bit = PMADC bit = “0” → “1”

ADCの初期化サイクルは $1059/fs=133ms@fs=8kHz$ です。

ALC1 bit に “1” が設定された後、マイクブロックがパワーアップされると、ALC1はIPGAの初期値(0dB)から動作を開始します。

(7) マイク及びADCのパワーダウン: PMMIC bit = PMADC bit = “1” → “0”

ALC1の設定を変更しない場合は、ALC1 bit は “1” のままでも構いません。マイクをパワーダウンすることでALC1もDisable状態になります。サンプリング周波数を変更し、ALC1の設定を変更する場合は、マニュアルモード (ALC1 bit = “0”) あるいはマイクブロックをパワーダウン (PMMIC bit = “0”) してから行って下さい。ただし、PMMIC bit = “0” のとき、IPGAのゲインはリセットされ、次のパワーアップ時は初期値で動作を開始します。

■ スピーカ出力

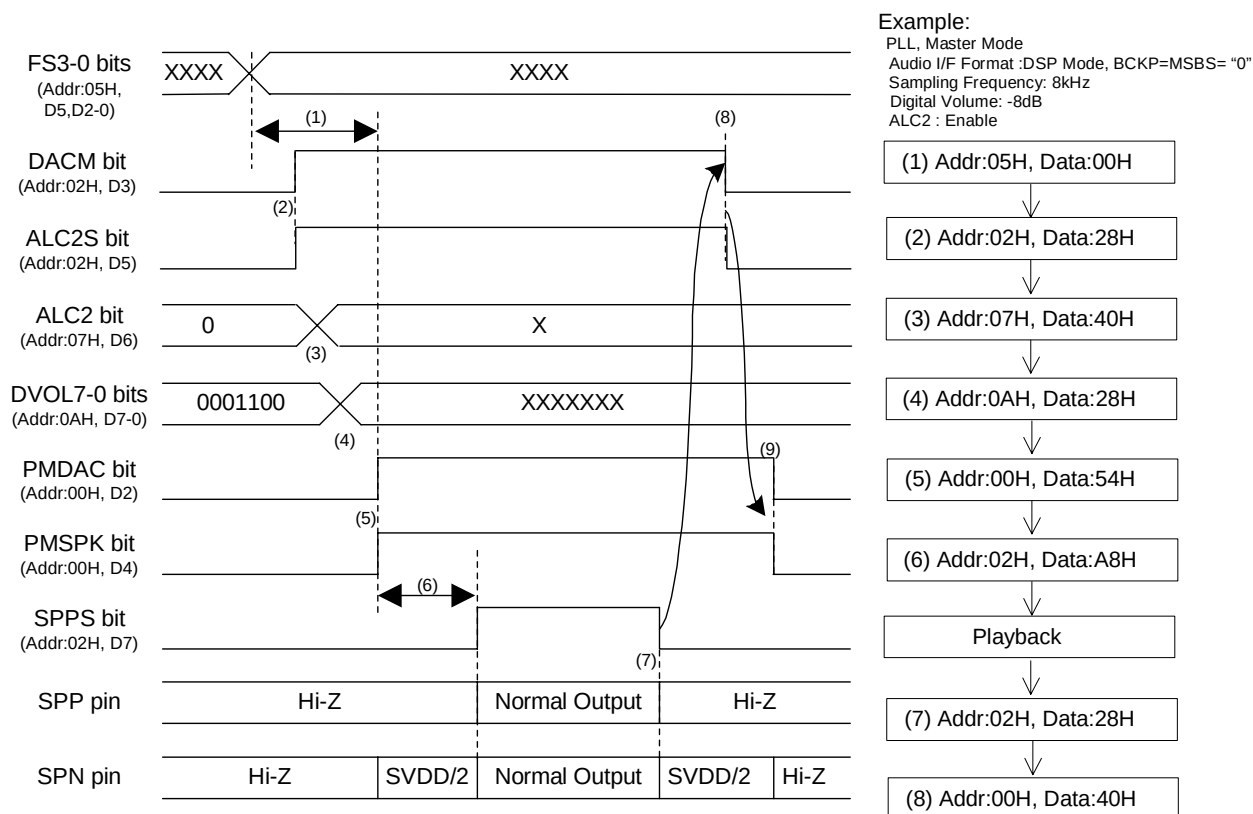


Figure 48. Speaker-Amp Output Sequence

<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bit)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(5)のDAC及びスピーカのパワーアップを行って下さい。

(2) DAC → SPK-Ampのパスの設定。

DACM = ALC2S bit: "0" → "1"

(3) ALC2の有効／無効(ALC2bit)の設定。

(4) デジタルボリューム(アドレス0AH)の設定。

DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。

(5) DAC及びスピーカのパワーアップ: PMDAC bit = PMSPK bit = "0" → "1"

ALC2 bit = "1"の場合、初期化サイクル中(512/fs=64ms (@fs=8kHz, ROTM bit = "0")), ALC2はディセーブル状態(ALC2のゲインは"-2dB固定")で、初期化サイクルが終了するとALC2は"-2dB"から動作を開始します。

(6) スピーカのパワーセーブモードの解除: SPPS bit = "0" → "1"

(6)の区間は、MIN pinの入力抵抗とMIN pin – MOUT pin間に接続されるコンデンサの時定数によって決定して下さい。MIN-Amp (ALC2)の入力が安定する前にSPK-Ampの出力をEnableにすると、ポップ音が生じる可能性があります。

e.g. Input Impedance of MIN pin = 36kΩ (max), C=0.1μFの場合: 推奨待ち時間 5τ = 18ms 以上

(7) スピーカのパワーセーブモードへ移行: SPPS bit = "1" → "0"

(8) DAC → SPK-AmpのパスのDisable。

DACM = ALC2S bit: "1" → "0"

(9) DAC及びスピーカのパワーダウン: PMDAC bit = PMSPK bit = "1" → "0"

■ スピーカからのBEEP信号出力

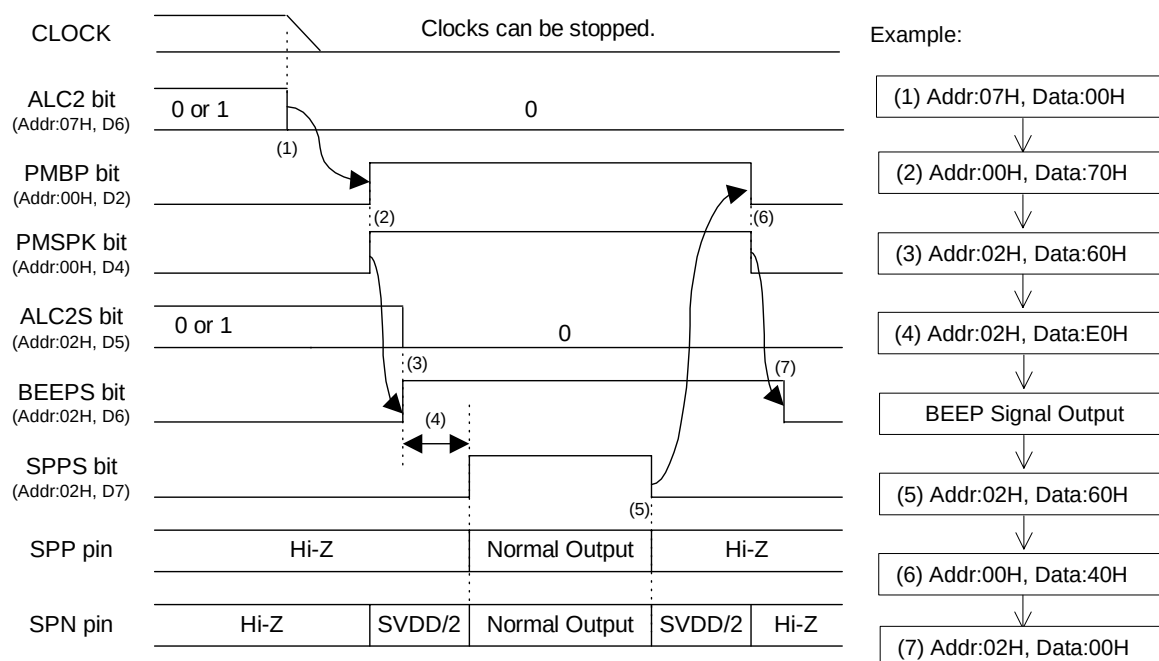


Figure 49. "BEEP-Amp → Speaker-Amp" Output Sequence

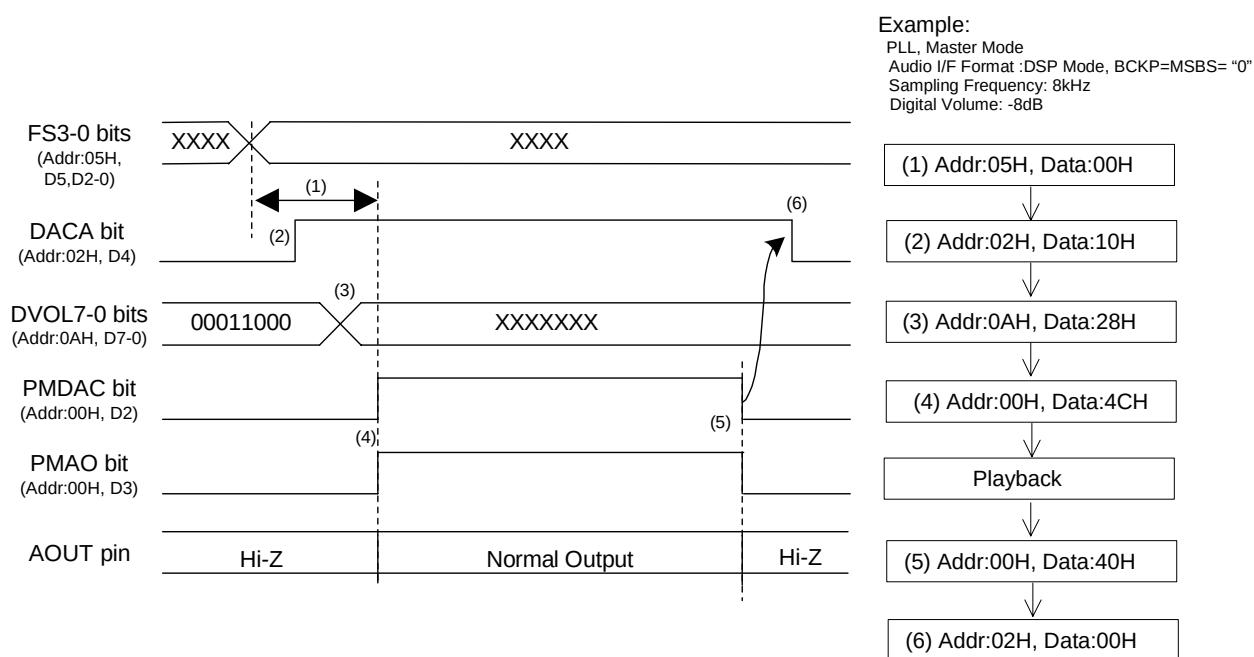
<手順例>

"BEEP-Amp → SPK-Amp"のみの動作では、クロックは供給されている必要はありません。ただし、ALC2はDisableにして下さい。

- (1) ALC2 Disable: ALC2 bit = "0"
- (2) BEEP-Amp及びスピーカのパワーアップ: PMBP bit = PMSPK bit = "0" → "1"
- (3) ALC2 → SPK-AmpのバスのDisable: ALC2S bit = "0"
BEEP → SPK-AmpのバスのEnable: BEEPS bit = "0" → "1"
- (4) スピーカのパワーセーブモードの解除: SPPS bit = "0" → "1"
(4)の区間はBEEP pinに接続されているコンデンサと抵抗の時定数によって設定してください。BEEP-Ampの入力が安定する前にSPK-Ampの出力をEnableにすると、ポップ音が生じる可能性があります。
e.g. R=20kΩ, C=0.1μFの場合: 推奨待ち時間 $5\tau = 10\text{ms}$ 以上
- (5) スピーカのパワーセーブモードへ移行: SPPS bit = "1" → "0"
- (6) BEEP-Amp及びスピーカのパワーダウン: PMBP bit = PMSPK bit = "1" → "0"
- (7) BEEP → SPK-AmpのバスのDisable: BEEPS bit = "1" → "0"

■ モノラルラインアウト出力

1. 外部ミュート回路使用時(AK4536/AK4630 互換)



<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

- (1) サンプリング周波数(FS3-0 bit)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(4)のDAC及びモノラルラインアウトアンプのパワーアップを行って下さい。
- (2) DAC → モノラルラインアンプのパスの設定。
DACA bit: "0" → "1"
- (3) デジタルボリューム(アドレス0AH)の設定。
DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。
- (4) DAC及びモノラルラインアンプのパワーアップ: PMDAC bit = PMAO bit = "0" → "1"
DAC及びモノラルラインアンプパワーアップ時、AOUT pin からポップ音が発生しますので、外部でミュートして下さい。
- (5) DAC及びモノラルラインアンプのパワーダウン: PMDAC bit = PMAO bit = "1" → "0"
DAC及びモノラルラインアンプパワーダウン時、AOUT pin からポップ音が発生しますので、外部でミュートして下さい。
- (6) DAC → モノラルラインアンプのパスのDisable。
DACA bit: "1" → "0"

2. AK4631 内蔵のポップ音低減回路使用時

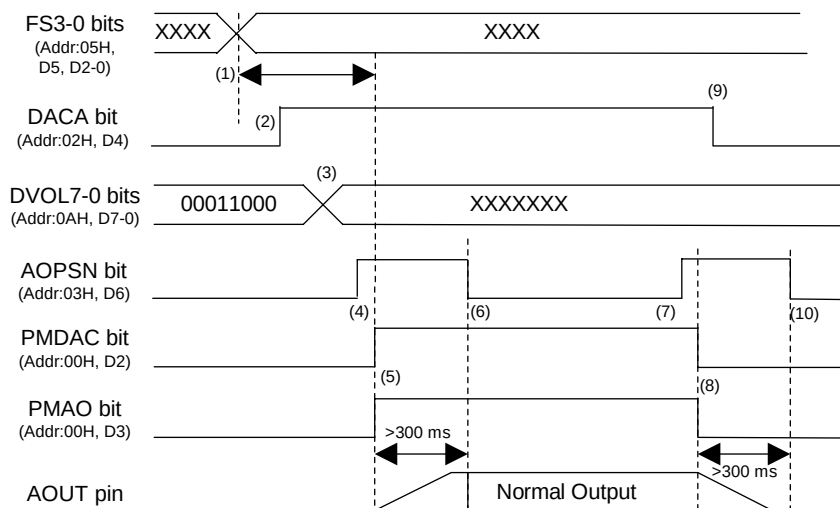
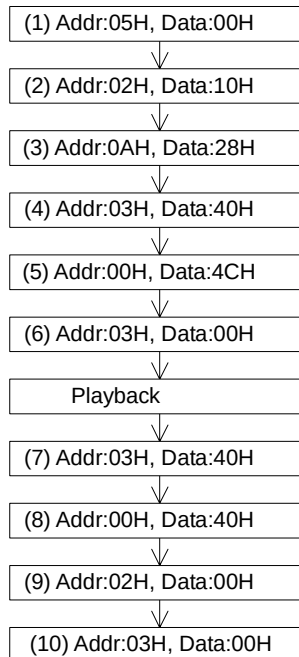


Figure 51. Mono Lineout Sequence

Example:

PLL, Master Mode
 Audio I/F Format :DSP Mode, BCKP=MSBS= "0"
 Sampling Frequency: 8kHz
 Digital Volume: -8dB
 MGAIN1=SPKG1=SPKG0=BEEPA=ALC1M
 =ALC1A= "0"



<手順例>

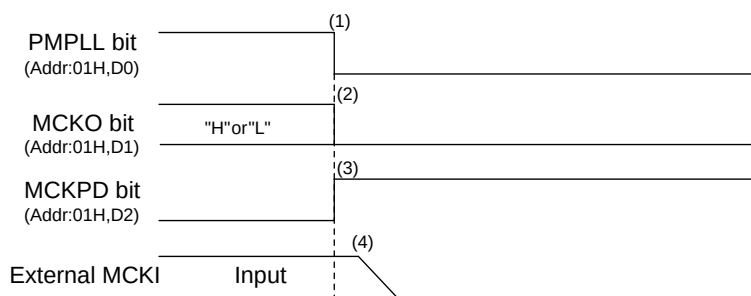
「クロックの設定」の項を参照し、クロックを供給して下さい。

- (1) サンプリング周波数(FS3-0 bit)を設定して下さい。
PLLロック時間を考慮し、(5)のDACのパワーアップを行って下さい。
- (2) DAC → モノラルラインアンプのパスの設定。DACA bit: "0" → "1"
- (3) デジタルボリューム(アドレス0AH)の設定。
DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。
- (4) AOUT をパワーセーブモードへ移行。AOPSN bit: "0" → "1"
- (5) DAC及びモノラルラインアンプのパワーアップ: PMDAC bit = PMAO bit = "0" → "1"
AOUT pin が立ち上がり始めます。立ち上がり時間は $C = 1\mu\text{F}$ のとき、max 300ms です。
- (6) AOUT のパワーセーブモードの解除。AOPSN bit: "1" → "0"
AOUT が立ち上がった後、設定を行ってください。設定後、AOUT pin からの音声出力が開始されます。
- (7) AOUT をパワーセーブモードへ移行。AOPSN bit: "0" → "1"
- (8) DAC及びモノラルラインアンプのパワーダウン: PMDAC bit = PMAO bit = "1" → "0"
AOUT pin が立ち下がり始めます。立ち下がり時間は $C = 1\mu\text{F}$ のとき、max 300ms です。
- (9) DAC → モノラルラインアンプのパスのDisable。DACA bit: "1" → "0"
- (10) AOUT のパワーセーブモードの解除。AOPSN bit: "1" → "0"
AOUT が立ち下がった後、設定を行ってください。

■ クロックの停止

ADC, DAC, ALC1, ALC2, IPGA を使用しない場合は、マスタクロックを停止することができます。

3. PLL マスタモードで使用する場合



Example:

Audio I/F Format: DSP Mode, BCKP = MSBS = "0"
BICK frequency at Master Mode : 64fs
Input Master Clock Select at PLL Mode : 11.2896MHz
Sampling Frequency: 8kHz

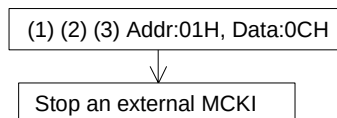


Figure 52. Clock Stopping Sequence (1)

<手順例>

(1) PLLのパワーダウン : PMPLL bit = "1" → "0"

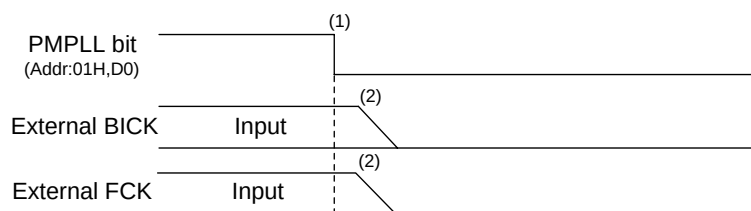
(2) MCKO出力の停止: MCKO bit = "1" → "0"

(3) MCKI pinのプルダウン : MCKPD bit = "0" → "1"

MCKI pinへ入力される信号が Hi-Z のとき、MCKI pin をプルダウンして下さい。

(4) 外部クロックを止めて下さい。

4. PLL, スレーブモード (FCK, BICK pin)の場合



Example

Audio I/F Format : DSP Mode, BCKP = MSBS = "0"
PLL Reference clock: BICK
BICK frequency: 64fs
Sampling Frequency: 8kHz

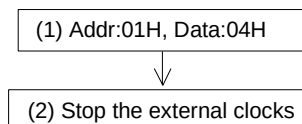


Figure 53. Clock Stopping Sequence (2)

<手順例>

(1) PLLのパワーダウン : PMPLL bit = "1" → "0"

(2) 外部クロックを止めて下さい。

5. PLL スレーブモード (MCKI pin)の場合

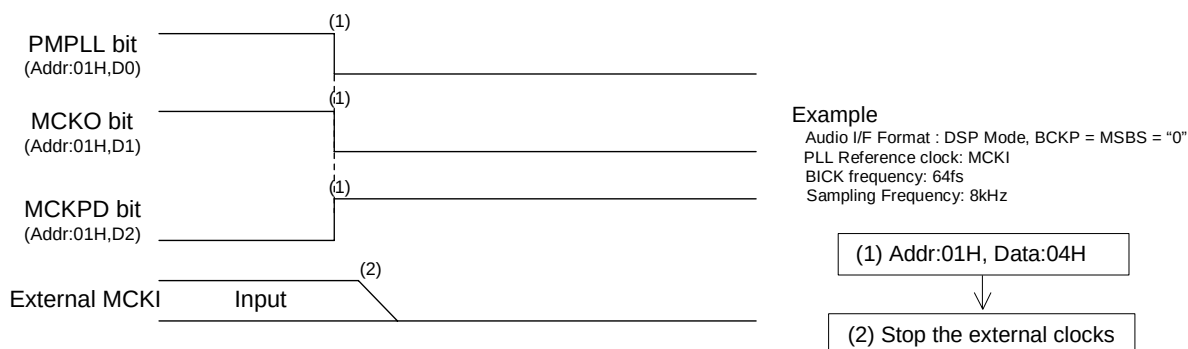


Figure 54. Clock Stopping Sequence (3)

<手順例>

- (1) PLLのパワーダウン : PMPLL bit = "1" → "0"
 MCKO出力の停止: MCKO bit = "1" → "0"
 MCKI pinのプルダウン: MCKPD bit = "0" → "1"
 MCKI pinへ入力される信号が Hi-Z のとき、MCKI pin をプルダウンして下さい。
- (2) 外部クロックを止めて下さい。

6. 外部クロックモードの場合

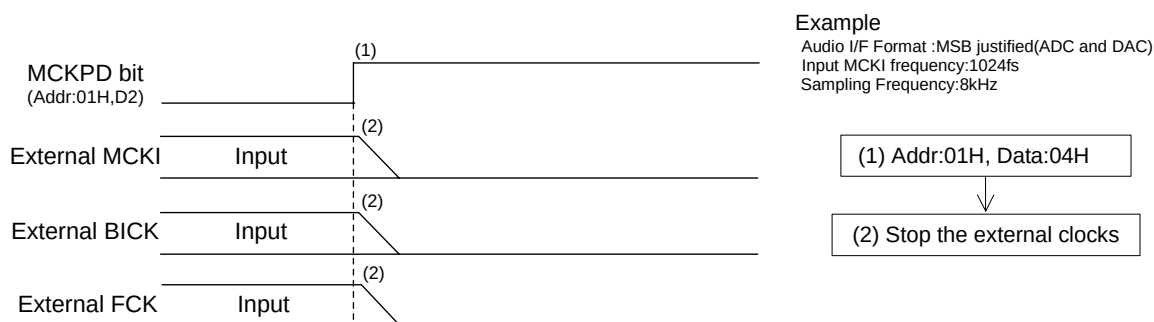


Figure 55. Clock Stopping Sequence (4)

<手順例>

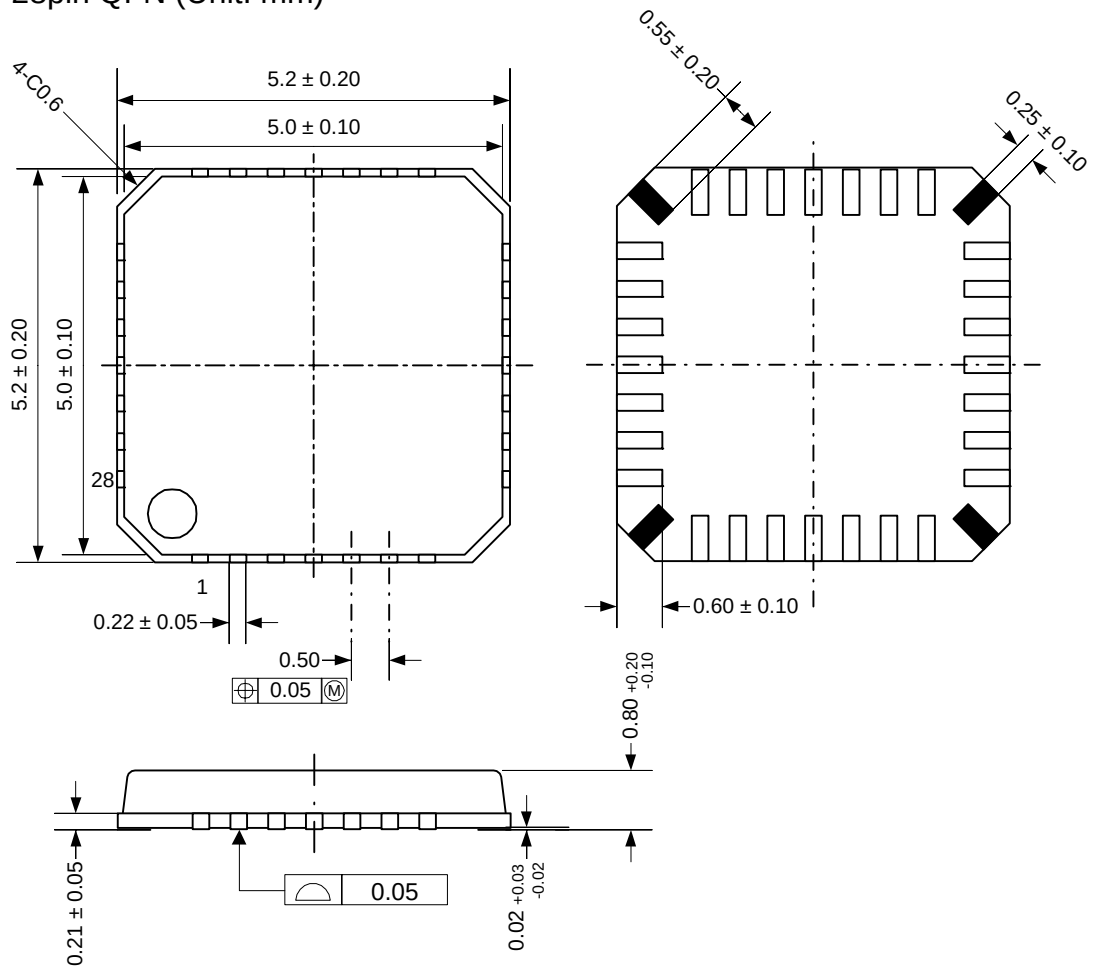
- (1) MCKI pinのプルダウン : MCKPD bit = "0" → "1"
 MCKI pinへ入力される信号が Hi-Z のとき、MCKI pin をプルダウンして下さい。
- (2) 外部クロックを止めて下さい。

■ パワーダウン

各ブロックをパワーダウンし、クロックが供給されている場合は、マスタクロック停止後、VCOMをパワーダウンして下さい。また、外部入力クロック停止後、PDN pin="L"とすることでパワーダウン状態にすることも可能です。但し、レジスタが初期化されます。

パッケージ

• 28pin QFN (Unit: mm)

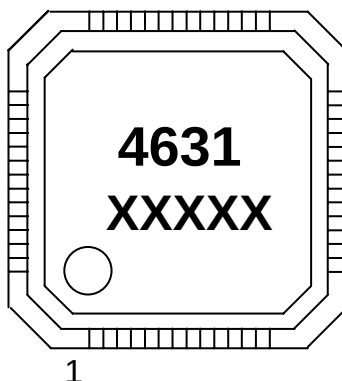


* パッケージ裏面の四隅の黒塗り部分は、基板とは接続せずオープンにして下さい。

■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder plate (Pb free)

マーキング



XXXXX : Date code identifier (5桁)

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
04/06/15	00	初版		
04/11/19	01	説明追加	P4-6	“AK4536 と AK4630 との互換性” についての説明を追加
			P8	推奨動作条件：Speaker-Amp電源に Note 6 を追加 “Note 6. 8Ωダイナミックスピーカ接続時はSVDD = 2.6V ~ 3.6V です。”

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。