AK4647

Stereo CODEC with MIC/HP-AMP

概　要

AK4647はマイクアンプ及びヘッドフォンアンプを内蔵したステレオCODECです。AK4647はPLLを内蔵しており、多様なシステムと容易にインタフェースを取ることが可能です。パッケージは小型の48pin LQFPを採用、従来システムと比較して実装面積を大幅に削減します。

特　長

1. 録音側機能
   - ステレオマイク入力(差動 or シングルエンド入力)
   - ステレオライン入力
   - マイク用ゲインアンプ内蔵 (+32dB/+26dB/+20dB or 0dB)
   - Digital ALC (Automatic Level Control) 回路内蔵
     (+36dB ~ –54dB, 0.375dB Step, Mute)
   - ADC特性: S/(N+D): 83dB, DR, S/N: 86dB (MIC-Amp=+20dB)
     S/(N+D): 88dB, DR, S/N: 95dB (MIC-Amp=0dB)
   - 風切り音フィルタ
   - ステレオ感強調回路
   - Programmable EQ
2. 再生側機能
   - ディジタルディエンファシスフィルタ (tc=50/15μs, fs=32kHz, 44.1kHz, 48kHz)
   - バスブースト
   - ソフトミュート
   - ディジタルボリューム内蔵 (+12dB ~ –115.0dB, 0.5dB Step, Mute)
   - Digital ALC (Automatic Level Control) 回路内蔵
     (+36dB ~ –54dB, 0.375dB Step, Mute)
   - ステレオ感強調回路
   - Programmable EQ
   - ステレオライン出力
     - 特性: S/(N+D): 88dB, S/N: 92dB
   - ステレオヘッドフォンアンプ内蔵
     - HP-AMP特性: S/(N+D): 70dB, S/N: 90dB
     - 定格出力: 62mW@16Ω (HVDD=3.3V)
     - 電源ON/OFF時クリックノイズフリー
   - アナログミキシング: モノラル入力
3. パワーマネジメント機能
4. マスタクロック:
   (1) PLLモード
   - 周波数: 11.2896MHz,12MHz,12.288MHz,13.5MHz,24MHz,27MHz (MCKI pin)
     1fs (LRCK pin)
     32fs or 64fs (BICK pin)

   (2) 外部クロックモード
   - 周波数: 256fs, 512fs or 1024fs (MCKI pin)
5. マスタクロック出力周波数: 32fs/64fs/128fs/256fs

6. サンプリング周波数:
- **PLL Slave Mode (LRCK pin): 7.35kHz ~ 48kHz**
- **PLL Slave Mode (BICK pin): 7.35kHz ~ 48kHz**
- **PLL Slave Mode (MCKI pin):**
  8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
- **PLL Master Mode:**
  8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
- **EXT Slave Mode:**
  7.35kHz ~ 48kHz (256fs), 7.35kHz ~ 26kHz (512fs), 7.35kHz ~ 13kHz (1024fs)

7. シリアルμPインタフェース: 3線シリアル, I²Cバス (Ver 1.0, 400kHz高速モード)
8. マスタ／スレーブモード
9. オーディオインタフェースフォーマット: MSB First, 2's complement
- **ADC : 16bit前詰め, I²S**
- **DAC : 16bit前詰め, 16bit後詰め, 16-24bit I²S**

10. Ta = –40 ~ 85°C
11. 電源電圧:
- **AVDD, DVDD: 2.6 ~ 5.25V (typ. 3.3V)**
- **HVDD: 2.6 ~ 5.25V (typ. 3.3V/5.0V)**

12. パッケージ : 48pin LQFP

■ ブロック図

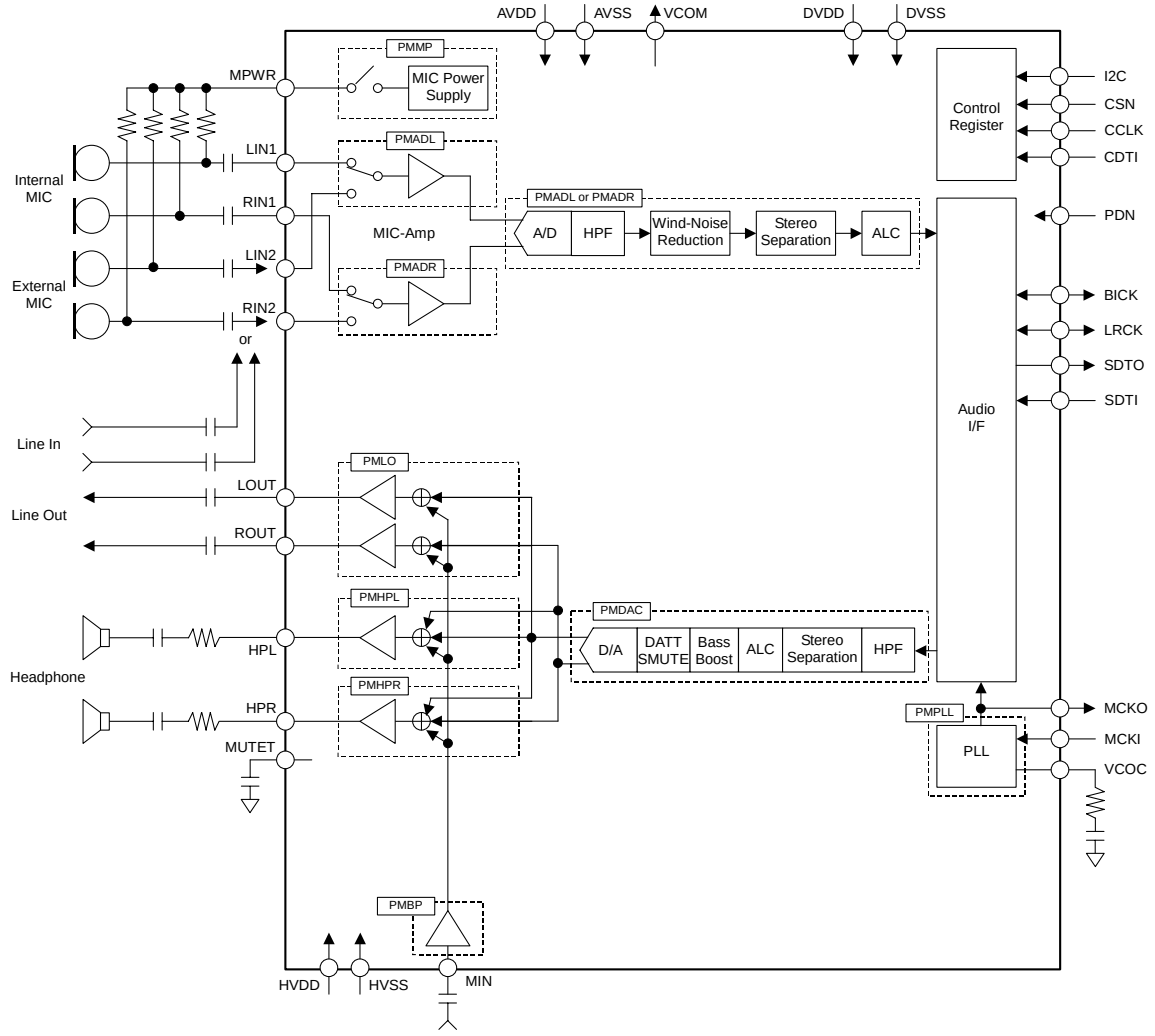
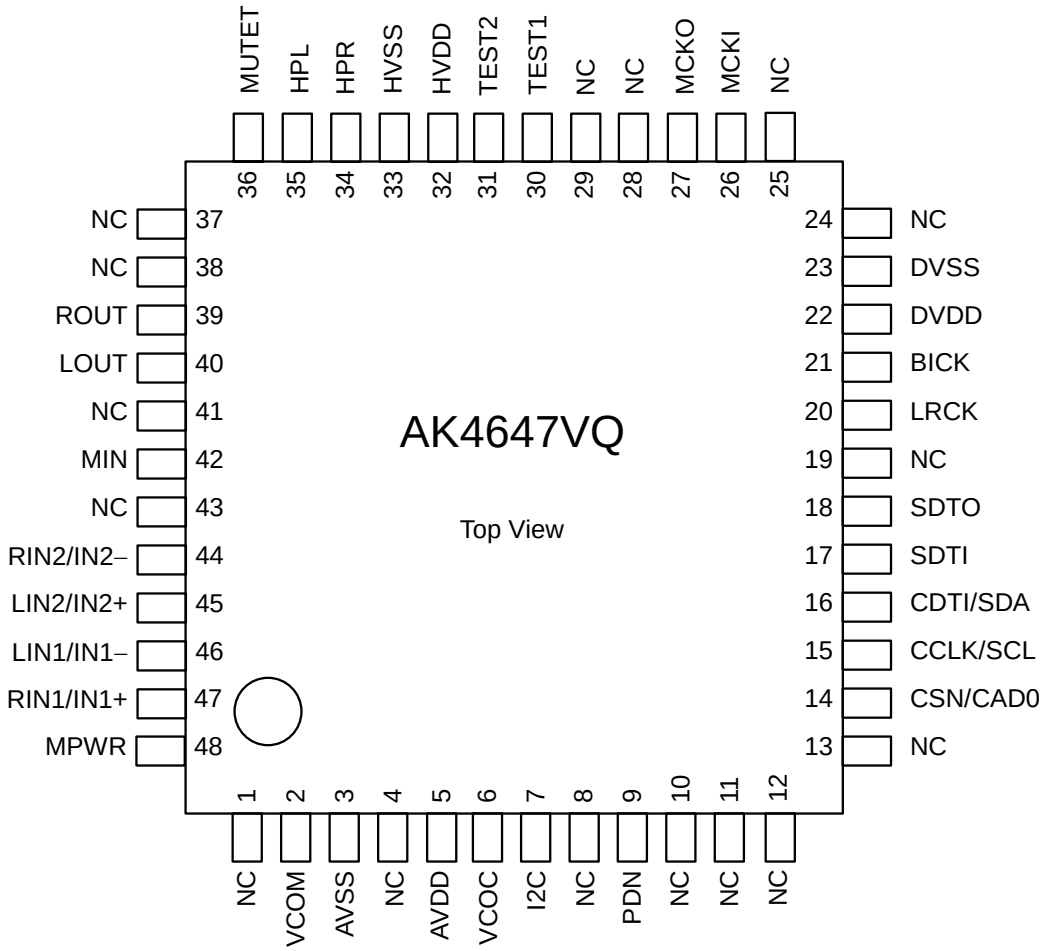


Figure 1. ブロック図

■ オーダリングガイド

AK4647VQ	–40 ~ +85°C	48pin LQFP (0.5mm pitch)
AKD4647	AK4647用評価ボード	

■ ピン配置



ピン／機能

No.	Pin Name	I/O	Function
1	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
2	VCOM	O	コモン電圧出力ピン, 0.45 x AVDD ADC入力とDAC出力のバイアス電圧です。
3	AVSS	-	アナロググランドピン
4	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
5	AVDD	-	アナログ電源ピン
6	VCOC	O	PLLのループフィルタ用出力ピン AVSSとの間に抵抗とコンデンサをシリーズ接続して下さい。
7	I2C	I	コントロールモード選択ピン “H”: I^2Cバス, “L”: 3線式シリアル
8	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
9	PDN	I	パワーダウンモードピン “H”: パワーアップ “L”: パワーダウン、リセット、コントロールレジスタの初期化
10	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
11	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
12	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
13	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
14	CSN	I	チップセレクトピン (I2C pin = “L” : 3線シリアルモード)
	CAD0	I	チップアドレス0ピン (I2C pin = “H” : I^2Cバスモード)
15	CCLK	I	コントロールクロック入力ピン (I2C pin = “L” : 3線シリアルモード)
	SCL	I	コントロールクロック入力ピン (I2C pin = “H” : I^2Cバスモード)
16	CDTI	I	コントロールデータ入力ピン (I2C pin = “L” : 3線シリアルモード)
	SDA	I/O	コントロールデータ入出力ピン (I2C pin = “H” : I^2Cバスモード)
17	SDTI	I	オーディオシリアルデータ入力ピン
18	SDTO	O	オーディオシリアルデータ出力ピン
19	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
20	LRCK	I/O	入出力チャネルクロックピン
21	BICK	I/O	オーディオシリアルクロックピン
22	DVDD	-	ディジタル電源ピン
23	DVSS	-	ディジタルグランドピン
24	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。

No.	Pin Name	I/O	Function
25	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
26	MCKI	I	外部マスタクロック入力ピン
27	MCKO	O	マスタクロック出力ピン
28	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
29	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
30	TEST1	-	テスト1ピン オープンにして下さい。
31	TEST2	-	テスト2ピン オープンにして下さい。
32	HVDD	-	ヘッドフォンアンプ電源ピン
33	HVSS	-	ヘッドフォンアンプグランドピン
34	HPR	O	Rchヘッドフォンアンプ出力ピン
35	HPL	O	Lchヘッドフォンアンプ出力ピン
36	MUTET	O	ミュート時定数コントロールピン HVSSピンとの間に時定数設定用コンデンサを接続します。
37	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
38	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
39	ROUT	O	Rchライン出力ピン
40	LOUT	O	Lchライン出力ピン
41	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
42	MIN	I	モノラルアナログ入力ピン
43	NC	-	NCピン 内部ボンディングなし。オープンまたはグランドに接続して下さい。
44	RIN2	I	Rchアナログ入力2ピン (MDIF2 bit = “0” : シングルエンド入力)
	IN2−	I	マイク反転入力2ピン (MDIF2 bit = “1” : 差動入力)
45	LIN2	I	Lchアナログ入力2ピン (MDIF2 bit = “0” : シングルエンド入力)
	IN2+	I	マイク非反転入力2ピン (MDIF2 bit = “1” : 差動入力)
46	LIN1	I	Lchアナログ入力1ピン (MDIF1 bit = “0” : シングルエンド入力)
	IN1−	I	マイク反転入力1ピン (MDIF1 bit = “1” : 差動入力)
47	RIN1	I	Rchアナログ入力1ピン (MDIF1 bit = “0” : シングルエンド入力)
	IN1+	I	マイク非反転入力1ピン (MDIF1 bit = “1” : 差動入力)
48	MPWR	O	マイク用電源供給ピン

Note 1. アナログ入力ピン (MIN, LIN1, RIN1, LIN2, RIN2)以外のすべての入力ピンはフローティングにしてはいけません。

Note 2. I2C pinにはAVDDもしくはAVSSを入力して下さい。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	MPWR, VCOC, HPR, HPL, MUTET, ROUT, LOUT, MIN, RIN2/IN2–, LIN2/IN2+, LIN1/IN1–, RIN1/IN1+	オープン
Digital	MCKO	オープン
	MCKI	DVSSに接続

絶対最大定格

(AVSS, DVSS, HVSS=0V; Note 3)

Parameter			Symbol	min	max	Units
Power Supplies:	Analog		AVDD	–0.3	6.0	V
	Digital		DVDD	–0.3	6.0	V
	Headphone-Amp		HVDD	–0.3	6.0	V
	|AVSS – DVSS|	(Note 4)	ΔGND1	-	0.3	V
	|AVSS – HVSS|	(Note 4)	ΔGND2	-	0.3	V
Input Current, Any Pin Except Supplies			IIN	-	±10	mA
Analog Input Voltage (Note 5)			VINA	–0.3	AVDD+0.3	V
Digital Input Voltage (Note 6)			VIND	–0.3	DVDD+0.3	V
Ambient Temperature (powered applied)			Ta	–30	85	°C
Storage Temperature			Tstg	–65	150	°C

Note 3. 電圧はすべてグランドピンに対する値です。
Note 4. AVSSとDVSS, HVSSは同じアナロググランドに接続して下さい。
Note 5. I2C, MIN, RIN2/IN2–, LIN2/IN2+, LIN1/IN1–, RIN1/IN1+ pins
Note 6. PDN, CSN/CAD0, CCLK/SCL, CDTI/SDA, SDTI, LRCK, BICK, MCKI pins
SDA, SCL pinsのプルアップ抵抗の接続先は(DVDD+0.3)V以下にして下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS, HVSS=0V; Note 3)

Parameter		Symbol	min	typ	Max	Units
Power Supplies (Note 7)	Analog	AVDD	2.6	3.3	3.6	V
	Digital	DVDD	2.6	3.3	3.6	V
	HP-Amp	HVDD	2.6	3.3 / 5.0	5.25	V
	Difference	AVDD–DVDD	–0.3	0	+0.3	V

Note 3. 電圧はすべてグランドピンに対する値です。
Note 7. AVDD, DVDD, HVDDの電源立ち上げシーケンスを考慮する必要はありません。一部の電源だけをOFFする場合、再度電源をONした後にPDN pin = “L”でリセットして下さい。AVDD, HVDDだけOFFした場合、DVDDのリーク電流が増加する可能性があります。また、DVDDをOFFする場合はAVDD, HVDDもOFFしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

アナログ特性

(Ta=25°C; AVDD, DVDD, HVDD=3.3V; AVSS=DVSS=HVSS=0V; fs=44.1kHz, BICK=64fs;
Signal Frequency=1kHz; 16bit Data; Measurement frequency=20Hz ~ 20kHz; unless otherwise specified)

Parameter			min	typ	max	Units
MIC Amplifier: LIN1, RIN1, LIN2, RIN2 pins; MDIF1 = MDIF2 bits = "0" (Single-ended inputs)						
Input Resistance	MGAIN1-0 bits = "00"		40	60	80	kΩ
	MGAIN1-0 bits = "01", "10"or "11"		20	30	40	kΩ
Gain	MGAIN1-0 bits = "00"		-	0	-	dB
	MGAIN1-0 bits = "01"		-	+20	-	dB
	MGAIN1-0 bits = "10"		-	+26	-	dB
	MGAIN1-0 bits = "11"		-	+32	-	dB
MIC Amplifier: IN1+, IN1−, IN2+, IN2− pins; MDIF1 = MDIF2 bits = "1" (Full-differential input)						
Input Voltage (Note 8)						
	MGAIN1-0 bits = "01"		-	-	0.228	Vpp
	MGAIN1-0 bits = "10"		-	-	0.114	Vpp
	MGAIN1-0 bits = "11"		-	-	0.057	Vpp
MIC Power Supply: MPWR pin						
Output Voltage (Note 9)			2.22	2.47	2.72	V
Load Resistance			0.5	-	-	kΩ
Load Capacitance			-	-	30	pF
ADC Analog Input Characteristics: LIN1/RIN1/LIN2/RIN2 pins → ADC → IVOL, IVOL=0dB, ALC=OFF						
Resolution			-	-	16	Bits
Input Voltage (Note 10)		(Note 11)	0.168	0.198	0.228	Vpp
		(Note 12)	1.68	1.98	2.28	Vpp
S/(N+D)	(–1dBFS)	(Note 11)	71	83	-	dBFS
		(Note 12)	-	88	-	dBFS
D-Range	(–60dBFS, A-weighted)	(Note 11)	76	86	-	dB
		(Note 12)	-	95	-	dB
S/N	(A-weighted)	(Note 11)	76	86	-	dB
		(Note 12)	-	95	-	dB
Interchannel Isolation		(Note 11)	75	90	-	dB
		(Note 12)	-	100	-	dB
Interchannel Gain Mismatch		(Note 11)	-	0.1	0.8	dB
		(Note 12)	-	0.1	0.8	dB

Note 8. プラス入力ピンとマイナス入力ピンの差分です。ACカップリングコンデンサを各入力ピンにシリーズに接続して下さい。MGAIN1-0 bits = "00"のとき差動入力は使用禁止です。IN1+, IN1−, IN2+, IN2− pinの最大入力電圧はそれぞれAVDDに比例します。Vin = |(IN+) − (IN−)| = 0.069 x AVDD (max)@MGAIN1-0 bits = "01", 0.035 x AVDD (max)@MGAIN1-0 bits = "10", 0.017 x AVDD (max)@MGAIN1-0 bits = "11".
この電圧を越える信号が入力された場合、ADCの動作は保証できません。

Note 9. 出力電圧はAVDDに比例します。Vout = 0.75 x AVDD (typ)。

Note 10. 入力電圧はAVDDに比例します。Vin = 0.06 x AVDD (typ)@MGAIN1-0 bits = "01" (+20dB), Vin = 0.6 x AVDD(typ)@MGAIN1-0 bits = "00" (0dB)

Note 11. MGAIN1-0 bits = "01" (+20dB)

Note 12. MGAIN1-0 bits = "00" (0dB)

Parameter		min	typ	max	Units
DAC Characteristics:					
Resolution		-	-	16	Bits
Stereo Line Output Characteristics: DAC → LOUT, ROUT pins, ALC=OFF, IVOL=0dB, DVOL=0dB, LOVL bit = "0", R_L=10kΩ					
Output Voltage (Note 13)	LOVL bit = "0"	1.78	1.98	2.18	Vpp
	LOVL bit = "1"	2.25	2.50	2.75	Vpp
S/(N+D) (–3dBFS)		78	88	-	dBFS
S/N (A-weighted)		82	92	-	dB
Interchannel Isolation		80	100	-	dB
Interchannel Gain Mismatch		-	0.1	0.5	dB
Load Resistance		10	-	-	kΩ
Load Capacitance		-	-	30	pF
Headphone-Amp Characteristics: DAC → HPL/HPR pins, ALC=OFF, IVOL=0dB, DVOL=0dB					
Output Voltage (Note 14)					
HPG bit = "0", 0dBFS, HVDD=3.3V, R_L=22.8Ω		1.58	1.98	2.38	Vpp
HPG bit = "1", 0dBFS, HVDD=5V, R_L=100Ω		2.40	3.00	3.60	Vpp
HPG bit = "1", 0dBFS, HVDD=3.3V, R_L=16Ω (Po=62mW)		-	1.0	-	Vrms
S/(N+D)					
HPG bit = "0", –3dBFS, HVDD=3.3V, R_L=22.8Ω		60	70	-	dBFS
HPG bit = "1", –3dBFS, HVDD=5V, R_L=100Ω		-	80	-	dBFS
HPG bit = "1", 0dBFS, HVDD=3.3V, R_L=16Ω (Po=62mW)		-	20	-	dBFS
S/N (A-weighted)	(Note 15)	80	90	-	dB
	(Note 16)	-	90	-	dB
Interchannel Isolation	(Note 15)	65	75	-	dB
	(Note 16)	-	80	-	dB
Interchannel Gain Mismatch	(Note 15)	-	0.1	0.8	dB
	(Note 16)	-	0.1	0.8	dB
Load Resistance		16	-	-	Ω
Load Capacitance	Figure 2のC1	-	-	30	pF
	Figure 2のC2	-	-	300	pF

Note 13. 出力電圧はAVDDに比例します。Vout = 0.6 x AVDD (typ)@LOVL bit = "0".
Note 14. 出力電圧はAVDDに比例します。
Vout = 0.6 x AVDD(typ)@HPG bit = "0", 0.91 x AVDD(typ)@HPG bit = "1".
Note 15. HPG bit = "0", HVDD=3.3V, R_L=22.8Ω.
Note 16. HPG bit = "1", HVDD=5V, R_L=100Ω.

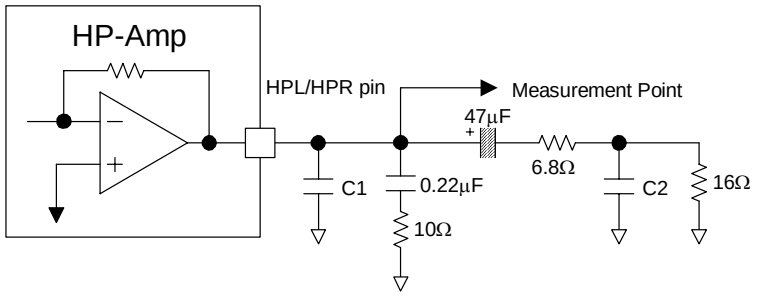


Figure 2. ヘッドフォンアンプ出力回路

Parameter			min	typ	max	Units
Mono Input: MIN pin (External Input Resistance=20kΩ)						
Maximum Input Voltage (Note 17)			-	1.98	-	Vpp
Gain (Note 18)						
	MIN → LOUT/ROUT	LOVL bit = "0"	–4.5	0	+4.5	dB
		LOVL bit = "1"	-	+2	-	dB
	MIN → HPL/HPR	HPG bit = "0"	–24.5	–20	–15.5	dB
		HPG bit = "1"	-	–16.4	-	dB
Power Supplies:						
Power Up (PDN pin = "H")						
	All Circuit Power-up:					
		AVDD+DVDD (Note 19)	-	15	23	mA
		HVDD: HP-Amp Normal Operation No Output (Note 20)	-	5	8	mA
Power Down (PDN pin = "L") (Note 21)						
	AVDD+DVDD+HVDD		-	10	100	μA

Note 17. 最大入力電圧はAVDDと外部入力抵抗(Rin)に比例します。Vin = 0.6 x AVDD x Rin / 20kΩ (typ).

Note 18. ゲインは外部入力抵抗に反比例します。

Note 19. PLL Master Mode (MCKI=12.288MHz)で、PMADL = PMADR = PMDAC = PMLO = PMHPL = PMHPR = PMVCM = PMPLL = MCKO = PMBP = PMMP = M/S bits = "1"の場合です。このとき、MPWR pinの出力電流は0mAです。
AVDD=11mA(typ), DVDD=4mA(typ).
EXT Slave Mode (PMPLL = M/S = MCKO bits = "0")の場合: AVDD=10mA(typ), DVDD=3mA(typ).

Note 20. PMADL = PMADR = PMDAC = PMLO = PMHPL = PMHPR = PMVCM = PMPLL = PMBP bits = "1"の場合です。

Note 21. 全てのディジタル入力ピンをDVDDまたはDVSSに固定した時の値です。

フィルタ特性

(Ta=25°C; AVDD, DVDD=2.6 ~ 3.6V; HVDD=2.6 ~ 5.25V; fs=44.1kHz; DEM=OFF; FIL1=FIL3=EQ=OFF)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 22)	±0.16dB	PB	0	-	17.3	kHz
	–0.66dB		-	19.4	-	kHz
	–1.1dB		-	19.9	-	kHz
	–6.9dB		-	22.1	-	kHz
Stopband		SB	26.1	-	-	kHz
Passband Ripple		PR	-	-	±0.1	dB
Stopband Attenuation		SA	73	-	-	dB
Group Delay (Note 23)		GD	-	19	-	1/fs
Group Delay Distortion		ΔGD	-	0	-	μs
ADC Digital Filter (HPF): (Note 24)						
Frequency Response (Note 22)	–3.0dB	FR	-	0.9	-	Hz
	–0.5dB		-	2.7	-	Hz
	–0.1dB		-	6.0	-	Hz
DAC Digital Filter (LPF):						
Passband (Note 22)	±0.1dB	PB	0	-	19.6	kHz
	–0.7dB		-	20.0	-	kHz
	–6.0dB		-	22.05	-	kHz
Stopband		SB	25.2	-	-	kHz
Passband Ripple		PR	-	-	±0.01	dB
Stopband Attenuation		SA	59	-	-	dB
Group Delay (Note 23)		GD	-	22	-	1/fs
DAC Digital Filter (LPF) + SCF:						
Frequency Response: 0 ~ 20.0kHz		FR	-	±1.0	-	dB
DAC Digital Filter (HPF): (Note 24)						
Frequency Response (Note 22)	–3.0dB	FR	-	0.9	-	Hz
	–0.5dB		-	2.7	-	Hz
	–0.1dB		-	6.0	-	Hz
BOOST Filter: (Note 25)						
Frequency Response	MIN	20Hz	FR	-	5.76	-	dB
		100Hz		-	2.92	-	dB
		1kHz		-	0.02	-	dB
	MID	20Hz	FR	-	10.80	-	dB
		100Hz		-	6.84	-	dB
		1kHz		-	0.13	-	dB
	MAX	20Hz	FR	-	16.06	-	dB
		100Hz		-	10.54	-	dB
		1kHz		-	0.37	-	dB

Note 22. 各振幅特性の周波数は fs (システムサンプリングレート)に比例します。
例えば、PB=20.0kHz(@–0.7dB)は0.454 x fsです(DAC)。各応答は1kHzを基準にします。

Note 23. ディジタルフィルタによる遅延演算で、ADC部はアナログ信号が入力されてから両チャネルの16ビットデータが出力レジスタにセットされるまでの時間です。
DAC部は16ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。PMADL=PMADR bits = “0”のときDAC部のGroup Delayは22/fs(typ)です。

Note 24. PMADL bit = “1” or PMADR bit = “1”のとき、ADCのHPFはON、DACのHPFはOFFです。
PMADL=PMADR bits = “0”, PMDAC bit = “1”のとき、DACのHPFはON、ADCのHPFはOFFです。

Note 25. 周波数特性はサンプリングレートに比例します。高レベルの低周波信号を入力した場合、低域でクリップします。

DC特性

(Ta=25°C; AVDD, DVDD=2.6 ~ 3.6V; HVDD=2.6 ~ 5.25V)

Parameter		Symbol	min	typ	Max	Units
High-Level Input Voltage	2.2V≤DVDD≤3.6V	VIH	70%DVDD	-	-	V
Low-Level Input Voltage	2.2V≤DVDD≤3.6V	VIH	-	-	30%DVDD	V
High-Level Output Voltage	(Iout=−200μA)	VOH	DVDD−0.2	-	-	V
Low-Level Output Voltage						
	(Except SDA pin: Iout=200μA)	VOL	-	-	0.2	V
	(SDA pin: Iout=3mA)	VOL	-	-	0.4	V
Input Leakage Current		Iin	-	-	±10	μA

スイッチング特性

(Ta=25°C; AVDD, DVDD=2.6 ~ 3.6V; HVDD=2.6 ~ 5.25V; C_L=20pF; unless otherwise specified)

Parameter		Symbol	min	typ	max	Units
PLL Master Mode (PLL Reference Clock = MCKI pin)						
MCKI Input Timing						
Frequency		fCLK	11.2896	-	27	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
MCKO Output Timing						
Frequency		fMCK	0.2352	-	12.288	MHz
Duty Cycle						
Except 256fs at fs=32kHz, 29.4kHz		dMCK	40	50	60	%
256fs at fs=32kHz, 29.4kHz		dMCK	-	33	-	%
LRCK Output Timing						
Frequency		fs	7.35	-	48	kHz
Duty Cycle		Duty	-	50	-	%
BICK Output Timing						
Period	BCKO bit = “0”	tBCK	-	1/(32fs)	-	ns
	BCKO bit = “1”	tBCK	-	1/(64fs)	-	ns
Duty Cycle		dBCK	-	50	-	%
PLL Slave Mode (PLL Reference Clock = MCKI pin)						
MCKI Input Timing						
Frequency		fCLK	11.2896	-	27	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
MCKO Output Timing						
Frequency		fMCK	0.2352	-	12.288	MHz
Duty Cycle						
Except 256fs at fs=32kHz, 29.4kHz		dMCK	40	50	60	%
256fs at fs=32kHz, 29.4kHz		dMCK	-	33	-	%
LRCK Input Timing						
Frequency		fs	7.35	-	48	kHz
Duty		Duty	45	-	55	%
BICK Input Timing						
Period		tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low		tBCKL	0.4 x tBCK	-	-	ns
Pulse Width High		tBCKH	0.4 x tBCK	-	-	ns

Parameter		Symbol	min	typ	max	Units
PLL Slave Mode (PLL Reference Clock = LRCK pin)						
LRCK Input Timing						
Frequency		fs	7.35	-	48	kHz
Duty		Duty	45	-	55	%
BICK Input Timing						
Period		tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low		tBCKL	130	-	-	ns
Pulse Width High		tBCKH	130	-	-	ns
PLL Slave Mode (PLL Reference Clock = BICK pin)						
LRCK Input Timing						
Frequency		fs	7.35	-	48	kHz
Duty		Duty	45	-	55	%
BICK Input Timing						
Period	PLL3-0 bits = “0010”	tBCK	-	1/(32fs)	-	ns
	PLL3-0 bits = “0011”	tBCK	-	1/(64fs)	-	ns
Pulse Width Low		tBCKL	0.4 x tBCK	-	-	ns
Pulse Width High		tBCKH	0.4 x tBCK	-	-	ns
External Slave Mode						
MCKI Input Timing						
Frequency	256fs	fCLK	1.8816	-	12.288	MHz
	512fs	fCLK	3.7632	-	13.312	MHz
	1024fs	fCLK	7.5264	-	13.312	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
LRCK Input Timing						
Frequency	256fs	fs	7.35	-	48	kHz
	512fs	fs	7.35	-	26	kHz
	1024fs	fs	7.35	-	13	kHz
Duty		Duty	45	-	55	%
BICK Input Timing						
Period		tBCK	312.5	-	-	ns
Pulse Width Low		tBCKL	130	-	-	ns
Pulse Width High		tBCKH	130	-	-	ns
Audio Interface Timing						
Master Mode						
BICK “↓” to LRCK Edge (Note 26)		tMBLR	–40	-	40	ns
LRCK Edge to SDTO (MSB) (Except I^2S mode)		tLRD	–70	-	70	ns
BICK “↓” to SDTO		tBSD	–70	-	70	ns
SDTI Hold Time		tSDH	50	-	-	ns
SDTI Setup Time		tSDS	50	-	-	ns
Slave Mode						
LRCK Edge to BICK “↑” (Note 26)		tLRB	50	-	-	ns
BICK “↑” to LRCK Edge (Note 26)		tBLR	50	-	-	ns
LRCK Edge to SDTO (MSB) (Except I^2S mode)		tLRD	-	-	80	ns
BICK “↓” to SDTO		tBSD	-	-	80	ns
SDTI Hold Time		tSDH	50	-	-	ns
SDTI Setup Time		tSDS	50	-	-	ns

Note 26. この規格値はLRCKのエッジとBICKの “↑”が重ならないように規定しています。

Parameter	Symbol	min	typ	max	Units
Control Interface Timing (3-wire Serial mode)					
CCLK Period	tCCK	200	-	-	ns
CCLK Pulse Width Low	tCCKL	80	-	-	ns
Pulse Width High	tCCKH	80	-	-	ns
CDTI Setup Time	tCDS	40	-	-	ns
CDTI Hold Time	tCDH	40	-	-	ns
CSN "H" Time	tCSW	150	-	-	ns
CSN "↓" to CCLK "↑"	tCSS	50	-	-	ns
CCLK "↑" to CSN "↑"	tCSH	50	-	-	ns
Control Interface Timing (I^2C Bus mode):					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	µs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	µs
Clock Low Time	tLOW	1.3	-	-	µs
Clock High Time	tHIGH	0.6	-		µs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	µs
SDA Hold Time from SCL Falling (Note 28)	tHD:DAT	0	-	-	µs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	µs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	µs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	µs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	µs
Capacitive Load on Bus	Cb	-	-	400	pF
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	ns
Power-down & Reset Timing					
PDN Pulse Width (Note 29)	tPD	150	-	-	ns
PMADL or PMADR "↑" to SDTO valid (Note 30)	tPDV	-	1059	-	1/fs

Note 27. I^2CはPhilips Semiconductorsの登録商標です。
Note 28. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。
Note 29. AK4647はPDN pin = "L"でリセットされます。
Note 30. PMADL bitまたはPMADR bitを立ち上げてからのLRCKクロックの "↑"の回数です。

■ タイミング波形

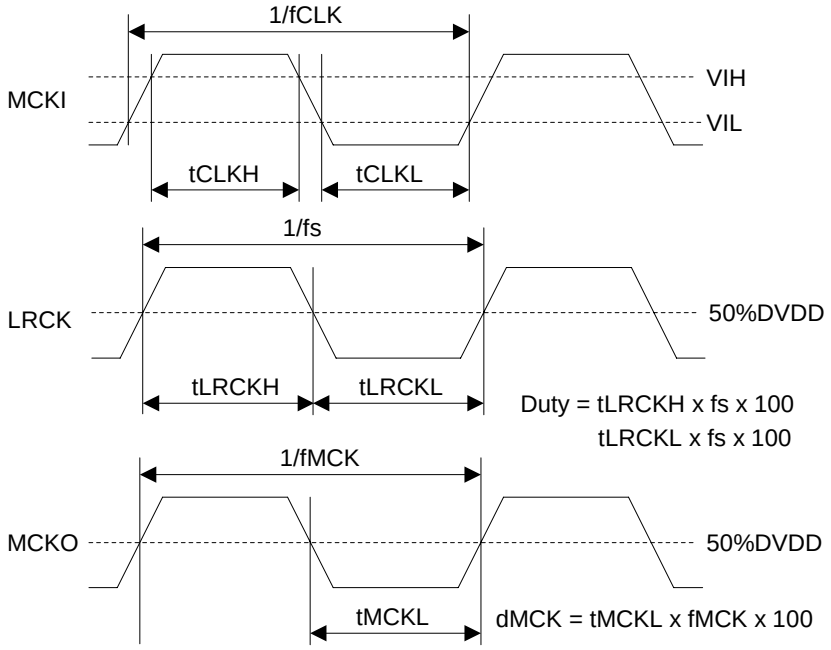


Figure 3. Clock Timing (PLL Master mode)

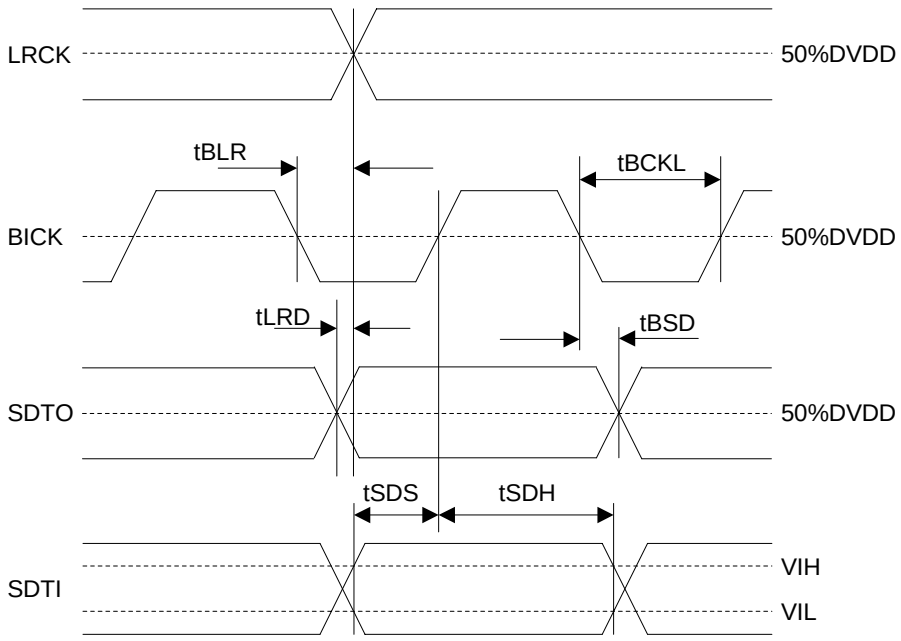


Figure 4. Audio Interface Timing (PLL Master mode)

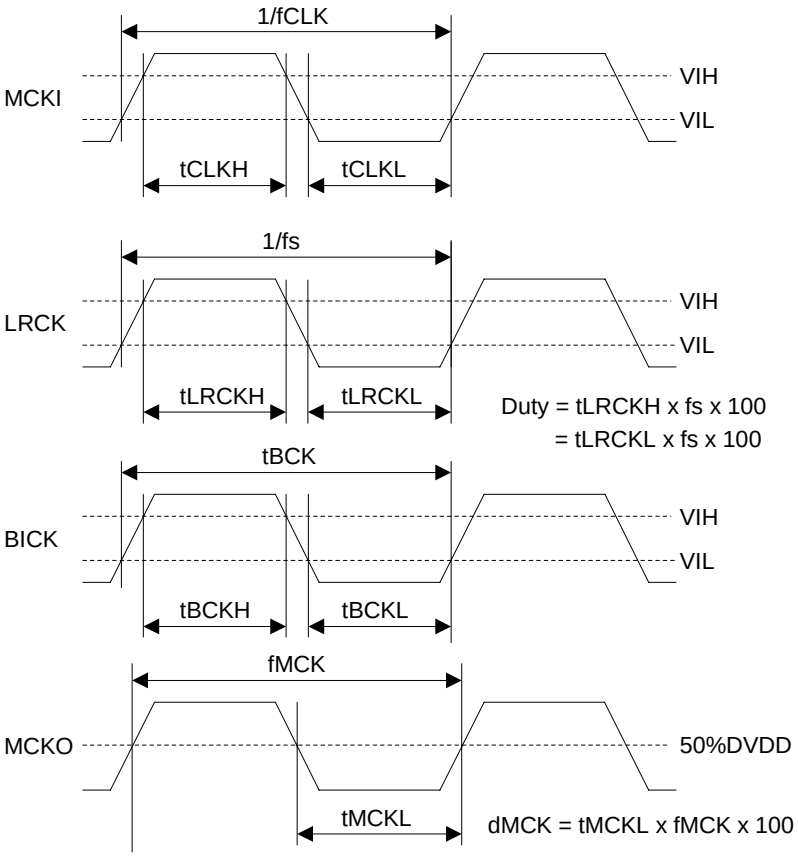


Figure 5. Clock Timing (PLL Slave mode; PLL Reference Clock = MCKI pin)

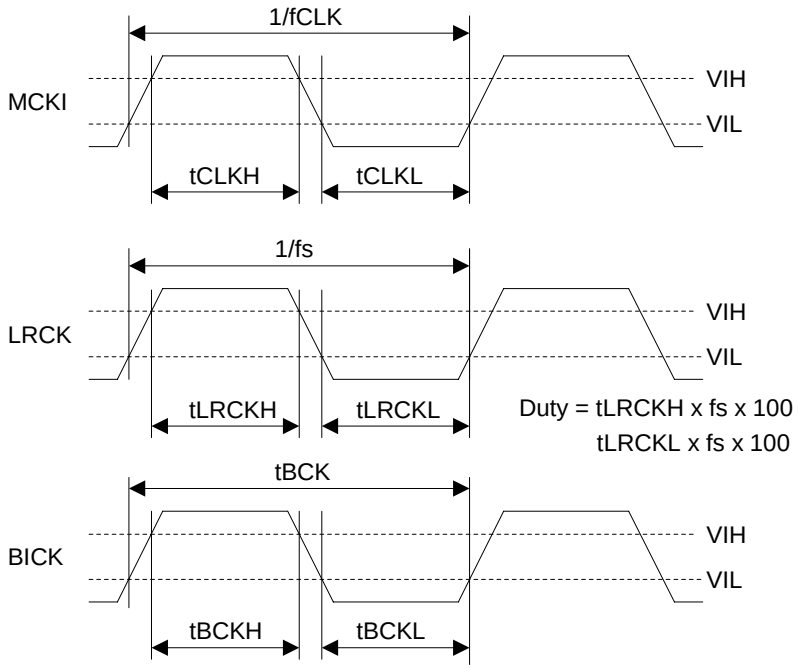


Figure 6. Clock Timing (EXT Slave mode)

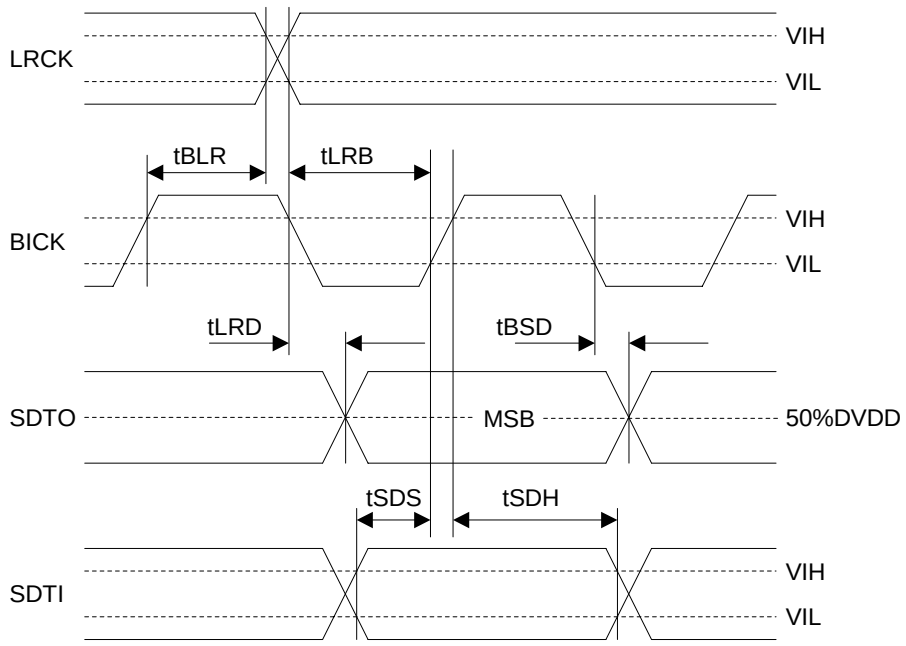


Figure 7. Audio Interface Timing (PLL/EXT Slave mode)

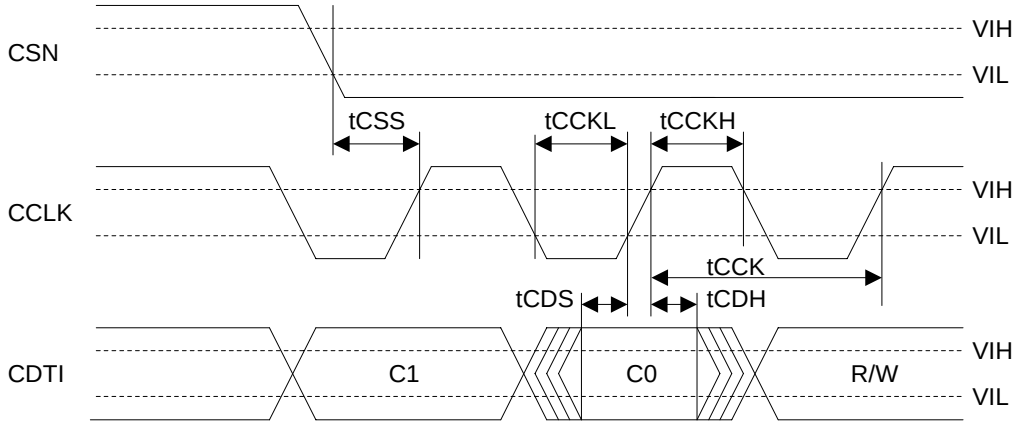


Figure 8. WRITE Command Input Timing

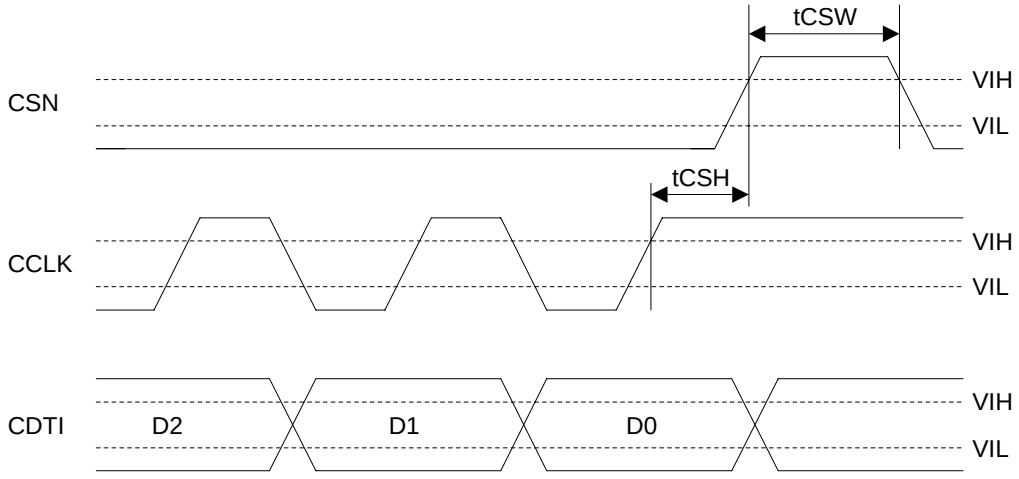


Figure 9. WRITE Data Input Timing

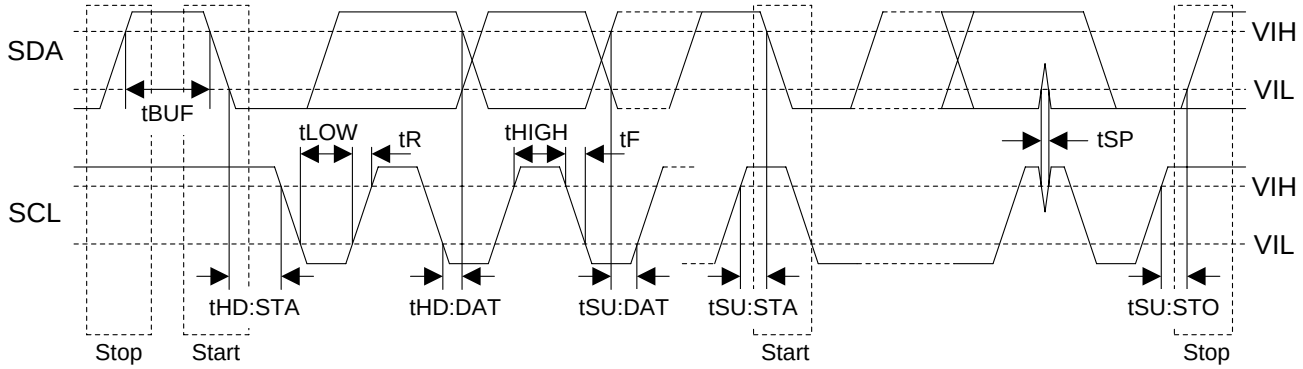


Figure 10. I²Cバスモードタイミング

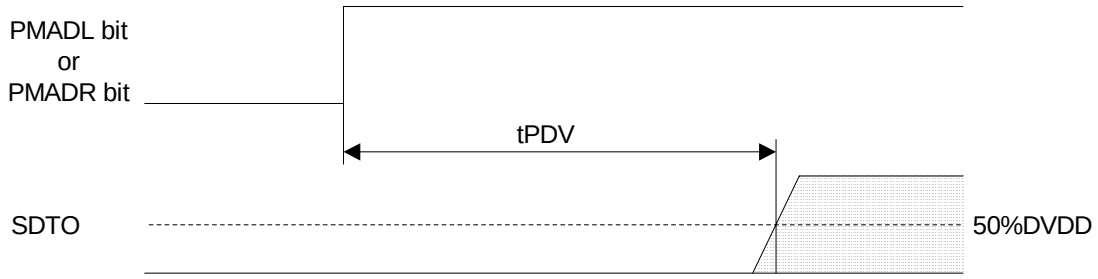


Figure 11. Power Down & Reset Timing 1

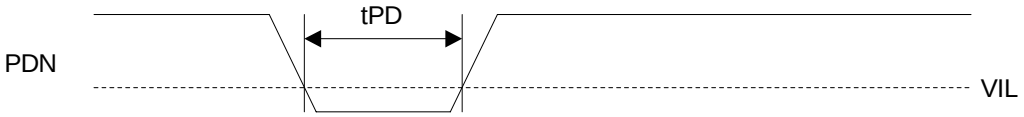


Figure 12. Power Down & Reset Timing 2

機能説明

■ システムクロック

外部とのI/Fモードは以下の4通りの方法があります。(See Table 1 and Table 2.)

Mode	PMPLL bit	M/S bit	PLL3-0 bits	Figure
PLL Master Mode	1	1	See Table 4	Figure 13
PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)	1	0	See Table 4	Figure 14
PLL Slave Mode 2 (PLL Reference Clock: LRCK or BICK pin)	1	0	See Table 4	Figure 15 Figure 16
EXT Slave Mode	0	0	x	Figure 17
Don't Care (Note 31)	0	1	x	-

Note 31. クロックモード設定の都合上、このモードを通過する区間では、MCKO bit = "1"のときMCKO pinから正常でない周波数のクロックが出力されます。

Table 1. Clock Mode Setting (x: Don't care)

Mode	MCKO bit	MCKO pin	MCKI pin	BICK pin	LRCK pin
PLL Master Mode	0	"L"	PLL3-0 bits で選択	Output (BCKO bit で選択)	Output (1fs)
	1	PS1-0 bits で選択			
PLL Slave Mode (PLL Reference Clock: MCKI pin)	0	"L"	PLL3-0 bits で選択	Input (BCKO bit で選択)	Input (1fs)
	1	PS1-0 bits で選択			
PLL Slave Mode (PLL Reference Clock: LRCK or BICK pin)	0	"L"	GND	Input (BCKO bit で選択)	Input (1fs)
EXT Slave Mode	0	"L"	FS3-0 bits で選択	Input (≥ 32fs)	Input (1fs)

Table 2. Clock pins state in Clock Mode

■ マスタモードとスレーブモードの切り替え

マスタモードとスレーブモードの切り替えはM/S bitで行います。"1"でマスタモード、"0"でスレーブモードです。AK4647はパワーダウン時 (PDN pin = "L")、及びパワーダウン解除後はスレーブモードです。パワーダウン解除後、M/S bitを "1"に変更することでマスタモードになります。

マスタモードで使用する場合、M/S bitに "1"が書き込まれるまで、AK4647のLRCK, BICK pinはフローティングの状態です。そのため、AK4647のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

M/S bit	Mode	
0	Slave Mode	Default
1	Master Mode	

Table 3. Select Master/Slave Mode

■ PLLモード

PMPLL bit = “1”の時、内蔵の高精度アナログPLLはFS3-0 bits, PLL3-0 bitsで選択したクロックに応じて動作します。PLLのロック時間は、電源投入後、PMPLL bit を “0” → “1”に変更し、安定したクロックが入力された場合、またはサンプリング周波数が変更された場合、Table 4の通りです。

1) PLL Modeの設定

Mode	PLL3 bit	PLL2 bit	PLL1 bit	PLL0 bit	PLL基準クロック入力ピン	入力周波数	VCOC pinの R,C		PLLロック時間 (max)	
							R[Ω]	C[F]		
0	0	0	0	0	LRCK pin	1fs	6.8k	220n	160ms	Default
2	0	0	1	0	BICK pin	32fs	10k	4.7n	2ms	
							10k	10n	4ms	
3	0	0	1	1	BICK pin	64fs	10k	4.7n	2ms	
							10k	10n	4ms	
4	0	1	0	0	MCKI pin	11.2896MHz	10k	4.7n	40ms	
5	0	1	0	1	MCKI pin	12.288MHz	10k	4.7n	40ms	
6	0	1	1	0	MCKI pin	12MHz	10k	4.7n	40ms	
7	0	1	1	1	MCKI pin	24MHz	10k	4.7n	40ms	
12	1	1	0	0	MCKI pin	13.5MHz	10k	10n	40ms	
13	1	1	0	1	MCKI pin	27MHz	10k	10n	40ms	
Others	Others				N/A					

Table 4. Setting of PLL Mode (*fs: Sampling Frequency)

2) PLL Modeのサンプリング周波数設定

基準クロックがMCKI入力の場合は、Table 5の設定によりサンプリング周波数が選択できます。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency	
0	0	0	0	0	8kHz	Default
1	0	0	0	1	12kHz	
2	0	0	1	0	16kHz	
3	0	0	1	1	24kHz	
4	0	1	0	0	7.35kHz	
5	0	1	0	1	11.025kHz	
6	0	1	1	0	14.7kHz	
7	0	1	1	1	22.05kHz	
10	1	0	1	0	32kHz	
11	1	0	1	1	48kHz	
14	1	1	1	0	29.4kHz	
15	1	1	1	1	44.1kHz	
Others	Others				N/A	

Table 5. Setting of Sampling Frequency at PMPLL bit = “1” (Reference Clock = MCKI pin)

基準クロックがLRCK or BICKより入力の場合は、FS3, FS1-0 bitsでサンプリング周波数の設定を行って下さい(Table 6)。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency Range	
0	0	Don’t care	0	0	7.35kHz ≤ fs ≤ 8kHz	Default
1	0	Don’t care	0	1	8kHz < fs ≤ 12kHz	
2	0	Don’t care	1	0	12kHz < fs ≤ 16kHz	
3	0	Don’t care	1	1	16kHz < fs ≤ 24kHz	
6	1	Don’t care	1	0	24kHz < fs ≤ 32kHz	
7	1	Don’t care	1	1	32kHz < fs ≤ 48kHz	
Others	Others				N/A	

Table 6. Setting of Sampling Frequency at PMPLL bit = “1” (Reference Clock = LRCK or BICK pin)

■ PLLのアンロックについて

1) PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

このモードで PMPLL bit = “0” → “1”にした後PLLがロックするまでの間、BICKとLRCKは “L”を出力、MCKO bit = “1”のときMCKO pinからは正常でない周波数のクロックが出力されます。MCKO bit = “0”の場合は、MCKO pinは “L”を出力します。(See Table 7)

PLLロック後、BICKとLRCK出力は “L”からクロック出力となりますので最初の1周期分のLRCK, BICKは、正常でない可能性がありますが、1fs後には正常なクロックになります。

サンプリング周波数を変更する場合は一度PMPLL bit = “0”にすることでアンロック状態の不定なBICK, LRCKを出力させずに “L”を出力させることができます。

PLL State	MCKO pin		BICK pin	LRCK pin
	MCKO bit = “0”	MCKO bit = “1”		
PMPLL bit “0” → “1”直後	“L” Output	不定	“L” Output	“L” Output
PLL Unlock 時(上記以外)	“L” Output	不定	不定	不定
PLL Lock 時	“L” Output	See Table 9	See Table 10	1fs Output

Table 7. Clock Operation at PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

2) PLL Slave Mode (PMPLL bit = “1”, M/S bit = “0”)

このモードでは PMPLL bit = “0” → “1”にした後PLLがロックするまでの間、MCKOからは正常でない周波数のクロックが出力されます。その後、PLLがロックするとMCKO pinからTable 9で選択されたクロックが出力されます。但し、PLLがアンロックになった場合、ADC及びDACからは正常なデータが出力されません。DACに関しては、DACL, DACH bitsを “0”にすることにより出力をミュートすることが可能です。

PLL State	MCKO pin	
	MCKO bit = “0”	MCKO bit = “1”
PMPLL bit “0” → “1”直後	“L” Output	不定
PLL Unlock 時(上記以外)	“L” Output	不定
PLL Lock 時	“L” Output	Output

Table 8. Clock Operation at PLL Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

■ PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

外部から11.2896MHz, 12MHz , 12.288MHz, 13.5MHz, 24MHz or 27MHz のクロックを入力し、内部のPLLによりMCKO, BICK, LRCKクロックを生成し出力します。マスタクロック出力(MCKO)はPS1-0 bits (Table 9)で設定された周波数を出力し、MCKO bitでON/OFF可能です。BICK出力はBCKO bitにより、32fs or 64fsを選択することができます。(See Table 10)

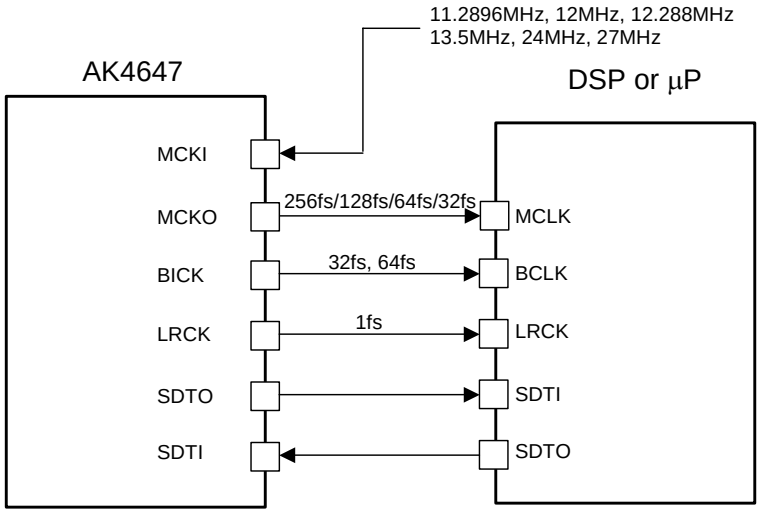


Figure 13. PLL Master Mode

Mode	PS1 bit	PS0 bit	MCKO pin	
0	0	0	256fs	Default
1	0	1	128fs	
2	1	0	64fs	
3	1	1	32fs	

Table 9. MCKO周波数 (PLLモード, MCKO bit = “1”)

BCKO bit	BICK出力周波数	
0	32fs	Default
1	64fs	

Table 10. BICK Output Frequency at Master Mode

■ PLL Slave Mode (PMPLL bit = “1”, M/S bit = “0”)

MCKI, BICK or LRCK pinへ入力されるクロックを基準に内部のPLLにてAK4647に必要なクロックを生成します。PLLの基準クロックは、PLL3-0 bitsにて設定することができます(Table 4)。

a) PLL 基準クロック: MCKI pin

MCKOに同期したBICK, LRCKを入力します。MCKOとLRCKは同期する必要がありますが位相を合わせる必要はありません。マスタクロック出力(MCKO pin)はPS1-0 bits (Table 9)で設定された周波数を出力し、MCKO bitでON/OFF可能です。サンプリング周波数は、FS3-0 bitsで設定することができます。(See Table 5)

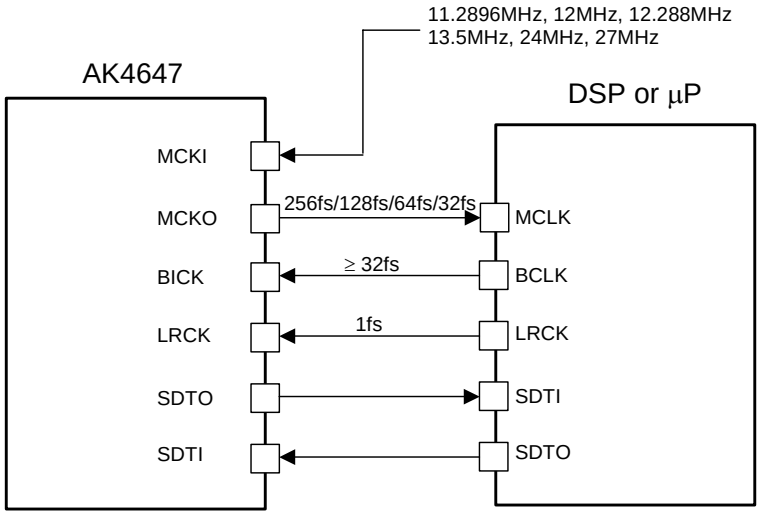


Figure 14. PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)

b) PLL 基準クロック: BICK or LRCK pin

FS3-0 bitsを設定することで、7.35kHz ~ 48kHzの任意のサンプリング周波数に対応します。(See Table 6.)

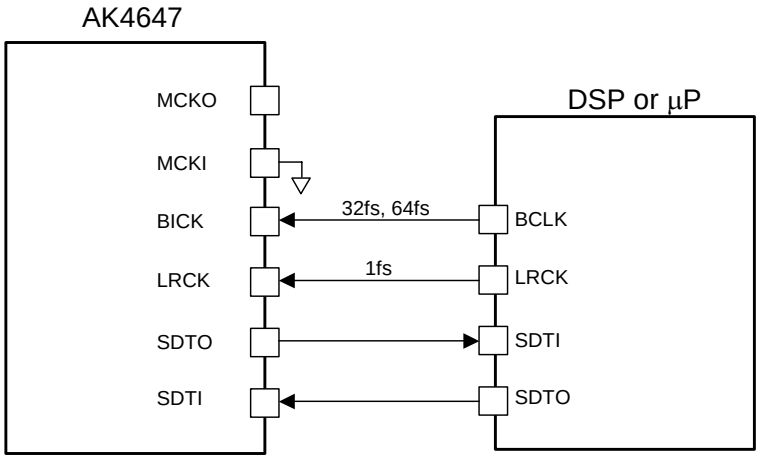


Figure 15. PLL Slave Mode 2 (PLL Reference Clock: BICK pin)

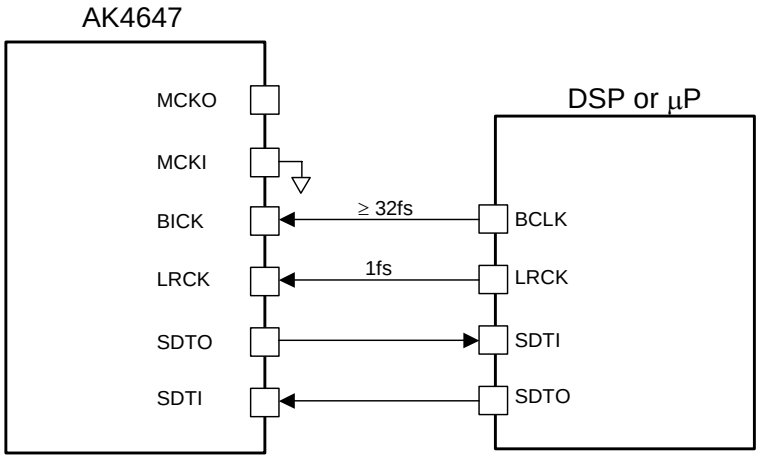


Figure 16. PLL Slave Mode 2 (PLL Reference Clock: LRCK pin)

ADC or DACが動作中(PMADL bit = “1”, PMADR bit = “1” or PMDAC bit = “1”)は外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMADL=PMADR=PMDAC bits = “0”)にしてください。

■ EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

PMPLL bitを“0”にすることで、外部クロックモード(EXT Mode)で動作し、MCKI pinからPLLを介さずに直接、ADC, DACにマスタクロックを入力できます。このモードは通常のオーディオCODECとのI/Fに対して互換性があります。必要なクロックはMCKI (256fs, 512fs or 1024fs), BICK (≥32fs), LRCK(fs)です。MCKIとLRCKは同期する必要がありますが位相を合わせる必要はありません。MCKIの入力周波数はFS1-0 bitにより選択することが可能です。(See Table 11)

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range	
0	Don’t care	0	0	256fs	7.35kHz ~ 48kHz	Default
1	Don’t care	0	1	1024fs	7.35kHz ~ 13kHz	
2	Don’t care	1	0	256fs	7.35kHz ~ 48kHz	
3	Don’t care	1	1	512fs	7.35kHz ~ 26kHz	
Others	Others			N/A	N/A	

Table 11. EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”) 時のMCKI周波数の設定

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。MCKIに入力されるマスタクロックの周波数を上げることで、S/Nを改善できます。Table 12はDAC出力からLOUT/ROUT pinsに通した場合のS/Nです。

MCKI	S/N (fs=8kHz, 20kHzLPF + A-weighted)
256fs	83dB
512fs	93dB
1024fs	93dB

Table 12. Relationship between MCKI and S/N of LOUT/ROUT pins

ADC or DACが動作中(PMADL bit = “1”, PMADR bit = “1” or PMDAC bit = “1”)は外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMADL=PMADR=PMDAC bits = “0”）にしてください。

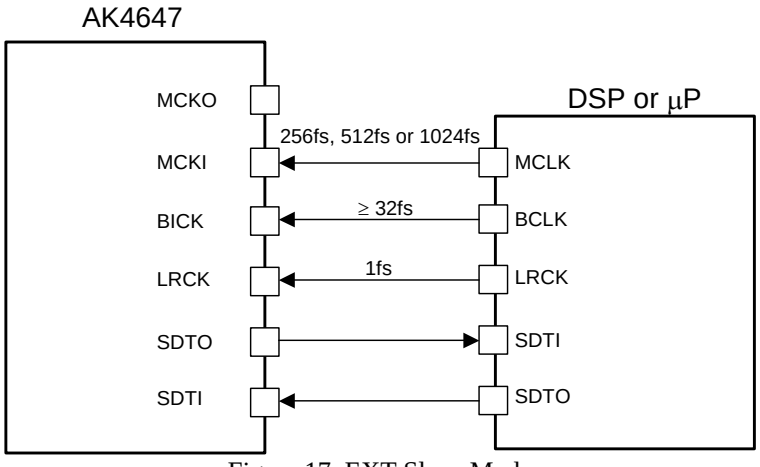


Figure 17. EXT Slave Mode

■ システムリセット

電源立ち上げ時には、PDN pinに一度 “L”を入力してリセットを行って下さい。システムリセットが行われると、AK4647の内部レジスタは全て初期値になります。

PMDAC bit = “0”の状態でPMADL bitまたはPMADR bitを “0” → “1”に変更することにより、ADCの初期化サイクルが開始されます。初期化サイクルは1059/fs=24ms@fs=44.1kHzです。初期化サイクル中のADC出力データは2’sコンプリメントの “0”です。初期化サイクル終了後、ADCの出力はアナログ入力信号に相当するデータにセトリングします。PMDAC bit = “1”のとき、ADCの初期化サイクルはありません。

PMADL=PMADR bits = “0”でPMDAC bit = “0” → “1”に変更することで、DACの初期化サイクルが開始されます。初期化サイクルは1059/fs=24ms@fs=44.1kHzです。初期化サイクル中のDAC入力データは内部で2’sコンプリメントの “0”に固定されます。初期化がサイクル終了すると、DACの群遅延(22/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。PMADL bitまたはPMADR bitが “1”のとき、DACの初期化サイクルはありません。

■ オーディオインタフェースフォーマット

3種類のデータフォーマット(Table 13)がDIF1-0 bitsで選択できます。全モードともMSBファースト、2’sコンプリメントのデータフォーマットです。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではLRCKとBICKは出力になり、スレーブモードでは入力になります。SDTOはBICKの “↓”で出力され、SDTIはBICKの“↑”でラッチされます。

Mode	DIF1 bit	DIF0 bit	SDTO (ADC)	SDTI (DAC)	BICK	Figure	
0	0	0	N/A	N/A	N/A	-	
1	0	1	前詰め	後詰め	≥ 32fs	Figure 18	
2	1	0	前詰め	前詰め	≥ 32fs	Figure 19	Default
3	1	1	I^2S互換	I^2S互換	≥ 32fs	Figure 20	

Table 13. Audio Interface Format

ADCより出力された16bitデータを8bitデータへ変換し保存する場合、16bitデータを単純に切り捨てると、16bitデータの “–1”は8bitデータで “–1”に変換されます。この8bitデータの “–1”をDACにて再生するため16bitデータに再変換すると “–256”となり大きなノイズになります。8bitデータへ変換する前に、16bitデータにオフセット(128)を加算することを推奨します。

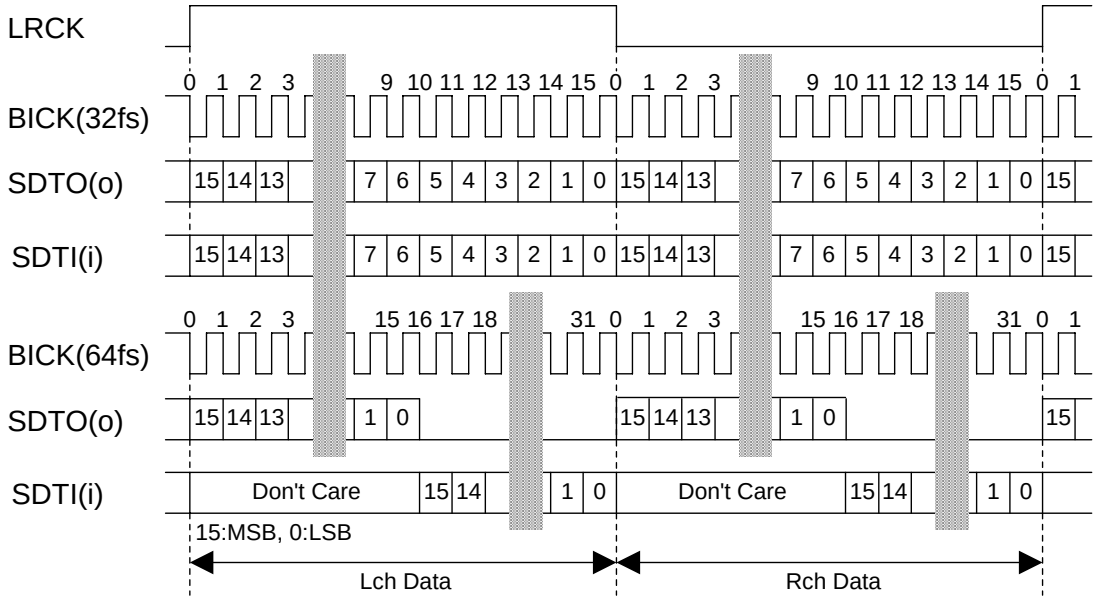


Figure 18. Mode 1タイミング

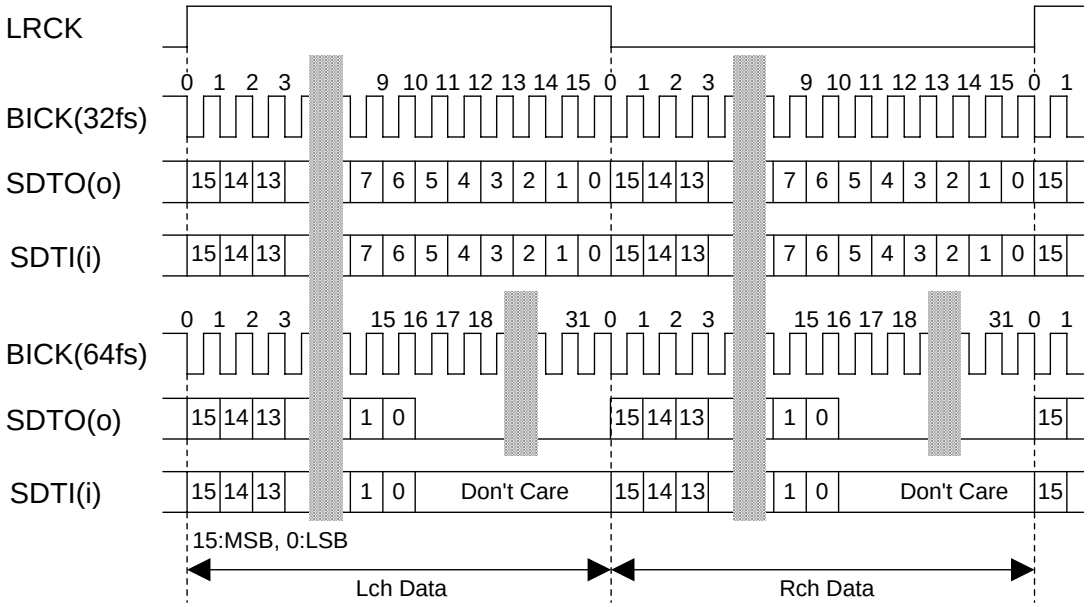


Figure 19. Mode 2タイミング

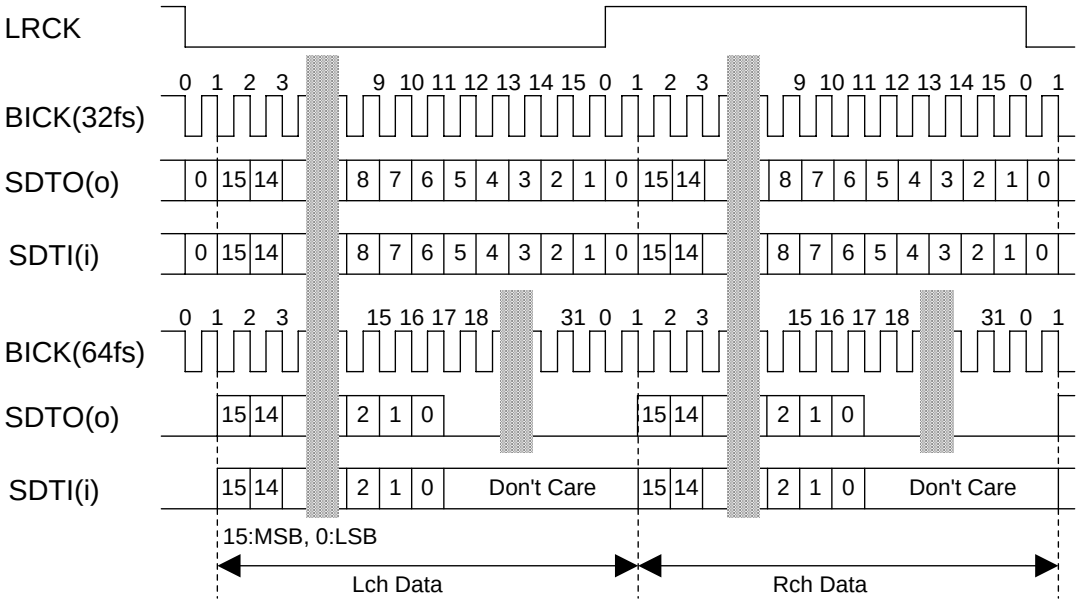


Figure 20. Mode 3タイミング

■ モノラル／ステレオ切り替え

PMADL, PMADR bitsの設定によりADCのモノラル／ステレオ動作を切り替えることができます。

PMADL bit	PMADR bit	ADC Lch data	ADC Rch data	
0	0	All “0”	All “0”	Default
0	1	Rch Input Signal	Rch Input Signal	
1	0	Lch Input Signal	Lch Input Signal	
1	1	Lch Input Signal	Rch Input Signal	

Table 14. モノラル／ステレオ切り替え

■ ディジタルHPF

AK4647はDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は0.9Hz (@fs=44.1kHz)になっており、サンプリング周波数(fs)に比例します。PMADL bit = “1” or PMADR bit = “1”のとき、ADCのHPFはON、DACのHPFはOFFです。PMADL=PMADR bits = “0”, PMDAC bit = “1”のとき、DACのHPFはON、ADCのHPFはOFFです。

■ マイク／ライン入力セレクタ

AK4647はマイクアンプへの入力セレクタを内蔵しています。MDIF1, MDIF2 bits = “0”のとき、INL, INR bitsにより、LIN1/LIN2, RIN1/RIN2をそれぞれ切り替えることができます。MDIF1, MDIF2 bits = “1”のとき、LIN1, RIN1, LIN2, RIN2 pinsはそれぞれIN1–, IN1+, IN2+, IN2– pinsとなり、差動入力が可能です(Figure 22)。差動入力で使用する場合、Table 16で “X”印のついているピンには信号を入力しないでください。

MDIF1 bit	MDIF2 bit	INL bit	INR bit	Lch	Rch	
0	0	0	0	LIN1	RIN1	Default
0	0	0	1	LIN1	RIN2	
0	0	1	0	LIN2	RIN1	
0	0	0	1	LIN2	RIN2	
0	1	0	0	LIN1	IN2+/–	
1	0	0	1	IN1+/–	RIN2	
1	1	0	0	IN1+/–	IN2+/–	
Others				N/A	N/A	

Table 15. MIC/Line In Path Select

Register		Pin			
MDIF1 bit	MDIF2 bit	LIN1 IN1–	RIN1 IN1+	LIN2 IN2+	RIN2 IN2–
0	0	O	O	O	O
0	1	O	X	O	O
1	0	O	O	X	O
1	1	O	O	O	O

Table 16. Handling of MIC/Line Input Pins (“-“: N/A; “X”: Signal should not be input.)

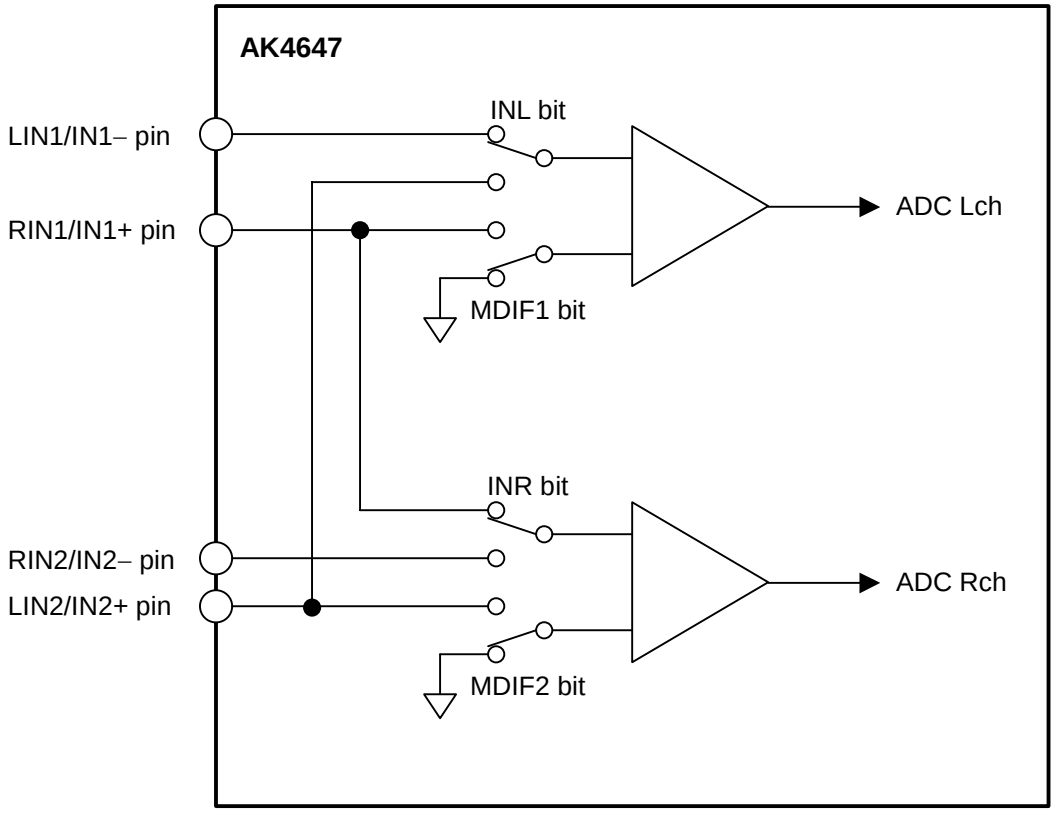


Figure 21. マイク／ライン入力セレクタ

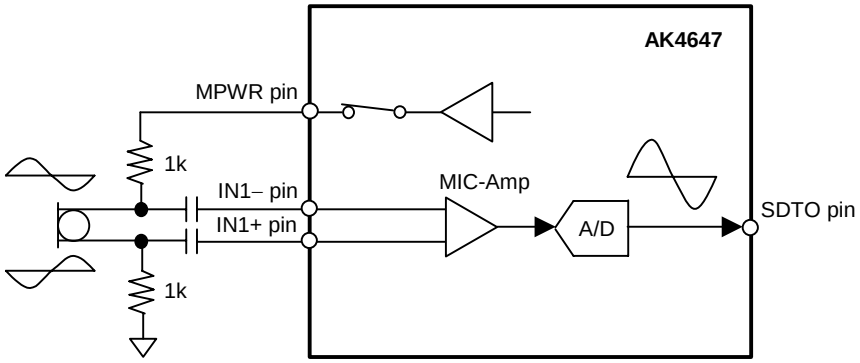


Figure 22. 差動マイク入力の回路例(MDIF1/2 bits = “1”)

＜入力セレクタ設定例＞

IN1+/– pinsを差動マイク入力、LIN2/RIN2 pinsをステレオライン入力として使用する場合、次の2モードを場面に応じて切り替えて使用してください。

MDIF1 bit	MDIF2 bit	INL1 bit	INL0 bit	INR1 bit	INR0 bit	Lch	Rch
1	0	0	0	0	1	IN1+/–	RIN2
0	0	0	1	0	1	LIN2	RIN2

Table 17. MIC/Line In Path Select Example

■ マイク用ゲインアンプ

AK4647はマイク用ゲインアンプを内蔵しています。MGAIN1-0 bitsによりゲインを設定することができます(Table 18)。入力インピーダンスはMGAIN1-0 bits = “00”のときtyp. 60kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 30kΩです。

MGAIN1 bit	MGAIN0 bit	Input Gain	
0	0	0dB	
0	1	+20dB	Default
1	0	+26dB	
1	1	+32dB	

Table 18. マイク入力ゲイン

■ マイクパワー

PMMP bit = “1”のとき、MPWR pinからマイク用の電源を供給することができます。出力電圧は(0.75 x AVDD)V (typ)に比例し、負荷抵抗は、min. 0.5kΩです。ステレオマイク2系統の場合は各チャネル min. 2kΩです。MPWR pinにコンデンサは接続しないで下さい。(Figure 23参照)

PMMP bit	MPWR pin	
0	Hi-Z	Default
1	Output	

Table 19. マイクパワー

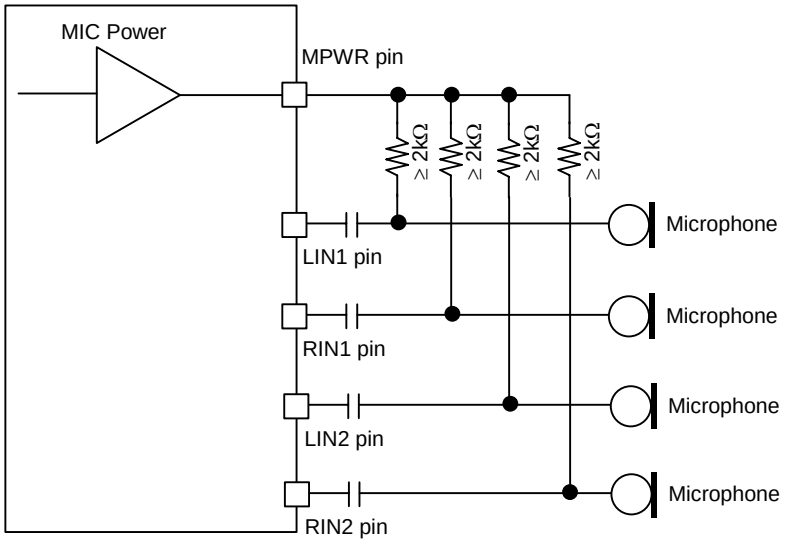


Figure 23. MIC Block Circuit

■ Digital EQ/HPF/LPF回路

AK4647ではA/D変換後のデータに対して、風切り音フィルタ、ステレオ感強調、ゲイン補正及びALCの処理を行うことができます(Figure 24参照)。FIL1, FIL3, EQはそれぞれ1次のIIRフィルタで、フィルタ係数を任意に設定できます。ALCについては、 “ALC動作”の項を参照して下さい。

DACのみ動作させる場合、再生パスに対してDigital EQ/HPF/LPF回路が動作します。ADCのみ動作させる場合またはADCとDACを両方動作させる場合では録音パスに対して動作します。録音から再生に切り替えた場合、録音時の設定が保持されているので、Digital EQ/HPF/LPFを使用しない場合はFIL3, EQ, FIL1, GN1-0 bitsを “0”に設定して下さい。

PMADL bit, PMADR bit	PMDAC bit	LOOP bit	状態	Digital EQ/HPF/LPF	
“00”	0	x	パワーダウン	パワーダウン	Default
	1	x	再生	再生パス	
“01”, “10” or “11”	0	x	録音	録音パス	
	1	0	録音, 再生	録音パス	
		1	録音モニター再生	録音パス	

Note 32. ステレオ感強調回路はステレオ動作のときのみ有効です。
Table 20. Digital EQ/HPF/LPF回路動作設定 (x: Don’t care)

ステレオ感強調のATTはFIL3の係数で同時に設定します。

ゲイン補正のゲインはGN1-0 bits(Table 21参照)とEQの係数の組み合わせで設定します。

FIL1, FIL3はそれぞれF1AS, F3AS bitsが “0”のときHPFになり、F1AS, F3AS bitsが “1”のときLPFになります。

FIL3をOFF(MUTE)し、EQ, FIL1を0dBでスルーさせる場合は、それぞれFIL3, EQ, FIL1 bitsを “0”に設定して下さい。各フィルタ係数を書き換える場合は、一度スルー(FIL3はMUTE)のモードにしてから行って下さい。

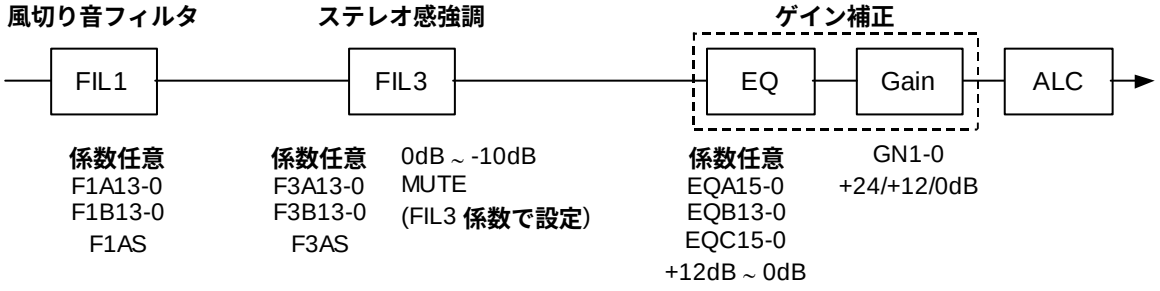


Figure 24. Digital EQ/HPF/LPF

GN1	GN0	Gain	
0	0	0dB	Default
0	1	+12dB	
1	x	+24dB	

Table 21. Gain部のゲイン設定 (x: Don’t care)

[フィルタ係数の設定について]

1) FIL1, FIL3をHPFに設定する場合

fs: サンプリング周波数
fc: カットオフ周波数
f: 入力信号周波数
K: ゲイン[dB] (FIL1のゲインは0dBに設定して下さい。)

レジスタ設定
FIL1: F1AS bit = “0”, F1A[13:0] bits =A, F1B[13:0] bits =B
FIL3: F3AS bit = “0”, F3A[13:0] bits =A, F3B[13:0] bits =B
(MSB=F1A13, F1B13, F3A13, F3B13; LSB=F1A0, F1B0, F3A0, F3B0)

$$A = 10^{K/20} \times \frac{1 / \tan(\pi fc/fs)}{1 + 1 / \tan(\pi fc/fs)}, \quad B = \frac{1 - 1 / \tan(\pi fc/fs)}{1 + 1 / \tan(\pi fc/fs)}$$

伝達関数	振幅	位相
$H(z) = A \frac{1 - z^{-1}}{1 + Bz^{-1}}$	$M(f) = A \sqrt{\frac{2 - 2\cos(2\pi f/fs)}{1 + B^2 + 2B\cos(2\pi f/fs)}}$	$\theta(f) = \tan^{-1} \frac{(B+1)\sin(2\pi f/fs)}{1 - B + (B-1)\cos(2\pi f/fs)}$

2) FIL1, FIL3をLPFに設定する場合

fs: サンプリング周波数
fc: カットオフ周波数
f: 入力信号周波数
K: ゲイン[dB] (FIL1のゲインは0dBに設定して下さい。)

レジスタ設定
FIL1: F1AS bit = “1”, F1A[13:0] bits =A, F1B[13:0] bits =B
FIL3: F3AS bit = “1”, F3A[13:0] bits =A, F3B[13:0] bits =B
(MSB=F1A13, F1B13, F3A13, F3B13; LSB=F1A0, F1B0, F3A0, F3B0)

$$A = 10^{K/20} \times \frac{1}{1 + 1 / \tan(\pi fc/fs)}, \quad B = \frac{1 - 1 / \tan(\pi fc/fs)}{1 + 1 / \tan(\pi fc/fs)}$$

伝達関数	振幅	位相
$H(z) = A \frac{1 + z^{-1}}{1 + Bz^{-1}}$	$M(f) = A \sqrt{\frac{2 + 2\cos(2\pi f/fs)}{1 + B^2 + 2B\cos(2\pi f/fs)}}$	$\theta(f) = \tan^{-1} \frac{(B-1)\sin(2\pi f/fs)}{1 + B + (B+1)\cos(2\pi f/fs)}$

3) EQ

fs: サンプリング周波数
fc_1: 極の周波数
fc_2: 零点の周波数
f: 入力信号周波数
K: ゲイン[dB] (最大+12dBまで設定できます。)

レジスタ設定
EQA[15:0] bits =A, EQB[13:0] bits =B, EQC[15:0] bits =C
(MSB=EQA15, EQB13, EQC15; LSB=EQA0, EQB0, EQC0)

$$A = 10^{K/20} \times \frac{1 + 1 / \tan(\pi fc_2/fs)}{1 + 1 / \tan(\pi fc_1/fs)}, \quad B = \frac{1 - 1 / \tan(\pi fc_1/fs)}{1 + 1 / \tan(\pi fc_1/fs)}, \quad C = 10^{K/20} \times \frac{1 - 1 / \tan(\pi fc_2/fs)}{1 + 1 / \tan(\pi fc_1/fs)}$$

伝達関数	振幅	位相
$H(z) = \frac{A + Cz^{-1}}{1 + Bz^{-1}}$	$M(f) = \sqrt{\frac{A^2 + C^2 + 2ACcos(2\pi f/fs)}{1 + B^2 + 2Bcos(2\pi f/fs)}}$	$\theta(f) = \tan^{-1}\frac{(AB-C)sin(2\pi f/fs)}{A + BC + (AB+C)cos(2\pi f/fs)}$

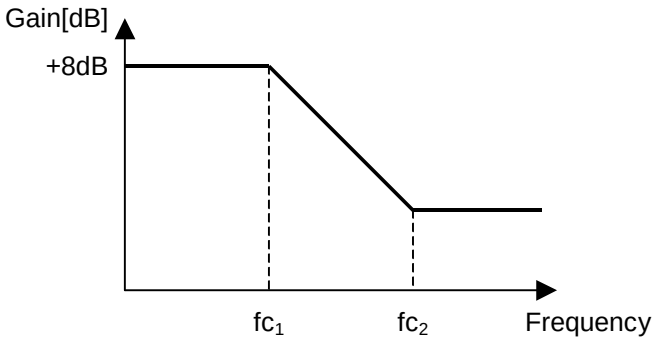
[上式により算出されたフィルタ係数を実数から2進数(2の補数)へ変換する手順]
X=(上式により算出された実数のフィルタ係数) x 2^{13}

このXの小数点以下を四捨五入した整数値を2進数(2の補数)に変換して下さい。
各フィルタ係数設定レジスタのMSBは符号ビットです。

[フィルタ係数の設定例]

1) FIL1ブロック
例: fs=44.1kHz, fc=100HzのHPFの場合
F1AS bit = “0”
F1A[13:0] bits = 01 1111 1100 0110
F1B[13:0] bits = 10 0000 0111 0100

2) EQブロック
例: fs=44.1kHz, fc_1=300Hz, fc_2=3000Hz, Gain=+8dBの場合



EQA[15:0] bits = 0000 1001 0110 1110
EQB[13:0] bits = 10 0001 0101 1001
EQC[15:0] bits = 1111 1001 1110 1111

■ ALC動作

ALC bit = “1”のとき、ALCブロックにより、ALC動作が行われます。DACのみ動作させる場合、再生パスに対してALC動作が行われます。それ以外の状態では録音パスに対してALC動作が行われます。

PMADL bit, PMADR bit	PMDAC bit	LOOP bit	状態	ALC	
“00”	0	x	パワーダウン	パワーダウン	Default
	1	x	再生	再生パス	
“01”, “10” or “11”	0	x	録音	録音パス	
	1	0	録音, 再生	録音パス	
		1	録音モニター再生	録音パス	

Table 22. ALC動作設定 (x: Don’t care)

1. ALCリミッタ動作

ALCリミッタ動作ではLch, Rchの出力レベルのどちらか一方でもALCリミッタ検出設定レベル(Table 23)を越えた場合、LMAT1-0 bitsで設定した値(Table 24)だけ、IVL, IVR値(L/R共通)を自動的に減衰させます。

ZELMN bit = “0”(ゼロクロス検出有効)のとき、ALCリミッタ動作によりIVL, IVR値が変更されるのは、L/R独立にそれぞれゼロクロスするかゼロクロスタイムアウトしたときです。ゼロクロスタイムアウト時間はALCリカバリ時間と共通で、ZTM1-0 bitsにて設定できます(Table 25)。

ZELMN bit = “1”(ゼロクロス検出無効)のとき、ALCリミッタ動作によりIVL, IVR値は瞬時(周期: 1/fs)に変更されます。リミッタ動作の減衰量はLMAT1-0 bitsの設定にかかわらず1 step固定です。

減衰動作終了後でもALC bitを “0”にしない限り、再び出力レベルがALCリミッタ検出レベルを越えれば、この減衰動作は繰り返されます。

LMTH1	LMTH0	ALCリミッタ検出レベル	ALCリカバリ待機カウンタリセットレベル	
0	0	ALC Output ≥ –2.5dBFS	–2.5dBFS > ALC Output ≥ –4.1dBFS	Default
0	1	ALC Output ≥ –4.1dBFS	–4.1dBFS > ALC Output ≥ –6.0dBFS	
1	0	ALC Output ≥ –6.0dBFS	–6.0dBFS > ALC Output ≥ –8.5dBFS	
1	1	ALC Output ≥ –8.5dBFS	–8.5dBFS > ALC Output ≥ –12dBFS	

Table 23. ALC リミッタ検出レベル／リカバリ待機カウンタリセットレベル

ZELMN	LMAT1	LMAT0	ALC リミッタATTステップ		
0	0	0	1 step	0.375dB	Default
	0	1	2 step	0.750dB	
	1	0	4 step	1.500dB	
	1	1	8 step	3.000dB	
1	x	x	1step	0.375dB	

Table 24. ALC リミッタATTステップの設定 (x: Don’t care)

ZTM1	ZTM0		ゼロクロスタイムアウト時間			
			8kHz	16kHz	44.1kHz	
0	0	128/fs	16ms	8ms	2.9ms	Default
0	1	256/fs	32ms	16ms	5.8ms	
1	0	512/fs	64ms	32ms	11.6ms	
1	1	1024/fs	128ms	64ms	23.2ms	

Table 25. ALCゼロクロスタイムアウト時間の設定

2. ALCリカバリ動作

ALCリカバリ動作は、WTM1-0 bitsで設定された時間(Table 26)待機を行い、この間、出力信号がALCリカバリ待機カウンタリセットレベル(Table 23)を越すことがなければALCリカバリ動作を行います。このALCリカバリ動作は設定された基準レベル(Table 28) までZTM1-0 bitsで設定した時間(Table 25)でゼロクロス検出動作を行いながら、RGAIN1-0 bitsで設定した値(Table 27)だけIVL, IVR値(L/R共通)を自動的に増加させます。このALCリカバリ動作はWTM1-0 bitsで設定した周期で行われます。

例えば、現在のIVL, IVR値が30Hの場合、RGAIN1-0 bits = “01”(2 steps)に設定しておくと、ALCリカバリ動作によってIVL, IVR値は32Hに変更され、0.75dB(0.375dB x 2)増加されます。IVL, IVR値が基準レベル (REF7-0 bits)に達した場合、IVL, IVR値の増加は行いません。

また、ALCリカバリ待機中に
(リカバリ待機カウンタリセットレベル) ≤ Output Signal < (リミッタ検出レベル)
となっている場合、待機タイマはリセットされます。そのため、
(リカバリ待機カウンタリセットレベル) > Output Signal
となった時から、待機時間のカウントが開始されます。

また、ALC動作はインパルス性のノイズにも対応したALCになっています。インパルス性のノイズが入力された場合、通常のリカバリ動作よりも早いサイクルでリカバリ動作を行います。例えば、マイクロフォンに瞬間的に大きな音が入力された場合、この動作により大きな音に埋もれた小信号を改善することができます。

WTM1	WTM0		ALCリカバリ周期			
			8kHz	16kHz	44.1kHz	
0	0	128/fs	16ms	8ms	2.9ms	Default
0	1	256/fs	32ms	16ms	5.8ms	
1	0	512/fs	64ms	32ms	11.6ms	
1	1	1024/fs	128ms	64ms	23.2ms	

Table 26. ALCリカバリ待機時間の設定

RGAIN1	RGAIN0	GAIN STEP		
0	0	1 step	0.375dB	Default
0	1	2 step	0.750dB	
1	0	3 step	1.125dB	
1	1	4 step	1.500dB	

Table 27. ALC リカバリゲイン量の設定

REF7-0	GAIN(dB)	Step	
F1H	+36.0	0.375dB	Default
F0H	+35.625		
EFH	+35.25		
:	:		
E2H	+30.375		
E1H	+30.0		
E0H	+29.625		
:	:		
03H	–53.25		
02H	–53.625		
01H	–54.0		
00H	MUTE		

Table 28. ALCリカバリ動作時の基準値設定

3. ALC動作設定手順例

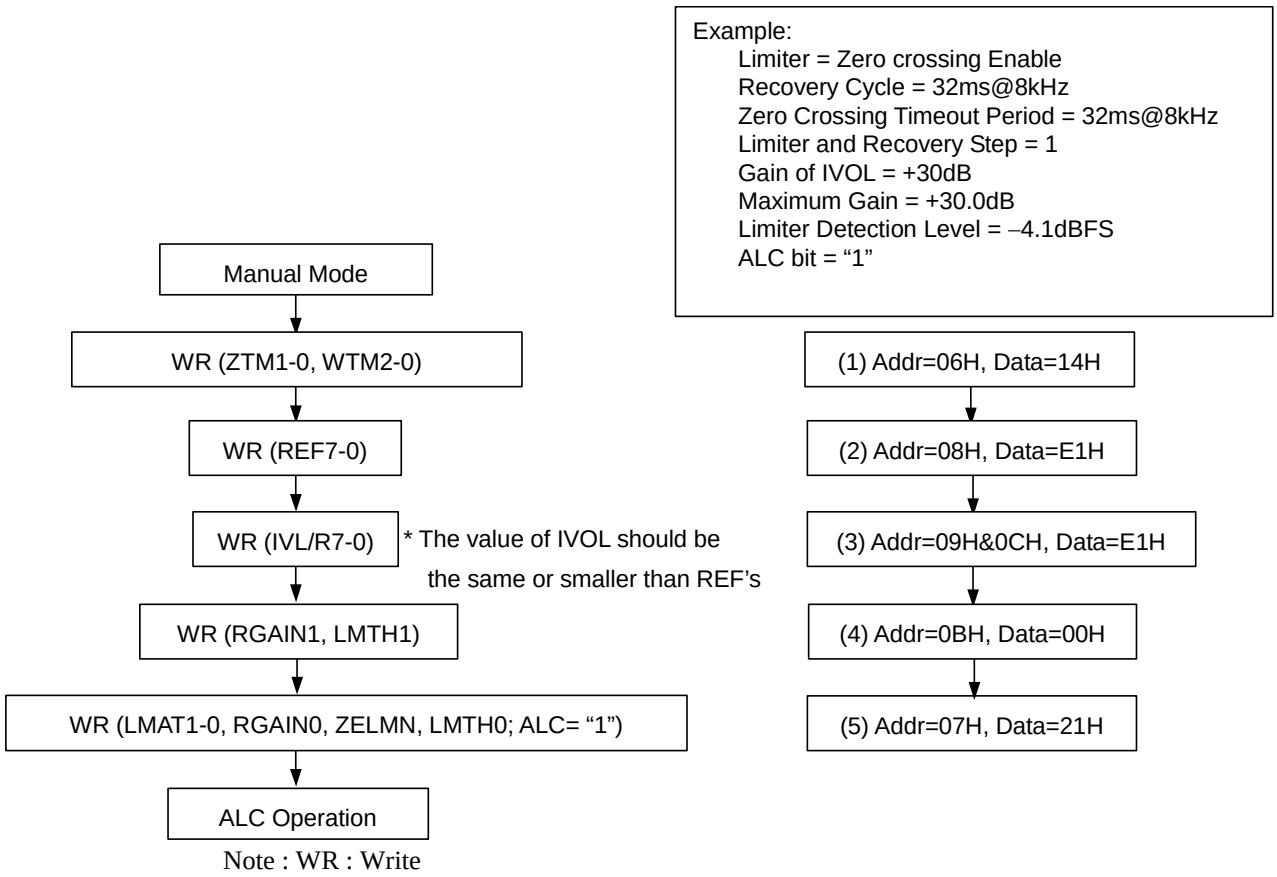
Table 29は、録音パスの場合のALC設定例です。

Register Name	Comment	fs=8kHz		fs=44.1kHz	
		Data	Operation	Data	Operation
LMTH	Limiter detection Level	01	–4.1dBFS	01	–4.1dBFS
ZELMN	Limiter zero crossing detection	0	Enable	0	Enable
ZTM1-0	Zero crossing timeout period	01	32ms	11	23.2ms
WTM1-0	Recovery waiting period *WTM1-0 bits should be the same or longer data as ZTM1-0 bits	01	32ms	11	23.2ms
REF7-0	Maximum gain at recovery operation	E1H	+30dB	E1H	+30dB
IVL7-0, IVR7-0	Gain of IVOL	E1H	+30dB	E1H	+30dB
LMAT1-0	Limiter ATT step	00	1 step	00	1 step
RGAIN1-0	Recovery GAIN step	00	1 step	00	1 step
ALC	ALC enable	1	Enable	1	Enable

Table 29. ALC設定例

ALC動作中は、以下のビットへの変更を禁止します。これらのビットを変更する場合は、ALC動作を終了(ALC bit = “0”またはPMADL = PMADR bits = “0”)してから行って下さい。

- **LMTH, LMAT1-0, WTM1-0, ZTM1-0, RGAIN1-0, REF7-0, ZELMNの各ビット**



Note : WR : Write

Figure 25. ALC動作設定手順例

■ 入力ディジタルボリューム (マニュアルモード時)

ALC bit = “0”のとき、入力ディジタルボリュームはマニュアルモードになります。このモードは以下の場合に使用します。

1. リセット解除後、ALC動作に関するレジスタ設定(ZTM1-0, LMTH bitsなど)を行う場合。
2. サンプリング周波数の変更に伴い、リミッタ／リカバリ周期などALC動作に関するレジスタ変更を行う場合。
3. 入力ディジタルボリュームをマニュアルボリュームとして使用する場合。

入力ディジタルボリュームのゲイン量はIVL7-0, IVR7-0 bitsで設定します(Table 30)。ボリューム変更時、L/R独立にゼロクロス検出動作を行います。ゼロクロスタイムアウト時間はZTM1-0 bitsで設定することができます。

PMADL = PMADR bits = “0”のときにIVL7-0, IVR7-0 bitsに書き込みを行うと、PMADL bit = “1” or PMADR bit = “1”に書き換えてからADCの初期化サイクル後に、その設定値でIVOLが動作を開始します。

録音から再生に切り替えた場合、録音時の設定が保持されているので、IVL7-0 = IVR7-0 bits = “91H” (0dB)に設定して下さい。

IVL7-0 IVR7-0	GAIN (dB)	Step	
F1H	+36.0	0.375dB	Default
F0H	+35.625		
EFH	+35.25		
:	:		
E2H	+30.375		
E1H	+30.0		
E0H	+29.625		
:	:		
03H	–53.25		
02H	–53.625		
01H	–54		
00H	MUTE		

Table 30. 入力ディジタルボリュームの設定値

IVL7-0, IVR7-0 bitsの書き込みを続けて行う場合は、ゼロクロスタイムアウト時間以上の間隔をあけて行って下さい。所定の間隔をあけないで書き込みを行うと、ゼロクロスカウンタが毎回リセットされボリュームが切り替わりません。ただし、書き込むレジスタ値が前回と同じ値の場合は書き込みが無視され、ゼロクロスカウンタはリセットされないので、ゼロクロスタイムアウト時間より短い間隔で書き込みを行うことができます。

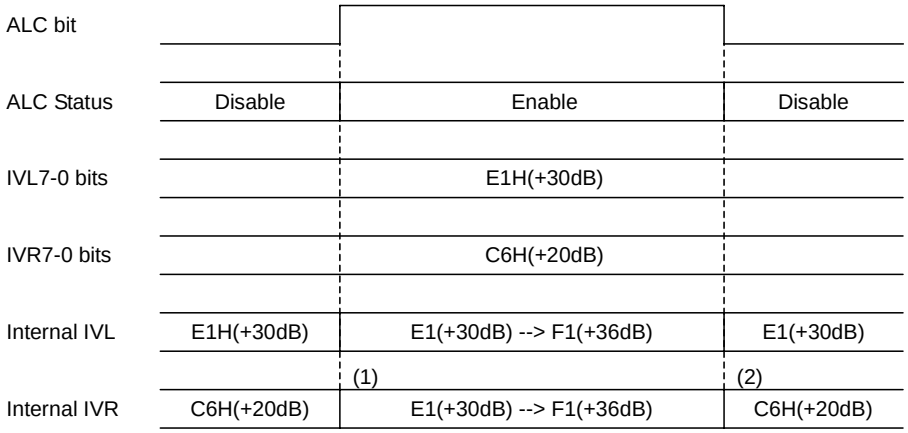


Figure 26. ALC動作中のIVOL動作例

(1) ALC開始時にIVLとIVRの値が異なっている場合は、IVLの値がスタート値になります。ALC bit = “1”を書き込んでからIVL7-0 bitsの値でALC動作を開始するまでの待ち時間は最大でリカバリ待機時間(WTM1-0 bits) + ゼロクロスタイムアウト時間(ZTM1-0 bits)です。

(2) ALC動作中は、IVL, IVRのレジスタ(09H, 0CH)に書き込みを行っても反映されません。ALCがDisableされた後、ゼロクロスまたはゼロクロスタイムアウト時にその値が反映されます。再度ALCをEnableする場合は、ALC bit = “0”の後、ゼロクロスタイムアウト時間以上の間隔を空けてALC bit = “1”を設定して下さい。

■ ディエンファシスフィルタコントロール

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(tc=50/15μs特性)を内蔵しています。入力データに対して、DEM1-0 bitで選択された周波数のディエンファシスフィルタが有効になります(Table 31)。

DEM1	DEM0	Mode	
0	0	44.1kHz	
0	1	OFF	Default
1	0	48kHz	
1	1	32kHz	

Table 31. ディエンファシスコントロール

■ バスブースト回路

BST1-0 bitsをコントロールすることで、DACからバスブーストされた信号を出力することができます(Table 32)。また、BST1-0 bits = “01”(MIN)に固定することで、ヘッドフォン出力のDCカット用コンデンサを47μFまで小さくすることができます。バスブーストされた信号がフルスケールを超えた場合、DACからの出力がクリップします。Figure 27は–20dBの信号レベルを入力した場合のバスブースト後の特性です。

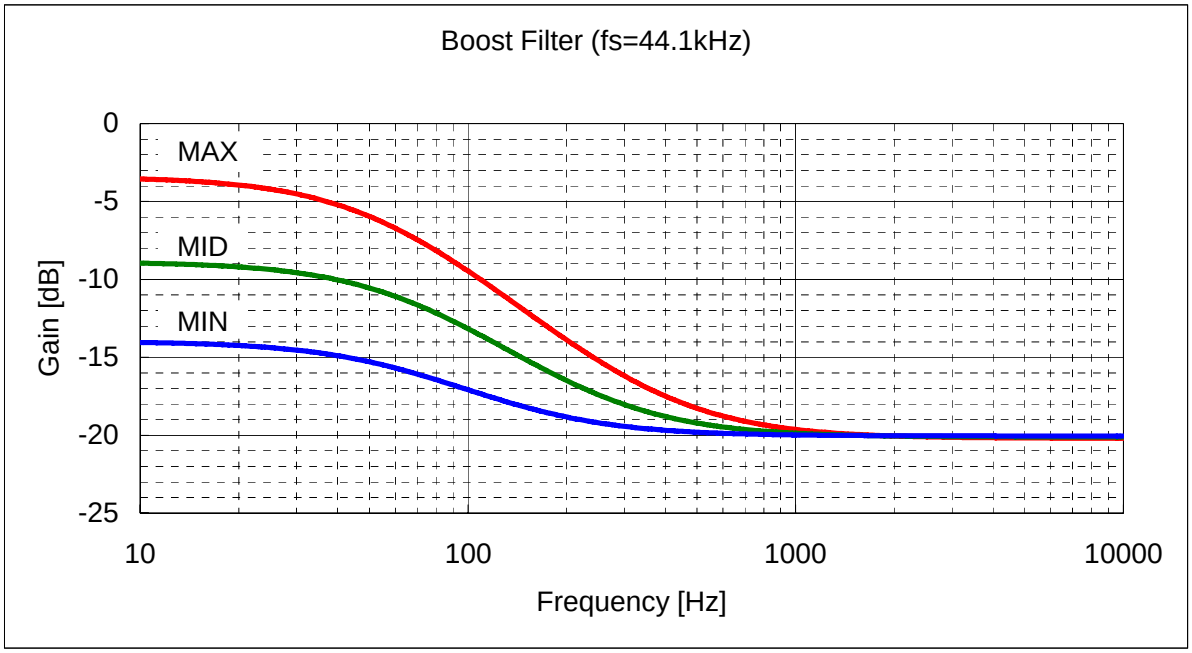


Figure 27. バスブースト周波数 (fs=44.1kHz)

BST1	BST0	Mode	
0	0	OFF	Default
0	1	MIN	
1	0	MID	
1	1	MAX	

Table 32. バスブーストコントロール

■ 出力ボリューム

AK4647はMUTEを含む0.5dBステップ、256レベルのチャネル独立ディジタル出力ボリューム(DATT)を内蔵します。このボリュームはDACの前段にあり、入力データを+12dBから–115dBまで減衰、またはミュートします。DVOLC bitを “1”にすると、DVL7-0 bitsでLch, Rchのボリュームを同時にコントロールできます。DVOLC bitが “0”の場合、Lch, Rchのボリュームは独立にコントロールできます。また、ATT設定間の遷移は1061レベルまたは256/fsでソフト遷移します。遷移ステップはDVTM bitで設定します。DVTM bit = “0”のとき、00H(+12dB)からFFH(MUTE)までには1061/fs(24ms@fs=44.1kHz)かかります。

DVL/R7-0	Gain	Step	
00H	+12.0dB	0.5dB	
01H	+11.5dB		
02H	+11.0dB		
:	:		
18H	0dB		Default
:	:		
FDH	–114.5dB		
FEH	–115.0dB		
FFH	MUTE (–∞)		

Table 33. Digital Volume Code Table

DVTM bit	DVL/R7-0 bits = 00HからFFHまでの遷移時間			
	設定値	fs=8kHz時	fs=44.1kHz時	
0	1061/fs	133ms	24ms	Default
1	256/fs	32ms	6ms	

Table 34.出力ボリュームの遷移時間設定

■ ソフトミュート機能

DAC入力のディジタル部にソフトミュート機能を内蔵します。ソフトミュートはSMUTE bitでコントロールできます。SMUTE bitを “1”にするとDVTM bitで設定したサイクルで入力データが–∞(“0”)までアテネーションされます。SMUTE bitを “0”にすると–∞状態が解除され、–∞からDVTM bitで設定したサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します。ソフトミュート開始後、DVTM bitで設定したサイクル以内に解除されるとアテネーションが中断され、同じサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します(Figure 28)。

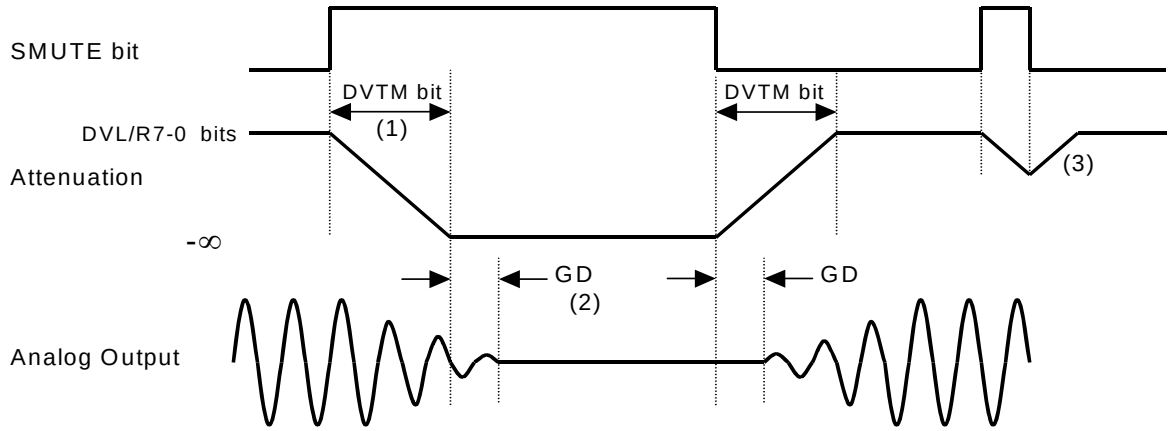


Figure 28. ソフトミュート機能

(1) DVTM bitで設定したサイクルで入力データが–∞(“0”)までアテネーションされます。
(2) ディジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
(3) ソフトミュート開始後、DVTM bitで設定したサイクル以内に解除されるとアテネーションが中断され、同じサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します。

■ アナログミキシング: モノラル入力

PMBP bit = “1”の時、BEEPH bitを “1”にするとヘッドフォンアンプから出力し、BEEPL bitを “1”にするとステレオライン出力から出力することができます。入力される信号はR_iでレベル調整できます。R_i = 20kΩ 時のゲイン(typ)をTable 35, Table 36に示します。このゲインは、R_i の値に反比例します。

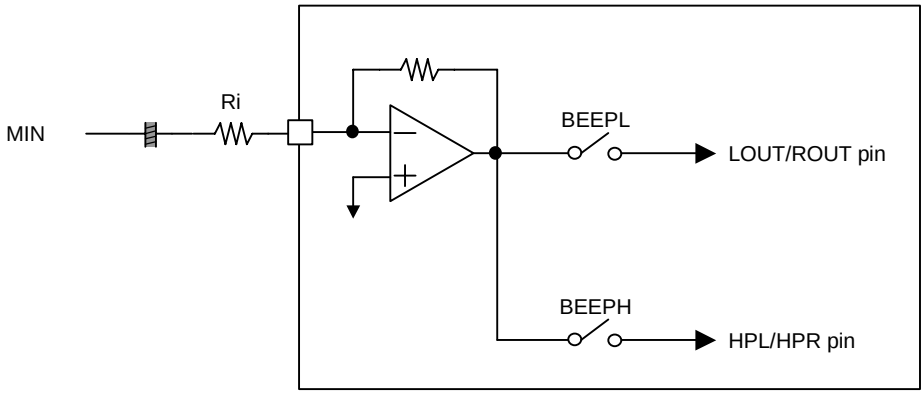


Figure 29. Block Diagram of MIN pin

LOVL bit	MIN → LOUT/ROUT	
0	0dB	Default
1	+2dB	

Table 35. R_i = 20kΩ 時、MIN入力 → LOUT/ROUT出力ゲイン(typ)

HPG bit	MIN → HPL/HPR	
0	–20dB	Default
1	–16.4dB	

Table 36. R_i = 20kΩ 時、MIN入力 → ヘッドフォン出力ゲイン(typ)

■ ステレオライン出力 (LOUT, ROUT pin)

DACL bitを “1”にすると、DACのLch, Rch信号をそれぞれLOUT, ROUT pinsからシングルエンドで出力します。DACL bit を “0”にすると、出力をOFFにすることも可能です。この時、LOUT, ROUT pinsはVCOM電圧を出力します。また、負荷抵抗はmin. 10kΩです。PMLO bit = LOPS bit = “0” にすると、パワーダウン状態になりAVSSに100kΩ(typ)でプルダウンされます。LOPS bit = “1”とすると、パワーセーブモードになります。また、LOPS bit = “1”として、PMLO bitでパワーダウンのON/OFF を行うと、ON/OFF 時に発生するポップ音を低減することができます。このとき、Figure 31に示すようにCカップル後、ステレオライン出力のラインを20kΩの抵抗でプルダウンしてください。立ち上がりおよび立下がりの時間はC=1μF, AVDD=3.3Vのとき、最大300msです。ステレオライン出力は、PMLO bit = “1”かつLOPS bit = “0”でパワーアップ状態となります。

ステレオライン出力のゲインはLOVL bitで設定します。

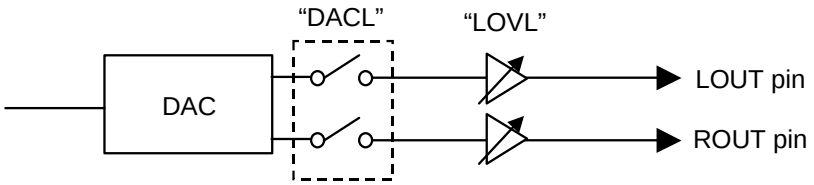


Figure 30. ステレオライン出力

LOPS	PMLO	Mode	LOUT/ROUT pin	
0	0	パワーダウン	Pull-down to AVSS	Default
	1	通常動作	通常動作	
1	0	パワーセーブ	Fall down to AVSS	
	1	パワーセーブ	Rise up to VCOM	

Table 37. ステレオライン出力のモード設定 (x: Don’t care)

LOVL	Gain	出力電圧(typ)	
0	0dB	0.6 x AVDD	Default
1	+2dB	0.757 x AVDD	

Table 38. ステレオライン出力ボリューム設定

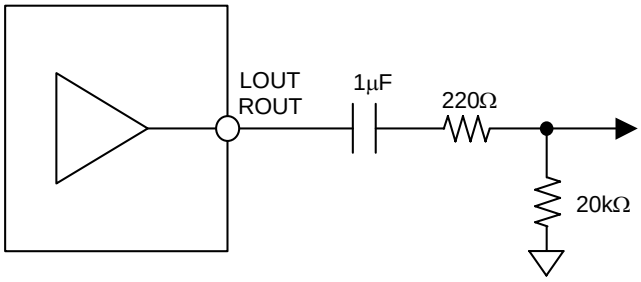


Figure 31. ステレオライン出力外付け回路(ポップ音低減回路使用時)

[ステレオライン出力コントロールシーケンス(ポップ音低減回路使用時)]

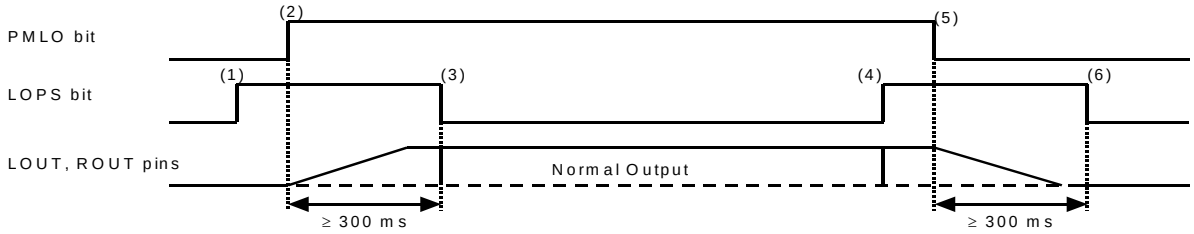


Figure 32. ステレオライン出力コントロールシーケンス(ポップ音低減回路使用時)

(1) パワーセーブモードをON します。LOPS bit = “1”
(2) パワーダウンを解除します。PMLO bit = “1”
LOUT, ROUT pins が立ち上がります。立ち上がり時間はC=1μF, AVDD=3.3Vのとき200ms (max 300ms)です。
(3) LOUT, ROUT pins が立ち上がった後でパワーセーブモードを解除します。LOPS bit = “0”
ステレオライン出力が可能になります。
(4) パワーセーブモードをON します。LOPS bit = “1”
(5) パワーダウンに設定します。PMLO bit = “0”
LOUT, ROUT pins が立ち下がります。立ち下がり時間はC=1μF, AVDD=3.3Vのとき200ms (max 300ms)です。
(6) LOUT, ROUT pins が立ち下がった後でパワーセーブモードを解除します。LOPS bit = “0”

■ ヘッドフォンアンプ(HPL/HPR pins)

ヘッドフォンアンプの電源はHVDDから供給されます。コモン電圧はHVDD/2です。負荷抵抗は16Ω (min)です。出力電圧はHPG bitで切り替えることができます(Table 39)。

HPG bit	0	1
Output Voltage [Vpp]	0.6 x AVDD	0.91 x AVDD

Table 39. ヘッドフォンの出力電圧

HPMTN bitを “0”にすると、ヘッドフォンアンプのコモン電圧をHVSSに立ち下げます。HPMTN bitを “1”にするとコモン電圧をHVDD/2に立ち上げます。ポップノイズ防止のために、MUTET pinとグランド間にコンデンサを接続します。立ち上げ／立ち下げ時定数はHVDDおよびMUTET pinのコンデンサに比例します。

例 : MUTET pinのコンデンサC=1μF, HVDD=3.3Vの場合
- ヘッドフォンアンプ立ち上げ／立ち下げ時定数: 100ms(typ), 250ms(max)
- 完全に立ち下がるまでの時間: 500ms(max)

PMHPL, PMHPR bitsを “0”にすることで、ヘッドフォンアンプを完全にパワーダウンすることができます。この時、HPL, HPR pinsは “L” (HVSS)になります。

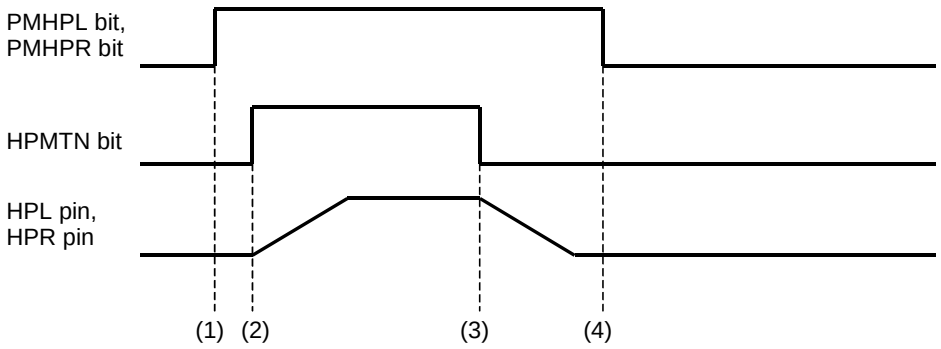


Figure 33. ヘッドフォンアンプのパワーアップ／ダウンシーケンス

(1) ヘッドフォンアンプのパワーアップ(PMHPL, PMHPR bits = “1”)。出力はHVSSのままです。
(2) ヘッドフォンアンプのコモン電圧立ち上げ(HPMTN bit = “1”)。
(3) ヘッドフォンアンプのコモン電圧立ち下げ(HPMTN bit = “0”)。
(4) ヘッドフォンアンプのパワーダウン(PMHPL, PMHPR bits = “0”)。出力はHVSSになります。ポップ音防止のため、ヘッドフォンアンプのコモン電圧が完全に下がってからパワーダウンしてください。

<ヘッドフォンアンプの外部回路>

BOOST=OFF時、ヘッドフォンアンプの外部抵抗とコンデンサでカットオフ周波数(fc)が決まります。バスブーストを併用することでカットオフ周波数を低域へシフトすることができます。Table 40に外部抵抗とコンデンサ及びカットオフ周波数(fc)の関係とその時の出力パワーを示します。但し、ヘッドフォンのR_Lは16Ωとします。出力パワーはHVDD=2.7, 3.0, 3.3, 5V時の値です。ヘッドフォンアンプの出力は0.6 x AVDD (Vpp)@HPG bit = “0”, 0.91 x AVDD (Vpp)@HPG bit = “1”です。

外付けのRが12Ω以下の場合は、ヘッドフォンアンプが発振する可能性がありますので、発振防止回路(0.22μF±20%のコンデンサと10Ω±20%の抵抗)をつけて下さい。

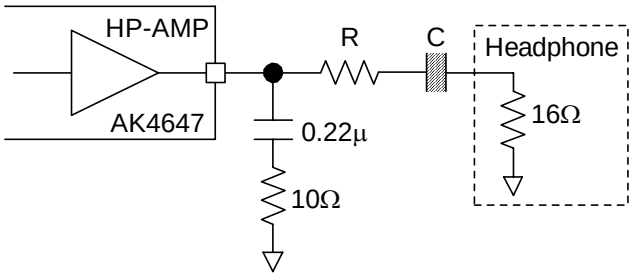


Figure 34. ヘッドフォンアンプの外付け回路例

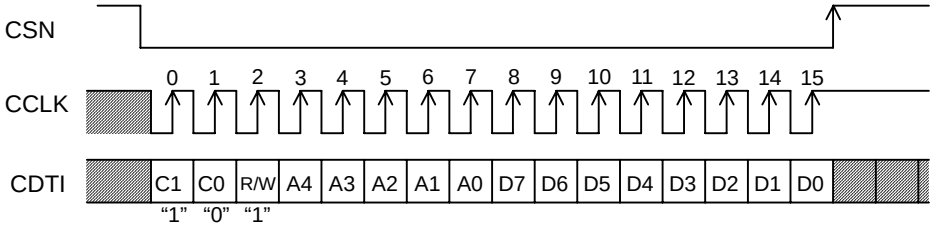
HPG bit	R [Ω]	C [μF]	fc [Hz] BOOST=OFF	fc [Hz] BOOST=MIN @fs=44.1kHz	Output Power [mW]@0dBFS		
					2.7V	3.0V	3.3V
0	6.8	100	70	28	10.1	12.5	15.1
		47	149	78			
	16	100	50	19	5.1	6.3	7.7
		47	106	47			
1	0	220	45	17	33	41	50
		100	100	43			
	100	22	62	25	0.9	1.1	1.3
		10	137	69			

Table 40. 外付け回路例

■ シリアルコントロールインタフェース

(1) 3線シリアルコントロールモード (I2C pin = “L”)

レジスタ設定は3線式シリアルI/Fピン(CSN, CCLK, CDTI)で書き込みを行います。I/F上のデータはChip address (2bits, “10”固定), Read/Write (1bit, “1”固定), Register address (MSB first, 5bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの “↓”で各ビットを出力し、受信側は “↑”で取り込みます。データの書き込みはCSNの “↓”後16回目のCCLK “↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。PDN pin = “L”でレジスタの値はリセットされます。



C1-C0: Chip Address (C1 = “1”, C0 = “0”); Fixed to “10”
R/W: READ/WRITE (“1”: WRITE, “0”: READ); Fixed to “1”
A4-A0: Register Address
D7-D0: Control data

Figure 35. シリアルコントロールインタフェースタイミング

(2) I²C**バスコントロールモード** (I2C pin = "H")

AK4647のI²Cバスモードのフォーマットは、高速モード(max:400kHz)に対応しています。SDA, SCL pinsのプルアップ抵抗の接続先は(DVDD+0.3)V以下にして下さい。

(2)-1. WRITE命令

I²Cバスモードにおけるデータ書き込みシーケンスはFigure 36に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが "H"の時にSDAラインを "H"から "L"にすると、開始条件が作られます(Figure 42)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます。上位6ビットは "001001"固定、次の1ビットはアクセスするICを選ぶためのアドレスビットで、CAD0 pinにより設定されます(Figure 37)。アドレスが一致した場合、AK4647は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 43)。R/W bitが "0"の場合はデータ書き込み、R/W bitが "1"の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位2ビットは "0"固定です(Figure 38)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(Figure 39)。AK4647は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが "H"の時にSDAラインを "L"から "H"にすると、停止条件が作られます(Figure 42)。

AK4647は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。

クロックが "H"の間は、SDAラインの状態は一定でなければなりません。データラインが "H"と "L"の間で状態を変更できるのは、SCLラインのクロック信号が "L"の時に限られます(Figure 44)。SCLラインが "H"の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

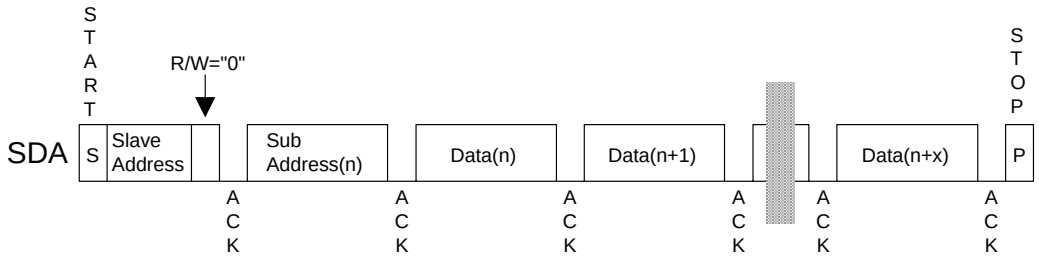


Figure 36. I²Cバスモードのデータ転送シーケンス

0	0	1	0	0	1	CAD0	R/W

(CAD0はピンにより設定)

Figure 37. 第1バイトの構成

0	0	0	A4	A3	A2	A1	A0

Figure 38. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0

Figure 39. 第3バイト以降の構成

(2)-2. READ命令
R/W bitが “1”の場合、AK4647はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス “1FH”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4647はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

(2)-2-1. カレントアドレスリード
AK4647は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが “n”であり、その後カレントアドレスリードを行った場合、アドレス “n+1”のデータが読み出されます。カレントアドレスリードでは、AK4647はREAD命令のスレーブアドレス(R/W bit = “1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

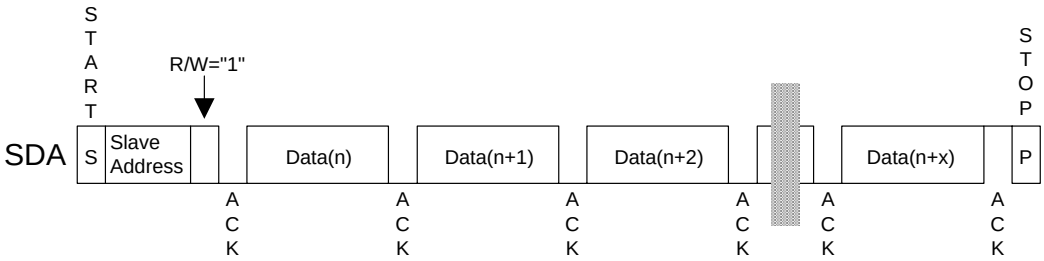


Figure 40. カレントアドレスリード

(2)-2-2. ランダムアドレスリード
ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4647がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit= “1”)を入力します。AK4647はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを出力し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

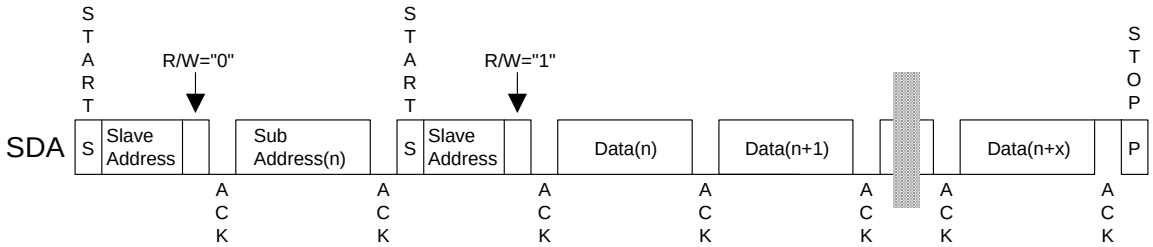


Figure 41. ランダムアドレスリード

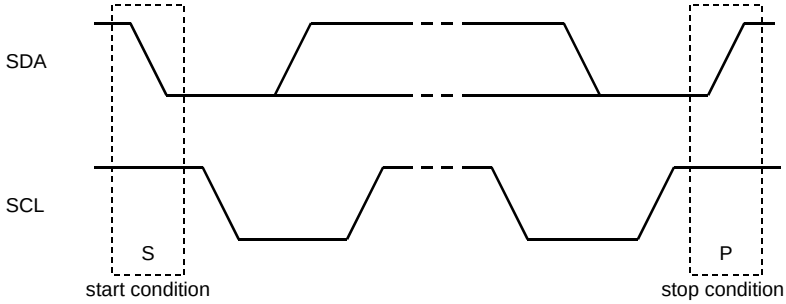


Figure 42. 開始条件と停止条件

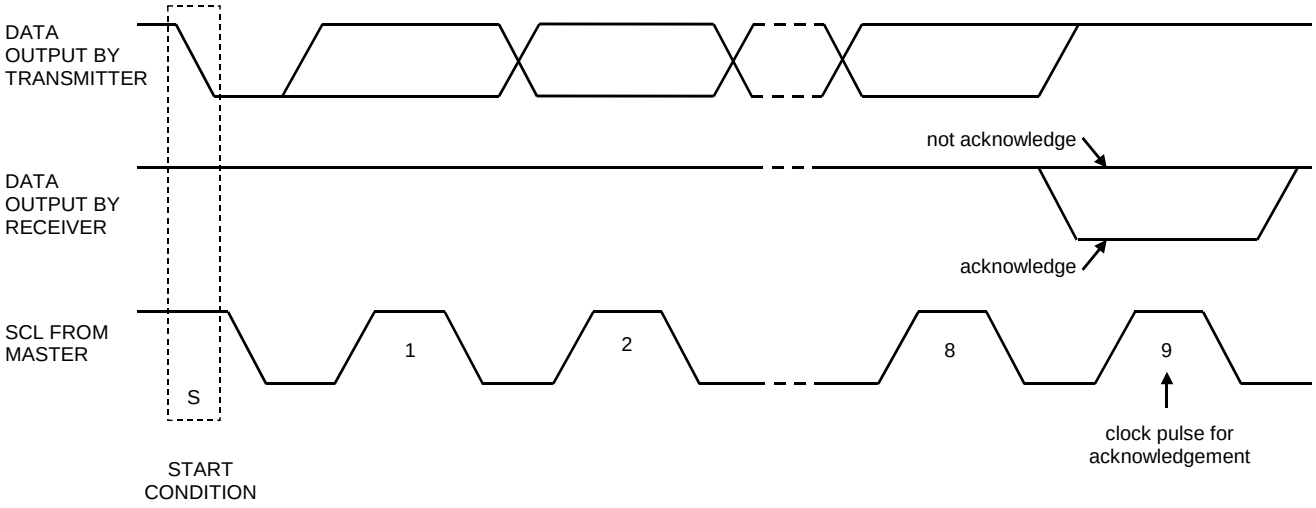


Figure 43. I²Cバスでの確認応答

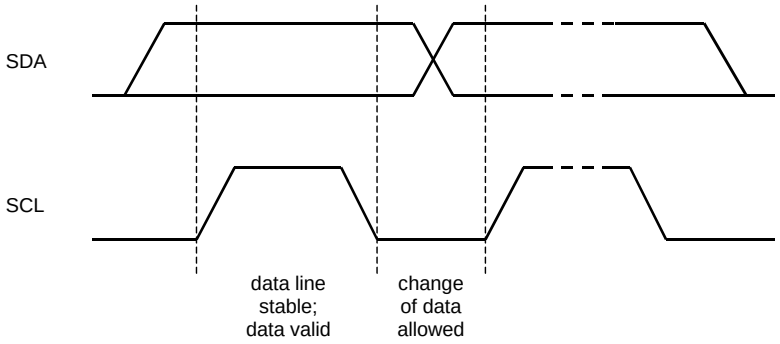


Figure 44. I²Cバスでのビット転送

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMBP	0	PMLO	PMDAC	0	PMADL
01H	Power Management 2	0	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
02H	Signal Select 1	0	0	0	DACL	0	PMMP	0	MGAIN0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	0	0	BEEPL	0	0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
05H	Mode Control 2	PS1	PS0	FS3	0	0	FS2	FS1	FS0
06H	Timer Select	DVTM	0	ZTM1	ZTM0	WTM1	WTM0	0	0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
09H	Lch Input Volume Control	IVL7	IVL6	IVL5	IVL4	IVL3	IVL2	IVL1	IVL0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	0	0
0CH	Rch Input Volume Control	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
0EH	Mode Control 3	0	LOOP	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
0FH	Mode Control 4	0	0	0	0	IVOLC	HPM	BEEPH	DACH
10H	Power Management 3	0	0	HPG	MDIF2	MDIF1	INR	INL	PMADR
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8

Note 33. PDN pinを “L” にすると、レジスタ値は初期化されます。
Note 34. “0”で指定されたビットへの “1”の書き込みは禁止です。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMBP	0	PMLO	PMDAC	0	PMADL
Default		0	0	0	0	0	0	0	0

PMADL: MIC-Amp Lch, ADC Lchのパワーマネジメント
0: Power down (Default)
1: Power up
PMADLまたはPMADR bitを “0”から “1”に変更すると、初期化サイクル(1059/fs=24ms@44.1kHz)が開始されます。初期化サイクル終了後、ADCはデータを出力します。

PMDAC: DACのパワーマネジメント
0: Power down (Default)
1: Power up

PMLO: ステレオライン出力のパワーマネジメント
0: Power down (Default)
1: Power up

PMBP: モノラル入力のパワーマネジメント
0: Power down (Default)
1: Power up
再生パスを使用時はPMBP bit = “1”として下さい。

PMVCM: VCOMのパワーマネジメント
0: Power down (Default)
1: Power up
各ブロックを動作させる場合は、必ずPMVCM bitを“1”にしなければなりません。PMVCM bitに対して“0”を書き込むことができるのは、アドレス00H, 01H, 02H, 10Hの全てのパワーマネジメントビットとMCKO bitを“0”にする時だけです。

このアドレスのビットをON/OFF (“1”/“0”)することで部分的にパワーダウンすることができます。また、PDN pinを“L”にすることで、レジスタの内容に関係なく、全回路を一度にパワーダウンすることができます。このときレジスタ値は初期化されます。

また、アドレス00H, 01H, 02H, 10Hの全てのパワーマネジメントビットとMCKO bitを“0”にすることで、全回路を一度にパワーダウンすることができます。このときレジスタの内容は保持されています。

ADCとDACを使用しない場合、クロックを供給する必要はありません。ADCまたはDACのどれか一つでも使用する場合はクロックを供給して下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Power Management 2	0	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
Default		0	0	0	0	0	0	0	0

PMPLL: PLLのパワーマネジメント
0: EXT Mode and Power Down (Default)
1: PLL Mode and Power up

MCKO: MCKO信号の制御
0: Disable: MCKO pin = “L” (Default)
1: Enable: Output frequency is selected by PS1-0 bits.

M/S: Master / Slave Modeの選択
0: Slave Mode (Default)
1: Master Mode

PMHPR: Rchヘッドフォンアンプのパワーマネジメント
0: Power down (Default)
1: Power up

PMHPL: Lchヘッドフォンアンプのパワーマネジメント
0: Power down (Default)
1: Power up

HPMTN: ヘッドフォンアンプのミュート
0: Mute (Default)
1: Normal operation

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Signal Select 1	0	0	0	DACL	0	PMMP	0	MGAIN0
Default		0	0	0	0	0	0	0	1

MGAIN1-0: マイクアンプのゲインコントロール(See Table 18)
MGAIN1 bitは03HのD5 bitです。

PMMP: MPWR pinのパワーマネジメント
0: Power down: Hi-Z (Default)
1: Power up

DACL: DACからステレオライン出力に入力される信号のコントロール
0: OFF (Default)
1: ON
PMLO bit = “1”の時、このビットは有効になります。PMLO bit = “0”の時、LOUT, ROUT pinsはAVSSを出力します。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	0	0	BEEPL	0	0
Default		0	0	0	0	0	0	0	0

BEEPL: ステレオライン出力に入力されるMIN信号のコントロール
0: OFF (Default)
1: ON
PMLO bit = “1”の時、このビットは有効になります。PMLO bit = “0”の時、LOUT, ROUT pinsはAVSSを出力します。

MGAIN1: マイクアンプのゲインコントロール(See Table 18)

LOPS: ステレオライン出力のパワーセーブモード
0: Normal Operation (Default)
1: Power Save Mode

LOVL: ステレオライン出力ゲイン設定(Table 38)
0: 0dB (Default)
1: +2dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
Default		0	0	0	0	0	0	1	0

DIF1-0: オーディオインタフェースフォーマット (See Table 13)
Default: “10” (前詰め)

BCKO: マスタモード時のBICK出力周波数の設定 (See Table 10)

PLL3-0: PLL基準クロックの選択(See Table 4)
Default: “0000”(LRCK pin)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Mode Control 2	PS1	PS0	FS3	0	0	FS2	FS1	FS0
Default		0	0	0	0	0	0	0	0

FS3-0: サンプリング周波数(See Table 5 and Table 6)及びMCKI周波数の設定(See Table 11)
PLLモード時はサンプリング周波数の設定を行い、EXTモード時はMCKIの入力周波数を設定します。

PS1-0: MCKO周波数の設定(Table 9)
Default: “00”(256fs)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Timer Select	DVTM	0	ZTM1	ZTM0	WTM1	WTM0	0	0
	Default	0	0	0	0	0	0	0	0

WTM1-0: ALCリカバリ待機時間の設定(see Table 26)

ALC動作中にリミッタ動作が発生しない場合、リカバリ動作を行う周期を設定します。初期値は“00” (128/fs)です。

ZTM1-0: ALCゼロクロスタイムアウト時間の設定(see Table 25)

マイコン書き込み動作、ALCリカバリ動作により、ゲインが変更されるのは、ゼロクロスするかまたはタイムアウトした場合です。初期値は“00” (128/fs)です。

DVTM: Digital Volumeのソフト遷移時間を設定します。

0: 1061/fs (Default)

1: 256/fs

このソフト遷移時間は DVL7-0, DVR7-0 bits を00HからFFHへ変更した場合の遷移時間です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
	Default	0	0	0	0	0	0	0	0

LMTH1-0: ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル(see Table 23)

Default: “00”

LMTH1 bitは0BHのD6 bitです。

RGAIN1-0: ALCリカバリゲインステップ(see Table 27)

Default: “00”

RGAIN1 bitは03HのD7 bitです。

LMAT1-0: ALCリミッタATTステップ(see Table 24)

Default: “00”

ZELMN: ALCリミッタ動作時ゼロクロス検出イネーブル

0: Enable (Default)

1: Disable

ALC: ALCイネーブル

0: ALC Disable (Default)

1: ALC Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
	Default	1	1	1	0	0	0	0	1

REF7-0: ALCリカバリ動作時の基準値の設定。0.375dB step, 242 Level (Table 28)

Default: “E1H” (+30.0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Lch Input Volume Control	IVL7	IVL6	IVL5	IVL4	IVL3	IVL2	IVL1	IVL0
0CH	Rch Input Volume Control	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
Default		1	1	1	0	0	0	0	1

IVL7-0, IVR7-0: 入力ディジタルボリューム; 0.375dB step, 242 Level (Table 30)
Default: “E1H” (+30.0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
Default		0	0	0	1	1	0	0	0

DVL7-0, DVR7-0: 出力ディジタルボリューム(see Table 33)
Default: “18H” (0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	0	0
Default		0	0	0	0	0	0	0	0

LMTH1: ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル(see Table 23)

RGAIN1: ALCリカバリゲインステップ(see Table 27)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0EH	Mode Control 3	0	LOOP	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
Default		0	0	0	1	0	0	0	1

DEM1-0: ディエンファシスコントロール(Table 31)
Default: “01” (OFF)

BST1-0: 低域補正回路のコントロール(Table 32)
Default: “00” (OFF)

DVOLC: ディジタルボリュームのコントロール
0: Independent
1: Dependent (Default)
DVOLC bit = “1”のとき、DVL7-0 bitで両チャネルのディジタルボリュームが変化します。但し、DVR7-0 bitにDVL7-0 bitの値は書き込まれません。

SMUTE: ソフトミュートコントロール
0: Normal Operation (Default)
1: DAC outputs soft-muted

LOOP: デバイス内部ループバック
0: SDTI → DAC (Default)
1: SDTO → DAC

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0FH	Mode Control 4	0	0	0	0	IVOLC	HPM	BEEPH	DACH
Default		0	0	0	0	1	0	0	0

DACH: DACからヘッドフォンアンプに入力される信号のコントロール
0: OFF (Default)
1: ON

BEEPH: MIN pinからヘッドフォンアンプに入力される信号のコントロール
0: OFF (Default)
1: ON

HPM: ヘッドフォンのモノラル出力
0: ステレオ (Default)
1: モノラル
HPM bit = “1”のとき、DACの出力信号は(L+R)/2として信号がヘッドフォンアンプから出力されます。

IVOLC: IVOLのコントロール
0: Independent
1: Dependent (Default)
IVOLC bit = “1”のとき、IVL7-0 bitで両チャネルのIVOLが変化します。但し、IVR7-0 bitにIVL7-0 bitの値は書き込まれません。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
10H	Power Management 3	0	0	HPG	MDIF2	MDIF1	INR	INL	PMADR
Default		0	0	0	0	0	0	0	0

PMADR: MIC-Amp Rch, ADC Rchのパワーマネジメント
0: Power down (Default)
1: Power up

INL: ADC Lch入力ソース選択
0: LIN1 pin (Default)
1: LIN2 pin

INR: ADC Rch入力ソース選択
0: RIN1 pin (Default)
1: RIN2 pin

MDIF1: シングルエンド/差動入力切替1
0: シングルエンド入力 (LIN1/RIN1 pin: Default)
1: 差動入力 (IN1+/IN1– pin)
このビットはPin#46と#47の入力形式を設定します。

MDIF2: シングルエンド/差動入力切替2
0: シングルエンド入力 (LIN2/RIN2 pin: Default)
1: 差動入力 (IN2+/IN2– pin)
このビットはPin#45と#44の入力形式を設定します。

HPG: ヘッドフォンアンプゲイン設定 (Table 39)
0: 0dB (Default)
1: +3.6dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
Default		0	0	0	0	0	0	0	0

GN1-0: Gain部のゲイン設定(Table 21)
Default: “00” (0dB)

FIL3: ステレオ感強調用FIL3の係数設定有効
0: 無効(Default)
1: 有効
FIL3 bit = “1”のとき、F3A13-0, F3B13-0 bitの設定が有効になります。FIL3 bit = “0”のとき、FIL3ブロックはOFF(MUTE)です。

EQ: ゲイン補正用フィルタの係数設定有効
0: 無効(Default)
1: 有効
EQ bit = “1”のとき、EQA15-0, EQB13-0, EQC15-0 bitの設定が有効になります。EQ bit = “0”のとき、EQブロックはスルー(0dB)です。

FIL1: 風切り音フィルタ用FIL1の係数設定有効
0: 無効(Default)
1: 有効
FIL1 bit = “1”のとき、F1A13-0, F1B13-0 bitの設定が有効になります。FIL1 bit = “0”のとき、FIL1ブロックはスルー(0dB)です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8
Default		0	0	0	0	0	0	0	0

F3A13-0, F3B13-0: ステレオ感強調用FIL3係数(14bit x 2)
Default: “0000H”

F3AS: ステレオ感強調用FIL3の選択
0: HPF (Default)
1: LPF

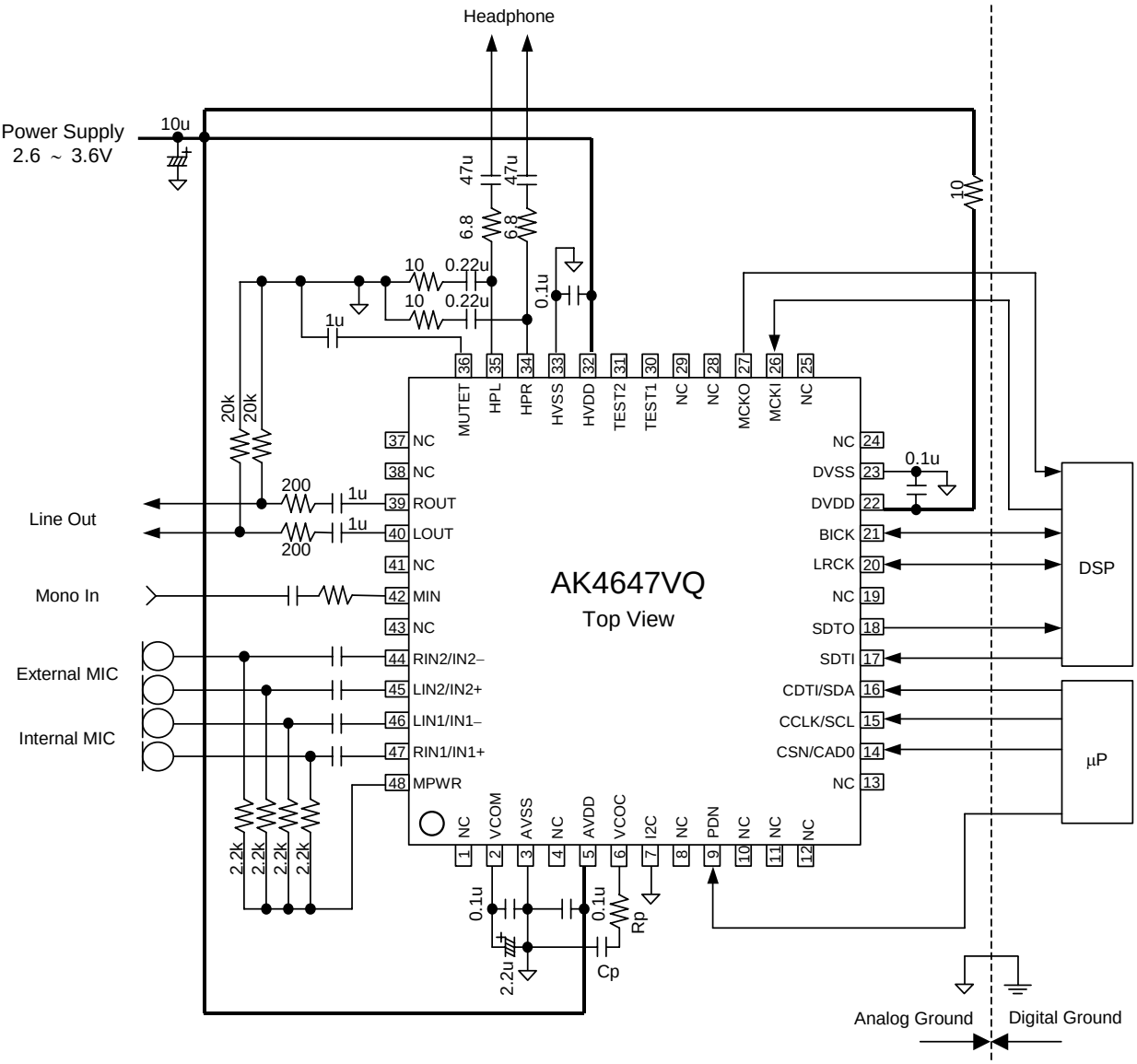
EQA15-0, EQB13-0, EQC15-C0: ゲイン補正用フィルタ係数(14bit x 2 + 16bit x 1)
Default: “0000H”

F1A13-0, F1B13-B0: 風切り音フィルタ用FIL1係数(14bit x 2)
Default: “0000H”

F1AS: 風切り音フィルタ用FIL1の選択
0: HPF (Default)
1: LPF

システム設計

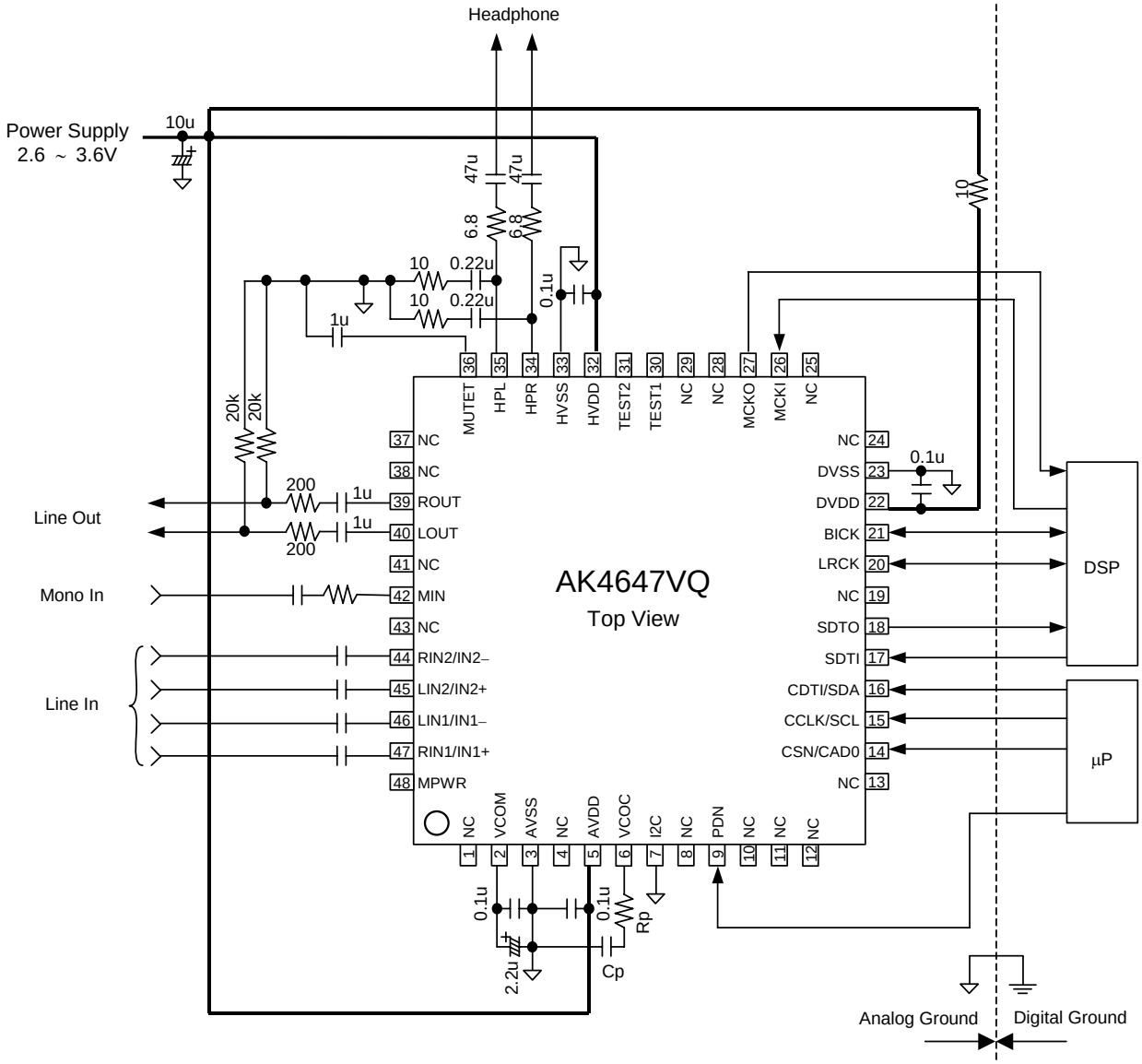
Figure 45およびFigure 46はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4647)を参照して下さい。



注:

- AK4647のAVSS, DVSS, HVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- ディジタル入力ピンはオープンにしないで下さい。
- EXTモード(PMPLL bit = “0”) の場合、VCOC pinはオープンで構いません。
- PLLモード(PMPLL bit = “1”) の場合、CpとRpはTable 4のようにして下さい。
- マスタモードで使用する場合、M/S bitに “1”が書き込まれるまで、AK4647のLRCK, BICK pinはフローティングの状態です。そのため、AK4647のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

Figure 45. システム接続図(マイク入力時)



注:

- AK4647のAVSS, DVSS, HVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- ディジタル入力ピンはオープンにしないで下さい。
- EXTモード(PMPLL bit = “0”) の場合、VCOC pinはオープンで構いません。
- PLLモード(PMPLL bit = “1”) の場合、CpとRpはTable 4のようにして下さい。
- マスタモードで使用する場合、M/S bitに “1”が書き込まれるまで、AK4647のLRCK, BICK pinはフローティングの状態です。そのため、AK4647のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

Figure 46. システム接続図(ライン入力時)

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD, DVDD, HVDDにはシステムのアナログ電源を供給します。AVDD, DVDD, HVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。AVSS, DVSS, HVSSはアナロググランドに接続して下さい。システムのグランドはアナログとディジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2μF程度の電解コンデンサと並列に0.1μFのセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。ディジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

3. アナログ入力

マイク入力、ライン入力とMIN入力はシングルエンド入力になっています。マイク入力とライン入力の入力レンジは内部のコモン電圧(0.45 x AVDD)を中心に0.06 x AVDD Vpp(typ)@MGAIN1-0 bits = “01”, 0.03 x AVDD Vpp(typ)@MGAIN1-0 bits = “10”, 0.015 x AVDD Vpp(typ)@MGAIN1-0 bits = “11”または、0.6 x AVDD Vpp(typ)@MGAIN1-0 bits = “00”になります。MIN入力の入力レンジは内部のコモン電圧(0.45 x AVDD)を中心に0.6 x AVDD Vpp(typ)になります。通常、入力信号はコンデンサでDCカットします。この時カットオフ周波数はfc=1/(2πRC)です。AK4647はAVSSからAVDDまでの電圧を入力することができます。

4. アナログ出力

DACに対する入力データのフォーマットは2’sコンプリメントで、7FFFH(@16bit)に対しては正のフルスケール、8000H(@16bit)に対しては負のフルスケール、0000H(@16bit)での理論値はVCOM電圧です。VCOM電圧は、ステレオライン出力では0.45 x AVDD (typ)を中心に出力され、ヘッドフォン出力ではHVDD/2を中心に出力されます。

コントロールシーケンス

■ クロックの設定

ADCまたはDACをPower-up時にはクロックが供給されている必要があります。

1. PLLマスタモードの場合

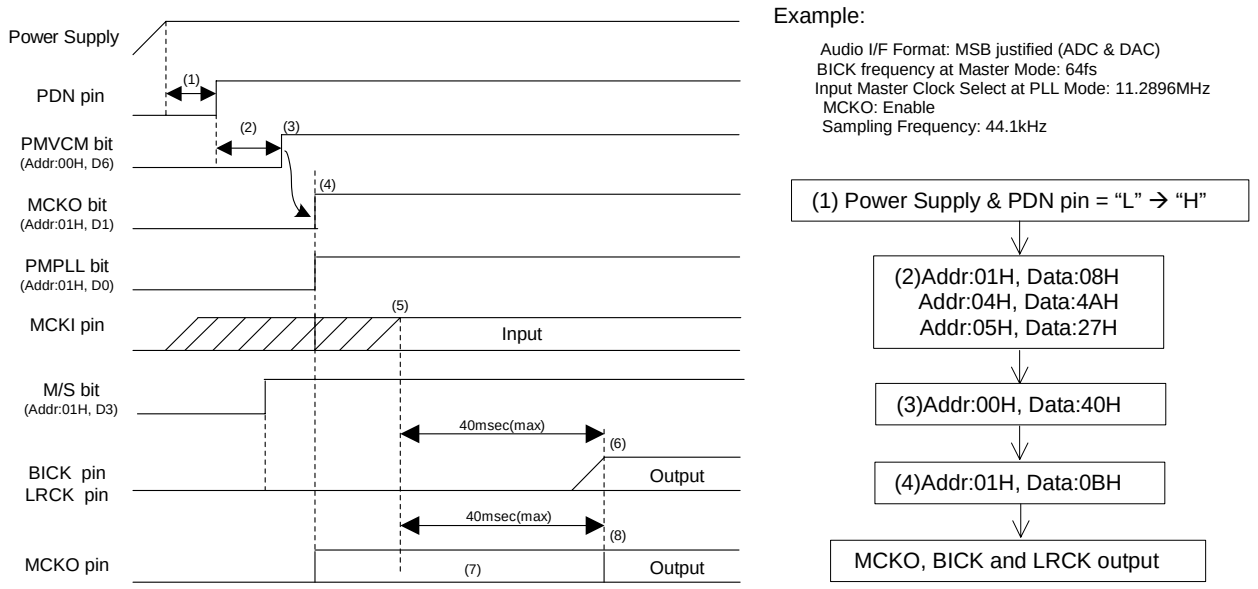


Figure 47. Clock Set Up Sequence (1)

<手順例>

(1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4647のリセットのため、150ns以上の "L"区間が必要です。

(2) この区間に、DIF1-0, PLL3-0, FS3-0, BCKO, M/S bitsの設定を行って下さい。

(3) VCOMのパワーアップ: PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

(4) MCKO出力を使用する場合: MCKO bit = "1"
MCKO出力を使用しない場合: MCKO bit = "0"

(5) PMPLL bitが "0" → "1"になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。
PLLのロック時間は40ms(max)です。

(6) PLLが安定後、BICK, LRCKを出力し始め、正常な動作が開始します。

(7) MCKO bit = "1"の場合、この区間ではMCKO pinから正常でないクロックが出力されます。

(8) MCKO bit = "1"の場合、PLLが安定後MCKO pinから正常なクロックが出力されます。

2. PLLスレーブモードで外部クロック(LRCK or BICK pin)を使用する場合

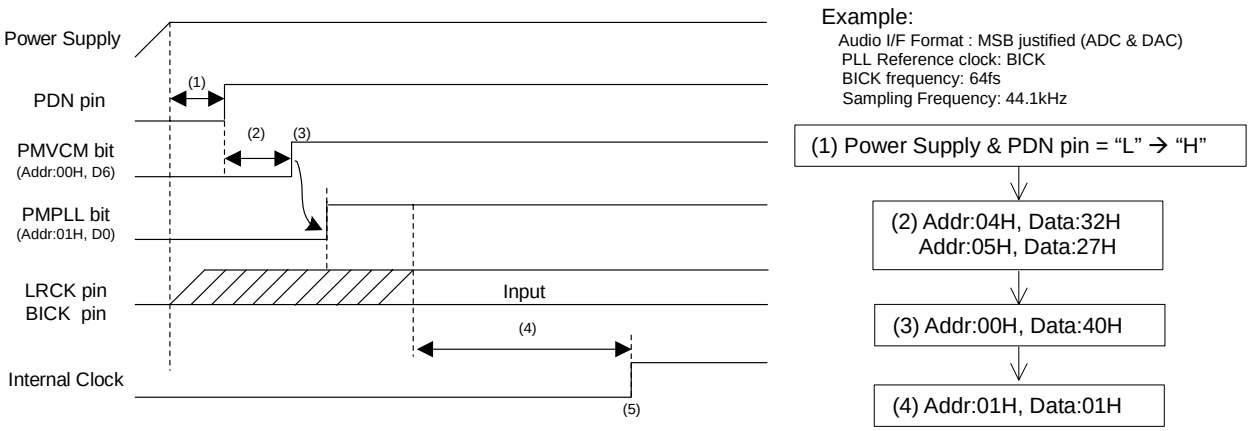


Figure 48. Clock Set Up Sequence (2)

<手順例>

(1)電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4647のリセットのため、150ns以上の "L"区間が必要です。

(2) この区間に、DIF1-0, FS3-0, PLL3-0 bitsの設定を行って下さい。

(3)VCOMのパワーアップ: PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

(4)PMPLL bitが "0" → "1"になり、PLL基準クロック(LRCK or BICK pin)が供給された後、PLL動作がスタートします。PLLのロック時間はLRCKがPLL基準クロック入力の場合、160ms(max), BICKがPLL基準クロックの場合、2ms(max)です。

(5)PLLが安定後、正常な動作が開始します。

3. PLLスレーブモードで外部クロック(MCKI pin)を使用する場合

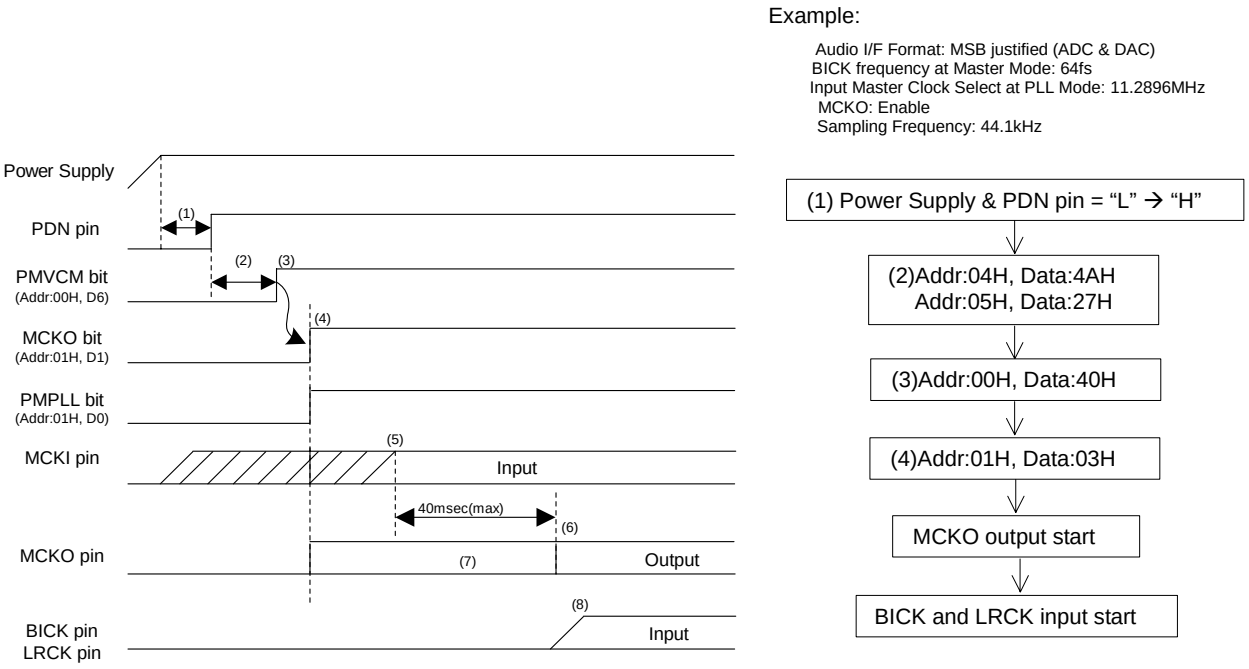


Figure 49. Clock Set Up Sequence (3)

<手順例>

(1) 電源立ち上げ後、PDN pin “L” → “H”
この区間はAK4647のリセットのため、150ns以上の “L”区間が必要です。
(2) この区間に、DIF1-0, PLL3-0, FS3-0, BCKO, M/S bitsの設定を行って下さい。
(3) VCOMのパワーアップ： PMVCM bit = “0” → “1”
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
(4) MCKO 出力の設定: MCKO bit = “1”
(5) PMPLL bitが “0” → “1”になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。
PLLのロック時間は40ms(max)です。
(6) PLLが安定後、MCKO pin から正常なクロックが出力されます。
(7) この区間では、MCKO pin から正常でないクロックが出力されます。
(8) MCKOクロックに同期したBICK, LRCKクロックを入力してください。

4. 外部クロックモードで使用する場合(スレーブモード)

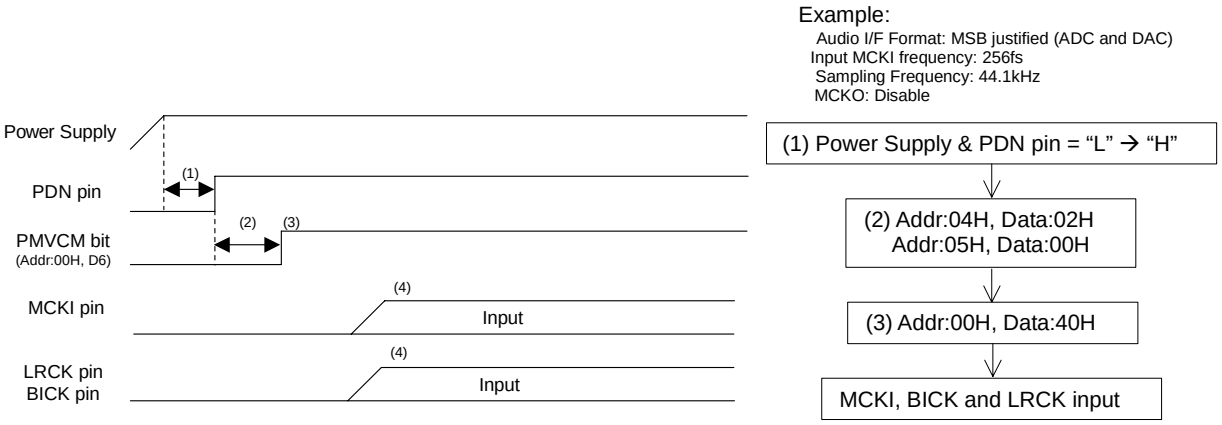


Figure 50. Clock Set Up Sequence (4)

<手順例>

(1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4647のリセットのため、150ns以上の "L"区間が必要です。
(2) この区間に、DIF1-0, FS1-0 bitsの設定を行って下さい。
(3) VCOMのパワーアップ： PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
(4) MCKI, LRCK, BICKクロック入力後、正常な動作が開始します。

■ マイク入力録音(ステレオ)

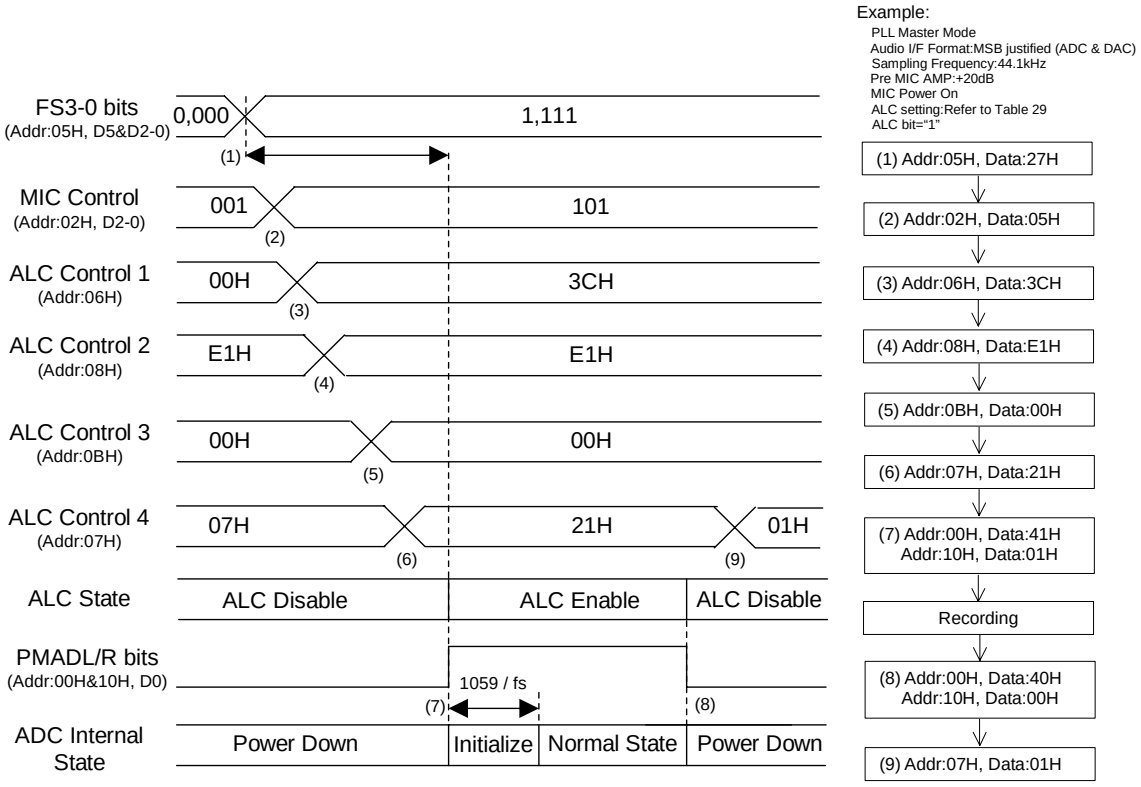


Figure 51. MIC Input Recording Sequence

<手順例>

fs=44.1kHz時のALCの設定例です。ALCのパラメータを変更する場合は、 “Figure 25. ALC動作設定手順例”を参照して下さい。

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(7)のマイク及びADCのパワーアップを行って下さい。

(2) マイク入力(アドレス 02H)の設定。

(3) ALC Timer (アドレス 06H)の設定

(4) ALC REF値(アドレス 08H)の設定

(5) LMTH1, RGAIN1 bitsの設定(アドレス 0BH)

(6) LMTH0, RGAIN0, LMAT1-0, ALC bitsの設定(アドレス 07H)

(7) マイク及びADCのパワーアップ : PMADL = PMADR bits = “0” → “1”
ADCの初期化サイクルは1059/fs=24ms@fs=44.1kHzです。
ALCは入力ディジタルボリューム(IVL/R7-0 bits)の初期値(+30dB)から動作を開始します。
初期化サイクル終了後、オフセット電圧が収束するまでの時間はアナログ入力ピンがコモン電圧に収束するまで時間とディジタルHPFの時定数に依存します。収束時間を短縮するには、PMVCM bit = “1”に続けてPMMP bit = “1”を設定し、アナログ入力のACカップリングコンデンサと60k(typ)で決まる時定数の4倍経過後、ADCをPower-upする方法があります。

(8) マイク及びADCのパワーダウン: PMADL = PMADR bits = “1” → “0”
マイク及びADCをパワーダウンすることでALCもDisable状態になります。サンプリング周波数を変更し、ALCの設定を変更する場合は、マニュアルモード(ALC bit = “0”) あるいはマイク及びADCをパワーダウン(PMADL = PMADR bits = “0”)してから行って下さい。また、PMADL = PMADR bits = “0”のとき、入力ディジタルボリューム(IVL/R7-0 bits)のゲインはリセットされず、次のパワーアップ時はコントロールレジスタの設定値で動作を開始します。

(9) ALC Disable: ALC bit = “1” → “0”

■ ヘッドフォン出力

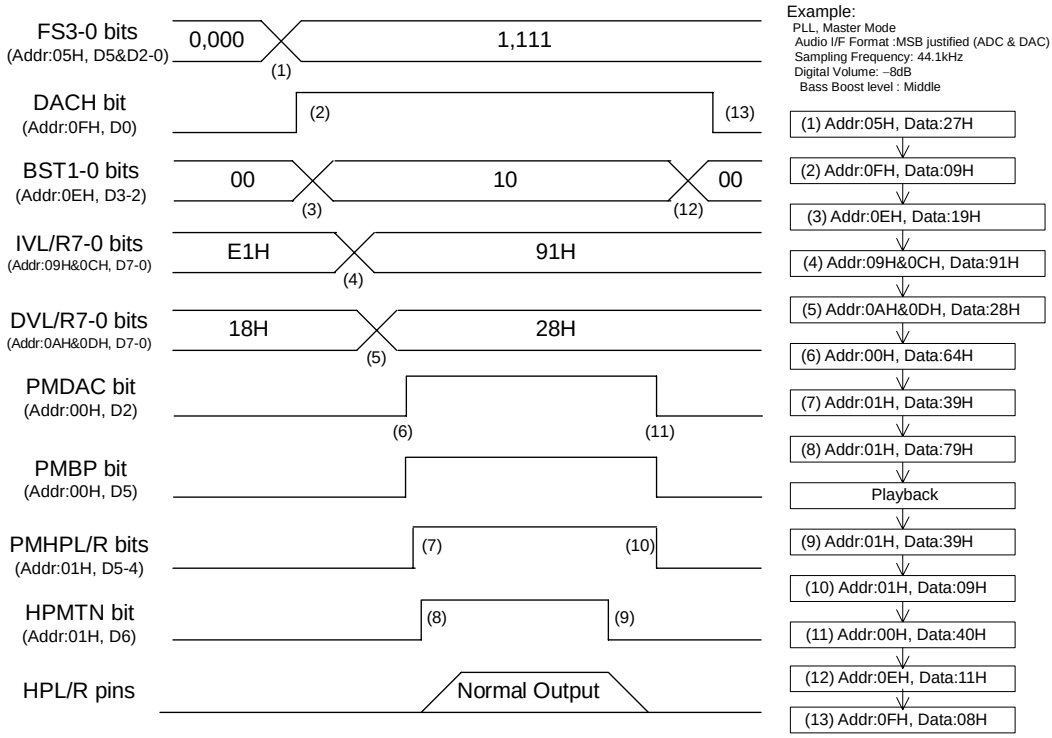


Figure 52. Headphone-Amp Output Sequence

<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bits)を設定して下さい。

(2) DAC → HP-Ampのパス設定: DACH bit = “0” → “1”

(3) バスブーストレベル(BST1-0 bits)の設定。

(4) 入力ディジタルボリューム(アドレス09H&0CH)の設定
PMADL = PMADR bits = “0”のときIVL7-0 = IVR7-0 bits = “91H”(0dB)に設定して下さい。

(5) 出力ディジタルボリューム(アドレス0AH&0DH)の設定。
DVOLC bit = “1”(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。

(6) DACおよびMIN-Ampのパワーアップ: PMDAC = PMBP bits = “0” → “1”
初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2’sコンプリメントの “0”に固定されます。初期化がサイクル終了すると、DACの群遅延(22/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。PMADL bitまたはPMADR bitが “1”のとき、DACの初期化サイクルはありません。ALC bit = “1”の場合、初期化サイクル中(1059/fs = 24ms @fs=44.1kHz)、ALCはディセーブル状態(ALCのゲインはIVL/R7-0 bitsの設定)で、初期化サイクルが終了するとALCはIVL/R7-0 bitsの設定から動作を開始します。

(7) ヘッドフォンアンプのパワーアップ: PMHPL = PMHPR bits = “0” → “1”
出力はHVSSのままです。

(8) ヘッドフォンアンプのコモン電圧立ち上げ: HPMTN bit = “0” → “1”
立ち上げ時間はMUTET pinのコンデンサの容量とHVDDで決まります。MUTET pinのコンデンサC = 1μF, HVDD=3.3Vの時の時定数はτ_r =100ms(typ), 250ms(max)です。

(9) ヘッドフォンアンプのコモン電圧立ち下げ: HPMTN bit = “1” → “0”
立ち上げ時間はMUTET pinのコンデンサの容量とHVDDで決まります。MUTET pinのコンデンサC = 1μF, HVDD=3.3Vの時の時定数はτ_f =100ms(typ), 250ms(max)です。
コモン電圧がHVSSへ下がる前に電源をオフするか、または、ヘッドフォンアンプをパワーダウンした場合、ポップ音が発生します。コモン電圧がHVSSへ下がるまでの時間は時定数の2倍の時間です。

(10) ヘッドフォンアンプのパワーダウン: PMHPL = PMHPR bits = “1” → “0”

(11) DACおよびMIN-Ampのパワーダウン: PMDAC = PMBP bits = “1” → “0”

(12) バスブーストのOFF: BST1-0 bits = “00”

(13) DAC → HP-AmpのパスのDisable: DACH bit = “1” → “0”

■ ステレオライン出力

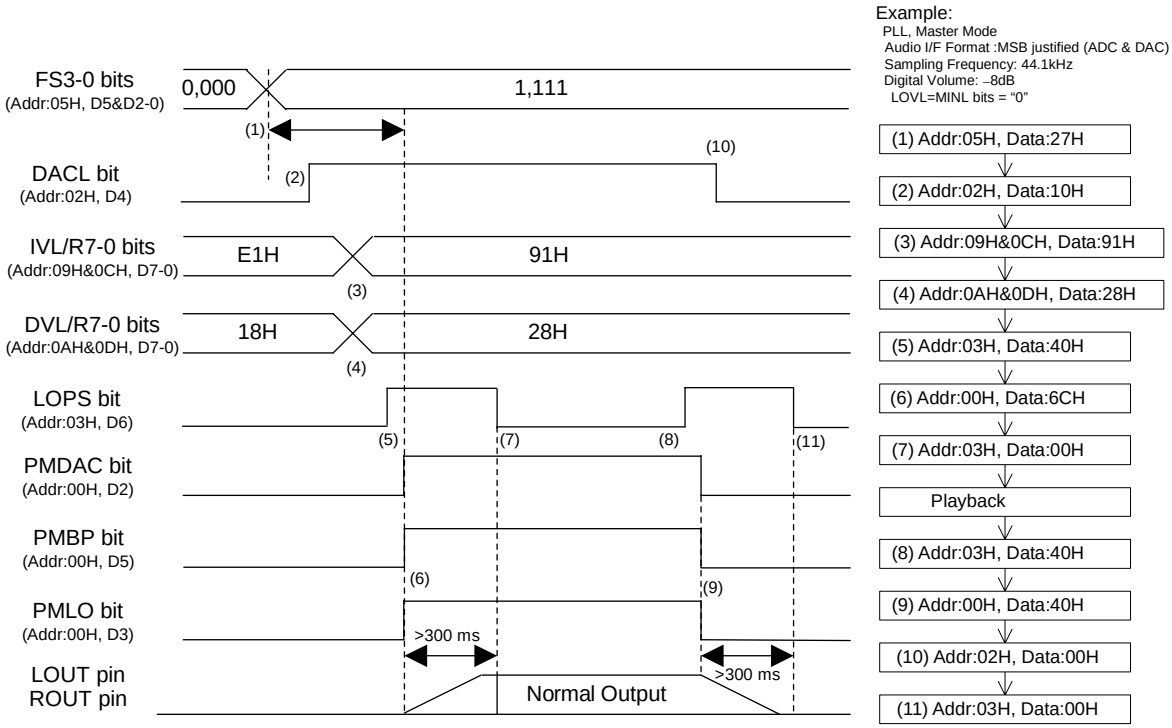


Figure 53. Stereo Lineout Sequence

<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bits)を設定して下さい。
PLLロック時間を考慮し、(5)のDACのパワーアップを行って下さい。

(2) DAC → ステレオラインアンプのパスの設定: DACL bit = "0" → "1"

(3) 入力ディジタルボリューム(アドレス09H&0CH)の設定
PMADL = PMADR bits = "0"のときIVL7-0 = IVR7-0 bits = "91H"(0dB)に設定して下さい。

(4) 出力ディジタルボリューム(アドレス0AH&0DH)の設定。
DVOLC bit = "1"(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。

(5) ステレオライン出力をパワーセーブモードへ移行: LOPS bit = "0" → "1"

(6) DAC, MIN-Amp及びステレオラインアンプのパワーアップ : PMDAC = PMBP = PMLO bits = "0" → "1"
初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2's コンプリメントの "0" に固定されます。初期化がサイクル終了すると、DACの群遅延(22/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。PMADL bitまたはPMADR bitが "1"のとき、DACの初期化サイクルはありません。ALC bit = "1"の場合、初期化サイクル中(1059/fs = 24ms @fs=44.1kHz)、ALCはディセーブル状態(ALCのゲインはIVL/R7-0 bitsの設定)で、初期化サイクルが終了するとALCはIVL/R7-0 bitsの設定から動作を開始します。
PMLO bit = "1"でLOUT, ROUT pinsが立ち上がり始めます。立ち上がり時間はC = 1μF, AVDD=3.3Vのときmax. 300msです。

(7) ステレオライン出力のパワーセーブモードの解除: LOPS bit = "1" → "0"
LOUT, ROUT pinsが立ち上がった後、設定を行ってください。設定後、LOUT, ROUT pinsからの音声出力が開始されます。

(8) ステレオライン出力をパワーセーブモードへ移行: LOPS bit: "0" → "1"

(9) DAC, MIN-Amp及びステレオラインアンプのパワーダウン: PMDAC = PMBP = PMLO bits = "1" → "0"
LOUT, ROUT pinsが立ち下がり始めます。立ち下がり時間はC = 1μF, AVDD=3.3Vのときmax. 300msです。

(10) DAC → ステレオラインアンプのパスのDisable: DACL bit = "1" → "0"

(11) ステレオライン出力のパワーセーブモードの解除: LOPS bit = "1" → "0"
LOUT, ROUT pinsが立ち下がった後、設定を行ってください。

■ クロックの停止

ADCおよびDACを使用しない場合は、マスタクロックを停止することができます。

1. PLLマスタモードの場合

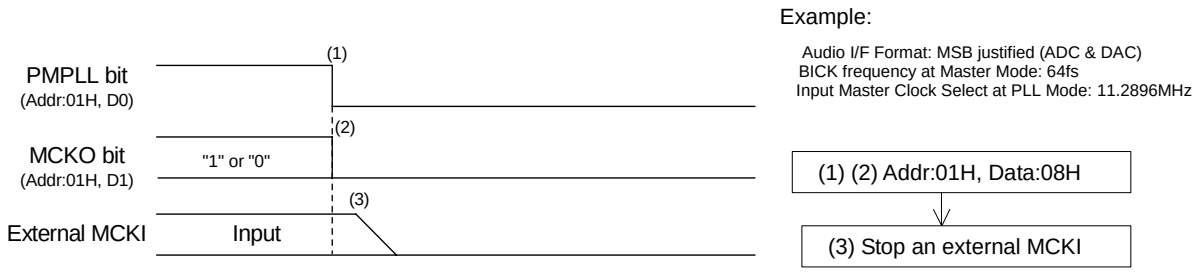


Figure 54. Clock Stopping Sequence (1)

<手順例>
(1) PLLのパワーダウン: PMPLL bit = “1” → “0”
(2) MCKO出力の停止: MCKO bit = “1” → “0”
(3) 外部クロックを止めて下さい。

2. PLLスレーブモード(LRCK, BICK pin)の場合

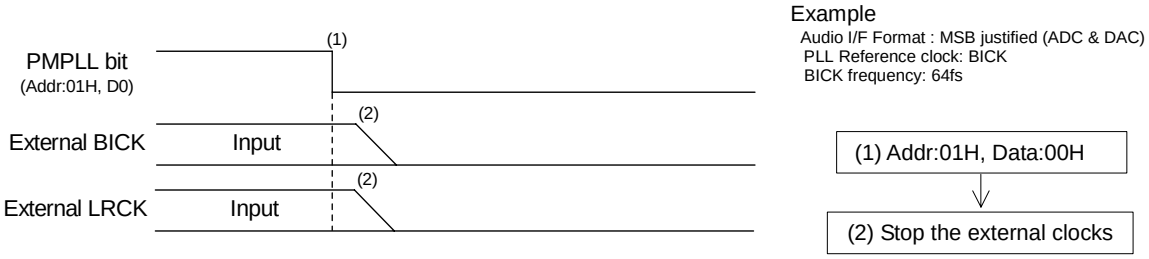


Figure 55. Clock Stopping Sequence (2)

<手順例>
(1) PLLのパワーダウン: PMPLL bit = “1” → “0”
(2) 外部クロックを止めて下さい。

3. PLLスレーブモード(MCKI pin)の場合

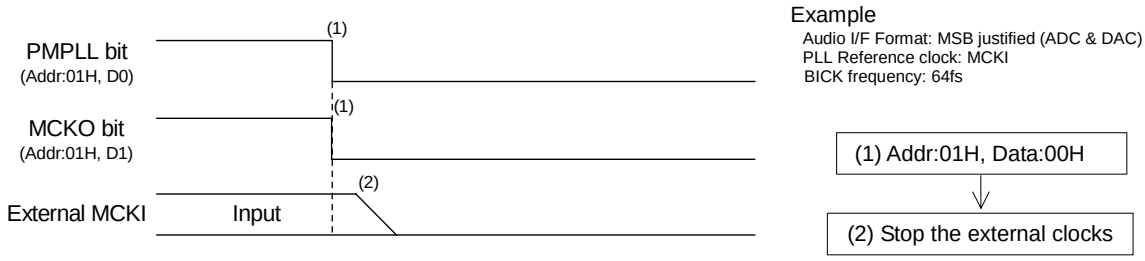


Figure 56. Clock Stopping Sequence (3)

<手順例>
(1) PLLのパワーダウン: PMPLL bit = “1” → “0”
MCKO出力の停止: MCKO bit = “1” → “0”
(2) 外部クロックを止めて下さい。

4. 外部クロックモードの場合

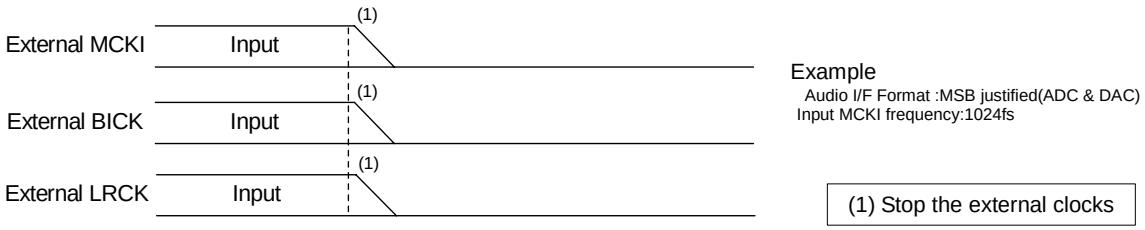


Figure 57. Clock Stopping Sequence (4)

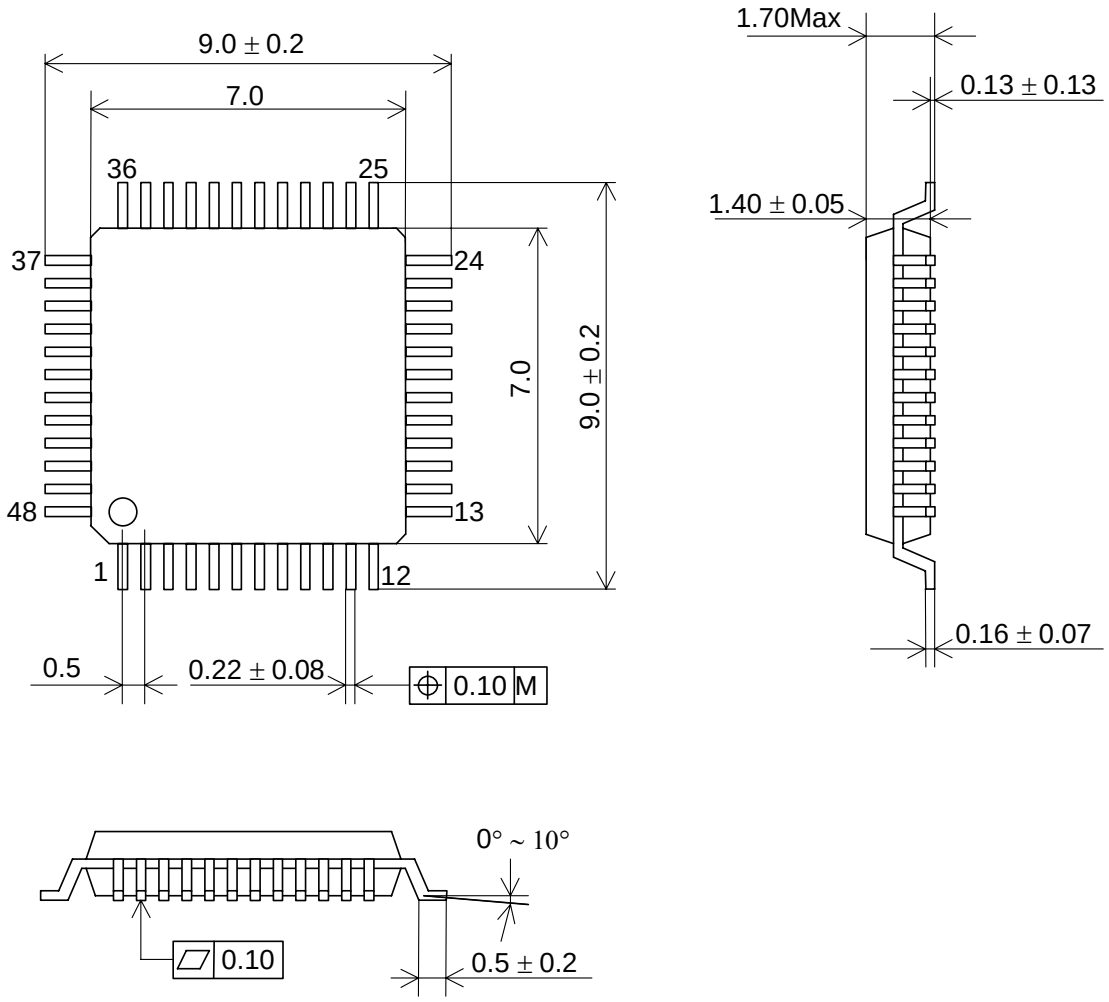
<手順例>
(1) 外部クロックを止めて下さい。

■ パワーダウン

各ブロックをパワーダウンし、各クロック停止かつPMVCM bit = “0”とすることで電流をシャットダウン(typ. 10μA)できます。また、各クロック停止かつPDN pin = “L”とすることで電流をシャットダウン(typ. 10μA)することも可能です。但し、この場合レジスタが初期化されます。

パッケージ

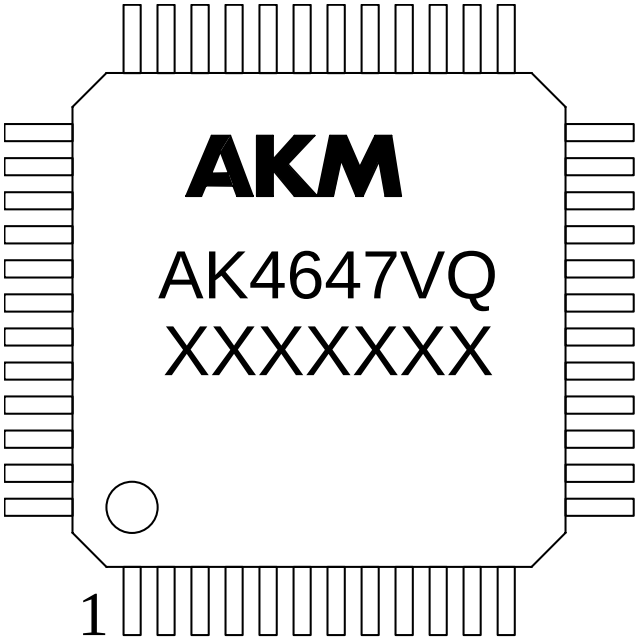
48pin LQFP(Unit:mm)



■ 材質・メッキ仕様

パッケージ材質: エポキシ系樹脂
リードフレーム材質: 銅
リードフレーム処理: 半田（無鉛）メッキ

マーキング



XXXXXXX: Date code identifier

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
06/11/10	00	初版		

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。