FAIRCHILD™

Is Now Part of

ON Semiconductor®

To learn more about ON Semiconductor, please visit our website at www.onsemi.com

Please note: As part of the Fairchild Semiconductor integration, some of the Fairchild orderable part numbers will need to change in order to meet ON Semiconductor's system requirements. Since the ON Semiconductor product management systems do not have the ability to manage part nomenclature that utilizes an underscore (_), the underscore (_) in the Fairchild part numbers will be changed to a dash (-). This document may contain device numbers with an underscore (_). Please check the ON Semiconductor website to verify the updated device numbers. The most current and up-to-date ordering information can be found at www.onsemi.com. Please email any questions regarding the system integration to Fairchild_questions@onsemi.com.

FAIRCHILD

2014 六 6 月

FAN3100
单通道 2A 高速低边栅极驱动器

特性

- 3 A 峰值灌电流/源电流，V_{DD} =12 V
- 4.5 到 18 V 工作范围
- 2.5 A 灌电流/1.8 A 源电流，V_{OUT} = 6 V
- 双通道逻辑输入允许通过使能功能配置为同相或反相
- 无输入时内部电阻关闭驱动器
- 1 nF 负载时，典型上升时间为 13 ns，典型下降时间为 9 ns
- 可选择 TTL 或 CMOS 输入阈值
- MillerDrive™ 技术
- 通过输入下降或上升，典型传播延迟时间低于 20 ns
- 6 引脚 2x2 mm MLP 或 5 引脚 SOT23 封装
- 额定环境温度为 -40°C 到 125°C

应用

- 开关电源
- 高效 MOSFET 开关
- 同步整流电路
- DC-DC 转换器
- 电机控制

说明

FAN3100 2A 栅极驱动器设计为通过在短开关间隔内提供高峰值电流脉冲，驱动低边开关应用驱动中的一个 N 沟道增强 MOSFET。此驱动器可以提供 TTL (FAN3100T) 或 CMOS (FAN3100C) 输入阈值。内部电路可使输出保持低电平状态，直到电源电压进入工作范围，从而提供欠压锁定功能。FAN3100 提供快速 MOSFET 开关性能，可在高频功率转换器设计中最大限度地提高效率。

FAN3100 驱动器内置用于最终输出级的 MillerDrive™ 架构。这一双极性 MOSFET 组合可在 MOSFET 开/关过程的Miller电场级期间提供高峰值电流，以最大限度地减少开关损耗，同时提供轨到轨电压摆幅和反向电流能力。

FAN3100 还提供可被配置的双通道输入，用于在同相或反相模式下工作，且允许实施一个使能功能。如果一个或两个输入端均未连接，则内部电阻会偏置输入端，以便将输出端拉至低电平，以保持功率 MOSFET 关断。

FAN3100 采用无引线饰面 2x2 mm 6 引线塑封无铅封装 (MLP)，以最小的尺寸提供出色的热性能，或采用工业标准 5 引脚 SOT23 封装。

功能性引脚配置

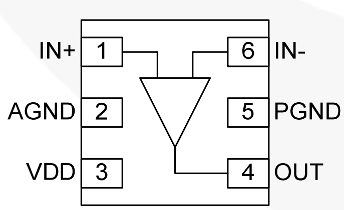


图 1. 2 x 2 mm 6 引脚 MLP 封装（俯视图）

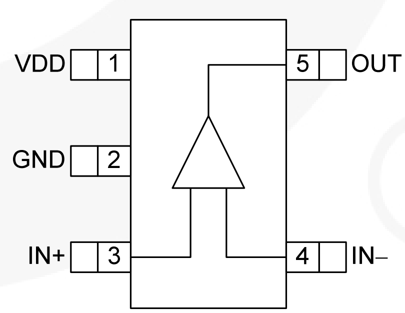


图 2. SOT23-5（俯视图）

订购信息

器件编号	输入阈值	封装	包装方法	每卷盘数量
FAN3100CMPX	CMOS	6 引脚 2 x 2 mm MLP 封装	卷带和卷盘	3000
FAN3100CSX	CMOS	5 引脚 SOT23	卷带和卷盘	3000
FAN3100TMPX	TTL	6 引脚 2 x 2 mm MLP 封装	卷带和卷盘	3000
FAN3100TSX	TTL	5 引脚 SOT23	卷带和卷盘	3000

封装外形

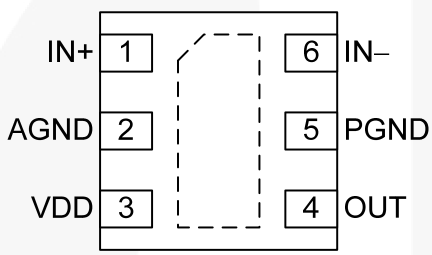


图 3. 2 x 2 mm 6 引脚 MLP 封装（俯视图）

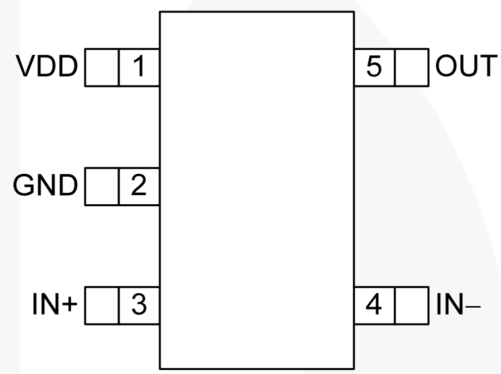


图 4. SOT23-5（俯视图）

热特性(1)

封装	Θ_{JL} (2)	Θ_{JT} (3)	Θ_{JA} (4)	Ψ_{JB} (5)	Ψ_{JT} (6)	单位
6 引脚，2 x 2 mm 模塑无铅封装 (MLP)	2.7	133	58	2.8	42	°C/W
SOT23-5	56	99	157	51	5	°C/W

注意：

1. 估计值来自于热模拟实验；实际值取决于实际应用。
2. Theta_JL (Θ_{JL})：半导体结和所有引线（包括任何散热焊盘）的底表面之间的热阻，这些引线通常焊接到 PCB 上。
3. Theta_JT (Θ_{JT})：半导体结和封装上表面之间的热阻，假设封装通过顶侧的散热片保持在统一温度。
4. Theta_JA (Θ_{JA})：结和环境之间的热阻，取决于 PCB 设计、散热和气流。给定值适用于没有散热器的自然对流、使用 2S2P 板，如 JEDEC 标准 JESD51-2、JESD51-5 和 JESD51-7 所述规定（如适用）。
5. Psi_JB (Ψ_{JB})：热特性参数，表示在说明 4 中定义的热环境下半导体结温与应用电路板参考点之间的相关性。对于 MLP-6 封装，电路板参考被定义为与散热焊盘相连接、从封装的任意一端延伸出的 PCB 覆铜。对于 SOT23-5 封装，电路板参考定义为与引脚 2 相邻的 pcb 覆铜。
6. Psi_JT (Ψ_{JT})：热特性参数，表示在说明 4 中定义的热环境下半导体结温与封装顶部中心之间的相关性。

引脚定义

SOT23 引脚编号	MLP 引脚编号	名称	引脚描述
1	3	VDD	**电源电压端**。IC 的供电电源。
	2	AGND	**模拟地**，用于输入信号（仅限于 MLP 封装）。连接至 IC 下面的 PGND。
2		GND	**地**（仅限于 SOT-23 封装）。输入与输出电路的公共参考地。
3	1	IN+	**非反向输入**。与 VDD 连接时使能输出。
4	6	IN-	**反相输入**。连接至 AGND 或 PGND，以使能输出。
5	4	OUT	**栅极驱动输出**：保持低电平，除非所要求的输入出现，且 V_{DD} 高于 UVLO 阈值。
	Pad	P1	**散热盘端**（仅限于 MLP 封装）。封装底部暴露的金属，电气连接至引脚 5。
	5	PGND	**电源接地**（仅限于 MLP 封装）。对于输出驱动电路，将开关噪声与输入分开。

输出逻辑

IN+	IN−	OUT
0(7)	0	0
0(7)	1(7)	0
1	0	1
1	1(7)	0

注：

7. 如果没有外部接线时的缺省输入信号。

框图

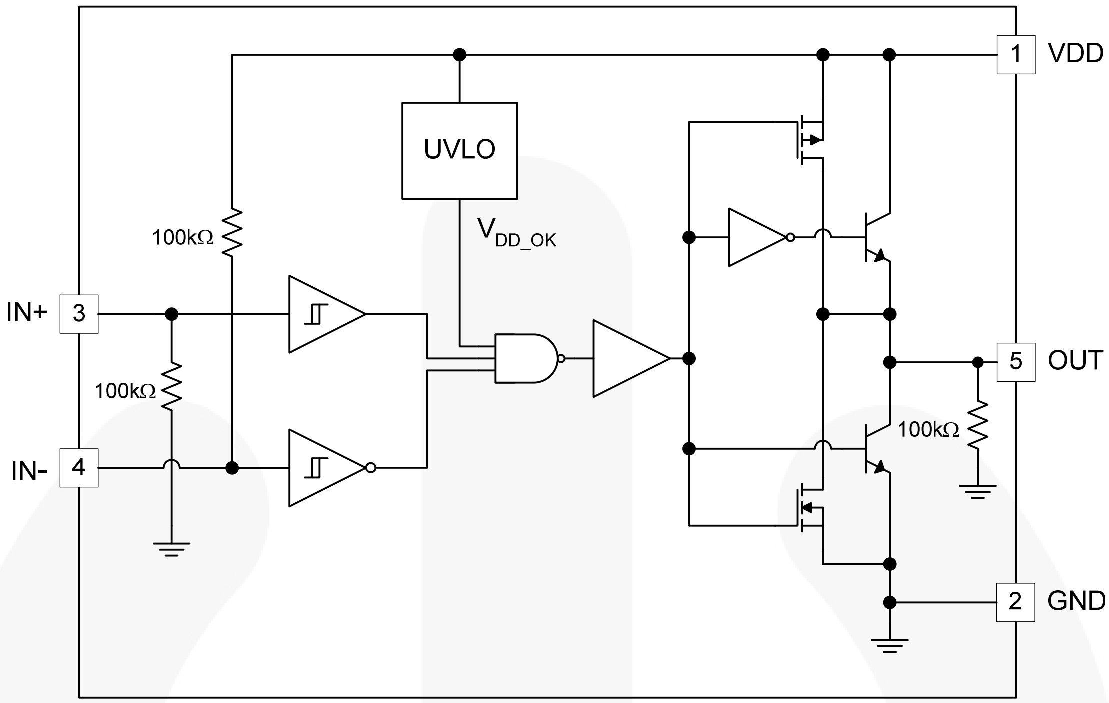


图 5. 简易框图（SOT23 引脚配置）

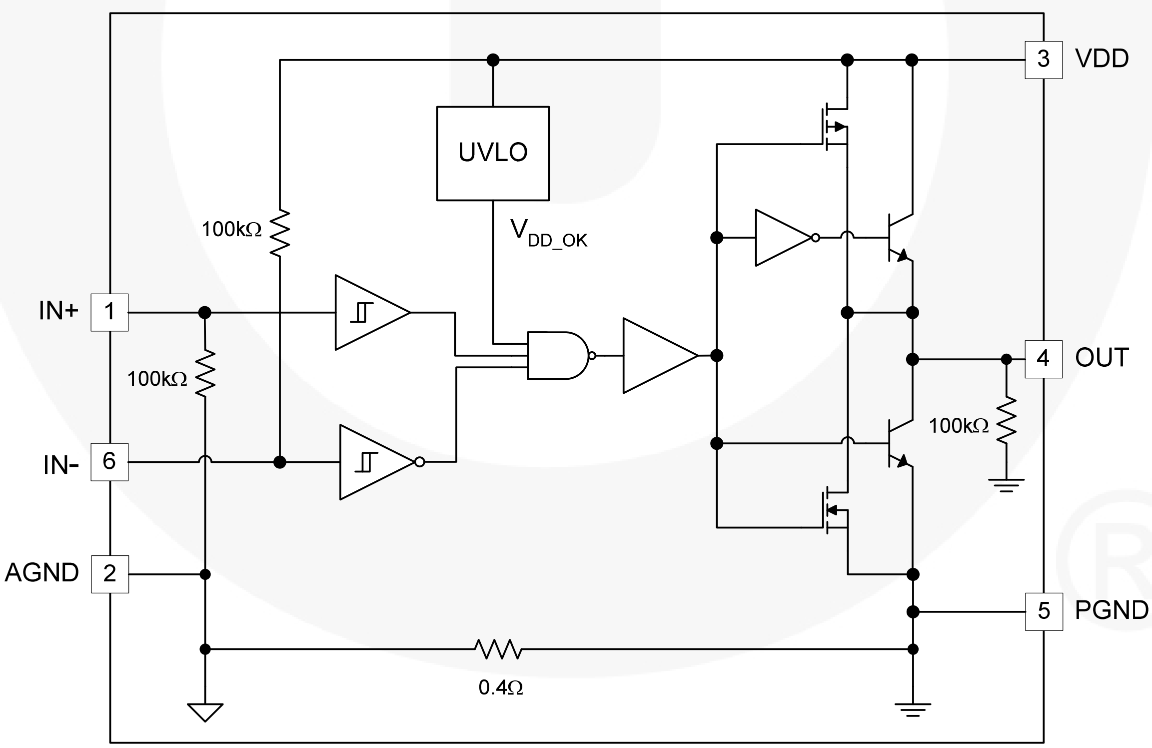


图 6. 简易框图（MLP 引脚配置）

绝对最大额定值

应力超过绝对最大额定值，可能会损坏器件。在超出推荐的工作条件的情况下，该器件可能无法正常工作，所以不建议让器件在这些条件下长期工作。此外，长期在高于推荐的工作条件下工作，会影响器件的可靠性。绝对最大额定值仅是应力规格值。

符号	参数	最小值	最大值	单位
V_{DD}	VDD 至 PGND	-0.3	20.0	V
V_{IN}	IN+ 和 IN- 至 GND、AGND 或 PGND 电压	GND - 0.3	V_{DD} + 0.3	V
V_{OUT}	OUT 至 GND、AGND 或 PGND 电压	GND - 0.3	V_{DD} + 0.3	V
T_L	引脚焊接温度（10 秒）		+260	ºC
T_J	结温	-55	+150	ºC
T_{STG}	存储温度	-65	+150	ºC

推荐工作条件

推荐的操作条件表明确了器件的真实工作条件。指定推荐的工作条件，以确保器件的最佳性能达到数据表中的规格。飞兆半导体建议不要超过推荐工作条件，也不能按照绝对最大额定值进行设计。

符号	参数	最小值	最大值	单位
V_{DD}	电源电压范围	4.5	18.0	V
V_{IN}	输入电压 IN+、IN-	0	V_{DD}	V
T_A	操作环境温度	-40	+125	ºC

电气特性

除非另有说明，V_{DD} = 12 V 且 T_J = -40°C 至 +125°C。电流流入器件定义为正值，流出为负值。

符号	参数	工作条件	最小值	典型值	最大值	单位
电源						
V_{DD}	工作范围		4.5		18.0	V
I_{DD}	电源电流输入端/EN 未连接	FAN3100C[8]		0.20	0.35	mA
		FAN3100T		0.5	0.8	mA
V_{ON}	导通电压		3.5	3.9	4.3	V
V_{OFF}	关断电压		3.3	3.7	4.1	V
输入 (FAN3100T)						
V_{INL_T}	IN+、IN- 逻辑低电压，最大值		0.8			V
V_{INH_T}	IN+、IN- 逻辑高电压，最小值				2.0	V
I_{IN+}	同相输入	IN 从 0 至 V_{DD}	-1		175	µA
I_{IN-}	反向输入	IN 从 0 至 V_{DD}	-175		1	µA
V_{HYS}	IN+、IN- 逻辑滞回电压		0.2	0.4	0.8	V
输入 (FAN3100C)						
V_{INL_C}	IN+、IN- 逻辑低电压		30			%V_{DD}
V_{INH_C}	IN+、IN- 逻辑高电压				70	%V_{DD}
I_{INL}	IN 电流，低电平	IN 从 0 至 V_{DD}	-1		175	µA
I_{INH}	IN 电流，高电平	IN 从 0 至 V_{DD}	-175		1	µA
V_{HYS_C}	IN+、IN- 逻辑滞回电压			17		%V_{DD}
输出						
I_{SINK}	OUT 电流，中压，灌电流[9]	OUT，V_{DD}/2， C_{LOAD}=0.1 µF，f=1 kHz		2.5		A
I_{SOURCE}	OUT 电流，中压，源电流[9]	OUT，V_{DD}/2， C_{LOAD}=0.1 µF，f=1 kHz		-1.8		A
I_{PK_SINK}	OUT 电流，峰值，灌电流[9]	C_{LOAD} = 0.1 µF, f = 1 kHz		3		A
I_{PK_SOURCE}	OUT 电流，峰值，源电流[9]	C_{LOAD} = 0.1 µF, f = 1 kHz		-3		A
t_{RISE}	输出上升时间[10]	C_{LOAD} = 1000 pF		13	20	ns
t_{FALL}	输出下降时间[10]	C_{LOAD} = 1000 pF		9	14	ns
t_{D1}, t_{D2}	输出比例 延迟，CMOS 输入[10]	0 – 12 V_{IN}；1 V/ns 压摆率	7	15	28	ns
t_{D1}, t_{D2}	输出比例 延迟，TTL 输入[10]	0 – 5 V_{IN}；1 V/ns 压摆率	9	16	30	ns
I_{RVS}	输出反向耐受电流[9]			500		mA

注：

8. 电源电流较低，因为 TTL 电路处于休止状态。
9. 未经生产测试。
10. 请参见图 7 和图 8 的时序图。

时序图

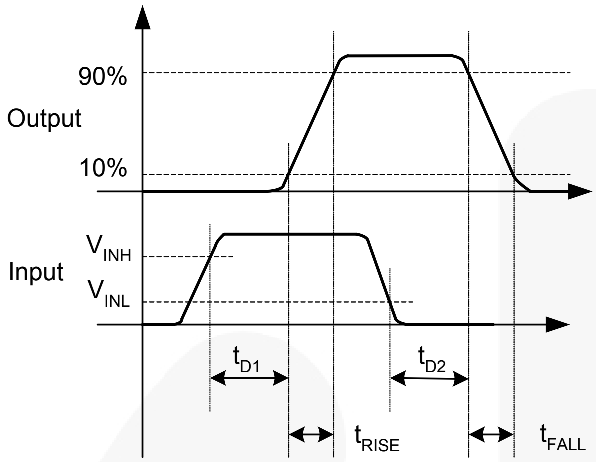


图 7.　同相

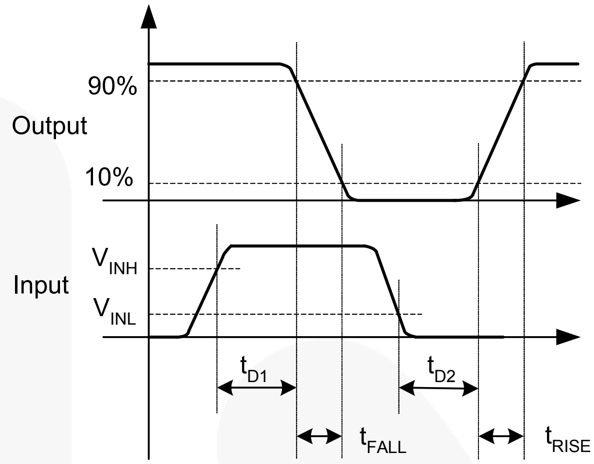


图 8.　反相

典型性能特征

除非另有说明，典型特性条件是 25°C 且 V_{DD}=12 V。

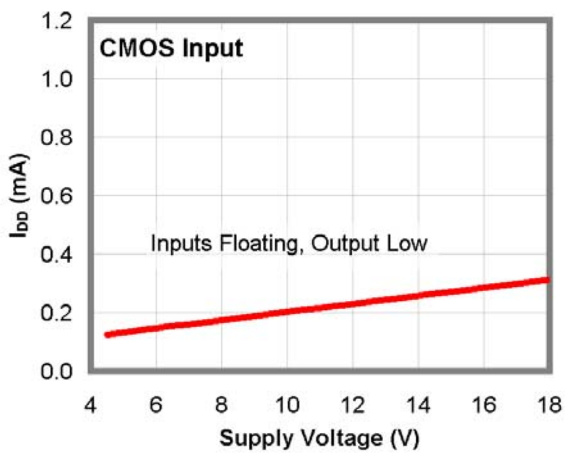


图 9. I_{DD}（静态）与电源电压的关系

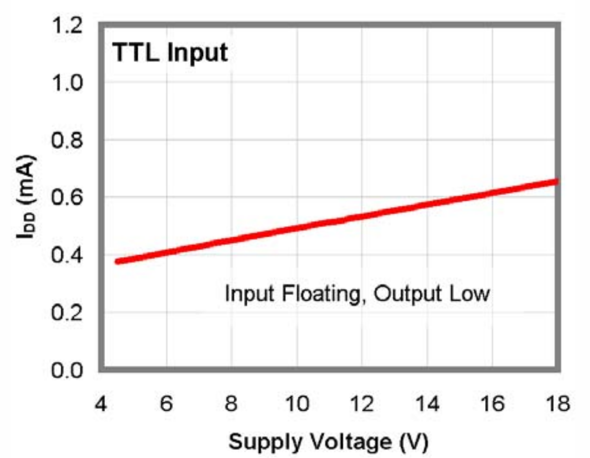


图 10. I_{DD}（静态）与电源电压的关系

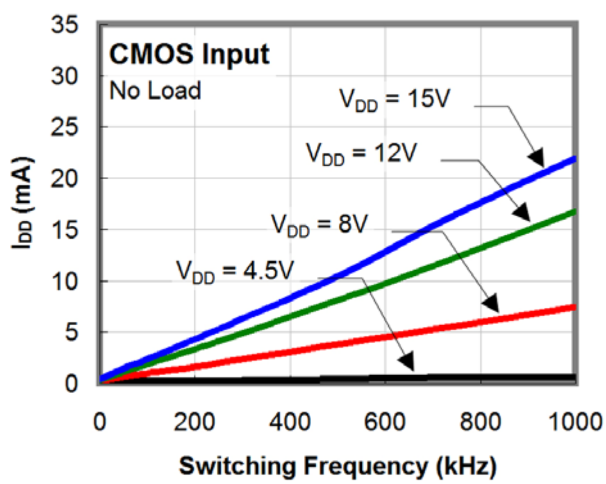


图 11. I_{DD}（无负载）与频率的关系

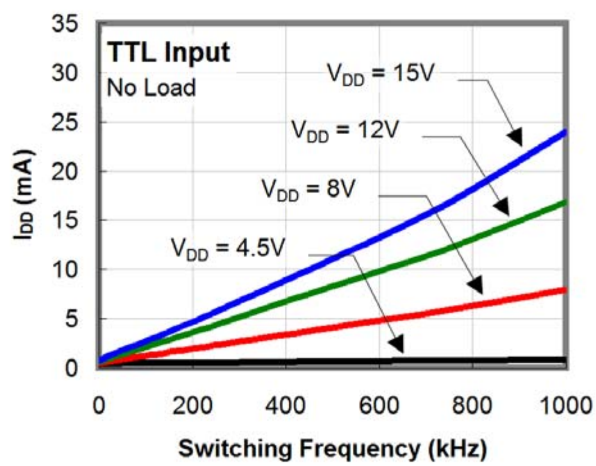


图 12. I_{DD}（无负载）与频率的关系

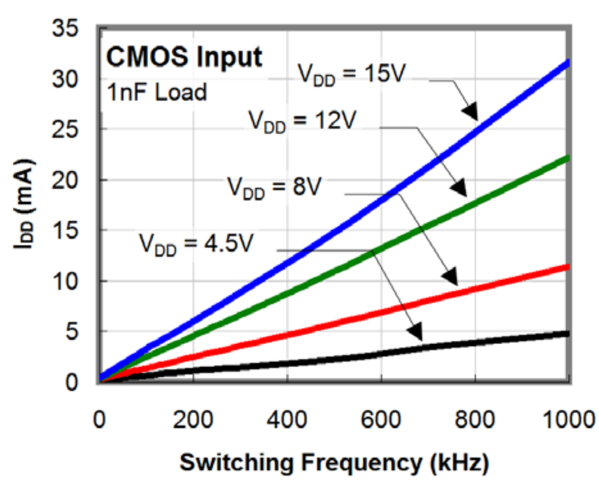


图 13. I_{DD}（1 nF 负载）与频率的关系

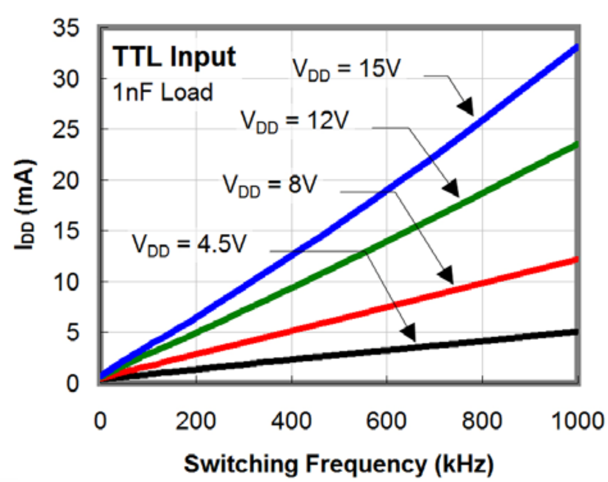


图 14. I_{DD}（1 nF 负载）与频率的关系

典型性能特征

除非另有说明，典型特性条件是 25°C 且 V_{DD}=12 V。

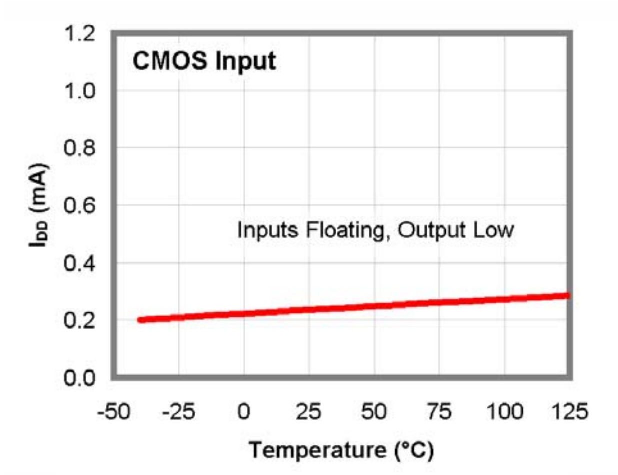


图 15. I_{DD}（静态）与温度的关系

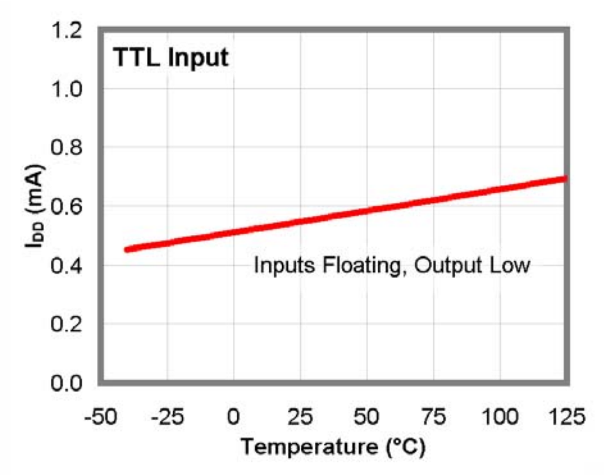


图 16. I_{DD}（静态）与温度的关系

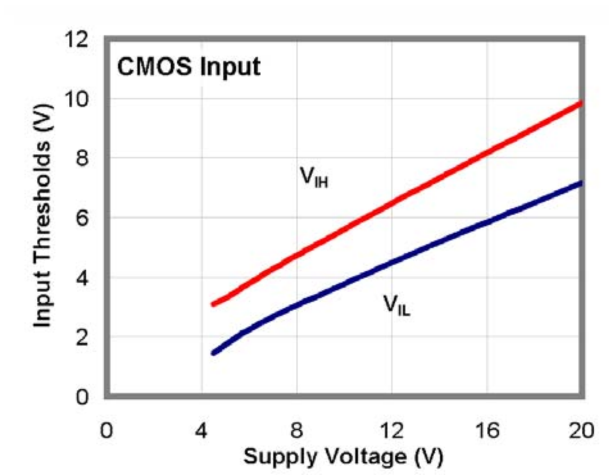


图 17. 输入阈值与电源电压的关系

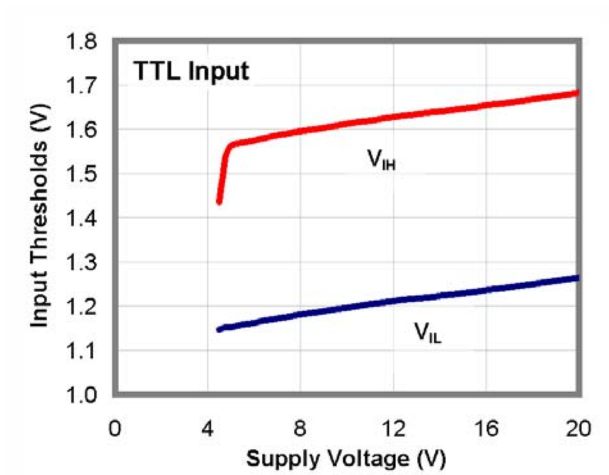


图 18. 输入阈值与电源电压的关系

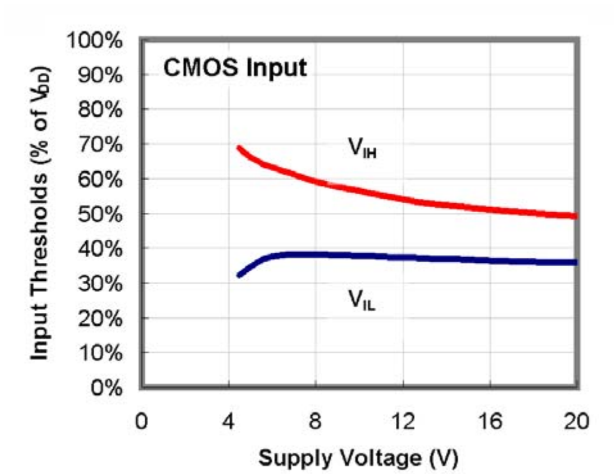


图 19. 输入阈值 % 与电源电压的关系

典型性能特征

除非另有说明，典型特性条件是 25°C 且 V_{DD}=12 V。

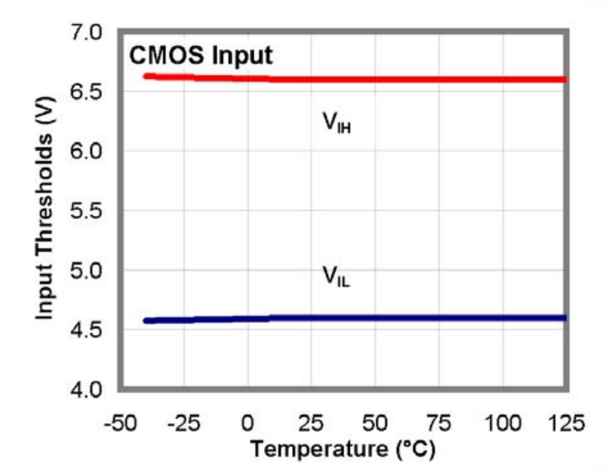


图 20. CMOS 输入阈值与温度的关系

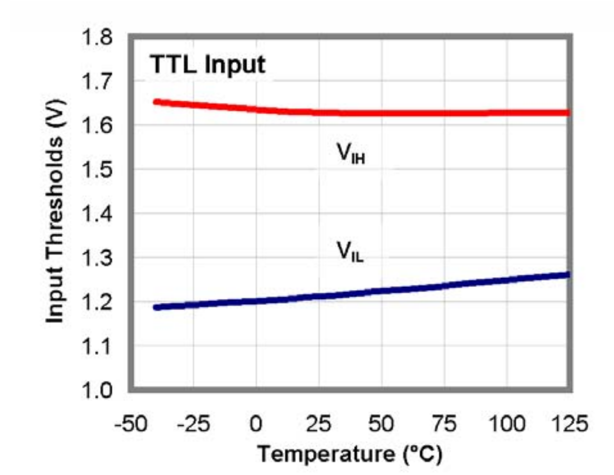


图 21. TTL 输入阈值与温度的关系

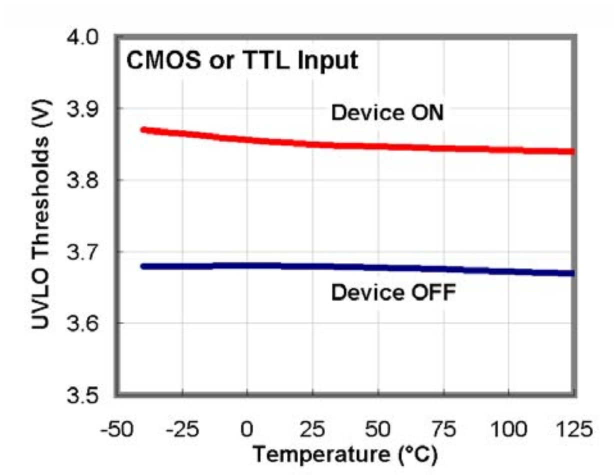


图 22. UVLO 阈值与温度的关系

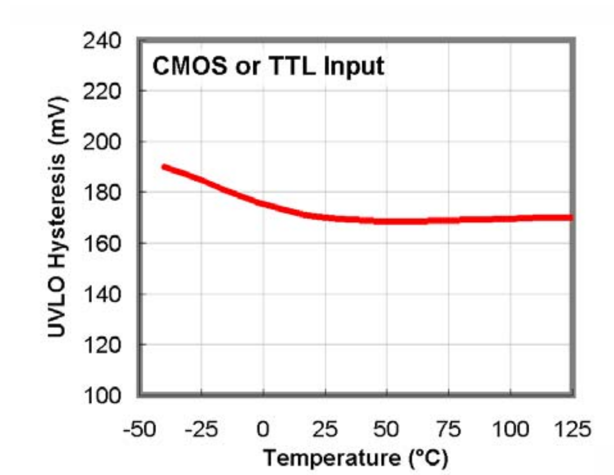


图 23. UVLO 滞回与温度的关系

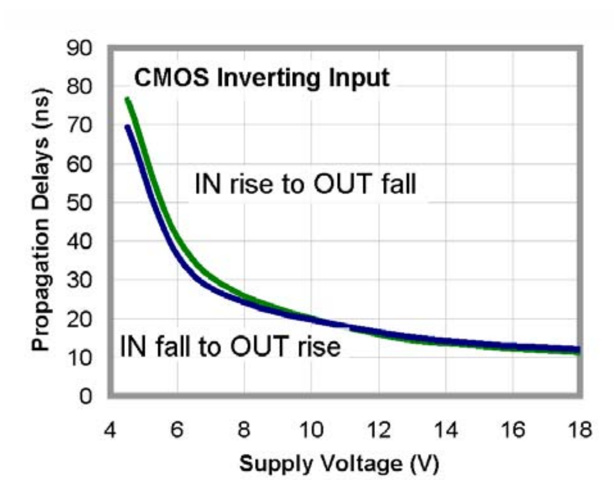


图 24. 传播延迟与电源电压

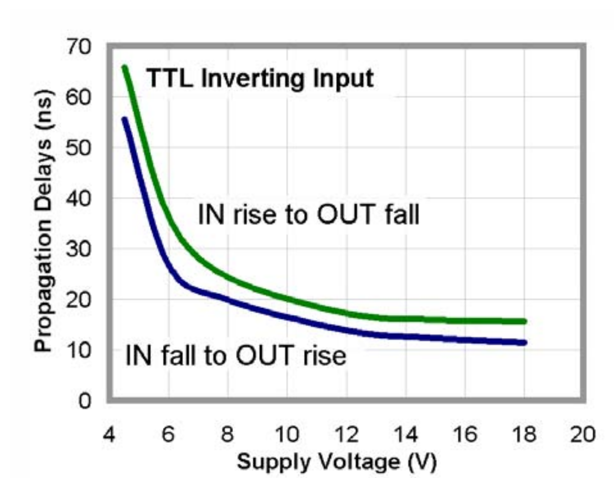


图 25. 传播延迟与电源电压

典型性能特征

除非另有说明，典型特性条件是 25°C 且 V_{DD}=12 V。

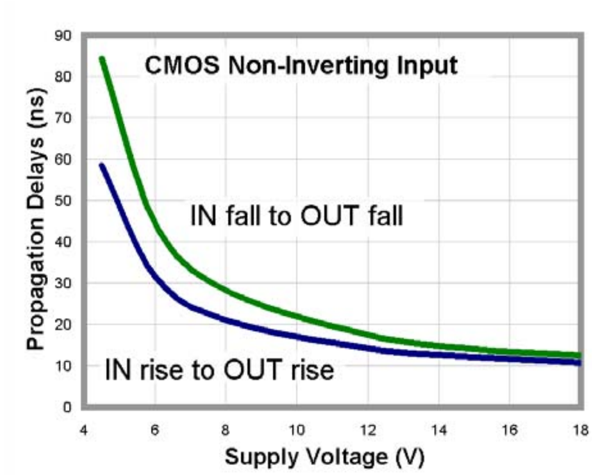


图 26. 传播延迟与电源电压

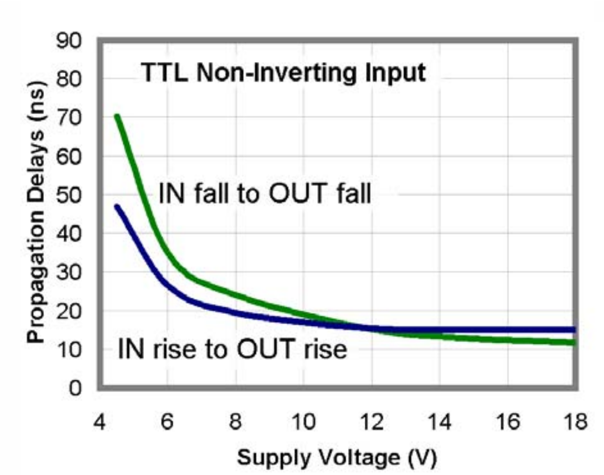


图 27. 传播延迟与电源电压

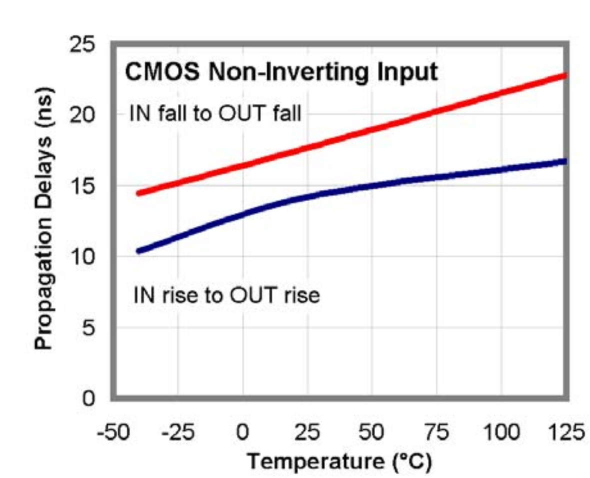


图 28. 传播延迟与温度的关系

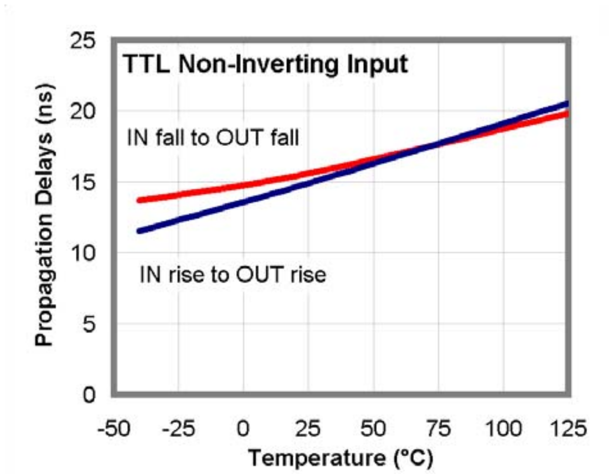


图 29. 传播延迟与温度的关系

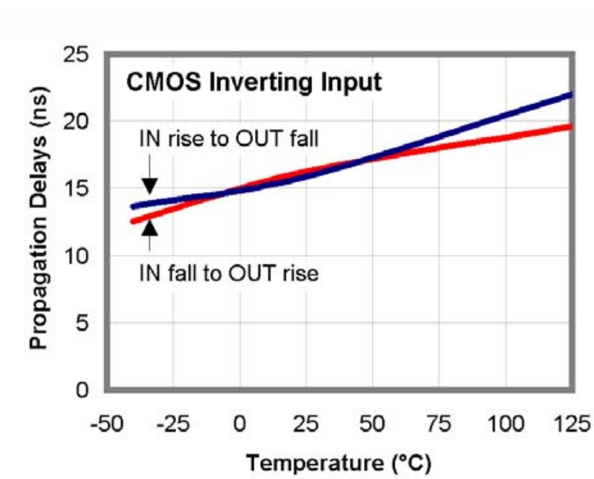


图 30. 传播延迟与温度的关系

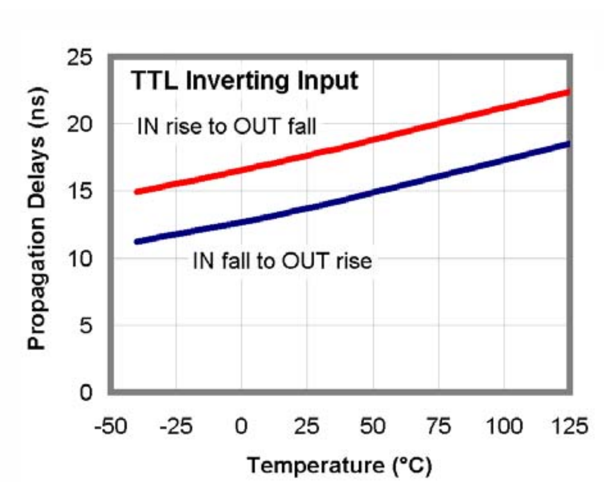


图 31. 传播延迟与温度的关系

典型性能特征

除非另有说明，典型特性条件是 25°C 且 V_{DD}=12 V。

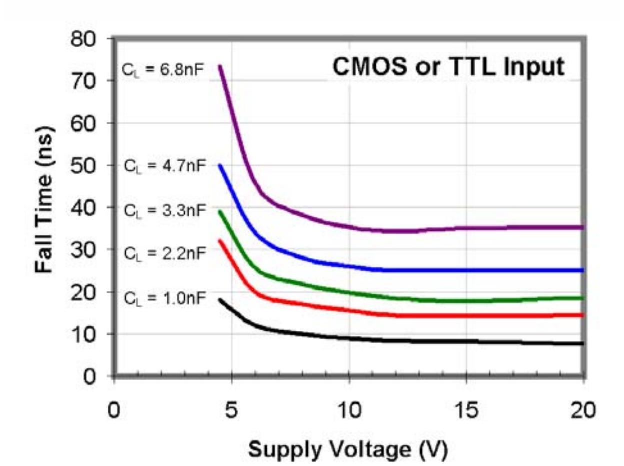


图 32. 传播延迟与温度的关系

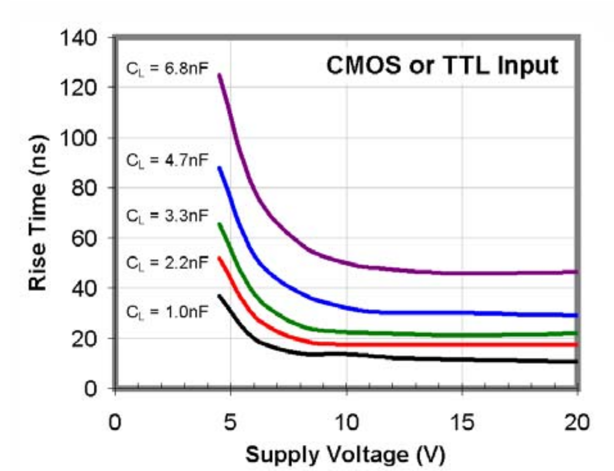


图 33. 上升时间与电源电压的关系

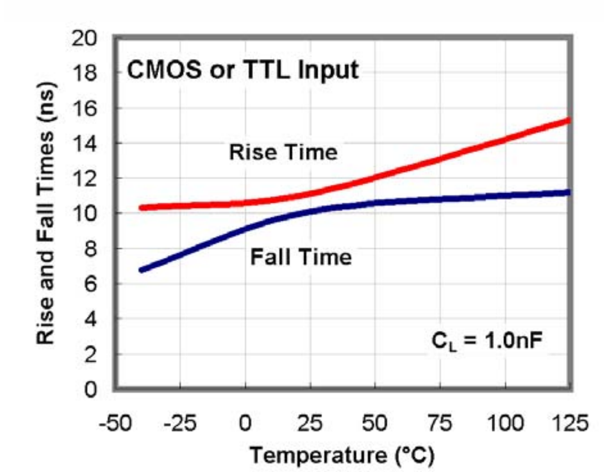


图 34. 上升和下降时间与温度的关系

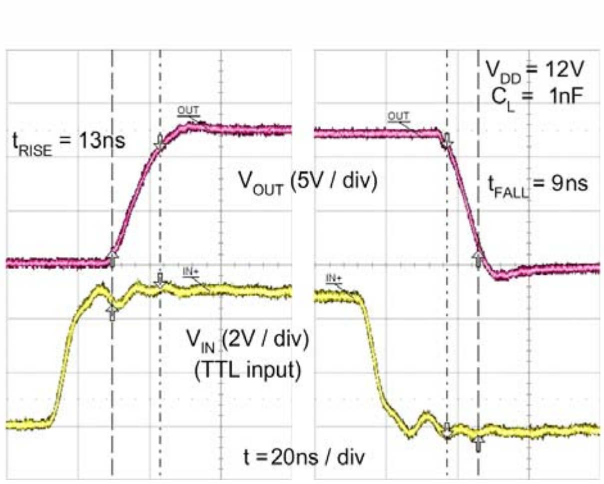


图 35. 上升/下降波形，1 nF 负载

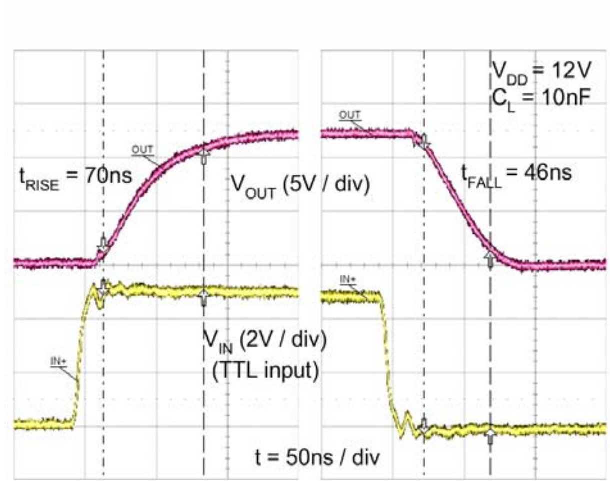


图 36. 上升/下降波形，10 nF 负载

典型性能特征

除非另有说明，典型特性条件是 25°C 且 V_{DD}=12 V。

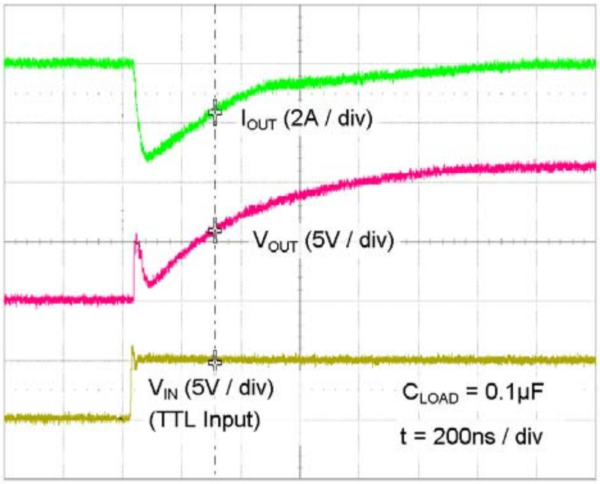


图 37. V_{DD}=12 V 时的准静态源电流波形

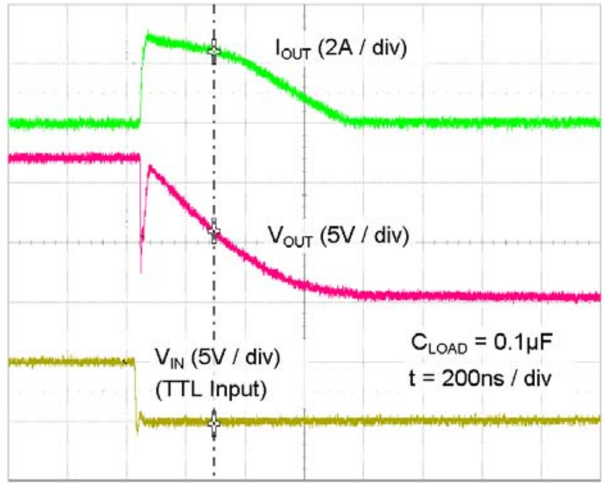


图 38. V_{DD}=12 V 时的准静态灌电流波形

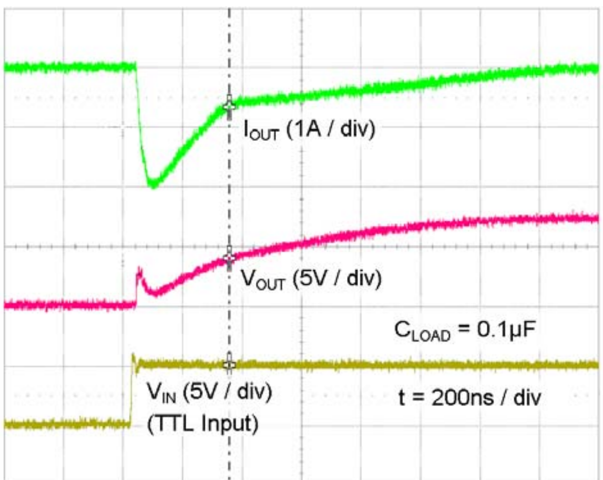


图 39. V_{DD}=8 V 时的准静态源电流波形

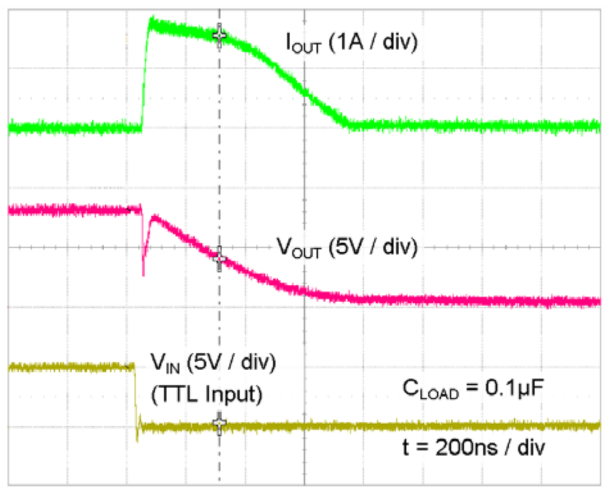


图 40. V_{DD}=8 V 时的准静态灌电流波形

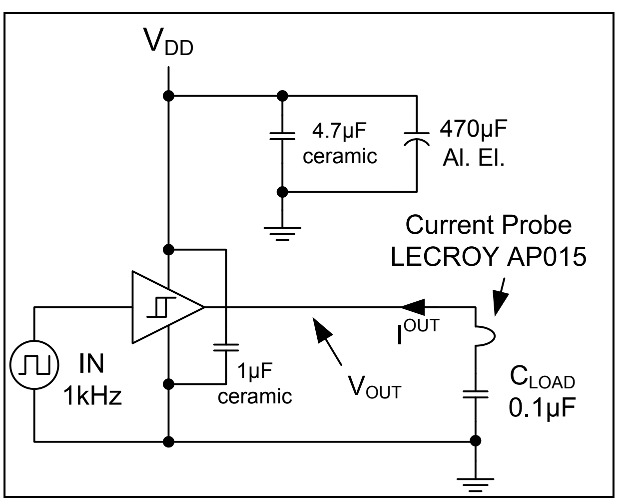


图 41. 准静态 I_{OUT}/V_{OUT} 测试电路

应用信息

输入阈值

FAN3100 提供 TTL 或 CMOS 输入阈值。在 FAN3100T 中，输入阈值符合工业标准 TTL 逻辑阈值，该阈值不依赖于 V_{DD} 电压，且只有大约 0.4 V 的滞回电压。这些电平容许输入端被宽范围输入逻辑信号电平所驱动，大于 2V 的电压才能被确认为逻辑高电平。TTL 输入的驱动信号应有快速上升和下降沿，压摆率 6 V/μs 或更快，这样从 0 到 3.3 V 的上升时间应为 550 ns 或更小。转换速率较低时，电路噪声会导致驱动电压超过滞回电压，并再次触发驱动器输入，引起工作不稳定。

在 FAN3100C 中，逻辑输入阈值依赖于 V_{DD} 电平，并且当 V_{DD} 为 12 V 时，逻辑上升沿阈值约为 V_{DD} 的 55%，输入下降沿阈值约为 V_{DD} 的 38%。CMOS 输入配置提供了一个约为 17% V_{DD} 大小的滞回电压。如果在系统设计中得到良好耦合和旁路技术，能够防止噪声破坏输入电压滞回窗口，则 CMOS 输入可使用较慢的边沿（接近直流）。这样就容许通过调节位于控制信号和驱动器 IN 引脚之间的一个 RC 电路，精确设置定时间隔。驱动器 IN 引脚上的慢速上升沿将在控制信号和驱动器输出引脚之间引入了一个延时。

静态电源电流

在 I_{DD}（静态）典型性能图形（参见图 9 - 图 10 和图 15 - 图 16 ）中，波形曲线是在所有输入端浮置（输出为低电平）的条件下产生的，显示了测试配置下静态 I_{DD}电流的最小值。对于其他状态，流过输入端和输出端 100 kΩ 电阻的附加电流如框图所示（参见图 5 - 图 6 ）。在这些情况下，静态 I_{DD} 电流的实际值为曲线值与附加电流之和。

MillerDrive™ 栅极驱动技术

FAN3100 的输出级具有如图 42 中所示的 MillerDrive™ 架构，结合了双极性器件和 MOS 器件，能够在大范围电源电压和温度变化下提供大电流。当输出级在 1/3 和 2/3 V_{DD} 之间摆动时，双极性器件能够承载较大电流，MOS 器件将输出轨到轨拉高或拉低。

MillerDrive™ 的用途是加速开关动作，其原理为在 MOSFET 的栅极至漏极电容被充电或放电时（作为导通/关断过程的一部分），在 Miller 平台期间提供最高电流。对于 MOSFET 导通或关断期间需要零电压切换功能的应用而言，即使米勒平台不会出现，驱动器也能够为快速开关过程提供足够高的峰值电流。这种情况常常出现在同步整流器的应用中，因为体二极管通常在 MOSFET 导通之前就已经导通。

输出引脚电压变化速率由 V_{DD} 电压和输出端负载决定。它是不可调的，但如果 MOSFET 栅极处需要更慢的上升或下降时间，则可添加串联电阻。

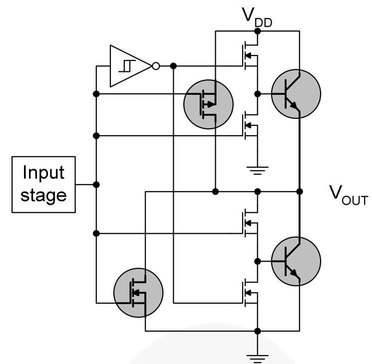


图 42. MillerDrive™ 输出结构

欠压锁定

FAN3100 启动逻辑经过优化，可利用欠压锁定 (UVLO) 功能驱动参考点接地的 N 沟道 MOSFET，以确保 IC 有序地启动。当 V_{DD} 处于上升阶段，但是工作电压低于 3.9 V 时，电路保持输出为低电平，不受输入引脚状态的影响。在该器件激活后，在该器件关闭之前电源电压必须跌落 0.2V。当低 V_{DD} 电源电压因功率切换而产生噪音时，该滞回有利于防止抖动。这种配置对于驱动高侧 P 沟道 MOSFET 不适用，因为驱动器的低输出电压会在 V_{DD} 低于 3.9 V 时导通 P 沟道 MOSFET 。

VDD 旁路电容指南

要使此 IC 迅速导通电源器件，必须在 VDD 和 GND 引脚之间连接一个局部的高频旁路电容 C_{BYP}（具有低 ESR 和 ESL），且具有最短布线长度。此电容是 10 μF 到 47 μF 大容量电解电容器的补充，常见于驱动器和控制器偏置电路上。

选择 C_{BYP} 值的典型条件是保持 V_{DD} 电源上的纹波电压 ≤5%。这通常使用 ≥20 倍等效负载电容 C_{EQV} 的值实现，在此定义为 Q_{gate}/V_{DD} 。通常选用 0.1 μF 到 1 μF 或更大的陶瓷电容，因为它们是电介质（例如 X5R 和 X7R），具有良好的温度特性和高脉冲电流能力。

如果电路噪声影响了正常运行，C_{BYP} 值可提高至 C_{EQV} 的 50-100 倍，或者 C_{BYP} 分解为两个电容。其中一个应为较大的值（基于等效负载电容），另一个的值则较小（如 1-10 nF），安装在离 VDD 和 GND 引脚最近的地方，以承载电流脉冲的更高频部分。

布线与连接指南

FAN3100 含有快速反应输入电路、短传播延迟，以及能够提供电流峰值高于 2 A 的输出级，有利于电压转换时间从低于 10 ns 到超过 100 ns。强烈推荐下述布线与连接指南：

- 使高电流输出和电源接地路径与逻辑输入信号和信号接地路径分离。这在处理 TTL 电平逻辑阈值时特别关键。
- 保持驱动器尽可能地靠近负载，以使大电流导线的长度最小化。这样可减少串联电感，提高高速开关功能，同时减少可向驱动器输入和其他周围电路辐射 EMI 的环路面积。
- FAN3100 可采用两种封装，引脚配置稍有不同，但提供的性能相似。在 6 引脚 MLP 封装中，引脚 2 内部连接至输入模拟地，并应该通过 IC 下面的较短路径直连至电源接地，即引脚 5。在 5 引脚 SOT23 中，内部模拟和电源地连接时通过分开的、单独的焊接线连接至引脚 2 的，应该用作电源和控制信号的普通接地点。
- 许多高速功率电路都容易受噪声的影响，噪声一般来自于其自身输出或者其它外部源，有可能导致输出再触发。如果在模拟板或非最佳电路布局（具有长输入、启用或输出引线）中测试电路，这些影响会特别显著。为了获得最佳效果，引脚连线越短越直接越好。
- 应最小化导通和关断电流路径，如以下章节所述。

图 43 显示了 MOSFET 导通时的脉冲栅极驱动电流通路，驱动器为栅极充电可导通 MOSFET。这个电流由局部旁路电容 C_{BYP} 产生，流经驱动器到 MOSFET 栅极，再到地。为了尽可能地实现高峰值电流，通路上的电阻和电感应该最小化。这个局部电容 C_{BYP} 在驱动器 MOSFET 电路中的作用是吸收高峰值电流脉冲，防止其干扰 PWM 控制器的敏感模拟电路。

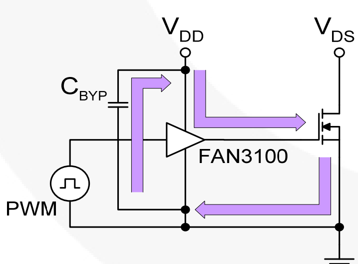


图 43. MOSFET 导通的电流路径

图 44 显示了 MOSFET 关断时的电流通路。理想地，通过一个较小的环路，驱动器直接将电流分流到 MOSFET 的源极。为了实现快速关断，通路上的电阻和电感应该最小化。

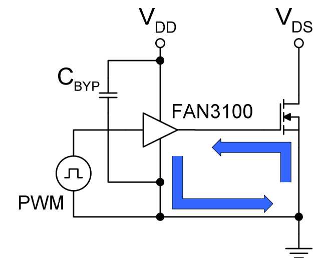


图 44. MOSFET 关断的电流路径

逻辑操作真值表

FAN3100 真值表显示了双输入配置下的工作状态。在同相驱动器配置中，IN- 引脚应为逻辑低电平。若 IN- 引脚接逻辑高电平，会导致器件功能禁用，而且驱动器的输出总是保持低电平，不受 IN+ 引脚状态的影响。

IN+	IN-	OUT
0	0	0
0	1	0
1	0	1
1	1	0

图 45 中所示的同相驱动器配置中，IN- 引脚与地相连，IN+ 引脚外接输入信号 (PWM)。IN- 引脚接逻辑高电平时，驱动器禁用，并且输出维持低电平，不受 IN+ 引脚状态的影响。

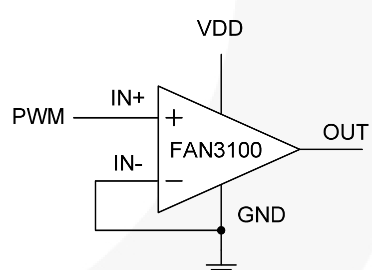


图 45. 使能的双输入驱动器，同相配置

图 46 中所示的反相驱动器应用中，IN+ 引脚为高电平。IN+ 与 GND 相连时输出低电平，不受 IN- 引脚状态的影响。

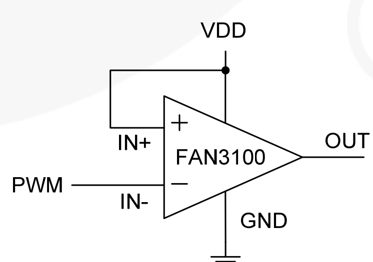


图 46. 使能的双输入驱动器，反相配置

工作波形

上电时，驱动器的输出保持低电平，直到 V_{DD} 电压达到导通阈值。输出脉冲电流幅值随着 V_{DD} 的上升而上升，直到 V_{DD} 达到稳态。图 47 中例示的同相运行说明了输出端保持在低电平，直到达到 UVLO 阈值，然后输出与输入同相。

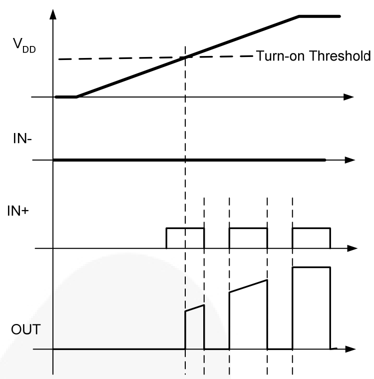


图 47. 同相启动波形

对于图 46 的反相配置，启动波形如图 48 所示。当 IN+ 与 VDD 相连且 IN- 与输入信号相连时，输出脉冲与输入反相。上电时，反相输出端保持低电平，直到 V_{DD} 电压达到导通阈值，其后它与输入保持反相。

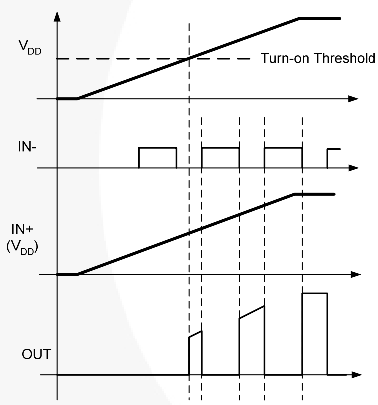


图 48. 反相启动波形

热指南

栅极驱动器驱动高频率开关 MOSFET 和 IGBT 时，会产生显著的功耗。在应用中重要的是，确定栅极驱动器的功耗及其引起的结温，确保器件在可接受的温度范围内工作。

栅极驱动器的总功耗为两元件 P_{GATE} 和 $P_{DYNAMIC}$ 之和：

$$P_{TOTAL}=P_{GATE}+P_{DYNAMIC} \quad (1)$$

栅极驱动损耗：发生在提供栅极电流、按照开关频率驱动负载 MOSFET 的过程中最主要的功耗。由驱动 MOSFET 导致的功耗由以下方式确定，其中 MOSFET 处于指定栅极-源电压 V_{GS}，带有栅极电荷 Q_G，以及处于开关频率 f_{SW}：

$$P_{GATE}=Q_G \bullet V_{GS} \bullet F_{SW} \quad (2)$$

动态预驱动 / 直通电流：在动态工作条件下（包括引脚上拉/下拉电阻），源于内部电流消耗的功耗可在典型性能特性部分从 I_{DD}（无负载）与频率的关系图中获，从而确定实际工作条件下从 V_{DD} 得到的电流 $I_{DYNAMIC}$：

$$P_{DYNAMIC}=I_{DYNAMIC} \bullet V_{DD} \quad (3)$$

一旦确定了驱动器的功耗，相对电路板的驱动器结的温升可以采用以下热公式进行估算，这里假定 ψ_{JB} 是出于一个类似的热设计（散热和气流）而确定：

$$T_J = P_{TOTAL} \bullet \psi_{JB} + T_B \quad (4)$$

其中：

T_J=驱动器结温

ψ_{JB}=(psi) 热特性参数（与温升和总功耗相关）

T_B=在（热特征）表中定义的位置处的板温度

在采用 48 V 输入的典型正向转换器应用中（如图 49 所示），FDS2672 为一个潜在的 MOSFET 选择。$V_{GS}=V_{DD}$=10 V 时，典型栅极电荷为 32 nC。当在 500 kHz 开关频率下使用 TTL 输入驱动器时，整体功耗可计算如下：

$$P_{GATE}=32\ nC \bullet 10\ V \bullet 500\ kHz=0.160\ W \quad (5)$$

$$P_{DYNAMIC}=8\ mA \bullet 10\ V=0.080\ W \quad (6)$$

$$P_{TOTAL}=0.24\ W \quad (7)$$

5 引脚 SOT23 封装具有一个结到引脚热特性参数 ψ_{JB}=51°C/W。

在一个系统应用中，器件周围的局部温度受电路板和PCB结构及其表面气流的影响。为确保可靠运行，必须防止器件的最大结温超过 150°C 的最大额定值；80% 降额时，T_J 限制为 120°C。重置方程式 4 确定所需的电路板温度以保持结温低于 120°C：

$$T_{B,MAX}=T_J-P_{TOTAL} \bullet \psi_{JB}$$

$$T_{B,MAX}=120°C–0.24W \bullet 51°C/W=108°C \quad (9)$$

作为比较，将前例中的 5 引脚 SOT23 封装替换为 6 引脚 MLP 封装，ψ_{JB}= 2.8°C/W。6 引脚 MLP 封装可在 119°C 的 PCB 温度下保持结温低于 120°C。这表明物理尺寸更小的 MLP 封装，其散热焊盘提供了更有效的热传导以消散驱动器的热量。考虑到在减小电路总体尺寸与降低结温提高可靠性之间做出权衡。

典型应用电路图

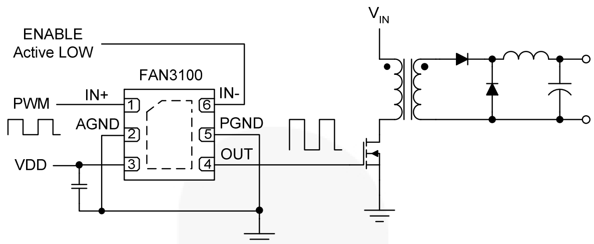


图 49. 正向转换器，初级端栅极驱动（如 MLP 封装所示）

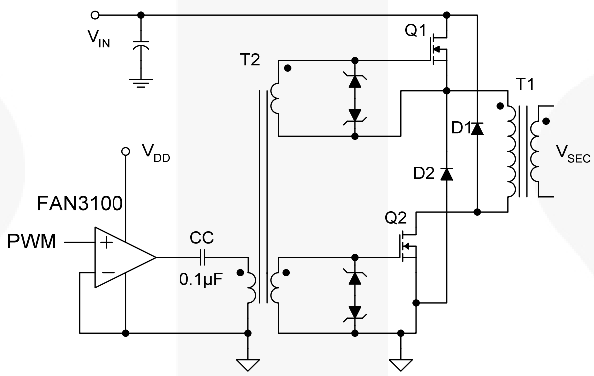


图 50. 双晶体管正向转换器栅极变压器的驱动器

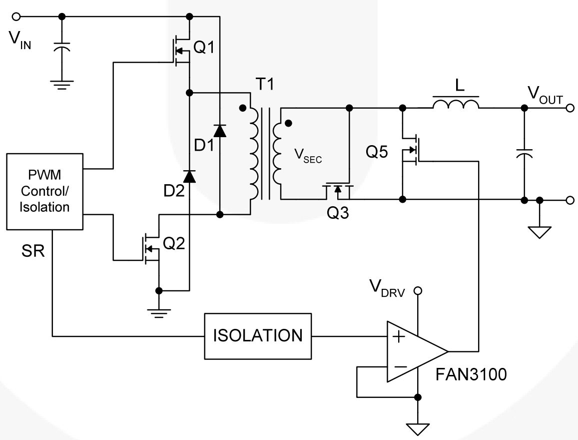


图 51. 次级同步整流驱动器

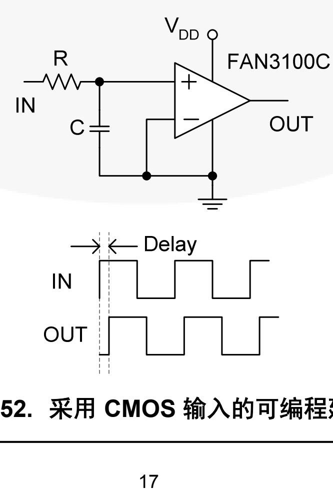


图 52. 采用 CMOS 输入的可编程延时

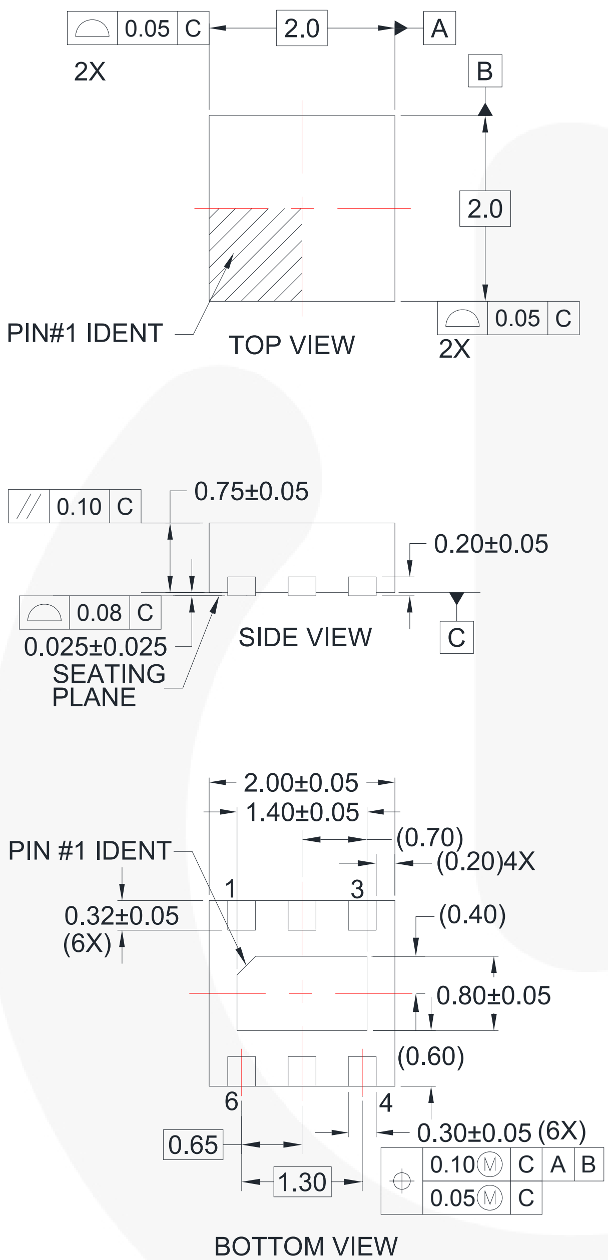
表 1. 相关产品

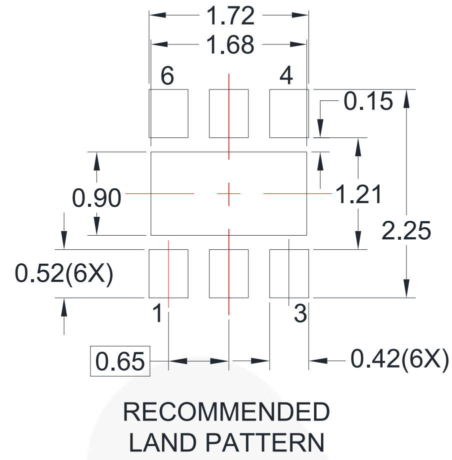
器件编号	类型	栅极驱动[11] (Sink/Src)	输入阈值	逻辑	封装
FAN3100C	**单 2 A**	**+2.5 A / -1.8 A**	**CMOS**	双输入/单输出的单通道	**SOT23-5, MLP6**
FAN3100T	**单 2 A**	**+2.5 A / -1.8 A**	**TTL**	双输入/单输出的单通道	**SOT23-5, MLP6**
FAN3226C	双通道 2 A	+2.4 A / -1.6 A	CMOS	双反相通道 + 双使能	SOIC8, MLP8
FAN3226T	双通道 2 A	+2.4 A / -1.6 A	TTL	双反相通道 + 双使能	SOIC8, MLP8
FAN3227C	双通道 2 A	+2.4 A / -1.6 A	CMOS	双同相通道 + 双使能	SOIC8, MLP8
FAN3227T	双通道 2 A	+2.4 A / -1.6 A	TTL	双同相通道 + 双使能	SOIC8, MLP8
FAN3228C	双通道 2 A	+2.4 A / -1.6 A	CMOS	双输入/单输出的双沟道，引脚配置 1	SOIC8, MLP8
FAN3228T	双通道 2 A	+2.4 A/-1.6 A	TTL	双输入/单输出的双沟道，引脚配置 1	SOIC8，MLP8
FAN3229C	双通道 2 A	+2.4 A/-1.6 A	CMOS	双输入/单输出的双沟道，引脚配置 2	SOIC8，MLP8
FAN3229T	双通道 2 A	+2.4 A/-1.6 A	TTL	双输入/单输出的双沟道，引脚配置 2	SOIC8，MLP8
FAN3223C	双 4 A	+4.3 A/-2.8 A	CMOS	双反相通道 + 双使能	SOIC8，MLP8
FAN3223T	双 4 A	+4.3 A/-2.8 A	TTL	双反相通道 + 双使能	SOIC8，MLP8
FAN3224C	双 4 A	+4.3 A/-2.8 A	CMOS	双同相通道 + 双使能	SOIC8，MLP8
FAN3224T	双 4 A	+4.3 A/-2.8 A	TTL	双同相通道 + 双使能	SOIC8，MLP8
FAN3225C	双 4 A	+4.3 A/-2.8 A	CMOS	双输入/单输出的双通道	SOIC8，MLP8
FAN3225T	双 4 A	+4.3 A/-2.8 A	TTL	双输入/单输出的双通道	SOIC8，MLP8

注：

11. OUT=6 V，V_{DD} =12 V 时的典型电流。

物理尺寸





NOTES:

A. PACKAGE DOES NOT FULLY CONFORM TO JEDEC MO-229 REGISTRATION

B. DIMENSIONS ARE IN MILLIMETERS.

C. DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 2009.

D. LAND PATTERN RECOMMENDATION IS EXISTING INDUSTRY LAND PATTERN.

E. DRAWING FILENAME: MKT-MLP06Krev5.

图 53. 2 x 2 mm、6 引脚模塑无铅封装 (MLP)

封装图纸是作为一项服务而提供给考虑选用飞兆半导体产品的客户。具体参数可能会有变化，且不会做出相应通知。请注意图纸上的版本和/或日期，并联系飞兆半导体代表核实或获得最新版本。封装规格并不超出飞兆公司全球范围内的条款与条件，尤其指保修，保修涵盖飞兆半导体的全部产品。

随时访问飞兆半导体在线封装网页，可以获取最新的封装图纸：
http://www.fairchildsemi.com/packaging/

物理尺寸（续）

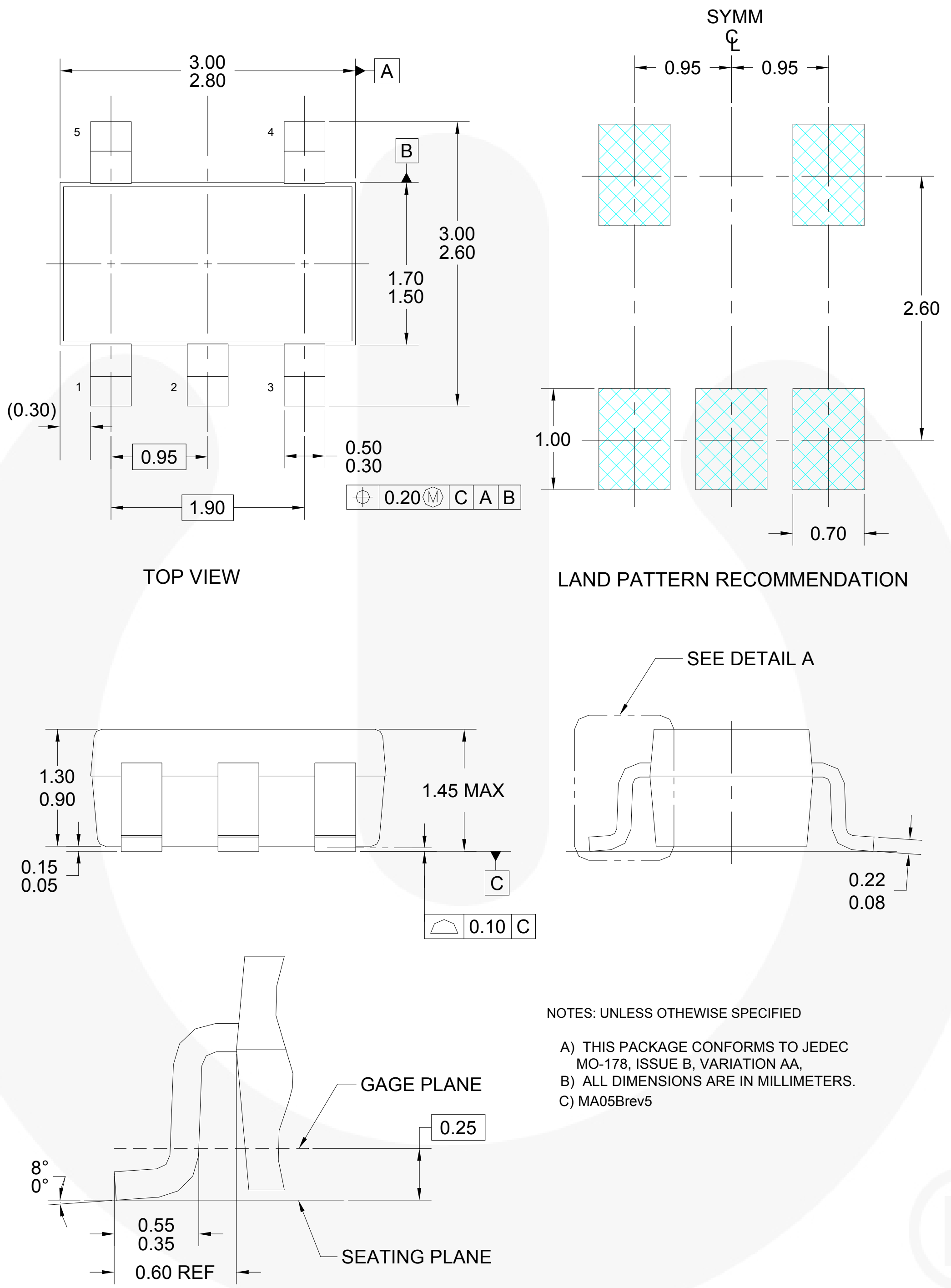


图 54. 5 引脚 SOT-23

封装图纸是作为一项服务而提供给考虑选用飞兆半导体产品的客户。具体参数可能会有变化，且不会做出相应通知。请注意图纸上的版本和/或日期，并联系飞兆半导体代表核实或获得最新版本。封装规格并不超出飞兆公司全球范围内的条款与条件，尤其指保修，保修涵盖飞兆半导体的全部产品。

随时访问飞兆半导体在线封装网页，可以获取最新的封装图纸：
http://www.fairchildsemi.com/packaging/

FAIRCHILD SEMICONDUCTOR®

TRADEMARKS

The following includes registered and unregistered trademarks and service marks, owned by Fairchild Semiconductor and/or its global subsidiaries, and is not intended to be an exhaustive list of all such trademarks.

AccuPower™
AX-CAP®*
BitSiC™
Build it Now™
CorePLUS™
CorePOWER™
CROSSVOLT™
CTL™
Current Transfer Logic™
DEUXPEED®
Dual Cool™
EcoSPARK®
EfficientMax™
ESBC™
®
Fairchild®
Fairchild Semiconductor®
FACT Quiet Series™
FACT®
FAST®
FastvCore™
FETBench™
FPS™

F-PFS™
FRFET®
Global Power Resource℠
GreenBridge™
Green FPS™
Green FPS™ e-Series™
G*max*™
GTO™
IntelliMAX™
ISOPLANAR™
Making Small Speakers Sound Louder and Better™
MegaBuck™
MICROCOUPLER™
MicroFET™
MicroPak™
MicroPak2™
MillerDrive™
MotionMax™
mWSaver®
OptoHiT™
OPTOLOGIC®
OPTOPLANAR®

®
PowerTrench®
PowerXS™
Programmable Active Droop™
QFET®
QS™
Quiet Series™
RapidConfigure™
™
Saving our world, 1mW/W/kW at a time™
SignalWise™
SmartMax™
SMART START™
Solutions for Your Success™
SPM®
STEALTH™
SuperFET®
SuperSOT™-3
SuperSOT™-6
SuperSOT™-8
SupreMOS®
SyncFET™

Sync-Lock™
SYSTEM GENERAL®*
TinyBoost®
TinyBuck®
TinyCalc™
TinyLogic®
TINYOPTO™
TinyPower™
TinyPWM™
TinyWire™
TranSiC™
TriFault Detect™
TRUECURRENT®*
µSerDes™
µSerDes™
UHC®
Ultra FRFET™
UniFET™
VCX™
VisualMax™
VoltagePlus™
XS™

* Trademarks of System General Corporation, used under license by Fairchild Semiconductor.

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS. THESE SPECIFICATIONS DO NOT EXPAND THE TERMS OF FAIRCHILD'S WORLDWIDE TERMS AND CONDITIONS, SPECIFICALLY THE WARRANTY THEREIN, WHICH COVERS THESE PRODUCTS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support, device, or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

ANTI-COUNTERFEITING POLICY

Fairchild Semiconductor Corporation's Anti-Counterfeiting Policy. Fairchild's Anti-Counterfeiting Policy is also stated on our external website, www.fairchildsemi.com, under Sales Support.

Counterfeiting of semiconductor parts is a growing problem in the industry. All manufacturers of semiconductor products are experiencing counterfeiting of their parts. Customers who inadvertently purchase counterfeit parts experience many problems such as loss of brand reputation, substandard performance, failed applications, and increased cost of production and manufacturing delays. Fairchild is taking strong measures to protect ourselves and our customers from the proliferation of counterfeit parts. Fairchild strongly encourages customers to purchase Fairchild parts either directly from Fairchild or from Authorized Fairchild Distributors who are listed by country on our web page cited above. Products customers buy either from Fairchild directly or from Authorized Fairchild Distributors are genuine parts, have full traceability, meet Fairchild's quality standards for handling and storage and provide access to Fairchild's full range of up-to-date technical and product information. Fairchild and our Authorized Distributors will stand behind all warranties and will appropriately address any warranty issues that may arise. Fairchild will not provide any warranty coverage or other assistance for parts bought from Unauthorized Sources. Fairchild is committed to combat this global problem and encourage our customers to do their part in stopping this practice by buying direct or from authorized distributors.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative / In Design	Datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	Datasheet contains preliminary data; supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve design.
No Identification Needed	Full Production	Datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve the design.
Obsolete	Not In Production	Datasheet contains specifications on a product that is discontinued by Fairchild Semiconductor. The datasheet is for reference information only.

Rev. I66

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303−675−2175 or 800−344−3860 Toll Free USA/Canada
Fax: 303−675−2176 or 800−344−3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800−282−9855 Toll Free USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81−3−5817−1050

ON Semiconductor Website: **www.onsemi.com**

Order Literature: http://www.onsemi.com/orderlit

For additional information, please contact your local Sales Representative