AsahiKASEI
ASAHI KASEI EMD

AK4184A

TSC with Keypad Scanner and GPIO Expander

概要

AK4184Aは、4線式抵抗膜方式タッチスクリーンコントローラ、キーパッドスキャナ、GPIO機能、PWM輝度調整制御回路及び12ビット逐次比較型A/Dコンバータを内蔵したアナログインターフェースICです。X軸/Y軸の位置検出に加え筆圧検出も可能です。キーパッドスキャナは最大6 x 5のマトリックスキーパッドに対応しています。かつGPIOピンは、最大8本のI/Oピンとして使用する事が可能です。AK4184Aは、2.5Vから動作し、且つADコンバータのサンプリング周波数として最大125kHzまで動作可能です。低電圧で動作するホストプロセッサとのインターフェースを容易にするため、ディジタルI/Fは1.6Vから動作可能です。携帯機器 DSC, DVC, Smart Phone, MP3 playerなどのアプリケーションに最適です。

特長

- **SPI Serial インターフェース**
- **12bit逐次比較型ADC内蔵 (S/H回路内蔵)**
- **4線式抵抗膜方式インターフェース**
- **サンプリング周波数 125KHz (max)**
- **筆圧測定**
- **6 x 5 keypad スキャナ**
- **8 GPIOポート**
- **LED調光用出力(PWM)**
- **電源電圧: AVDD = 2.5V ~ 3.6V**
  IOVDD = 1.6V ~ AVDD
- **低消費電流: 400μA**
- **Package: 41pin BGA (4mm x 4mm, pitch: 0.5mm)**

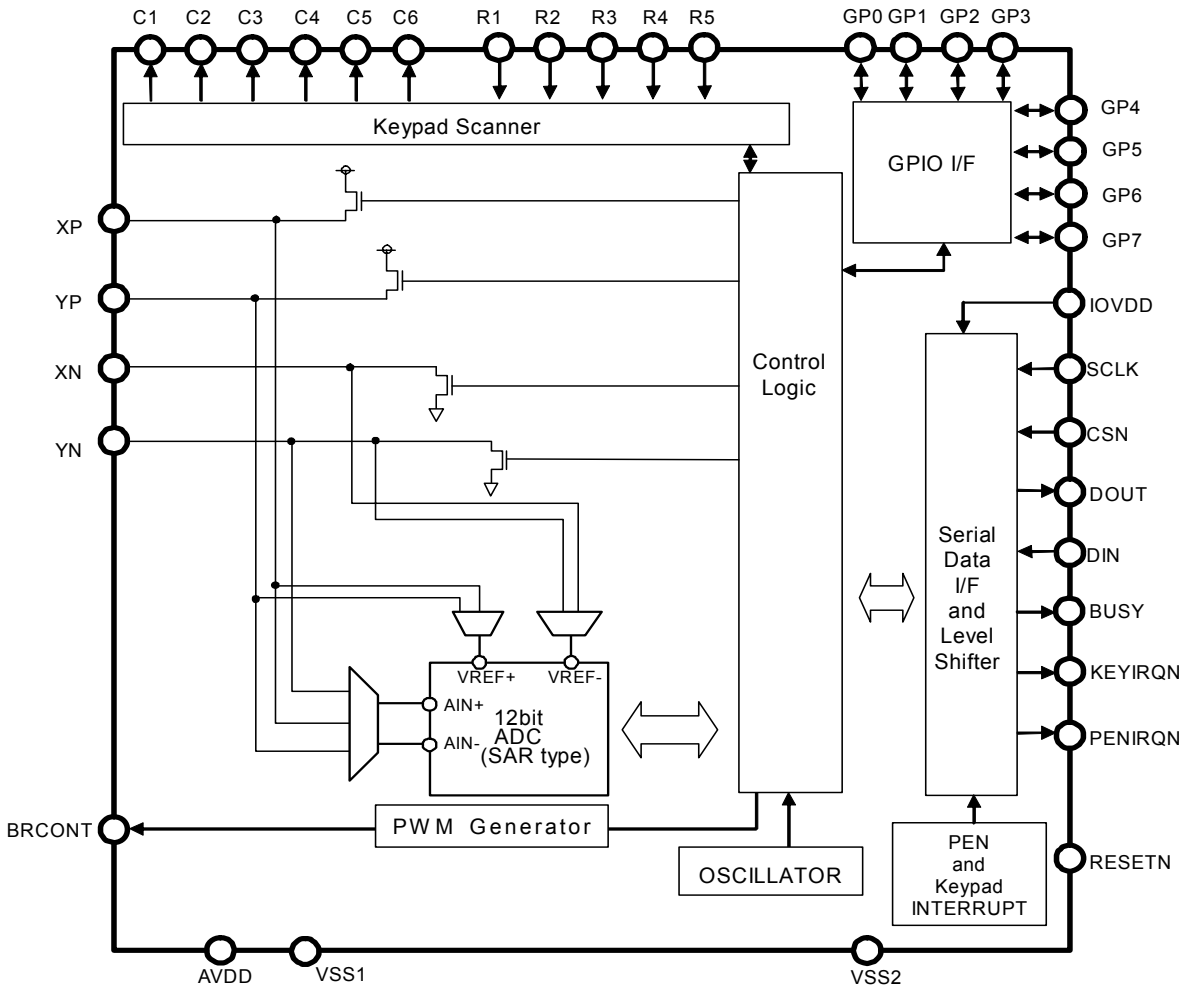
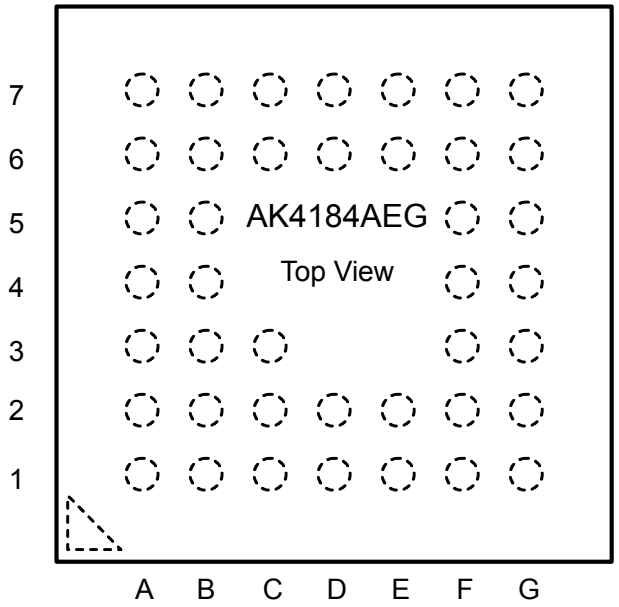


Figure 1. ブロック図

■ オーダリングガイド

AK4184AEG	–40 ~ +85°C	41pin BGA (4mm x 4mm, 0.5mm pitch)
AKD4184A	AK4184A 用評価ボード	

■ ピン配置



7	NC	C3	C5	BRCONT	GP1	GP3	NC
6	C1	C4	C6	GP0	GP2	GP5	GP4
5	R4	C2				GP7	GP6
4	R3	R5				XP	AVDD
3	VSS2	R2	VSS2			XN	YP
2	IOVDD	R1	BUSY	DIN	CSN	PENIRQN	YN
1	NC	KEYIRQN	DOUT	SCLK	RESETN	VSS1	NC
	A	B	C	D	E	F	G

TOP View

ピン／機能

No.	Pin Name	I/O	Function
A1	NC	-	No Connection No internal bonding. This pin should be open or connected to the ground.
B1	KEYIRQN	O	Keypad Interrupt (Active Low) CSN pin = “H” でキー割り込み Enable 状態では、キーパッド押し下げで“L”になります。デバンススキャン終了で“H”になります。キー割り込み Disable 状態では、キーパッドの状態に関係なく、常に “H” です。
C2	BUSY	O	BUSY output キーパッドキー検出時：キーパッドスキャン時は “H”を出力します。 タッチスクリーン検出時：サンプリング終了から MSB のデータを出力するまでの間は “H”を出力します。
C1	DOUT	O	Serial Data Output SCLK pin ↓でデータを出力します。CSN pin = “L” ではデータを出力していない時は “L” を出力します。CSN pin = “H” では Hi-Z 状態です。
D2	DIN	I	Serial Data Input SCLK pin ↑でデータをラッチします。 データ入力時以外は “L” を入力して下さい。
D1	SCLK	I	External Clock Input
E2	CSN	I	Chip Select Input (Active Low) CSN pin = “L” で、レジスタへの書き込みが可能です。
E1	RESETN	I	Device Reset (Active Low)
F2	PENIRQN	O	Pen Interrupt Output (Active Low) CSN pin = “H” でペン割り込み Enable 状態では、タッチパネルが押されている期間 “L” で、それ以外は “H” です。CSN pin = “H” でペン割り込み Disable 状態では、タッチパネルの接触／非接触に関係なく常に “H” です。CSN pin = “L” では、パワーダウンのモードにより状態が変化します。詳細は、■ パワーダウン制御 および ■ ペン割り込みの項を参照下さい。
G1	NC	-	No Connection No internal bonding. This pin should be open or connected to the ground.
F1	VSS1	-	Analog Ground
G2	YN	I/O	Touch Screen Y- plate Voltage supply ■Y 軸方向の位置測定時: タッチパネルの Y-軸側に電圧供給します ■X 軸方向の位置測定時: OPEN です。 ■筆圧検出時: Z2 測定では、ADC への被測定電位入力ピンとして使用します。 ■ペン割り込み検出時: GND です。
F3	XN	I/O	Touch Screen X- plate Voltage supply ■X 軸方向の位置測定時: タッチパネルの X-軸側に電圧供給します ■Y 軸方向の位置測定時: OPEN です。 ■筆圧検出時: タッチパネルの X-軸側に電圧供給します ■ペン割り込み検出時: OPEN です。
G3	YP	I/O	Touch Screen Y+ plate Voltage supply ■Y 軸方向の位置測定時: タッチパネルの Y+軸側に電圧供給します ■X 軸方向の位置測定時: ADC への被測定電位入力ピンとして使用します。 ■筆圧検出時: タッチパネルの Y+軸側に電圧供給します ■ペン割り込み検出時: OPEN です。
F4	XP	I/O	Touch Screen X+ plate Voltage supply ■X 軸方向の位置測定時: タッチパネルの X+軸側に電圧供給します ■Y 軸方向の位置測定時: ADC への被測定電位入力ピンとして使用します。 ■筆圧検出時: Z1 測定では、ADC への被測定電位入力ピンとして使用します。 ■ペン割り込み検出時: 内部抵抗 50kΩでプルアップしています。
G4	AVDD	-	Analog Power Supply: 2.5V ~ 3.6V

F5	GP7	I/O	GPIO7 pin
G5	GP6	I/O	GPIO6 pin
F6	GP5	I/O	GPIO5 pin
G6	GP4	I/O	GPIO4 pin
G7	NC	-	No Connection No internal bonding. This pin should be open or connected to the ground.
F7	GP3	I/O	GPIO3 pin
E6	GP2	I/O	GPIO2 pin
E7	GP1	I/O	GPIO1 pin
D6	GP0	I/O	GPIO0 pin
D7	BRCONT	O	Pulse width modulated output signal
C6	C6	O	Keypad Column 6
C7	C5	O	Keypad Column 5
B6	C4	O	Keypad Column 4
A7	NC	-	No Connection No internal bonding. This pin should be open or connected to the ground.
B7	C3	O	Keypad Column 3
B5	C2	O	Keypad Column 2
A6	C1	O	Keypad Column 1
B4	R5	I	Keypad Row 5
A5	R4	I	Keypad Row 4
C3	VSS2	-	Digital I/O Ground
A4	R3	I	Keypad Row 3
B3	R2	I	Keypad Row 2
A3	VSS2	-	Digital I/O Ground
B2	R1	I	Keypad Row 1
A2	IOVDD	-	Digital I/O Power Supply: 1.6V ~ AVDD

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Digital	GP0 ~ GP8, R1 ~ R5	オープン
	C1 ~ C6, BRCONT	オープン

絶対最大定格

(VSS1, VSS2 = 0V: Note 1)

Parameter		Symbol	min	max	Units
Power Supply (Note 2)	Analog	AVDD	-0.3	6.0	V
	Digital I/F	IOVDD	-0.3	6.0	V
Input Current (any pins except for supplies)		IIN	-	±10	mA
Analog Input Voltage (Note 3)		VINA	-0.3	AVDD+0.3 or 6.0	V
Digital Input Voltage (Note 4)		VIND	-0.3	IOVDD+0.3 or 6.0	V
Touch Panel Drive Current		IOUTDRV	-	50	mA
Ambient Temperature (power supplied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 1. 電圧は全てグランドピンに対する値です。
Note 2. VSS1 と VSS2 は同じグランドに接続して下さい。
Note 3. XP, YP, XN, YN pin max 値は(AVDD+0.3)V または 6.0V のどちらか低い方です。
Note 4. DIN, CSN, SCLK, RESETN, R1 ~ R5, GP0 ~ GP7 pins. max 値は(IOVDD+0.3)V または 6.0V のどちらか低い方です。Open Drain タイプを選択した場合、GP0 ~ GP7 pins, BRCONT pin のプルアップ抵抗の接続先は(IOVDD+0.3)V 以下にして下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、通常の動作は保証されません。

推奨動作条件

(VSS1, VSS2 = 0V: Note 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	AVDD	2.5	3.3	3.6	V
Digital I/O Power Supply	IOVDD	1.6	3.3	AVDD	V

Note 1. 電圧は全てグランドピンに対する値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

アナログ特性

(Ta = -40°C to 85°C, AVDD = IOVDD = 3.3V, fs = 125 KHz, fSCLK = 5MHz)

Parameter	min	typ	max	Units
ADC for Touch Screen				
Resolution	-	12	-	Bits
No Missing Codes	11	12		Bits
Integral Nonlinearity (INL) Error	-	-	±2	LSB
Differential Nonlinearity (DNL) Error	-	±1	-	LSB
Offset Error	-	-	±6	LSB
Gain Error	-	-	±4	LSB
Touch Panel Drivers Switch On-Resistance				
XP, YP, RL = 300Ω	-	10	-	Ω
XN, YN, RL = 300Ω	-	10	-	Ω
XP Pull Up Resistance (when pen interrupt enable)	-	50	-	KΩ
Power Supply Current				
Touch Screen only fs = 125KHz (PD bit = "0")	-	400	680	μA
Touch Screen only fs = 125KHz (PD bit = "1")	-	500	850	μA
Oscillator on, Touch Screen Driver off, A/D power down	-	72	120	μA
Full Power Down (all blocks power down when CSN = "H", RESETN = "H")	-	0	5	μA

DC 特性(Logic I/O)

(Ta = -40°C to 85°C, IOVDD = 1.6V to 3.6V)

Parameter	Symbol	min	typ	max	Units
Digital Input (CSN, SCLK, DIN, R1 ~ R5, GP0 ~ GP7 pins)					
"H" level input voltage	VIH	0.8xIOVDD	-	-	V
"L" level input voltage	VIL	-	-	0.2xIOVDD	V
Input Leakage Current	IILK	-10	-	10	μA
Digital Output (DOUT, BUSY, BRCONT, PENIRQN, KEYIRQN pins)					
"H" level output voltage (@ Iout = -250μA)	VOH	IOVDD-0.4	-	-	V
"L" level output voltage (@ Iout = 250μA)	VOL	-	-	0.4	V
Digital Output (GP0 ~ GP7 pins)					
"H" level output voltage (@ Iout = -1.5mA)	VOH	IOVDD-0.4	-	-	V
"L" level output voltage (@ Iout = 1.5mA)	VOL	-	-	0.4	V
Digital Output (C1 ~ C6 pins)					
"H" level output voltage (@ Iout = -1.5mA)	VOH	IOVDD-0.4	-	-	V
Resistance					
Pulldown Resistance (R1 ~ R5 pins)	Rkey	-	16	-	KΩ
Pulldown Resistance (GP0 ~ GP7 pins @ input)	Rgp	-	1000	-	KΩ
Tri-state Leakage Current	IOLK				
All pins except for XP, YP, XN, YN pins		-10	-	10	μA
XP, YP, XN, YN pins		-50	-	50	μA

スイッチング特性

(Ta = -40°C to 85°C, AVDD = 2.5V to 3.6V, IOVDD = 1.6V to AVDD, C_L = 20pF)

Parameter	Symbol	min	typ	max	Units
Internal oscillator frequency	fosc	0.9	1.3	1.7	MHz
Touch Panel (A/D Converter)					
SCLK period	tCP	200	-	1000	ns
Sampling Time (Rin = 600Ω)	tSam	1.5	-		µs
Throughput Rate	fs	-	-	125	KHz
Conversion Time	tCONV	24	-	-	tCP
Timing Characteristics					
SCLK Pulse Width Low	tCKL	80	-	-	ns
Pulse Width High	tCKH	80	-	-	ns
CSN "↓" to First SCLK "↓"	tCSS	300	-	-	ns
CSN "↓" to DOUT Tri-State Disabled	tDV	-	-	50	ns
Data Setup Time	tDS	40	-	-	ns
Data Hold Time	tDH	40	-	-	ns
Data Output Delay after SCLK "↓"	tDD	-	-	50	ns
CSN "↑" to DOUT Hi-Z state	tCDZ	-	-	70	ns
CSN "H" Time	tCSW	150	-	-	ns
SCLK "↑" to CSN "↑"	tCSH	50	-	-	ns
Reset Timing					
RESETN Pulse Width (Note 5)	tRST	20	-	-	µs

Note 5. RESETN pin = "L" にすることでリセットがかかります。

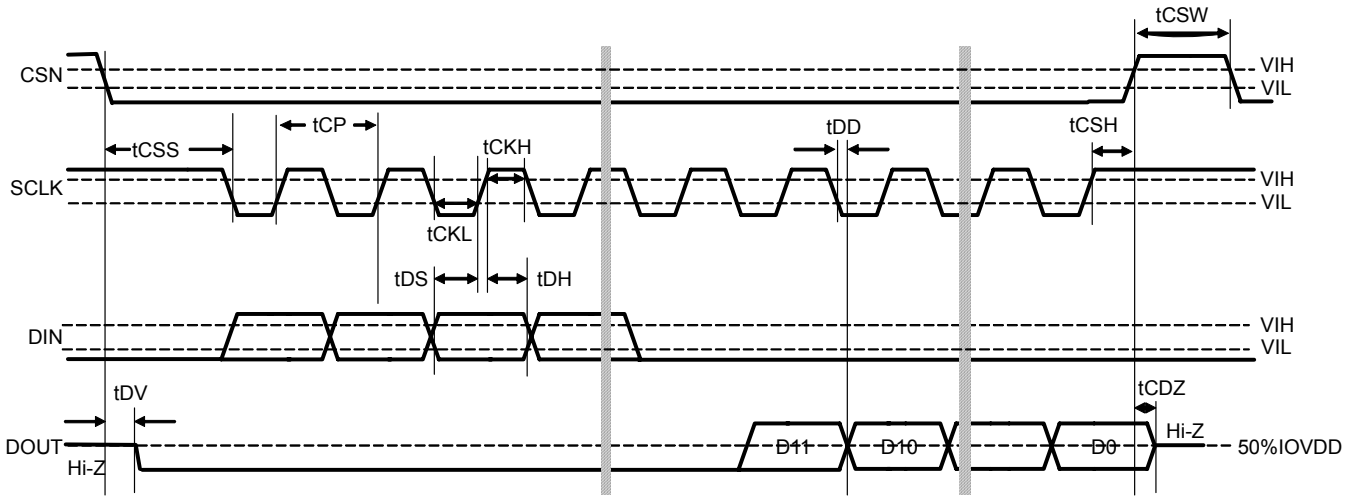


Figure 2. Timing Diagram

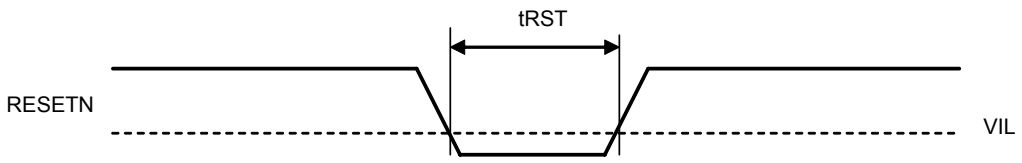


Figure 3. Power-down & Reset Timing

動作説明

■ 機能概要

AK4184A は、次の機能ブロックで構成されています。
● 4 線式抵抗膜方式タッチスクリーンインターフェース
● 6 列 x 5 行 キーパッドインターフェース
● 8 GPIO pin
● LED 調光用 PWM 制御回路
● 逐次比較型 AD コンバータ
● ペン割り込み、キーパッド割り込み回路
● 発振回路
ホストプロセッサとの通信は、4 線式 SPI™バス経由で行います。
SPI™は、Motorola Inc.の登録商標です。

■ タッチスクリーン A/D コンバータ

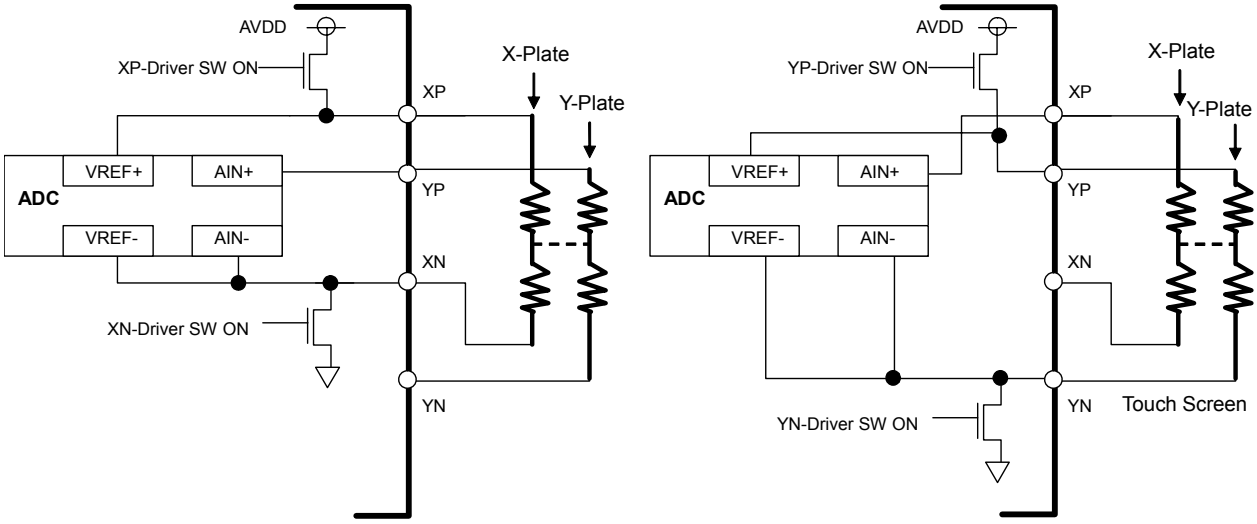
タッチパネルの軸に生じた電位差や筆圧の電圧測定用に 12 bit 逐次比較型A/Dコンバータを内蔵しています。このA/Dコンバータは、電荷再分配方式を採用しており、内部のキャパシタアレイは、サンプル・ホールド回路としても機能します。12 ビットA/Dコンバータの出力フォーマットは Table 1 の様にストレートバイナリです。

入力電圧	出力コード
(ΔVREF - 1.5LSB) ~ ΔVREF	FFFH
(ΔVREF - 2.5LSB) ~ (ΔVREF - 1.5LSB)	FFEH
---------	---------
0.5LSB ~ 1.5LSB	001H
0 ~ 0.5LSB	000H

ΔVREF: (VREF+) – (VREF-)
Table 1. 出力コード

■ タッチスクリーンの位置検出

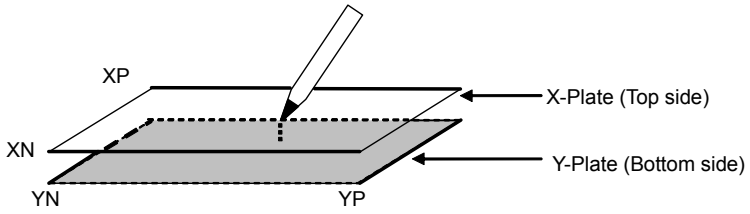
タッチスクリーンの位置検出(X 軸測定、Y 軸測定)は、制御コマンドにより切り替えます。位置検出は、ディファレンシャル方式になります。A/D コンバータのフルスケール(ΔVREF)は、測定対象軸に印加される電位差(X 軸測定の場合、$\Delta VREF = V_{XP} - V_{XN}$)になります。測定対象軸のネガティブピン($V_{XN}$)と、もう一方の軸のポジティブピン($V_{XP}$)との電位差(X 軸測定の場合、$\Delta AIN = V_{YP} - V_{XN}$)が、A/D コンバータのアナログ入力(ΔAIN = (AIN+) - (AIN-))になります。アナログ入力は、サンプリング期間に内部キャパシタにチャージされます。内部キャパシタのチャージが完了するとそれ以上電流は流れません。
内部キャパシタに電荷をチャージするためのセトリング時間(サンプリング時間)は、少なくとも 1.5μs 必要です。また、ADC の最大スループットは、125kHz です。
位置検出は、X 軸・Y 軸の座標を計算する必要があるため、最低 2 回の A/D 変換が必要です。ディファレンシャル方式による位置検出時において、出力コードは、アナログ入力とフルスケール電圧との比で表現されますので、バッテリ等によるシステム電源電圧変動の影響を受けません。



a) X-Position Measurement Differential Mode

b) Y-Position Measurement Differential Mode

タッチパネルが押されると破線部分で X-plate、Y-plate **が接続されます。**



c) 4-wire Touch Screen Construction

Figure 4. 位置測定回路

■ タッチスクリーンの筆圧検出

タッチスクリーンの筆圧検出は、YP pin に VREF+、XN pin に VREF-の電圧を印加した状態で、XP pin、YN pin の電圧を測定し、２枚のシートの接触抵抗を算出することで得られます。
これには 2 つの方法があります。
一つ目の方法は、X 軸のシート抵抗(Rxplate)のみが既知の場合です。この場合、下式のように、接触抵抗が既知のシートの座標と、Z1 位置、Z2 位置を求めることで、接触抵抗を算出できます。

Rtouch = (Rxplate) * (Xposition/4096) * [(Z2/Z1) – 1]

二つ目の方法は、X 軸、Y 軸の両方のシート抵抗(Rxplate, Ryplate)が、既知の場合です。この場合、下式のように、接触した X 位置、Y 位置、Z1 位置から接触抵抗を計算できます。

Rtouch = (Rxplate * Xposition/4096) * [(4096/Z1) – 1] – Ryplate * [1 – (Yposition/4096)]

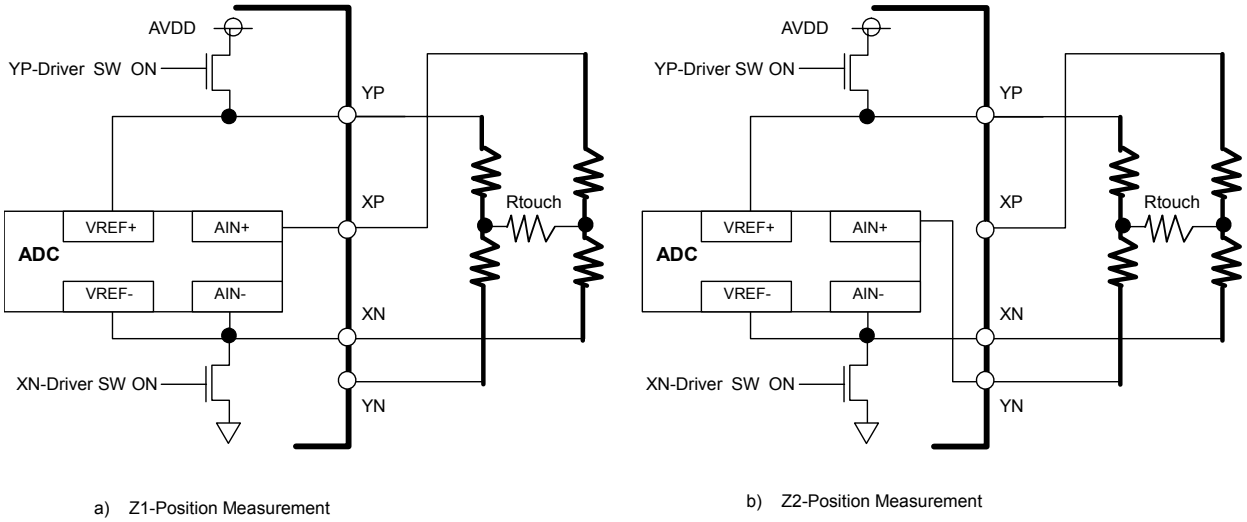


Figure 5. 筆圧測定回路

■ キーパッドスキャナ

AK4184A のキーパッドスキャナは、最大 6 列 x 5 行のキーパッドに対応します。6 列 x 5 行より少ないキー検出をモニターする場合は、キースキャン前に列ごとにマスクする事やキースキャン後にキー毎にマスクする事が可能です。キーパッド動作をキー割り込みとキースキャンに分けて考えます。

■ キー割り込み検出

キー待ち状態では、C1 ~ C6 pinsが“H”を出力しています。R1 ~ R5 pinsはプルダウン(Rkey = 16KΩ, Figure 6)されています。任意のキーを押し下げることで対応したR1 ~ R5 pinsが “H”になります。このキー検出によりKEYIRQN pinはLowにドライブされます。キースキャンが終了するとHighにドライブされますが、キーパッドデータを読み出すまでは、再びキー押し下げを行ってもKEYIRQN pinは、Lowに変化しません。(キー割り込み禁止状態)

■ キースキャンデータ読み出し

キー割り込み検出後、AK4184A は各キーの状態を順次スキャンしレジスタに書き込みます。具体的には、C1 pin のバッファを ON にして “H”を出力します(Scan Output 1)。他の C2 ~ C6 pins は、Hi-Z 状態です。キー押し下げされた R1 ~ R5 pins は C1 pin と接続し、“H”になります。キーリリースで R1 ~ R5 pins は、“L”になります。R1 ~ R5 pins (Sense Input 1)の入力レベルをスキャンして内部レジスタに取り込みます。2 つのキーを同時に押した場合は、対応した R1 ~ R5 pin が “H”になります。次に同様に C2 pin を “H”にして(Scan Output 2)、R1 ~ R5 pins の入力レベルをスキャンしレジスタに取り込みます(Sense Input 2)。この Scan Output と Sense Input を有効な列(Column)で繰り返しを行い、内部レジスタに取り込みます。
キースキャンは Debounce Time 最後に一連の Scan Output/ Sense Input のサイクルを 1 回行い、その後内部レジスタに値を取り込みます。ホストプロセッサは、キーパッドスキャンが終了した事を確認してデータレジスタの読み出しを開始します。データレジスタを読み出すまでは、新たにキーパッドスキャンを繰り返す事はできません。

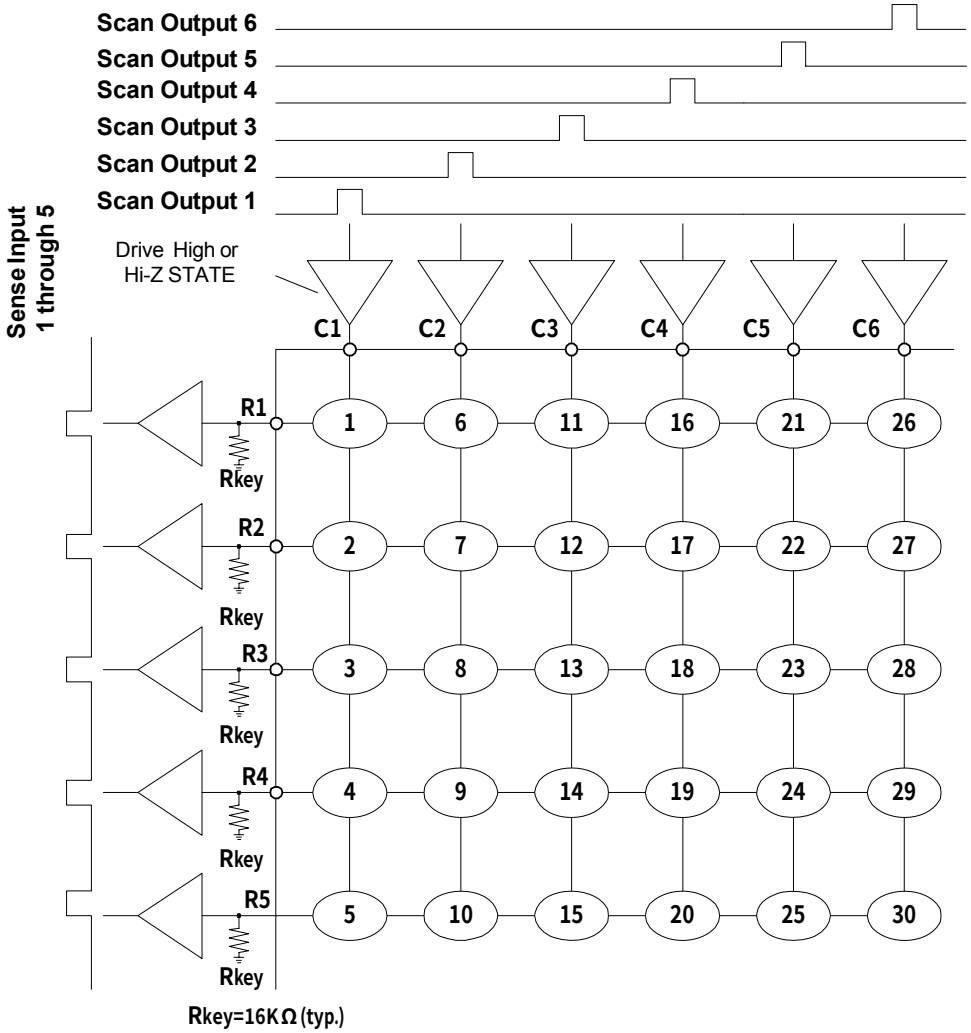


Figure 6. Key Press Detection Circuitry and KEY No.

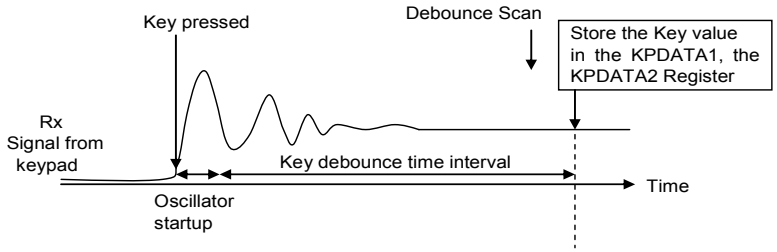


Figure 7. Debounce Time Interval

■ ディジタル I/F

AK4184A は、SPI バス経由でホストプロセッサと通信します。ホストプロセッサは、シリアルクロックにコマンドを同期して通信を開始します。低電圧で動作するホストプロセッサとのインターフェースを容易にするために、ディジタル I/F 用電源 IOVDD を持ち、1.6V から動作することが可能です。

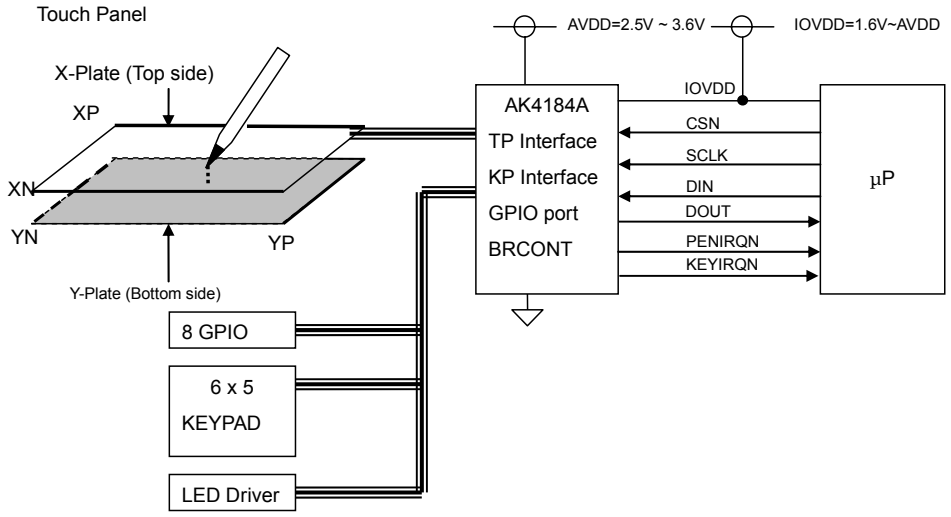


Figure 8. SPI 接続と入力デバイス接続

レジスタ設定は４線式シリアル I/F pin (CSN, SCLK, DIN, DOUT pins)で書き込み、読み出しを行います。I/F 上のデータは、制御コマンド、制御データ、読み出しデータで構成されます。データの送信側は、SCLK pin ↓で各ビットを出力し、受信側は SCLK pin ↑で取り込みます。CSN pin ↓の後、最初の 16bit が制御コマンドです。書き込みの場合は、続けて 16bit 制御データを書き込みます。読み出し場合は、16bit データを読み出します。その後の CSN pin ↑で一回の書き込みまたは読み出し動作を終了します。SCLK pin のクロックスピードは、5MHz(max)です。RESETN pin = “L”でレジスタ値はリセットされます。

制御コマンドのデータフォーマットは、Table 2 に示します。制御コマンドは、MSB側の 8bitが、タッチスクリーン制御コマンド、LSB側 8bitがKeypad, GPIO, LED輝度調整ブロックを制御するコマンドで構成されます。タッチスクリーン制御を行う場合は、下位 8 ビットは、“0”を書き込んでください。その他のブロックを制御する場合は、上位 8 ビットは “0”を書き込んで下さい。

タッチスクリーン制御する場合 S bit は必ず “1”を設定します。次の 3 ビットで、タッチスクリーン測定軸及びパワーダウンの制御を行います。
その他のブロックを制御する場合は、バス上のデータの方向を示すW/R bitで始まります。次の 1bitは、アクセスするレジスタのページを選択するPAGE bitです。選択するページビットは Table 3 に示します。次の 6bit でアクセスするレジスタのアドレスを選択します。アクセスするページとアドレスは、Table 4 を参照ください。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Touch Screen Control Command Byte								**Other(Keypad, GPIO, LCD bias) Control Command Byte**							
S MSB	A1	A0	PD	x	x	x	x	W/R	PAGE	ADDR[5:0]					LSB

Table 2. AK4184A 制御コマンド (x: don't care)

PAGE	Description
0	Data Register
1	Control Register

Table 3. Page Address

PAGE	Addr	Register Name	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	00H	KPDATA1	DERR	KD3[4]	KD3[3]	KD3[2]	KD3[1]	KD3[0]	KD2[4]	KD2[3]	KD2[2]	KD2[1]	KD2[0]	KD1[4]	KD1[3]	KD1[2]	KD1[1]	KD1[0]
0	01H	KPDATA2	SERR	KS2[4]	KS2[3]	KS3[2]	KS3[1]	KS3[0]	KS2[4]	KS2[3]	KS2[2]	KS2[1]	KS2[0]	KS1[4]	KS1[3]	KS1[2]	KS1[1]	KS1[0]
0	02H -FH	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	10H	GPLR	0	0	0	0	0	0	0	0	GPD7	GPD6	GPD5	GPD4	GPD3	GPD2	GPD1	GPD0
0	11H -3FH	Resverved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	00H	KEY	KST1	KST0	DBN2	DBN1	DBN0	HLD2	HLD1	HLD0	0	0	0	0	0	0	0	0
1	01H	KPMASK1	0	KM15	KM14	KM13	KM12	KM11	KM10	KM9	KM8	KM7	KM6	KM5	KM4	KM3	KM2	KM1
1	02H	KPMASK2	0	KM30	KM29	KM28	KM27	KM26	KM25	KM24	KM23	KM22	KM21	KM20	KM19	KM18	KM17	KM16
1	03H	KPColumnMask	0	0	0	0	0	0	0	0	0	0	CM6	CM5	CM4	CM3	CM2	CM1
1	04H	KPScanInitiate	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	05H -07H	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	08H	PDCTRL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	KPPD	TPPD
1	09H -0FH	reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	10H	GPSCR	0	0	0	0	0	0	0	0	SC7	SC6	SC5	SC4	SC3	SC2	SC1	SC0
1	11H	GPDR	IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0	0	0	0	0	0	0	0	0
1	12H	GPPU	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0	0	0	0	0	0	0	0	0
1	13H	GPSR	PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0	0	0	0	0	0	0	0	0
1	14H -17H	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	18H	PWMCTL	LPU	0	0	BRV[4]	BRV[3]	BRV[2]	BRV[1]	BRV[0]	0	PACT	0	0	0	DIV2	DIV1	DIV0
1	19H -3FH	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Table 4. AK4184A Register Map

■ システムリセット

電源投入時には、RESETN pin を一度 “L”を入力しリセットを行って下さい。システムリセットが行われると、AK4184A の内部レジスタは全て初期値(0000H)、タッチスクリーンコントローラは X 軸、オートドライバ OFF(A1 bit = A0 bit = PD bit= “0”)に設定され、内部状態が確定します。
AVDD、IOVDD が別電源で供給される場合には、電源立ち上げのシーケンスを考える必要はありません。

■ タッチスクリーンコントローラ制御

タッチスクリーンに電圧を印加する軸の選択、ADCの入力チャンネルの切替え、ADCのパワーダウンモードの選択は、Table 5 に示す通り４ビットの制御コマンドで行います。残りの下位 12bitは “0”を入力してください。制御コマンドの各ビットの定義とドライバスイッチの状態は、Table 6, Table 7 を参照して下さい。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
S	A1	A0	PD	0	0	0	0	0	0	0	0	0	0	0	0

Table 5. Touch Screen Command Word Format

Bits	Name	機能
15	S	タッチパネルスタートビット。コマンドの先頭ビットで必ず “1”
14:13	A1-A0	ADC入力チャンネル選択ビット、ドライバスイッチ選択(Table 7)
12	PD	パワーダウンモード選択ビット(Table 8)
11:0		Reserved

Table 6. タッチスクリーン制御データの定義

	Input		Status of Driver Switch				ADC input (ΔAIN)		Reference Voltage (ΔVREF)		
S	A1	A0	XP	XN	YP	YN	AIN+	AIN-	VREF+	VREF-	Note
1	0	0	ON	ON	OFF	OFF	YP	XN	XP	XN	X-axis
1	0	1	OFF	OFF	ON	ON	XP	YN	YP	YN	Y-axis
1	1	0	OFF	ON	ON	OFF	XP(Z1)	XN	YP	XN	Z1 (Pen Pressure)
1	1	1	OFF	ON	ON	OFF	YN(Z2)	XN	YP	XN	Z2 (Pen Pressure)

Table 7. ドライバスイッチ ステータス

■ パワーダウン制御

PD bit でタッチスクリーンドライバスイッチのパワーダウン制御を行います。

PD	ペン割り込み	機能
0	Enabled	オートドライバ OFF モード CSN pin = “H”の状態では、タッチスクリーンドライバスイッチは OFF になります。(ただし、YN ドライバスイッチは ON で YN pin は GND に接続)。このモードでは、サンプリング開始から CSN pin = “L”の期間は、割り込みは無効です。CSN pin = “H”の状態ではペン割り込み機能が有効です。
1	Disabled	連続ドライバ ON モード CSN pin に関係なくこのモードではタッチスクリーンドライバは常に ON 状態です。ペン割り込み機能は無効で、ペンタッチに関係なく PENIRQN pin は 常に“H” です。ドライバは常に ON 状態ですので、サンプリング開始前にタッチスクリーンの電圧を安定させる事が出来ます。また CSN pin↓からサンプリングを開始しますのでセトリング時間を長く必要な場合に有効です。

Table 8. パワーダウン制御

内蔵 A/D コンバータは、CSN pin = “H”の期間はパワーダウン状態、CSN pin = “L”の期間はタッチスクリーンコマンド発行時は、パワーアップ状態、通常のレジスタ書き込み/読み出しコマンド発行時は、パワーダウン状態です。

■ タッチスクリーンコントローラ制御シーケンス

A/D入力のサンプリング、A/D変換のタイミングを Figure 8 に示します。CSN pin ↓でDOUTはHi-Z状態から“L”になります。AK4184Aは、4 ビットのタッチスクリーン制御コマンドを読み込みます。制御コマンド終了後、クロック入力が終了(32SCLK)するまで、DIN pin = “L”としなければなりません。スタート(S bit)ビットは、タッチスクリーンコマンドの開始を認識するため必ず“1”でなければなりません。Sampling1 またはSampling2 のサンプリング期間でA/Dコンバータの入力のサンプリングを行います。逐次比較型ADコンバータは、SCLK に同期して変換を行います。SCLK6 ↓からAD変換を開始し、SCLK20 ↓からMSBファーストで 12bitのデータを出力していきます。
サンプリングのタイミングは、PD bit により決まります。
前回と今回の A1 bit, A0 bit が変化しない場合(連続で同じ軸を測定)、前回設定が PD bit = “0”の時のサンプリング期間は、Sampling2 です。前回設定が PD bit = “1”の時のサンプリング期間は、Sampling1 + Sampling2(CSN ↓～SCLK6 ↓)です。この場合、CSN pin ↓から最初の SCLK pin ↓までの時間を延ばす事でサンプリング時間(Sampling1)を長くすることが可能です。
A1 bit と A0 bit が今回の設定で切り替える(軸の変更)場合は、PD bit に関係なく今回設定軸(A1 bit, A0 bit)に対して測定を行います。サンプリング期間は、Sampling2 です。前回設定 PD bit = “1”の場合 Sampling1 の期間では今回設定とは違う軸を測定していますので有効なサンプリング期間は Sampling2 のみです。
内部キャパシタに電荷をチャージするための時間(サンプリング時間)は、タッチスクリーンのソースインピーダンス及び SCLK スピードに依存します。PD bit = “0”設定で Sampling2 区間のみのチャージでは最終電位に到達しない場合は、PD bit = “1”設定で連続して軸測定を行うか、クロックを遅くしてセトリング時間を十分確保してください。

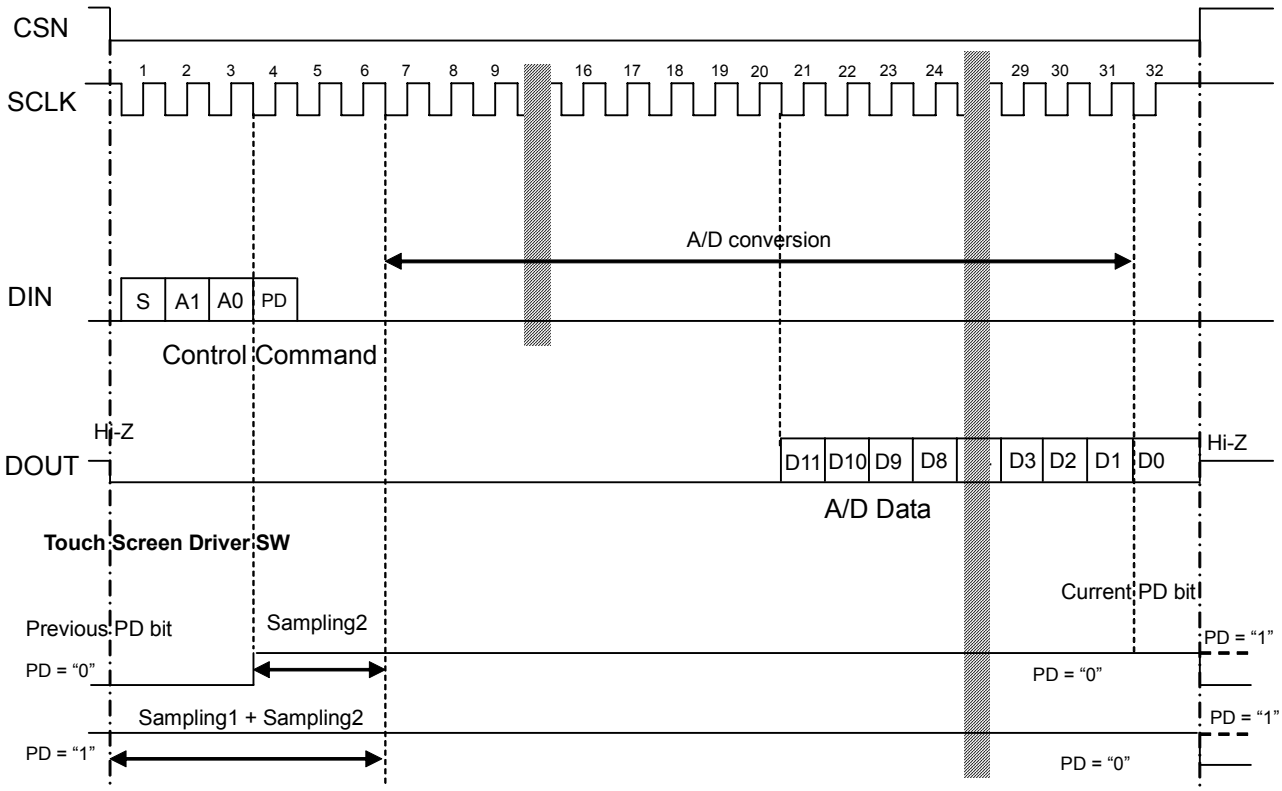


Figure 9. Touch Screen Operation

■ ペン割り込み

ペン割り込みは、ペンがタッチスクリーンに接触したことを知らせる機能で、A/D コンバータがパワーダウン状態の時に動作します。割り込みイネーブルの状態では、YN pin は GND に接続します。また、XP pin は、内部抵抗(Ri: typ.50KΩ)でプルアップ状態になります。また、PENIRQN pin は、内部で XP pin と接続されます。ペン等によりタッチスクリーンが押されると、タッチスクリーンの 2 枚のシートが接続するため、(AVDD)---(Ri)--- (XP) -- (タッチスクリーン) -- (YN)経由で電流が流れます。タッチスクリーンの抵抗は、一般に数百 Ω なので、PENIRQN pin は “L” になります。ペンを離すと 2 枚のシートが接続が切れるため電流が流れなくなり、PENIRQN pin は “H” になります。PENIRQN pin は、バッファ出力です。フルスケールは、IOVDD で規定されます。
タッチスクリーンコマンドを書き込んだ場合、
PD = “1” 設定時は、ペン割り込みは無効となりペンタッチに関係なく常に “H” になります。
PD = “0” 設定時は、3SCLK ↓からCSN ↑の区間(Figure 7)は、ペンタッチに関係なく常に “H” になります。それ以外の期間は、ペン割り込みが有効となり、ペンタッチしている場合は “L”、していない場合は “H” になります。
また、タッチスクリーンコマンド以外のレジスタ書き込み/読み出しコマンドが発行された場合は、一番最新の PD bit の設定値により PENIRQN pin の動作が決まります。

タッチパネルブロックをパワーダウン(TPPD bit = “1”,Table 38)する事が可能で、この状態では全てのドライバがオフになり、ペン割り込みが無効になります。ペンダウン時においてもタッチパネル経由で電流が流れることはありません。

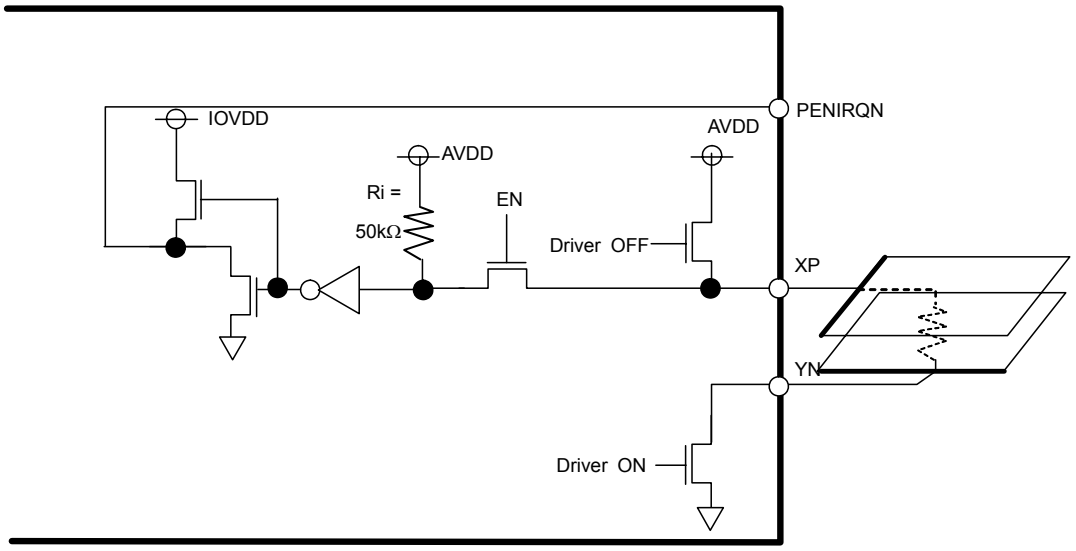


Figure 10. ペン割り込み回路

■ キーパッド、GPIO、LED 輝度調整制御

キーパッドスキャナ、GPIO、LED輝度調整ブロックにアクセスする場合の制御コマンドのフォーマットを Table 10 に示します。書き込み、読み出しシーケンスを Figure 11、 Figure 12 に示します。これらのブロックにアクセスする場合は、制御コマンドのMSBバイト(タッチスクリーン制御コマンド)は、“0”を入力してください。制御データ、読み出しデータのフォーマットは、Table 4 を参照下さい。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	W/R	PAGE	ADDR[5:0]					

Table 9. キーパッド、GPIO、LED輝度調整制御コマンド フォーマット

Bits	Name	機能
7	W/R	Write/Read bit 0: Write 1: Read
6	PAGE	Page bit (Table 3 を参照してください)
5:0	ADDR	Address bit (Table 4 を参照してください)

Table 10. Control Command

1. Write Operation

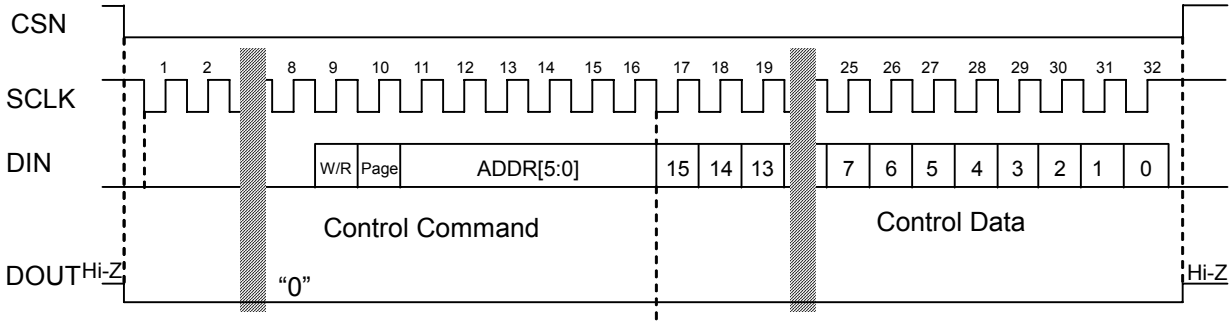


Figure 11. Write Operation

2. Read Operation

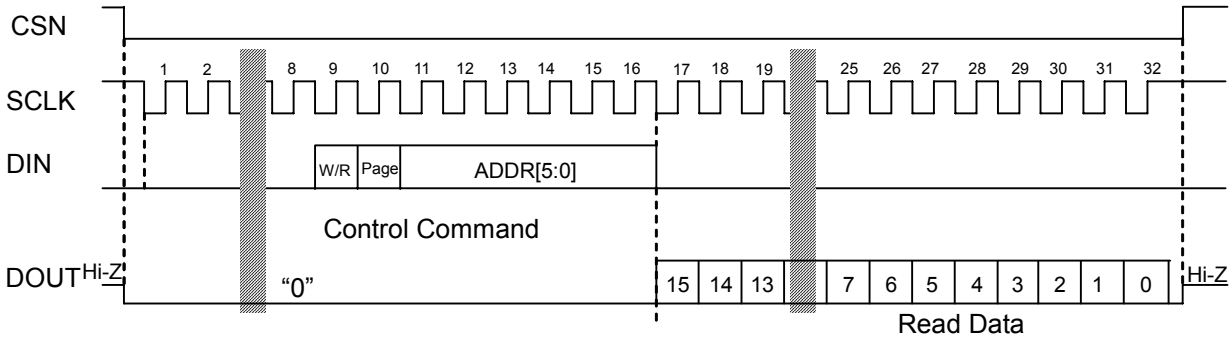


Figure 12. Read Operation

■ キーパッドスキャナ

AK4184A は、最大 6 列 x 5 行のキーパッドの接続可能なインターフェースを持っています。

■ キーパッド測定シーケンス

KST1 bit = “0” (default)とすることで、キー待ち状態となり、キーパッドの押し下げ検出によりキーパッド測定に移行します。その際、KST0 bit によって、ホストスキャンとキープレススキャンの 2 つの動作を行います。

■ ホストスキャン

KST0 bit =“1”の場合、ホストスキャンとなります。キーパッド押し下げ検出により、キーパッド割り込みを出力(KEYIRQN pin ↓)し、ホストコマンド待ち状態となります。ホストコマンドを受け取るまでは内部 OSC はパワーダウンしたままで、キースキャンを実行しません。キースキャンを開始するためには、KPScanInitiate コマンド(Page1、Address 04H)を書き込んでください。コマンドを発行すると、内部 OSC をパワーオンし、デバウンススキャンに移行します。

■ キープレススキャン

KST0 bit = “0”の場合、キープレススキャンとなります。キーパッド押し下げ検出により、キーパッド割り込みを出力し、自動的に内部 OSC をパワーオンしてデバウンススキャンに移行します。

デバウンスキースキャンが終了すると、データレジスタ(KPDATA1, KPDATA2)を更新し、KEYIRQN pin を”H”にし、ホールドに移行します。ホールド期間中、キー検出は無効となります。Hold 期間中にキーデータを読み出した場合、新たに Hold 時間だけ待ってキーパッドシーケンスを終了します。Hold 期間中にデータが読み出されなかった場合、デバウンス終了から Hold 時間経過した時点でキーパッドシーケンスを終了します。ただし、データが読み出されていない場合は、Hold 時間経過後もデータを読み出すまでの間は、キー検出は無効となります。
Hold 時間が経過し、データを読み出すことでキー割り込みが有効になります。
データが読み出されたかどうかは、Page0 の Address00h か 01h のどちらかを読み出すことで認識します。
デバウンス時間及びホールド時間は Keypad Control Register(KEY)で調整することが可能です。

Keypad Debounce Scan initiated by Host (Initial : KST1 bit="0", KST0 bit="1")

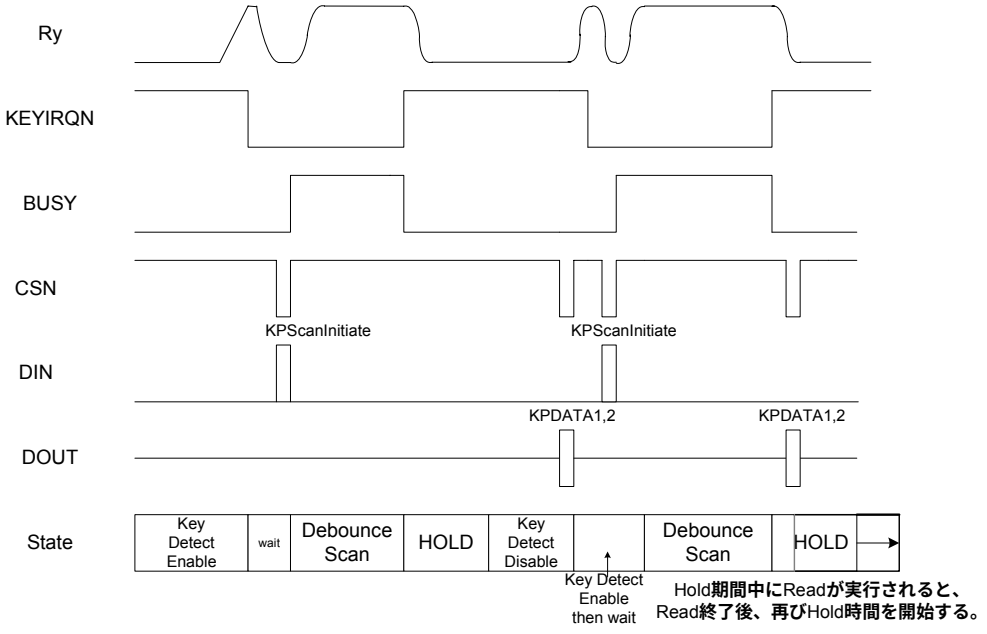


Figure 13. Timing Diagram for keypad debounce scan initiated by Host
(Initial : key interrupt enable, wait for Host instruction)

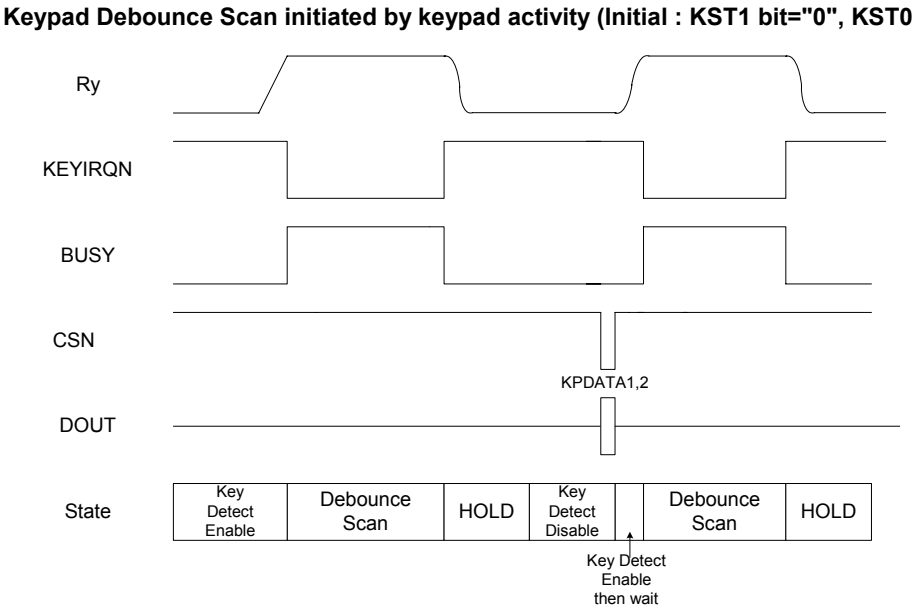


Figure 14. Keypad Debounce Scan initiated by key activity
(key interrupt enable, keyscan initiated by key touch)

■ Keypad Control Register (PAGE 1)

キーパッドの制御は、キーパッド制御レジスタ(Table 12)、２つのキーパッドマスクレジスタKeypad Mask Register (Table 17), KPColumnMASK (Table 19)で行います。キーパッド制御レジスタは、キーパッド割り込み(キー押下げまたはHost指示)によるスキャン移行、キーパッドデバウンス時間、ホールド時間を設定します。Keypad Maskレジスタはキースキャン後にキー毎にデータをマスクをすることが可能です。Keypad Column Maskレジスタは、選択されたキー列のスキャンを停止しキーパッド押下げ検出を無効にします。

Addr	NAME	D15 MSB	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 LSB
00H	KEY	KST1	KST0	DBN[2:0]			HLD[2:0]			0	0	0	0	0	0	0	0

Table 11. Keypad Control Register Format

Bits	Name	Description
15	KST1	Key Interrupt enable (キー待ち enable)信号 0: enable 1: disable
14	KST0	Key scan initiated by Host/Key 0: keyTouch による Scan 移行 1: Host 指示による Scan 移行
13:11	DBN	Keypad debounce time interval
10:8	HLD	Keypad hold time control
7:0		Reserved

Table 12. Keypad Control Register (Write)

KST1 及びKST0 を読み出すことでキーパッドシーケンスの状態を知ることが可能です。各状態を Table 13 に示します。

KST1	KST0	Description
0	0	Keypad Debounce scan is busy.
0	1	Wait for the command initiated by Host
1	0	No detect
1	1	Data available

Table 13. KST bit (Read)

キーパッドデバウンス時間の設定を[DBN2:DBN0]で行います。初期値は、1ms です。

DBN2	DBN1	DBN0	Function
0	0	0	Debounce time: 1ms (default)
0	0	1	Debounce time: 2ms
0	1	0	Debounce time: 5ms
0	1	1	Debounce time: 10ms
1	0	0	Debounce time: 20ms
1	0	1	Debounce time: 50ms
1	1	0	Debounce time: 80ms
1	1	1	Debounce time: 100ms

Table 14. Keypad Debounce Time Interval

キーパッドホールド時間の設定を[HLD2:HLD0]で行います。初期値は、100µs です。

HLD2	HLD1	HLD0	Function
0	0	0	Wait 100µs for next Debounce scan (default)
0	0	1	Wait 1 debounce time interval to the next debounce scan
0	1	0	Wait 2 debounce time interval to the next debounce scan
0	1	1	Wait 3 debounce time interval to the next debounce scan
1	0	0	Wait 4 debounce time interval to the next debounce scan
1	0	1	Wait 5 debounce time interval to the next debounce scan
1	1	0	Wait 6 debounce time interval to the next debounce scan
1	1	1	Wait 7 debounce time interval to the next debounce scan

Table 15. Keypad Hold Time Control

■ Keypad Mask Register (PAGE 1)

キーパッドマスクレジスタのフォーマットは Table 17 以下に示します。マスクされたデータは、KPDATA2 Registerに対して有効です。

Addr	NAME	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
01H	KPMASK1	0	KM15	KM14	KM13	KM12	KM11	KM10	KM9	KM8	KM7	KM6	KM5	KM4	KM3	KM2	KM1
02H	KPMASK2	0	KM30	KM29	KM28	KM27	KM26	KM25	KM24	KM23	KM22	KM21	KM20	KM19	KM18	KM17	KM16

Table 16. Keypad Mask Register Format

KMx	Description
0	キーパッドスキャンデータをマスクしません。(default)
1	キーパッドスキャンデータをマスクします。

Table 17. Keypad Mask bit

このレジスタの各ビットは、キーパッド上の各キーに対応します。各ビットとキーパッド上のキーの関係は Table 24 の通りです。KPMASK1, 2 の初期値は 0000Hで、キーパッドスキャンデータのマスクを行いません。

■ Keypad Column Mask Register (PAGE 1)

キーパッド列マスクレジスタのフォーマットは以下の通りです。列ごとでキー押下げの検出を停止します。

Addr	NAME	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
03H	KPColumnMASK	0	0	0	0	0	0	0	0	0	0	CM6	CM5	CM4	CM3	CM2	CM1

Table 18. Keypad Column Mask Resister Format

CMx	Description
0	キーパッドスキャンで対応する列(Column)キーの押下げ検出をします(default)
1	キーパッドスキャンで対応する列(Column)キーの押下げ検出をしません。

Table 19. Keypad Column Mask bit

■ Keypad Scan Initiate Command (PAGE 1)

KST0 bit = “1”のとき、キータッチを検出した後、キースキャン及びデバウンスを開始せず、Host からの指示待ちとなります。このレジスタに Write を行うことでデバウンススキャンの開始を指示できます。書き込むデータは何でも構いません。このレジスタに書き込みを行うと Keypad Data Register (KPDATA1, KPDATA2) はクリアーされます。

Addr	NAME	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
04H	KPScanInitiate	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Table 20. Keypad Scan Initiate Command Format

■ Keypad Data Register (PAGE 0)

キーパッドデータレジスタのフォーマットは以下の通りです。各データは、押されたキー番号(#1 ~ 30:Table 24)を示します。KD1 ~ KD3, KS1 ~ KS3 が 00Hは、キーが押されていないことを示します。最大 3 キーが同時に押された場合まで測定可能です。例えば 2 キー検出時は、KD1, KD2, KS1, KS2 に押されたキー番号が格納され、KD3, KS3 は 0 となります。また、4 キー以上同時に押された場合、エラービット(DERR bit, SERR bit)が “1”となり、同時にKD1 ~ KD3, KS1 ~ KS3 の各データは 31(1FH)を返します。KD1 ~ KD3 は、column マスクされたデータを出力します。KS1 ~ KS3 は、キーマスクとcolumn マスクされたデータを出力します。これらのレジスタは読み出し後クリアーされます。

Addr	NAME	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00H	KPDATA1	DERR	KD3[4:0]					KD2[4:0]					KD1[4:0]				
01H	KPDATA2	SERR	KS3[4:0]					KS2[4:0]					KS1[4:0]				

Table 21. Keypad Data Register Format

Bits	Name	Description
15	DERR	Keypad scan data error
14:10	KD3	Keypad scan result 3. can be masked by column mask
9:5	KD2	Keypad scan result 2. can be masked by column mask
4:0	KD1	Keypad scan result 1. can be masked by column mask

Table 22. Keypad Data 1 Register (addr: 00H)

Bits	Name	Description
15	SERR	Keypad status data error
14:10	KS3	Keypad status result 3. can be masked by both keymask and column mask
9:5	KS2	Keypad status result 2. can be masked by both keymask and column mask
4:0	KS1	Keypad status result 1. can be masked by both keymask and column mask

Table 23. Keypad Data 2 Register (addr: 01H)

キーパッドの行列と対応するキー番号は以下の通りです。

	C1	C2	C3	C4	C5	C6
R1	#1	#6	#11	#16	#21	#26
R2	#2	#7	#12	#17	#22	#27
R3	#3	#8	#13	#18	#23	#28
R4	#4	#9	#14	#19	#24	#29
R5	#5	#10	#15	#20	#25	#30

Table 24. Keypad to Key number Mapping

■ GPIO controller

AK4184Aは、8ポートの入力または出力として使用可能なpinを持っています。データの方向を選択するGPDRレジスタ、出力タイプ(CMOS,オープンドレイン)を選択するGPPUレジスタ、pin状態 (pull-down, Hi-Z) を設定するGPSRレジスタ、pinレベルを設定するGPSCRレジスタ、pinレベルを読み込むGPLRレジスタでGP0 ~ GP7 pinsの設定を行います。I/Oポートは、ロジック入力、CMOS出力、オープンドレインのロジック出力の組み合わせが可能です。初期値は、ロジック入力でプルダウンされています。

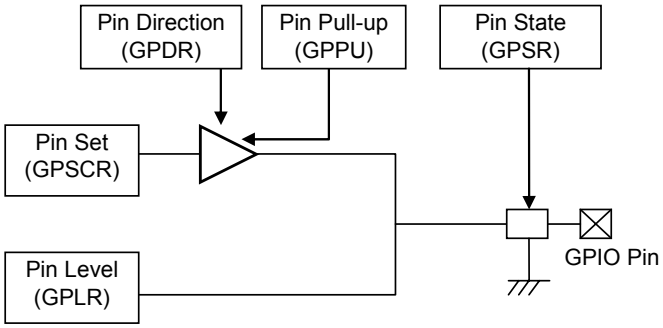


Figure 15. GPIOレジスタの設定

■ GPIO Pin Set/ Clear Register (PAGE 1)

GPSCRは、出力pinのレベルを設定するレジスタです。ピン設定が出力設定(Table 28: IO bit = “1”)の場合のみ有効です。実際のピンレベルを確認する時は、GPLRレジスタで読み出し可能です。

Addr	Name	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
10H	GPSCR	0	0	0	0	0	0	0	0	SC7	SC6	SC5	SC4	SC3	SC2	SC1	SC0

Table 25. GPIO Pin Set/Clear Register Format

Bits	Name	Description
15:8		Reserved
7:0	SC	Set GPIO Pin level for GPIO pins 0: Set pin level low (default) 1: Set pin level high

Table 26. GPIO Pin Set/ Clear Register

■ GPIO Pin Direction Register (PAGE 1)

GPDRは、ピンの入出力の方向を設定するレジスタです。

Addr	Name	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
11H	GPDR	IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0	0	0	0	0	0	0	0	0

Table 27. GPIO Pin Direction Register Format

Bits	Name	Description
15:8	IO	GPIO Direction select 0: GPIO pin configured as input. (default) 1: GPIO pin configured as output.
7:0		Reserved

Table 28. GPIO Direction Register

■ GPIO Pin Pull-up Register (PAGE 1)

GPPUは、出力タイプ(CMOS、Open-drain)を選択するレジスタです。ピン設定が出力設定(Table 28: IO bit = "1")の場合のみ有効です。オープンドレインタイプを選択した場合、プルアップ抵抗の接続先は、(IOVDD+0.3)V以下にして下さい。

Addr	Name	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
12H	GPPU	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0	0	0	0	0	0	0	0	0

Table 29. GPIO Pin Pull-up Register Format

Bits	Name	Description
15:8	PU	GPIO Pullup register select 0: GPIO CMOS outputs (default) 1: GPIO Open drain outputs
7:0		Reserved

Table 30. GPIO Pin Pull-up Register

■ GPIO Pin State Register (PAGE 1)

GPSR は、ピン状態を設定します。ピン設定が入力設定(IO bit = "0")の場合のみ有効です。

Addr	Name	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
13H	GPSR	PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0	0	0	0	0	0	0	0	0

Table 31. GPIO Pin Sate Register Format

Bits	Name	Description
15:8	PS	GPIO Pin state select 0: GPIO Pull-down (Rgp=1MΩ typ.) state (default) 1: GPIO pin Hi-Z state
7:0		Reserved

Table 32. GPIO Pin State Register

■ GPIO Pin Level Register (PAGE 0)

ピン入力レベルを読み出すレジスタです。ピン設定(IO bit)が、入力、出力どちらの場合でも有効です。このレジスタは読み出し専用です。上位 8 ビットの Reserved ビットは、 "0"を返します。

Addr	Name	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
10H	GPLR	0	0	0	0	0	0	0	0	GPD7	GPD6	GPD5	GPD4	GPD3	GPD2	GPD1	GPD0

Table 33. GPIO Pin Level Register Format

Bits	Name	Description
15:8	0	Reserved
7:0	GPD	GPIO Pin Level bits for GPIO pins 0: Pin state is low 1: Pin state is high

Table 34. GPIO Pin Level Register

■ LED 輝度調整回路

AK4184A は、白色 LED 輝度調整を行う PWM 方式の調光回路及び発振回路(OSC)を内蔵しています。LED の調光は、LED ドライバ IC への PWM 入力周波数(f_{PWM})と duty を変更する事で行います。PWM 制御回路は内蔵の発振器の出力を分周して、スイッチング動作を行います。PWM 発振周波数(fpwm)レンジは、最小 80Hz (typ.)から可能です。基本波 fpwm をロジック制御回路で 32 ステップのデューティタイミングで出力します。出力は、PACT bit で切り替えます。BRV bit、DIV bit で PWM 周波数の duty 幅を設定します。ノーマルモードでデューティデータが変更されるまで連続で出力されます。
出力のフルスケールは、IOVDD トラッキングの CMOS 出力とオープンドレイン出力を選択することが可能です。リセット解除後の初期値は、発振回路はパワーダウン状態で BRCONT pin は “L”を出力します。

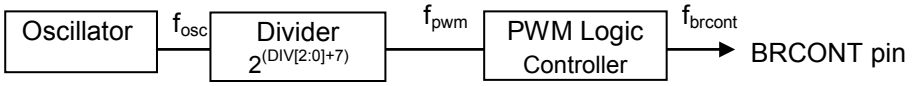


Figure 16. PWM output block

Example BRV [4:0] =11H 設定時

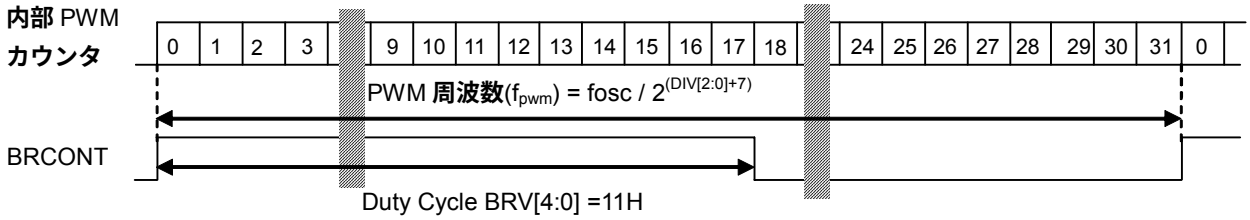


Figure 17. PWM output waveform

■ PWM Control Register (PAGE 1)

Addr	Name	D15 MSB	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 LSB
18H	PWMCTRL	LPU	0	0	BRV[4:0]					0	PACT	0	0	0	DIV[2:0]		

Table 35. PWM Control Register Format

Bits	Name	Description
15	LPU	Output type Open drain/ CMOS 0: CMOS type (default) 1: Open Drain type
14:13		Reserved
12:8	BRV	Bright Control Value The period of “H” output level is (control value + 1) cycle in unit of (fpwm/32)
7		Reserved
6	PACT	Oscillator and PWM Logic Controller Power Up 0: Power Down State (default) 1: Normal mode (Oscillator power up and enable output)
5:3		Reserved
2:0	DIV	PWM clock divider index fpwm(typ.) = fosc/2 [DIV + 7]

Table 36. PWM Control Register

■ Power Down Register (PAGE 1)

タッチパネル、キーパッドブロックをパワーアップ／ダウンさせるレジスタです。
タッチパネルブロックのパワーダウン状態(TPPD bit = “1”)ではタッチパネルドライバは全て OFF になりますので、ペンダウン時においてもタッチスクリーン経由で電流が流れません。またペン割り込みは無効で、PENIRQN pin は常に“H”です。ペン割り込みを無効にし、タッチパネルドライバをオフに出来ます。タッチパネルブロックをパワーダウンして消費電力を削減する場合に有効です。
キーパッドブロックのパワーダウン(KPPD bit = “1”)を行うと C1 ~ C6 pins の出力が “L”になり、現在進行中のキースキャンを停止し、データ読み出しフラグをクリアーします。パワーアップ設定後、キーパッドシーケンスを開始することが可能です。パワーダウン状態ではキー割り込みは無効です。
タッチパネル、キーパッドブロックのパワー制御レジスタのフォーマットは以下の通りです。

Addr	NAME	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
08H	PDCTRL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	KPPD	TPPD

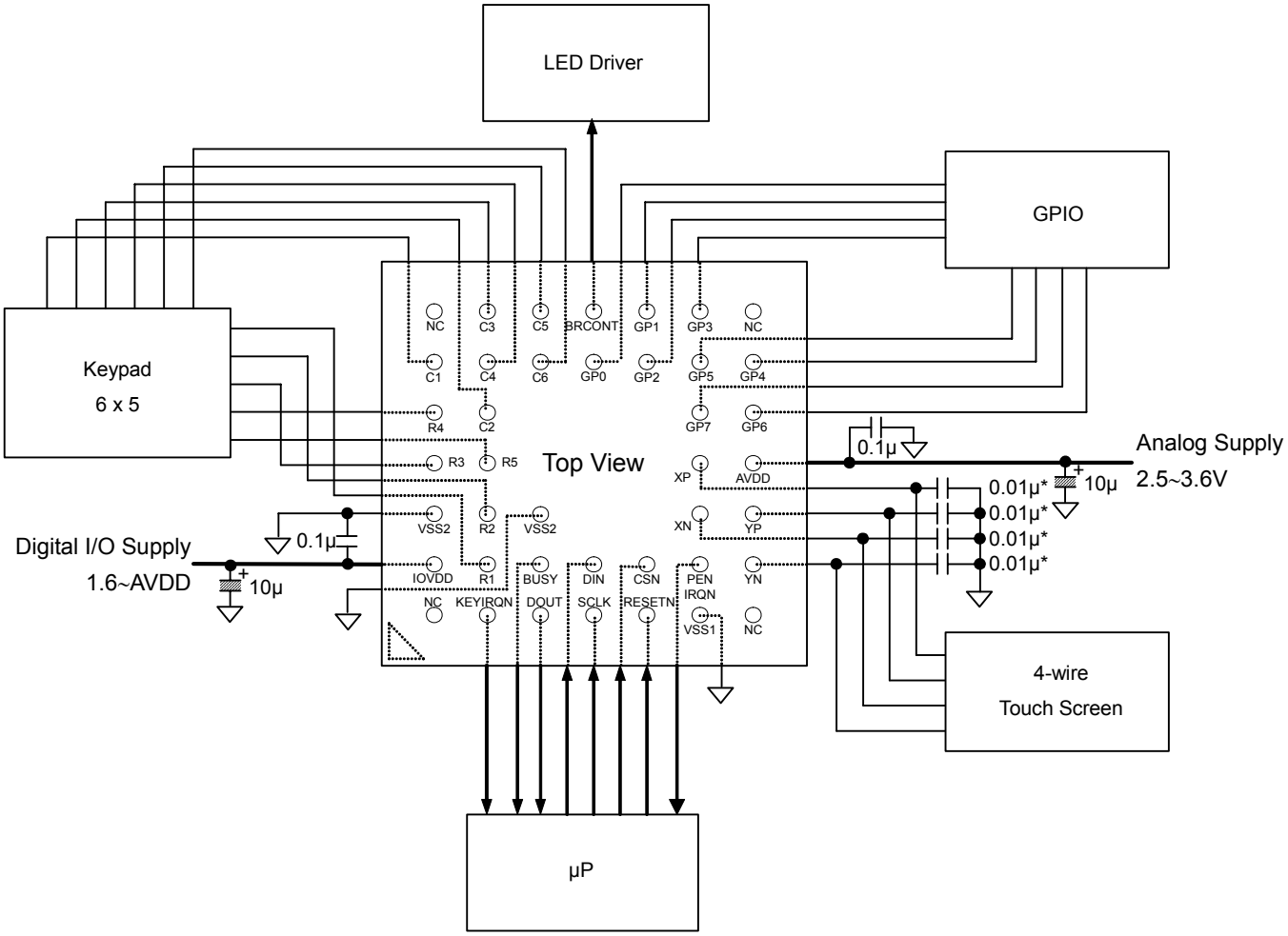
Table 37. Power Down Register Format

Bits	Name	Description
15:2		Reserved
1	KPPD	キーパッドブロックのパワーダウンを行います 0: パワーアップ(default) 1: パワーダウン
0	TPPD	タッチパネルブロックのパワーダウンを行います 0: パワーアップ(default) 1: パワーダウン

Table 38. Power Down Register

システム設計

Figure 18 はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4184A)を参照ください。



注:
- AK4184A の VSS1, VSS2 と周辺コントローラ等のグランドは分けて配線して下さい。
- ディジタル入力ピン(CSN, SCLK, DIN pins)はオープンにしないで下さい。
- ホストプロセッサと通信中以外は、AK4184A の DOUT pin は Hi-Z 状態です。そのため、AK4184A の DOUT pin に 100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

Figure 18. システム接続図

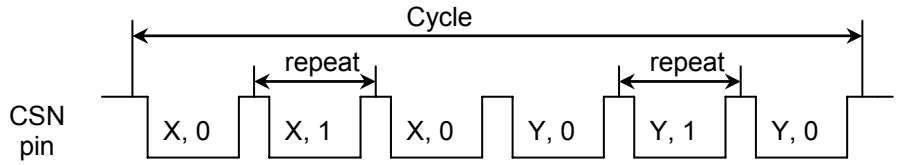
■ PCB 設計の注意点

電源とグランドの取り方には十分注意してください。VSS1 と VSS2 は同じアナロググランドに接続してください。システムのグランドは、アナログとディジタルで分けて配線し PC ボード上の電源に近いところで接続してください。小容量のデカップリングコンデンサはなるべく電源ピンの近くで接続してください。

タッチパネル信号ラインにRF等の発振源が近接する場合は、ノイズが動作に影響します。RF信号源を遠ざけるか、XP, XN, YP, YNの信号ピン近くにコンデンサ(*:Figure 18 の 0.01µF)を実装してノイズを除去してください。また、タッチパネル、GPIO、キーパッド信号ラインからの静電気ノイズによる誤動作や破壊を防止する為、各信号ピン(XP, XN, YP, YN, GP1-8, C1-6, R1-5 pins)近くに静電気保護素子を実装して下さい。

コントロール シーケンス

■ X-, Y- Coordinate measurements



X: X-measurement, Y:Y-measurement.

0: PD bit = "0" setting, 1: PD bit = "1" setting.

Figure 19. Timing Sequence for detecting X, Y position

■ Keypad Scanner flowchart

1. ホストスキャン

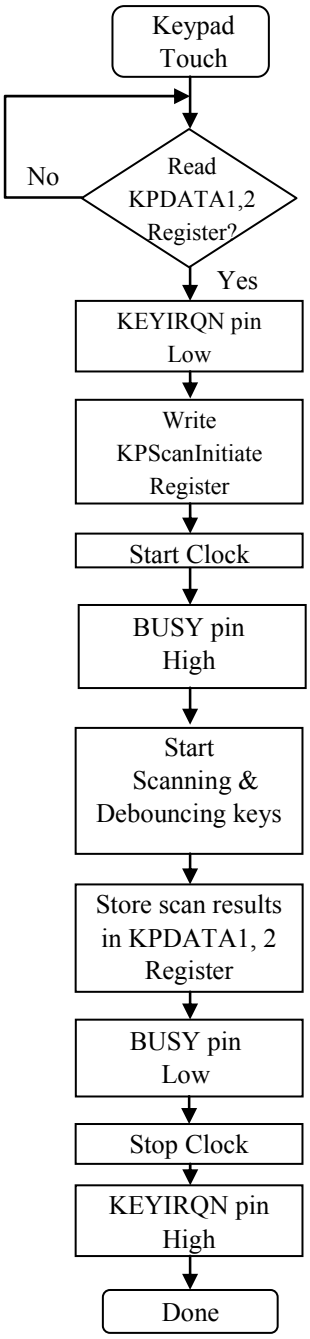


Figure 20. Keypad scanner sequence initiated by Host command

2. キープレススキャン

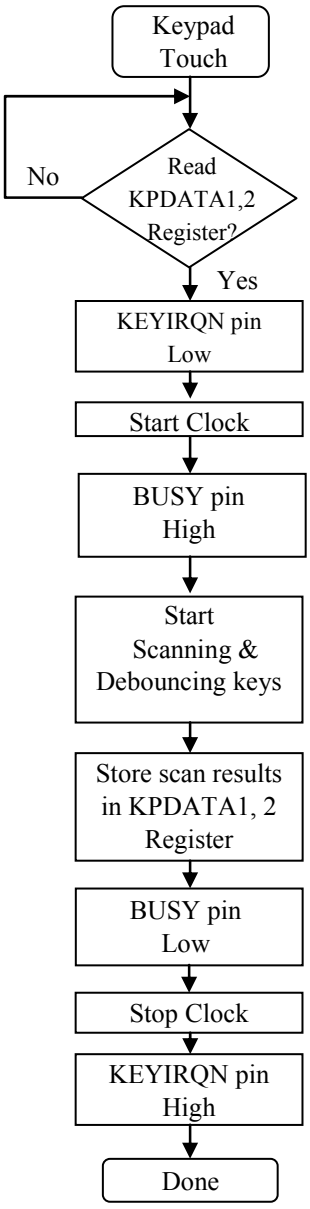
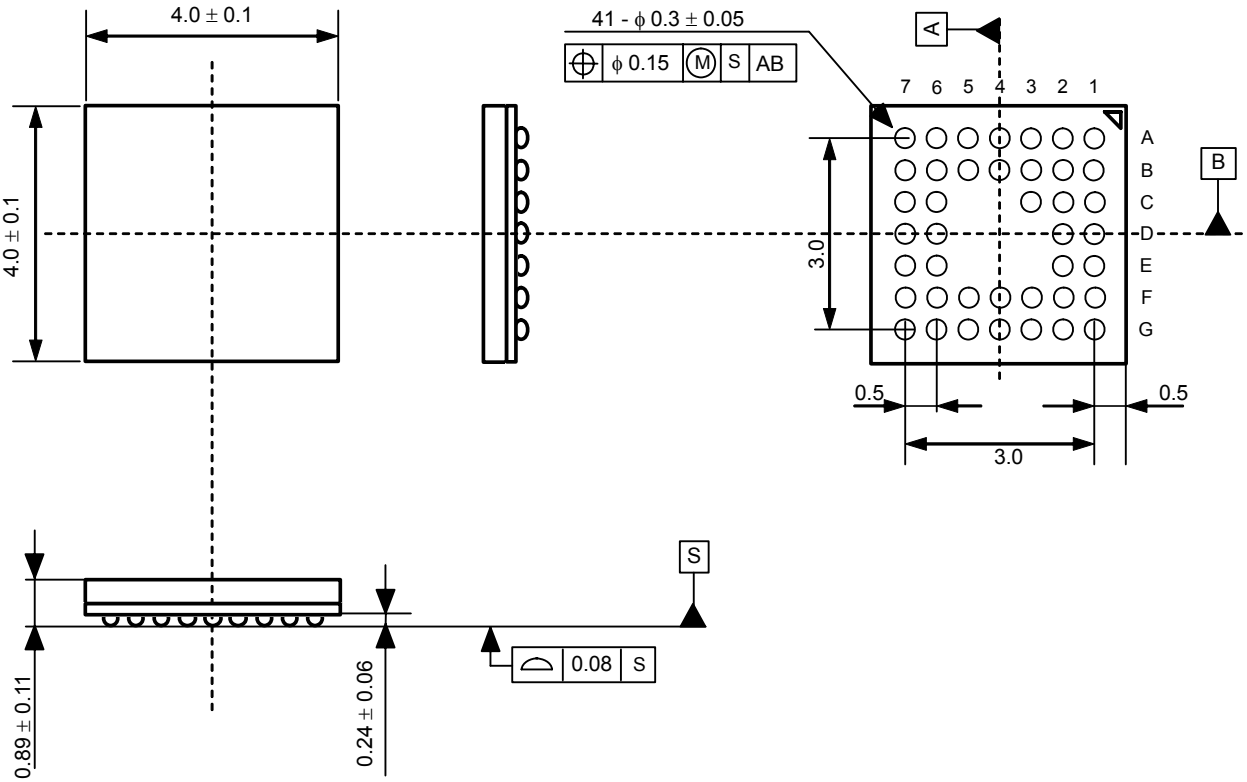


Figure 21. Keypad scanner sequence initiated by key press

パッケージ

外形寸法図

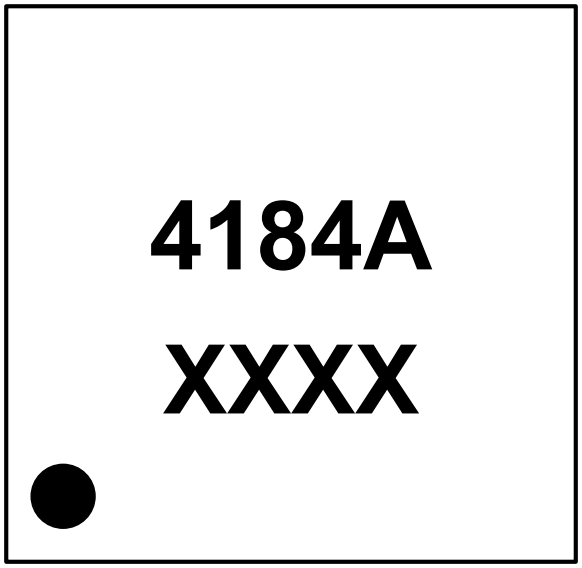
41 ピン FBGA (Unit: mm)



■ 材質・メッキ仕様

パッケージ材質: エポキシ系樹脂
インターポーザー材質: BT レジン
半田ボール材質: SnAgCu

マーキング



Date Code: XXXX(4 digits)
Pin #A1 indication

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
08/04/16	00	初版		

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。