AK4343

Stereo DAC with HP/RCV/SPK-AMP

概　要

AK4343はヘッドフォンアンプ、レシーバアンプおよび1.2W出力のスピーカアンプを内蔵したステレオDACです。アナログミキシング回路とPLLを内蔵しており、PMP(ポータブルマルチメディアプレーヤ)や携帯電話用途のシステムと容易にインタフェースを取ることが可能です。パッケージは小型の32pin QFNを採用、従来システムと比較して実装面積を大幅に削減します。

特　長

1. 再生側機能
   - ディジタルディエンファシスフィルタ (tc=50/15μs, fs=32kHz, 44.1kHz, 48kHz)
   - バスブースト
   - ソフトミュート
   - ディジタルボリューム内蔵 (+12dB ~ –115.0dB, 0.5dB Step, Mute)
   - Digital ALC (Automatic Level Control) 回路内蔵
     (+36dB ~ –54dB, 0.375dB Step, Mute)
   - ステレオ感強調回路
   - ステレオライン出力
   - Programmable EQ
     - 特性: S/(N+D): 88dB, S/N: 92dB
   - モノラルレシーバアンプ内蔵
     - BTL Output
     - 定格出力: 30mW@32Ω (AVDD=3.3V)
   - ステレオヘッドフォンアンプ内蔵
     - HP-AMP特性: S/(N+D): 70dB@7.5mW, S/N: 90dB
     - 定格出力: 70mW@16Ω (HVDD=5V), 62mW@16Ω (HVDD=3.3V)
     - 電源ON/OFF時クリックノイズフリー
   - モノラルスピーカアンプ内蔵
     - SPK-AMP特性: S/(N+D): 50dB@240mW, S/N: 90dB
     - BTL接続
     - 圧電スピーカ対応
     - 定格出力: 1.2W@8Ω (HVDD=5V), 400mW@8Ω (HVDD=3.3V)
       3.0Vrms@50Ω (HVDD=5V)
   - アナログミキシング:
     - 3ステレオ入力
     - ゲインアンプ内蔵 (+32dB/+26dB/+20dB or 0dB)
2. パワーマネジメント機能
3. マスタクロック:
   (1) PLLモード
   - 周波数: 11.2896MHz,12MHz,12.288MHz,13.5MHz,24MHz,27MHz (MCKI pin)
     1fs (LRCK pin)
     32fs or 64fs (BICK pin)

   (2) 外部クロックモード
   - 周波数: 256fs, 512fs or 1024fs (MCKI pin)
4. マスタクロック出力周波数: 32fs/64fs/128fs/256fs
5. サンプリング周波数:
   - PLL Slave Mode (LRCK pin): 7.35kHz ~ 48kHz
   - PLL Slave Mode (BICK pin): 7.35kHz ~ 48kHz
   - PLL Slave Mode (MCKI pin):
     8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
   - PLL Master Mode:
     8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz

- **EXT Master/Slave Mode:**
  7.35kHz ~ 48kHz (256fs), 7.35kHz ~ 26kHz (512fs), 7.35kHz ~ 13kHz (1024fs)

6. シリアルμPインタフェース: 3線シリアル, I²Cバス (Ver 1.0, 400kHz高速モード)
7. マスタ／スレーブモード
8. オーディオインタフェースフォーマット: MSB First, 2's complement
- **16bit前詰め, 16bit後詰め, 16-24bit I²S, DSP Mode**

9. Ta = –30 ~ 85°C (AK4343EN)
–40 ~ 85°C (AK4343VN)
10. 電源電圧:
- **AVDD, DVDD: 2.6 ~ 5.25V (typ. 3.3V)**
- **HVDD: 2.6 ~ 5.25V (typ. 3.3V/5.0V)**

11. パッケージ : 32pin QFN (5mm x 5mm, 0.5mm pitch)
12. AK4642ENとピン/レジスタ互換

■ ブロック図

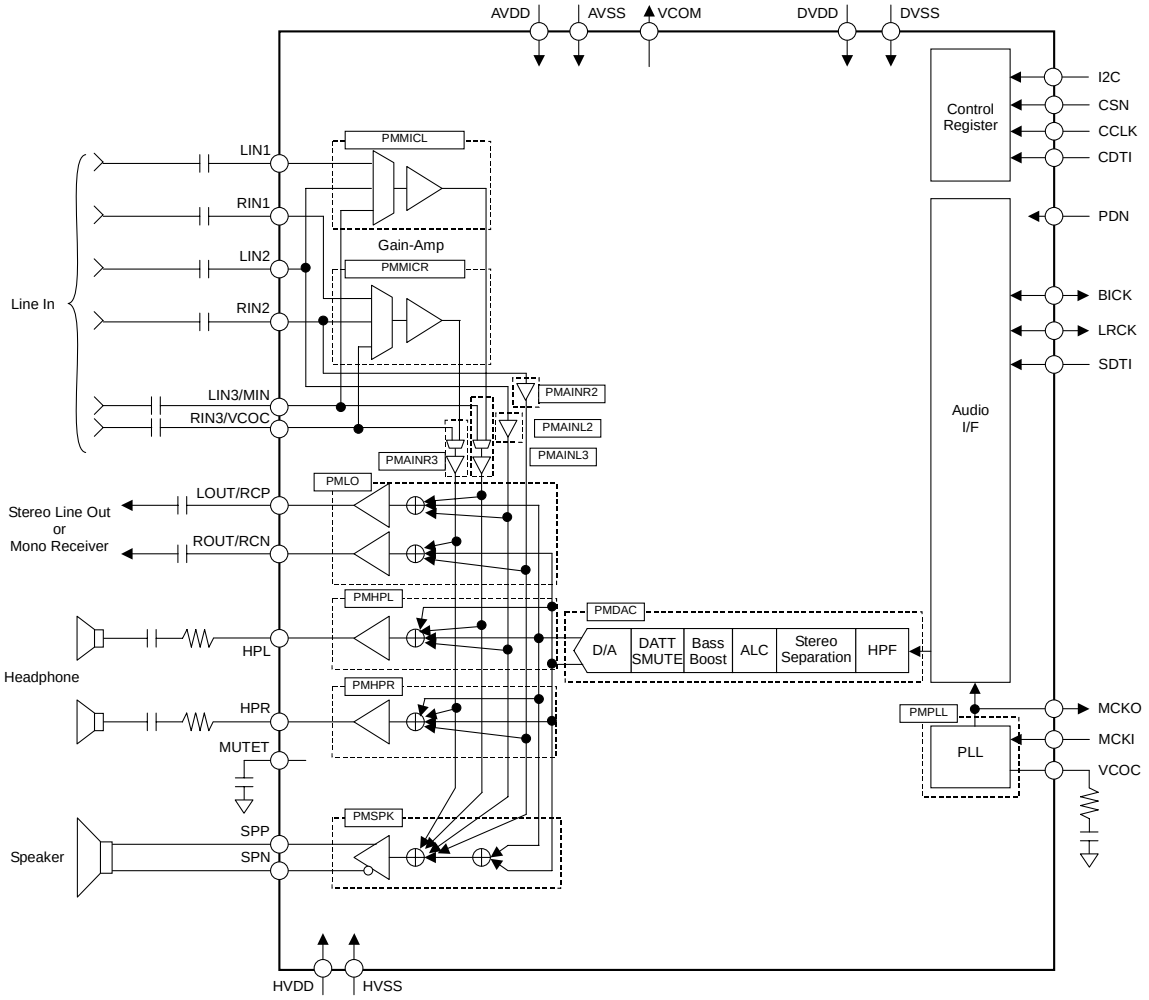
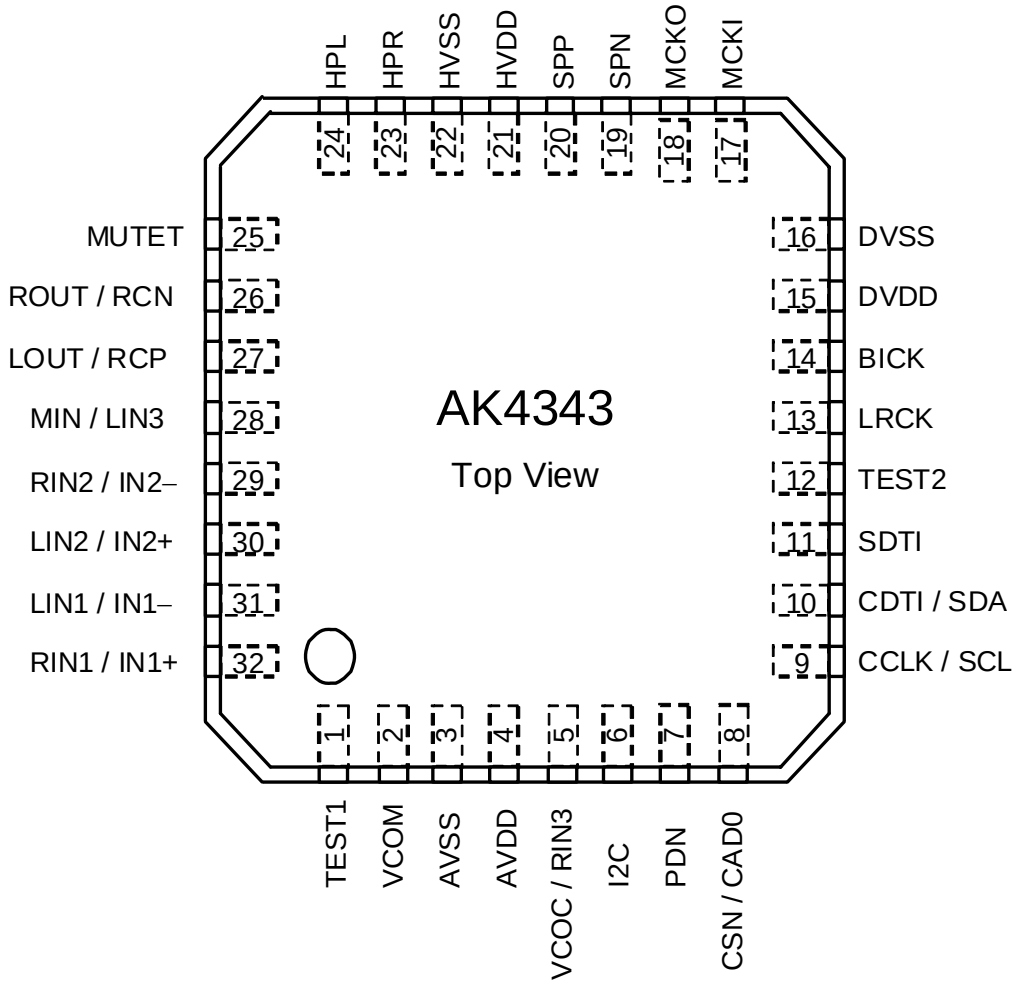


Figure 1. ブロック図

■ オーダリングガイド

AK4343EN	–30 ~ +85°C	32pin QFN (0.5mm pitch)
AK4343VN	–40 ~ +85°C	32pin QFN (0.5mm pitch)
AKD4343	AK4343用評価ボード	

■ ピン配置



■ AK4642ENとの互換性

1. 機能

機能	AK4642EN	AK4343
SPK-Amp定格出力	400mW@3.3V	1.2W@5V
HP-Amp定格出力	62mW@3.3V	70mW@5V
Receiver-Amp	No	Yes
アナログミキシング	1 Mono	3 Stereo
ADC	Yes	No
ALCリカバリ周期	128/fs ~ 1024/fs	128/fs ~ 16384/fs
ALCファーストリカバリ速度	4倍	4倍, 8倍, 16倍
DSP Format	No	Yes
EXT Master Mode	No	Yes
DAC Group Delay	22/fs	25/fs

2. ピン

Pin#	AK4642EN	AK4343
1	MPWR	TEST1
5	VCOC	VCOC/RIN3
12	SDTO	TEST2
26	ROUT	ROUT/RCN
27	LOUT	LOUT/RCP
28	MIN	MIN/LIN3

3. レジスタ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMMIN	PMSPK	PMLO	PMDAC	0	~~PMADL~~
01H	Power Management 2	0	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
02H	Signal Select 1	SPPSN	MINS	DACS	DACL	0	~~PMMP~~	0	MGAIN0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	SPKG1	SPKG0	MINL	0	0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
05H	Mode Control 2	PS1	PS0	FS3	MSBS	BCKP	FS2	FS1	FS0
06H	Timer Select	DVTM	WTM2	ZTM1	ZTM0	WTM1	WTM0	RFST1	RFST0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
09H	Lch Input Volume Control	AVL7	AVL6	AVL5	AVL4	AVL3	AVL2	AVL1	AVL0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	VBAT	0
0CH	Rch Input Volume Control	AVR7	AVR6	AVR5	AVR4	AVR3	AVR2	AVR1	AVR0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
0EH	Mode Control 3	0	~~LOOP~~	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
0FH	Mode Control 4	0	0	0	0	AVOLC	HPM	MINH	DACH
10H	Power Management 3	INR1	INL1	HPG	MDIF2	MDIF1	INR0	INL0	~~PMADR~~
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8
20H	Power Management 4	0	0	PMAINR3	PMAINL3	PMAINR2	PMAINL2	PMMICR	PMMICL
21H	Mode Control 5	0	0	MICR3	MICL3	0	0	AIN3	RCV
22H	Lineout Mixing Select	0	0	0	0	RINR3	LINL3	RINR2	LINL2
23H	HP Mixing Select	0	0	0	0	RINH3	LINH3	RINH2	LINH2
24H	SPK Mixing Select	0	0	0	0	RINS3	LINS3	RINS2	LINS2

AK4343で追加されたビット
AK4343で削除されたビット

ピン／機能

No.	Pin Name	I/O	Function
1	TEST1	-	テスト1ピン オープンにして下さい。
2	VCOM	O	コモン電圧出力ピン, 0.45 x AVDD DAC出力のバイアス電圧です。
3	AVSS	-	アナロググランドピン
4	AVDD	-	アナログ電源ピン
5	VCOC	O	PLLのループフィルタ用出力ピン(AIN3 bit = “0” : PLL使用可能) AVSSとの間に抵抗とコンデンサをシリーズ接続して下さい。
	RIN3	I	Rchアナログ入力3ピン(AIN3 bit = “1” : PLL使用不可)
6	I2C	I	コントロールモード選択ピン “H”: I^2Cバス, “L”: 3線式シリアル
7	PDN	I	パワーダウンモードピン “H”: パワーアップ “L”: パワーダウン、リセット、コントロールレジスタの初期化
8	CSN	I	チップセレクトピン (I2C pin = “L” : 3線シリアルモード)
	CAD0	I	チップアドレス0ピン (I2C pin = “H” : I^2Cバスモード)
9	CCLK	I	コントロールクロック入力ピン (I2C pin = “L” : 3線シリアルモード)
	SCL	I	コントロールクロック入力ピン (I2C pin = “H” : I^2Cバスモード)
10	CDTI	I	コントロールデータ入力ピン (I2C pin = “L” : 3線シリアルモード)
	SDA	I/O	コントロールデータ入出力ピン (I2C pin = “H” : I^2Cバスモード)
11	SDTI	I	オーディオシリアルデータ入力ピン
12	TEST2	-	テスト2ピン オープンにして下さい。
13	LRCK	I/O	入出力チャネルクロックピン
14	BICK	I/O	オーディオシリアルクロックピン
15	DVDD	-	ディジタル電源ピン
16	DVSS	-	ディジタルグランドピン
17	MCKI	I	外部マスタクロック入力ピン
18	MCKO	O	マスタクロック出力ピン
19	SPN	O	スピーカアンプ反転出力ピン
20	SPP	O	スピーカアンプ非反転出力ピン
21	HVDD	-	ヘッドフォンアンプ&スピーカアンプ電源ピン
22	HVSS	-	ヘッドフォンアンプ&スピーカアンプグランドピン
23	HPR	O	Rchヘッドフォンアンプ出力ピン
24	HPL	O	Lchヘッドフォンアンプ出力ピン
25	MUTET	O	ミュート時定数コントロールピン HVSSピンとの間に時定数設定用コンデンサを接続します。
26	ROUT	O	Rchライン出力ピン(RCV bit = “0” : シングルエンドステレオ出力)
	RCN	O	レシーバアンプ反転出力ピン(RCV bit = “1” : BTL出力)
27	LOUT	O	Lchライン出力ピン(RCV bit = “0” : シングルエンドステレオ出力)
	RCP	O	レシーバアンプ非反転出力ピン(RCV bit = “1” : BTL出力)
28	MIN	I	モノラルアナログ入力ピン(AIN3 bit = “0” : PLL使用可能)
	LIN3	I	Lchアナログ入力3ピン (AIN3 bit = “1” : PLL使用不可)
29	RIN2	I	Rchアナログ入力2ピン(MDIF2 bit = “0” : シングルエンド入力)
	IN2−	I	Rch反転入力2ピン(MDIF2 bit = “1 : 差動入力”)
30	LIN2	I	Lchアナログ入力2ピン(MDIF2 bit = “0” : シングルエンド入力)
	IN2+	I	Rch非反転入力2ピン(MDIF2 bit = “1” : 差動入力)
31	LIN1	I	Lchアナログ入力1ピン(MDIF1 bit = “0” : シングルエンド入力)
	IN1−	I	Lch反転入力1ピン(MDIF1 bit = “1” : 差動入力)
32	RIN1	I	Rchアナログ入力1ピン(MDIF1 bit = “0” : シングルエンド入力)
	IN1+	I	Lch非反転入力1ピン(MDIF1 bit = “1” : 差動入力)

Note 1. アナログ入力ピン (MIN/LIN3, LIN1, RIN1, LIN2, RIN2, RIN3)以外のすべての入力ピンはフローティングにしてはいけません。

Note 2. I2C pinにはAVDDもしくはAVSSを入力して下さい。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	VCOC/RIN3, SPN, SPP, HPR, HPL, MUTET, ROUT/RCN, LOUT/RCP, MIN/LIN3, RIN2/IN2–, LIN2/IN2+, LIN1/IN1–, RIN1/IN1+	オープン
Digital	MCKO	オープン
	MCKI	DVSSに接続

絶対最大定格

(AVSS=DVSS=HVSS=0V; Note 3)

Parameter			Symbol	min	max	Units
Power Supplies:	Analog		AVDD	–0.3	6.0	V
	Digital		DVDD	–0.3	6.0	V
	Headphone-Amp / Speaker-Amp		HVDD	–0.3	6.0	V
	|AVSS – DVSS| (Note 4)		ΔGND1	-	0.3	V
	|AVSS – HVSS| (Note 4)		ΔGND2	-	0.3	V
Input Current, Any Pin Except Supplies			IIN	-	±10	mA
Analog Input Voltage (Note 5)			VINA	–0.3	AVDD+0.3	V
Digital Input Voltage (Note 6)			VIND	–0.3	DVDD+0.3	V
Ambient Temperature (powered applied)		AK4343EN	Ta	–30	85	°C
		AK4343VN	Ta	–40	85	°C
Storage Temperature			Tstg	–65	150	°C
Maximum Power Dissipation (Note 7)	Ta=85°C (Note 8)		Pd1	-	750	mW
	Ta=70°C (Note 9)		Pd2	-	1000	mW

Note 3. 電圧はすべてグランドピンに対する値です。
Note 4. AVSSとDVSS, HVSSは同じアナロググランドに接続して下さい。
Note 5. I2C, MIN/LIN3, RIN3, RIN2/IN2–, LIN2/IN2+, LIN1/IN1–, RIN1/IN1+ pins
Note 6. PDN, CSN/CAD0, CCLK/SCL, CDTI/SDA, SDTI, LRCK, BICK, MCKI pins
SDA, SCL pinsのプルアップ抵抗の接続先は(DVDD+0.3)V以下にして下さい。
Note 7. パッケージ裏面の露出タブをグランドに接続し、実装されるプリント基板の配線密度100%以上の場合です。パッケージ裏面の露出タブをオープンにした場合はPd1=400mW(max: スピーカアンプ使用不可), Pd2=550mW(max: HVDD=2.6~3.6Vにてスピーカアンプ使用可能)です。この電力値はAK4343の内部損失分で、外部接続されるスピーカおよびヘッドフォンでの消費分は含まれません。
Note 8. HVDD=2.6~3.6Vにてスピーカアンプを使用することができます。
Note 9. HVDD=2.6~5.25Vにてスピーカアンプを使用することができます。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、通常の動作は保証されません。

推奨動作条件

(AVSS=DVSS=HVSS=0V; Note 3)

Parameter		Symbol	min	typ	max	Units
Power Supplies (Note 10)	Analog	AVDD	2.6	3.3	3.6	V
	Digital	DVDD	2.6	3.3	3.6	V
	HP / SPK-Amp	HVDD	2.6	3.3 / 5.0	5.25	V
	Difference	AVDD−DVDD	−0.3	0	+0.3	V

Note 3. 電圧はすべてグランドピンに対する値です。

Note 10. AVDD, DVDD, HVDDの電源立ち上げシーケンスを考慮する必要はありません。AVDD, HVDDだけOFFした場合、DVDDのリーク電流が増加する可能性があります。また、DVDDをOFFする場合はAVDD, HVDDもOFFしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

アナログ特性

(Ta=25°C; AVDD=DVDD=HVDD=3.3V; AVSS=DVSS=HVSS=0V; fs=44.1kHz, BICK=64fs;
Signal Frequency=1kHz; 16bit Data; Measurement frequency=20Hz ~ 20kHz; unless otherwise specified)

Parameter		min	typ	max	Units
Gain Amplifier: LIN1/RIN1/LIN2/RIN2 pins & LIN3/RIN3 pins (AIN3 bit = "1"); MDIF1=MDIF2 bits = "0" (Single-ended inputs)					
Input Resistance	MGAIN1-0 bits = "00"	40	60	80	kΩ
	MGAIN1-0 bits = "01", "10"or "11"	20	30	40	kΩ
Gain	MGAIN1-0 bits = "00"	-	0	-	dB
	MGAIN1-0 bits = "01"	-	+20	-	dB
	MGAIN1-0 bits = "10"	-	+26	-	dB
	MGAIN1-0 bits = "11"	-	+32	-	dB
Gain Amplifier: IN1+/IN1−/IN2+/IN2− pins; MDIF1 = MDIF2 bits = "1" (Full-differential input)					
Input Voltage (Note 11)					
	MGAIN1-0 bits = "01"	-	-	0.228	Vpp
	MGAIN1-0 bits = "10"	-	-	0.114	Vpp
	MGAIN1-0 bits = "11"	-	-	0.057	Vpp

Note 11. プラス入力ピンとマイナス入力ピンの差分です。ACカップリングコンデンサを各入力ピンにシリーズに接続して下さい。MGAIN1-0 bits = "00"のとき差動入力は使用禁止です。IN1+, IN1−, IN2+, IN2− pinの最大入力電圧はそれぞれAVDDに比例します。Vin = |(IN+) − (IN−)| = 0.069 x AVDD (max)@MGAIN1-0 bits = "01", 0.035 x AVDD (max)@MGAIN1-0 bits = "10", 0.017 x AVDD (max)@MGAIN1-0 bits = "11".
この電圧を越える信号が入力された場合、Ampの動作は保証できません。

Parameter		min	typ	max	Units
DAC Characteristics:					
Resolution		-	-	16	Bits
Stereo Line Output Characteristics: DAC → LOUT/ROUT pins, ALC=OFF, AVOL=0dB, DVOL=0dB, LOVL bit = "0", RCV bit = "0", R_L=10kΩ; unless otherwise specified.					
Output Voltage (Note 12)	LOVL bit = "0"	1.78	1.98	2.18	Vpp
	LOVL bit = "1"	2.25	2.50	2.75	Vpp
S/(N+D) (–3dBFS)		78	88	-	dBFS
S/N (A-weighted)		82	92	-	dB
Interchannel Isolation					
	PMAINL2/R2/L3/R3 bits = "1"	80	100	-	dB
	PMAINL2/R2/L3/R3 bits = "0"	-	100	-	dB
Interchannel Gain Mismatch		-	0.1	0.5	dB
Load Resistance		10	-	-	kΩ
Load Capacitance		-	-	30	pF
Mono Receiver Output Characteristics: DAC → RCP/RCN pins, ALC=OFF, AVOL=0dB, DVOL=0dB, LOVL bit = "0", RCV bit = "1", R_L=32Ω, BTL; unless otherwise specified.					
Output Voltage (Note 13)					
LOVL bit = "0", –6dBFS, R_L=32Ω (Po=15mW)		1.57	1.96	2.35	Vpp
LOVL bit = "0", –3dBFS, R_L=32Ω (Po=30mW)		-	2.77	-	Vpp
LOVL bit = "1", –8dBFS, R_L=32Ω (Po=15mW)		1.57	1.96	2.35	Vpp
LOVL bit = "1", –5dBFS, R_L=32Ω (Po=30mW)		-	2.77	-	Vpp
S/(N+D)					
LOVL bit = "0", –6dBFS, R_L=32Ω (Po=15mW)		40	60	-	dB
LOVL bit = "0", –3dBFS, R_L=32Ω (Po=30mW)		-	60	-	dB
S/N (A-weighted)		85	95	-	dBFS
Load Resistance		32	-	-	Ω
Load Capacitance		-	-	30	pF

Note 12. 出力電圧はAVDDに比例します。Vout = 0.6 x AVDD (typ)@LOVL bit = "0".
Note 13. 出力電圧はAVDDに比例します。Vout = 0.59 x AVDD (typ)@LOVL bit = "0", –6dBFS.

Parameter		min	typ	max	Units
Headphone-Amp Characteristics: DAC → HPL/HPR pins, ALC=OFF, AVOL=0dB, DVOL=0dB; unless otherwise specified.					
Output Voltage (Note 14)					
HPG bit = “0”, 0dBFS, HVDD=3.3V, R_L=22.8Ω		1.58	1.98	2.38	Vpp
HPG bit = “1”, 0dBFS, HVDD=5V, R_L=100Ω		2.40	3.00	3.60	Vpp
HPG bit = “1”, 0dBFS, HVDD=3.3V, R_L=16Ω (Po=62mW)		-	1.0	-	Vrms
HPG bit = “1”, 0dBFS, HVDD=5V, R_L=16Ω (Po=70mW)		-	1.06	-	Vrms
S/(N+D)					
HPG bit = “0”, –3dBFS, HVDD=3.3V, R_L=22.8Ω		60	70	-	dBFS
HPG bit = “1”, –3dBFS, HVDD=5V, R_L=100Ω		-	80	-	dBFS
HPG bit = “1”, 0dBFS, HVDD=3.3V, R_L=16Ω (Po=62mW)		-	20	-	dBFS
HPG bit = “1”, 0dBFS, HVDD=5V, R_L=16Ω (Po=70mW)		-	70	-	dBFS
S/N (A-weighted)	(Note 15)	80	90	-	dB
	(Note 16)	-	90	-	dB
Interchannel Isolation					
(Note 15), PMAINL2/R2/L3/R3 bits = “1”		65	75	-	dB
(Note 15), PMAINL2/R2/L3/R3 bits = “0”		-	75	-	dB
(Note 16)		-	80	-	dB
Interchannel Gain Mismatch	(Note 15)	-	0.1	0.8	dB
	(Note 16)	-	0.1	0.8	dB
Load Resistance		16	-	-	Ω
Load Capacitance	Figure 2のC1	-	-	30	pF
	Figure 2のC2	-	-	300	pF

Note 14. 出力電圧はAVDDに比例します。
Vout = 0.6 x AVDD(typ)@HPG bit = “0”, 0.91 x AVDD(typ)@HPG bit = “1”.
Note 15. HPG bit = “0”, HVDD=3.3V, R_L=22.8Ω.
Note 16. HPG bit = “1”, HVDD=5V, R_L=100Ω.

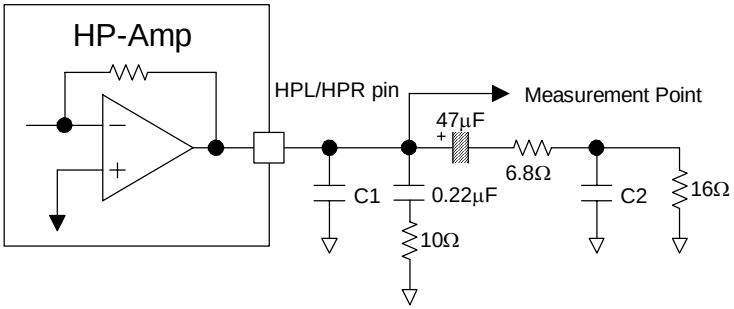


Figure 2. ヘッドフォンアンプ出力回路

Parameter			min	typ	max	Units
Speaker-Amp Characteristics: DAC → SPP/SPN pins, ALC=OFF, AVOL=0dB, DVOL=0dB, R_L=8Ω, BTL, HVDD=3.3V; unless otherwise specified.						
Output Voltage (Note 17)						
	SPKG1-0 bits = "00", –0.5dBFS (Po=150mW)		-	3.11	-	Vpp
	SPKG1-0 bits = "01", –0.5dBFS (Po=240mW)		3.13	3.92	4.71	Vpp
	HVDD=5V, SPKG1-0 bits = "11", 0dBFS (Po=1W)		-	2.83	-	Vrms
	Line Input → SPP/SPN pins, HVDD=5V, SPKG1-0 bits = "11", –1.5dBV Input (Po=1.2W)		-	3.1	-	Vrms
S/(N+D)						
	SPKG1-0 bits = "00", –0.5dBFS (Po=150mW)		-	60	-	dB
	SPKG1-0 bits = "01", –0.5dBFS (Po=240mW)		20	50	-	dB
	HVDD=5V, SPKG1-0 bits = "11", 0dBFS (Po=1W)		-	30	-	dB
	Line Input → SPP/SPN pins, HVDD=5V, SPKG1-0 bits = "11", –1.5dBV Input (Po=1.2W)		-	20	-	dB
S/N (A-weighted)			80	90	-	dB
Load Resistance			8	-	-	Ω
Load Capacitance			-	-	30	pF
Speaker-Amp Characteristics: DAC → SPP/SPN pins, ALC=OFF, AVOL=0dB, DVOL=0dB, C_L=3μF, R_{series}=10Ω x 2, BTL, HVDD=5.0V; unless otherwise specified.						
Output Voltage (Note 17)	SPKG1-0 bits = "10", 0dBFS		-	6.75	-	Vpp
	SPKG1-0 bits = "11", 0dBFS		6.80	8.50	10.20	Vpp
S/(N+D) (Note 18)	SPKG1-0 bits = "10", 0dBFS		-	60	-	dB
	SPKG1-0 bits = "11", 0dBFS		40	50	-	dB
S/N (A-weighted)			80	90	-	dB
Load Impedance (Note 19)			50	-	-	Ω
Load Capacitance (Note 19)			-	-	3	μF
Mono Input: MIN pin (AIN3 bit = "0"; External Input Resistance=20kΩ)						
Maximum Input Voltage (Note 20)			-	1.98	-	Vpp
Gain (Note 21)						
	MIN → LOUT/ROUT	LOVL bit = "0"	–4.5	0	+4.5	dB
		LOVL bit = "1"	-	+2	-	dB
	MIN → HPL/HPR	HPG bit = "0"	–24.5	–20	–15.5	dB
		HPG bit = "1"	-	–16.4	-	dB
	MIN → SPP/SPN					
		ALC bit = "0", SPKG1-0 bits = "00"	–0.07	+4.43	+8.93	dB
		ALC bit = "0", SPKG1-0 bits = "01"	-	+6.43	-	dB
		ALC bit = "0", SPKG1-0 bits = "10"	-	+10.65	-	dB
		ALC bit = "0", SPKG1-0 bits = "11"	-	+12.65	-	dB
		ALC bit = "1", SPKG1-0 bits = "00"	-	+6.43	-	dB
		ALC bit = "1", SPKG1-0 bits = "01"	-	+8.43	-	dB
		ALC bit = "1", SPKG1-0 bits = "10"	-	+12.65	-	dB
		ALC bit = "1", SPKG1-0 bits = "11"	-	+14.65	-	dB

Note 17. 出力電圧はAVDDに比例します。
Full-differentialの場合、Vout = (SPP) – (SPN) = 0.94 x AVDD(typ)@SPKG1-0 bits = "00", 1.19 x AVDD(typ)@SPKG1-0 bits = "01", 2.05 x AVDD(typ)@SPKG1-0 bits = "10", 2.58 x AVDD(typ)@SPKG1-0 bits = "11"です。

Note 18. 測定点はSPP/SPN pinsです。

Note 19. Figure 58において、Load Impedanceはシリーズ抵抗(R_{series})と1kHzにおける圧電スピーカのインピーダンスの合成インピーダンスです。Load Capacitanceは圧電スピーカの容量成分です。圧電スピーカを使用する場合、SPP, SPN pinにそれぞれ10Ω以上のシリーズ抵抗を接続して下さい。

Note 20. 最大入力電圧はAVDDと外部入力抵抗(Rin)に比例します。Vin = 0.6 x AVDD x Rin / 20kΩ (typ).

Note 21. ゲインは外部入力抵抗に反比例します。

Parameter			min	typ	max	Units
Stereo Input: LIN2/RIN2 pins; LIN3/RIN3 pins (AIN3 bit = "1")						
Maximum Input Voltage (Note 22)			-	1.98	-	Vpp
Gain						
LIN/RIN → LOUT/ROUT		LOVL bit = "0"	–4.5	0	+4.5	dB
		LOVL bit = "1"	-	+2	-	dB
LIN/RIN → HPL/HPR		HPG bit = "0"	–4.5	0	+4.5	dB
		HPG bit = "1"	-	+3.6	-	dB
LIN/RIN → SPP/SPN						
	ALC bit = "0", SPKG1-0 bits = "00"		–6.09	–1.59	+2.91	dB
	ALC bit = "0", SPKG1-0 bits = "01"		-	+0.41	-	dB
	ALC bit = "0", SPKG1-0 bits = "10"		-	+4.63	-	dB
	ALC bit = "0", SPKG1-0 bits = "11"		-	+6.63	-	dB
	ALC bit = "1", SPKG1-0 bits = "00"		-	+0.41	-	dB
	ALC bit = "1", SPKG1-0 bits = "01"		-	+2.41	-	dB
	ALC bit = "1", SPKG1-0 bits = "10"		-	+6.63	-	dB
	ALC bit = "1", SPKG1-0 bits = "11"		-	+8.63	-	dB
Power Supplies:						
Power Up (PDN pin = "H")						
All Circuit Power-up:						
	AVDD+DVDD (Note 23)		-	12	18	mA
	HVDD: HP-Amp Normal Operation No Output (Note 24)		-	5	8	mA
	HVDD: SPK-Amp Normal Operation No Output (Note 25)		-	11	30	mA
Power Down (PDN pin = "L") (Note 26)						
AVDD+DVDD+HVDD			-	10	100	μA

Note 22. 最大入力電圧はAVDDに比例します。Vin = 0.6 x AVDD (typ).

Note 23. PLL Master Mode (MCKI=12.288MHz)で、PMDAC = PMLO = PMHPL = PMHPR = PMVCM = PMPLL = MCKO = PMMIN = M/S = PMMICL = PMMICR bits = "1"の場合です。AVDD=9mA(typ), DVDD=3mA(typ).
EXT Slave Mode (PMPLL = M/S = MCKO bits = "0")の場合: AVDD=8mA(typ), DVDD=2mA(typ).

Note 24. PMDAC = PMLO = PMHPL = PMHPR = PMVCM = PMPLL = PMMIN bits = "1", かつPMSPK bit = "0"の場合です。

Note 25. PMDAC = PMLO = PMSPK = PMVCM = PMPLL = PMMIN bits = "1", かつPMHPL = PMHPR bits = "0"の場合です。

Note 26. 全てのディジタル入力ピンをDVDDまたはDVSSに固定した時の値です。

■ モード別の消費電力

条件: Ta=25°C; AVDD=DVDD=HVDD=3.3V; AVSS=DVSS=HVSS=0V; fs=44.1kHz, External Slave Mode,
BICK=64fs ; 1kHz, 0dBFS input; Headphone & Speaker = No output

Mode	Power Management Bit													AVDD [mA]	DVDD [mA]	HVDD [mA]	Total Power [mW]
	00H					01H		20H									
	PMVCM	PMMIN	PMSPK	PMLO	PMDAC	PMHPL	PMHPR	PMMICL	PMMICR	PMAINL2	PMAINR2	PMAINL3	PMAINR3				
All Power-down	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DAC → Lineout	1	0	0	1	1	0	0	0	0	0	0	0	0	5.4	1.8	0.2	24.4
DAC → HP	1	0	0	0	1	1	1	0	0	0	0	0	0	3.7	1.8	5	34.7
DAC → SPK	1	0	1	0	1	0	0	0	0	0	0	0	0	3.7	1.8	11	54.5
LIN2/RIN2 → HP	1	0	0	0	0	1	1	0	0	1	1	0	0	1.9	0	5	22.8
LIN2/RIN2 → SPK	1	0	1	0	0	0	0	0	0	1	1	0	0	1.9	0	11	42.6
MIN → RCV	1	1	0	1	0	0	0	0	0	0	0	0	0	3.1	0	0.2	10.9

Table 1. モード別の消費電力(typ)

フィルタ特性

(Ta=25°C; AVDD=DVDD=2.6 ~ 3.6V; HVDD=2.6 ~ 5.25V; fs=44.1kHz; DEM=OFF; FIL1=FIL3=EQ=OFF)

Parameter			Symbol	min	typ	max	Units
DAC Digital Filter (LPF):							
Passband (Note 27)		±0.1dB	PB	0	-	19.6	kHz
		–0.7dB		-	20.0	-	kHz
		–6.0dB		-	22.05	-	kHz
Stopband			SB	25.2	-	-	kHz
Passband Ripple			PR	-	-	±0.01	dB
Stopband Attenuation			SA	59	-	-	dB
Group Delay (Note 28)			GD	-	25	-	1/fs
DAC Digital Filter (LPF) + SCF:							
Frequency Response: 0 ~ 20.0kHz			FR	-	±1.0	-	dB
DAC Digital Filter (HPF):							
Frequency Response (Note 27)		–3.0dB	FR	-	0.9	-	Hz
		–0.5dB		-	2.7	-	Hz
		–0.1dB		-	6.0	-	Hz
BOOST Filter: (Note 29)							
Frequency Response	MIN	20Hz	FR	-	5.76	-	dB
		100Hz		-	2.92	-	dB
		1kHz		-	0.02	-	dB
	MID	20Hz	FR	-	10.80	-	dB
		100Hz		-	6.84	-	dB
		1kHz		-	0.13	-	dB
	MAX	20Hz	FR	-	16.06	-	dB
		100Hz		-	10.54	-	dB
		1kHz		-	0.37	-	dB

Note 27. 各振幅特性の周波数は fs (システムサンプリングレート)に比例します。
例えば、PB=20.0kHz(@–0.7dB)は0.454 x fsです。各応答は1kHzを基準にします。

Note 28. ディジタルフィルタによる遅延演算で、16ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。PMADL=PMADR bits = “0”のときDAC部のGroup Delayは25/fs(typ)です

Note 29. 周波数特性はサンプリングレートに比例します。高レベルの低周波信号を入力した場合、低域でクリップします。

DC特性

(Ta=25°C; AVDD=DVDD=2.6 ~ 3.6V; HVDD=2.6 ~ 5.25V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	70%DVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%DVDD	V
High-Level Output Voltage (Iout=−200μA)	VOH	DVDD−0.2	-	-	V
Low-Level Output Voltage					
(Except SDA pin: Iout=200μA)	VOL	-	-	0.2	V
(SDA pin: Iout=3mA)	VOL	-	-	0.4	V
Input Leakage Current	Iin	-	-	±10	μA

スイッチング特性

(Ta=25°C; AVDD=DVDD=2.6 ~ 3.6V; HVDD=2.6 ~ 5.25V; C_L=20pF; unless otherwise specified)

Parameter	Symbol	min	typ	max	Units
PLL Master Mode (PLL Reference Clock = MCKI pin)					
MCKI Input Timing					
Frequency	fCLK	11.2896	-	27	MHz
Pulse Width Low	tCLKL	0.4/fCLK	-	-	ns
Pulse Width High	tCLKH	0.4/fCLK	-	-	ns
MCKO Output Timing					
Frequency	fMCK	0.2352	-	12.288	MHz
Duty Cycle					
Except 256fs at fs=32kHz, 29.4kHz	dMCK	40	50	60	%
256fs at fs=32kHz, 29.4kHz	dMCK	-	33	-	%
LRCK Output Timing					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	-	tBCK	-	ns
Except DSP Mode: Duty Cycle	Duty	-	50	-	%
BICK Output Timing					
Period BCKO bit = “0”	tBCK	-	1/(32fs)	-	ns
Period BCKO bit = “1”	tBCK	-	1/(64fs)	-	ns
Duty Cycle	dBCK	-	50	-	%
PLL Slave Mode (PLL Reference Clock = MCKI pin)					
MCKI Input Timing					
Frequency	fCLK	11.2896	-	27	MHz
Pulse Width Low	tCLKL	0.4/fCLK	-	-	ns
Pulse Width High	tCLKH	0.4/fCLK	-	-	ns
MCKO Output Timing					
Frequency	fMCK	0.2352	-	12.288	MHz
Duty Cycle					
Except 256fs at fs=32kHz, 29.4kHz	dMCK	40	50	60	%
256fs at fs=32kHz, 29.4kHz	dMCK	-	33	-	%
LRCK Input Timing					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	tBCK−60	-	1/fs − tBCK	ns
Except DSP Mode: Duty Cycle	Duty	45	-	55	%
BICK Input Timing					
Period	tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low	tBCKL	0.4 x tBCK	-	-	ns
Pulse Width High	tBCKH	0.4 x tBCK	-	-	ns

Parameter		Symbol	min	typ	max	Units
PLL Slave Mode (PLL Reference Clock = LRCK pin)						
LRCK Input Timing						
Frequency		fs	7.35	-	48	kHz
DSP Mode: Pulse Width High		tLRCKH	tBCK–60	-	1/fs – tBCK	ns
Except DSP Mode: Duty Cycle		Duty	45	-	55	%
BICK Input Timing						
Period		tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low		tBCKL	130	-	-	ns
Pulse Width High		tBCKH	130	-	-	ns
PLL Slave Mode (PLL Reference Clock = BICK pin)						
LRCK Input Timing						
Frequency		fs	7.35	-	48	kHz
DSP Mode: Pulse Width High		tLRCKH	tBCK–60	-	1/fs – tBCK	ns
Except DSP Mode: Duty Cycle		Duty	45	-	55	%
BICK Input Timing						
Period	PLL3-0 bits = “0010”	tBCK	-	1/(32fs)	-	ns
	PLL3-0 bits = “0011”	tBCK	-	1/(64fs)	-	ns
Pulse Width Low		tBCKL	0.4 x tBCK	-	-	ns
Pulse Width High		tBCKH	0.4 x tBCK	-	-	ns
External Slave Mode						
MCKI Input Timing						
Frequency	256fs	fCLK	1.8816	-	12.288	MHz
	512fs	fCLK	3.7632	-	13.312	MHz
	1024fs	fCLK	7.5264	-	13.312	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
LRCK Input Timing						
Frequency	256fs	fs	7.35	-	48	kHz
	512fs	fs	7.35	-	26	kHz
	1024fs	fs	7.35	-	13	kHz
DSP Mode: Pulse Width High		tLRCKH	tBCK–60	-	1/fs – tBCK	ns
Except DSP Mode: Duty Cycle		Duty	45	-	55	%
BICK Input Timing						
Period		tBCK	312.5	-	-	ns
Pulse Width Low		tBCKL	130	-	-	ns
Pulse Width High		tBCKH	130	-	-	ns
External Master Mode						
MCKI Input Timing						
Frequency	256fs	fCLK	1.8816	-	12.288	MHz
	512fs	fCLK	3.7632	-	13.312	MHz
	1024fs	fCLK	7.5264	-	13.312	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
LRCK Output Timing						
Frequency		fs	7.35	-	48	kHz
DSP Mode: Pulse Width High		tLRCKH	-	tBCK	-	ns
Except DSP Mode: Duty Cycle		Duty	-	50	-	%
BICK Output Timing						
Period	BCKO bit = “0”	tBCK	-	1/(32fs)	-	ns
	BCKO bit = “1”	tBCK	-	1/(64fs)	-	ns
Duty Cycle		dBCK	-	50	-	%

Parameter	Symbol	min	typ	max	Units
Audio Interface Timing (DSP Mode)					
Master Mode					
LRCK "↑" to BICK "↑" (Note 30)	tDBF	0.5 x tBCK – 40	0.5 x tBCK	0.5 x tBCK + 40	ns
LRCK "↑" to BICK "↓" (Note 31)	tDBF	0.5 x tBCK – 40	0.5 x tBCK	0.5 x tBCK + 40	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
Slave Mode					
LRCK "↑" to BICK "↑" (Note 30)	tLRB	0.4 x tBCK	-	-	ns
LRCK "↑" to BICK "↓" (Note 31)	tLRB	0.4 x tBCK	-	-	ns
BICK "↑" to LRCK "↑" (Note 30)	tBLR	0.4 x tBCK	-	-	ns
BICK "↓" to LRCK "↑" (Note 31)	tBLR	0.4 x tBCK	-	-	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
Audio Interface Timing (Right/Left justified & I^2S)					
Master Mode					
BICK "↓" to LRCK Edge (Note 32)	tMBLR	–40	-	40	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
Slave Mode					
LRCK Edge to BICK "↑" (Note 32)	tLRB	50	-	-	ns
BICK "↑" to LRCK Edge (Note 32)	tBLR	50	-	-	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns

Note 30. MSBS, BCKP bits = "00" or "11".
Note 31. MSBS, BCKP bits = "01" or "10".
Note 32. この規格値はLRCKのエッジとBICKの "↑"が重ならないように規定しています。

Parameter	Symbol	min	typ	max	Units
Control Interface Timing (3-wire Serial mode)					
CCLK Period	tCCK	200	-	-	ns
CCLK Pulse Width Low	tCCKL	80	-	-	ns
Pulse Width High	tCCKH	80	-	-	ns
CDTI Setup Time	tCDS	40	-	-	ns
CDTI Hold Time	tCDH	40	-	-	ns
CSN "H" Time	tCSW	150	-	-	ns
CSN "↓" to CCLK "↑"	tCSS	50	-	-	ns
CCLK "↑" to CSN "↑"	tCSH	50	-	-	ns
Control Interface Timing (I^2C Bus mode):					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	µs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	µs
Clock Low Time	tLOW	1.3	-	-	µs
Clock High Time	tHIGH	0.6	-	-	µs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	µs
SDA Hold Time from SCL Falling (Note 34)	tHD:DAT	0	-	-	µs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	µs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	µs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	µs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	µs
Capacitive Load on Bus	Cb	-	-	400	pF
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	ns
Power-down & Reset Timing					
PDN Pulse Width (Note 35)	tPD	150	-	-	ns

Note 33. I^2C-busはNXP B.V.の商標です。
Note 34. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。
Note 35. AK4343はPDN pin = "L"でリセットされます。

■ タイミング波形

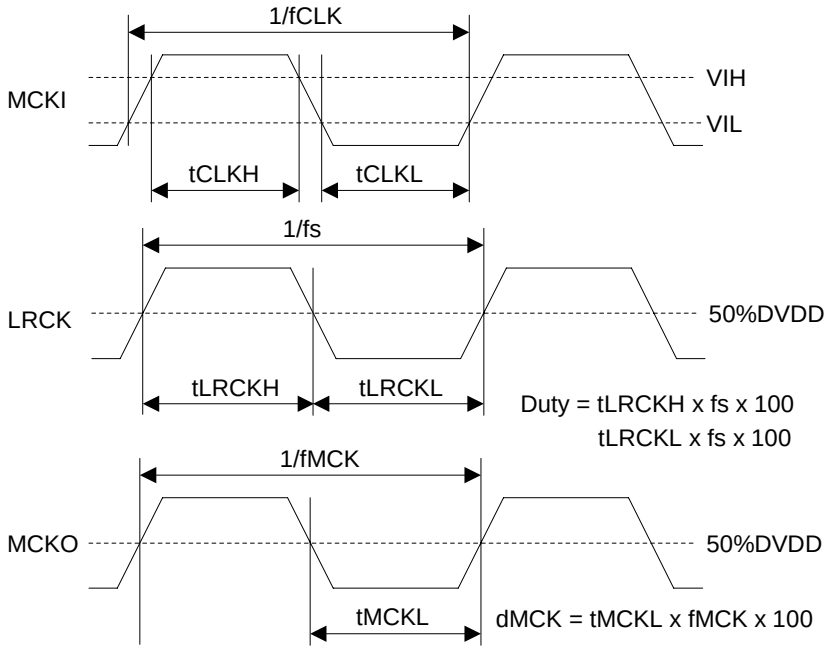


Figure 3. Clock Timing (PLL/EXT Master mode)
Note 36. MCKO is not available at EXT Master mode.

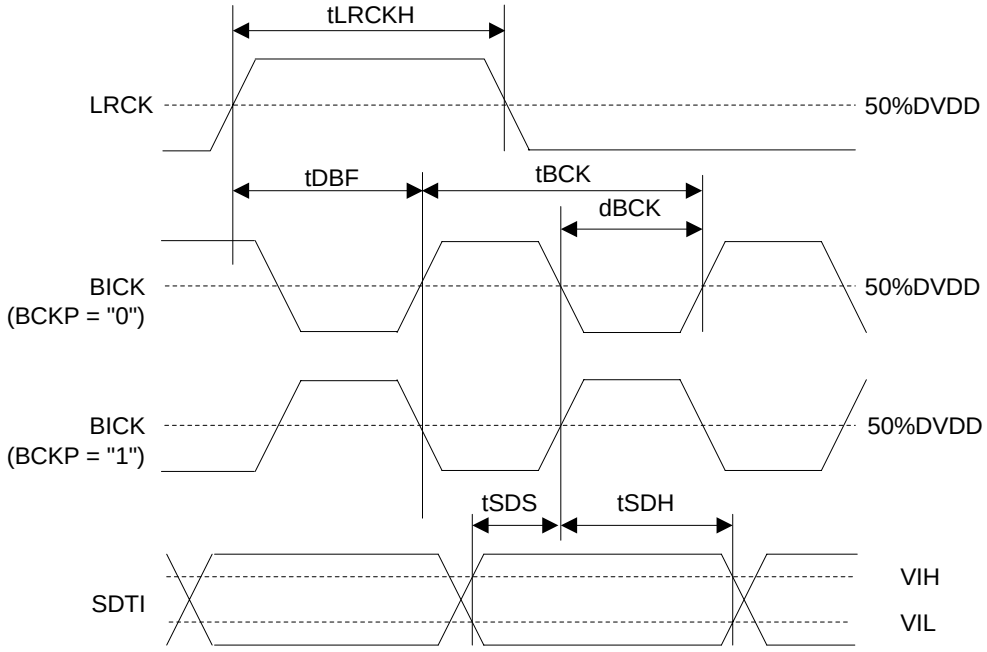


Figure 4. Audio Interface Timing (PLL/EXT Master mode, DSP mode, MSBS = “0”)

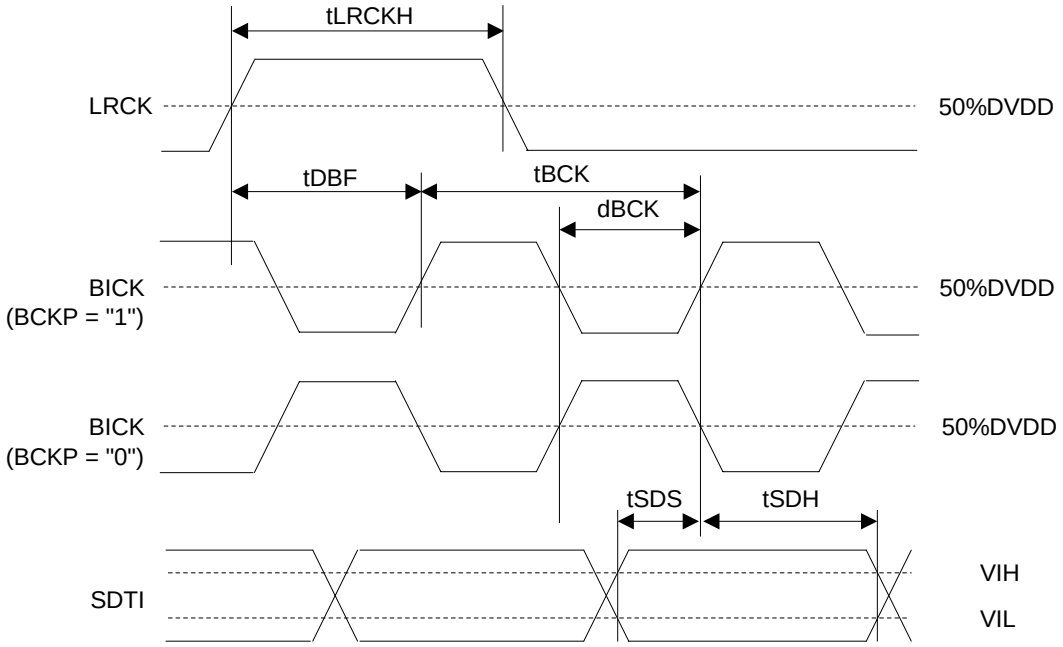


Figure 5. Audio Interface Timing (PLL/EXT Master mode, DSP mode, MSBS = “1”)

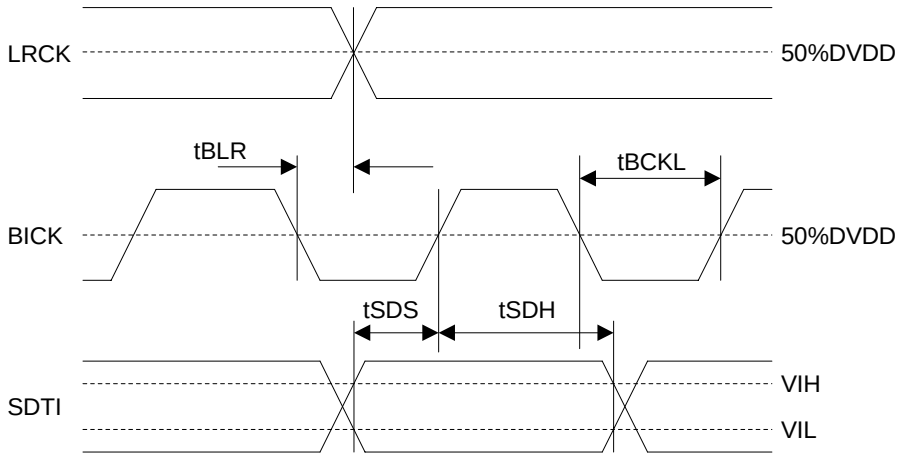


Figure 6. Audio Interface Timing (PLL/EXT Master mode, Except DSP mode)

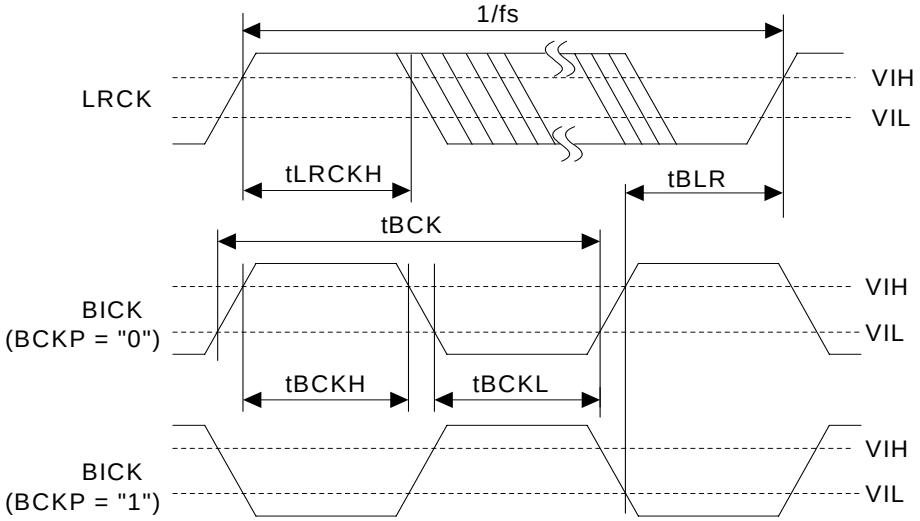


Figure 7. Clock Timing (PLL Slave mode; PLL Reference Clock = LRCK or BICK pin, DSP mode, MSBS = “0”)

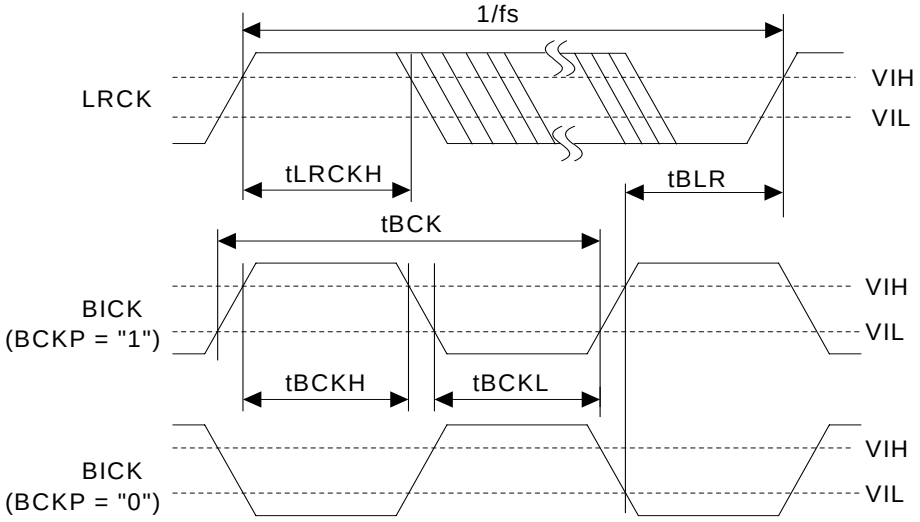


Figure 8. Clock Timing (PLL Slave mode; PLL Reference Clock = LRCK or BICK pin, DSP mode, MSBS = “1”)

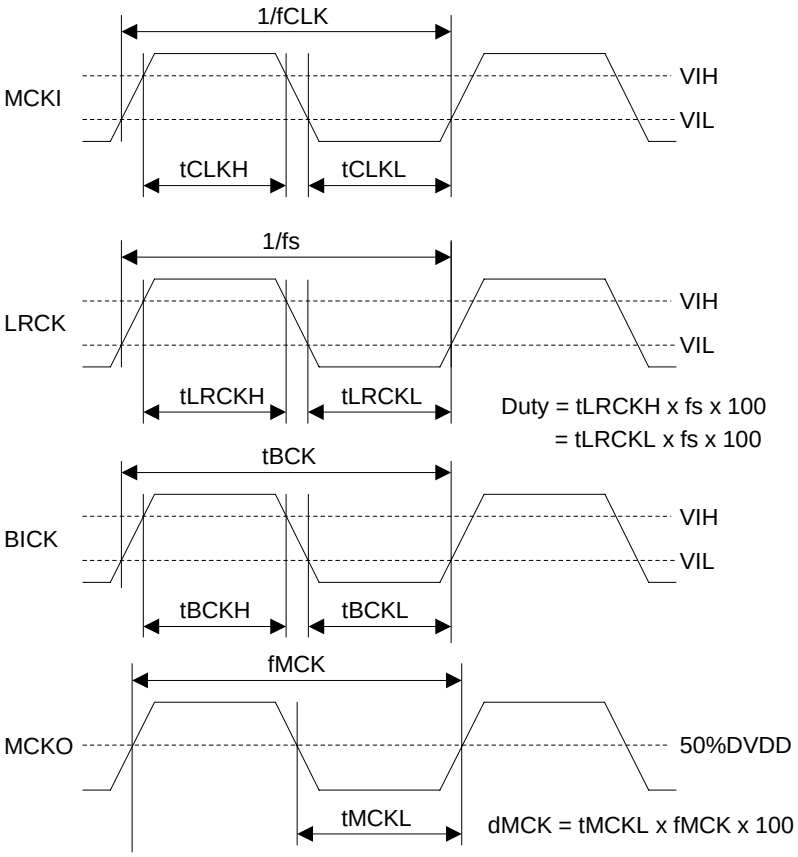


Figure 9. Clock Timing (PLL Slave mode; PLL Reference Clock = MCKI pin, Except DSP mode)

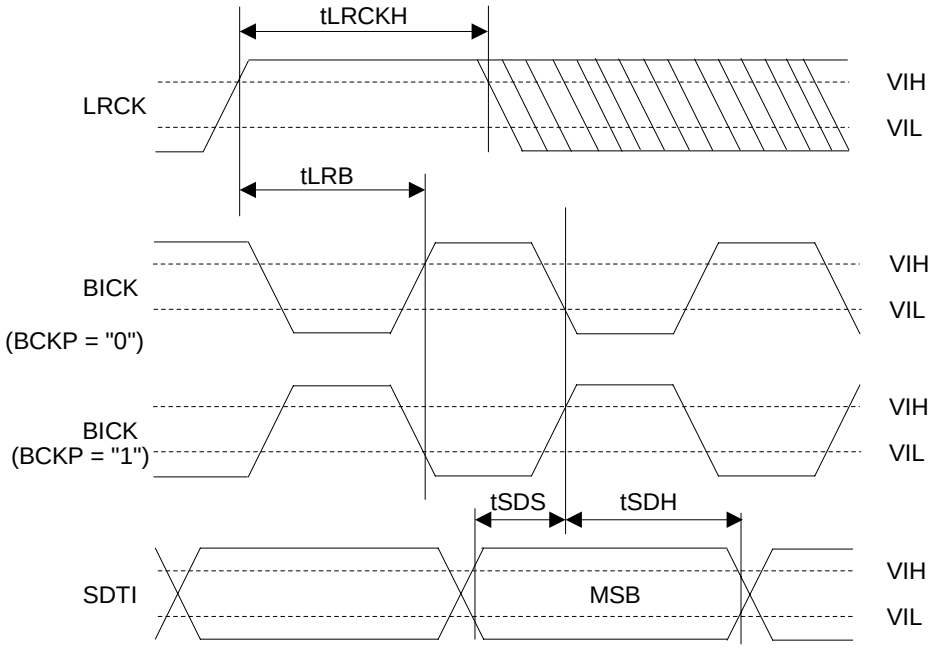


Figure 10. Audio Interface Timing (PLL Slave mode, DSP mode; MSBS = “0”)

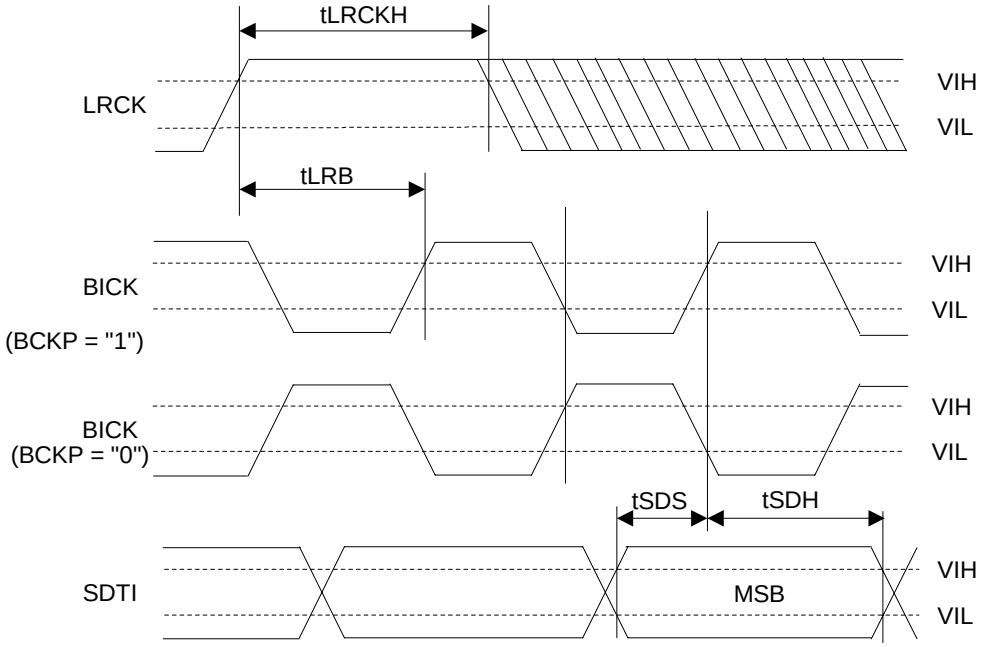


Figure 11. Audio Interface Timing (PLL Slave mode, DSP mode, MSBS = "1")

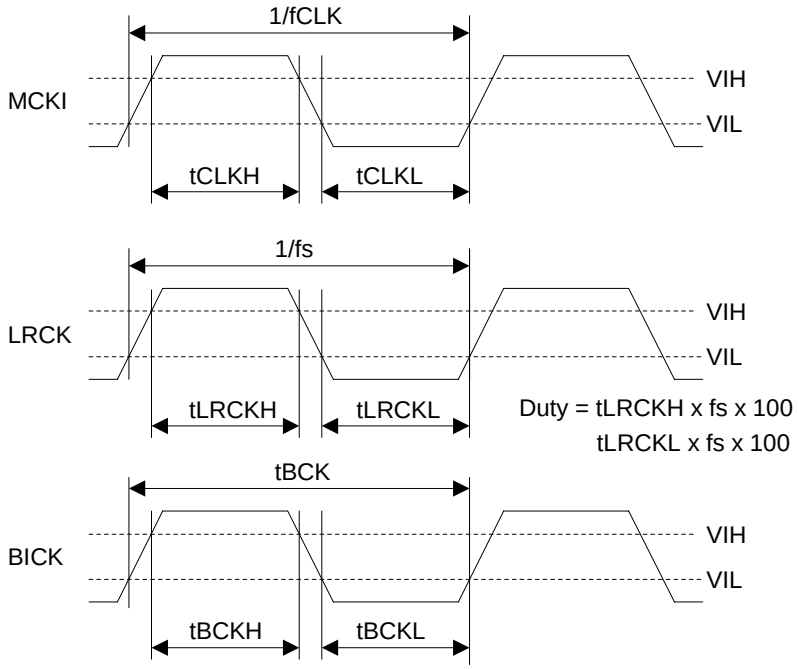


Figure 12. Clock Timing (EXT Slave mode)

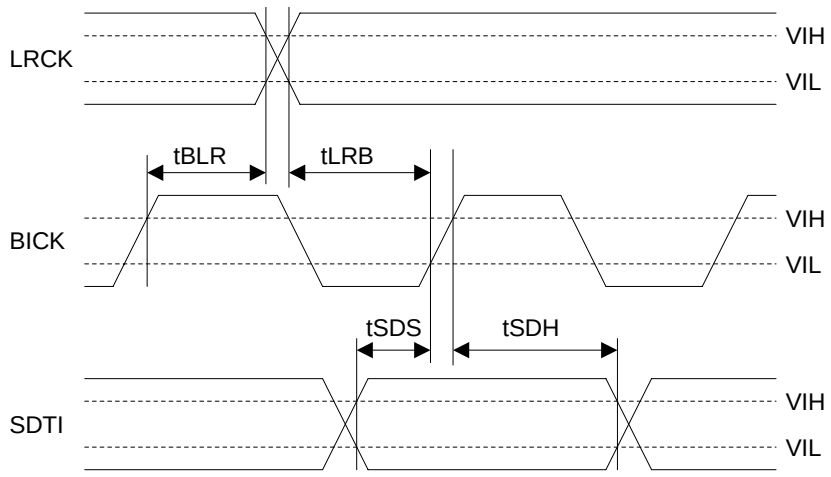


Figure 13. Audio Interface Timing (PLL/EXT Slave mode, Except DSP mode)

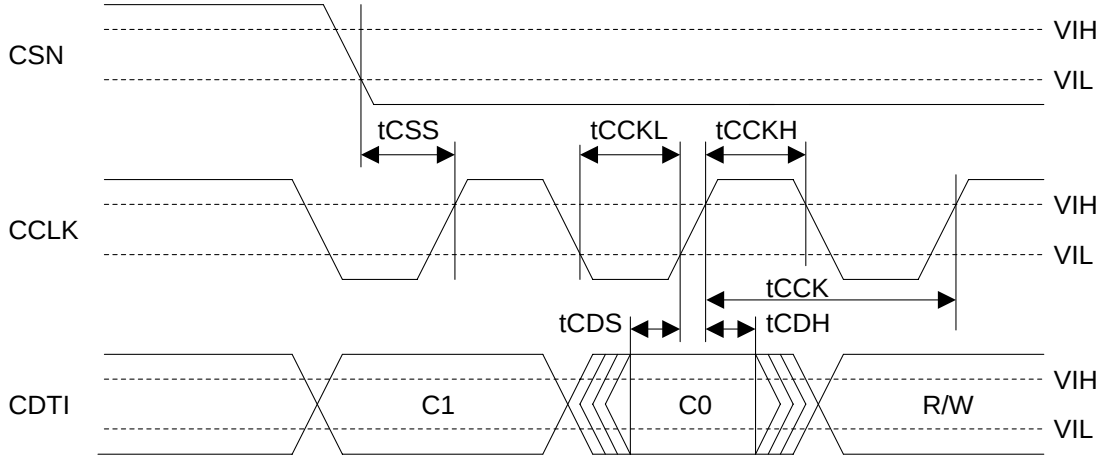


Figure 14. WRITE Command Input Timing

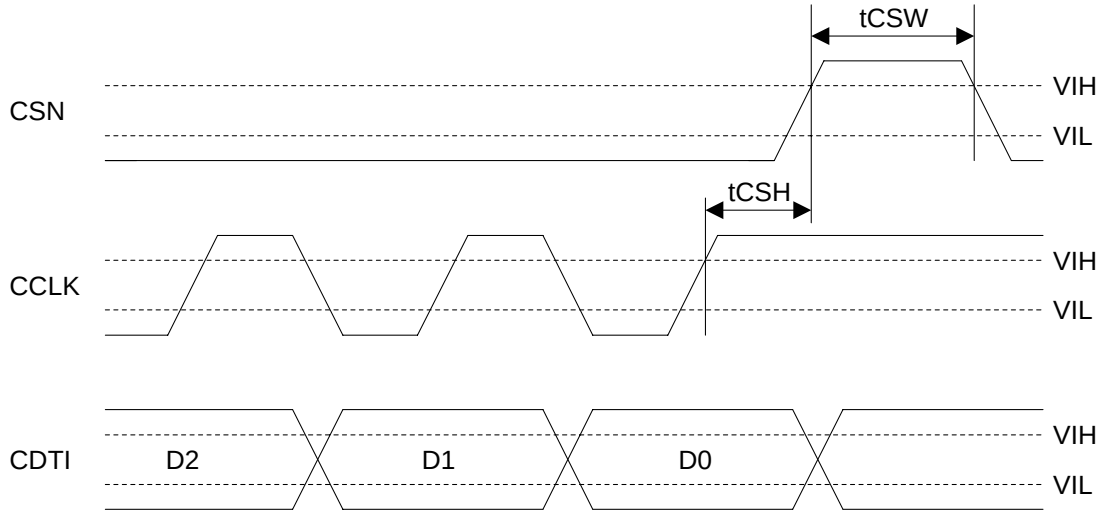


Figure 15. WRITE Data Input Timing

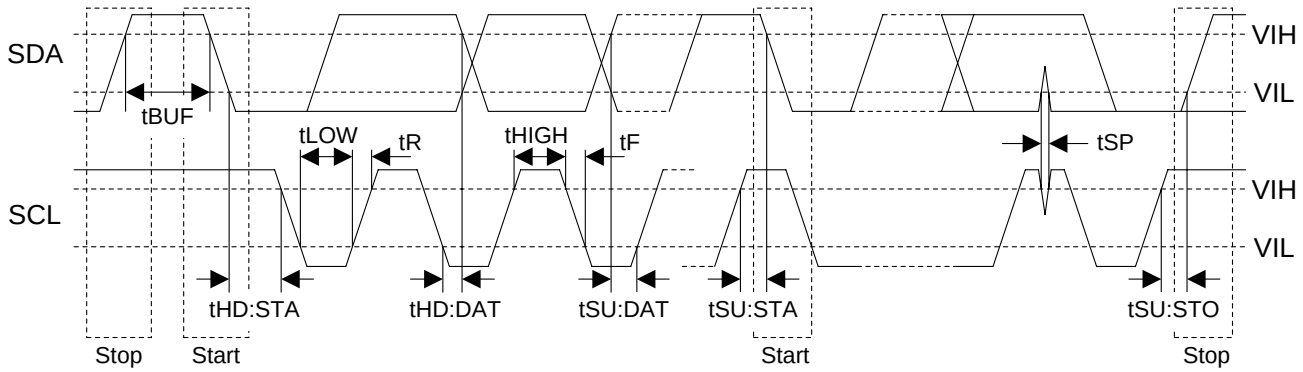


Figure 16. I²Cバスモードタイミング

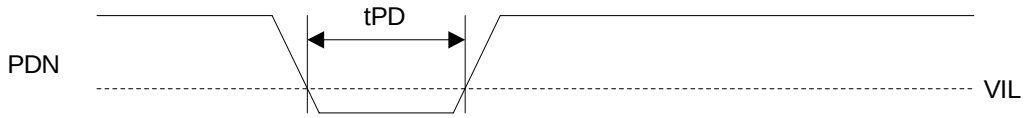


Figure 17. Power Down & Reset Timing

機能説明

■ システムクロック

外部とのI/Fモードは以下の4通りの方法があります。(Table 2 and Table 3)

Mode	PMPLL bit	M/S bit	PLL3-0 bits	Figure
PLL Master Mode (Note 37)	1	1	See Table 5	Figure 18
PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)	1	0	See Table 5	Figure 19
PLL Slave Mode 2 (PLL Reference Clock: LRCK or BICK pin)	1	0	See Table 5	Figure 20 Figure 21
EXT Slave Mode	0	0	x	Figure 22
EXT Master Mode	0	1	x	Figure 23

Note 37. PLL Master Modeに設定する過程で、M/S bit = “1”, PMPLL bit = “0”, MCKO bit = “1”のときMCKO pinから正常でない周波数のクロックが出力されます。

Table 2. Clock Mode Setting (x: Don’t care)

Mode	MCKO bit	MCKO pin	MCKI pin	BICK pin	LRCK pin
PLL Master Mode	0	“L”	PLL3-0 bits で選択	Output (BCKO bit で選択)	Output (1fs)
	1	PS1-0 bits で選択			
PLL Slave Mode (PLL Reference Clock: MCKI pin)	0	“L”	PLL3-0 bits で選択	Input (≥ 32fs)	Input (1fs)
	1	PS1-0 bits で選択			
PLL Slave Mode (PLL Reference Clock: LRCK or BICK pin)	0	“L”	GND	Input (PLL3-0 bitsで選択)	Input (1fs)
EXT Slave Mode	0	“L”	FS1-0 bits で選択	Input (≥ 32fs)	Input (1fs)
EXT Master Mode	0	“L”	FS1-0 bits で選択	Output (BCKO bit で選択)	Output (1fs)

Table 3. Clock pins state in Clock Mode

■ マスタモードとスレーブモードの切り替え

マスタモードとスレーブモードの切り替えはM/S bitで行います。“1”でマスタモード、“0”でスレーブモードです。AK4343はパワーダウン時 (PDN pin = “L”)、及びパワーダウン解除後はスレーブモードです。パワーダウン解除後、M/S bitを “1”に変更することでマスタモードになります。

マスタモードで使用する場合、M/S bitに “1”が書き込まれるまで、AK4343のLRCK, BICK pinはフローティングの状態です。そのため、AK4343のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

M/S bit	Mode	
0	Slave Mode	(default)
1	Master Mode	

Table 4. Select Master/Slave Mode

■ PLLモード(AIN3 bit = “0”, PMPLL bit = “1”)

PMPLL bit = “1”の時、内蔵の高精度アナログPLLはFS3-0 bits, PLL3-0 bitsで選択したクロックに応じて動作します。PLLのロック時間は、電源投入後、PMPLL bit を “0” → “1”に変更し、安定したクロックが入力された場合、またはサンプリング周波数が変更された場合、Table 5の通りです。AIN3 bit = “1”のときPLLは使用できません。

1) PLL Modeの設定

Mode	PLL3 bit	PLL2 bit	PLL1 bit	PLL0 bit	PLL基準クロック入力ピン	入力周波数	VCOC pinの R,C		PLLロック時間 (max)	
							R[Ω]	C[F]		
0	0	0	0	0	LRCK pin	1fs	6.8k	220n	160ms	(default)
1	0	0	0	1	N/A	-	-	-	-	
2	0	0	1	0	BICK pin	32fs	10k	4.7n	2ms	
							10k	10n	4ms	
3	0	0	1	1	BICK pin	64fs	10k	4.7n	2ms	
							10k	10n	4ms	
4	0	1	0	0	MCKI pin	11.2896MHz	10k	4.7n	40ms	
5	0	1	0	1	MCKI pin	12.288MHz	10k	4.7n	40ms	
6	0	1	1	0	MCKI pin	12MHz	10k	4.7n	40ms	
7	0	1	1	1	MCKI pin	24MHz	10k	4.7n	40ms	
12	1	1	0	0	MCKI pin	13.5MHz	10k	10n	40ms	
13	1	1	0	1	MCKI pin	27MHz	10k	10n	40ms	
Others	Others				N/A					

Table 5. Setting of PLL Mode (*fs: Sampling Frequency)

2) PLL Modeのサンプリング周波数設定
基準クロックがMCKI入力の場合は、Table 6の設定によりサンプリング周波数が選択できます。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency	
0	0	0	0	0	8kHz	(default)
1	0	0	0	1	12kHz	
2	0	0	1	0	16kHz	
3	0	0	1	1	24kHz	
4	0	1	0	0	7.35kHz	
5	0	1	0	1	11.025kHz	
6	0	1	1	0	14.7kHz	
7	0	1	1	1	22.05kHz	
10	1	0	1	0	32kHz	
11	1	0	1	1	48kHz	
14	1	1	1	0	29.4kHz	
15	1	1	1	1	44.1kHz	
Others	Others				N/A	

Table 6. Setting of Sampling Frequency at PMPLL bit = “1” (Reference Clock = MCKI pin)

基準クロックがLRCK or BICKより入力の場合(LRCK or BICKより入力)は、FS3, FS1-0 bitsでサンプリング周波数の設定を行って下さい(Table 7)。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency Range	
0	0	Don’t care	0	0	7.35kHz ≤ fs ≤ 8kHz	(default)
1	0	Don’t care	0	1	8kHz < fs ≤ 12kHz	
2	0	Don’t care	1	0	12kHz < fs ≤ 16kHz	
3	0	Don’t care	1	1	16kHz < fs ≤ 24kHz	
6	1	Don’t care	1	0	24kHz < fs ≤ 32kHz	
7	1	Don’t care	1	1	32kHz < fs ≤ 48kHz	
Others	Others				N/A	

Table 7. Setting of Sampling Frequency at PMPLL bit = “1” (Reference Clock = LRCK or BICK pin)

■ PLLのアンロックについて

1) PLL Master Mode (AIN3 bit = “0”, PMPLL bit = “1”, M/S bit = “1”)

このモードで PMPLL bit = “0” → “1”にした後PLLがロックするまでの間、BICKとLRCKは “L”を出力、MCKO bit = “1”のときMCKO pinからは正常でない周波数のクロックが出力されます。MCKO bit = “0”の場合は、MCKO pinは “L”を出力します。(Table 8)

PLLロック後、BICKとLRCK出力は “L”からクロック出力となります。最初の1周期分のLRCK, BICKは、正常でない可能性がありますが、1fs後には正常なクロックになります。

サンプリング周波数を変更する場合は一度PMPLL bit = “0”にすることでアンロック状態の不定なBICK, LRCKを出力させずに “L”を出力させることができます。

PLL State	MCKO pin		BICK pin	LRCK pin
	MCKO bit = “0”	MCKO bit = “1”		
PMPLL bit “0” → “1”直後	“L” Output	不定	“L” Output	“L” Output
PLL Unlock 時(上記以外)	“L” Output	不定	不定	不定
PLL Lock 時	“L” Output	See Table 10	See Table 11	1fs Output

Table 8. Clock Operation at PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

2) PLL Slave Mode (AIN3 bit = “0”, PMPLL bit = “1”, M/S bit = “0”)

このモードでは PMPLL bit = “0” → “1”にした後PLLがロックするまでの間、MCKOからは正常でない周波数のクロックが出力されます。その後、PLLがロックするとMCKO pinからTable 10で選択されたクロックが出力されます。但し、PLLがアンロックになった場合、DACからは正常なデータが出力されません。DACL, DACH, DACS bitsを “0”にすることにより出力をミュートすることが可能です。

PLL State	MCKO pin	
	MCKO bit = “0”	MCKO bit = “1”
PMPLL bit “0” → “1”直後	“L” Output	不定
PLL Unlock 時(上記以外)	“L” Output	不定
PLL Lock 時	“L” Output	Output

Table 9. Clock Operation at PLL Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

■ PLL Master Mode (AIN3 bit = “0”, PMPLL bit = “1”, M/S bit = “1”)

外部から11.2896MHz, 12MHz , 12.288MHz, 13.5MHz, 24MHz or 27MHz のクロックを入力し、内部のPLLによりMCKO, BICK, LRCKクロックを生成し出力します。マスタクロック出力(MCKO)はPS1-0 bits (Table 10)で設定された周波数を出力し、MCKO bitでON/OFF可能です。BICK出力はBCKO bitにより、32fs or 64fsを選択することができます。(Table 11)

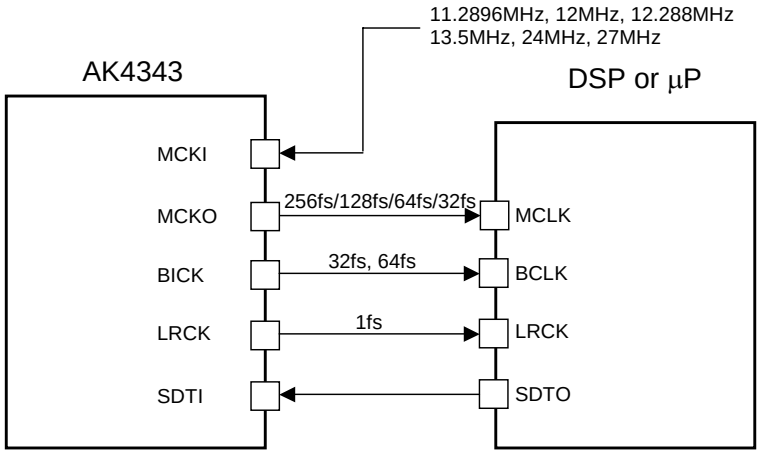


Figure 18. PLL Master Mode

Mode	PS1 bit	PS0 bit	MCKO pin	
0	0	0	256fs	(default)
1	0	1	128fs	
2	1	0	64fs	
3	1	1	32fs	

Table 10. MCKO周波数 (PLLモード, MCKO bit = “1”)

BCKO bit	BICK出力周波数	
0	32fs	(default)
1	64fs	

Table 11. BICK Output Frequency at Master Mode

■ PLL Slave Mode (AIN3 bit = “0”, PMPLL bit = “1”, M/S bit = “0”)

MCKI, BICK or LRCK pinへ入力されるクロックを基準に内部のPLLにてAK4343に必要なクロックを生成します。PLLの基準クロックは、PLL3-0 bitsにて設定することができます(Table 5)。

a) PLL 基準クロック: MCKI pin

MCKOに同期したBICK, LRCKを入力します。MCKOとLRCKは同期する必要がありますが位相を合わせる必要はありません。マスタクロック出力(MCKO pin)はPS1-0 bits (Table 10)で設定された周波数を出力し、MCKO bitでON/OFF可能です。サンプリング周波数は、FS3-0 bitsで設定することができます。(Table 6)

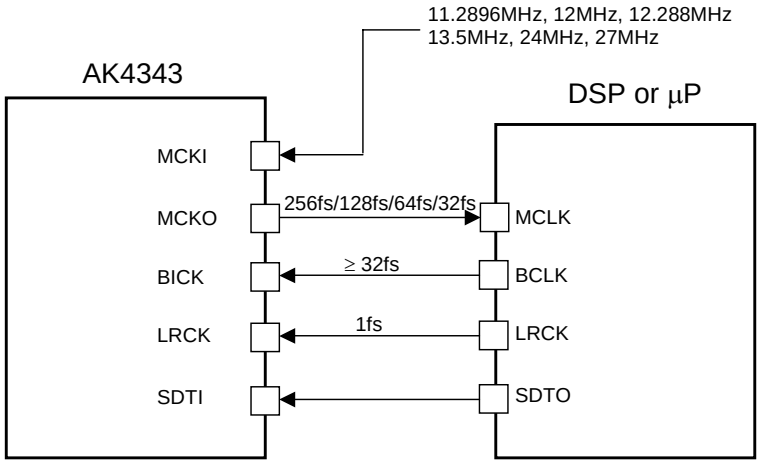


Figure 19. PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)

b) PLL 基準クロック: BICK or LRCK pin

FS3-0 bitsを設定することで、7.35kHz ~ 48kHzの任意のサンプリング周波数に対応します。(Table 7)

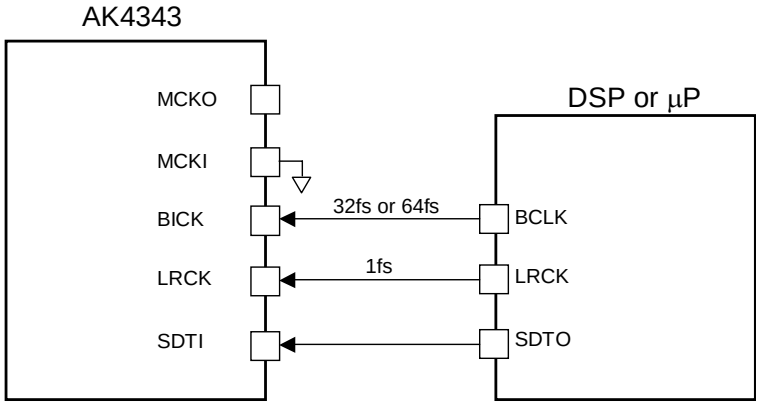


Figure 20. PLL Slave Mode 2 (PLL Reference Clock: BICK pin)

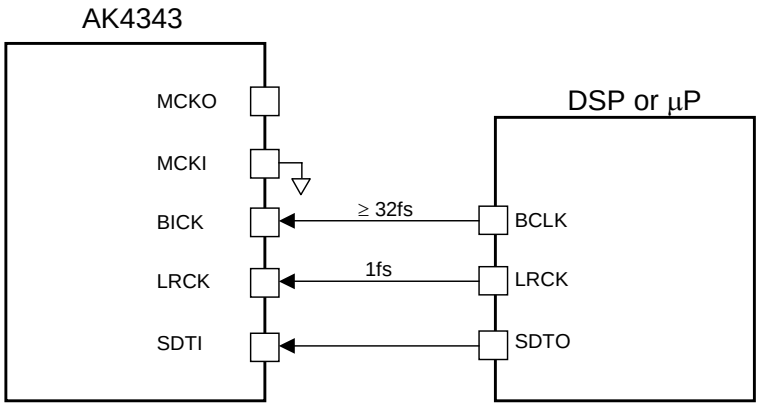


Figure 21 PLL Slave Mode 2 (PLL Reference Clock: LRCK pin)

DACが動作中(PMDAC bit = “1”)は外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMDAC bit = “0”)にしてください。

■ EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

PMPLL bitを“0”にすることで、外部クロックモード(EXT Mode)で動作し、MCKI pinからPLLを介さずに直接、DACにマスタクロックを入力できます。このモードは通常のオーディオDACとのI/Fに対して互換性があります。必要なクロックはMCKI (256fs, 512fs or 1024fs), BICK (≥32fs), LRCK(fs)です。MCKIとLRCKは同期する必要がありますが位相を合わせる必要はありません。MCKIの入力周波数はFS1-0 bitにより選択することが可能です。(Table 12)

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range	
0	Don’t care	0	0	256fs	7.35kHz ~ 48kHz	(default)
1	Don’t care	0	1	1024fs	7.35kHz ~ 13kHz	
2	Don’t care	1	0	256fs	7.35kHz ~ 48kHz	
3	Don’t care	1	1	512fs	7.35kHz ~ 26kHz	

Table 12. EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”) 時のMCKI周波数の設定

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。MCKIに入力されるマスタクロックの周波数を上げることで、S/Nを改善できます。Table 13はDAC出力からLOUT/ROUT pinに通した場合のS/Nです。

MCKI	S/N (fs=8kHz, 20kHzLPF + A-weighted)
256fs	83dB
512fs	93dB
1024fs	93dB

Table 13. Relationship between MCKI and S/N of LOUT/ROUT pins

DACが動作中(PMDAC bit = “1”)は外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMDAC bit = “0”）にしてください。

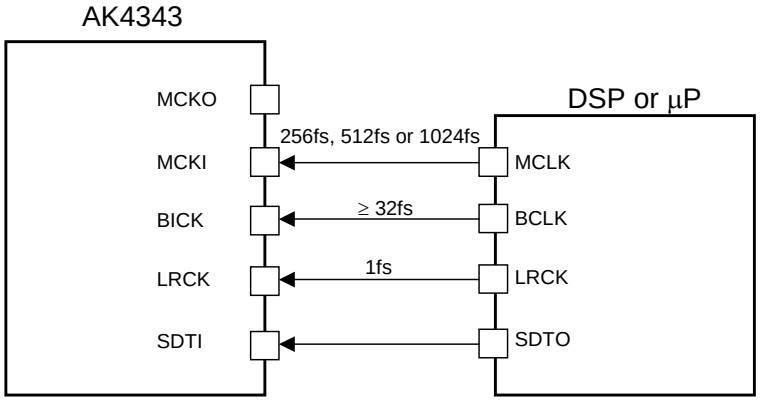


Figure 22. EXT Slave Mode

■ EXT Master Mode (PMPLL bit = “0”, M/S bit = “1”)

PMPLL bit = “0”およびM/S bit = “1”に設定することで、外部クロックマスタモード(EXT Master Mode)で動作し、MCKI pinからPLLを介さずに直接、DACにマスタクロックを入力できます。必要なクロックはMCKI (256fs, 512fs or 1024fs)です。MCKIの入力周波数はFS1-0 bitsにより選択することが可能です(Table 14)。

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range	
0	Don’t care	0	0	256fs	7.35kHz ~ 48kHz	(default)
1	Don’t care	0	1	1024fs	7.35kHz ~ 13kHz	
2	Don’t care	1	0	256fs	7.35kHz ~ 48kHz	
3	Don’t care	1	1	512fs	7.35kHz ~ 26kHz	

Table 14. EXT Master Mode (PMPLL bit = “0”, M/S bit = “1”)時のMCKI周波数の設定

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。MCKIに入力されるマスタクロックの周波数を上げることで、S/Nを改善できます。Table 15はDAC出力からLOUT/ROUT pinに通した場合のS/Nです。

MCKI	S/N (fs=8kHz, 20kHzLPF + A-weighted)
256fs	83dB
512fs	93dB
1024fs	93dB

Table 15. Relationship between MCKI and S/N of LOUT/ROUT pins

DACが動作中(PMDAC bit = “1”)はMCKIを止めてはいけません。MCKIが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。MCKIを止める場合はパワーダウン状態(PMDAC bit = “0”)にしてください。

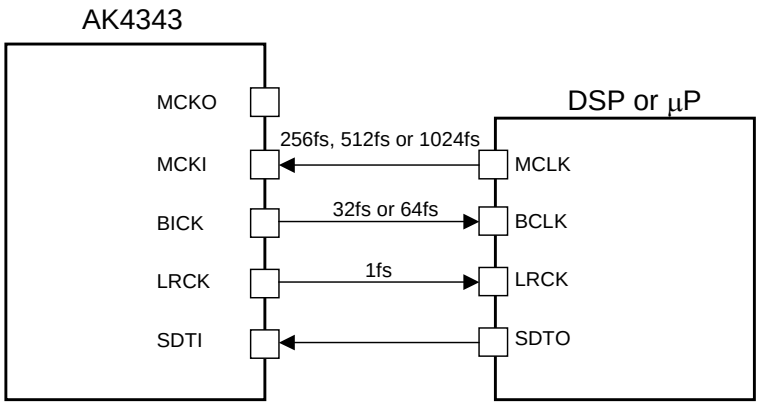


Figure 23. EXT Master Mode

BCKO bit	BICK出力周波数	
0	32fs	(default)
1	64fs	

Table 16. BICK Output Frequency at Master Mode

■ システムリセット

電源立ち上げ時には、PDN pinに一度 “L”を入力してリセットを行って下さい。システムリセットが行われると、AK4343の内部レジスタは全て初期値になります。

PMDAC bit = “0” → “1”に変更することで、DACの初期化サイクルが開始されます。初期化サイクルは1059/fs=24ms@fs=44.1kHzです。初期化サイクル中のDAC入力データは内部で2’sコンプリメントの “0”に固定されます。初期化サイクルが終了すると、DACの群遅延(25/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。

■ オーディオインタフェースフォーマット

4種類のデータフォーマット(Table 17)がDIF1-0 bitsで選択できます。全モードともMSBファースト、2’sコンプリメントのデータフォーマットです。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではLRCKとBICKは出力になり、スレーブモードでは入力になります。

Mode	DIF1 bit	DIF0 bit	SDTI (DAC)	BICK	Figure	
0	0	0	DSP Mode	≥ 32fs	Table 18	
1	0	1	後詰め	≥ 32fs	Figure 28	
2	1	0	前詰め	≥ 32fs	Figure 29	(default)
3	1	1	I^2S互換	≥ 32fs	Figure 30	

Table 17. Audio Interface Format

Mode 1, 2, 3では、SDTIはBICKの“↑”でラッチされます。

Mode 0 (DSPモード)では、BCKP, MSBS bitsにより、オーディオI/Fのタイミングを変更することができます(Table 18)。

DIF1	DIF0	MSBS	BCKP	Audio Interface Format	Figure	
0	0	0	0	LRCK “↑”後の1回目のBICK “↑”の直後のBICK “↓”でSDTIのMSBデータがラッチされます。	Figure 24	(default)
		0	1	LRCK “↑”後の1回目のBICK “↓”の直後のBICK “↑”でSDTIのMSBデータがラッチされます。	Figure 25	
		1	0	LRCK “↑”後の2回目のBICK “↓”でSDTIのMSBデータがラッチされます。	Figure 26	
		1	1	LRCK “↑”後の2回目のBICK “↑”でSDTIのMSBデータがラッチされます。	Figure 27	

Table 18. Audio Interface Format in Mode 0

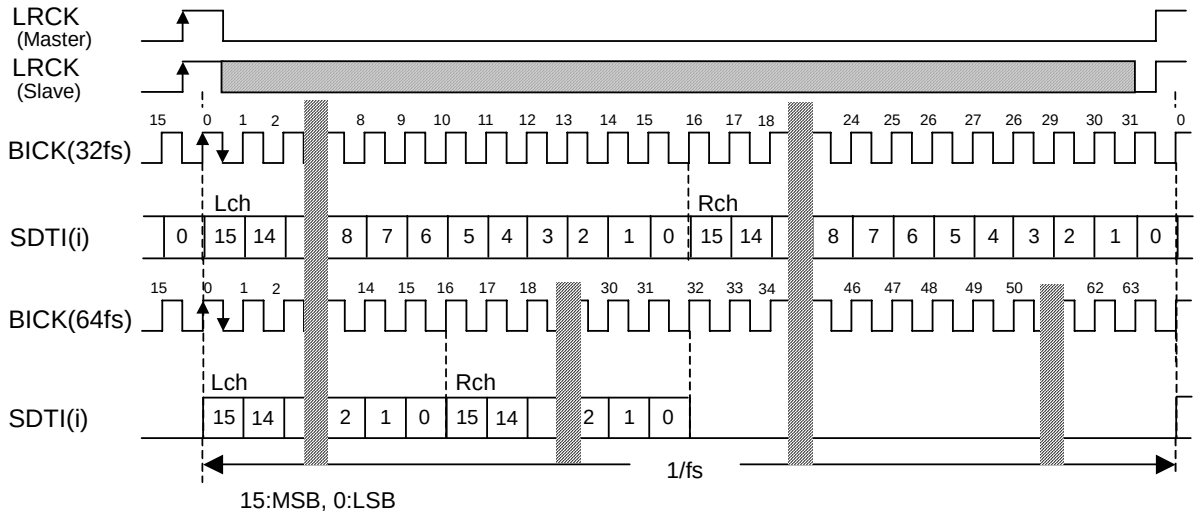


Figure 24. Mode 0 Timing (BCKP = "0", MSBS = "0")

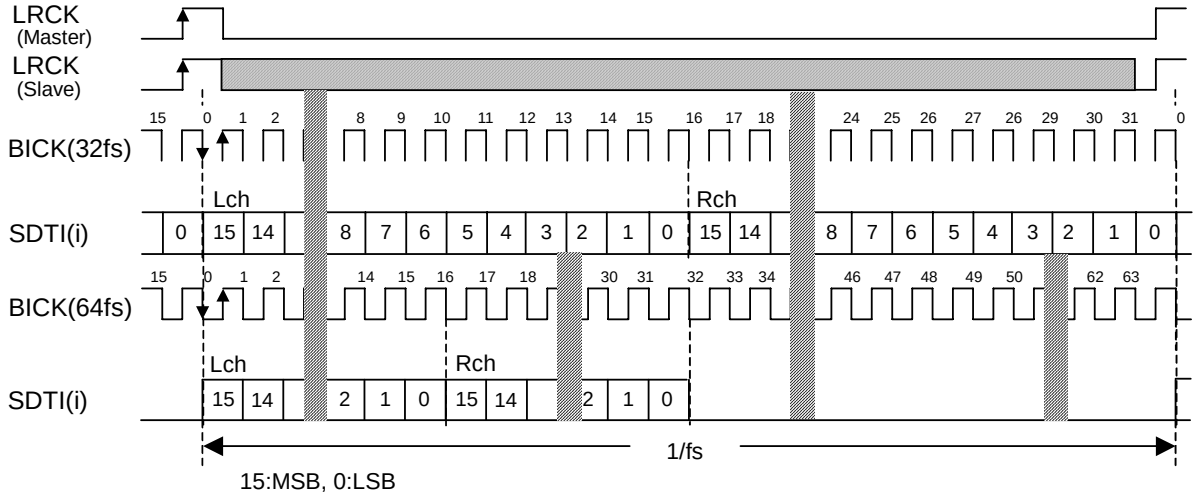


Figure 25. Mode 0 Timing (BCKP = "1", MSBS = "0")

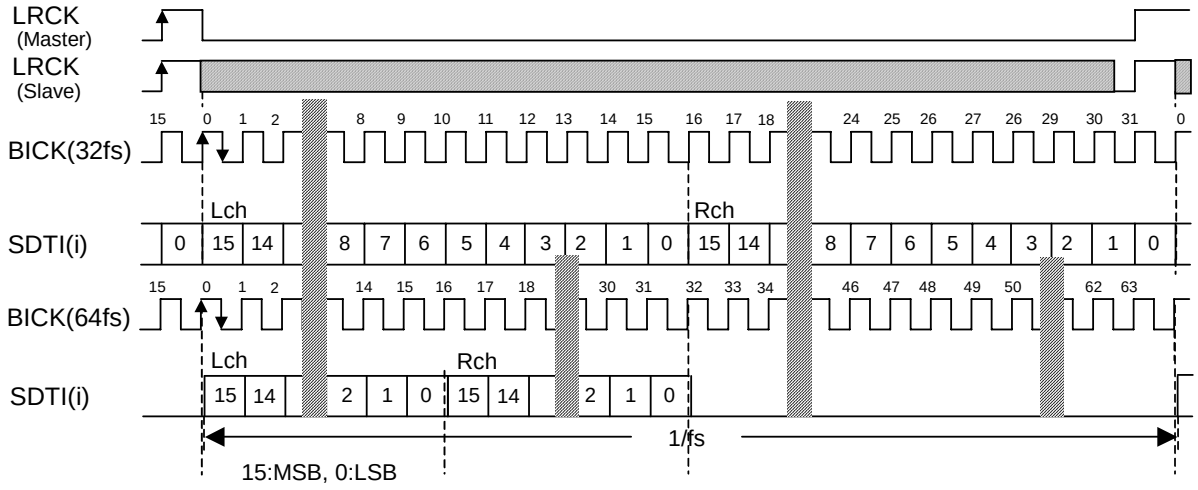


Figure 26. Mode 0 Timing (BCKP = "0", MSBS = "1")

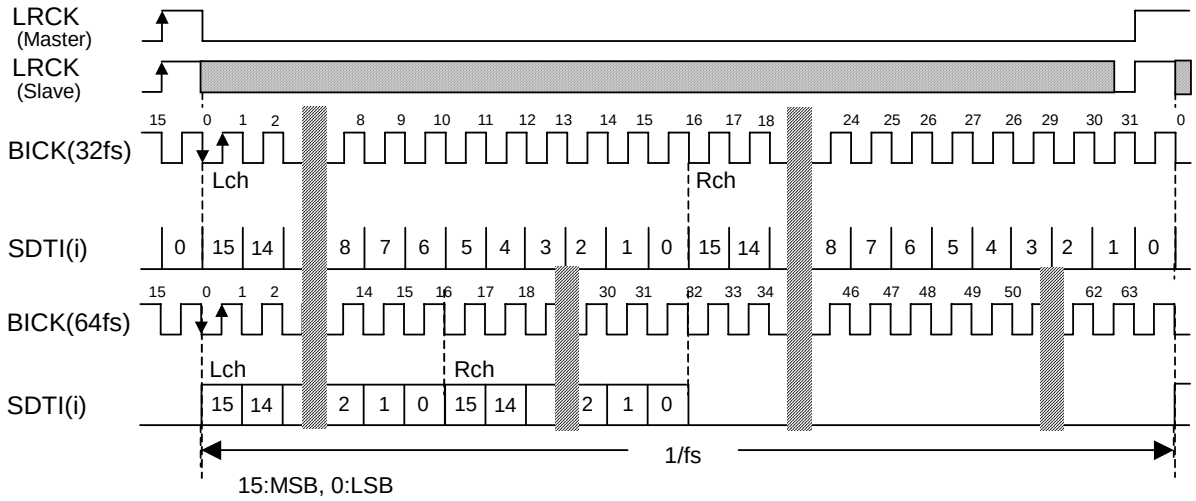


Figure 27. Mode 0 Timing (BCKP = "1", MSBS = "1")

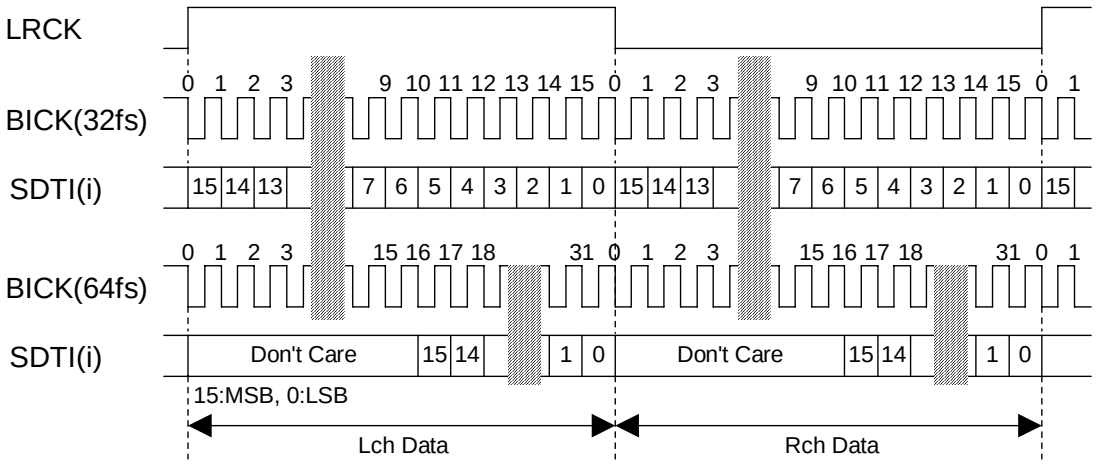


Figure 28. Mode 1 Timing

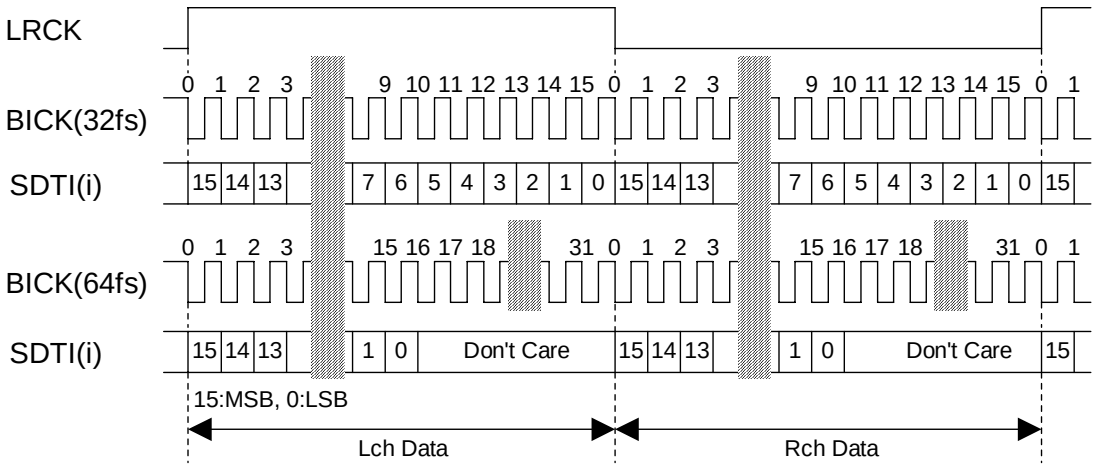


Figure 29. Mode 2 Timing

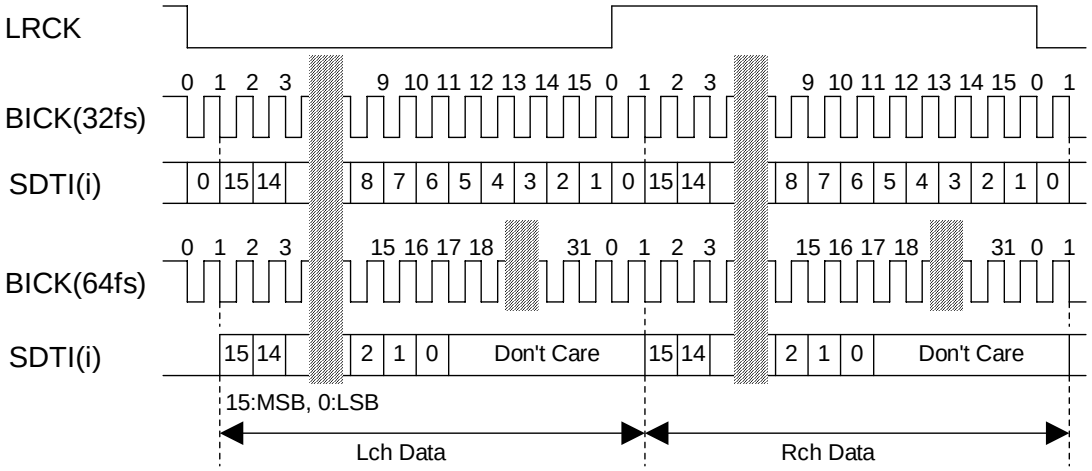


Figure 30. Mode 3 Timing

■ ディジタルHPF

AK4343はDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は0.9Hz (@fs=44.1kHz)になっており、サンプリング周波数(fs)に比例します。

■ 入力セレクタ

AK4343はゲインアンプへの入力セレクタを内蔵しています。MDIF1, MDIF2 bits = “0”のとき、INL1-0, INR1-0 bitsにより、LIN1/LIN2/LIN3, RIN1/RIN2/RIN3をそれぞれ切り替えることができます。MDIF1, MDIF2 bits = “1”のとき、LIN1, RIN1, LIN2, RIN2 pinsはそれぞれIN1–, IN1+, IN2+, IN2– pinsとなり、差動入力が可能です(Figure 31)。差動入力で使用する場合、Table 20で “X”印のついているピンには信号を入力しないでください。

MDIF1 bit	MDIF2 bit	INL1 bit	INL0 bit	INR1 bit	INR0 bit	Lch	Rch	
0	0	0	0	0	0	LIN1	RIN1	(default)
0	0	0	0	0	1	LIN1	RIN2	
0	0	0	0	1	0	LIN1	RIN3	
0	0	0	1	0	0	LIN2	RIN1	
0	0	0	1	0	1	LIN2	RIN2	
0	0	0	1	1	0	LIN2	RIN3	
0	0	1	0	0	0	LIN3	RIN1	
0	0	1	0	0	1	LIN3	RIN2	
0	0	1	0	1	0	LIN3	RIN3	
0	1	0	0	0	0	LIN1	IN2+/–	
0	1	1	0	0	0	LIN3	IN2+/–	
1	0	0	0	0	1	IN1+/–	RIN2	
1	0	0	0	1	0	IN1+/–	RIN3	
1	1	0	0	0	0	IN1+/–	IN2+/–	
Others						N/A	N/A	

Table 19. Input Path Select

Register			Pin					
AIN3 bit	MDIF1 bit	MDIF2 bit	LIN1 IN1–	RIN1 IN1+	LIN2 IN2+	RIN2 IN2–	MIN LIN3	VCOC RIN3
0	0	0	O	O	O	O	O	-
0	0	1	O	X	O	O	O	-
0	1	0	O	O	X	O	O	-
0	1	1	O	O	O	O	O	-
1	0	0	O	O	O	O	O	O
1	0	1	O	X	O	O	O	X
1	1	0	O	O	X	O	X	O
1	1	1	O	O	O	O	X	X

Table 20. Handling of Line Input Pins (“-“: N/A; “X”: Signal should not be input.)

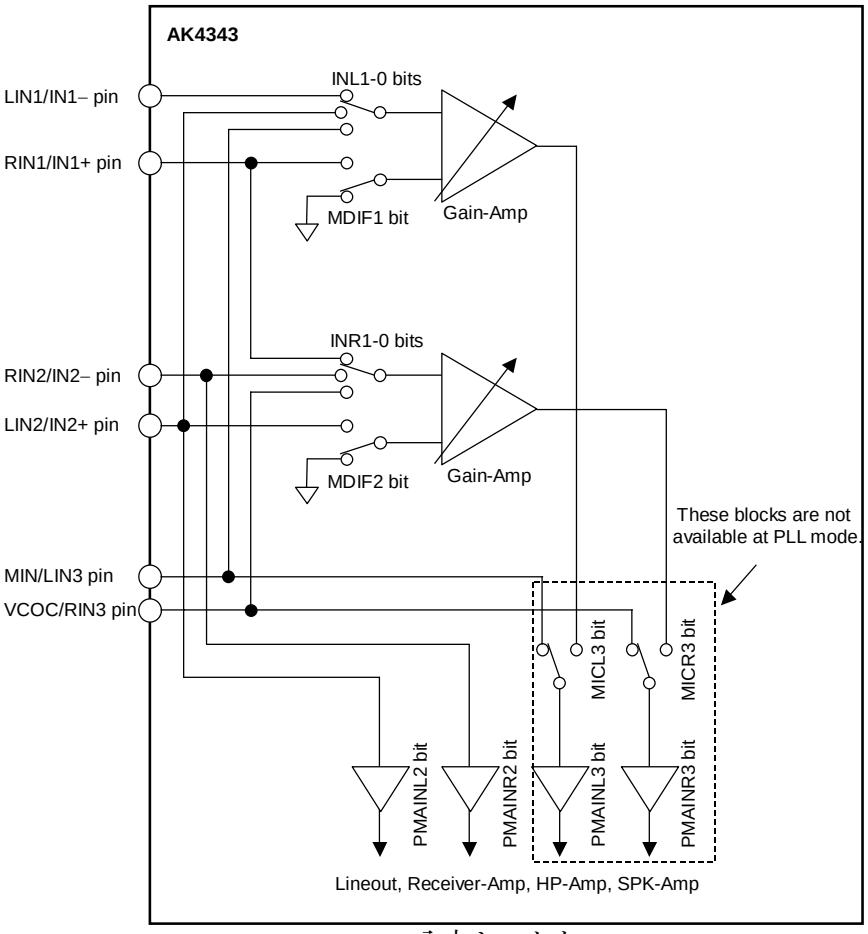


Figure 31. 入力セレクタ

＜入力セレクタ設定例＞

IN1+/– pinsを差動入力、LIN2/RIN2 pinsをステレオライン入力として使用する場合、次の2モードを場面に応じて切り替えて使用してください。

MDIF1 bit	MDIF2 bit	INL1 bit	INL0 bit	INR1 bit	INR0 bit	Lch	Rch
1	0	0	0	0	1	IN1+/–	RIN2
0	0	0	1	0	1	LIN2	RIN2

Table 21.Line In Path Select Example

■ ゲインアンプ

AK4343はゲインアンプを内蔵しています。MGAIN1-0 bitによりゲインを設定することができます(Table 22)。入力インピーダンスはMGAIN1-0 bits = “00”のときtyp. 60kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 30kΩです。

MGAIN1 bit	MGAIN0 bit	Input Gain	
0	0	0dB	
0	1	+20dB	(default)
1	0	+26dB	
1	1	+32dB	

Table 22. 入力ゲイン

■ Digital EQ/HPF/LPF回路

AK4343では入力データに対して、風切り音フィルタ、ステレオ感強調、ゲイン補正及びALCの処理を行うことができます(Figure 32参照)。FIL1, FIL3, EQはそれぞれ1次のIIRフィルタで、フィルタ係数を任意に設定できます。ALCについては、 “ALC動作”の項を参照して下さい。

ステレオ感強調のATTはFIL3の係数で同時に設定します。

ゲイン補正のゲインはGN1-0 bits(Table 23参照)とEQの係数の組み合わせで設定します。

FIL1, FIL3はそれぞれF1AS, F3AS bitsが “0”のときHPFになり、F1AS, F3AS bitsが “1”のときLPFになります。

FIL3をOFF(MUTE)し、EQ, FIL1を0dBでスルーさせる場合は、それぞれFIL3, EQ, FIL1 bitsを “0”に設定して下さい。各フィルタ係数を書き換える場合は、一度スルー(FIL3はMUTE)のモードにしてから行って下さい。

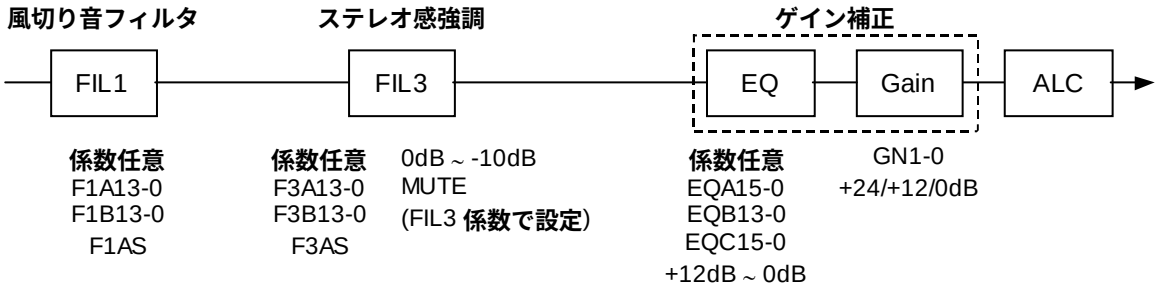


Figure 32. Digital EQ/HPF/LPF

GN1	GN0	Gain	
0	0	0dB	(default)
0	1	+12dB	
1	x	+24dB	

Table 23. Gain部のゲイン設定 (x: Don’t care)

[フィルタ係数の設定について]

1) FIL1, FIL3をHPFに設定する場合

fs: サンプリング周波数
fc: カットオフ周波数
f: 入力信号周波数
K: ゲイン[dB] (FIL1のゲインは0dBに設定して下さい。)

レジスタ設定
FIL1: F1AS bit = “0”, F1A[13:0] bits =A, F1B[13:0] bits =B
FIL3: F3AS bit = “0”, F3A[13:0] bits =A, F3B[13:0] bits =B
(MSB=F1A13, F1B13, F3A13, F3B13; LSB=F1A0, F1B0, F3A0, F3B0)

$$A = 10^{K/20} \times \frac{1 / \tan(\pi fc/fs)}{1 + 1 / \tan(\pi fc/fs)}, \quad B = \frac{1 - 1 / \tan(\pi fc/fs)}{1 + 1 / \tan(\pi fc/fs)}$$

伝達関数	振幅	位相
$H(z) = A \frac{1 - z^{-1}}{1 + Bz^{-1}}$	$M(f) = A \sqrt{\frac{2 - 2\cos(2\pi f/fs)}{1 + B^2 + 2B\cos(2\pi f/fs)}}$	$\theta(f) = \tan^{-1} \frac{(B+1)\sin(2\pi f/fs)}{1 - B + (B-1)\cos(2\pi f/fs)}$

2) FIL1, FIL3をLPFに設定する場合

fs: サンプリング周波数
fc: カットオフ周波数
f: 入力信号周波数
K: ゲイン[dB] (FIL1のゲインは0dBに設定して下さい。)

レジスタ設定
FIL1: F1AS bit = “1”, F1A[13:0] bits =A, F1B[13:0] bits =B
FIL3: F3AS bit = “1”, F3A[13:0] bits =A, F3B[13:0] bits =B
(MSB=F1A13, F1B13, F3A13, F3B13; LSB=F1A0, F1B0, F3A0, F3B0)

$$A = 10^{K/20} \times \frac{1}{1 + 1 / \tan(\pi fc/fs)}, \quad B = \frac{1 - 1 / \tan(\pi fc/fs)}{1 + 1 / \tan(\pi fc/fs)}$$

伝達関数	振幅	位相
$H(z) = A \frac{1 + z^{-1}}{1 + Bz^{-1}}$	$M(f) = A \sqrt{\frac{2 + 2\cos(2\pi f/fs)}{1 + B^2 + 2B\cos(2\pi f/fs)}}$	$\theta(f) = \tan^{-1} \frac{(B-1)\sin(2\pi f/fs)}{1 + B + (B+1)\cos(2\pi f/fs)}$

3) EQ

fs: サンプリング周波数
fc_1: 極の周波数
fc_2: 零点の周波数
f: 入力信号周波数
K: ゲイン[dB] (最大+12dBまで設定できます。)

レジスタ設定
EQA[15:0] bits =A, EQB[13:0] bits =B, EQC[15:0] bits =C
(MSB=EQA15, EQB13, EQC15; LSB=EQA0, EQB0, EQC0)

$$A = 10^{K/20} \times \frac{1 + 1 / \tan(\pi fc_2/fs)}{1 + 1 / \tan(\pi fc_1/fs)}, \quad B = \frac{1 - 1 / \tan(\pi fc_1/fs)}{1 + 1 / \tan(\pi fc_1/fs)}, \quad C = 10^{K/20} \times \frac{1 - 1 / \tan(\pi fc_2/fs)}{1 + 1 / \tan(\pi fc_1/fs)}$$

伝達関数	振幅	位相
$H(z) = \frac{A + Cz^{-1}}{1 + Bz^{-1}}$	$M(f) = \sqrt{\frac{A^2 + C^2 + 2ACcos(2\pi f/fs)}{1 + B^2 + 2Bcos(2\pi f/fs)}}$	$\theta(f) = \tan^{-1}\frac{(AB-C)sin(2\pi f/fs)}{A + BC + (AB+C)cos(2\pi f/fs)}$

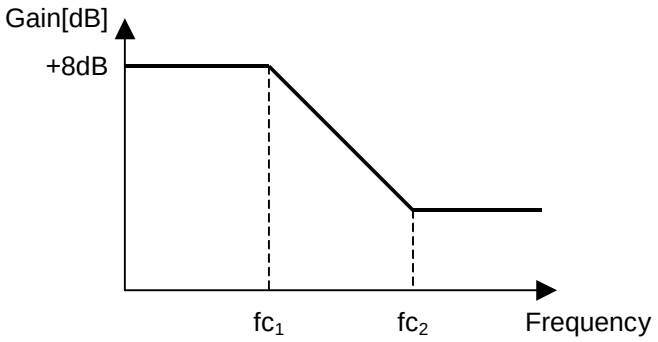
[上式により算出されたフィルタ係数を実数から2進数(2の補数)へ変換する手順]
X=(上式により算出された実数のフィルタ係数) x 2^{13}

このXの小数点以下を四捨五入した整数値を2進数(2の補数)に変換して下さい。
各フィルタ係数設定レジスタのMSBは符号ビットです。

[フィルタ係数の設定例]

1) FIL1ブロック
例: fs=44.1kHz, fc=100HzのHPFの場合
F1AS bit = “0”
F1A[13:0] bits = 01 1111 1100 0110
F1B[13:0] bits = 10 0000 0111 0100

2) EQブロック
例: fs=44.1kHz, fc_1=300Hz, fc_2=3000Hz, Gain=+8dBの場合



EQA[15:0] bits = 0000 1001 0110 1110
EQB[13:0] bits = 10 0001 0101 1001
EQC[15:0] bits = 1111 1001 1110 1111

■ ALC動作

ALC bit = “1”のとき、ALCブロックにより、ALC動作が行われます。

1. ALCリミッタ動作

ALCリミッタ動作ではLch, Rchの出力レベルのどちらか一方でもALCリミッタ検出設定レベル(Table 24)を越えた場合、LMAT1-0 bitsで設定した値(Table 25)だけ、AVL, AVR値(L/R共通)を自動的に減衰させます。

ZELMN bit = “0”(ゼロクロス検出有効)のとき、ALCリミッタ動作によりAVL, AVR値が変更されるのは、L/R独立にそれぞれゼロクロスするかゼロクロスタイムアウトしたときです。ゼロクロスタイムアウト時間はZTM1-0 bitsにて設定できます(Table 26)。

ZELMN bit = “1”(ゼロクロス検出無効)のとき、ALCリミッタ動作によりAVL, AVR値は瞬時(周期: 1/fs)に変更されます。リミッタ動作の減衰量はLMAT1-0 bitsの設定にかかわらず1 step固定です。

減衰動作終了後でもALC bitを “0”にしない限り、再び出力レベルがALCリミッタ検出レベルを越えれば、この減衰動作は繰り返されます。

LMTH1	LMTH0	ALCリミッタ検出レベル	ALCリカバリ待機カウンタリセットレベル	
0	0	ALC Output ≥ –2.5dBFS	–2.5dBFS > ALC Output ≥ –4.1dBFS	(default)
0	1	ALC Output ≥ –4.1dBFS	–4.1dBFS > ALC Output ≥ –6.0dBFS	
1	0	ALC Output ≥ –6.0dBFS	–6.0dBFS > ALC Output ≥ –8.5dBFS	
1	1	ALC Output ≥ –8.5dBFS	–8.5dBFS > ALC Output ≥ –12dBFS	

Table 24. ALC リミッタ検出レベル／リカバリ待機カウンタリセットレベル

ZELMN	LMAT1	LMAT0	ALC リミッタATTステップ		
0	0	0	1 step	0.375dB	(default)
	0	1	2 step	0.750dB	
	1	0	4 step	1.500dB	
	1	1	8 step	3.000dB	
1	x	x	1step	0.375dB	

Table 25. ALC リミッタATTステップの設定 (x: Don’t care)

ZTM1	ZTM0		ゼロクロスタイムアウト時間			
			8kHz	16kHz	44.1kHz	
0	0	128/fs	16ms	8ms	2.9ms	(default)
0	1	256/fs	32ms	16ms	5.8ms	
1	0	512/fs	64ms	32ms	11.6ms	
1	1	1024/fs	128ms	64ms	23.2ms	

Table 26. ALCゼロクロスタイムアウト時間の設定

2. ALCリカバリ動作

ALCリカバリ動作は、WTM2-0 bitsで設定された時間(Table 27)待機を行い、この間、出力信号がALCリカバリ待機カウンタリセットレベル(Table 24)を越すことがなければALCリカバリ動作を行います。このALCリカバリ動作は設定された基準レベル(Table 29) までZTM1-0 bitsで設定した時間(Table 26)でゼロクロス検出動作を行いながら、RGAIN1-0 bitsで設定した値(Table 28)だけAVL, AVR値(L/R共通)を自動的に増加させます。このALCリカバリ動作はWTM2-0 bitsで設定した周期で行われます。ただし、WTM2-0 bitsでの設定よりZTM1-0 bitsでの設定が長い場合において、信号がゼロクロスしないときには、ZTM1-0 bitsの設定でALCリカバリ動作が行われます。

例えば、現在のAVL, AVR値が30Hの場合、RGAIN1-0 bits = “01”(2 steps)に設定しておくと、ALCリカバリ動作によってAVL, AVR値は32Hに変更され、0.75dB(0.375dB x 2)増加されます。AVL, AVR値が基準レベル(REF7-0 bits)に達した場合、AVL, AVR値の増加は行いません。

また、ALCリカバリ待機中に
　(リカバリ待機カウンタリセットレベル) ≤ Output Signal < (リミッタ検出レベル)
となっている場合、待機タイマはリセットされます。そのため、
　(リカバリ待機カウンタリセットレベル) > Output Signal
となった時から、待機時間のカウントが開始されます。

また、ALC動作はインパルス性のノイズにも対応したALCになっています。インパルス性のノイズが入力された場合、通常のリカバリ動作よりも早いサイクルでリカバリ動作(ファーストリカバリ動作)を行います。例えば、瞬間的に大きな音が入力された場合、この動作により大きな音に埋もれた小信号を改善することができます。ファーストリカバリ動作の速さは、RFST1-0 bits により設定します(Table 30)。

WTM2	WTM1	WTM0		ALCリカバリ周期			
				8kHz	16kHz	44.1kHz	
0	0	0	128/fs	16ms	8ms	2.9ms	(default)
0	0	1	256/fs	32ms	16ms	5.8ms	
0	1	0	512/fs	64ms	32ms	11.6ms	
0	1	1	1024/fs	128ms	64ms	23.2ms	
1	0	0	2048/fs	256ms	128ms	46.4ms	
1	0	1	4096/fs	512ms	256ms	92.9ms	
1	1	0	8192/fs	1024ms	512ms	185.8ms	
1	1	1	16384/fs	2048ms	1024ms	371.5ms	

Table 27. ALCリカバリ待機時間の設定

RGAIN1	RGAIN0	GAIN STEP		
0	0	1 step	0.375dB	(default)
0	1	2 step	0.750dB	
1	0	3 step	1.125dB	
1	1	4 step	1.500dB	

Table 28. ALC リカバリゲイン量の設定

REF7-0	GAIN(dB)	Step	
F1H	+36.0	0.375dB	(default)
F0H	+35.625		
EFH	+35.25		
:	:		
E2H	+30.375		
E1H	+30.0		
E0H	+29.625		
:	:		
03H	–53.25		
02H	–53.625		
01H	–54.0		
00H	MUTE		

Table 29. ALCリカバリ動作時の基準値設定

RFST1 bit	RFST0 bit	リカバリ速度	
0	0	4倍	(default)
0	1	8倍	
1	0	16倍	
1	1	N/A	

Table 30. ファーストリカバリ速度設定

3. ALC動作設定手順例

Table 31は、ALC設定例です。

Register Name	Comment	fs=8kHz		fs=44.1kHz	
		Data	Operation	Data	Operation
LMTH1-0	Limiter detection Level	01	–4.1dBFS	01	–4.1dBFS
ZELMN	Limiter zero crossing detection	0	Enable	0	Enable
ZTM1-0	Zero crossing timeout period	01	32ms	11	23.2ms
WTM2-0	Recovery waiting period *WTM2-0 bits should be the same or longer data as ZTM1-0 bits.	001	32ms	011	23.2ms
REF7-0	Maximum gain at recovery operation	E1H	+30dB	E1H	+30dB
AVL7-0, AVR7-0	Gain of AVOL	E1H	+30dB	E1H	+30dB
LMAT1-0	Limiter ATT step	00	1 step	00	1 step
RGAIN1-0	Recovery GAIN step	00	1 step	00	1 step
RFST1-0	Fast Recovery Speed	00	4 times	00	4 times
ALC	ALC enable	1	Enable	1	Enable

Table 31. ALC設定例

ALC動作中は、以下のビットへの変更を禁止します。これらのビットを変更する場合は、ALC動作を終了(ALC bit = “0”またはPMDAC bit = “0”)してから行って下さい。

- **LMTH1-0, LMAT1-0, WTM2-0, ZTM1-0, RGAIN1-0, REF7-0, ZELMN, RFST1-0の各ビット**

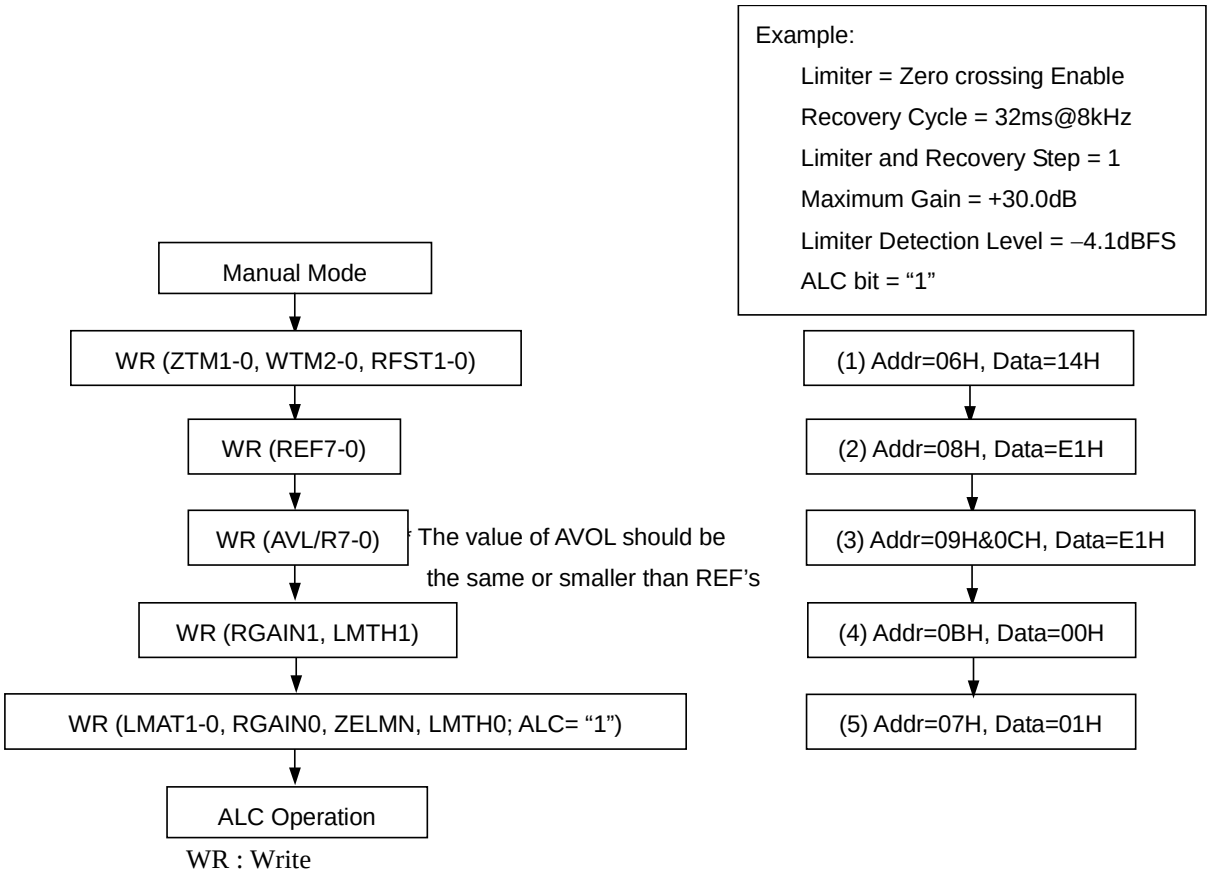


Figure 33. ALC動作設定手順例

■ ALC部ディジタルボリューム (マニュアルモード時)

ALC bit = “0”のとき、ALC部のディジタルボリュームはマニュアルモードになります。このモードは以下の場合に使用します。

1. リセット解除後、ALC動作に関するレジスタ設定(ZTM1-0, LMTH1-0 bitsなど)を行う場合。
2. サンプリング周波数の変更に伴い、リミッタ／リカバリ周期などALC動作に関するレジスタ変更を行う場合。

ALC部ディジタルボリュームのゲイン量はAVL7-0, AVR7-0 bitsで設定します(Table 32)。ボリューム変更時、L/R独立にゼロクロス検出動作を行います。ゼロクロスタイムアウト時間はZTM1-0 bitsで設定することができます。

ALCを使用しない場合はAVL7-0 = AVR7-0 bits = 91H (0dB)に設定して下さい。

AVL7-0 AVR7-0	GAIN (dB)	Step	
F1H	+36.0	0.375dB	(default)
F0H	+35.625		
EFH	+35.25		
:	:		
E2H	+30.375		
E1H	+30.0		
E0H	+29.625		
:	:		
03H	–53.25		
02H	–53.625		
01H	–54		
00H	MUTE		

Table 32. ALC部ディジタルボリュームの設定値

AVL7-0, AVR7-0 bitsの書き込みを続けて行う場合は、ゼロクロスタイムアウト時間以上の間隔をあけて行って下さい。所定の間隔をあけないで書き込みを行うと、ゼロクロスカウンタが毎回リセットされボリュームが切り替わりません。ただし、書き込むレジスタ値が前回と同じ値の場合は書き込みが無視され、ゼロクロスカウンタはリセットされないので、ゼロクロスタイムアウト時間より短い間隔で書き込みを行うことができます。

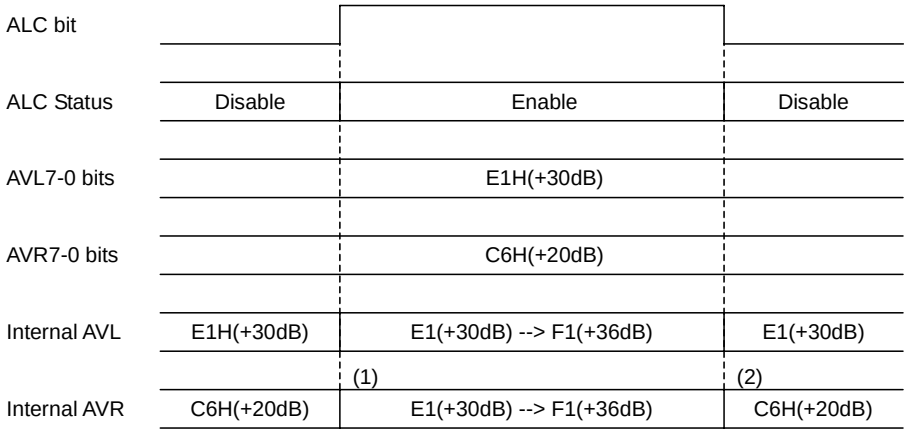


Figure 34. ALC動作中のAVOL動作例

(1) ALC開始時にAVLとAVRの値が異なっている場合は、AVLの値がスタート値になります。ALC bit = “1” を書き込んでからAVL7-0 bitsの値でALC動作を開始するまでの待ち時間は最大でリカバリ待機時間 (WTM2-0 bits) + ゼロクロスタイムアウト時間(ZTM1-0 bits)です。

(2) ALC動作中は、AVL, AVRのレジスタ(09H, 0CH)に書き込みを行っても反映されません。ALCがDisableされた後、ゼロクロスまたはゼロクロスタイムアウト時にその値が反映されます。再度ALCをEnableする場合は、ALC bit = “0”の後、ゼロクロスタイムアウト時間以上の間隔を空けてALC bit = “1”を設定して下さい。

■ ディエンファシスフィルタコントロール

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(tc=50/15μs特性)を内蔵しています。入力データに対して、DEM1-0 bitsで選択された周波数のディエンファシスフィルタが有効になります(Table 33)。

DEM1	DEM0	Mode	
0	0	44.1kHz	
0	1	OFF	(default)
1	0	48kHz	
1	1	32kHz	

Table 33. ディエンファシスコントロール

■ バスブースト回路

BST1-0 bitsをコントロールすることで、DACからバスブーストされた信号を出力することができます(Table 34)。また、BST1-0 bits = “01”(MIN)に固定することで、ヘッドフォン出力のDCカット用コンデンサを47μFまで小さくすることができます。バスブーストされた信号がフルスケールを超えた場合、DACからの出力がクリップします。Figure 35は–20dBの信号レベルを入力した場合のバスブースト後の特性です。

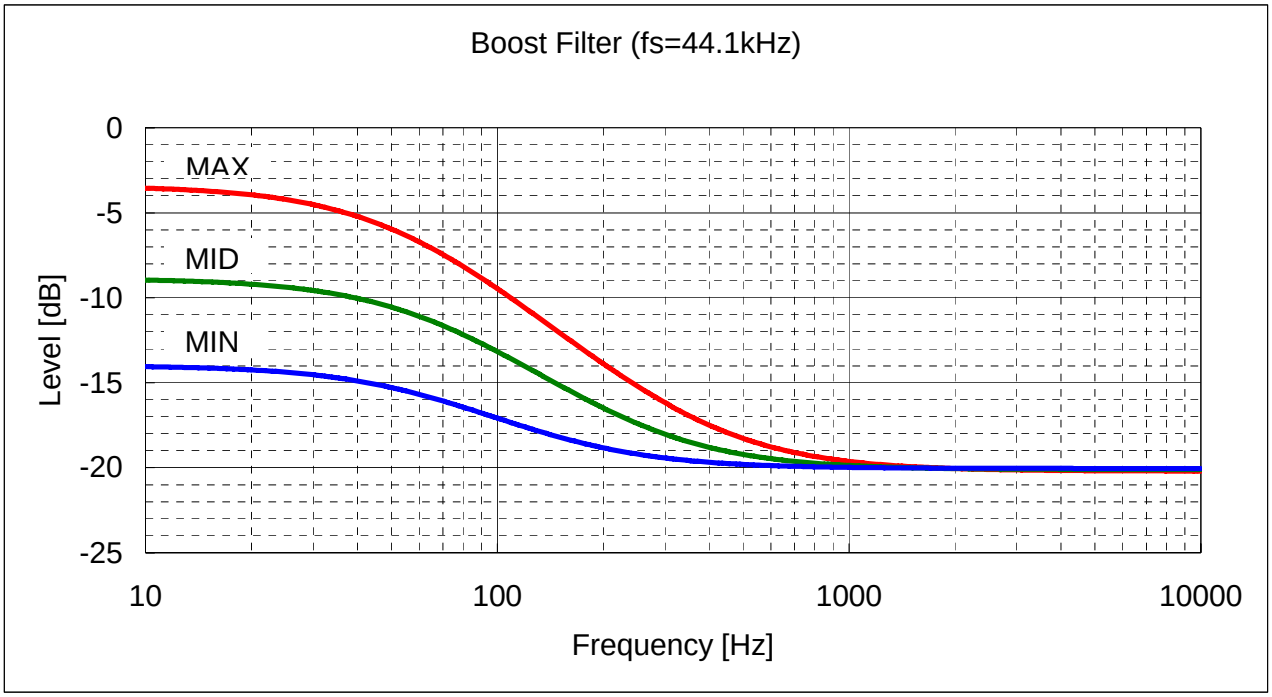


Figure 35. バスブースト周波数 (fs=44.1kHz)

BST1	BST0	Mode	
0	0	OFF	(default)
0	1	MIN	
1	0	MID	
1	1	MAX	

Table 34. バスブーストコントロール

■ 出力ボリューム

AK4343はMUTEを含む0.5dBステップ、256レベルのチャネル独立ディジタル出力ボリューム(DATT)を内蔵します。このボリュームはDACの前段にあり、入力データを+12dBから–115dBまで減衰、またはミュートします。DVOLC bitを “1”にすると、DVL7-0 bitsでLch, Rchのボリュームを同時にコントロールできます。DVOLC bitが “0”の場合、Lch, Rchのボリュームは独立にコントロールできます。また、ATT設定間の遷移は1061レベルまたは256/fsでソフト遷移します。遷移ステップはDVTM bitで設定します。DVTM bit = “0”のとき、00H(+12dB)からFFH(MUTE)までには1061/fs(24ms@fs=44.1kHz)かかります。

DVL/R7-0	Gain	Step	
00H	+12.0dB	0.5dB	
01H	+11.5dB		
02H	+11.0dB		
:	:		
18H	0dB		(default)
:	:		
FDH	–114.5dB		
FEH	–115.0dB		
FFH	MUTE (–∞)		

Table 35. Digital Volume Code Table

DVTM bit	DVL/R7-0 bits = 00HからFFHまでの遷移時間			
	設定値	fs=8kHz時	fs=44.1kHz時	
0	1061/fs	133ms	24ms	(default)
1	256/fs	32ms	6ms	

Table 36.出力ボリュームの遷移時間設定

■ ソフトミュート機能

DAC入力のディジタル部にソフトミュート機能を内蔵します。ソフトミュートはSMUTE bitでコントロールできます。SMUTE bitを “1”にするとDVTM bitで設定したサイクルで入力データが–∞(“0”)までアテネーションされます。SMUTE bitを “0”にすると–∞状態が解除され、–∞からDVTM bitで設定したサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します。ソフトミュート開始後、DVTM bitで設定したサイクル以内に解除されるとアテネーションが中断され、同じサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します(Figure 36)。

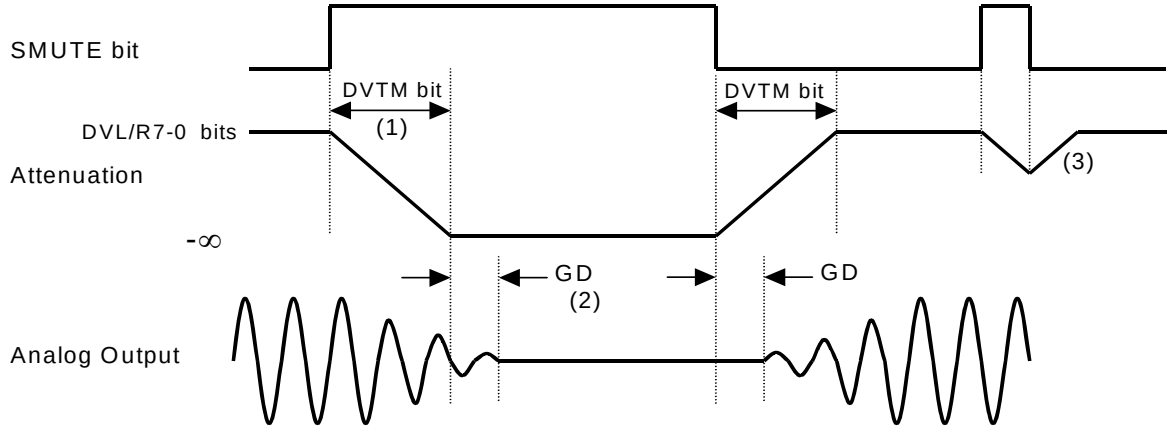


Figure 36. ソフトミュート機能

(1) DVTM bitで設定したサイクルで入力データが–∞(“0”)までアテネーションされます。
(2) ディジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
(3) ソフトミュート開始後、DVTM bitで設定したサイクル以内に解除されるとアテネーションが中断され、同じサイクルで、DVL/R7-0 bitsで設定したボリューム値まで復帰します。

■ アナログミキシング: ステレオ入力(LIN2/RIN2 pins, AIN3 bit = “1”: LIN3/RIN3 pins)

PMAINL2=PMAINR2 bits = “1”のとき、LIN2/RIN2 pinsはアナログミキシング用ステレオ入力として使用できます。LINS2 bitおよびRINS2 bitを“1”にするとLIN2/RIN2 pinsから入力された信号をスピーカアンプから出力し、LINH2 bitおよびRINH2 bitを “1”にするとヘッドフォンアンプから出力し、LINL2 bitおよびRINR2 bitを “1”にするとステレオライン出力から出力することができます。

AIN3 bit = “1”のとき、MIN/VCOC pinsはそれぞれLIN3/RIN3 pinsになります。このときPLLは使用できません。PMAINL3=PMAINR3 bits = “1”のとき、LIN3/RIN3 pinsはアナログミキシング用ステレオ入力として使用できます。また、PMMICL=PMMICR=MICL3=MICR3 bits = “1”のとき、ミキシングできる信号がLIN3/RIN3 pins入力からGain-Amp出力に切り替わります。LINS3 bitおよびRINS3 bitを“1”にするとLIN3/RIN3 pinsから入力された信号をスピーカアンプから出力し、LINH3 bitおよびRINH3 bitを “1”にするとヘッドフォンアンプから出力し、LINL3 bitおよびRINR3 bitを “1”にするとステレオライン出力から出力することができます。

LIN3/RIN3 pinsの入力インピーダンスは、MICL3=MICR3 bits = “0”で使用している場合、MGAIN1-0 bits = “00”のときtyp. 30kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 20kΩです。MICL3=MICR3 bits = “1”で使用している場合、MGAIN1-0 bits = “00”のときtyp. 60kΩ、MGAIN1-0 bits = “01”, “10”, “11”のときtyp. 30kΩです。

各パスのゲイン(typ)をTable 37, Table 38, Table 39, Table 40に示します。

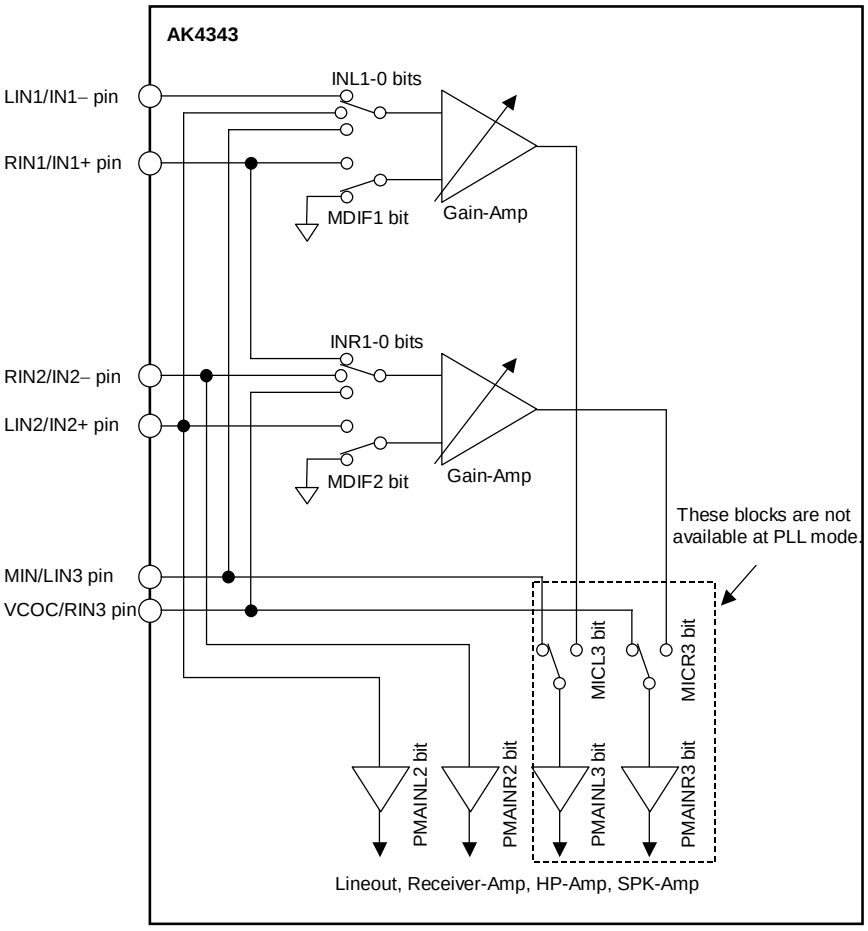


Figure 37. アナログミキシング回路(ステレオ入力)

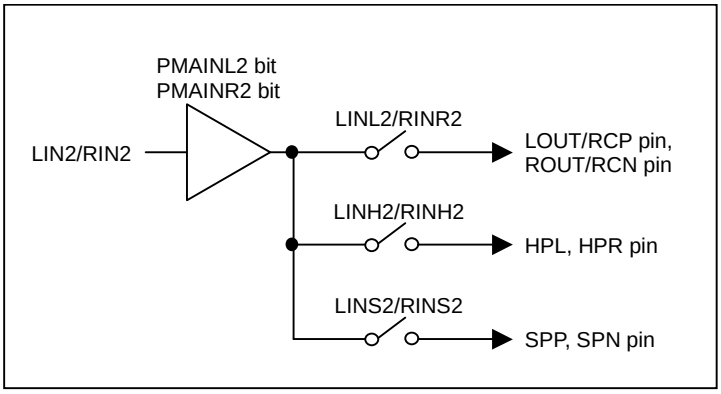


Figure 38. アナログミキシング回路(LIN2/RIN2)

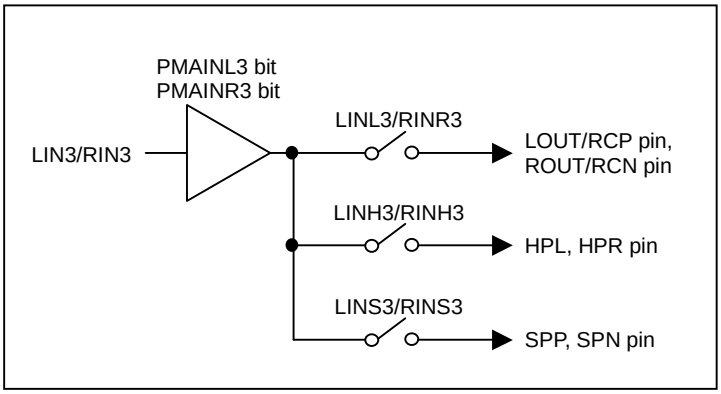


Figure 39. アナログミキシング回路(LIN3/RIN3 : PLL使用不可)

LOVL bit	LIN2/RIN2/LIN3/RIN3 → LOUT/ROUT	
0	0dB	(default)
1	+2dB	

Table 37. LIN2/RIN2/LIN3/RIN3 Input → LOUT/ROUT Output Gain (typ)

LOVL bit	LIN2/RIN2/LIN3/RIN3 → RCP/RCN	
0	0dB	(default)
1	+2dB	

Table 38. LIN2/RIN2/LIN3/RIN3 Input → RCP/RCN Output Gain (typ)

HPG bit	LIN2/RIN2/LIN3/RIN3 → HPL/HPR	
0	0dB	(default)
1	+3.6dB	

Table 39. LIN2/RIN2/LIN3/RIN3 Input → Headphone-Amp Output Gain (typ)

SPKG1-0 bits	LIN2/RIN2/LIN3/RIN3 → SPP/SPN		
	ALC bit = “0”	ALC bit = “1”	
00	–1.59dB	+0.41dB	(default)
01	+0.41dB	+2.41dB	
10	+4.63dB	+6.63dB	
11	+6.63dB	+8.63dB	

Table 40. LIN2/RIN2/LIN3/RIN3 Input → Speaker-Amp Output Gain (typ)

■ アナログミキシング: モノラル入力(AIN3 bit = “0”: MIN pin)

AIN3 bit = “0”のとき、MIN pinはアナログミキシングへのモノラル入力として使用できます。PMMIN bit = “1”の時、MINS bitを“1”にするとMIN pinから入力された信号をスピーカアンプから出力し、MINH bitを “1”にするとヘッドフォンアンプから出力し、MINL bitを “1”にするとステレオライン出力から出力することができます。入力される信号はR_iでレベル調整できます。R_i = 20kΩ 時のゲイン(typ)をTable 41, Table 43, Table 44に示します。このゲインは、R_i の値に反比例します。

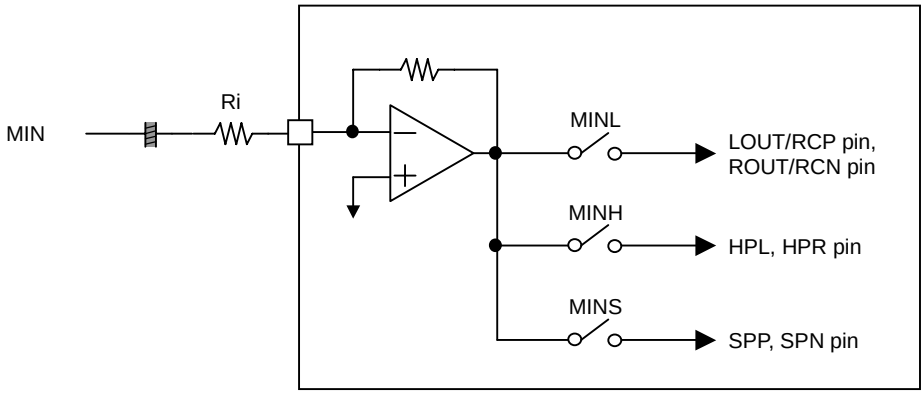


Figure 40. Block Diagram of MIN pin

LOVL bit	MIN → LOUT/ROUT	
0	0dB	(default)
1	+2dB	

Table 41. R_i = 20kΩ 時、MIN入力 → LOUT/ROUT出力ゲイン(typ)

LOVL bit	MIN → RCP/RCN	
0	0dB	(default)
1	+2dB	

Table 42. R_i = 20kΩ 時、MIN入力 → RCP/RCN出力ゲイン(typ)

HPG bit	MIN → HPL/HPR	
0	–20dB	(default)
1	–16.4dB	

Table 43. R_i = 20kΩ 時、MIN入力 → ヘッドフォン出力ゲイン(typ)

SPKG1-0 bits	MIN → SPP/SPN		
	ALC bit = “0”	ALC bit = “1”	
00	+4.43dB	+6.43dB	(default)
01	+6.43dB	+8.43dB	
10	+10.65dB	+12.65dB	
11	+12.65dB	+14.65dB	

Table 44. R_i = 20kΩ 時、MIN入力 → スピーカ出力ゲイン(typ)

■ ステレオライン出力 (LOUT/ROUT pins)

DACL bitを “1”にすると、DACのLch, Rch信号をそれぞれLOUT, ROUT pinsからシングルエンドで出力します。DACL bit を “0”にすると、出力をOFFにすることも可能です。この時、LOUT, ROUT pinsはVCOM電圧を出力します。また、負荷抵抗はmin. 10kΩです。PMLO=LOPS bits = “0” にすると、パワーダウン状態になりAVSSに100kΩ(typ)でプルダウンされます。LOPS bit = “1”とすると、パワーセーブモードになります。また、LOPS bit = “1”として、PMLO bitでパワーダウンのON/OFF を行うと、ON/OFF 時に発生するポップ音を低減することができます。このとき、Figure 42に示すようにCカップル後、ステレオライン出力のラインを20kΩの抵抗でプルダウンしてください。立ち上がりおよび立下がりの時間はC=1μF, AVDD=3.3Vのとき、最大300msです。ステレオライン出力は、PMLO bit = “1”かつLOPS bit = “0”でパワーアップ状態となります。

ステレオライン出力のゲインはLOVL bitで設定します。

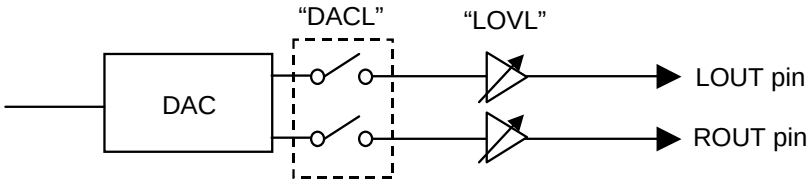


Figure 41. ステレオライン出力

LOPS	PMLO	Mode	LOUT/ROUT pin	
0	0	パワーダウン	Pull-down to AVSS	(default)
	1	通常動作	通常動作	
1	0	パワーセーブ	Fall down to AVSS	
	1	パワーセーブ	Rise up to VCOM	

Table 45. ステレオライン出力のモード設定 (x: Don’t care)

LOVL	Gain	出力電圧(typ)	
0	0dB	0.6 x AVDD	(default)
1	+2dB	0.757 x AVDD	

Table 46. ステレオライン出力ボリューム設定

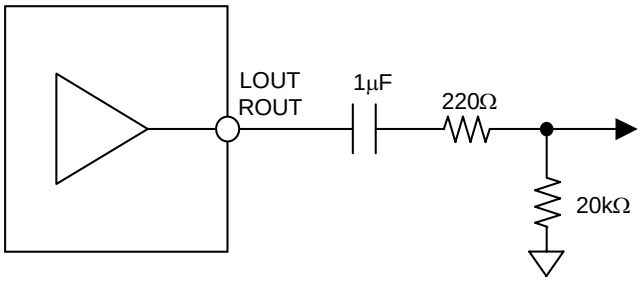


Figure 42. ステレオライン出力外付け回路(ポップ音低減回路使用時)

<ステレオライン出力コントロールシーケンス(ポップ音低減回路使用時)>

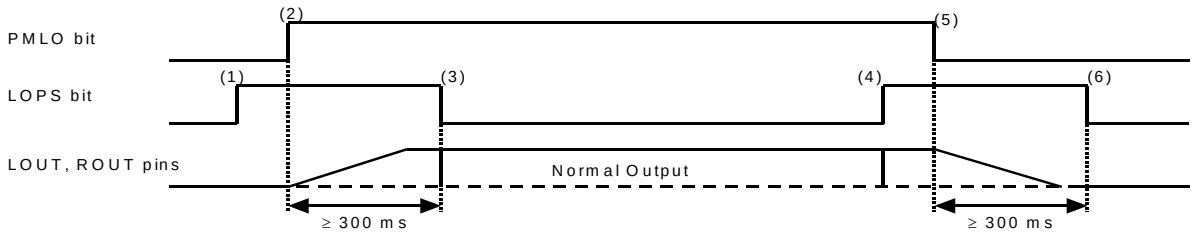


Figure 43. ステレオライン出力コントロールシーケンス(ポップ音低減回路使用時)

(1) パワーセーブモードをON します。LOPS bit = “1”
(2) パワーダウンを解除します。PMLO bit = “1”
LOUT, ROUT pins が立ち上がります。立ち上がり時間はC=1μF, AVDD=3.3Vのとき200ms (max 300ms)です。
(3) LOUT, ROUT pins が立ち上がった後でパワーセーブモードを解除します。LOPS bit = “0”
ステレオライン出力が可能になります。
(4) パワーセーブモードをON します。LOPS bit = “1”
(5) パワーダウンに設定します。PMLO bit = “0”
LOUT, ROUT pins が立ち下がります。立ち下がり時間はC=1μF, AVDD=3.3Vのとき200ms (max 300ms)です。
(6) LOUT, ROUT pins が立ち下がった後でパワーセーブモードを解除します。LOPS bit = “0”

<ステレオライン出力のミキシング回路>

AIN3 bit = “0”のとき、各パスのON/OFFはそれぞれDACL, MINL, LINL2, RINR2 bitsで設定します。
MINの加算ゲインは外部入力抵抗20kΩのとき0dB(typ)@LOVL bit = “0”です。
LIN2/RIN2/DACの加算ゲインは0dB(typ)@LOVL bit = “0”です。

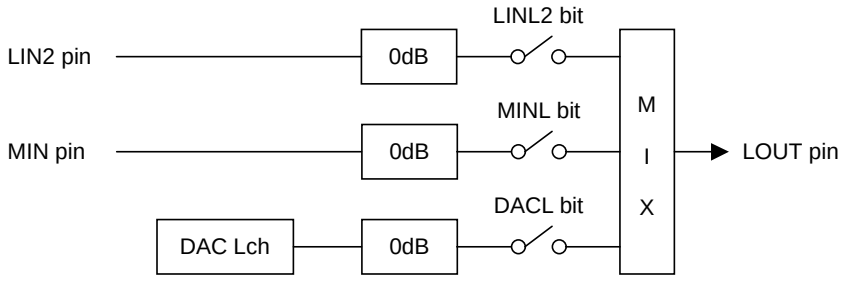


Figure 44. LOUTのミキシング回路(AIN3 bit = “0”, LOVL bit = “0”)

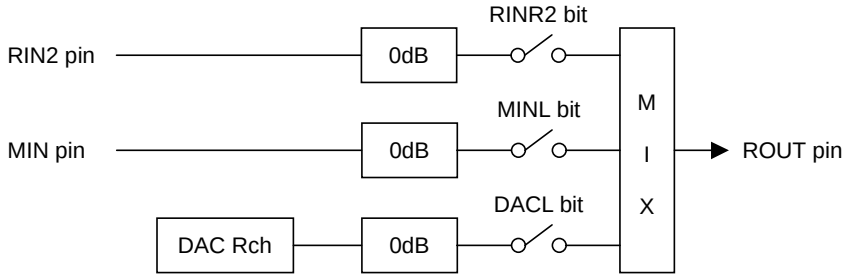


Figure 45. ROUTのミキシング回路(AIN3 bit = “0”, LOVL bit = “0”)

AIN3 bit = “1”のとき、各パスのON/OFFはそれぞれDACL, LINL2, RINR2, LINL3, RINR3, MICL3, MICR3 bits で設定します。加算ゲインはいずれのパスも0dB(typ)です。

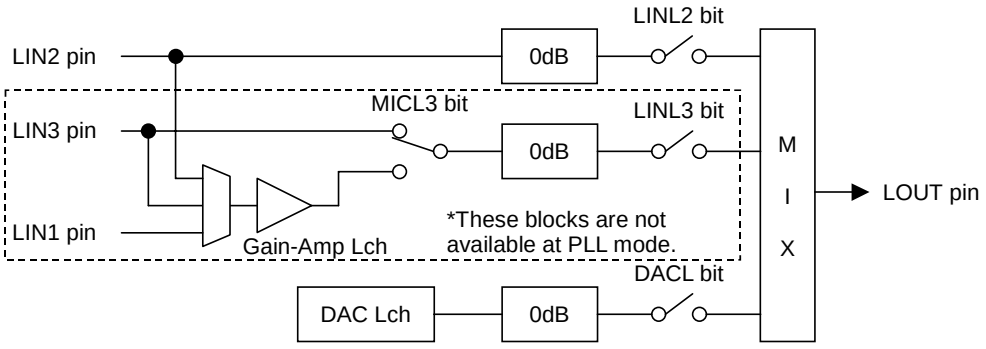


Figure 46. LOUTのミキシング回路(AIN3 bit = “1”, LOVL bit = “0”)

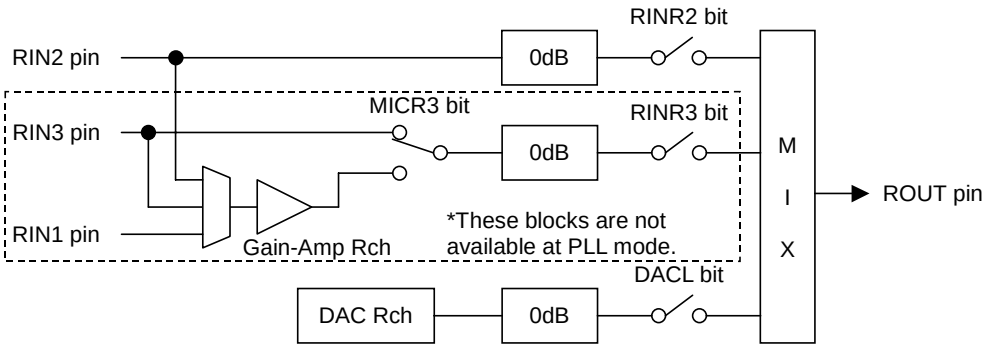


Figure 47. ROUTの加算回路(AIN3 bit = “1”, LOVL bit = “0”)

■ レシーバアンプ (RCP/RCN pins)

RCV bit = “1” のとき、LOUT/ROUT pins はそれぞれ RCP/RCN pins になります。DAC または LIN2/RIN2/LIN3/RIN3からの信号をモノラル信号[(L+R)/2]に変換し、RCP/RCN pinsからBTL出力します。また、負荷抵抗はmin. 32Ωです。PMLO bit = “0” にするとパワーダウン状態になり、RCP/RCN pinsはHi-Zになります。PMLO bit = “1”, LOPS bit = “1”とすると、パワーセーブモードになります。PMLO bit = “1”, LOPS bit = “0”とすると、パワーアップします。レシーバアンプはLOVL bitにてゲインを調整することができます。

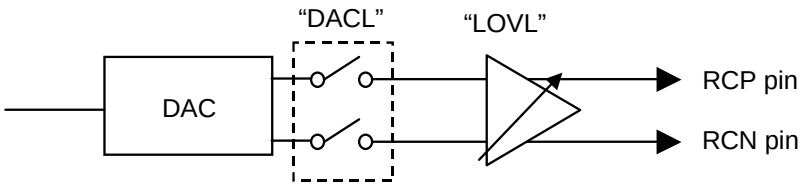


Figure 48. Mono Receiver Output

LOVL	Gain	Output Voltage (typ)	
0	+6dB	0.59 x AVDD @−6dBFS	(default)
1	+8dB	0.59 x AVDD @−8dBFS	

Table 47. Mono Receiver Output Volume Setting

PMLO	LOPS	Mode	RCP	RCN	
0	x	Power-down	Hi-Z	Hi-Z	(default)
1	1	Power-save	Hi-Z	VCOM	
	0	Normal Operation	Normal Operation	Normal Operation	

Table 48. Receiver-Amp Mode Setting (x: Don’t care)

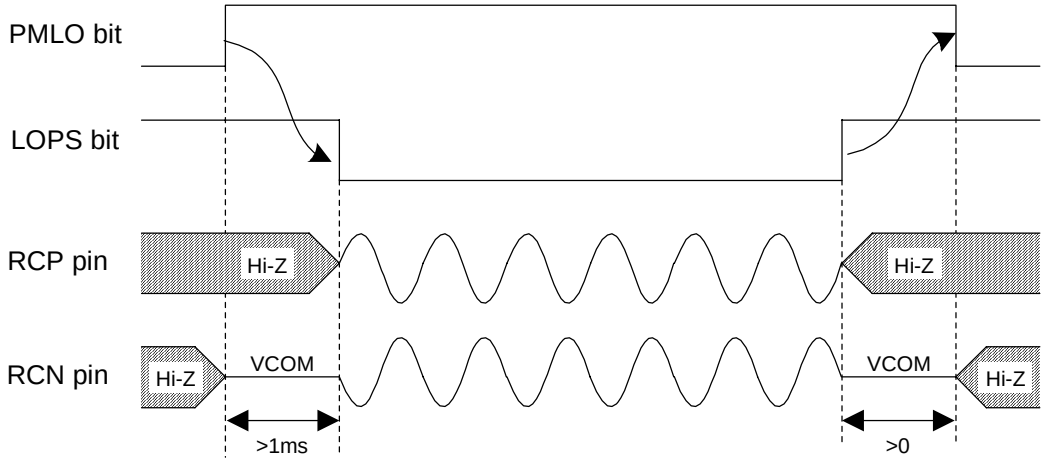


Figure 49. Power-up/Power-down Timing for Receiver-Amp

<レシーバ出力のミキシング回路>

AIN3 bit = “0”のとき、各パスのON/OFFはそれぞれDACL, MINL, LINL2, RINR2 bitsで設定します。
MINの加算ゲインは外部入力抵抗20kΩのとき+6dB(typ)@LOVL bit = “0”です。
LIN2/RIN2/DACの加算ゲインは0dB(typ)@LOVL bit = “0”です。

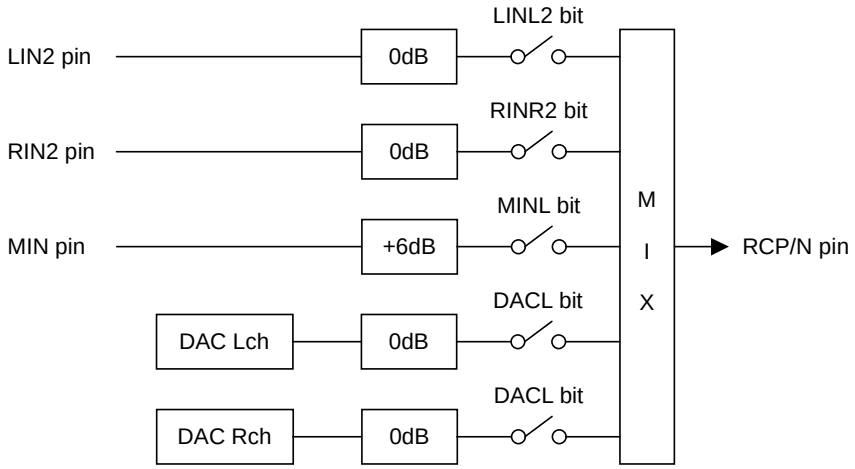


Figure 50. レシーバのミキシング回路(AIN3 bit = “0”, LOVL bit = “0”)

AIN3 bit = “1”のとき、各パスのON/OFFはそれぞれDACL, LINL2, RINR2, LINL3, RINR3 MICL3, MICR3 bitsで設定します。加算ゲインはすべてのパスで0dB(typ)@LOVL bit = “0”です。

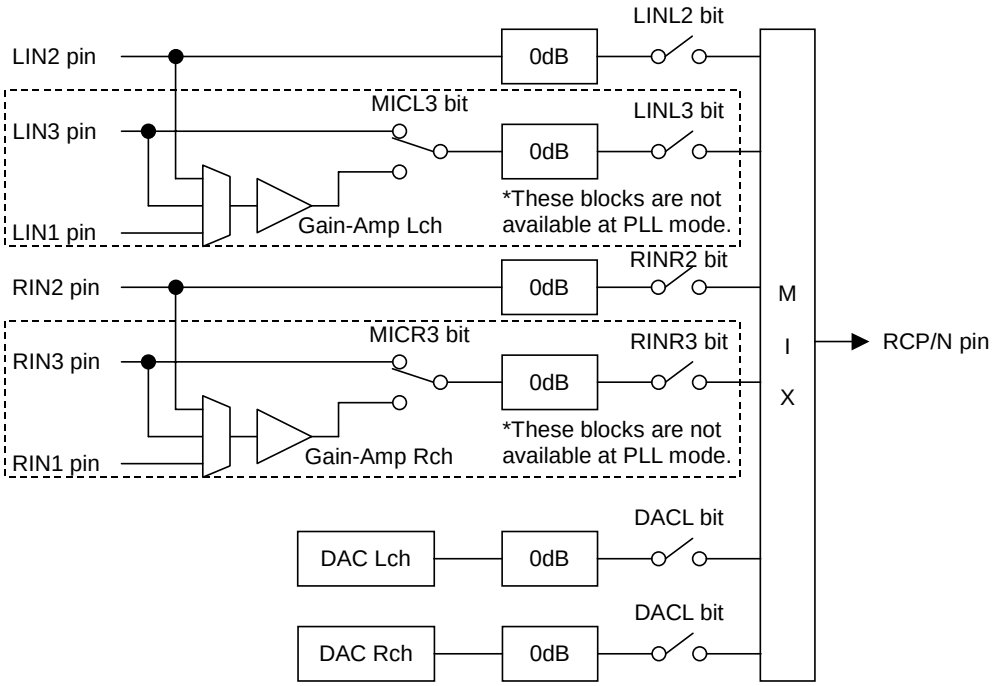


Figure 51. レシーバのミキシング回路(AIN3 bit = “1”, LOVL bit = “0”)

■ ヘッドフォンアンプ(HPL/HPR pins)

ヘッドフォンアンプの電源はHVDDから供給されます。コモン電圧はHVDD/2@VBAT bit = “0”です。負荷抵抗は16Ω (min)です。出力電圧はHPG bitで切り替えることができます(Table 49)。

HPG bit	0	1
Output Voltage [Vpp]	0.6 x AVDD	0.91 x AVDD

Table 49. ヘッドフォンの出力電圧

HPMTN bitを “0”にすると、ヘッドフォンアンプのコモン電圧をHVSSに立ち下げます。HPMTN bitを “1”にするとコモン電圧をHVDD/2@VBAT bit = “0”に立ち上げます。ポップノイズ防止のために、MUTET pinとグランド間にコンデンサを接続します。立ち上げ／立ち下げ時定数はHVDDおよびMUTET pinのコンデンサに比例します。

例 : MUTET pinのコンデンサC=1μF, HVDD=3.3Vの場合
- ヘッドフォンアンプ立ち上げ／立ち下げ時定数: 100ms(typ), 250ms(max)
- 完全に立ち下がるまでの時間: 500ms(max)

PMHPL, PMHPR bitsを “0”にすることで、ヘッドフォンアンプを完全にパワーダウンすることができます。この時、HPL, HPR pinsは “L” (HVSS)になります。

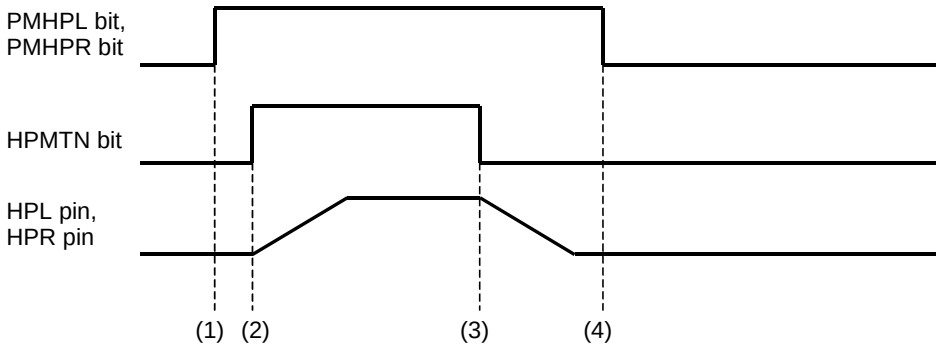


Figure 52. ヘッドフォンアンプのパワーアップ／ダウンシーケンス

(1) ヘッドフォンアンプのパワーアップ(PMHPL, PMHPR bits = “1”)。出力はHVSSのままです。
(2) ヘッドフォンアンプのコモン電圧立ち上げ(HPMTN bit = “1”)。
(3) ヘッドフォンアンプのコモン電圧立ち下げ(HPMTN bit = “0”)。
(4) ヘッドフォンアンプのパワーダウン(PMHPL, PMHPR bits = “0”)。出力はHVSSになります。ポップ音防止のため、ヘッドフォンアンプのコモン電圧が完全に下がってからパワーダウンしてください。

BOOST=OFF時、ヘッドフォンアンプの外部抵抗とコンデンサでカットオフ周波数(fc)が決まります。バスブーストを併用することでカットオフ周波数を低域へシフトすることができます。Table 50に外部抵抗とコンデンサ及びカットオフ周波数(fc)の関係とその時の出力パワーを示します。但し、ヘッドフォンのR_Lは16Ωとします。出力パワーはHVDD=3.0, 3.3, 5V時の値です。ヘッドフォンアンプの出力は0.6 x AVDD (Vpp)@HPG bit = “0”, 0.91 x AVDD (Vpp)@HPG bit = “1”です。

外付けのRが12Ω以下の場合は、ヘッドフォンアンプが発振する可能性がありますので、発振防止回路(0.22μF±20%のコンデンサと10Ω±20%の抵抗)をつけて下さい。

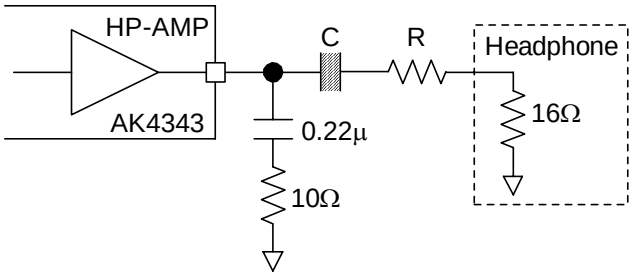


Figure 53. ヘッドフォンアンプの外付け回路例

HPG bit	R [Ω]	C [μF]	fc [Hz] BOOST =OFF	fc [Hz] BOOST =MIN fs=44.1kHz	Output Power [mW]@0dBFS		
					HVDD=3.0V AVDD=3.0V	HVDD=3.3V AVDD=3.3V	HVDD=5V AVDD=3.3V
0	0	220	45	17	25.3	30.6	30.6
		100	100	43			
	6.8	100	70	28	12.5	15.1	15.1
		47	149	78			
	16	100	50	19	6.3	7.7	7.7
		47	106	47			
1	0	220	45	17	51 (Note 39)	62 (Note 39)	70
		100	100	43			
	100	22	62	25	1.1	1.3	1.3
		10	137	69			

Table 50. 外付け回路例

Note 38. 16Ω負荷端での出力電力です。

Note 39. 出力信号はクリップします。

<ヘッドフォンアンプのPSRR>

携帯電話のシステムにおいてHVDDをバッテリ電圧から直接供給する場合、RFノイズがヘッドフォンアンプの特性に影響を及ぼす場合があります。VBAT bit = “1”に設定すると、HVDDに重畳されるノイズに対するヘッドフォンアンプのPSRRを改善することができます。このときヘッドフォンアンプのコモン電圧は0.64 x AVDD(typ)です。AVDD=3.3V時、コモン電圧は2.1Vとなるので、HVDDの電圧が4.2Vよりも下がった場合、出力信号がクリップしやすくなります。

VBAT bit	0	1
Common Voltage [V]	0.5 x HVDD	0.64 x AVDD

Table 51. ヘッドフォンアンプのコモン電圧

<ヘッドフォン出力のミキシング回路>

AIN3 bit = “0”のとき、各パスのON/OFFはそれぞれDACH, MINH, LINH2, RINH2 bitsで設定します。
MINの加算ゲインは外部入力抵抗20kΩのとき–20dB(typ)@HPG bit = “0”です。
LIN2/RIN2/DACの加算ゲインは0dB(typ)@HPG bit = “0”です。

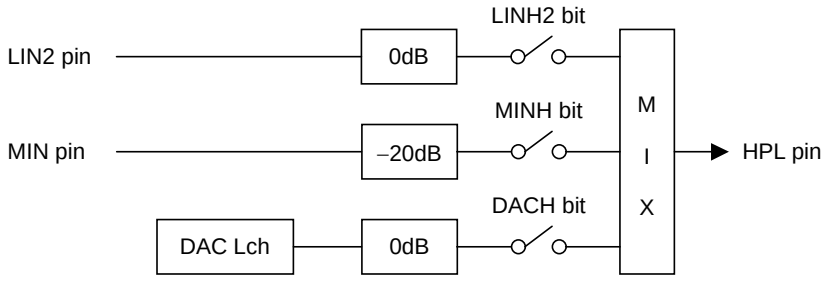


Figure 54. HPLのミキシング回路(AIN3 bit = “0”, HPG bit = “0”)

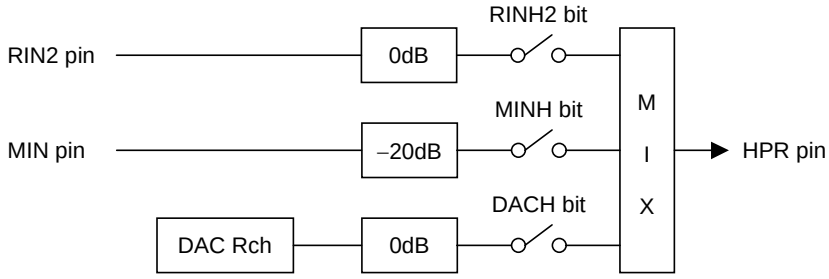


Figure 55. HPRのミキシング回路(AIN3 bit = “0”, HPG bit = “0”)

AIN3 bit = “1”のとき、各パスのON/OFFはそれぞれDACH, LINH2, RINH2, LINH3, RINH3, MICL3, MICR3 bits で設定します。加算ゲインはいずれのパスも0dB(typ)です。

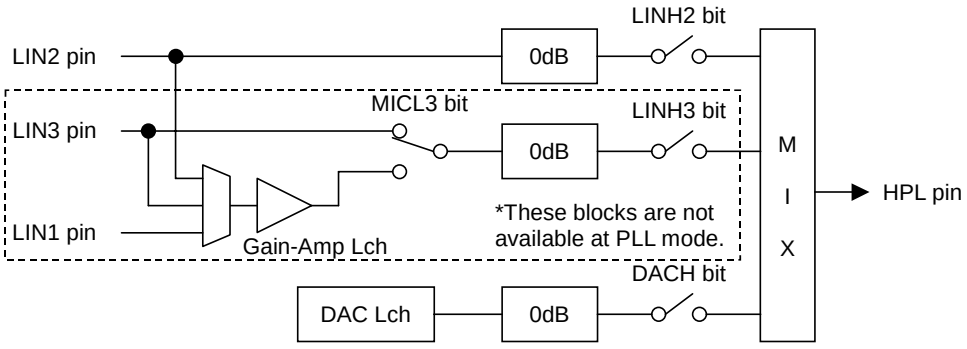


Figure 56. HPLのミキシング回路(AIN3 bit = “1”, HPG bit = “0”)

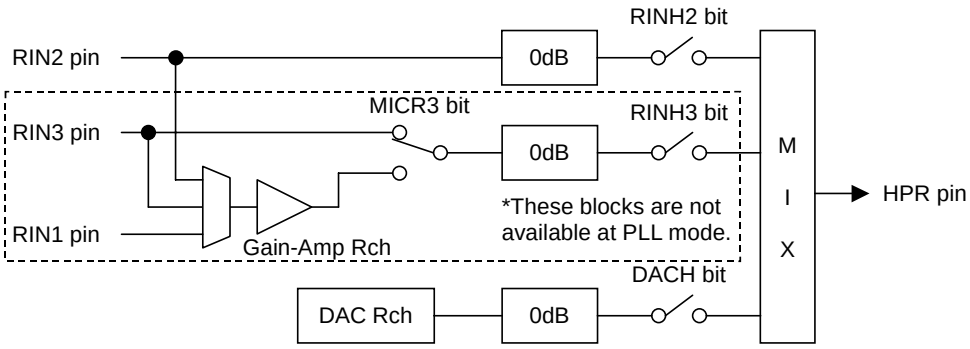


Figure 57. HPRの加算回路(AIN3 bit = “1”, HPG bit = “0”)

■ スピーカアンプ(SPP/SPN pins)

スピーカアンプ用電源HVDDの電圧範囲は2.6V ~ 5.25Vの範囲で任意に設定することが可能です。

スピーカ種類	ダイナミックスピーカ	圧電スピーカ
負荷抵抗 (min)	8Ω	50Ω (Note 19)
負荷容量 (max)	30pF	3μF (Note 19)

Note 19. 31HFigure 58において、Load Impedanceはシリーズ抵抗(Rseries)と1kHzにおける圧電スピーカのインピーダンスの合成インピーダンスです。Load Capacitanceは圧電スピーカの容量成分です。圧電スピーカを使用する場合、SPP, SPN pinにそれぞれ10Ω以上のシリーズ抵抗を接続して下さい。

Table 52. スピーカの種類

DACおよびLIN2/RIN2/LIN3/RIN3からの信号をモノラル信号[(L+R)/2]に変換し、スピーカアンプに入力します。このスピーカアンプは、BTL接続によるモノラル出力で、SPKG1-0 bitsにてゲインを調整することができます。スピーカアンプからの出力レベルはAVDDおよびSPKG1-0 bitsにより決まります。

SPKG1-0 bits	ゲイン		
	ALC bit = “0”	ALC bit = “1”	
00	+4.43dB	+6.43dB	(default)
01	+6.43dB	+8.43dB	
10	+10.65dB	+12.65dB	
11	+12.65dB	+14.65dB	

Table 53. SPK-Amp ゲイン

AVDD	HVDD	SPKG1-0 bits	SPK-Amp出力 (DAC入力=0dBFS)	
			ALC bit = “0”	ALC bit = “1” (LMTH1-0 bits = “00”)
3.3V	3.3V	00	3.30Vpp	3.11Vpp
		01	4.15Vpp (Note 40)	3.92Vpp
		10	6.75Vpp (Note 40)	6.37Vpp (Note 40)
		11	8.50Vpp (Note 40)	8.02Vpp (Note 40)
	5.0V	00	3.30Vpp	3.11Vpp
		01	4.15Vpp	3.92Vpp
		10	6.75Vpp (Note 40)	6.37Vpp (Note 40)
		11	8.50Vpp (Note 40)	8.02Vpp (Note 40)

Note 40. 信号がクリップしないと仮定した場合の出力レベルです。実際には、DAC から0dBFSの信号が出力された場合、信号がクリップします。クリップさせないためにはDVOL等によりDACからの出力レベルを下げて、SPK-Ampからの出力を4.0Vpp(HVDD=3.3V)または6.0Vpp(HVDD=5V)以下に抑える必要があります。

Table 54. SPK-Amp 出力レベル

<スピーカ再生時のALC設定例>

Register Name	Comment	fs=44.1kHz	
		Data	Operation
LMTH1-0	Limiter detection Level	00	–2.5dBFS
ZELMN	Limiter zero crossing detection	0	Enable
ZTM1-0	Zero crossing timeout period	10	11.6ms
WTM2-0	Recovery waiting period *WTM2-0 bits should be the same or longer data as ZTM1-0 bits	011	23.2ms
REF7-0	Maximum gain at recovery operation	C1H	+18dB
AVL7-0, AVR7-0	Gain of AVOL	91H	0dB
LMAT1-0	Limiter ATT step	00	1 step
RGAIN1-0	Recovery GAIN step	00	1 step
ALC	ALC enable	1	Enable

Table 55. スピーカ再生時のALC設定例

<圧電スピーカ使用時の注意点>

圧電スピーカ使用時 は、Figure 58に示すようにシリーズ抵抗(10Ω以上)をSPP pin, SPN pinとスピーカの間に挿入してください。また、外部から圧力が加えられたとき圧電スピーカが起電力を発生するので、その対策にFigure 58に示すようにスピーカとGND間にツェナーダイオードを挿入してください。ツェナーダイオードは以下の条件を満たすものを使用してください。

0.92 x HVDD ≤ ツェナーダイオード(Figure 58のZD)のツェナー電圧 ≤ HVDD+0.3V

Ex) HVDD = 5.0Vの時: 4.6V ≤ ZD ≤ 5.3V

例えば、ツェナー電圧5.1V(Min値 4.97V, Max値 5.24V)のツェナーダイオードが使用可能です。

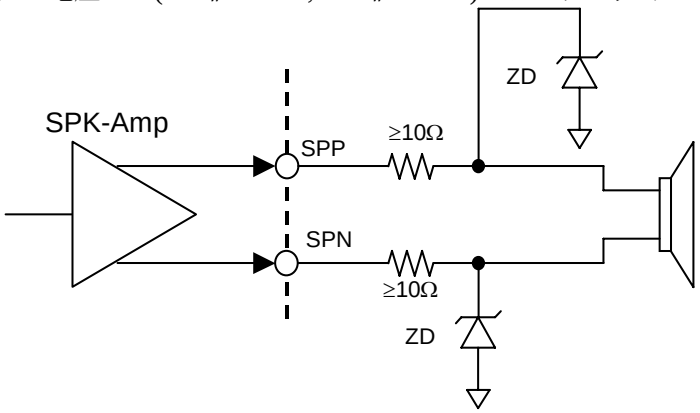


Figure 58. SPK出力回路(圧電スピーカと接続する場合)

<スピーカアンプのコントロールシーケンス>

PMSPK bitでスピーカアンプをPower-up/downできます。PMSPK bitが“0”の場合、SPP, SPN pinはHi-Zになります。PMSPK bitが “1”の時、SPPSN bitを“0”にするとスピーカアンプはパワーセーブモードになります。この時、SPP pinはHi-Z、SPN pinはHVDD/2を出力します。

電源投入後、PDN pinを“L”から“H”に変更し、PMSPK bitを“1”にすると、SPP, SPN pinはパワーセーブモードで立ち上がります。この時、SPP pinはHi-Zに、 SPN pinはHVDD/2になりますが、パワーセーブモードで立ち上げると、ポップノイズを低減させることができます。また、Power-down時(PMSPK bit=“0”)もパワーセーブモードを経由することで、同様にポップノイズを低減させることができます。

PMSPK	SPPSN	Mode	SPP	SPN	
0	x	パワーダウン	Hi-Z	Hi-Z	(default)
1	0	パワーセーブ	Hi-Z	HVDD/2	
	1	通常動作	通常動作	通常動作	

Table 56 スピーカアンプのモード設定 (x: Don’t care)

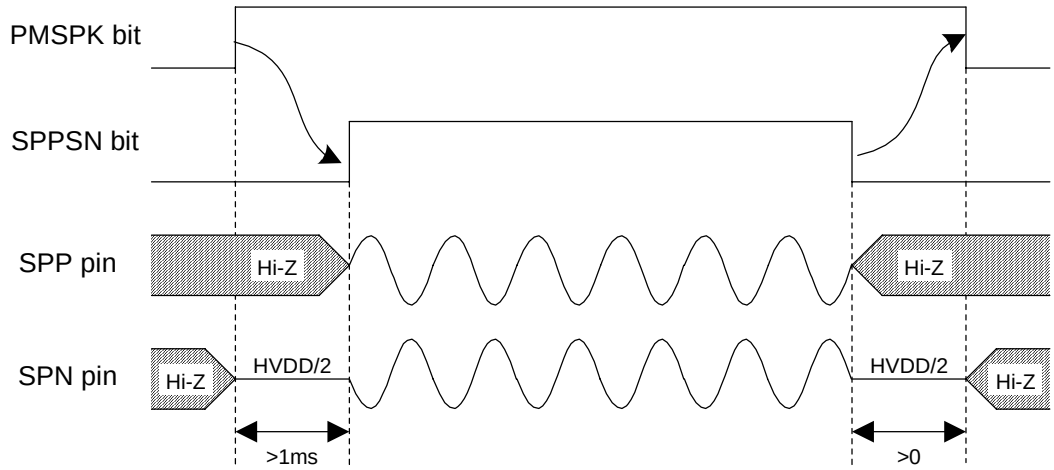


Figure 59. Power-up/Power-down Timing for Speaker-Amp

<スピーカ出力のミキシング回路>

AIN3 bit = “0”のとき、各パスのON/OFFはそれぞれDACS, MINS, LINS2, RINS2 bitsで設定します。
MINの加算ゲインは外部入力抵抗20kΩのとき+4.43dB(typ)@SPKG1-0 bits = “00”, ALC bit = “0”です。
LIN2/RIN2/DACの加算ゲインは–1.59dB(typ)@SPKG1-0 bits = “00”, ALC bit = “0”です。

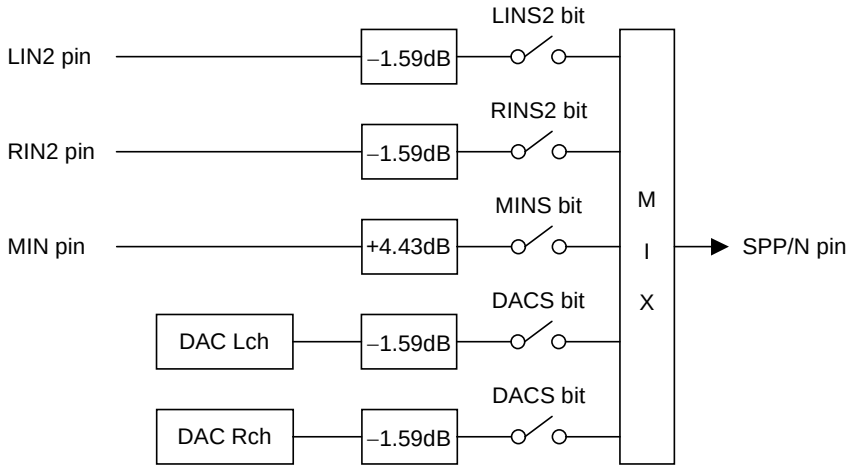


Figure 60. スピーカのミキシング回路(AIN3 bit = “0”, SPKG1-0 bits = “00”, ALC bit = “0”)

AIN3 bit = “1”のとき、各パスのON/OFFはそれぞれDACS, LINS2, RINS2, LINS3, RINS3 bitsで設定します。
加算ゲインはすべてのパスで–1.59dB (typ)@SPKG1-0 bits = “00”, ALC bit = “0”です。

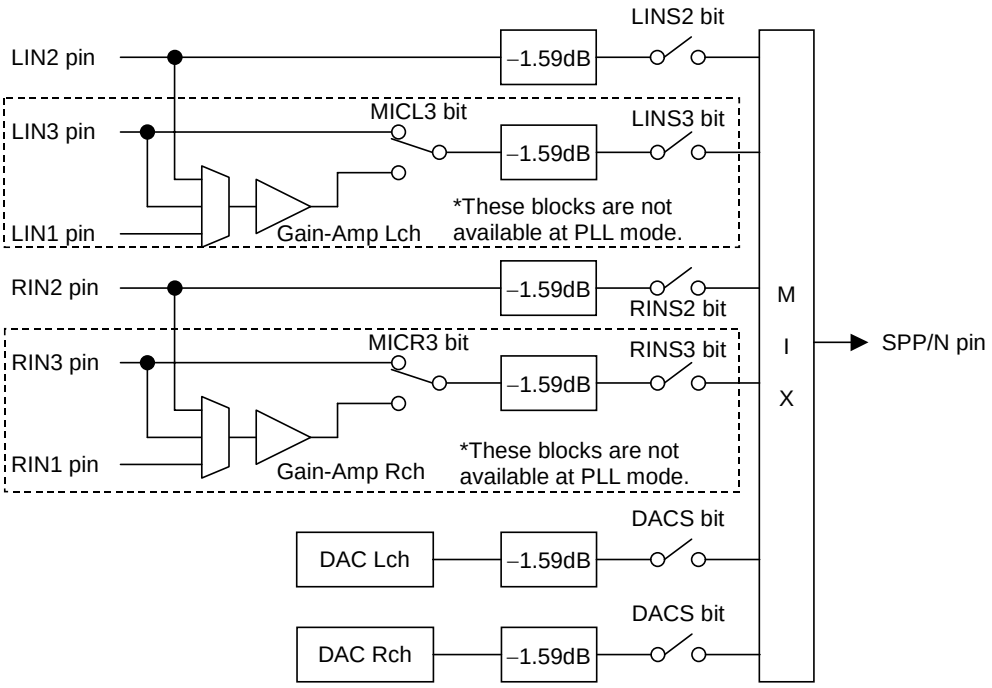
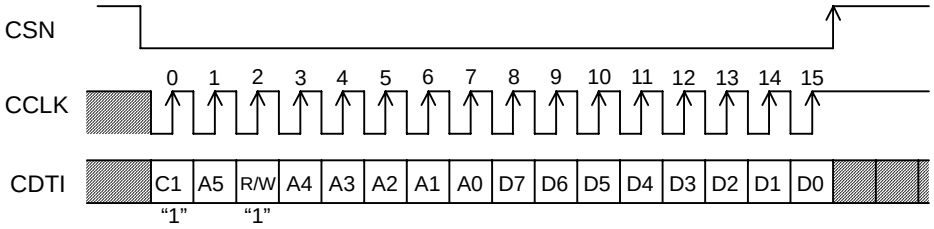


Figure 61. スピーカのミキシング回路(AIN3 bit = “1”, SPKG bits = “00”, ALC bit = “0”)

■ シリアルコントロールインタフェース

(1) 3線シリアルコントロールモード (I2C pin = “L”)

レジスタ設定は3線式シリアルI/Fピン(CSN, CCLK, CDTI)で書き込みを行います。I/F上のデータはChip address (1bit, “1”固定), Read/Write (1bit, “1”固定), Register address (MSB first, 6bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの “↓”で各ビットを出力し、受信側は “↑”で取り込みます。データの書き込みはCSNの “↓”後16回目のCCLK “↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。PDN pin = “L”でレジスタの値はリセットされます。



C1: Chip Address; Fixed to “1”
R/W: READ/WRITE (“1”: WRITE, “0”: READ); Fixed to “1”
A5-A0: Register Address
D7-D0: Control data

Figure 62. シリアルコントロールインタフェースタイミング

(2) I²C**バスコントロールモード** (I2C pin = “H”)

AK4343のI²Cバスモードのフォーマットは、高速モード(max:400kHz)に対応しています。SDA, SCL pinsのプルアップ抵抗の接続先は(DVDD+0.3)V以下にして下さい。

(2)-1. WRITE命令

I²Cバスモードにおけるデータ書き込みシーケンスはFigure 63に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが “H”の時にSDAラインを “H”から “L”にすると、開始条件が作られます(Figure 69)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます。上位6ビットは “001001”固定、次の1ビットはアクセスするICを選ぶためのアドレスビットで、CAD0 pinにより設定されます(Figure 64)。アドレスが一致した場合、AK4343は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 70)。R/W bitが “0”の場合はデータ書き込み、R/W bitが “1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位2ビットは “0”固定です(Figure 65)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(Figure 66)。AK4343は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが “H”の時にSDAラインを “L”から “H”にすると、停止条件が作られます(Figure 69)。

AK4343は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス “24H”にデータを書き込んだ後、さらに次のアドレスに書き込んだ場合にはアドレス“00H”にデータが書き込まれます。

クロックが “H”の間は、SDAラインの状態は一定でなければなりません。データラインが “H”と “L”の間で状態を変更できるのは、SCLラインのクロック信号が “L”の時に限られます(Figure 71)。SCLラインが “H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

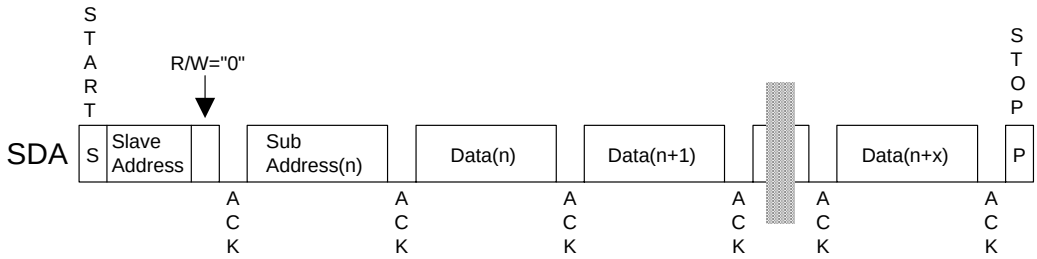


Figure 63. I²Cバスモードのデータ転送シーケンス

0	0	1	0	0	1	CAD0	R/W

(CAD0はピンにより設定)

Figure 64. 第1バイトの構成

0	0	A5	A4	A3	A2	A1	A0

Figure 65. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0

Figure 66. 第3バイト以降の構成

(2)-2. READ命令
R/W bitが “1”の場合、AK4343はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス “24H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4343はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

(2)-2-1. カレントアドレスリード
AK4343は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが “n”であり、その後カレントアドレスリードを行った場合、アドレス “n+1”のデータが読み出されます。カレントアドレスリードでは、AK4343はREAD命令のスレーブアドレス(R/W bit = “1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

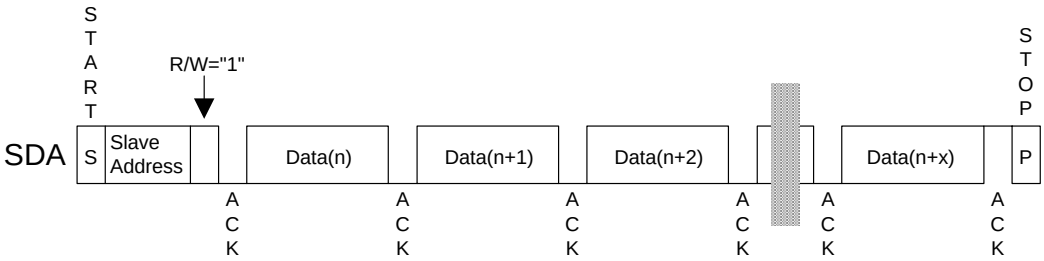


Figure 67. カレントアドレスリード

(2)-2-2. ランダムアドレスリード
ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4343がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit= “1”)を入力します。AK4343はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを出力し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

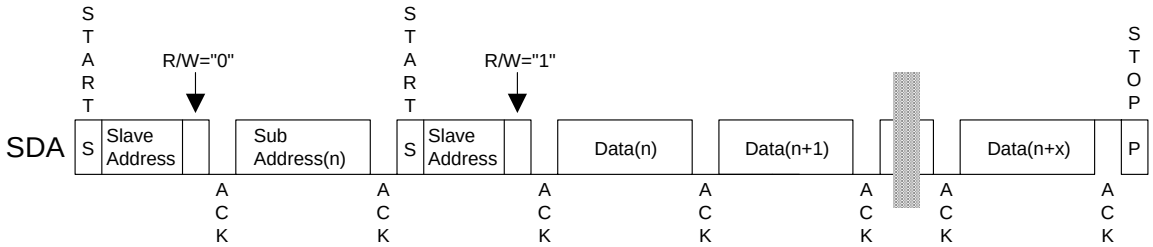


Figure 68. ランダムアドレスリード

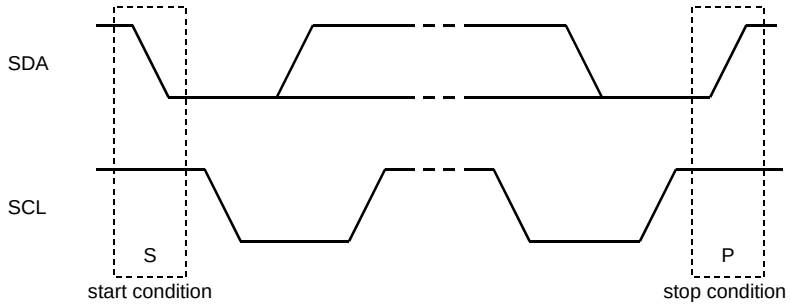


Figure 69. 開始条件と停止条件

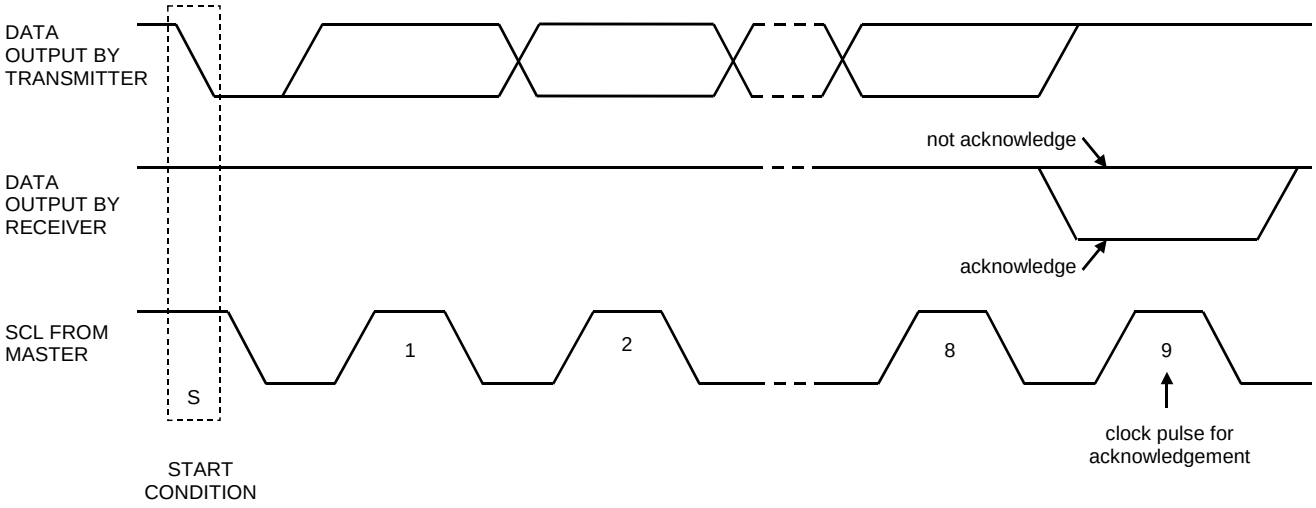


Figure 70. I²Cバスでの確認応答

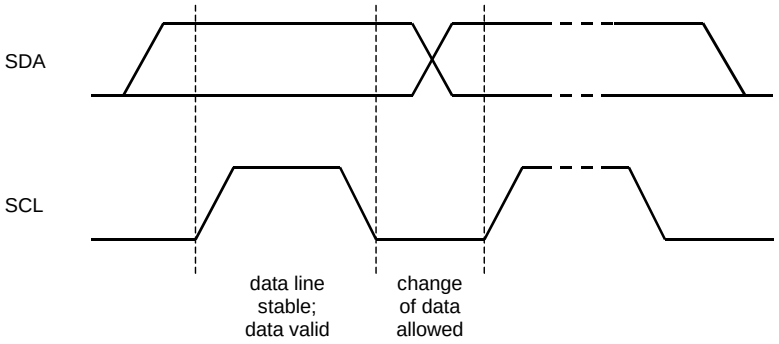


Figure 71. I²Cバスでのビット転送

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMMIN	PMSPK	PMLO	PMDAC	0	0
01H	Power Management 2	0	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
02H	Signal Select 1	SPPSN	MINS	DACS	DACL	0	0	0	MGAIN0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	SPKG1	SPKG0	MINL	0	0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
05H	Mode Control 2	PS1	PS0	FS3	MSBS	BCKP	FS2	FS1	FS0
06H	Timer Select	DVTM	WTM2	ZTM1	ZTM0	WTM1	WTM0	RFST1	RFST0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
09H	Lch Input Volume Control	AVL7	AVL6	AVL5	AVL4	AVL3	AVL2	AVL1	AVL0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	VBAT	0
0CH	Rch Input Volume Control	AVR7	AVR6	AVR5	AVR4	AVR3	AVR2	AVR1	AVR0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
0EH	Mode Control 3	0	0	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
0FH	Mode Control 4	0	0	0	0	AVOLC	HPM	MINH	DACH
10H	Power Management 3	INR1	INL1	HPG	MDIF2	MDIF1	INR0	INL0	0
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8
20H	Power Management 4	0	0	PMAINR3	PMAINL3	PMAINR2	PMAINL2	PMMICR	PMMICL
21H	Mode Control 5	0	0	MICR3	MICL3	0	0	AIN3	RCV
22H	Lineout Mixing Select	0	0	0	0	RINR3	LINL3	RINR2	LINL2
23H	HP Mixing Select	0	0	0	0	RINH3	LINH3	RINH2	LINH2
24H	SPK Mixing Select	0	0	0	0	RINS3	LINS3	RINS2	LINS2

Note 41. PDN pinを “L” にすると、レジスタ値は初期化されます。
Note 42. “0”で指定されたビットへの “1”の書き込みは禁止です。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	PMVCM	PMMIN	PMSPK	PMLO	PMDAC	0	0
Default		0	0	0	0	0	0	0	0

PMDAC: DACのパワーマネジメント
0: Power down (default)
1: Power up

PMLO: ステレオライン出力のパワーマネジメント
0: Power down (default)
1: Power up

PMSPK: スピーカアンプのパワーマネジメント
0: Power down (default)
1: Power up

PMMIN: モノラル入力のパワーマネジメント
0: Power down (default)
1: Power up
再生パスを使用時はPMMIN or PMAINL3 bit = “1”として下さい。

PMVCM: VCOMのパワーマネジメント
0: Power down (default)
1: Power up
各ブロックを動作させる場合は、必ずPMVCM bitを“1”にしなければなりません。PMVCM bitに対して“0”を書き込むことができるのは、アドレス00H, 01H, 02H, 10H, 20Hの全てのパワーマネジメントビットとMCKO bitを“0”にする時だけです。

このアドレスのビットをON/OFF (“1”/“0”)することで部分的にパワーダウンすることができます。また、PDN pinを“L”にすることで、レジスタの内容に関係なく、全回路を一度にパワーダウンすることができます。このときレジスタ値は初期化されます。

また、アドレス00H, 01H, 02H, 20Hの全てのパワーマネジメントビットとMCKO bitを“0”にすることで、全回路を一度にパワーダウンすることができます。このときレジスタの内容は保持されています。

DACを使用しない場合、クロックを供給する必要はありません。DACを使用する場合はクロックを供給して下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Power Management 2	0	HPMTN	PMHPL	PMHPR	M/S	0	MCKO	PMPLL
Default		0	0	0	0	0	0	0	0

PMPLL: PLLのパワーマネジメント
0: EXT Mode and Power Down (default)
1: PLL Mode and Power up

MCKO: MCKO信号の制御
0: Disable: MCKO pin = “L” (default)
1: Enable: Output frequency is selected by PS1-0 bits.

M/S: Master / Slave Modeの選択
0: Slave Mode (default)
1: Master Mode

PMHPR: Rchヘッドフォンアンプのパワーマネジメント
0: Power down (default)
1: Power up

PMHPL: Lchヘッドフォンアンプのパワーマネジメント
0: Power down (default)
1: Power up

HPMTN: ヘッドフォンアンプのミュート
0: Mute (default)
1: Normal operation

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Signal Select 1	SPPSN	MINS	DACS	DACL	0	0	0	MGAIN0
Default		0	0	0	0	0	0	0	1

MGAIN1-0: 入力ゲインコントロール(Table 22)
MGAIN1 bitは03HのD5 bitです。

DACL: DACからステレオライン出力またはレシーバアンプに入力される信号のコントロール
0: OFF (default)
1: ON
PMLO bit = “1”の時、このビットは有効になります。PMLO bit = “0”の時、LOUT, ROUT pinsはAVSSを出力します。

DACS: DACからスピーカアンプに入力される信号のコントロール
0: OFF (default)
1: ON
“1”でDACの出力信号をスピーカアンプに入力します。

MINS: MIN pinからスピーカアンプに入力される信号のコントロール
0: OFF (default)
1: ON
“1”でMIN pinへの入力信号をスピーカアンプに入力します。

SPPSN: スピーカアンプのパワーセーブモード
0: Power Save Mode (default)
1: Normal Operation
“0”でスピーカアンプはパワーセーブモードになります。この時、SPP pinはHi-Z、SPN pinはHVDD/2を出力します。PMSPK bit =“1”の時、このビットは有効になります。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Signal Select 2	LOVL	LOPS	MGAIN1	SPKG1	SPKG0	MINL	0	0
Default		0	0	0	0	0	0	0	0

MINL: ステレオライン出力 またはレシーバアンプに入力されるMIN信号のコントロール
0: OFF (default)
1: ON
PMLO bit = “1”の時、このビットは有効になります。PMLO bit = “0”の時、LOUT, ROUT pinsはAVSSを出力します。

SPKG1-0: スピーカアンプ出力ゲインの設定(Table 53)

MGAIN1: 入力ゲインコントロール(Table 22)

LOPS: ステレオライン出力のパワーセーブモード
0: Normal Operation (default)
1: Power Save Mode

LOVL: ステレオライン/レシーバ出力ゲイン設定(Table 46, Table 47)
0: 0dB/+6dB (default)
1: +2dB/+8dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Mode Control 1	PLL3	PLL2	PLL1	PLL0	BCKO	0	DIF1	DIF0
Default		0	0	0	0	0	0	1	0

DIF1-0: オーディオインタフェースフォーマット (Table 17)
Default: “10” (前詰め)

BCKO: マスタモード時のBICK出力周波数の設定 (Table 11)

PLL3-0: PLL基準クロックの選択 (Table 5)
Default: “0000”(LRCK pin)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Mode Control 2	PS1	PS0	FS3	MSBS	BCKP	FS2	FS1	FS0
Default		0	0	0	0	0	0	0	0

FS3-0: サンプリング周波数(See Table 6 and Table 7)及びMCKI周波数の設定(Table 12)
PLLモード時はサンプリング周波数の設定を行い、EXTモード時はMCKIの入力周波数を設定します。

BCKP: DSP Mode時のBICK極性設定 (Table 18)
“0”: “↑”でSDTO出力, “↓”でSDTIラッチ (default)
“1”: “↓”でSDTO出力, “↑”でSDTIラッチ

MSBS: DSP Mode時のLRCK位相設定 (Table 18)
“0”: LRCKの “↑”がチャネル切替のBICK 半周期前 (default)
“1”: LRCKの “↑”がチャネル切替のBICK 1周期前

PS1-0: MCKO周波数の設定(Table 10)
Default: “00”(256fs)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Timer Select	DVTM	WTM2	ZTM1	ZTM0	WTM1	WTM0	RFST1	RFST0
Default		0	0	0	0	0	0	0	0

RFST1-0: ALCファーストリカバリの速度 (Table 30)
Default: “00” (4倍)。

WTM2-0: ALCリカバリ待機時間の設定 (Table 27)
ALC動作中にリミッタ動作が発生しない場合、リカバリ動作を行う周期を設定します。初期値は“000” (128/fs)です。

ZTM1-0: ALCゼロクロスタイムアウト時間の設定 (Table 26)
マイコン書き込み動作、ALCリカバリ動作により、ゲインが変更されるのは、ゼロクロスするかまたはタイムアウトした場合です。初期値は“00” (128/fs)です。

DVTM: Digital Volumeのソフト遷移時間を設定します。
0: 1061/fs (default)
1: 256/fs
このソフト遷移時間は DVL7-0, DVR7-0 bits を00HからFFHへ変更した場合の遷移時間です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	ALC Mode Control 1	0	0	ALC	ZELMN	LMAT1	LMAT0	RGAIN0	LMTH0
Default		0	0	0	0	0	0	0	0

LMTH1-0: ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル (Table 24)
Default: “00”
LMTH1 bitは0BHのD6 bitです。

RGAIN1-0: ALCリカバリゲインステップ (Table 28)
Default: “00”
RGAIN1 bitは0BHのD7 bitです。

LMAT1-0: ALCリミッタATTステップ (Table 25)
Default: “00”

ZELMN: ALCリミッタ動作時ゼロクロス検出イネーブル
0: Enable (default)
1: Disable

ALC: ALCイネーブル
0: ALC Disable (default)
1: ALC Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	ALC Mode Control 2	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
Default		1	1	1	0	0	0	0	1

REF7-0: ALCリカバリ動作時の基準値の設定。0.375dB step, 242 Level (Table 29)
Default: “E1H” (+30.0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Lch Input Volume Control	AVL7	AVL6	AVL5	AVL4	AVL3	AVL2	AVL1	AVL0
0CH	Rch Input Volume Control	AVR7	AVR6	AVR5	AVR4	AVR3	AVR2	AVR1	AVR0
Default		1	1	1	0	0	0	0	1

AVL7-0, AVR7-0: ALC部ディジタルボリューム; 0.375dB step, 242 Level (Table 32)
Default: “E1H” (+30.0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Lch Digital Volume Control	DVL7	DVL6	DVL5	DVL4	DVL3	DVL2	DVL1	DVL0
0DH	Rch Digital Volume Control	DVR7	DVR6	DVR5	DVR4	DVR3	DVR2	DVR1	DVR0
Default		0	0	0	1	1	0	0	0

DVL7-0, DVR7-0: 出力ディジタルボリューム (Table 35)
Default: “18H” (0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	ALC Mode Control 3	RGAIN1	LMTH1	0	0	0	0	VBAT	0
Default		0	0	0	0	0	0	0	0

VBAT: ヘッドフォンアンプのコモン電圧 (Table 51)
0: 0.5 x HVDD (default)
1: 0.64 x AVDD

LMTH1: ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル (Table 24)

RGAIN1: ALCリカバリゲインステップ (Table 28)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0EH	Mode Control 3	0	LOOP	SMUTE	DVOLC	BST1	BST0	DEM1	DEM0
Default		0	0	0	1	0	0	0	1

DEM1-0: ディエンファシスコントロール (Table 33)
Default: “01” (OFF)

BST1-0: 低域補正回路のコントロール (Table 34)
Default: “00” (OFF)

DVOLC: ディジタルボリュームのコントロール
0: Independent
1: Dependent (default)
DVOLC bit = “1”のとき、DVL7-0 bitで両チャネルのディジタルボリュームが変化します。但し、DVR7-0 bitにDVL7-0 bitの値は書き込まれません。

SMUTE: ソフトミュートコントロール
0: Normal Operation (default)
1: DAC outputs soft-muted

LOOP: デバイス内部ループバック
0: SDTI → DAC (default)
1: SDTO → DAC

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0FH	Mode Control 4	0	0	0	0	AVOLC	HPM	MINH	DACH
Default		0	0	0	0	1	0	0	0

DACH: DACからヘッドフォンアンプに入力される信号のコントロール
0: OFF (default)
1: ON

MINH: MIN pinからヘッドフォンアンプに入力される信号のコントロール
0: OFF (default)
1: ON

HPM: ヘッドフォンのモノラル出力
0: ステレオ (default)
1: モノラル
HPM bit = “1”のとき、DACの出力信号は(L+R)/2としてヘッドフォンアンプから出力されます。

AVOLC: AVOLのコントロール
0: Independent
1: Dependent (default)
AVOLC bit = “1”のとき、AVL7-0 bitで両チャネルのAVOLが変化します。但し、AVR7-0 bitにAVL7-0 bitの値は書き込まれません。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
10H	Power Management 3	INR1	INL1	HPG	MDIF2	MDIF1	INR0	INL0	0
Default		0	0	0	0	0	0	0	0

INL1-0: Gain-Amp Lch入力ソース選択 (Table 22)
Default: 00 (LIN1 pin)

INR1-0: Gain-Amp Rch入力ソース選択 (Table 22)
Default: 00 (RIN1 pin)

MDIF1: シングルエンド/差動入力切替1
0: シングルエンド入力 (LIN1/RIN1 pin: Default)
1: 差動入力 (IN1+/IN1– pin)
このビットはPin#32と#31の入力形式を設定します。

MDIF2: シングルエンド/差動入力切替2
0: シングルエンド入力 (LIN2/RIN2 pin: Default)
1: 差動入力 (IN2+/IN2– pin)
このビットはPin#30と#29の入力形式を設定します。

HPG: ヘッドフォンアンプゲイン設定 (Table 49)
0: 0dB (default)
1: +3.6dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
11H	Digital Filter Select	GN1	GN0	0	FIL1	EQ	FIL3	0	0
Default		0	0	0	0	0	0	0	0

GN1-0: Gain部のゲイン設定 (Table 23)
Default: “00” (0dB)

FIL3: ステレオ感強調用FIL3の係数設定有効
0: 無効 (default)
1: 有効
FIL3 bit = “1”のとき、F3A13-0, F3B13-0 bitの設定が有効になります。FIL3 bit = “0”のとき、FIL3ブロックはOFF(MUTE)です。

EQ: ゲイン補正用フィルタの係数設定有効
0: 無効 (default)
1: 有効
EQ bit = “1”のとき、EQA15-0, EQB13-0, EQC15-0 bitの設定が有効になります。EQ bit = “0”のとき、EQブロックはスルー(0dB)です。

FIL1: 風切り音フィルタ用FIL1の係数設定有効
0: 無効 (default)
1: 有効
FIL1 bit = “1”のとき、F1A13-0, F1B13-0 bitの設定が有効になります。FIL1 bit = “0”のとき、FIL1ブロックはスルー(0dB)です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
12H	FIL3 Co-efficient 0	F3A7	F3A6	F3A5	F3A4	F3A3	F3A2	F3A1	F3A0
13H	FIL3 Co-efficient 1	F3AS	0	F3A13	F3A12	F3A11	F3A10	F3A9	F3A8
14H	FIL3 Co-efficient 2	F3B7	F3B6	F3B5	F3B4	F3B3	F3B2	F3B1	F3B0
15H	FIL3 Co-efficient 3	0	0	F3B13	F3B12	F3B11	F3B10	F3B9	F3B8
16H	EQ Co-efficient 0	EQA7	EQA6	EQA5	EQA4	EQA3	EQA2	EQA1	EQA0
17H	EQ Co-efficient 1	EQA15	EQA14	EQA13	EQA12	EQA11	EQA10	EQA9	EQA8
18H	EQ Co-efficient 2	EQB7	EQB6	EQB5	EQB4	EQB3	EQB2	EQB1	EQB0
19H	EQ Co-efficient 3	0	0	EQB13	EQB12	EQB11	EQB10	EQB9	EQB8
1AH	EQ Co-efficient 4	EQC7	EQC6	EQC5	EQC4	EQC3	EQC2	EQC1	EQC0
1BH	EQ Co-efficient 5	EQC15	EQC14	EQC13	EQC12	EQC11	EQC10	EQC9	EQC8
1CH	FIL1 Co-efficient 0	F1A7	F1A6	F1A5	F1A4	F1A3	F1A2	F1A1	F1A0
1DH	FIL1 Co-efficient 1	F1AS	0	F1A13	F1A12	F1A11	F1A10	F1A9	F1A8
1EH	FIL1 Co-efficient 2	F1B7	F1B6	F1B5	F1B4	F1B3	F1B2	F1B1	F1B0
1FH	FIL1 Co-efficient 3	0	0	F1B13	F1B12	F1B11	F1B10	F1B9	F1B8
Default		0	0	0	0	0	0	0	0

F3A13-0, F3B13-0: ステレオ感強調用FIL3係数(14bit x 2)
Default: “0000H”

F3AS: ステレオ感強調用FIL3の選択
0: HPF (default)
1: LPF

EQA15-0, EQB13-0, EQC15-C0: ゲイン補正用フィルタ係数(14bit x 2 + 16bit x 1)
Default: “0000H”

F1A13-0, F1B13-B0: 風切り音フィルタ用FIL1係数(14bit x 2)
Default: “0000H”

F1AS: 風切り音フィルタ用FIL1の選択
0: HPF (default)
1: LPF

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
20H	Power Management 4	0	0	PMAINR3	PMAINL3	PMAINR2	PMAINL2	PMMICR	PMMICL
Default		0	0	0	0	0	0	0	0

PMMICL: Gain-Amp Lchのパワーマネジメント
0: Power down (default)
1: Power up

PMMICR: Gain-Amp Rchのパワーマネジメント
0: Power down (default)
1: Power up

PMAINL2: LIN2ミキシング回路のパワーマネジメント
0: Power down (default)
1: Power up

PMAINR2: RIN2ミキシング回路のパワーマネジメント
0: Power down (default)
1: Power up

PMAINL3: LIN3ミキシング回路のパワーマネジメント
0: Power down (default)
1: Power up
再生パスを使用時はPMMIN or PMAINL3 bit = “1”として下さい。

PMAINR3: RIN3ミキシング回路のパワーマネジメント
0: Power down (default)
1: Power up

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
21H	Mode Control 5	0	0	MICR3	MICL3	0	0	AIN3	RCV
Default		0	0	0	0	0	0	0	0

RCV: Receiver Select
0: Stereo Line Output (LOUT/ROUT pins) (defautl)
1: Mono Receiver Output (RCP/RCN pins)

AIN3: Analog Mixing Select
0: Mono Input (MIN pin) (default)
1: Stereo Input (LIN3/RIN3 pins): PLL is not available.

MICL3:ミキシングパス設定
0: LIN3 pin入力 (default)
1: Gain-Amp Lch出力

MICR3:ミキシングパス設定
0: RIN3 pin入力 (default)
1: Gain-Amp Rch出力

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
22H	Lineout Mixing Select	0	0	0	0	RINR3	LINL3	RINR2	LINL2
Default		0	0	0	0	0	0	0	0

LINL2: LIN2からステレオライン出力に入力される信号のコントロール(Gain-Ampバイパス)
0: OFF (default)
1: ON

RINR2: RIN2からステレオライン出力に入力される信号のコントロール(Gain-Ampバイパス)
0: OFF (default)
1: ON

LINL3: LIN3 (or Gain-Amp Lch)からステレオライン出力に入力される信号のコントロール
0: OFF (default)
1: ON

RINR3: RIN3 (or Gain-Amp Rch)からステレオライン出力に入力される信号のコントロール
0: OFF (default)
1: ON

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
23H	HP Mixing Select	0	0	0	0	RINH3	LINH3	RINH2	LINH2
Default		0	0	0	0	0	0	0	0

LINH2: LIN2からヘッドフォン出力に入力される信号のコントロール(Gain-Ampバイパス)
0: OFF (default)
1: ON

RINH2: RIN2からヘッドフォン出力に入力される信号のコントロール(Gain-Ampバイパス)
0: OFF (default)
1: ON

LINH3: LIN3 (or Gain-Amp Lch)からヘッドフォン出力に入力される信号のコントロール
0: OFF (default)
1: ON

RINH3: RIN3 (or Gain-Amp Rch)からヘッドフォン出力に入力される信号のコントロール
0: OFF (default)
1: ON

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
24H	SPK Mixing Select	0	0	0	0	RINS3	LINS3	RINS2	LINS2
Default		0	0	0	0	0	0	0	0

LINS2: LIN2からスピーカ出力に入力される信号のコントロール(Gain-Ampバイパス)
0: OFF (default)
1: ON

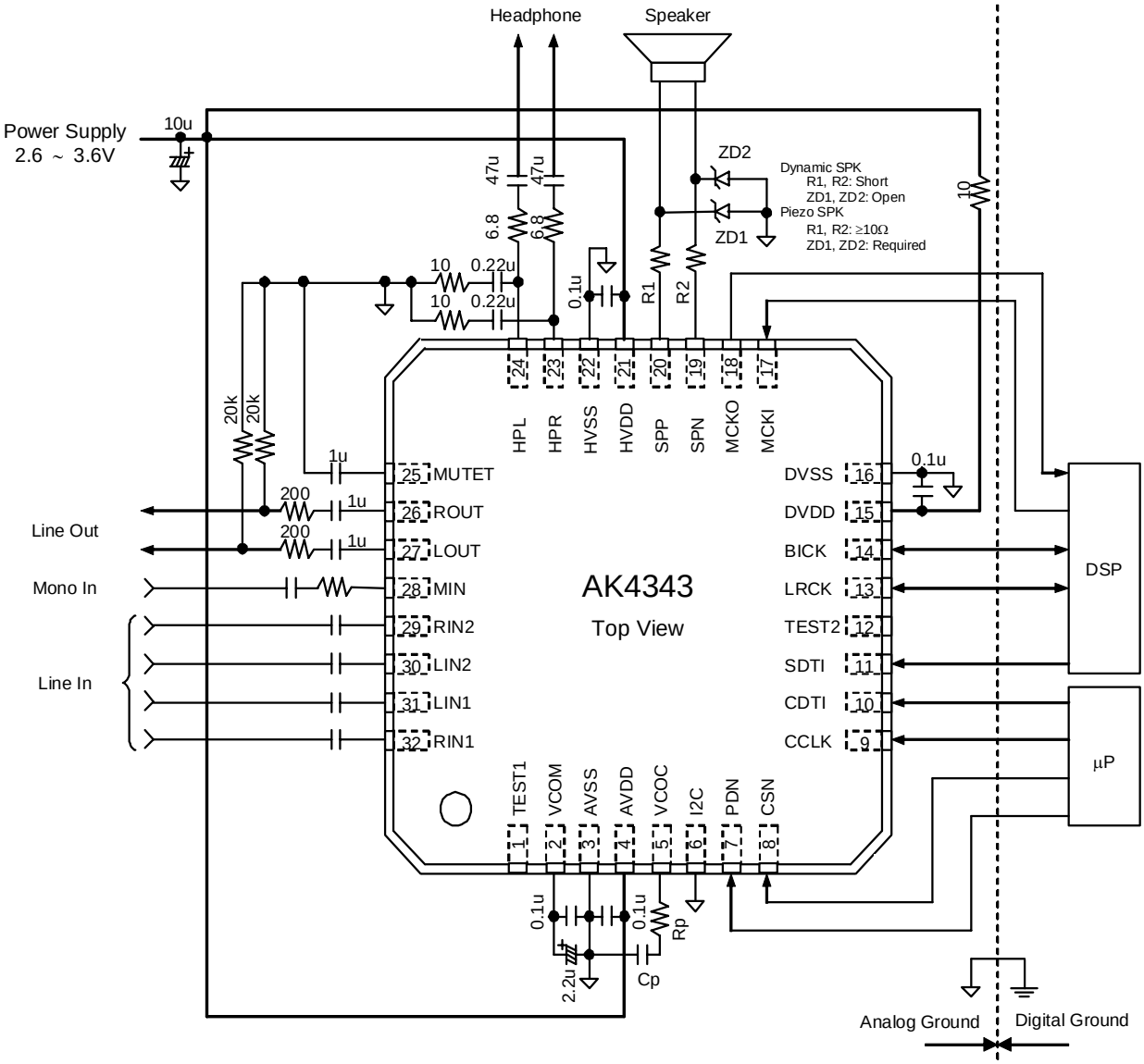
RINS2: RIN2からスピーカ出力に入力される信号のコントロール(Gain-Ampバイパス)
0: OFF (default)
1: ON

LINS3: LIN3 (or Gain-Amp Lch)からスピーカ出力に入力される信号のコントロール
0: OFF (default)
1: ON

RINS3: RIN3 (or Gain-Amp Rch)からスピーカ出力に入力される信号のコントロール
0: OFF (default)
1: ON

システム設計

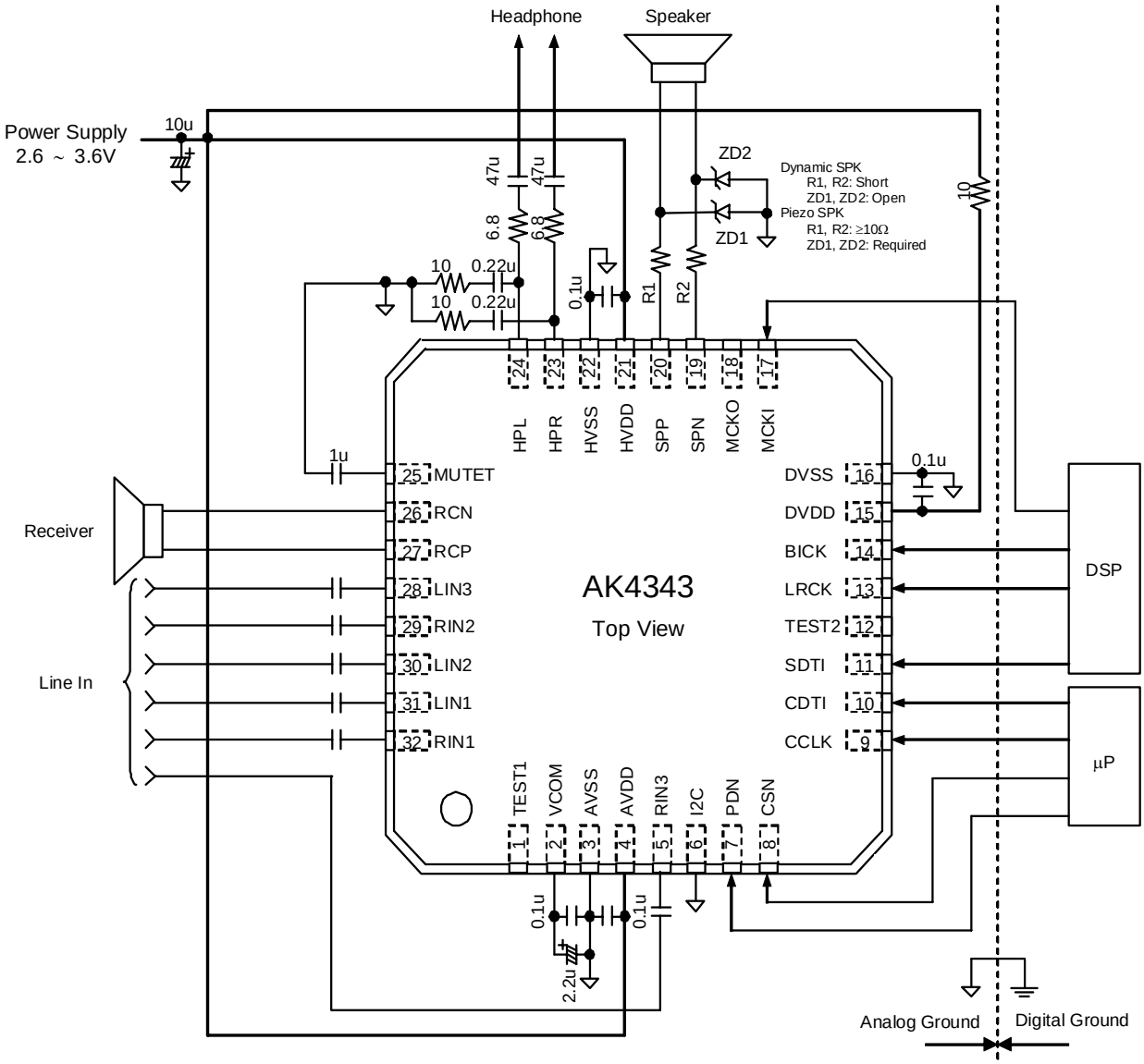
Figure 72およびFigure 73はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4343)を参照して下さい。



注:

- AK4343のAVSS, DVSS, HVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- ディジタル入力ピンはオープンにしないで下さい。
- EXTモード(PMPLL bit = “0”) の場合、VCOC pinはオープンで構いません。
- PLLモード(PMPLL bit = “1”) の場合、CpとRpはTable 5のようにして下さい。
- 圧電スピーカ使用時はHVDDに2.6 ~ 5.25Vの電源を供給し、SPP, SPN pinにそれぞれ10Ω以上のシリーズ抵抗を接続して下さい。
- マスタモードで使用する場合、M/S bitに “1”が書き込まれるまで、AK4343のLRCK, BICK pinはフローティングの状態です。そのため、AK4343のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

Figure 72. システム接続図(AIN3 bit = “0”, RCV bit = “0”)



注:

- AK4343のAVSS, DVSS, HVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- ディジタル入力ピンはオープンにしないで下さい。
- AIN3 bit = “1”の場合、PLLは使用できません。
- 圧電スピーカ使用時はHVDDに2.6～5.25Vの電源を供給し、SPP, SPN pinにそれぞれ10Ω以上のシリーズ抵抗を接続して下さい。

Figure 73. システム接続図(AIN3 bit = “1”, RCV bit = “1”, PLL使用不可, ライン入力時)

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD, DVDD, HVDDにはシステムのアナログ電源を供給します。AVDD, DVDD, HVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。AVSS, DVSS, HVSSはアナロググランドに接続して下さい。システムのグランドはアナログとディジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2μF程度の電解コンデンサと並列に0.1μFのセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。ディジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

3. アナログ入力

マイク入力、ライン入力とMIN入力はシングルエンド入力になっています。マイク入力とライン入力の入力レンジは内部のコモン電圧(0.45 x AVDD)を中心に0.06 x AVDD Vpp(typ)@MGAIN1-0 bits = “01”, 0.03 x AVDD Vpp(typ)@MGAIN1-0 bits = “10”, 0.015 x AVDD Vpp(typ)@MGAIN1-0 bits = “11”または、0.6 x AVDD Vpp(typ)@MGAIN1-0 bits = “00”になります。MIN入力の入力レンジは内部のコモン電圧(0.45 x AVDD)を中心に0.6 x AVDD Vpp(typ)になります。通常、入力信号はコンデンサでDCカットします。この時カットオフ周波数はfc=1/(2πRC)です。AK4343はAVSSからAVDDまでの電圧を入力することができます。

4. アナログ出力

DACに対する入力データのフォーマットは2’sコンプリメントで、7FFFH(@16bit)に対しては正のフルスケール、8000H(@16bit)に対しては負のフルスケール、0000H(@16bit)での理論値はVCOM電圧です。VCOM電圧は、ステレオライン出力とレシーバ出力では0.45 x AVDD (typ)を中心に出力され、ヘッドフォン出力とスピーカ出力ではHVDD/2を中心に出力されます。

コントロールシーケンス

■ クロックの設定

DACをPower-up時にはクロックが供給されている必要があります。

1. PLLマスタモードの場合

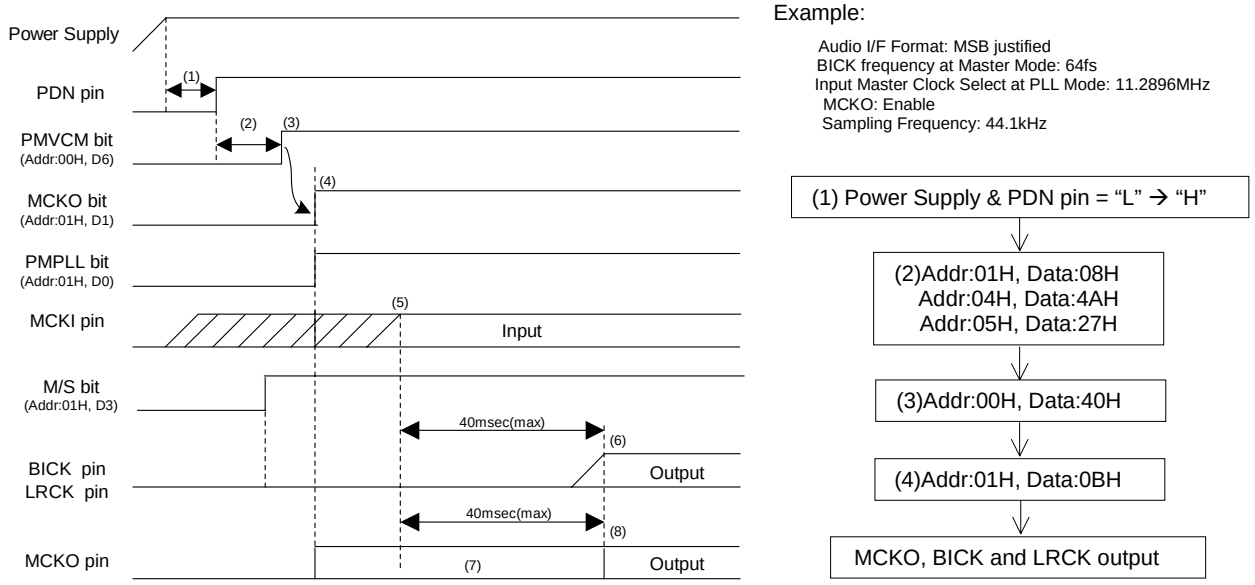


Figure 74. Clock Set Up Sequence (1)

<手順例>

(1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4343のリセットのため、150ns以上の "L"区間が必要です。
(2) この区間に、DIF1-0, PLL3-0, FS3-0, BCKO, M/S bitsの設定を行って下さい。
(3) VCOMのパワーアップ: PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
(4) MCKO出力を使用する場合: MCKO bit = "1"
MCKO出力を使用しない場合: MCKO bit = "0"
(5) PMPLL bitが "0" → "1"になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。
PLLのロック時間は40ms(max)です。
(6) PLLが安定後、BICK, LRCKを出力し始め、正常な動作が開始します。
(7) MCKO bit = "1"の場合、この区間ではMCKO pinから正常でないクロックが出力されます。
(8) MCKO bit = "1"の場合、PLLが安定後MCKO pinから正常なクロックが出力されます。

2. PLLスレーブモードで外部クロック(LRCK or BICK pin)を使用する場合

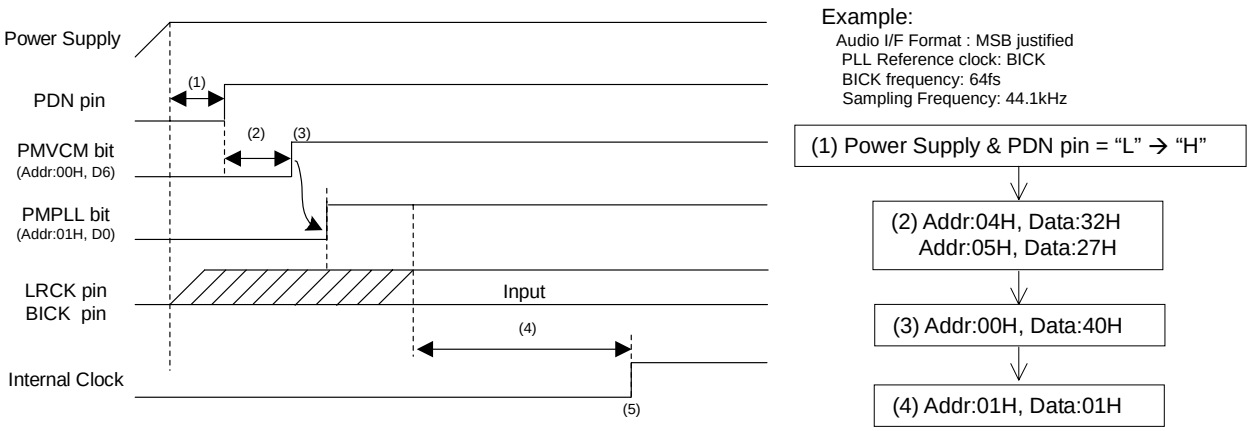


Figure 75. Clock Set Up Sequence (2)

<手順例>

(1)電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4343のリセットのため、150ns以上の "L"区間が必要です。

(2) この区間に、DIF1-0, FS3-0, PLL3-0 bitsの設定を行って下さい。

(3)VCOMのパワーアップ: PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

(4)PMPLL bitが "0" → "1"になり、PLL基準クロック(LRCK or BICK pin)が供給された後、PLL動作がスタートします。PLLのロック時間はLRCKがPLL基準クロック入力の場合、160ms(max), BICKがPLL基準クロックの場合、2ms(max)です。

(5)PLLが安定後、正常な動作が開始します。

3. PLLスレーブモードで外部クロック(MCKI pin)を使用する場合

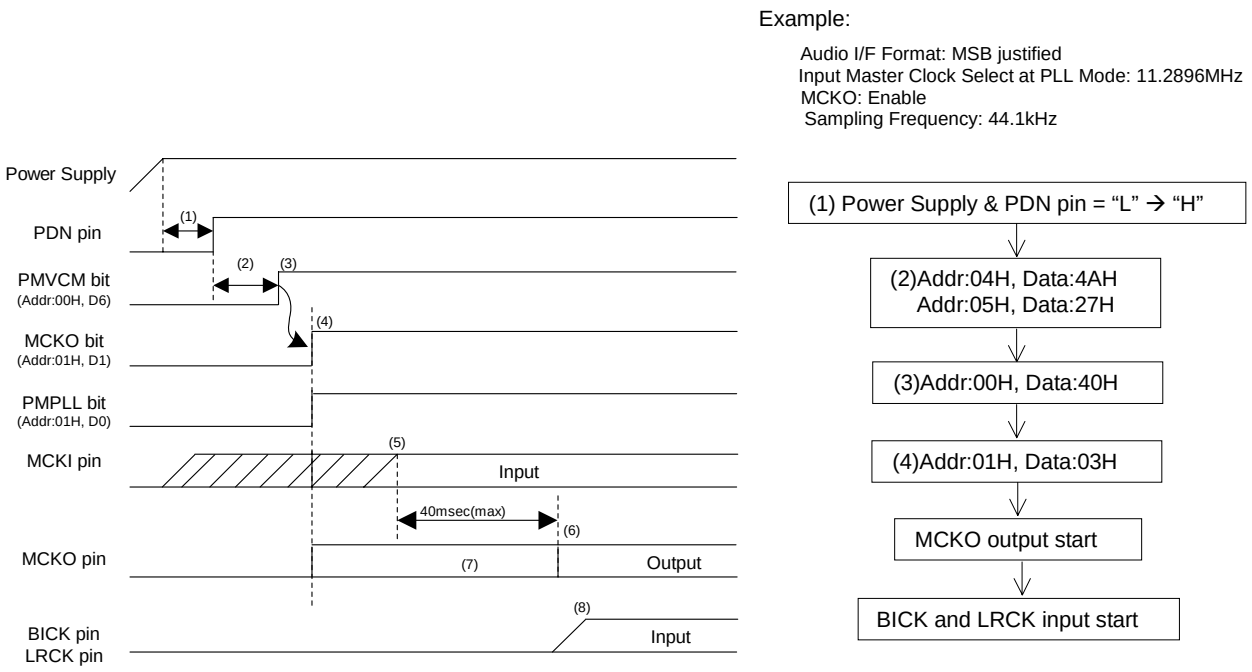


Figure 76. Clock Set Up Sequence (3)

<手順例>

(1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4343のリセットのため、150ns以上の "L"区間が必要です。
(2) この区間に、DIF1-0, PLL3-0, FS3-0 bitsの設定を行って下さい。
(3) VCOMのパワーアップ： PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
(4) MCKO 出力の設定: MCKO bit = "1"
(5) PMPLL bitが "0" → "1"になり、MCKI pinにクロックが供給された後、PLL動作がスタートします。
PLLのロック時間は40ms(max)です。
(6) PLLが安定後、MCKO pin から正常なクロックが出力されます。
(7) この区間では、MCKO pin から正常でないクロックが出力されます。
(8) MCKOクロックに同期したBICK, LRCKクロックを入力してください。

4. 外部クロックモードで使用する場合(スレーブモード)

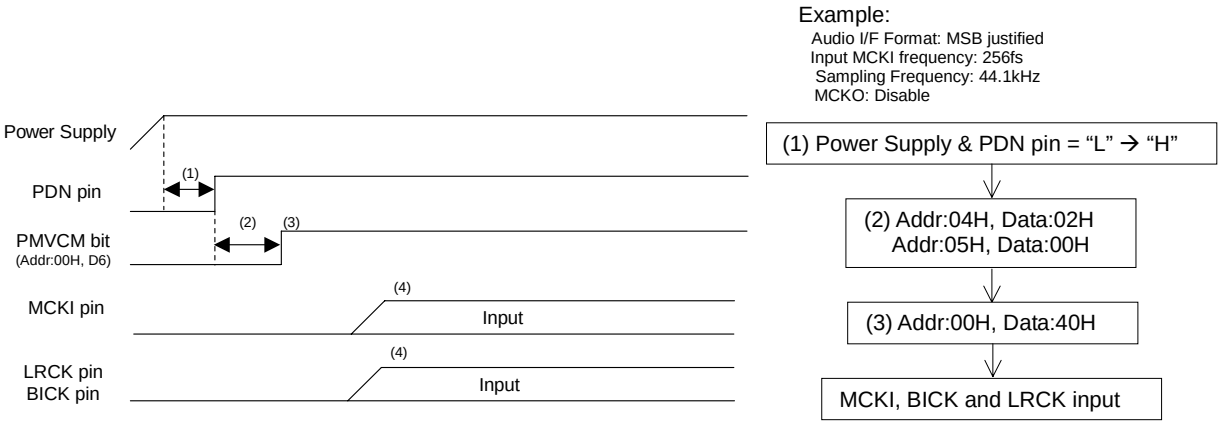


Figure 77. Clock Set Up Sequence (4)

<手順例>

(1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4343のリセットのため、150ns以上の "L"区間が必要です。

(2) この区間に、DIF1-0, FS1-0 bitsの設定を行って下さい。

(3) VCOMのパワーアップ： PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

(4) MCKI, LRCK, BICKクロック入力後、正常な動作が開始します。

5. 外部クロックモードで使用する場合(マスタモード)

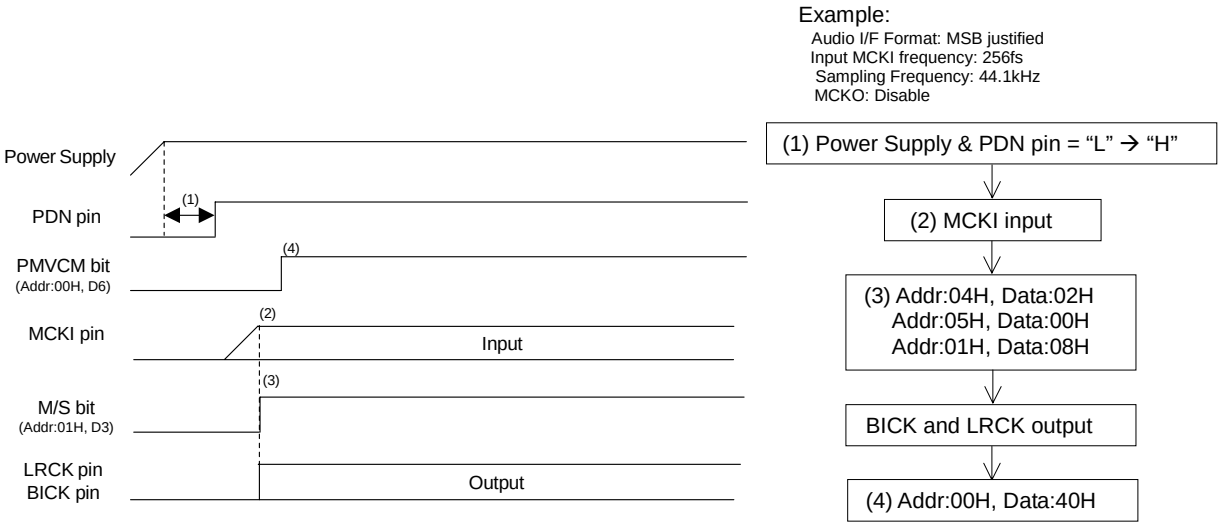


Figure 78. Clock Set Up Sequence (5)

<手順例>

(1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK4343のリセットのため、150ns以上の "L"区間が必要です。

(2) MCKIを入力して下さい。

(3) DIF1-0, FS1-0 bitsの設定後、M/S bitを "1"に設定して下さい。LRCKおよびBICKが出力されます。

(4) VCOMのパワーアップ： PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

■ スピーカ出力

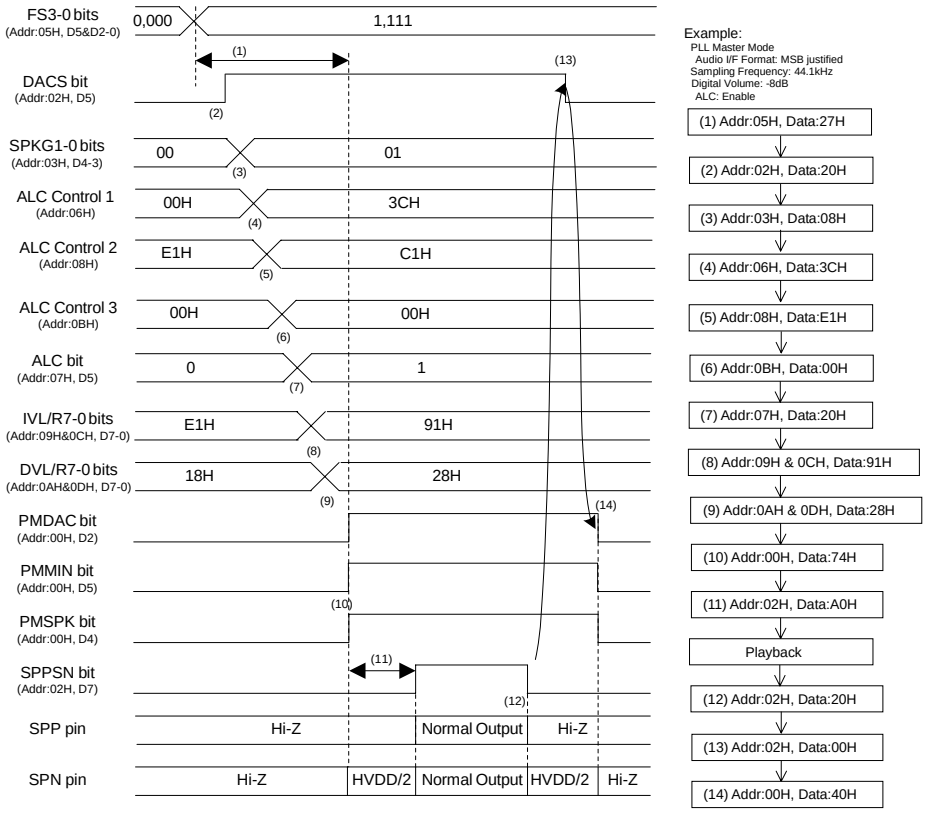


Figure 79. Speaker-Amp Output Sequence

<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(5)のDAC及びスピーカのパワーアップを行って下さい。

(2) DAC → SPK-Ampのパスの設定: DACS bit = “0” → “1”

(3) SPK-Ampゲイン設定: SPKG1-0 bits = “00” → “01”

(4) ALC Timer (アドレス 06H)の設定

(5) ALC REF値(アドレス 08H)の設定

(6) LMTH1, RGAIN1 bitsの設定(アドレス 0BH)

(7) LMTH0, RGAIN0, LMAT1-0, ALC bitsの設定(アドレス 07H)

(8) ALC部ディジタルボリューム(アドレス09H&0CH)の設定
AVL7-0 = AVR7-0 bits = “91H”(0dB)に設定して下さい。

(9) 出力ディジタルボリューム(アドレス0AH&0DH)の設定。
DVOLC bit = “1”(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。

(10) DAC, MIN-Amp及びスピーカのパワーアップ: PMDAC = PMMIN = PMSPK bits = “0” → “1”
初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2’sコンプリメントの “0”に固定されます。初期化サイクルが終了すると、DACの群遅延(25/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。ALC bit = “1”の場合、初期化サイクル中(1059/fs = 24ms @fs=44.1kHz)、ALCはディセーブル状態(ALCのゲインはAVL/R7-0 bitsの設定)で、初期化サイクルが終了するとALCはAVL/R7-0 bitsの設定から動作を開始します。

(11) スピーカのパワーセーブモードの解除: SPPSN bit = “0” → “1”

(12) スピーカのパワーセーブモードへ移行 : SPPSN bit = “1” → “0”

(13) DAC → SPK-AmpのパスのDisable: DACS bit = “1” → “0”

(14) DAC, MIN-Amp及びスピーカのパワーダウン: PMDAC = PMMIN = PMSPK bits = “1” → “0”

■ スピーカからのMono信号出力

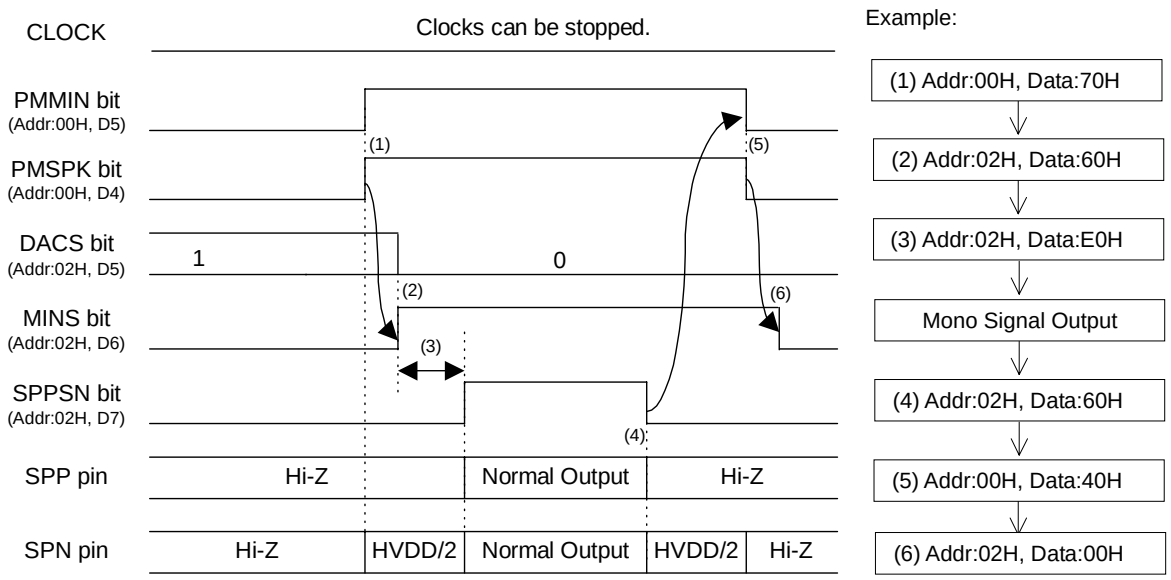


Figure 80. “MIN-Amp → Speaker-Amp” Output Sequence

<手順例>

“MIN-Amp → SPK-Amp”のみの動作では、クロックは供給されている必要はありません。

(1) MIN-Amp及びスピーカのパワーアップ: PMMIN = PMSPK bits = “0” → “1”
(2) DAC → SPK-AmpのパスのDisable: DACS bit = “0”
MIN → SPK-AmpのパスのEnable: MINS bit = “0” → “1”
(3) スピーカのパワーセーブモードの解除: SPPSN bit = “0” → “1”
(4) スピーカのパワーセーブモードへ移行: SPPSN bit = “1” → “0”
(5) MIN-Amp及びスピーカのパワーダウン: PMMIN = PMSPK bits = “1” → “0”
(6) MIN → SPK-AmpのパスのDisable: MINS bit = “1” → “0”

■ ヘッドフォン出力

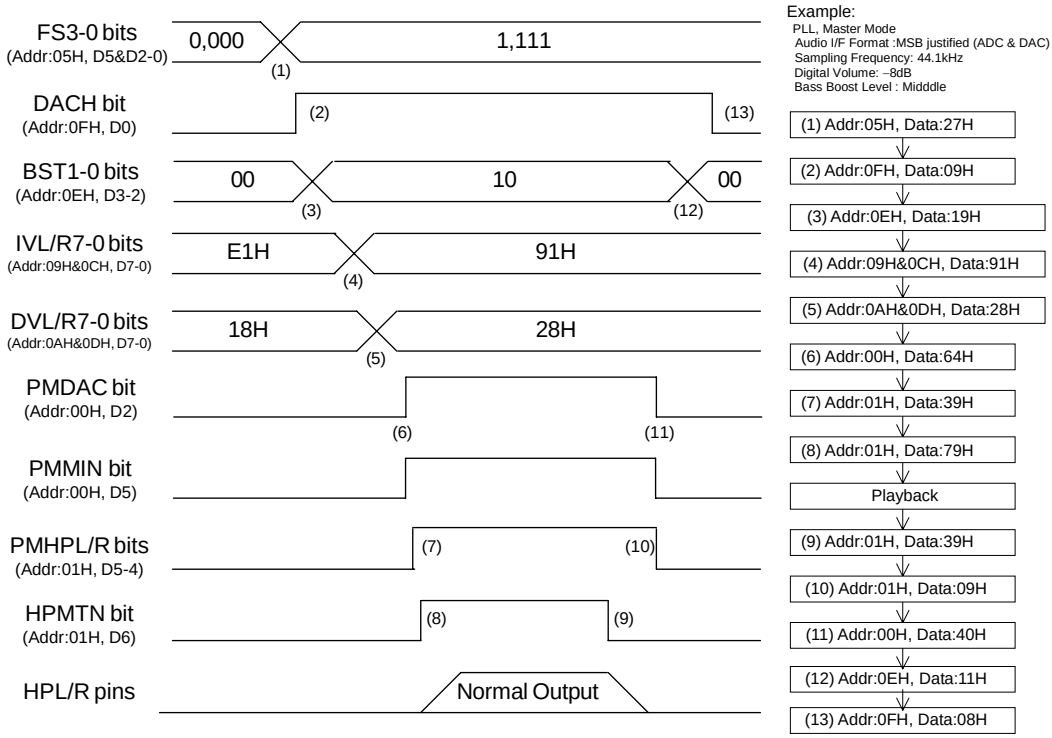


Figure 81. Headphone-Amp Output Sequence

<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(5)のDAC及びスピーカのパワーアップを行って下さい。

(2) DAC → HP-Ampのパス設定: DACH bit = “0” → “1”

(3) バスブーストレベル(BST1-0 bits)の設定。

(4) ALC部ディジタルボリューム(アドレス09H&0CH)の設定
AVL7-0 = AVR7-0 bits = “91H”(0dB)に設定して下さい。

(5) 出力ディジタルボリューム(アドレス0AH&0DH)の設定。
DVOLC bit = “1”(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。

(6) DACおよびMIN-Ampのパワーアップ: PMDAC = PMMIN bits = “0” → “1”
初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2’sコンプリメントの “0”に固定されます。初期化サイクルが終了すると、DACの群遅延(25/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。ALC bit = “1”の場合、初期化サイクル中(1059/fs = 24ms @fs=44.1kHz)、ALCはディセーブル状態(ALCのゲインはAVL/R7-0 bitsの設定)で、初期化サイクルが終了するとALCはAVL/R7-0 bitsの設定から動作を開始します。

(7) ヘッドフォンアンプのパワーアップ: PMHPL = PMHPR bits = “0” → “1”
出力はHVSSのままです。

(8) ヘッドフォンアンプのコモン電圧立ち上げ: HPMTN bit = “0” → “1”
立ち上げ時間はMUTET pinのコンデンサの容量とHVDDで決まります。MUTET pinのコンデンサC = 1μF, HVDD=3.3Vの時の時定数はτ_r =100ms(typ), 250ms(max)です。

(9) ヘッドフォンアンプのコモン電圧立ち下げ: HPMTN bit = “1” → “0”
立ち上げ時間はMUTET pinのコンデンサの容量とHVDDで決まります。MUTET pinのコンデンサC = 1μF, HVDD=3.3Vの時の時定数はτ_f =100ms(typ), 250ms(max)です。
コモン電圧がHVSSへ下がる前に電源をオフするか、または、ヘッドフォンアンプをパワーダウンした場合、ポップ音が発生します。コモン電圧がHVSSへ下がるまでの時間は時定数の2倍の時間です。

(10) ヘッドフォンアンプのパワーダウン: PMHPL = PMHPR bits = “1” → “0”

(11) DACおよびMIN-Ampのパワーダウン: PMDAC = PMMIN bits = “1” → “0”

(12) バスブーストのOFF: BST1-0 bits = “00”

(13) DAC → HP-AmpのパスのDisable: DACH bit = “1” → “0”

■ ステレオライン出力

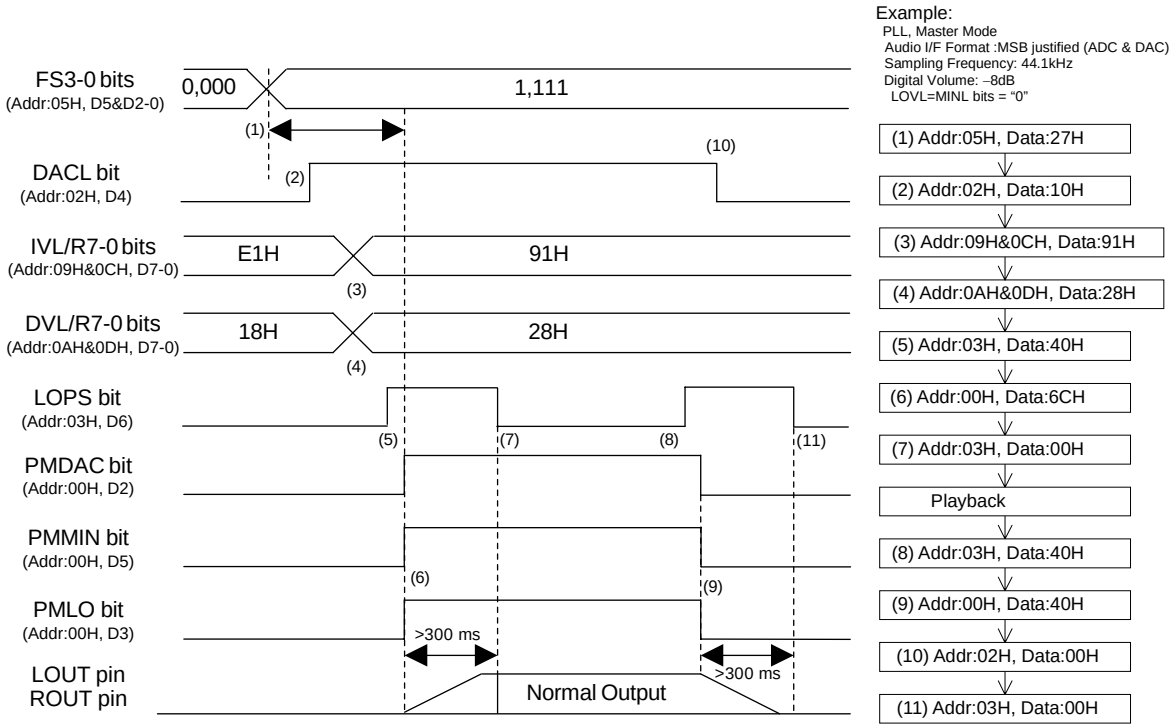


Figure 82. Stereo Lineout Sequence

<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(5)のDAC及びスピーカのパワーアップを行って下さい。

(2) DAC → ステレオライン出力のパスの設定: DACL bit = "0" → "1"

(3) ALC部ディジタルボリューム(アドレス09H&0CH)の設定
AVL7-0 = AVR7-0 bits = "91H"(0dB)に設定して下さい。

(4) 出力ディジタルボリューム(アドレス0AH&0DH)の設定。
DVOLC bit = "1"(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。

(5) ステレオライン出力をパワーセーブモードへ移行: LOPS bit = "0" → "1"

(6) DAC, MIN-Amp及びステレオライン出力のパワーアップ : PMDAC = PMMIN = PMLO bits = "0" → "1"
初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2's コンプリメントの "0" に固定されます。初期化サイクルが終了すると、DACの群遅延(25/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。ALC bit = "1"の場合、初期化サイクル中(1059/fs = 24ms @fs=44.1kHz)、ALCはディセーブル状態(ALCのゲインはAVL/R7-0 bitsの設定)で、初期化サイクルが終了するとALCはAVL/R7-0 bitsの設定から動作を開始します。
PMLO bit = "1"でLOUT, ROUT pinsが立ち上がり始めます。立ち上がり時間はC = 1μF, AVDD=3.3Vのときmax. 300msです。

(7) ステレオライン出力のパワーセーブモードの解除: LOPS bit = "1" → "0"
LOUT, ROUT pinsが立ち上がった後、設定を行ってください。設定後、LOUT, ROUT pinsからの音声出力が開始されます。

(8) ステレオライン出力をパワーセーブモードへ移行: LOPS bit: "0" → "1"

(9) DAC, MIN-Amp及びステレオライン出力のパワーダウン: PMDAC = PMMIN = PMLO bits = "1" → "0"
LOUT, ROUT pinsが立ち下がり始めます。立ち下がり時間はC = 1μF, AVDD=3.3Vのときmax. 300msです。

(10) DAC → ステレオライン出力のパスのDisable: DACL bit = "1" → "0"

(11) ステレオライン出力のパワーセーブモードの解除: LOPS bit = "1" → "0"
LOUT, ROUT pinsが立ち下がった後、設定を行ってください。

■ レシーバ出力

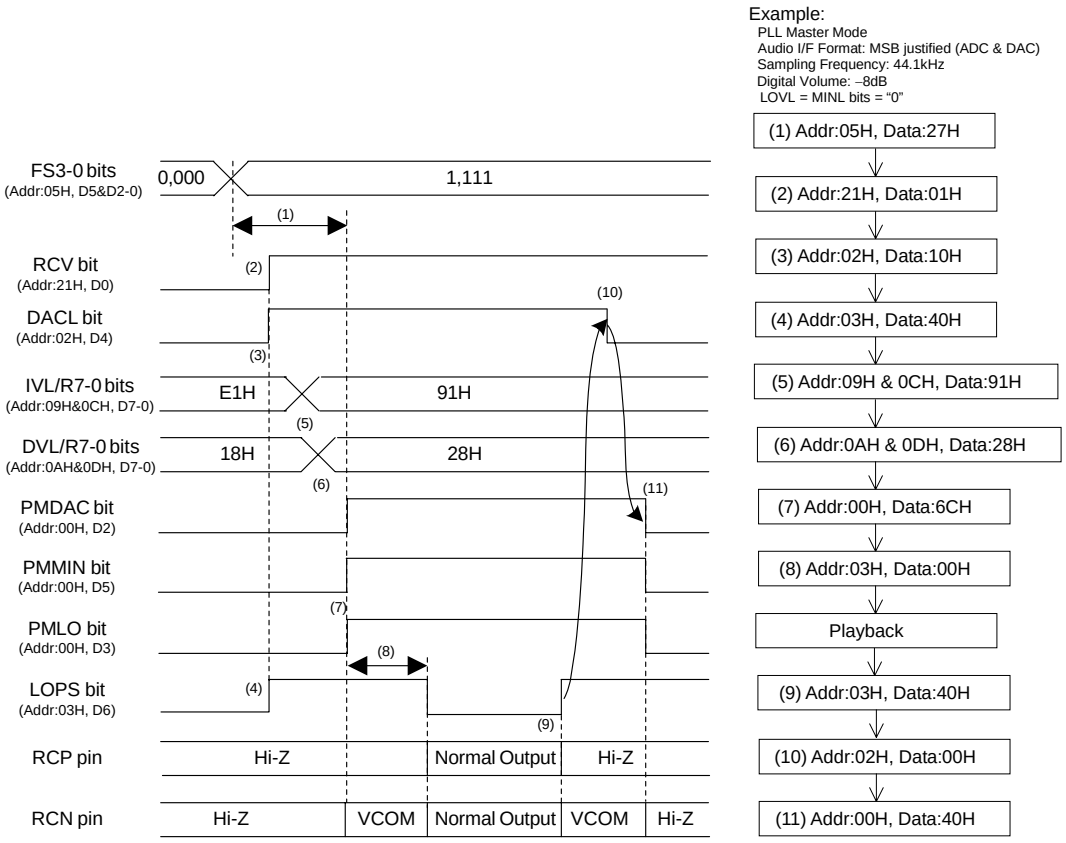


Figure 83. Receiver-Amp Output Sequence

<手順例>

「クロックの設定」の項を参照し、クロックを供給して下さい。

(1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからのPLLロック時間を考慮し、(5)のDAC及びレシーバのパワーアップを行って下さい。
(2) DAC → RCV-Ampのパスの設定およびパワーセーブモード設定: DACL=LOPS bit = "0" → "1"
(3) RCV-Amp設定: RCV bit = "1"
(4) DAC → RCV-Ampのパスの設定: DACL bit = "0" → "1"
(5) パワーセーブモード設定: LOPS bit = "0" → "1"
(6) ALC部ディジタルボリューム(アドレス09H&0CH)の設定
AVL7-0 = AVR7-0 bits = "91H"(0dB)に設定して下さい。
(7) 出力ディジタルボリューム(アドレス0AH&0DH)の設定。
DVOLC bit = "1"(default)のとき、DVL7-0bits(0AH)でLchおよびRchの両方のボリュームを設定します。DACがパワーアップされた後、Default値(0dB)から設定した値にソフト遷移していきます。
(8) DAC, MIN-Amp及びレシーバのパワーアップ: PMDAC = PMMIN = PMLO bits = "0" → "1"
初期化サイクル中(1059/fs=24ms@fs=44.1kHz)、DAC入力データは内部で2's コンプリメントの "0"に固定されます。初期化サイクルが終了すると、DACの群遅延(25/fs=0.5ms@fs=44.1kHz)経過後、DAC出力はディジタル入力信号に相当する電圧になります。
(9) レシーバのパワーセーブモードの解除: LOPS bit = "1" → "0"
(10) レシーバのパワーセーブモードへ移行 : LOPS bit = "0" → "1"
(11) DAC → RCV-AmpのパスのDisable: DACL bit = "1" → "0"
(12) DAC, MIN-Amp及びレシーバのパワーダウン: PMDAC = PMMIN = PMLO bits = "1" → "0"

■ クロックの停止

DACを使用しない場合は、マスタクロックを停止することができます。

1. PLLマスタモードの場合

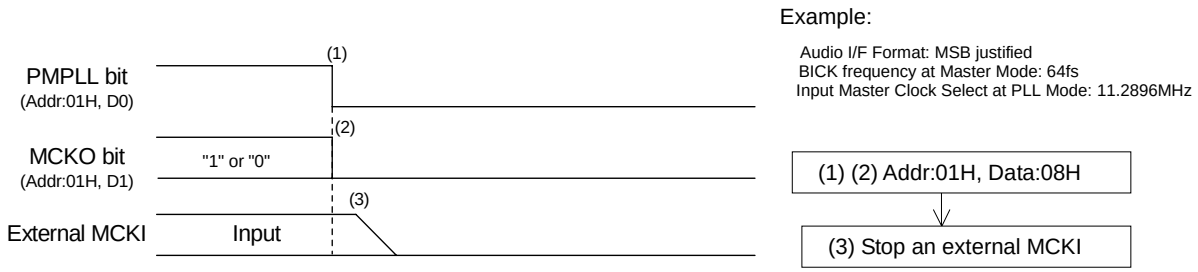


Figure 84. Clock Stopping Sequence (1)

<手順例>
(1) PLLのパワーダウン: PMPLL bit = “1” → “0”
(2) MCKO出力の停止: MCKO bit = “1” → “0”
(3) 外部クロックを止めて下さい。

2. PLLスレーブモード(LRCK, BICK pin)の場合

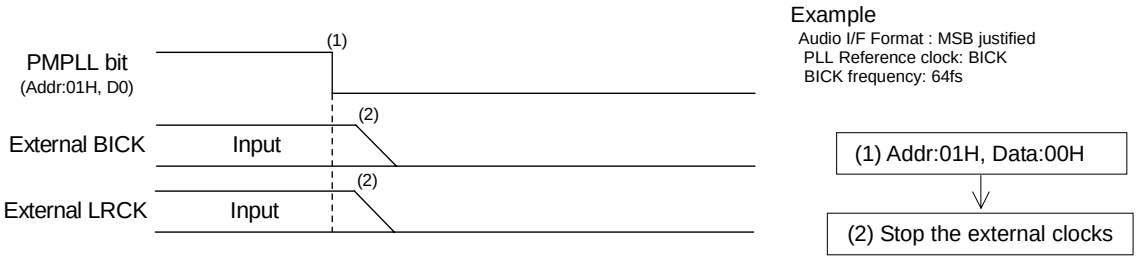


Figure 85. Clock Stopping Sequence (2)

<手順例>
(1) PLLのパワーダウン: PMPLL bit = “1” → “0”
(2) 外部クロックを止めて下さい。

3. PLLスレーブモード(MCKI pin)の場合



Figure 86. Clock Stopping Sequence (3)

<手順例>
(1) PLLのパワーダウン: PMPLL bit = “1” → “0”
MCKO出力の停止: MCKO bit = “1” → “0”
(2) 外部クロックを止めて下さい。

4. 外部クロックスレーブモードの場合

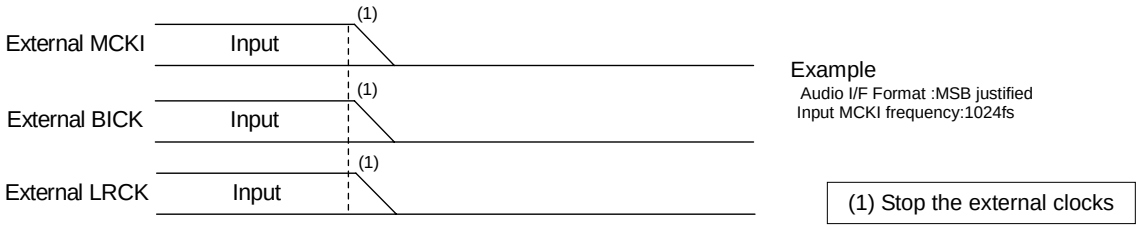


Figure 87. Clock Stopping Sequence (4)

<手順例>
(1) 外部クロックを止めて下さい。

5. 外部クロックマスタモードの場合

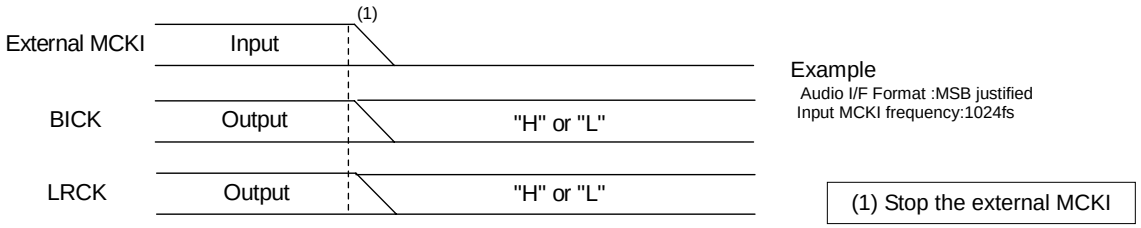


Figure 88. Clock Stopping Sequence (5)

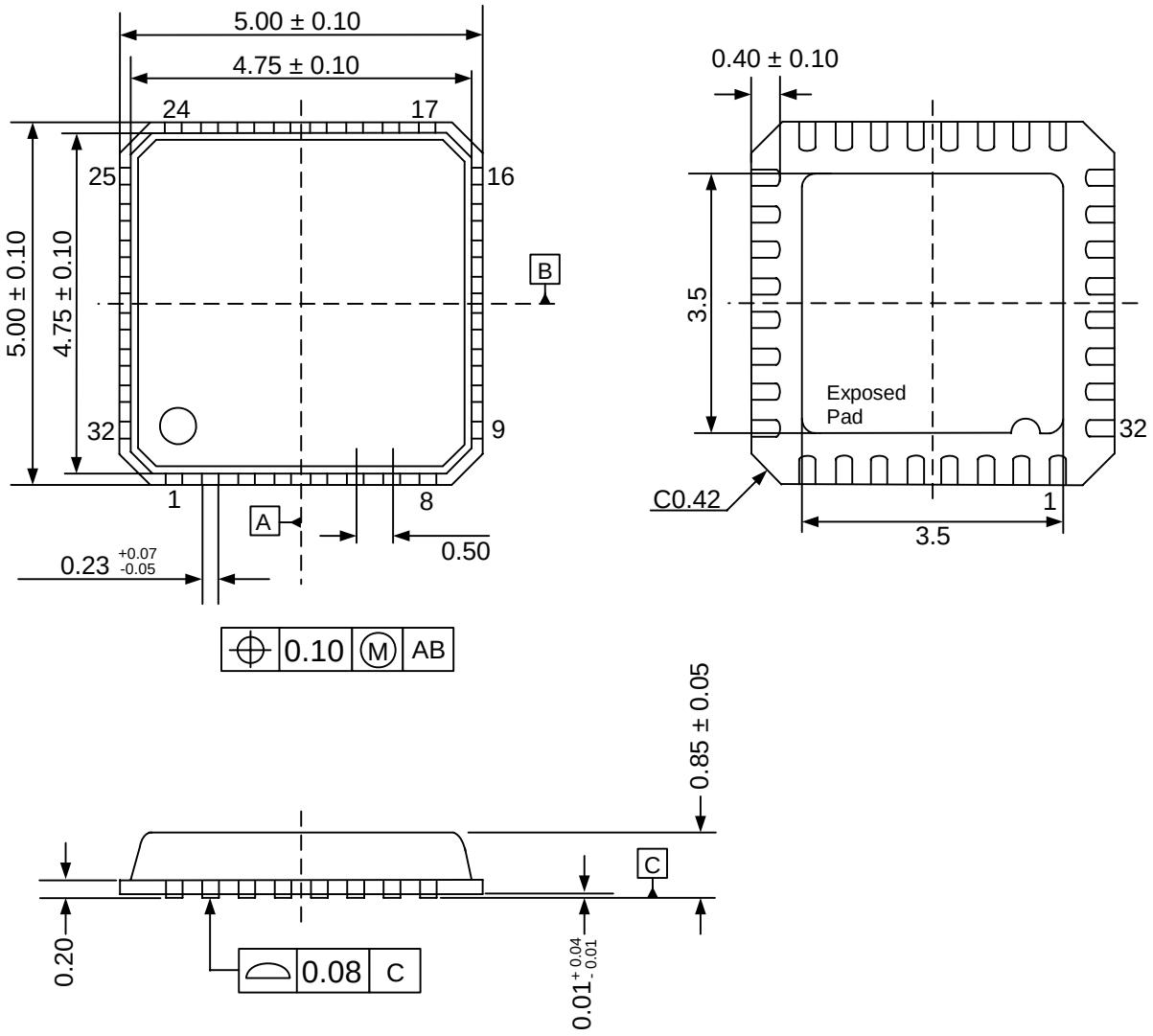
<手順例>
(1) MCKIを止めて下さい。BICKおよびLRCKは “H”または “L”に固定されます。

■ パワーダウン

各ブロックをパワーダウンし、各クロック停止かつPMVCM bit = “0”とすることで電流をシャットダウン(typ. 10μA)できます。また、各クロック停止かつPDN pin = “L”とすることで電流をシャットダウン(typ. 10μA)することも可能です。但し、この場合レジスタが初期化されます

パッケージ

● 32pin QFN (Unit: mm)

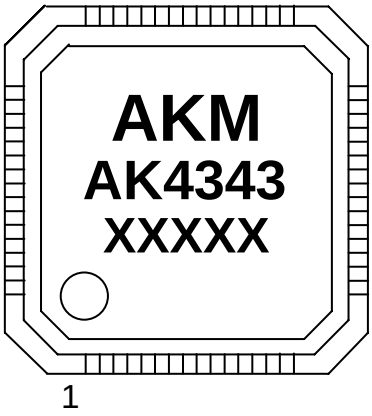


注 : パッケージ裏面中央の露出パッド(Exposed Pad)は、オープンまたはグランドに接続して下さい(Note 7参照)。

■ 材質・メッキ仕様

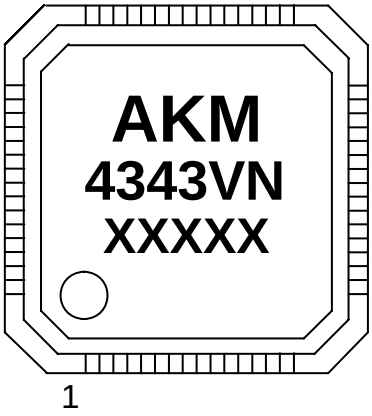
パッケージ材質: エポキシ系樹脂
リードフレーム材質: 銅
リードフレーム処理: 半田（無鉛）メッキ

マーキング (AK4343EN)



XXXXX : Date code identifier (5桁)

マーキング (AK4343VN)



XXXXX : Date code identifier (5桁)

改訂履歴

Date	Revision	Reason	Page	Contents
06/04/04	00	初版		
06/10/24	01	仕様変更	35-36	入力セレクタ 「差動入力で使用する場合、Table 20で “X”印のついているピンには信号を入力しないでください。」追加。 Table 20(Handling of Line Input Pins)追加。
		誤記訂正	53	ステレオライン出力コントロールシーケンス パワーダウン設定: PMLO bit = “1” → PMLO bit = “0”
			65	I^2Cバスコントロールモード 「上位3ビットは “0”固定です」 → 「上位2ビットは “0”固定です」
			75	レジスタ詳細説明(Addr=0FH) HPM bit: 「HPM bit = “1”のとき、(L+R)/2の信号がヘッドフォンアンプから出力されます。HPM bit = “1” のとき、PMHPL = PMHPR bits = “1”で使用して下さい。」 →「HPM bit = “1”のとき、DACの出力信号は(L+R)/2としてヘッドフォンアンプから出力されます。」
			87	コントロールシーケンス(Clock Setup: Ext Slave Mode) MCLK Frequency: 1024fs → 256fs Addr=05H: Data=27H → 00H
			88	コントロールシーケンス(Clock Setup: Ext Master Mode) MCLK Frequency: 1024fs → 256fs Addr=05H: Data=27H → 00H
06/10/24	01	誤記訂正	91	コントロールシーケンス(Headphone Playback) Digital Volume Level: 0dB → –8dB Addr=0EH: Data=14H → 19H Figure 81: (12) Addr=0EH: Data=00H → 11H
			94	コントロールシーケンス(Clock Stop: PLL Master Mode) MCKO bit = “H” or “L” → “1” or “0”
10/12/02	02	記述追加		AK4343VNの記述を追加

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。