

产品特性

数字可编程频率和相位

功耗: 8.5 mW(2.3 V时)

MCLK速度: 16 MHz(B级), 5 MHz(A级)

28位分辨率: 0.06 Hz(16 MHz参考时钟)

正弦波/三角波/方波输出

2.3 V至5.5 V电源供电

3线SPI接口

扩展温度范围: -40°C至+125°C

省电选项

10引脚LFCSP

应用

频率激励/波形发生

液体和气流测量

传感器应用: 接近度、运动和缺陷检测

线路损耗/衰减

测试与医疗设备

扫描/时钟发生器

时域反射(TDR)应用

概述

AD9837是一款低功耗、可编程波形发生器，能够产生正弦波、三角波和方波输出。各种类型的检测、信号激励和时域反射(TDR)应用都需要波形发生器。输出频率和相位可通过软件进行编程，调整简单。频率寄存器为28位：时钟速率为16 MHz时，可以实现0.06 Hz的分辨率；而时钟速率为5 MHz时，则可以实现0.02 Hz的分辨率。

AD9837通过一个3线串行接口写入数据。该串行接口能够以最高40 MHz的时钟速率工作，并且与DSP和微控制器标准兼容。该器件采用2.3 V至5.5 V电源供电。

AD9837具有关断(休眠)功能。器件中不用的部分可以关断，以将功耗降至最低。例如，在产生时钟输出时，可以关断DAC。

AD9837采用10引脚LFCSP_WD封装。

功能框图

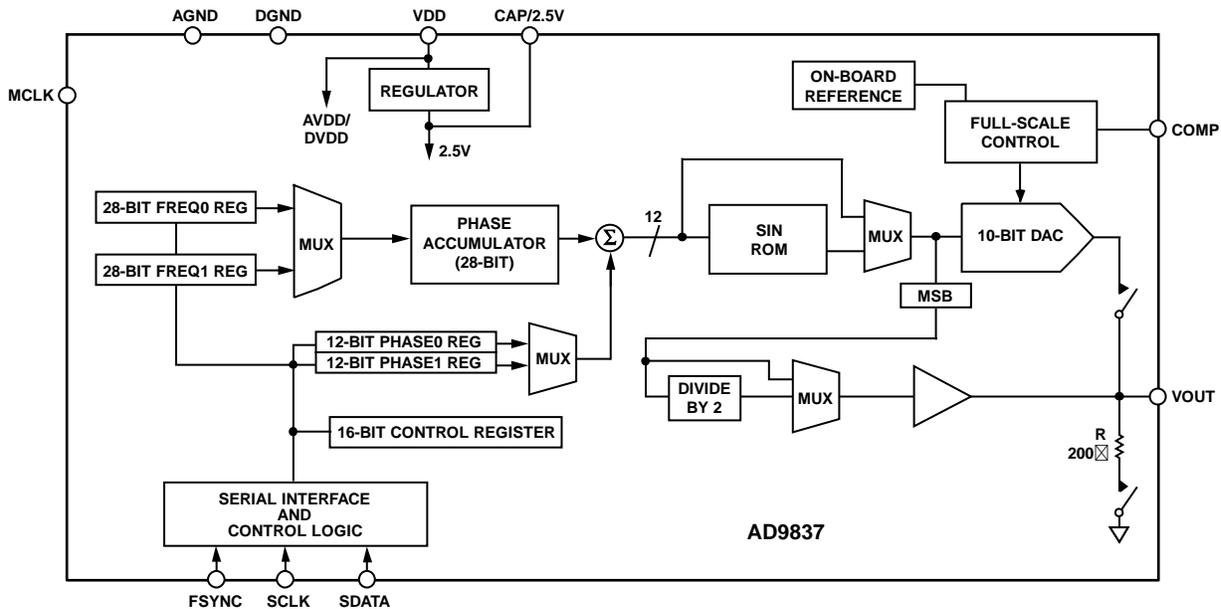


图1.

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2011–2012 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	功能描述.....	13
应用.....	1	串行接口.....	13
概述.....	1	延迟时间.....	13
功能框图.....	1	控制寄存器.....	13
修订历史.....	2	频率和相位寄存器.....	15
技术规格.....	3	复位功能.....	16
时序特性.....	4	休眠功能.....	16
绝对最大额定值.....	5	VOUT引脚.....	16
热阻.....	5	AD9837上电.....	16
ESD警告.....	5	应用信息.....	19
引脚配置和功能描述.....	6	接地和布局.....	19
典型性能参数.....	7	与微处理器接口.....	19
测试电路.....	9	评估板.....	21
术语.....	10	系统演示平台.....	21
工作原理.....	11	AD9837与SPORT的接口.....	21
电路描述.....	12	评估套件.....	21
数控振荡器和相位调制器.....	12	晶振与外部时钟.....	21
SIN ROM.....	12	电源.....	21
数模转换器(DAC).....	12	评估板原理图.....	22
调节器.....	12	评估板布局布线.....	24
		外形尺寸.....	25
		订购指南.....	25

修订历史

2012年12月—修订版0至修订版A

输入电流 I_{INH}/I_{INL} 从10 mA更改为10 μ A.....	3
更新“外形尺寸”.....	25

2011年4月—修订版0：初始版

技术规格

除非另有说明, VDD = 2.3 V至5.5 V, AGND = DGND = 0 V, $T_A = T_{MIN}$ 至 T_{MAX} 。

表1.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
信号DAC规格					
分辨率		10		位	
更新速率					
A级			5	MSPS	
B级			16	MSPS	
V_{OUT} 最大值		0.645		V	
V_{OUT} 最小值		37		mV	
V_{P-P}		0.610		V	
V_{OUT} TC		200		ppm/°C	
直流精度					
积分非线性(INL)		±1.0		LSB	
差分非线性(DNL)		±0.5		LSB	
DDS规格					
动态规格					
信噪比(SNR)					
A级		-64		dB	$f_{MCLK} = 5 \text{ MHz}, f_{OUT} = f_{MCLK}/4096$
B级		-64		dB	$f_{MCLK} = 16 \text{ MHz}, f_{OUT} = f_{MCLK}/4096$
总谐波失真(THD)					
A级		-68		dBc	$f_{MCLK} = 5 \text{ MHz}, f_{OUT} = f_{MCLK}/4096$
B级		-68		dBc	$f_{MCLK} = 16 \text{ MHz}, f_{OUT} = f_{MCLK}/4096$
无杂散动态范围(SFDR)					
宽带(0至奈奎斯特频率)					
A级		-65		dBc	$f_{MCLK} = 5 \text{ MHz}, f_{OUT} = f_{MCLK}/50$
B级		-65		dBc	$f_{MCLK} = 16 \text{ MHz}, f_{OUT} = f_{MCLK}/50$
窄带(±200 kHz)					
A级		-94		dBc	$f_{MCLK} = 5 \text{ MHz}, f_{OUT} = f_{MCLK}/50$
B级		-97		dBc	$f_{MCLK} = 16 \text{ MHz}, f_{OUT} = f_{MCLK}/50$
时钟馈通		-67		dBc	
唤醒时间		1		ms	
逻辑输入					
输入高电压 V_{INH}	1.7			V	2.3 V至2.7 V电源供电
	2.0			V	2.7 V至3.6 V电源供电
	2.8			V	4.5 V至5.5 V电源供电
输入低电压 V_{INL}			0.5	V	2.3 V至2.7 V电源供电
			0.7	V	2.7 V至3.6 V电源供电
			0.8	V	4.5 V至5.5 V电源供电
输入电流 I_{INH}/I_{INL}			10	μA	
输入电容 C_{IN}		3		pF	
电源					$f_{MCLK} = 16 \text{ MHz}, f_{OUT} = f_{MCLK}/4096$
VDD	2.3		5.5	V	
I_{DD}					
A级		3.7	5.0	mA	与 I_{DD} 码值相关; 见图6
B级		4.5	5.5	mA	与 I_{DD} 码值相关; 见图7
低功耗休眠模式		0.5	0.8	mA	DAC关断(位SLEEP1和SLEEP12 = 11; 见表15)

¹ 工作温度范围为-40°C至+125°C; 典型规格在25°C条件下测得。

时序特性

除非另有说明，VDD = 2.3 V至5.5 V，AGND = DGND = 0 V。

表2.

参数 ¹	在T _{MIN} 至T _{MAX} 时的限值	单位	描述
t ₁	62.5	ns(最小值)	MCLK周期(f _{MCLK} = 16 MHz)
t ₂	25	ns(最小值)	MCLK高电平持续时间(f _{MCLK} = 16 MHz)
t ₃	25	ns(最小值)	MCLK低电平持续时间(f _{MCLK} = 16 MHz)
t ₄	25	ns(最小值)	SCLK周期
t ₅	10	ns(最小值)	SCLK高电平持续时间
t ₆	10	ns(最小值)	SCLK低电平持续时间
t ₇	5	ns(最小值)	FSYNC到SCLK下降沿建立时间
t ₈	10	ns(最小值)	SCLK下降沿到FSYNC上升沿时间
	t ₄ - 5	ns(最大值)	
t ₉	5	ns(最小值)	数据建立时间
t ₁₀	3	ns(最小值)	数据保持时间
t ₁₁	5	ns(最小值)	SCLK高电平到FSYNC下降沿建立时间

¹ 通过设计保证，但未经生产测试。

时序图

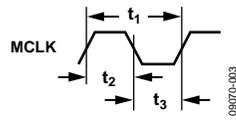


图2. 主时钟

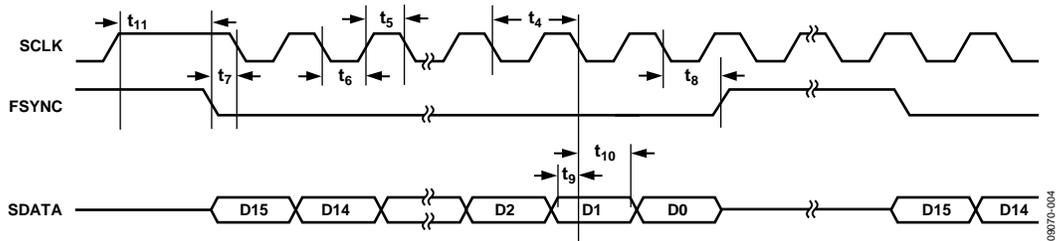


图3. 串行时序

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
VDD至AGND	-0.3 V至+6 V
VDD至DGND	-0.3 V至+6 V
AGND至DGND	-0.3 V至+0.3 V
CAP/2.5V	2.75 V
数字I/O电压至DGND	-0.3 V至VDD + 0.3 V
模拟I/O电压至AGND	-0.3 V至VDD + 0.3 V
工作温度范围	
工业(B级)	-40°C至+125°C
存储温度范围	-65°C至+150°C
最高结温	150°C
引脚温度，焊接(10秒)	300°C
IR回流焊峰值温度	220°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件；即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
10引脚LFCSP_WD (CP-10-9)	206	44	$^\circ\text{C}/\text{W}$

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. CONNECT EXPOSED PAD TO GROUND.

09070-005

图4. 引脚配置

表5. 引脚功能描述

引脚编号	名称	描述
1	COMP	DAC偏置引脚。此引脚用于对DAC偏置电压进行去耦。
2	VDD	模拟和数字接口部分的正电源。片内2.5 V稳压器也采用VDD供电。VDD的值范围为2.3 V至5.5 V。VDD和AGND之间应连接一个0.1 μ F和一个10 μ F去耦电容。
3	CAP/2.5V	数字电路采用2.5 V电源供电。当VDD超过2.7 V时，此2.5 V利用片内稳压器从VDD产生。该稳压器需要在CAP/2.5V至DGND之间连接一个典型值为100 nF的去耦电容。如果VDD小于或等于2.7 V，则CAP/2.5V应与VDD直接相连，以旁路片内调节器。
4	DGND	数字地。
5	MCLK	数字时钟输入。DDS输出频率是MCLK频率的一个分数，分数的分子是二进制数。输出频率精度和相位噪声均由此时钟决定。
6	SDATA	串行数据输入。16位串行数据字施加于此输入。
7	SCLK	串行时钟输入。数据在SCLK的各下降沿逐个输入AD9837。
8	FSYNC	低电平有效控制输入。FSYNC是输入数据的帧同步信号。当FSYNC变为低电平时，即告知内部逻辑，正在向器件中载入新数据字。
9	AGND	模拟地。
10	VOUT	电压输出。AD9837的模拟和数字输出均通过此引脚提供。由于该器件片内有一个200 Ω 电阻，因此无需连接外部负载电阻。
	EP	裸露焊盘。裸露焊盘应接地。

典型性能参数

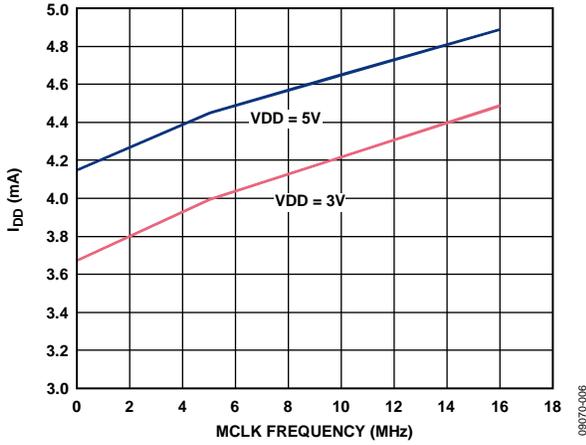


图5. 典型功耗(I_{DD})与MCLK频率的关系($f_{OUT} = MCLK/10$)

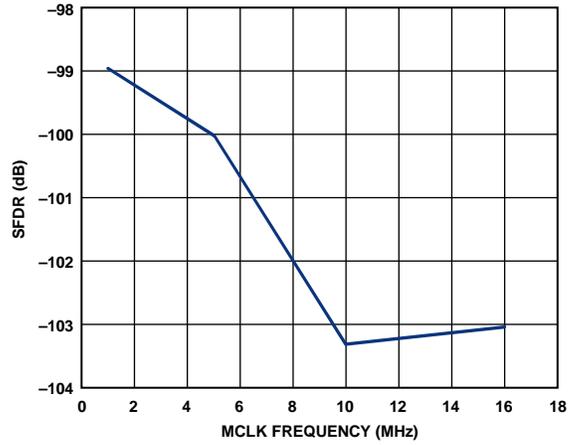


图8. 窄带SFDR与MCLK频率的关系($f_{OUT} = MCLK/50$ 至 ± 200 kHz)

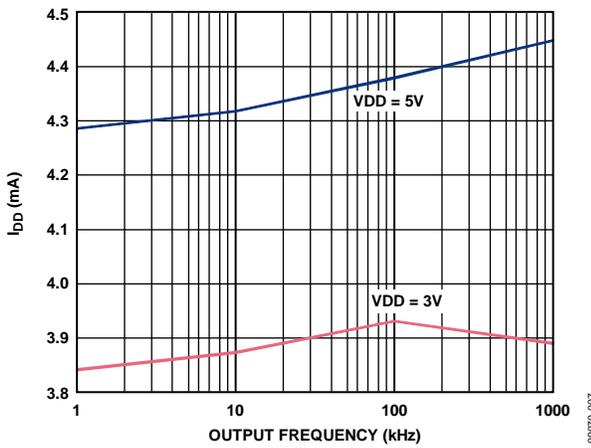


图6. 典型 I_{DD} 与输出频率的关系($f_{MCLK} = 5$ MHz)

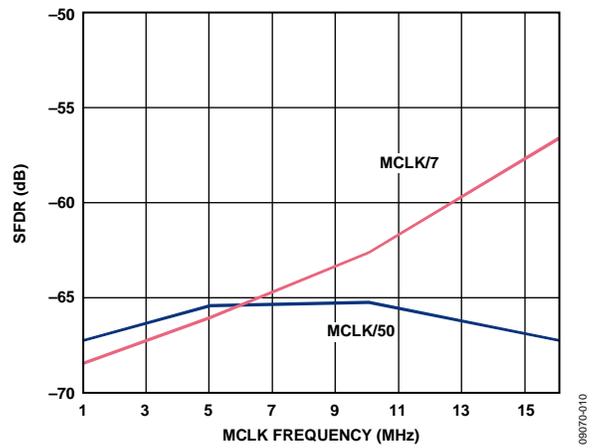


图9. 宽带SFDR与MCLK频率的关系

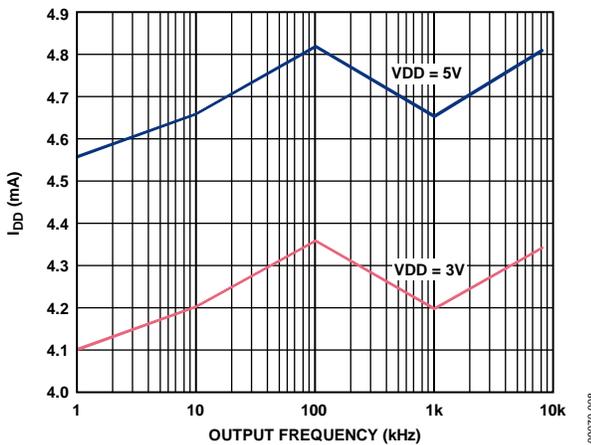


图7. 典型 I_{DD} 与输出频率的关系($f_{MCLK} = 16$ MHz)

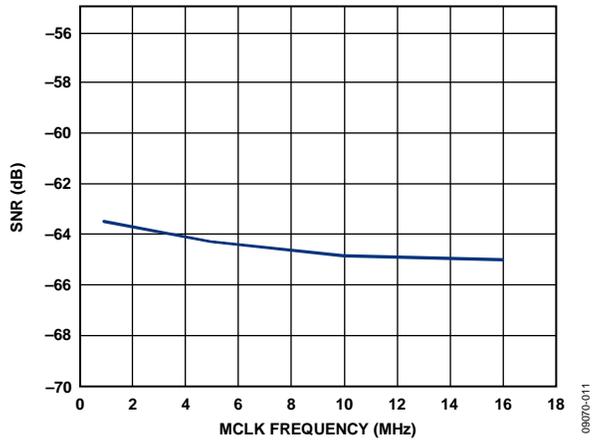


图10. SNR与MCLK频率的关系

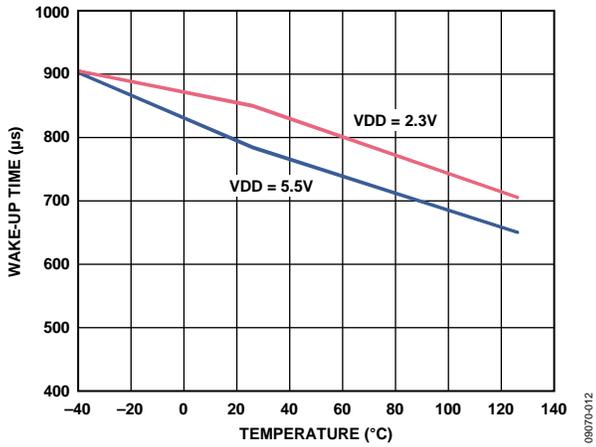


图11. 唤醒时间与温度的关系

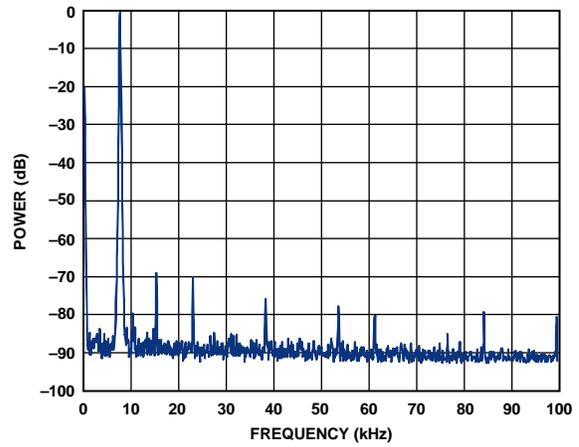


图14. 功耗与频率的关系
($f_{MCLK} = 16 \text{ MHz}$, $f_{OUT} = 7.692 \text{ kHz}$, 频率字 = 0x1F81A)

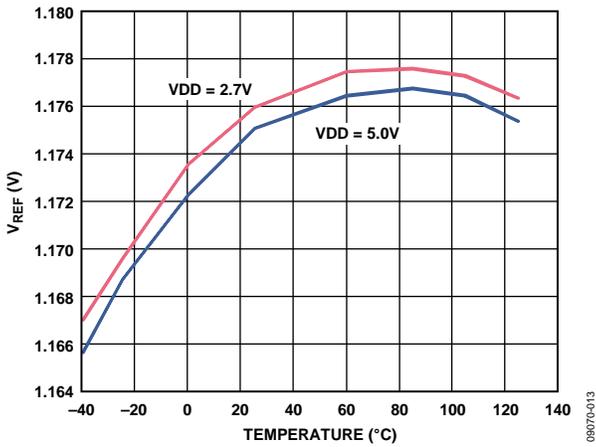


图12. V_{REF} 与温度的关系

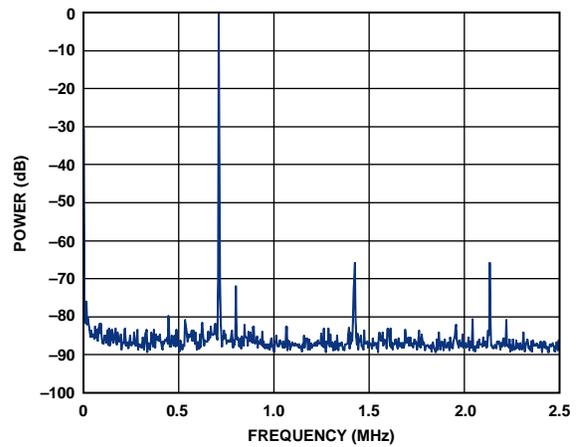


图15. 功耗与频率的关系($f_{MCLK} = 5 \text{ MHz}$,
 $f_{OUT} = 0.714285 \text{ MHz} = f_{MCLK} / 7$, 频率字 = 0x2492492)

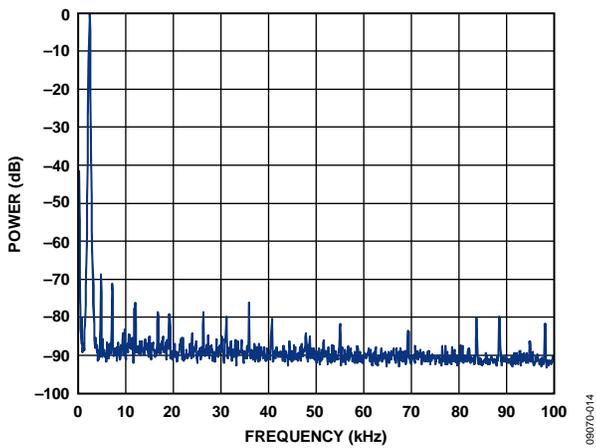


图13. 功耗与频率的关系
($f_{MCLK} = 5 \text{ MHz}$, $f_{OUT} = 2.4 \text{ kHz}$, 频率字 = 0x1F751)

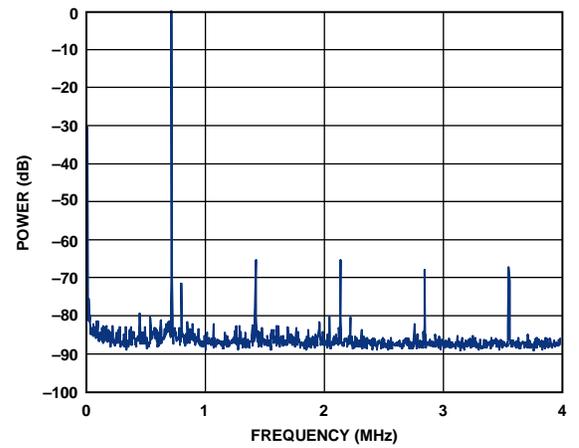


图16. 功耗与频率的关系($f_{MCLK} = 16 \text{ MHz}$,
 $f_{OUT} = 2.285714 \text{ MHz} = f_{MCLK} / 7$, 频率字 = 0x2492492)

测试电路

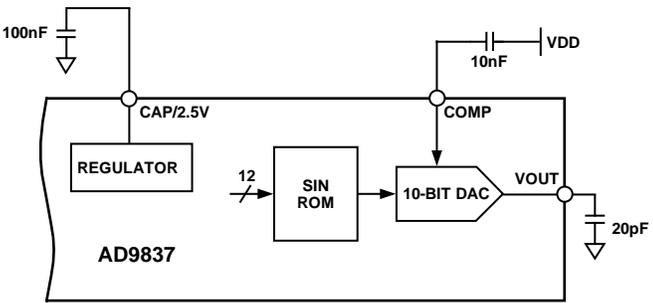


图17. 用于测试规格的测试电路

术语

积分非线性(INL)

转换结果编码偏离通过其传递函数端点的直线的最大偏差。传递函数端点是指，在零点位置比第一个编码的跃变点低0.5 LSB的点(000 ... 00至000 ... 01)，以及在满刻度位置比最后一个编码的跃变点高0.5 LSB的点(111 ... 10到111 ... 11)。误差用LSB表示。

差分非线性(DNL)

DNL指DAC中两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定DNL可确保单调性。

输出顺从电压

输出顺从电压是指保证规格要求情况下可在DAC的输出端产生的最大电压。当产生的电压大于输出顺从电压额定值时，AD9837可能无法达到数据手册所述的额定性能。

无杂散动态范围(SFDR)

DDS器件的输出中不仅有目标频率，而且有基波频率的谐波和这些频率的镜像。无杂散动态范围(SFDR)与目标频段中存在的最大杂散或谐波相关。宽带SFDR指0 Hz至奈奎斯特带宽范围内的最大杂散或谐波的幅度与基波频率的幅度之比。窄带SFDR指±200 kHz带宽范围内最大杂散或谐波的幅度相对于基波频率幅度的衰减程度。

总谐波失真(THD)

总谐波失真(THD)指所有谐波均方根和与基波均方根值的比值。对于AD9837，THD定义为

$$THD = 20 \log \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}{V_1^2}}$$

其中：

V_1 是基波幅度的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波幅度的均方根值。

信噪比(SNR)

SNR指输出信号测量结果的均方根值与奈奎斯特频率以下除谐波和直流外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

时钟馈通

从MCLK输入到模拟输出会出现一些馈通。时钟馈通是指AD9837输出频谱中MCLK信号的幅度与基波频率之比。

工作原理

正弦波通常用其幅度来表示： $a(t) = \sin(\omega t)$ 。不过，正弦波是非线性曲线，因此除非通过分段构建，否则不易生成。另一方面，角度信息本质上是线性的。也就是说，每个单位时间内，相位角度会旋转固定角度。角速率取决于信号频率，也即 $\omega = 2\pi f$ 。

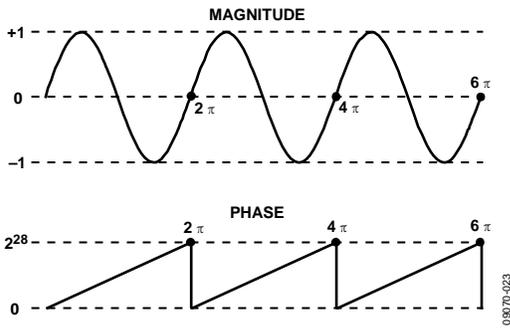


图18. 正弦波

已知正弦波的相位是线性的，如果给定参考时间间隔(时钟周期)，则可以确定该周期内的相位旋转情况，如下式所示：

$$\Delta Phase = \omega \Delta t \tag{1}$$

求出 ω ,

$$\omega = \Delta Phase / \Delta t = 2\pi f \tag{2}$$

求出 f 并用参考时钟频率替换参考周期($1/f_{MCLK} = \Delta t$)

$$f = \Delta Phase \times f_{MCLK} / 2\pi \tag{3}$$

AD9837根据这个简单公式来构建输出。一个简单的DDS芯片便可利用以下三大主要子电路来实现此公式：数控振荡器(NCO)和相位调制器、SIN ROM以及模数转换器(DAC)。“电路描述”部分将逐个介绍各个子电路。

AD9837的输出是根据奈奎斯特采样原理进行采样的信号。具体而言，其输出频谱包含基波和混叠信号(镜像)，且镜像频率为参考时钟频率和所选输出频率的倍数。采样频谱(含混叠镜像)的图形表示如图19所示。

混叠镜像的突出程度取决于 f_{OUT} 与 $MCLK$ 的比值。如果该比值很小，混叠镜像将非常突出且能量水平相对较高，具体由量化DAC输出的 $\sin(x)/x$ 滚降决定。事实上，根据 f_{OUT} 与参考时钟之比，第一个混叠镜像约低于基波-3 dB。

如果混叠镜像在目标输出频段以内，则需要外部滤波。

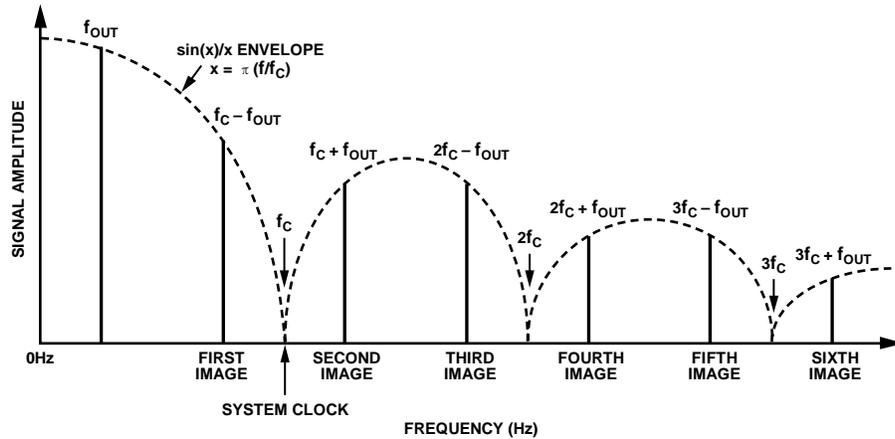


图19. DAC输出频谱

电路描述

AD9837是一个完全集成的直接数字频率合成(DDS)芯片。该芯片需要一个参考时钟和多个去耦电容,用数字方式产生高达8 MHz的正弦波。除产生这个RF信号之外,该芯片还完全能支持各种简单和复杂的调制方案。这些调制方案完全在数字域内实现,使得可以使用DSP技术精确而轻松地实现复杂的调制算法。

AD9837的内部电路包含以下主要部分:数控振荡器(NCO)、频率和相位调制器、SIN ROM、数模转换器以及调节器。

数控振荡器和相位调制器

AD9837包括两个频率选择寄存器、一个相位累加器、两个相位偏移寄存器和一个相位偏移加法器。NCO的主要元件是一个28位相位累加器。连续时间信号的相位范围为0至 2π 。在此数值范围之外,正弦函数以周期方式不断重复。数字实现并无差别。累加器只是将相位数值范围扩大至多位数字字。AD9837中的相位累加器利用28位来实现。因此,在AD9837中, $2\pi = 2^{28}$ 。同样, ΔPhase 项也会扩大至此数值范围:

$$0 < \Delta\text{Phase} < 2^{28} - 1$$

替换这些数据后,公式3简化为

$$f = \Delta\text{Phase} \times f_{\text{MCLK}} / 2^{28} \quad (4)$$

其中, $0 < \Delta\text{Phase} < 2^{28} - 1$ 。

相位累加器的输入可以从FREQ0寄存器或FREQ1寄存器进行选择,并由控制寄存器中的FSEL位控制。NCO本身会产生连续相位信号,因此在频率之间切换时应避免出现任何输出不连续。

在NCO之后,可以使用12位相位寄存器添加一个相位偏移来执行相位调制。这些相位寄存器之一的内容会增加到NCO的MSB。AD9837具有两个相位寄存器,其分辨率均为 $2\pi/4096$ 。

SIN ROM

要使用NCO的输出,必须先将其从相位信息转换成正弦数值。由于相位信息可以直接映射至幅度,因此SIN ROM可以将数字相位信息用作查找表的地址并将相位信息转换成幅度。

虽然NCO包含28位相位累加器,但NCO的输出会被截断至12位。使用相位累加器的全分辨率不仅不切实际,也根本不必要,因为这要求查找表具有 2^{28} 个条目。只需具有足够的相位分辨率,使得因截断而产生的误差小于10位DAC的分辨率。因此,SIN ROM的相位分辨率必须比10位DAC高出两位。

可使用控制寄存器的MODE位(D1)来使能SIN ROM(参见表16)。

数模转换器(DAC)

AD9837包含一个高阻抗、电流源10位DAC。该DAC从SIN ROM收到数字字并将其转换成相应的模拟电压。

该DAC配置为单端工作模式。由于该器件片内具有一个200 Ω 电阻,因此无需连接外部负载电阻。该DAC会产生一个输出电压,其典型值为0.6 V p-p。

稳压器

VDD提供AD9837模拟部分和数字部分所需的电源。此电源的值范围为2.3 V至5.5 V。

AD9837的内部数字部分采用2.5 V电压工作。片内稳压器会将施加于VDD的电压下调至2.5 V。当AD9837器件VDD引脚处施加的电压小于或等于2.7 V时,应将CAP/2.5V和VDD引脚相连,从而旁路片内调节器。

功能描述

串行接口

AD9837具有一个标准三线式串行接口，并且与SPI、QSPI™、MICROWIRE®、DSP接口标准兼容。

数据在串行时钟SCLK的控制下载入器件，16比特一个字。图3给出了这种操作的时序图。

FSYNC是电平触发输入，用作帧同步和芯片使能输入。仅当FSYNC处于低电平时，才可将数据传输至器件。要开始串行数据传输，应将FSYNC拉低，并注意FSYNC至SCLK下降沿建立时间(t_r)的最小值(见表2)。FSYNC变为低电平后，串行数据即会在16个时钟脉冲的SCLK下降沿移入器件的输入移位寄存器。可在SCLK的第16个下降沿后将FSYNC拉高，并注意SCLK下降沿至FSYNC上升沿时间(t_s)的最小值。或者，FSYNC可以在16倍数个SCLK脉冲期间保持低电平，然后在数据传输结束时变为高电平。这样，在FSYNC保持低电平期间，可以连续流形式载入16位字；FSYNC仅在载入最后一个字的第16个SCLK下降沿之后变为高电平。

SCLK可以是连续的，也可以在写操作期间置于高电平或低电平空闲状态。无论何种情况，当FSYNC变为低电平(t_{11})时，SCLK都必须处于高电平。

有关如何对AD9837进行编程的示例，请参阅ADI公司网站上的“AN-1070应用笔记”。AD9837的寄存器设置与AD9833/AD9834相同。

延迟时间

延迟时间与AD9837中的每个异步写操作相关。如果所选频率或相位寄存器中载入新数据字，那么模拟输出改变之前会存在7或8个MCLK周期的延迟。延迟可能为7或8个周期，具体取决于数据载入目标寄存器时MCLK上升沿的位置。

控制寄存器

AD9837包含一个16位控制寄存器，让用户可以配置AD9837的操作。MODE位之外的所有控制位均在MCLK的内部下降沿采样。

图20显示了控制位的功能。表7介绍了控制寄存器的各个位。有关AD9837中不同功能和各种输出选项的详细说明，请参见后续部分。

要告知AD9837控制寄存器的内容将更新，D15位和D14位必须置0，如表6所示。

表6. 控制寄存器位

D15	D14	D13至D0
0	0	控制位

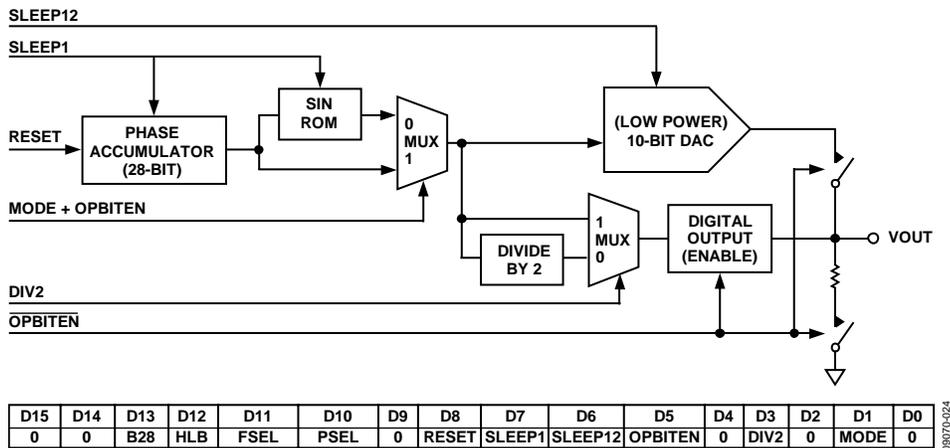


图20. 控制位功能

表7. 控制寄存器Bit功能描述

位	位的名称	描述
D13	B28	<p>需要两个写操作，才能将一个完整字载入任一频率寄存器。</p> <p>B28 = 1可将一个完整字通过两次连续写入载入频率寄存器。第一次写入包含频率字的14个LSB，第二次写入则包含14个MSB。每个16位字的前两位都是定义将载入该字的频率寄存器，因此对于两次连续写入是完全相同的。有关相应的地址，请参见表9。在两个字均已载入后，即会写入频率寄存器；因此，该寄存器从不保存中间值。表10给出了一个完整28位写操作的示例。不过，请注意，不允许向同一频率寄存器连续写入28位数据；要执行连续28位写操作，必须在频率寄存器之间交替完成。</p> <p>当B28 = 0时，28位频率寄存器用作两个14位寄存器，其中一个包含14个MSB，另一个则包含14个LSB。这样，频率字的14个MSB可单独更新而不影响14个LSB，反之亦然。要更新14个MSB或14个LSB，只需向相应的频率地址执行一次写入即可。位D12 (HLB)告知AD9837要更新的位是14个MSB还是14个LSB。</p>
D12	HLB	<p>此控制位使用户可以连续载入频率寄存器的MSB或LSB而忽略余下的14位。如果无需完整的28位分辨率，这点将很有用。HLB位应与B28位(位D13)一同使用。HLB位指示要载入的14位是传输至所寻址频率寄存器的14个MSB还是14个LSB。位D13 (B28)必须设为0才能单独地更改频率字的MSB和LSB。当位D13 (B28)设为1时，HLB位会被忽略。</p> <p>HLB = 1允许写入所寻址频率寄存器的14个MSB。 HLB = 0允许写入所寻址频率寄存器的14个LSB。</p>
D11	FSEL	FSEL位定义相位累加器中使用的是FREQ0寄存器还是FREQ1寄存器(见表8)。
D10	PSEL	PSEL位定义是将PHASE0寄存器还是PHASE1寄存器的数据增加到相位累加器的输出(见表8)。
D9	保留	此位应该清0
D8	RESET	<p>此位控制复位功能。</p> <p>RESET = 1时可将内部寄存器复位至0，对应于中间电平的模拟输出。 RESET = 0时禁用复位功能(见“复位功能”部分)。</p>
D7	SLEEP1	<p>此位使能或禁用内部MCLK。</p> <p>SLEEP1 = 1时，禁用内部MCLK。由于NCO不再执行累加，因此DAC输出仍保持其当前值。 SLEEP1 = 0时，使能内部MCLK(见“休眠功能”部分)。</p>
D6	SLEEP12	<p>此位用于关断片内DAC。</p> <p>SLEEP12 = 1关断片内DAC。当AD9837用于输出DAC数据的MSB时，这点很有用。 SLEEP12 = 0表示DAC处于活动状态(见“休眠功能”部分)。</p>
D5	OPBITEN	<p>此位与MODE位(位D1)联合使用，用于控制VOUT引脚的输出(见表16)。</p> <p>OPBITEN = 1时，VOUT引脚不再提供DAC的输出。相反，DAC数据的MSB(或MSB/2)与VOUT引脚相连。此输出作为粗调时钟源很有用。DIV2位(位D3)控制VOUT引脚输出的是MSB还是MSB/2。 OPBITEN = 0时，DAC输出与VOUT相连。MODE位(位D1)决定输出是正弦波还是三角波。</p>
D4	保留	该位必须清0。
D3	DIV2	<p>DIV2应与D5位(OPBITEN)一起使用。参见表16。</p> <p>DIV2 = 1时，DAC数据的MSB通过VOUT引脚输出。 DIV2 = 0时，DAC数据的MSB/2通过VOUT引脚输出。</p>
D2	保留	该位必须清0。
D1	MODE	<p>此位与OPBITEN位(位D5)一同使用，用于控制片内DAC与VOUT相连时VOUT引脚的输出。如果OPBITEN位设为1，此位应清0(见表16)。</p> <p>MODE = 1时，旁路SIN ROM，DAC输出三角波。 MODE = 0时，SIN ROM用于将相位信息转换成幅度信息，进而在输出端提供正弦信号。(正弦输出同时要求将OPBITEN位(位D5)设为0)</p>
D0	保留	该位必须清0。

频率和相位寄存器

AD9837包含两个频率寄存器和两个相位寄存器，具体如表8所述。

表8. 频率和相位寄存器

寄存器	尺寸	描述
FREQ0	28位	频率寄存器0。 当位FSEL = 0时，FREQ0寄存器将输出频率定义为MCLK频率的一部分。
FREQ1	28位	频率寄存器1。 当位FSEL = 1时，FREQ1寄存器将输出频率定义为MCLK频率的一部分。
PHASE0	12位	相位偏移寄存器0。 当位PSEL = 0时，PHASE0寄存器的内容会增加到相位累加器的输出。
PHASE1	12位	相位偏移寄存器1。 当位PSEL = 1时，PHASE1寄存器的内容会增加到相位累加器的输出。

AD9837的模拟输出为：

$$f_{MCLK}/2^{28} \times \text{FREQREG}$$

其中，*FREQREG*是载入所选频率寄存器的值。

此信号会经过如下相位偏移处理：

$$2\pi/4096 \times \text{PHASEREG}$$

其中，*PHASEREG*是所选相位寄存器中包含的值。

必须考虑所选输出频率和参考时钟频率之间的关系，以免产生不良的输出异常。

图24中的流程图显示写入AD9837的频率和相位寄存器的程序。

写入频率寄存器

写入频率寄存器时，控制寄存器的位D15和位D14设置频率寄存器的地址(见表9)。

表9. 频率寄存器位

D15	D14	D13至D0
0	1	14个FREQ0寄存器位
1	0	14个FREQ1寄存器位

要更改某个频率寄存器的全部内容，必须向同一地址执行两次连续写入，因为频率寄存器是28位宽。第一次写入包含14个LSB，第二次写入则包含14个MSB。对于此工作模式，控制位B28(D13)必须置1。表10给出了一个28位写操作的示例。

表10. 将0xFFFC000写入FREQ0寄存器

SDATA输入	输入字结果
0010 0000 0000 0000	控制字写入(D15, D14 = 00), B28 (D13) = 1, HLB (D12) = X
0100 0000 0000 0000	FREQ0寄存器写入(D15, D14 = 01), 14个LSB = 0x0000
0111 1111 1111 1111	FREQ0寄存器写入(D15, D14 = 01), 14个MSB = 0x3FFF

不过，请注意，连续写入同一频率寄存器可能导致写入期间发生中间更新。如果需要频率扫描或类似功能，建议用户在两个频率寄存器之间交替。

在某些应用中，用户无需更新频率寄存器的全部28个位。在粗调情况下，只需更新14个MSB，而在精调情况下，则只需更新14个LSB。通过将控制位B28(D13)清0，28位频率寄存器用作两个14位寄存器，其中一个包含14个MSB，另一个则包含14个LSB。这样，频率字的14个MSB可单独更新而不影响14个LSB，反之亦然。控制寄存器中的HLB (D12)位确定要更新的具体14位(见表11和表12)。

表11. 将0x3FFF写入FREQ1寄存器的14个LSB

SDATA输入	输入字结果
0000 0000 0000 0000	控制字写入(D15, D14 = 00), B28 (D13) = 0, HLB (D12) = 0, 即LSB
1011 1111 1111 1111	FREQ1寄存器写入(D15, D14 = 10), 14个LSB = 0x3FFF

表12. 将0x00FF写入FREQ0寄存器的14个MSB

SDATA输入	输入字结果
0001 0000 0000 0000	控制字写入(D15, D14 = 00), B28 (D13) = 0, HLB (D12) = 1, 即MSB
0100 0000 1111 1111	FREQ0寄存器写入(D15, D14 = 01), 14个MSB = 0x00FF

写入相位寄存器

写入相位寄存器时，Bit D15和Bit D14设置为11。D13位确定要载入的相位寄存器。

表13. 相位寄存器位

D15	D14	D13	D12	D11至D0
1	1	0	X	PHASE0寄存器的12位
1	1	1	X	PHASE1寄存器的12位

AD9837

复位功能

复位功能可使相应的内部寄存器复位至0，以提供中间电平的模拟输出。复位操作不会使相位、频率或控制寄存器复位。AD9837上电时，器件应复位(见“AD9837上电”部分)。要使AD9837复位，应将RESET位置1。要使器件退出复位，应将该位清0。在RESET位置0后的7或8个MCLK周期，DAC输出端会出现信号。

表14. 应用复位功能

RESET位	结果
0	不应用复位
1	内置寄存器复位

SLEEP功能

可使用休眠功能关断AD9837中不使用的部分，以将功耗降至最低。可关断的芯片部分是内部时钟和DAC。表15列出了休眠功能所需的位设置。

表15. 应用休眠功能

SLEEP1位	SLEEP12位	结果
0	0	不掉电
0	1	DAC关断
1	0	内部时钟禁用
1	1	DAC关断且内部时钟禁用

DAC关断

当AD9837仅用于输出DAC数据的MSB时，不需要DAC。可以利用SLEEP12位关断DAC以降低功耗。

内部时钟禁用

当AD9837的内部时钟被禁用时，DAC输出则仍保持其当前值，因为NCO不再执行累加。当SLEEP1控制位处于有效时，可以向器件写入新的频率、相位和控制字。由于同步时钟(FSYNC)仍然有效，因此也可以使用控制位来更改所选频率和相位寄存器。将SLEEP1 bit清0即可使能MCLK。SLEEP1有效期间对寄存器进行的任何更改都会在经过一定延迟时间后出现在输出端(见“延迟时间”部分)。

VOUT引脚

AD9837可从芯片提供各种输出，所有这些输出均通过VOUT引脚提供。可用输出包括DAC数据的MSB、正弦波输出或三角波输出。

控制寄存器的OPBITEN(D5)位和MODE(D1)位用于决定AD9837提供的输出(见表16)。

表16. VOUT引脚的输出

OPBITEN位	MODE位	DIV2位	VOUT引脚输出
0	0	X	正弦波
0	1	X	三角波
1	0	0	DAC数据MSB/2
1	0	1	DAC数据MSB
1	1	X	保留

DAC数据的MSB

AD9837可以输出DAC数据的MSB。通过将OPBITEN(D5)位置1，便可通过VOUT引脚输出DAC数据的MSB。这作为粗调时钟源很有用。此方波还可以在输出之前进行2分频。控制寄存器的DIV2(D3)位控制VOUT引脚提供的此输出的频率。

正弦波输出

SIN ROM将来自频率和相位寄存器的相位信息转换成幅度信息，从而在输出端产生正弦波信号。要从VOUT引脚获得正弦波输出，应将MODE(D1)位清0并将OPBITEN (D5)位清0。

三角波输出

可以旁路SIN ROM，使得NCO的截断数字输出被发送至DAC。这种情况下，输出不再是正弦波。DAC将产生10位线性三角函数(见图21)。要从VOUT引脚获得三角波输出，应将MODE (D1)位置1并将OPBITEN (D5)位清0。

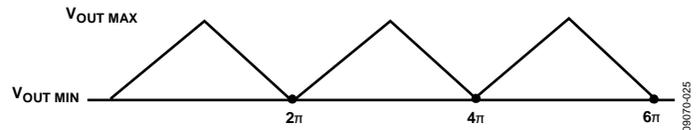


图21. 三角波输出

AD9837上电

图22中的流程图显示AD9837的运行程序。AD9837上电时，器件应复位。这样可使相应的内部寄存器复位至0，以提供中间电平的模拟输出。为了避免AD9837初始化时产生杂散DAC输出，RESET位应置1，直至器件准备好开始产生输出。

复位操作不会使相位、频率或控制寄存器复位。这些寄存器包含无效数据，因此应由用户将其设为已知值。然后，RESET位应置0，以开始产生输出。在RESET位设置为0后的7或8个MCLK周期，DAC输出端会出现数据。

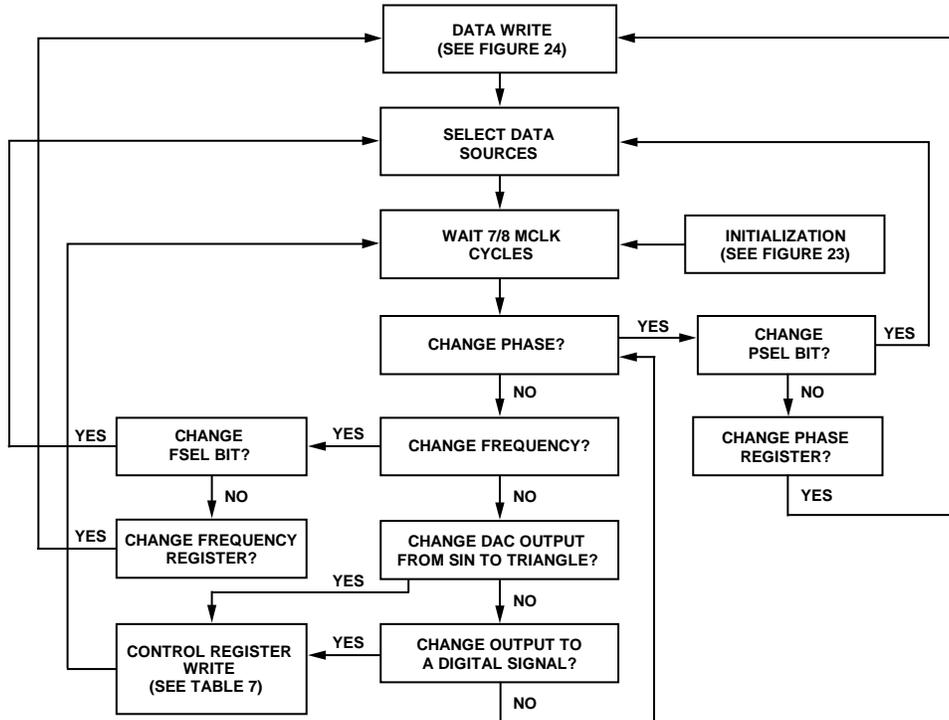


图22. AD9837初始化和工作流程图

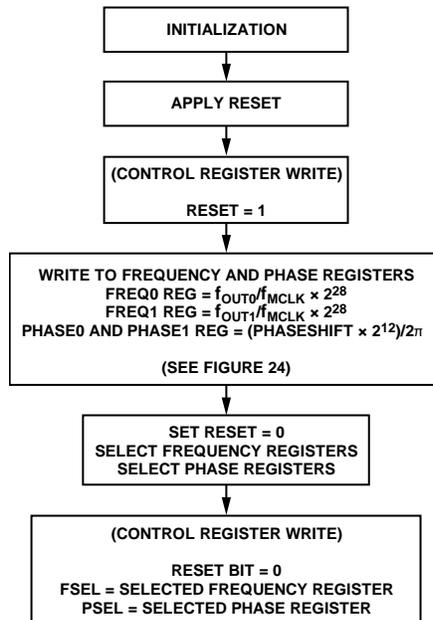


图23. 初始化流程图

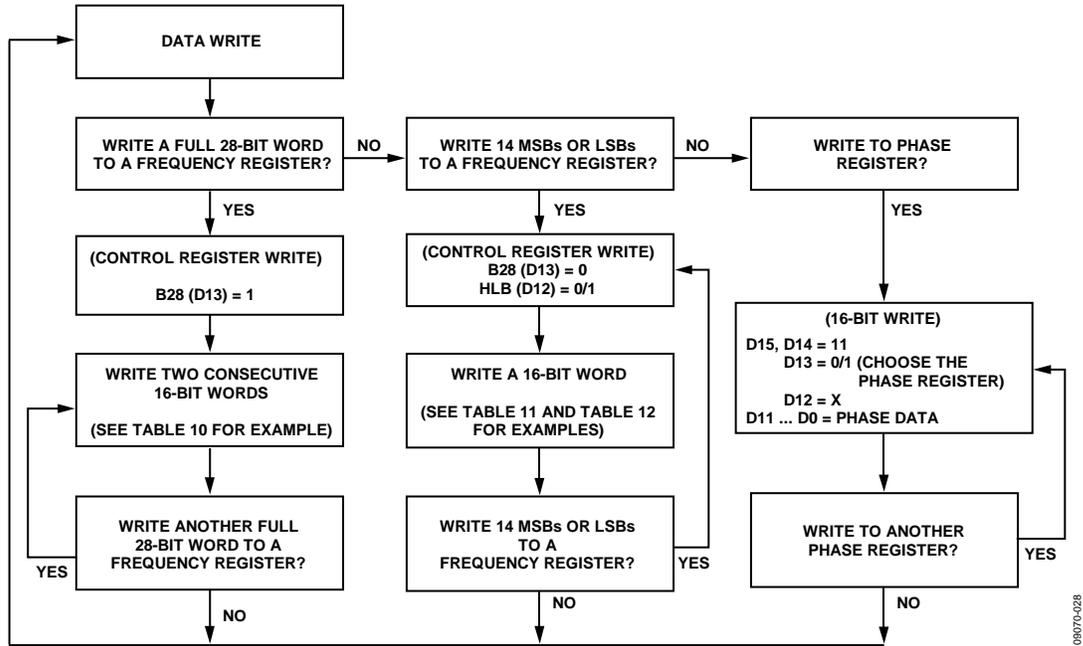


图24. 数据写入流程图

09070428

应用信息

AD9837提供多种输出选项，适合广泛的应用，包括调制应用。AD9837可用于执行简单调制，如频移键控(FSK)。也可以使用AD9837来实现更为复杂的调制方案，如高斯最小频移键控(GMSK)和正交相移键控(QPSK)等。

在FSK应用中，AD9837的两个频率寄存器会载入不同的值。其中一个频率代表空号频率，而另一个则代表传号频率。借助AD9837控制寄存器的FSEL位，用户可以在这两个值之间调制载波频率。

AD9837具有两个相位寄存器，使得该器件可以执行相移键控(PSK)。借助PSK，可以对载波频率进行相位偏移，即将相位改变一定的量，具体大小与输入调制器的位流相关。

AD9837还适合信号发生器应用。由于可通过VOOUT引脚输出DAC数据的MSB，因此该器件可用于产生方波。

由于功耗较低，该器件也适合在应用中用作本振。

接地和布局布线

AD9837所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这样便于使用接地层并让它们易于被分割。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。数字地层和模拟地层应单点连接。如果只有AD9837要求AGND连至DGND，那么接地层应连接到AD9837的AGND和DGND引脚。如果AD9837系统内有多个器件要求AGND连至DGND，仍应坚持单点接地，把接地点放置在尽可能靠近AD9837的一个星型接地点。

应避免在器件下方布设数字线路，因为这些线路会将噪声耦合至芯片。应允许模拟接地层布设在AD9837下方，以避免噪声耦合。AD9837的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板的其它部分辐射噪声。

避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，以减小电路板的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在另一侧。

良好的去耦很重要。AD9837的电源应使用0.1 μ F陶瓷电容与10 μ F钽电容并联进行旁路。为使这些去耦电容发挥其最佳性能，应将其尽可能靠近器件，最好将其紧贴器件。

与微处理器接口

AD9837具有一个标准串行接口，使得该器件可以直接与数个微处理器接口。该器件采用外部串行时钟来向器件中写入数据或控制信息。串行时钟的最大频率为40 MHz。串行时钟可以是连续的，也可以在写操作期间置于高电平或低电平空闲状态。向AD9837写入数据或控制信息时，FSYNC应处于低电平并保持低电平，直到数据的16个位均已写入AD9837为止。FSYNC信号以帧方式传输要载入AD9837的16位信息。

AD9837与68HC11/68L11的接口

图25显示AD9837与68HC11/68L11微控制器之间的串行接口。通过将SPCR中的MSTR位置1，可将微控制器配置为主机。此设置在SCK上提供一个串行时钟；MOSI输出负责驱动串行数据线SDATA。由于微控制器没有专用帧同步引脚，因此FSYNC信号从端口线(PC7)获得。该接口正确工作的设置条件如下：

- SCK在写操作之间处于高电平空闲状态(CPOL = 0)
- 数据在SCK下降沿有效(CPHA = 1)

向AD9837发送数据时，FSYN线(PC7)被拉低。来自68HC11/68L11的串行数据以8位字节进行传送，即在每个发送周期中，仅出现在8个时钟下降沿。数据以MSB优先方式发送。要将数据载入AD9837，PC7应在前8个位传输完成后保持低电平，同时对AD9837执行第二次串行写操作。只有第二批8个位传输完成后，才应将FSYNC再次拉高。

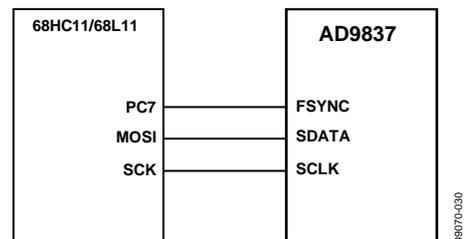


图25. 68HC11/68L11与AD9837的接口

AD9837

AD9837与80C51/80L51的接口

图26显示AD9837与80C51/80L51微控制器之间的串行接口。微控制器在模式0下工作，使得80C51/80L51的TxD驱动AD9837的SCLK，RxD驱动串行数据线SDATA。FSYNC信号从端口上的位可编程引脚(图26中的P3.3)获得。

向AD9837发送数据时，P3.3被拉低。80C51/80L51以8位字节传送数据，每个周期中只有8个SCLK下降沿。要向AD9837中载入剩余的8个位，P3.3应在第一批8个位传输完成后保持低电平，同时启动第二次写操作来传输数据的第二个字节。第二次写操作结束后P3.3被拉高。SCLK应在两次写操作之间处于高电平空闲状态。

80C51/80L51以LSB优先格式输出串行数据。AD9837首先接收MSB(写入目标寄存器时，4个MSB为控制信息，接下来的4个位为地址，而8个LSB则包含数据)。因此，80C51/80L51的发送程序必须考虑到这点并重新排列位顺序，使得首先输出MSB。

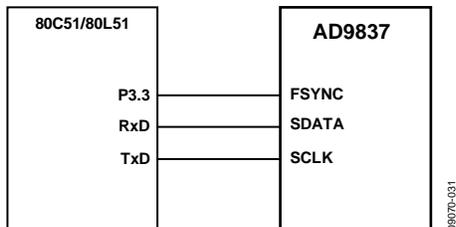


图26. 80C51/80L51与AD9837的接口

AD9837与DSP56002的接口

图27显示AD9837与DSP56002之间的接口。DSP56002配置为正常异步工作模式，并采用内部选通时钟(SYN = 0, GCK = 1, SCKD = 1)。帧同步引脚在内部产生(SC2 = 1)，传输为16位宽(WL1 = 1, WL0 = 0)，且帧同步信号以帧方式传输16位信息(FSL = 0)。帧同步信息通过SC2引脚提供，在施加于AD9837之前必须进行反转。与DSP56000/DSP56001的接口类似于与DSP56002的接口。

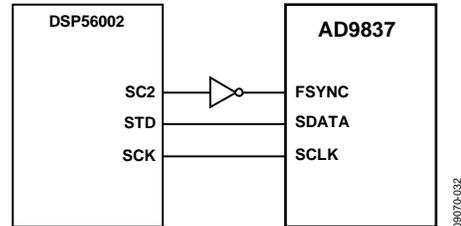


图27. DSP56002与AD9837的接口

评估板

利用AD9837评估板，设计人员可以毫不费力地评估高性能AD9837 DDS调制器。

系统演示平台

系统演示平台(SDP)是用于与产品评估板搭配使用的硬件和软件评估工具。SDP板基于Blackfin®ADSP-BF527处理器制成，通过一个USB 2.0高速端口与PC相连。欲了解更多信息，请参见SDP板产品页面。

注意，SDP板与AD9837评估板分开出售。

AD9837与SPORT接口

ADI公司的SDP板配有SPORT串行端口，可用于控制AD9837的串行输入。连接如图28所示。

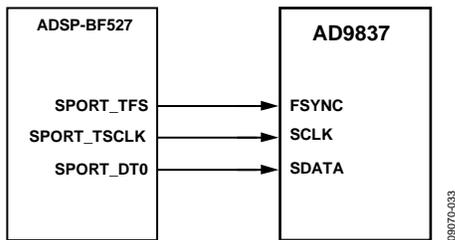


图28. SDP与AD9837的接口

评估套件

DDS评估套件包括一片搭载相关元件并经过测试的AD9837印刷电路板(PCB)。评估板原理图见图30和图31。

借助评估套件中提供的软件，用户可以轻松对AD9837进行编程(见图29)。评估软件可在任何装有Microsoft® Windows® 软件(包括Windows 7)且兼容IBM的PC上运行。该软件兼容32位和64位操作系统。

有关评估软件的更多信息，请参阅软件光盘和AD9837产品页面。



图29. AD9837评估软件界面

晶振与外部时钟

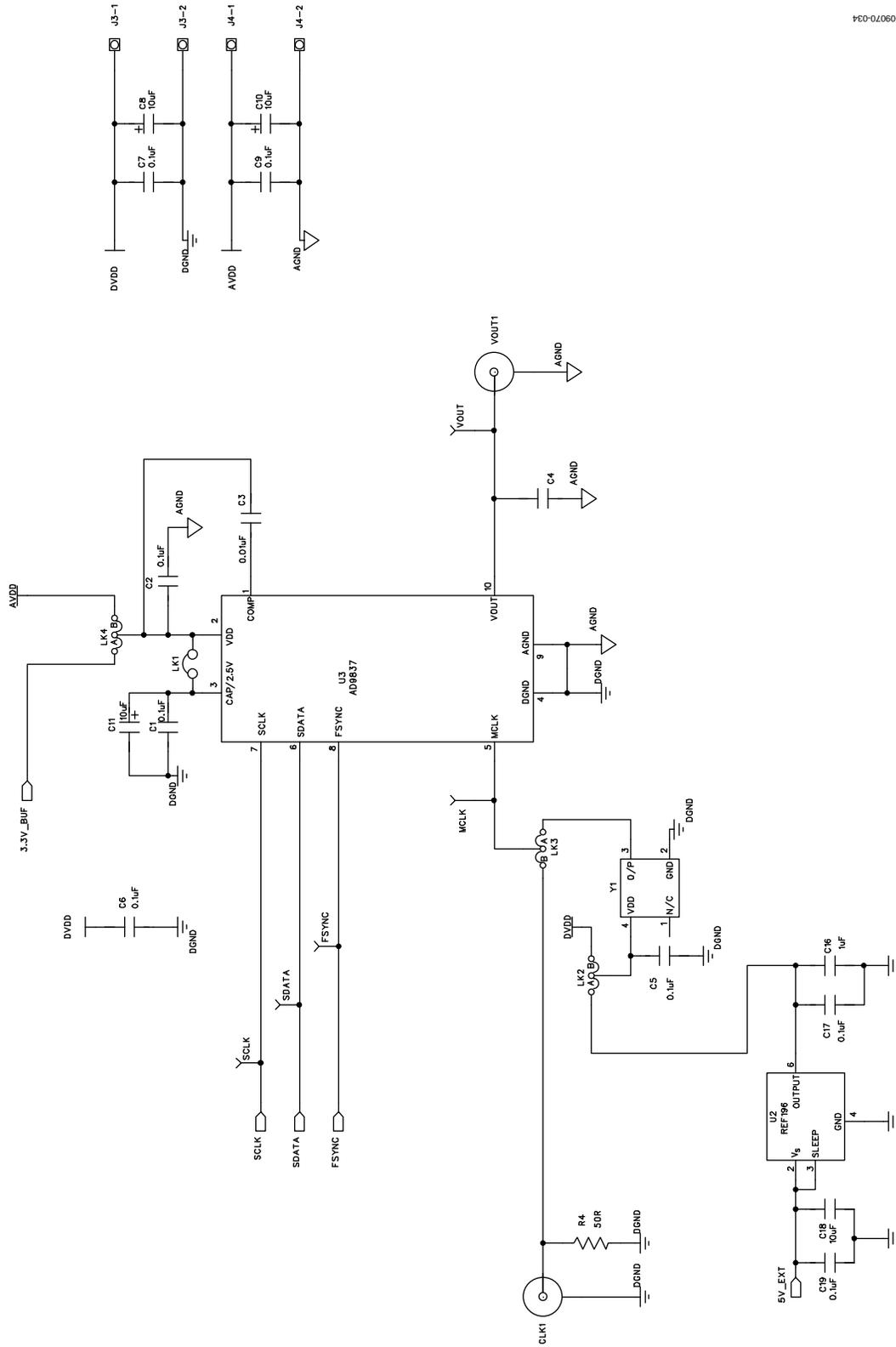
AD9837可采用最高16 MHz的主时钟工作。评估板上含有一个16 MHz振荡器。用户可以移除此振荡器；如果需要，可以将一个外部CMOS时钟连接到该器件。通用振荡器选项包括以下几个：

- AEL 301系列振荡器，AEL Crystals
- SG-310SCN振荡器，Epson Electronics

电源

可从USB连接器或通过外部引脚连接给AD9837评估板供电。供电的电源线和接地线应双绞在一起，以减少接地环路。

评估板原理图



9070-034

图30. 评估板原理图

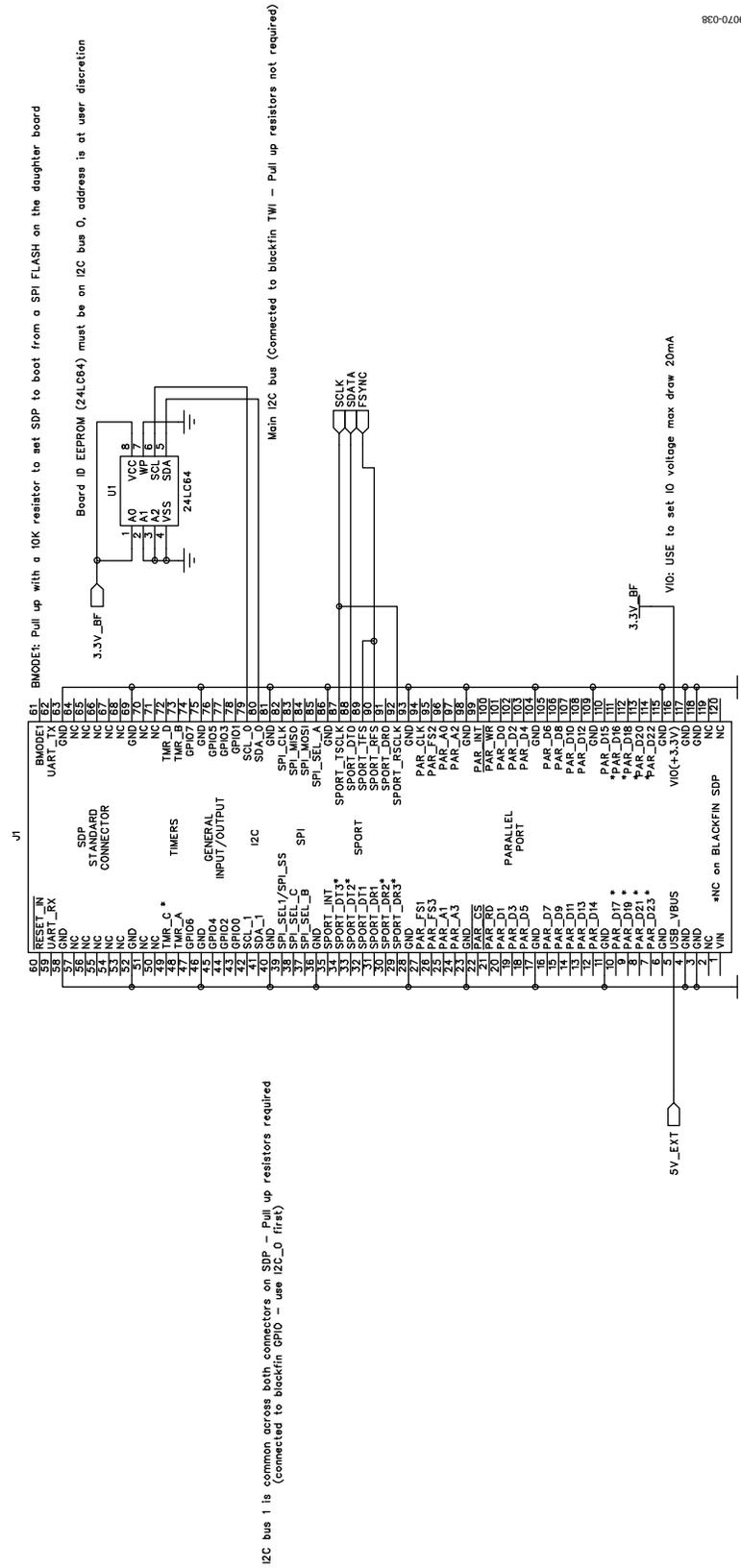
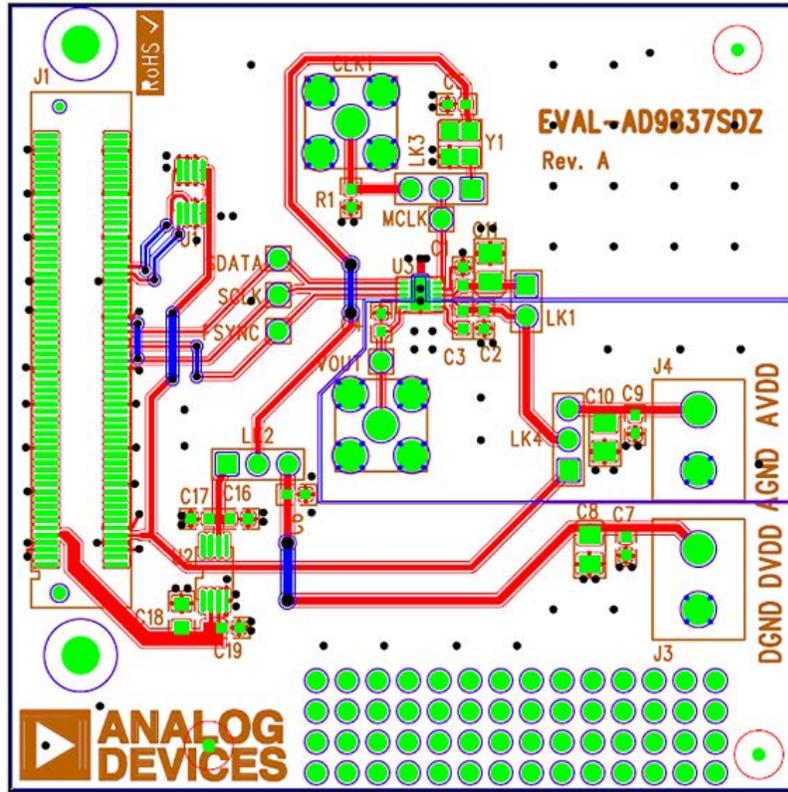


图31. SDP连接器原理图

AD9837

评估板布局



EVAL-AD9837SDZ (Rev. A) - Component Side View
Layer 1 - Component Side
Layer 2 - Solder Side
Silkscreen

图32. 评估板布局布线

09070-039

外形尺寸

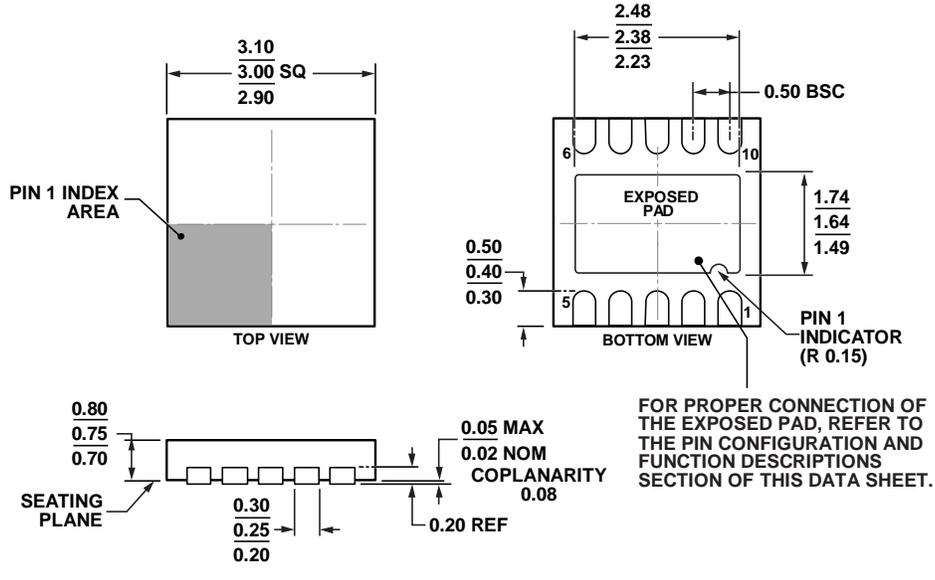


图33. 10引脚引脚架构芯片级封装[LFCSP_WD]
 3 mm x 3 mm, 超薄体, 双排引脚
 (CP-10-9)
 图示尺寸单位: mm

02-27-2012-B

订购指南

型号 ^{1,2}	温度范围	最大MCLK	封装描述	封装选项	标识
AD9837BCPZ-RL	-40°C至+125°C	16 MHz	10引脚引脚架构芯片级封装[LFCSP_WD]	CP-10-9	DGH
AD9837BCPZ-RL7	-40°C至+125°C	16 MHz	10引脚引脚架构芯片级封装[LFCSP_WD]	CP-10-9	DGH
AD9837ACPZ-RL	-40°C至+125°C	5 MHz	10引脚引脚架构芯片级封装[LFCSP_WD]	CP-10-9	DGG
AD9837ACPZ-RL7	-40°C至+125°C	5 MHz	10引脚引脚架构芯片级封装[LFCSP_WD]	CP-10-9	DGG
EVAL-AD9837SDZ			评估板		

¹ Z = 符合RoHS标准的器件。

² AD9837的评估板需要系统演示平台(SDP)板, 该板需要另外购买。

AD9837

注释

注释

AD9837

注释