



AK4612

6/8-Channel Audio CODEC

概 要

AK4612は6ch ADCと8ch DACを内蔵する24bit CODECです。ADCにはエンハンスド・デュアルビット方式を採用、DACにはアドバンスド・マルチビット方式を採用しています。AK4612はシングルエンド入力、差動入力の両方に対応しており、ホームシアターシステムやカーオーディオサラウンドシステムなど幅広いアプリケーションに適用できます。80ピンLQFPパッケージに実装され、基板スペースを削減します。

特 長

1. 6ch 24bit ADC
 - 128倍オーバーサンプリング
 - 直線位相デジタルフィルタ内蔵
 - シングルエンド入力／差動入力対応
 - シングルエンド入力時、差動入力時アンチエイリアシングフィルタ内蔵
 - ADC S/(N+D)
 - 92dB: シングルエンド入力時
 - 97dB: 差動入力時
 - ADC DR, S/N
 - 103dB: シングルエンド入力時
 - 104dB: 差動入力時
 - オフセットキャンセル用デジタルHPF
 - I/Fフォーマット: 前詰め, I²S, TDM
 - オーバフローフラグ
2. 8ch 24bit DAC
 - 128倍オーバーサンプリング
 - 24ビット8倍デジタルフィルタ
 - シングルエンド出力／差動出力対応
 - シングルエンド出力時スムージングフィルタ内蔵
 - DAC S/(N+D)
 - 94dB: シングルエンド出力時
 - 100dB: 差動出力時
 - DAC DR, S/N
 - 105dB: シングルエンド出力時
 - 108dB: 差動出力時
 - チャネル独立デジタルボリューム内蔵 (256レベル, 0.5dBステップ)
 - ソフトミュート
 - ディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz対応)
 - I/Fフォーマット: 前詰め, 後詰め(16bit, 20bit, 24bit), I²S, TDM
 - ゼロ検出機能
3. サンプリング周波数
 - Normal Speed Mode: 32kHz to 48kHz
 - Double Speed Mode: 64kHz to 96kHz
 - Quad Speed Mode: 128kHz to 192kHz
4. マスタ / スレーブモード

- 5. マスタクロック
 - スレーブモード: 256fs, 384fs or 512fs (Normal Speed Mode: fs=32kHz ~ 48kHz)
256fs (Double Speed Mode: fs=64kHz ~ 96kHz)
128fs (Quad Speed Mode: fs=128kHz ~ 192kHz)
 - マスタモード: 256fs or 512fs (Normal Speed Mode: fs=32kHz ~ 48kHz)
256fs (Double Speed Mode: fs=64kHz ~ 96kHz)
128fs (Quad Speed Mode: fs=128kHz ~ 192kHz)
- 6. μ Pインタフェース: 4線シリアル/I²Cバス (Ver 1.0, 400kHzモード)
- 7. 電源電圧
 - アナログ電源: AVDD1, AVDD2 = 3.0 ~ 3.6V
 - デジタル電源: DVDD = 1.6 ~ 2.0V
 - 入出力バッファ電源: TVDD1, TVDD2 = 1.6 ~ 3.6V
- 8. 消費電流: 98mA (fs=48kHz)
- 9. Ta = -20 ~ 85°C (AK4612EQ), - 40 ~ 105°C (AK4612VQ)
- 10. パッケージ: 80ピンLQFP(0.5mm pitch)

■ ブロック図

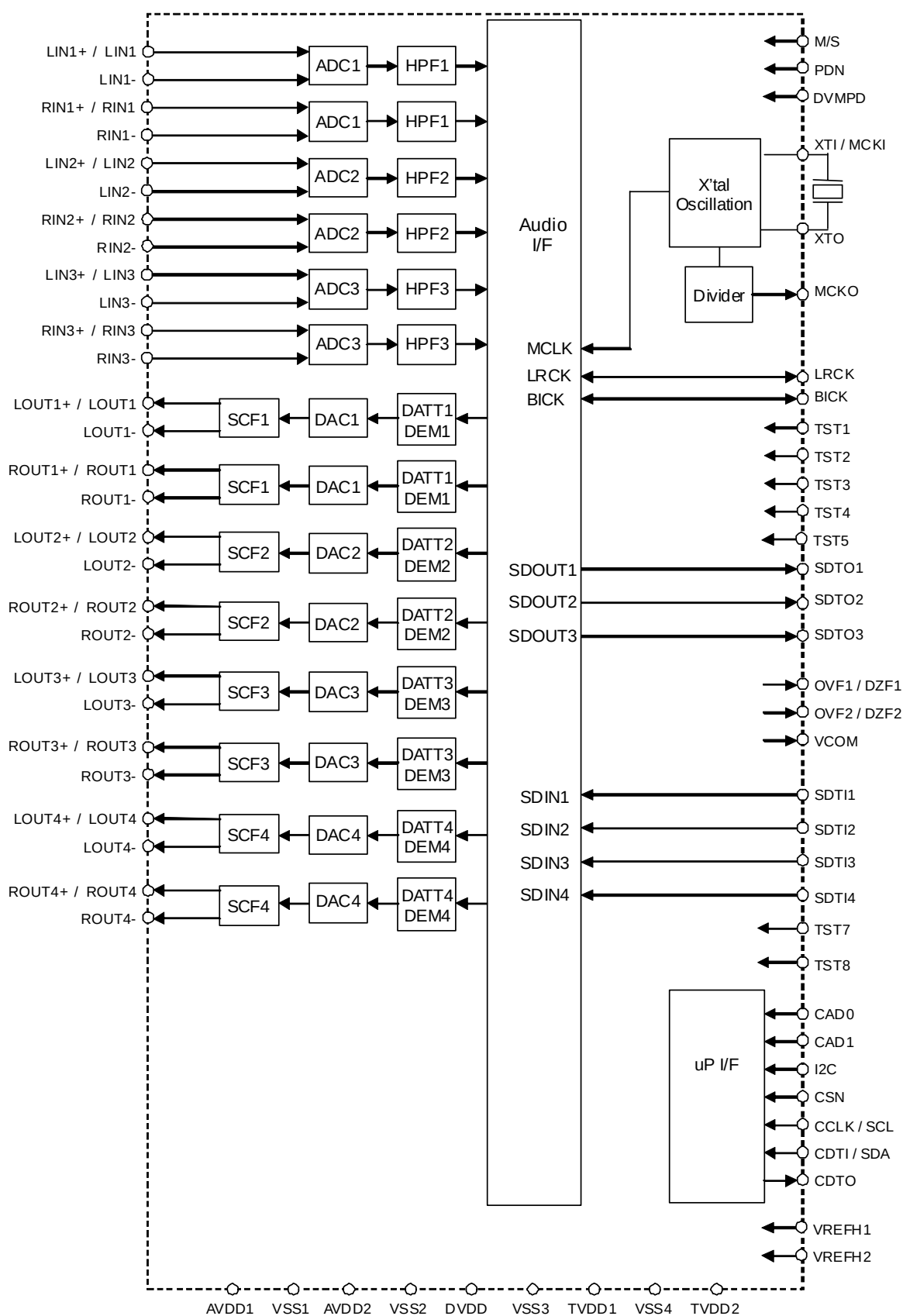


Figure 1. ブロック図

■ オーダリングガイド

AK4612EQ	-20 ~ +85°C	80pin LQFP(0.5mm pitch)
AK4612VQ	-40 ~ +105°C	80pin LQFP(0.5mm pitch)
AKD4612	Evaluation Board for AK4612	

■ ピン配置

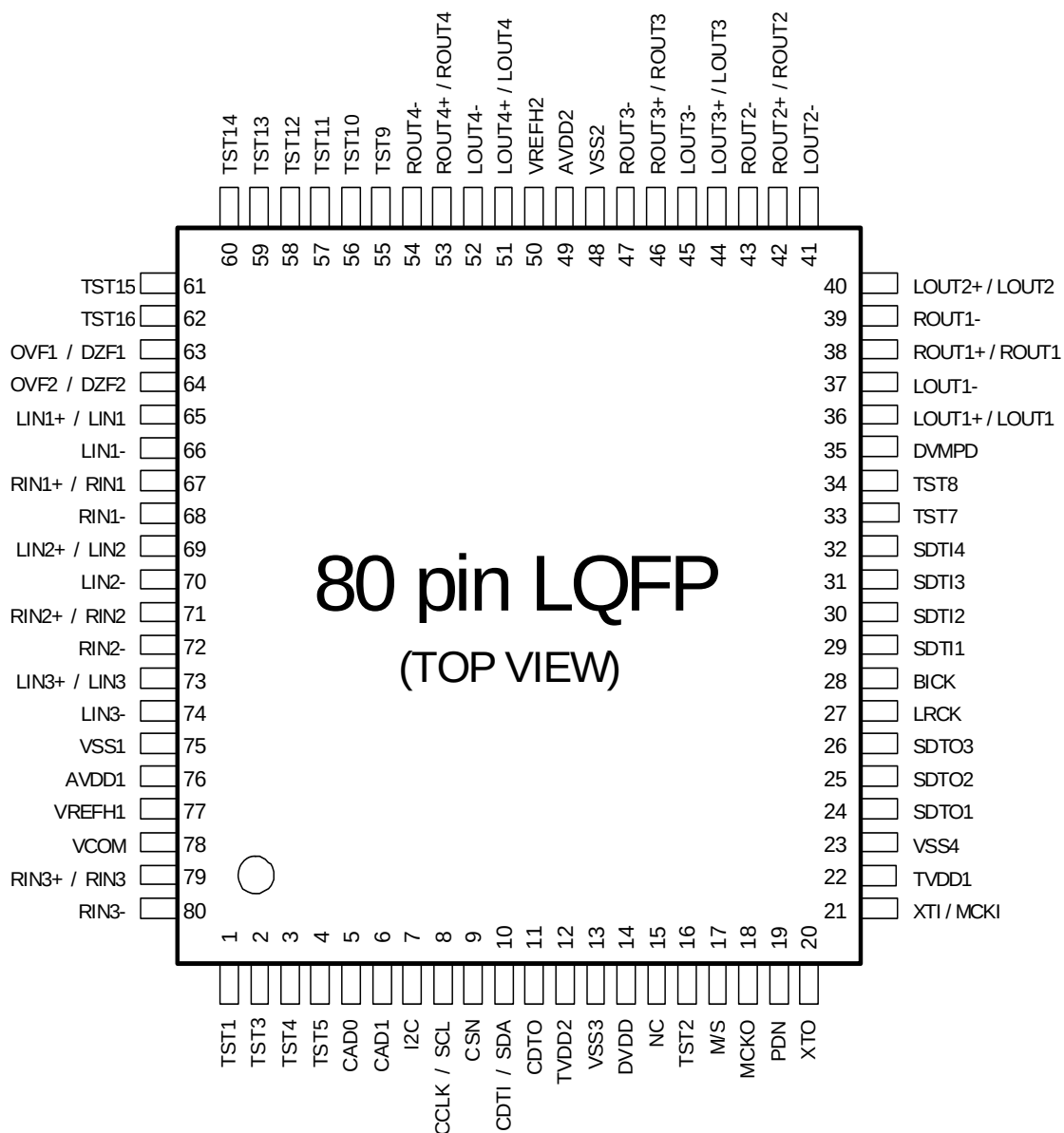


Figure 2. ピン配置

■ AK4628との互換性

1. 機能

Function	AK4628	AK4612
Number of ADC channel	2-channel	6-channel
Number of DAC channel	8-channel	8-channel
Input	Single	Single or Diff
Output	Single	Single or Diff
I/F Format	I2S, LJ, RJ(20/24bit), TDM	I2S, LJ, RJ(16/20/24bit), TDM
TDM512	No	Fs=48kHz
XTAL OSC	No	Yes
Parallel / Serial Select Pin	Yes	No
Control Data Output Pin	No	Yes
Ta	-40 ~ +85°C	-40 ~ +105°C
Package	44pinLQFP	80pinLQFP

2. 電源電圧

Voltage Name	AK4628	AK4612
AVDD	4.5 ~ 5.5V	No
AVDD1	No	3.0 ~ 3.6V
AVDD2	No	3.0 ~ 3.6V
DVDD	4.5 ~ 5.5V	1.6 ~ 2.0V
TVDD	2.7 ~ 5.5V	No
TVDD1	No	1.6 ~ 3.6V
TVDD2	No	1.6 ~ 3.6V

3. 特性

Parameter	AK4628	AK4612
Fs (AD/DA)	96k / 192k	192k / 192k
THD+N (AD/DA)	Single: 92 / 90 Differential : - / -	Single: 92 / 94 Differential : 97 / 100
S/N (AD/DA)	Single: 102 / 106 Differential : - / -	Single: 103 / 105 Differential: 104 / 108
Output DATT	128 level	256 level
μP I/F	100k I2C, 3wire	400k I2C, 4wire

ピン／機能

No.	Pin Name	I/O	Function
1	TST1	I	Test Pin This pin must be connected to VSS4.
2	TST3	I	Test Pin This pin must be connected to VSS4.
3	TST4	I	Test Pin This pin must be connected to TVDD2.
4	TST5	I	Test Pin This pin must be connected to VSS4.
5	CAD0	I	Chip Address 0 Pin
6	CAD1	I	Chip Address 1 Pin
7	I2C	I	μP I/F Mode Select Pin “L”: 4-wire Serial, “H”: I ² C Bus
8	CCLK	I	Control Data Clock Pin in serial control mode I2C = “L”: CCLK (4-wire Serial)
	SCL	I	Control Data Clock Pin in serial control mode I2C = “H”: SCL (I ² C Bus)
9	CSN	I	Chip Select Pin in 4-wire serial control mode This pin must be connected to TVDD2 at I ² C bus control mode
10	CDTI	I	Control Data Input Pin in serial control mode I2C = “L”: CDTI (4-wire Serial)
	SDA	I/O	Control Data Input Pin in serial control mode I2C = “H”: SDA (I ² C Bus)
11	CDTO	O	Control Data Output Pin in 4-wire serial control mode
12	TVDD2	-	Input / Output Buffer Power Supply 1 Pin, 1.6V~3.6V
13	VSS3		Ground Pin, 0V
14	DVDD	-	Digital Power Supply Pin, 1.6V~2.0V
15	NC	-	No Connection. No internal bonding. This pin must be connected to the ground.
16	TST2	I	Test Pin This pin must be connected to VSS4.
17	M/S	I	Master Mode Select Pin “L”: Slave Mode “H”: Master Mode
18	MCKO	O	Master Clock Output Pin
19	PDN	I	Power-Down & Reset Pin When “L”, the AK4612 is powered-down and the control registers are reset to default state. If the state of CAD1-0 changes, then the AK4612 must be reset by PDN.
20	XTO	O	X'tal Output Pin
21	XTI	I	X'tal Input Pin
	MCKI	I	External Master Clock Input Pin
22	TVDD1	-	Input / Output Buffer Power Supply 1 Pin, 1.6V~3.6V
23	VSS4	-	Digital Ground Pin, 0V
24	SDTO1	O	Audio Serial Data Output 1 Pin
25	SDTO2	O	Audio Serial Data Output 2 Pin
26	SDTO3	O	Audio Serial Data Output 3 Pin
27	LRCK	I/O	Input /Output Channel Clock Pin
28	BICK	I/O	Audio Serial Data Clock Pin
29	SDTI1	I	Audio Serial Data Input 1 Pin
30	SDTI2	I	Audio Serial Data Input 2 Pin
31	SDTI3	I	Audio Serial Data Input 3 Pin
32	SDTI4	I	Audio Serial Data Input 4 Pin
33	TST7	I	Test Pin This pin must be connected to VSS4.
34	TST8	I	Test Pin This pin must be connected to VSS4.

No.	Pin Name	I/O	Function
35	DVMPD	I	DAC output VCOM voltage power down pin “L”: DAC outputs are VCOM voltage “H”: DAC outputs are Hi-Z.
36	LOUT1+	O	Lch Analog Positive Output 1 Pin (DOE1 bit = “H”)
	LOUT1	O	Lch Analog Output 1 Pin (DOE1 bit = “L”)
37	LOUT1-	O	Lch Analog Negative Output 1 Pin (When DOE1 bit = “L”, this pin must be open.)
38	ROUT1+	O	Rch Analog Positive Output 1 Pin (DOE1 bit = “H”)
	ROUT1	O	Rch Analog Output 1 Pin (DOE1 bit = “L”)
39	ROUT1-	O	Rch Analog Negative Output 1 Pin (When DOE1 bit = “L”, this pin must be open.)
40	LOUT2+	O	Lch Analog Positive Output 2 Pin (DOE2 bit = “H”)
	LOUT2	O	Lch Analog Output 2 Pin (DOE2 bit = “L”)
41	LOUT2-	O	Lch Analog Negative Output 2 Pin (When DOE2 bit = “L”, this pin must be open.)
42	ROUT2+	O	Rch Analog Positive Output 2 Pin (DOE2 bit = “H”)
	ROUT2	O	Rch Analog Output 2 Pin (DOE2 bit = “L”)
43	ROUT2-	O	Rch Analog Negative Output 2 Pin (When DOE2 bit = “L”, this pin must be open.)
44	LOUT3+	O	Lch Analog Positive Output 3 Pin (DOE3 bit = “H”)
	LOUT3	O	Lch Analog Output 3 Pin (DOE3 bit = “L”)
45	LOUT3-	O	Lch Analog Negative Output 3 Pin (When DOE3 bit = “L”, this pin must be open.)
46	ROUT3+	O	Rch Analog Positive Output 3 Pin (DOE3 bit = “H”)
	ROUT3	O	Rch Analog Output 3 Pin (DOE3 bit = “L”)
47	ROUT3-	O	Rch Analog Negative Output 3 Pin (When DOE3 bit = “L”, this pin must be open.)
48	VSS2	-	Ground Pin, 0V
49	AVDD2	-	Analog Power Supply Pin, 3.0V~3.6V
50	VREFH2	I	Positive Voltage Reference Input Pin, AVDD2
51	LOUT4+	O	Lch Analog Positive Output 4 Pin (DOE4 bit = “H”)
	LOUT4	O	Lch Analog Output 4 Pin (DOE4 bit = “L”)
52	LOUT4-	O	Lch Analog Negative Output 4 Pin (When DOE4 bit = “L”, this pin must be open.)
53	ROUT4+	O	Rch Analog Positive Output 4 Pin (DOE4 bit = “H”)
	ROUT4	O	Rch Analog Output 4 Pin (DOE4 bit = “L”)
54	ROUT4-	O	Rch Analog Negative Output 4 Pin (When DOE4 bit = “L”, this pin must be open.)
55	TST9	O	Test Pin This pin must be open.
56	TST10	O	Test Pin This pin must be open.
57	TST11	O	Test Pin This pin must be open.
58	TST12	O	Test Pin This pin must be open.
59	TST13	O	Test Pin This pin must be open.
60	TST14	O	Test Pin This pin must be open.
61	TST15	O	Test Pin This pin must be open.
62	TST16	O	Test Pin This pin must be open.
63	OVF1	O	Analog Input Overflow Detect 1 Pin (Note 1) This pin goes to “H” if the analog input of Lch or Rch overflows.
	DZF1	O	Zero Input Detect 1 Pin (Note 2) When the input data of the group 1 follow total 8192 LRCK cycles with “0” input data, this pin goes to “H”. And when RSTN bit is “0”, PMDAC bit is “0”, this pin goes to “H”.
64	OVF2	O	Analog Input Overflow Detect 2 Pin (Note 1) This pin goes to “H” if the analog input of Lch or Rch overflows.
	DZF2	O	Zero Input Detect 2 Pin (Note 2) When the input data of the group 2 follow total 8192 LRCK cycles with “0” input data, this pin goes to “H”. And when RSTN bit is “0”, PMDAC bit is “0”, this pin goes to “H”.

No.	Pin Name	I/O	Function
65	LIN1+	I	Lch Analog Positive Input 1 Pin (DIE1 bit = "H")
	LIN1	I	Lch Analog Input 1 Pin (DIE1 bit = "L")
66	LIN1-	-	Lch Analog Negative Input 1 Pin (When DIE1 bit = "L", this pin must be open.) (Note 3)
67	RIN1+	I	Rch Analog Positive Input 1 Pin (DIE1 bit = "H")
	RIN1	I	Rch Analog Input 1 Pin (DIE1 bit = "L")
68	RIN1-	-	Rch Analog Negative Input 1 Pin (When DIE1 bit = "L", this pin must be open.) (Note 3)
69	LIN2+	I	Lch Analog Positive Input 2 Pin (DIE2 bit = "H")
	LIN2	I	Lch Analog Input 2 Pin (DIE2 bit = "L")
70	LIN2-	-	Lch Analog Negative Input 2 Pin (When DIE2 bit = "L", this pin must be open.) (Note 3)
71	RIN2+	I	Rch Analog Positive Input 2 Pin (DIE2 bit = "H")
	RIN2	I	Rch Analog Input 2 Pin (DIE2 bit = "L")
72	RIN2-	-	Rch Analog Negative Input 2 Pin (When DIE2 bit = "L", this pin must be open.) (Note 3)
73	LIN3+	I	Lch Analog Positive Input 3 Pin (DIE3 bit = "H")
	LIN3	I	Lch Analog Input 3 Pin (DIE3 bit = "L")
74	LIN3-	-	Lch Analog Negative Input 3 Pin (When DIE3 bit = "L", this pin must be open.) (Note 3)
75	VSS1	-	Ground Pin, 0V
76	AVDD1	-	Analog Power Supply Pin, 3.0V~3.6V
77	VREFH1	I	Positive Voltage Reference Input Pin, AVDD1
78	VCOM	O	Common Voltage Output Pin, AVDD1x1/2 Large external capacitor around 2.2μF is used to reduce power-supply noise.
79	RIN3+	I	Rch Analog Positive Input 3 Pin (DIE3 bit = "H")
	RIN3	I	Rch Analog Input 3 Pin (DIE3 bit = "L")
80	RIN3-	-	Rch Analog Negative Input 3 Pin (When DIE3 bit = "L", this pin must be open.) (Note 3)

Note 1. このピンはOVFE bit を“1”に設定すると、OVF pinになります。

Note 2. このピンはOVFE bit を“0”に設定すると、DZF pinになります。

Note 3. このピンは差動入力時には-入力端子として動作し、Single-End入力時には+端子へ入力した信号の反転出力として動作するのでSingle-End入力時はOpenにしてください。

Note 4. 全てのデジタル入力ピンはフローティングにしないで下さい。

絶対最大定格

(VSS1=VSS2=VSS3=VSS4 =0V; [Note 5](#))

Parameter		Symbol	min	max	Units
Power Supplies	Analog	AVDD1,2	-0.3	4.2	V
	Digital	DVDD	-0.3	2.2	V
	Output buffer	TVDD1,2	-0.3	4.2	V
Input Current (any pins except for supplies)		IIN	-	±10	mA
Analog Input Voltage		VINA	-0.3	AVDD1,2+0.3	V
Digital Input Voltage (TST2,M/S,PDN,XTI/MCK1,LRCK,BICK, SDTI1,SDTI2,SDTI3,SDTI4,SDTI5,SDTI6, DVMPD pins)		VIND1	-0.3	TVDD1+0.3	V
(TST1,TST3,TST4,TST5,CAD0,CAD1,I2C, CCLK/SCL,CSN,CDTI/SDA pins)		VIND2	-0.3	TVDD2+0.3	V
Ambient Temperature (power applied)	AK4612EQ	Ta	-20	85	°C
	AK4612VQ	Ta	-40	105	°C
Storage Temperature		Tstg	-65	150	°C

Note 5. 電圧はすべてグラウンドに対する値です。VSS1,VSS2,VSS3,VSS4 はアナロググラウンドに接続して下さい。AVDD1,AVDD2は同じ電源に接続してください。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(VSS1=VSS2=VSS3=VSS4 =0V; [Note 5](#))

Parameter		Symbol	min	typ	max	Units
Power Supplies (Note 6)	Analog	AVDD1,2	3.0	3.3	3.6	V
	Digital	DVDD	1.6	1.8	2.0	V
	I/O buffer 1 (Stereo Mode & Normal Speed Mode)	TVDD1	DVDD	3.3	3.6	V
	I/O buffer 1 (Except Stereo Mode & Normal Speed Mode)	TVDD1	3.0	3.3	3.6	V
	I/O buffer 2	TVDD2	DVDD	3.3	3.6	V

Note 6. AVDD1, AVDD2, DVDD, TVDD1, TVDD2の立ち上げシーケンスを考える必要はありません。各電源はPDN pin = “L” の状態で立ち上げ、全ての電源が立ち上がった後、PDN pin = “H” としてください。また、AK4612では全ての電源をONしてください。一部の電源のみOFFすることはできません。（電源OFFとは電源をグラウンドと同電位にするか、あるいはフローティングにすることです。）I2Cバスと接続して使う場合、周辺デバイスが電源ONの状態ではAK4612のみをOFFにしないでください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(Ta=25°C; AVDD1=AVDD2=TVDD1=TVDD2=3.3V, DVDD=1.8V; VSS1=VSS2=VSS3=VSS4=0V;
VREFH1=AVDD1, VREFH2=AVDD2; fs=48kHz; BICK=64fs; Signal Frequency=1kHz; 24bit Data; Measurement
Frequency=20Hz~20kHz at 48kHz, 20Hz~40kHz at fs=96kHz, 20Hz~40kHz at fs=192kHz; unless otherwise specified)

Parameter			min	typ	max	Units
ADC Analog Input Characteristics (single inputs)						
Resolution					24	Bits
S/(N+D)	fs=48kHz BW=20kHz	-1dBFS	84	92		dB
		-60dBFS		40		
	fs=96kHz BW=40kHz	-1dBFS	83	91		dB
		-60dBFS		37		
	fs=192kHz BW=40kHz	-1dBFS		91		
		-60dBFS		37		
DR (-60dBFS with A-weighted)			95	103		dB
S/N (A-weighted)			95	103		dB
Interchannel Isolation			90	110		dB
Interchannel Gain Mismatch				0.1	0.5	dB
Gain Drift				40	-	ppm/°C
Input Voltage	AIN=0.65xVREFH1		1.94	2.15	2.37	Vpp
Input Resistance			7	9		kΩ
Power Supply Rejection (Note 7)				50		dB
ADC Analog Input Characteristics (differential inputs)						
S/(N+D)	fs=48kHz BW=20kHz	-1dBFS	88	97		dB
		-60dBFS		40		dB
	fs=96kHz BW=40kHz	-1dBFS	86	94		
		-60dBFS		37		
	fs=192kHz BW=40kHz	-1dBFS		94		
		-60dBFS		37		
DR (-60dBFS with A-weighted)			96	104		dB
S/N (A-weighted)			96	104		dB
Interchannel Isolation			90	110		dB
Interchannel Gain Mismatch				0.1	0.5	dB
Gain Drift				40	-	ppm/°C
Input Voltage	AIN=0.65xVREFH1 (Note 8)		±1.94	±2.15	±2.37	Vpp
Input Resistance			11	13		kΩ
Power Supply Rejection (Note 7)				50		dB
Common Mode Rejection Ratio (CMRR) (Note 9)			74			dB
DAC Analog Output Characteristics (single outputs)						
Resolution					24	Bits
S/(N+D)	fs=48kHz BW=20kHz	0dBFS	84	94		dB
		-60dBFS		44		
	fs=96kHz BW=40kHz	0dBFS	82	92		
		-60dBFS		41		
	fs=192kHz BW=40kHz	0dBFS		92		
		-60dBFS		41		
DR (-60dBFS with A-weighted)			97	105		dB
S/N (A-weighted)			97	105		dB
Interchannel Isolation			90	110		dB
Interchannel Gain Mismatch				0.1	0.5	dB
Gain Drift				20	-	ppm/°C
Output Voltage	AOUT=0.63xVREFH2		1.87	2.08	2.29	Vpp
Load Resistance (AC負荷)			5			kΩ
Load Capacitance					30	pF
Power Supply Rejection (Note 7)				50		dB

DAC Analog Output Characteristics (differential outputs)						
S/(N+D)	fs=48kHz BW=20kHz	0dBFS	90	100		dB
		-60dBFS		45		
	fs=96kHz BW=40kHz	0dBFS	88	98		
		-60dBFS		42		
	fs=192kHz BW=40kHz	0dBFS		98		
		-60dBFS		42		
DR (-60dBFS with A-weighted)			100	108		dB
S/N (A-weighted)			100	108		dB
Interchannel Isolation			90	110		dB
Interchannel Gain Mismatch				0	0.5	dB
Gain Drift				20	-	ppm/°C
Output Voltage	AOUT=0.63xVREFH2 (Note 8)		±1.87	±2.15	±2.29	Vpp
Load Resistance (Note 10)			2			kΩ
Load Capacitance (Note 11)					30	pF
Power Supply Rejection (Note 7)				50		dB

Note 7. VREFH1, VREFH2を+3.3Vに固定して、AVDD1, AVDD2, DVDD, TVDD1, TVDD2に1kHz, 50mVppの正弦波を重畳した場合。

Note 8. (LIN+) – (LIN-) 及び(RIN+) – (RIN-)の値です。VREFH1, VREFH2の電圧に比例します。

Note 9. VREFH1, VREFH2を+3.3Vに固定して、LIN+(RIN+)とLIN-(RIN-)に同相でAVDD1, 2x1/2中心0.96Vpp, 1kHzの正弦波を入力した場合。CMRRの測定は0dB=-7dBFS(0.96Vpp=-7dBFS)としたときの減衰レベルを測定します。

Note 10. AC負荷に対して。DC負荷の場合は5kΩ。

Note 11. 出力ピン対GNDのLoad Capacitanceを規定しています。差動信号間は容量的負荷が2倍となるので差動間の容量負荷は2倍として考える必要があります。

Parameter		min	typ	max	Units
Power Supplies					
Power Supply Current					
Normal Operation (PDN pin = “H”)					
AVDD1+AVDD2	fs=48kHz, 96kHz, 192kHz		76.0	125.0	mA
DVDD	fs=48kHz		16.0	24.0	mA
	fs=96kHz		22.0	35.0	mA
	fs=192kHz		35.0	55.0	mA
	TVDD1+TVDD2	fs=48kHz	6.0	8.0	mA
	fs=96kHz		7.0	9.5	mA
	fs=192kHz		7.0	9.5	mA
Power-down mode					
(PDN pin = “L”, DVMPD = “ L”) (Note 12)					
AVDD1+AVDD2+DVDD+TVDD1+TVDD2			200	550	μA
(PDN pin = “L”, DVMPD = “ H”) (Note 12)					
AVDD1+AVDD2+DVDD+TVDD1+TVDD2			10	200	μA

Note 12. 静止時。クロックを含む全てのデジタル入力ピンをVSS3 (TST1, TST3, TST4, TST5, CAD0, CAD1, I2C, CSN, CCLK, CDTI pins), VSS4 (TST2, M/S, MCKI, LRCK, BICK, SDTI1, SDTI2, SDTI3, SDTI4, SDTI5, SDTI6)に固定した場合の値です。

フィルタ特性(fs=48kHz)

(Ta= Tmin ~ Tmax; AVDD1=AVDD2=3.0~ 3.6V, DVDD=1.6~ 2.0V, TVDD1=TVDD2=1.6~ 3.6V; DEM=OFF)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 13)	±0.1dB	PB	0	-	18.9	kHz
	-0.2dB		-	20.0	-	kHz
	-3.0dB		-	23.0	-	kHz
Stopband (Note 13)		SB	28	-	-	kHz
Passband Ripple		PR	-	-	±0.1	dB
Stopband Attenuation		SA	68	-	-	dB
Group Delay Distortion		ΔGD	-	0	-	μs
Group Delay (Note 14)		GD	-	16	-	1/fs
ADC Digital Filter (HPF):						
Frequency Response (Note 13)	-3dB	FR	-	1.0	-	Hz
	-0.1dB		-	6.5	-	Hz
DAC Digital Filter (LPF):						
Passband (Note 13)	±0.06dB	PB	0	-	21.8	kHz
	-6.0dB		-	24.0	-	kHz
Stopband (Note 13)		SB	26.2	-	-	kHz
Passband Ripple		PR	-	-	±0.06	dB
Stopband Attenuation		SA	54	-	-	dB
Group Delay Distortion		ΔGD	-	0	-	μs
Group Delay (Note 14)		GD	-	22	-	1/fs
DAC Digital Filter + Analog Filter:						
Frequency Response (Note 15)	20kHz	FR	-	-0.1	-	dB

フィルタ特性(fs=96kHz)

(Ta= Tmin ~ Tmax; AVDD1=AVDD2=3.0~ 3.6V, DVDD=1.6~ 2.0V, TVDD1=TVDD2=1.6~ 3.6V; DEM=OFF)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 13)	±0.1dB	PB	0	-	37.8	kHz
	-0.2dB		-	40.0	-	kHz
	-3.0dB		-	46.0	-	kHz
Stopband (Note 13)		SB	56	-	-	kHz
Passband Ripple		PR	-	-	±0.1	dB
Stopband Attenuation		SA	68	-	-	dB
Group Delay Distortion		ΔGD	-	0	-	μs
Group Delay (Note 14)		GD	-	16	-	1/fs
ADC Digital Filter (HPF):						
Frequency Response (Note 13)	-3dB	FR	-	2.0	-	Hz
	-0.1dB		-	13.0	-	Hz
DAC Digital Filter (LPF):						
Passband (Note 13)	±0.06dB	PB	0	-	43.6	kHz
	-6.0dB		-	48.0	-	kHz
Stopband (Note 13)		SB	52.4	-	-	kHz
Passband Ripple		PR	-	-	±0.06	dB
Stopband Attenuation		SA	54	-	-	dB
Group Delay Distortion		ΔGD	-	0	-	μs
Group Delay (Note 14)		GD	-	22	-	1/fs
DAC Digital Filter + Analog Filter:						
Frequency Response (Note 15)	40kHz	FR	-	-0.3	-	dB

フィルタ特性($f_s=192\text{kHz}$)

(Ta= Tmin ~ Tmax; AVDD1=AVDD2=3.0~ 3.6V, DVDD=1.6~ 2.0V, TVDD1=TVDD2=1.6~ 3.6V; DEM=OFF)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 13)	$\pm 0.1\text{dB}$	PB	0	-	56.6	kHz
	-0.2dB		-	57.0	-	kHz
	-3.0dB		-	90.3	-	kHz
Stopband (Note 13)		SB	112	-	-	kHz
Passband Ripple		PR	-	-	± 0.1	dB
Stopband Attenuation		SA	70	-	-	dB
Group Delay Distortion		ΔGD	-	0	-	μs
Group Delay (Note 14)		GD	-	16	-	1/ f_s
ADC Digital Filter (HPF):						
Frequency Response (Note 13)	-3dB	FR	-	4.0	-	Hz
	-0.1dB		-	26.0	-	Hz
DAC Digital Filter (LPF):						
Passband (Note 13)	$\pm 0.06\text{dB}$	PB	0	-	87.0	kHz
	-6.0dB		-	96.0	-	kHz
Stopband (Note 13)		SB	104.9	-	-	kHz
Passband Ripple		PR	-	-	± 0.06	dB
Stopband Attenuation		SA	54	-	-	dB
Group Delay Distortion		ΔGD	-	0	-	μs
Group Delay (Note 14)		GD	-	22	-	1/ f_s
DAC Digital Filter + Analog Filter:						
Frequency Response (Note 15)	80kHz	FR	-	-1	-	dB

Note 13. 各振幅特性の周波数は f_s (システムサンプリングレート)に比例します。例えば、 $f_s=48\text{kHz}$ 時の場合
ADCの $\pm 0.1\text{dB}$ におけるPassband $0.39375 \times f_s$ です。DACの $\pm 0.06\text{dB}$ におけるPassbandは $0.45412 \times f_s$ です。

Note 14. デジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャネルの24bitデータが
ADC出力レジスタにセットされるまでの時間です。DAC部は24bitデータが入力レジスタにセットさ
れてからアナログ信号が出力されるまでの時間です。

Note 15. 1kHzを基準にした値です。

DC特性

(Ta= Tmin ~ Tmax; AVDD1=AVDD2=3.0~3.6; DVDD=1.6~2.0V; TVDD1=TVDD2=1.6~3.6V)

Parameter	Symbol	min	typ	max	Units
TVDD1, TVDD2 ≤ 2.2V					
High-Level Input Voltage (TST2, M/S, PDN, XTI/MCKI, LRCK, BICK, SDTI1, SDTI2, SDTI3, SDTI4, TST7, TST8, DVMPD pins)	VIH	80%TVDD1	-	-	V
(TST1, TST3, TST4, TST5, CAD0, CAD1, I2C, CCLK/SCL, CSN, CDTI/SDA pins)	VIH	80%TVDD2	-	-	V
Low-Level Input Voltage (TST2, M/S, PDN, XTI/MCKI, LRCK, BICK, SDTI1, SDTI2, SDTI3, SDTI4, TST7, TST8, DVMPD pins)	VIL	-	-	20%TVDD1	V
(TST1, TST3, TST4, TST5, CAD0, CAD1, I2C, CCLK/SCL, CSN, CDTI/SDA pins)	VIL	-	-	20%TVDD2	V
TVDD1, TVDD2 > 2.2V					
High-Level Input Voltage (TST2, M/S, PDN, XTI/MCKI, LRCK, BICK, SDTI1, SDTI2, SDTI3, SDTI4, TST7, TST8, DVMPD pins)	VIH	70%TVDD1	-	-	V
(TST1, TST3, TST4, TST5, CAD0, CAD1, I2C, CCLK/SCL, CSN, CDTI/SDA pins)	VIH	70%TVDD2	-	-	V
Low-Level Input Voltage (TST2, M/S, PDN, XTI/MCKI, LRCK, BICK, SDTI1, SDTI2, SDTI3, SDTI4, TST7, TST8, DVMPD pins)	VIL	-	-	30%TVDD1	V
(TST1, TST3, TST4, TST5, CAD0, CAD1, I2C, CCLK/SCL, CSN, CDTI/SDA pins)	VIL	-	-	30%TVDD2	V
High-Level Output Voltage (SDTO1, SDTO2, SDTO3, LRCK, BICK, MCKO pins: Iout=-100μA) (CDTO pin: Iout=-100μA) (DZF1/OVF1, DZF2/OVF2 pins: Iout=-100μA)	VOH	TVDD1-0.5	-	-	V
	VOH	TVDD2-0.5	-	-	V
		AVDD2-0.5	-	-	V
Low-Level Output Voltage (SDTO1, SDTO2, SDTO3, LRCK, BICK, MCKO, CDTO, DZF1/OVF1, DZF2/OVF2 pins: Iout= 100μA)	VOL	-	-	0.5	V
(SDA pin, 2.0V ≤ TVDD2 ≤ 3.6V Iout= 3mA)	VOL	-	-	0.4	V
(SDA pin, 1.6V ≤ TVDD2 < 2.0V Iout= 3mA)	VOL	-	-	20%TVDD2	V
Input Leakage Current	Iin	-	-	±10	μA

スイッチング特性

(Ta= Tmin ~ Tmax; AVDD1=AVDD2=3.0~3.6; DVDD=1.6~2.0V; TVDD1=1.6~3.6V, TVDD2=1.6~3.6V; CL=20pF; unless otherwise specified)

Parameter	Symbol	min	typ	max	Units
Master Clock Timing					
Crystal Resonator Frequency	fXTAL	11.2896		24.576	MHz
MCKO Output Frequency (TVDD1 ≥ 3.0V)	fMCK	5.6448		24.576	MHz
Duty cycle	dMCK	40	50	60	%
External Clock 256fsn: Pulse Width Low Pulse Width High	fCLK tCLKL tCLKH	8.192 32 32		12.288	MHz ns ns
384fsn: Pulse Width Low Pulse Width High	fCLK tCLKL tCLKH	12.288 22 22		18.432	MHz ns ns
512fsn, 256fsd, 128fsq: Pulse Width Low Pulse Width High	fCLK tCLKL tCLKH	16.384 16 16		24.576	MHz ns ns
MCKO Output Frequency (TVDD1 ≥ 3.0V)	fMCK fMCK	4.096 12.288		12.288 24.576	MHz MHz
Duty cycle (Note 16)	dMCK	40	50	60	%
LRCK Timing (Slave mode)					
Stereo mode (TDM0 bit = "0", TDM1 bit = "0") Normal Speed Mode Double Speed Mode Quad Speed Mode Duty Cycle	fsn fsd fsq Duty	32 64 128 45		48 96 192 55	kHz kHz kHz %
TDM512 mode (Note 17) (TDM0 bit = "0", TDM1 bit = "1") LRCK frequency "H" time "L" time	fsn tLRH tLRL	32 1/512fs 1/512fs		48	kHz ns ns
TDM256 mode (Note 18) (TDM0 bit = "1", TDM1 bit = "0") LRCK frequency "H" time "L" time	fsd tLRH tLRL	64 1/256fs 1/256fs		96	kHz ns ns
TDM128 mode (Note 19) (TDM0 bit = "1", TDM1 bit = "1") LRCK frequency "H" time "L" time	fsq tLRH tLRL	128 1/128fs 1/128fs		192	kHz ns ns

Parameter	Symbol	min	typ	max	Units
LRCK Timing (Master Mode)					
Stereo mode (TDM0 bit = “0”, TDM1 bit = “0”)					
Normal Speed Mode	fsn	32		48	kHz
Double Speed Mode	fsd	64		96	kHz
Quad Speed Mode	fsq	128		192	kHz
Duty Cycle	dLRK	-	50	-	%
TDM512 mode (Note 17) (TDM0 bit = “0”, TDM1 bit = “1”)					
LRCK frequency	fsn	32		48	kHz
“H” time (Note 20)	tLRH		1/16fs		ns
TDM256 mode (Note 18) (TDM0 bit = “1”, TDM1 bit = “0”)					
LRCK frequency	fsd	64		96	kHz
“H” time (Note 20)	tLRH		1/8fs		ns
TDM128 mode (Note 19) (TDM0 bit = “1”, TDM1 bit = “1”)					
LRCK frequency	fsq	128		192	kHz
“H” time (Note 20)	tLRH		1/4fs		ns

Note 16. DIV bit = “0”の場合を除きます。

Note 17. Normal Speed modeで使用してください。Master mode時、Master clockは512fsを入力してください。

Note 18. Double Speed modeで使用してください。

Note 19. Quad Speed modeで使用してください。

Note 20. I²Sフォーマット時は“L” time

Parameter	Symbol	min	typ	max	Units
Audio Interface Timing (Slave mode)					
Stereo mode (TDM0 bit = "0", TDM1 bit = "0") (TVDD1= 1.6V~3.6V)					
BICK Period	tBCK	324			ns
BICK Pulse Width Low	tBCKL	130			ns
Pulse Width High	tBCKH	130			ns
LRCK Edge to BICK "↑" (Note 21)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 21)	tBLR	20			ns
LRCK to SDTO(MSB) (Except I ² S mode)	tLRS			80	ns
BICK "↓" to SDTO	tBSD			80	ns
SDTI Hold Time	tSDH	50			ns
SDTI Setup Time	tSDS	50			ns
(TVDD1= 3.0V~3.6V)					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	33			ns
Pulse Width High	tBCKH	33			ns
LRCK Edge to BICK "↑" (Note 21)	tLRB	23			ns
BICK "↑" to LRCK Edge (Note 21)	tBLR	23			ns
LRCK to SDTO(MSB) (Except I ² S mode)	tLRS			23	ns
BICK "↓" to SDTO	tBSD			23	ns
SDTI Hold Time	tSDH	10			ns
SDTI Setup Time	tSDS	10			ns
TDM512 mode (Note 17) (TDM0 bit = "0", TDM1 bit = "1") (TVDD1= 3.0V~3.6V)					
BICK Period	tBCK	40			ns
BICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
LRCK Edge to BICK "↑" (Note 21)	tLRB	10			ns
BICK "↑" to LRCK Edge (Note 21)	tBLR	10			ns
SDTO Setup time BICK "↑"	tBSS	6			ns
SDTO Hold time BICK "↑"	tBSH	5			ns
SDTI Hold Time	tSDH	10			ns
SDTI Setup Time	tSDS	10			ns
TDM256 mode (Note 18) (TDM0 bit = "1", TDM1 bit = "0") (TVDD1= 3.0V~3.6V)					
BICK Period	tBCK	40			ns
BICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
LRCK Edge to BICK "↑" (Note 21)	tLRB	10			ns
BICK "↑" to LRCK Edge (Note 21)	tBLR	10			ns
SDTO Setup time BICK "↑"	tBSS	6			ns
SDTO Hold time BICK "↑"	tBSH	5			ns
SDTI Hold Time	tSDH	10			ns
SDTI Setup Time	tSDS	10			ns
TDM128 mode (Note 19) (TDM0 bit = "1", TDM1 bit = "1") (TVDD1= 3.0V~3.6V)					
BICK Period	tBCK	40			ns
BICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
LRCK Edge to BICK "↑" (Note 21)	tLRB	10			ns
BICK "↑" to LRCK Edge (Note 21)	tBLR	10			ns
SDTO Setup time BICK "↑"	tBSS	6			ns
SDTO Hold time BICK "↑"	tBSH	5			ns
SDTI Hold Time	tSDH	10			ns
SDTI Setup Time	tSDS	10			ns

Parameter	Symbol	min	typ	max	Units
Audio Interface Timing (Master mode)					
Stereo mode (TDM0 bit = "0", TDM1 bit = "0")					
(TVDD1= 1.6V~3.6V)					
BICK Frequency	fBCK	-	64fs	-	Hz
BICK Duty	dBCK	-	50	-	%
BICK "↓" to LRCK	tMBLR	-40	-	40	ns
BICK "↓" to SDTO	tBSD	-70	-	70	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
(TVDD1= 3.0V~3.6V)					
BICK Frequency	fBCK	-	64fs	-	Hz
BICK Duty	dBCK	-	50	-	%
BICK "↓" to LRCK	tMBLR	-23	-	23	ns
BICK "↓" to SDTO	tBSD	-23	-	23	ns
SDTI Hold Time	tSDH	10	-	-	ns
SDTI Setup Time	tSDS	10	-	-	ns
TDM512 mode (Note 17)					
(TDM0 bit = "0", TDM1 bit = "1")					
(TVDD1= 3.0V~3.6V)					
BICK Frequency	fBCK	-	512fs	-	Hz
BICK Duty	dBCK	-	50	-	%
BICK "↓" to LRCK	tMBLR	-10	-	10	ns
SDTO Setup time BICK "↑"	tBSS	6	-	-	ns
SDTO Hold time BICK "↑"	tBSH	5	-	-	ns
SDTI Hold Time	tSDH	10	-	-	ns
SDTI Setup Time	tSDS	10	-	-	ns
TDM256 mode (Note 18)					
(TDM0 bit = "1", TDM1 bit = "0")					
(TVDD1= 3.0V~3.6V)					
BICK Frequency	fBCK	-	256fs	-	Hz
BICK Duty	dBCK	-	50	-	%
BICK "↓" to LRCK	tMBLR	-10	-	10	ns
SDTO Setup time BICK "↑"	tBSS	6	-	-	ns
SDTO Hold time BICK "↑"	tBSH	5	-	-	ns
SDTI Hold Time	tSDH	10	-	-	ns
SDTI Setup Time	tSDS	10	-	-	ns
TDM128 mode (Note 19)					
(TDM0 bit = "1", TDM1 bit = "1")					
(TVDD1= 3.0V~3.6V)					
BICK Frequency	fBCK	-	128fs	-	Hz
BICK Duty	dBCK	-	50	-	%
BICK "↓" to LRCK	tMBLR	-10	-	10	ns
SDTO Setup time BICK "↑"	tBSS	6	-	-	ns
SDTO Hold time BICK "↑"	tBSH	5	-	-	ns
SDTI Hold Time	tSDH	10	-	-	ns
SDTI Setup Time	tSDS	10	-	-	ns

Note 21. この規格値はLRCKのエッジとBICKの立ち上がりエッジが重ならないように規定しています。

Parameter	Symbol	min	typ	max	Units
Control Interface Timing (4-wire Serial mode):					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN "H" Time	tCSW	150			ns
CSN Edge to CCLK "↑"	tCSS	50			ns
CCLK "↑" to CSN Edge	tCSH	50			ns
CDTO Delay	tDCD			50	ns
CSN "↑" to CDTO Hi-Z	tCCZ			70	ns
Control Interface Timing (I²C Bus mode):					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 22)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		1.0	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb	-		400	pF
Power-down & Reset Timing					
PDN Pulse Width (Note 23)	tPD	150			ns
PDN "↑" to SDTO valid (Note 24)	tPDV		518		1/fs

Note 22. データは最低300ns(SCLの立ち下がり時間)の間保持されなければなりません。

Note 23. 電源投入時はPDN pin を"L" にすることでリセットがかかります。

Note 24. PDN pin を立ち上げてからのLRCKの立ち上がりの回数です。

Note 25. I²CはPhilips Semiconductorsの登録商標です。

■ タイミング波形

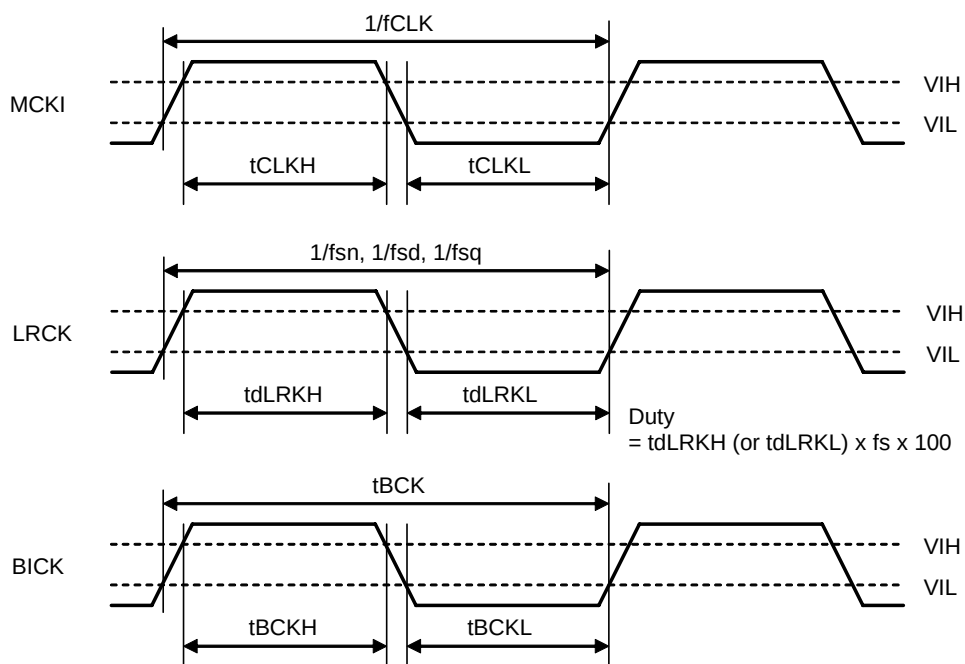


Figure 3. クロックタイミング (TDM1/0 bits = "00" & Slave mode)

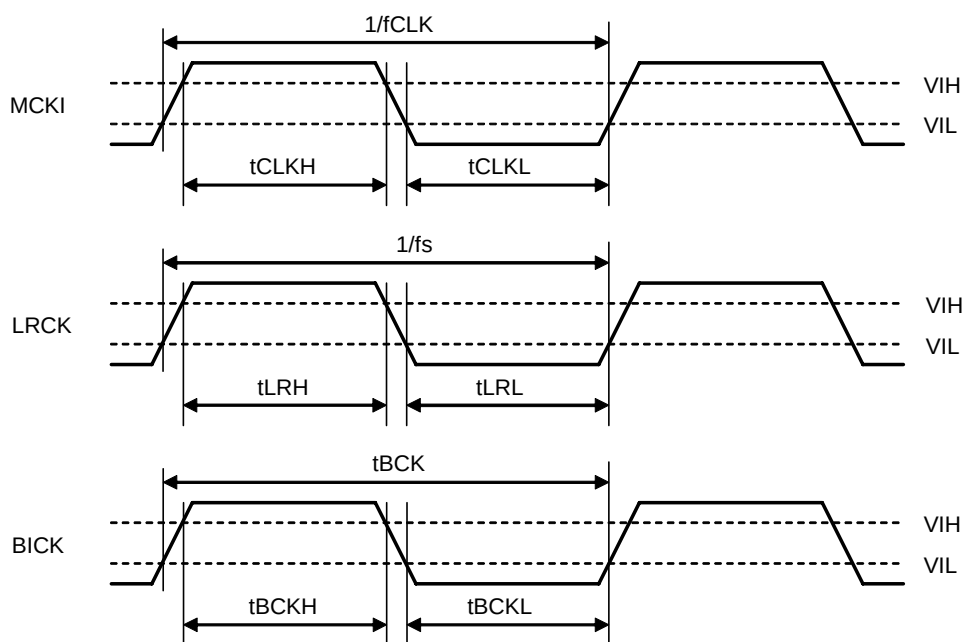


Figure 4. クロックタイミング (TDM1/0 bits = "00"以外 & Slave mode)

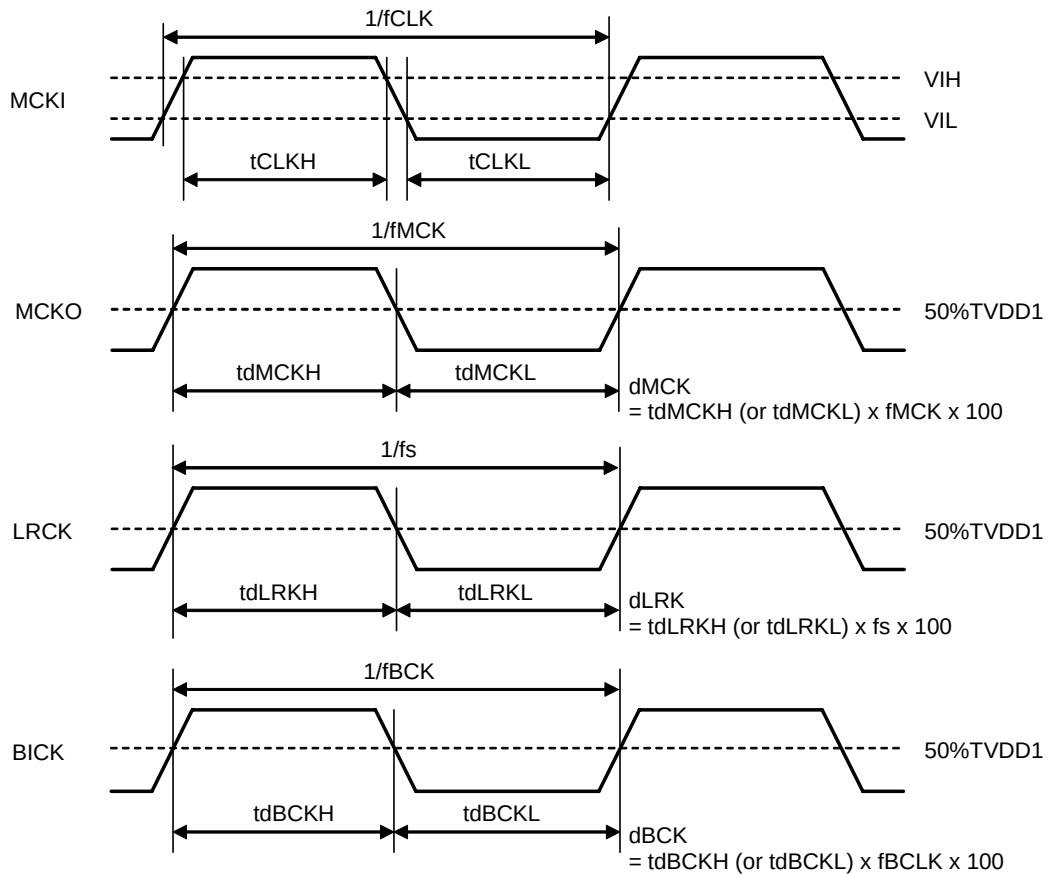


Figure 5. クロックタイミング (TDM1/0 bits = "00" & Master mode)

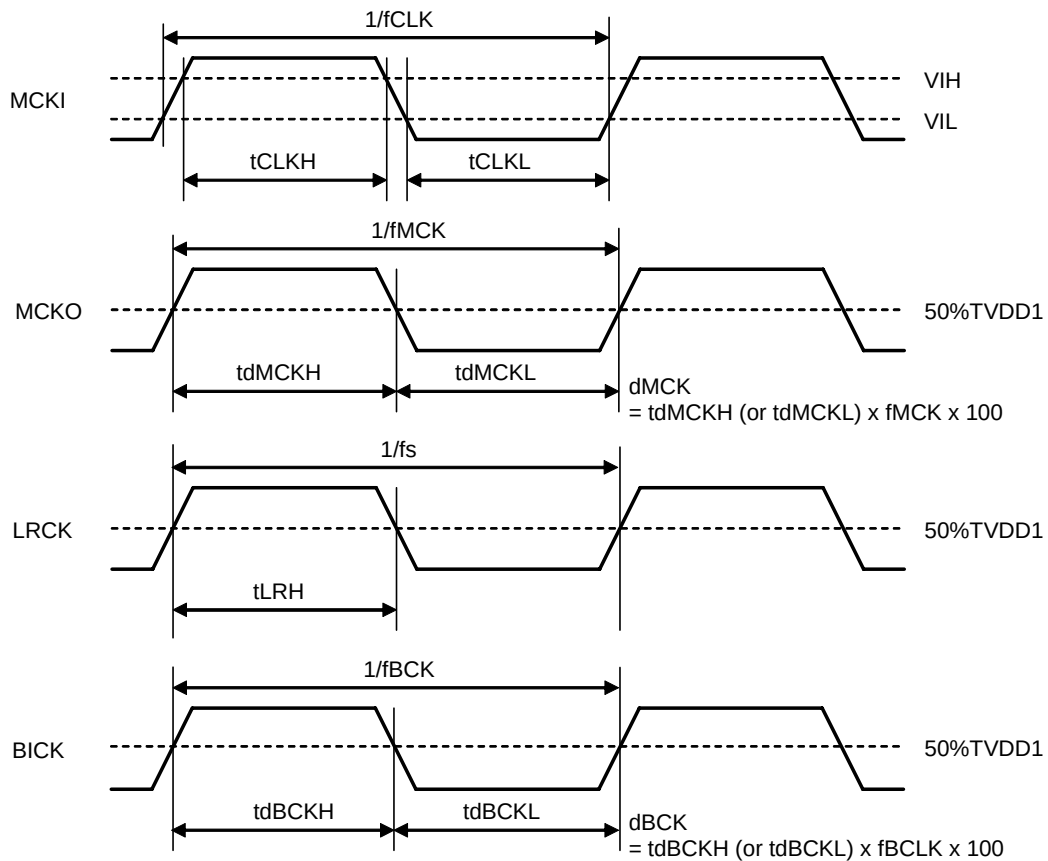


Figure 6. クロックタイミング (TDM1/0 bits = "00"以外 & Master mode)

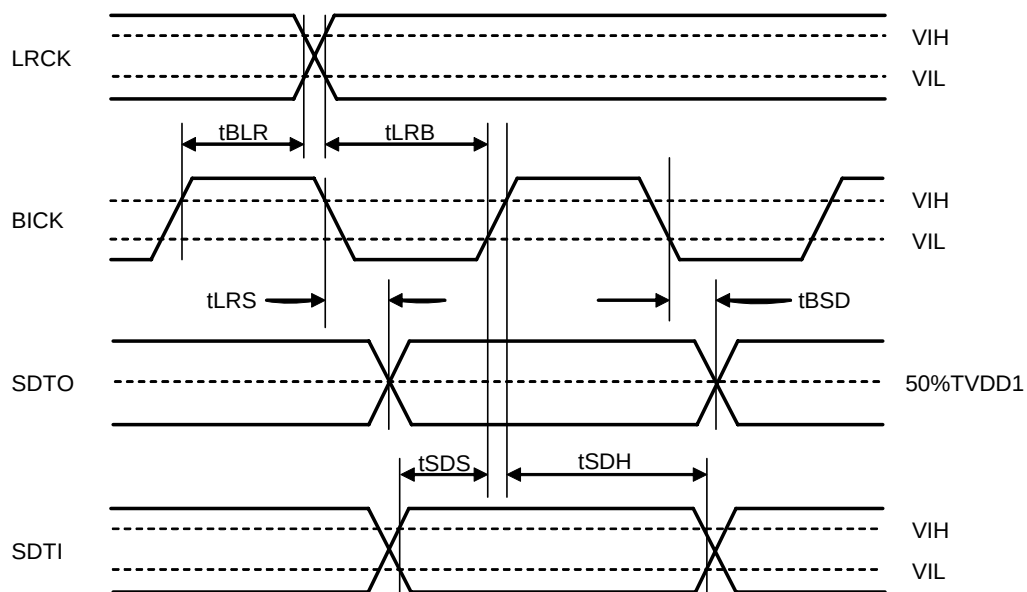


Figure 7. オーディオインタフェースタイミング (TDM1/0 bits = "00" & Slave mode)

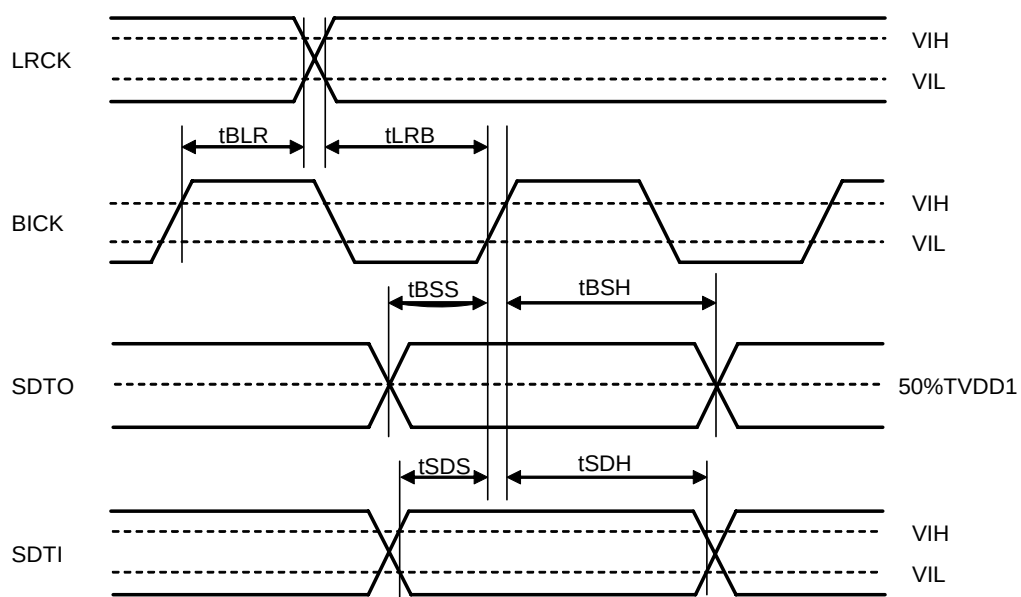


Figure 8. オーディオインタフェースタイミング (TDM1/0 bits = "00"以外 & Slave mode)

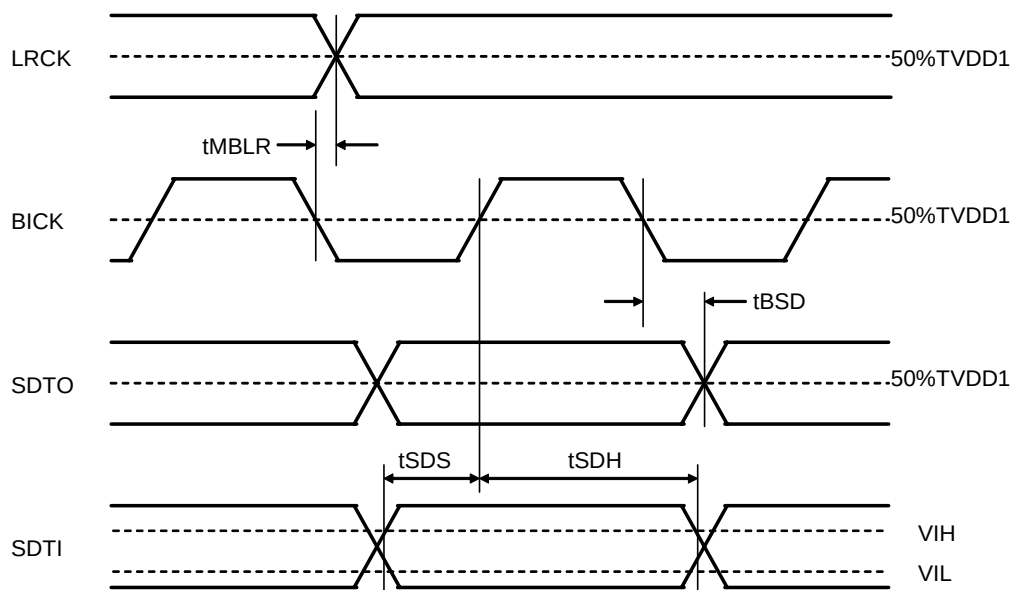


Figure 9. オーディオインタフェースタイミング (TDM1/0 bits = "00" & Master mode)

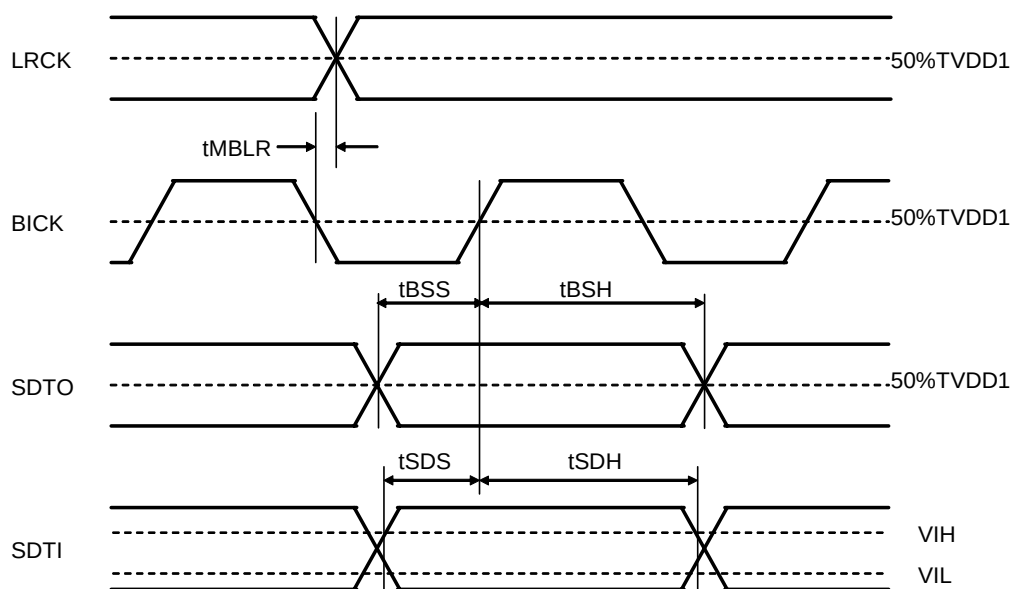


Figure 10. オーディオインタフェースタイミング (TDM1/0 bits = "00"以外 & Master mode)

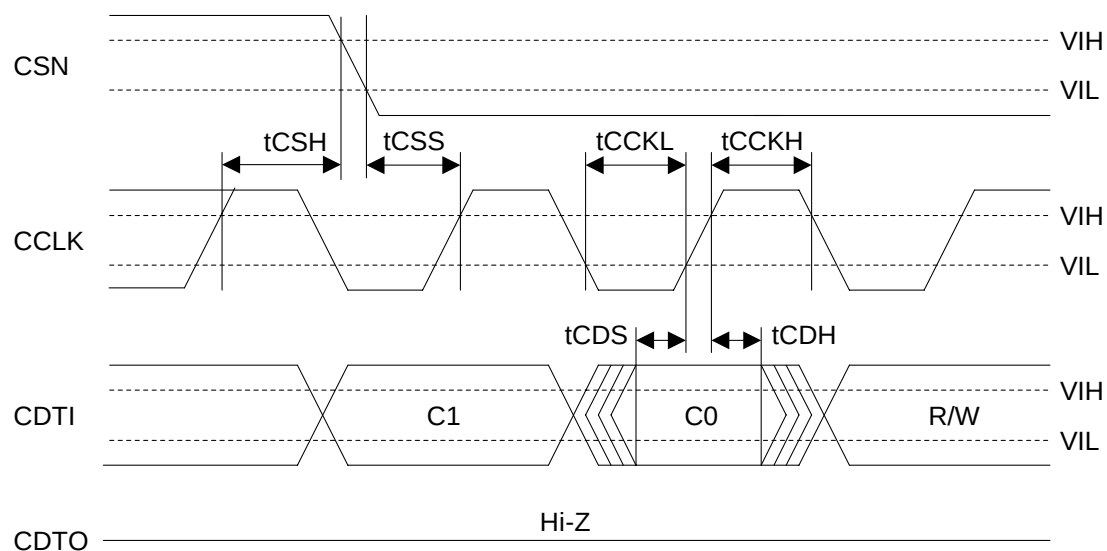


Figure 11. WRITEコマンド入力タイミング (4線シリアルモード)

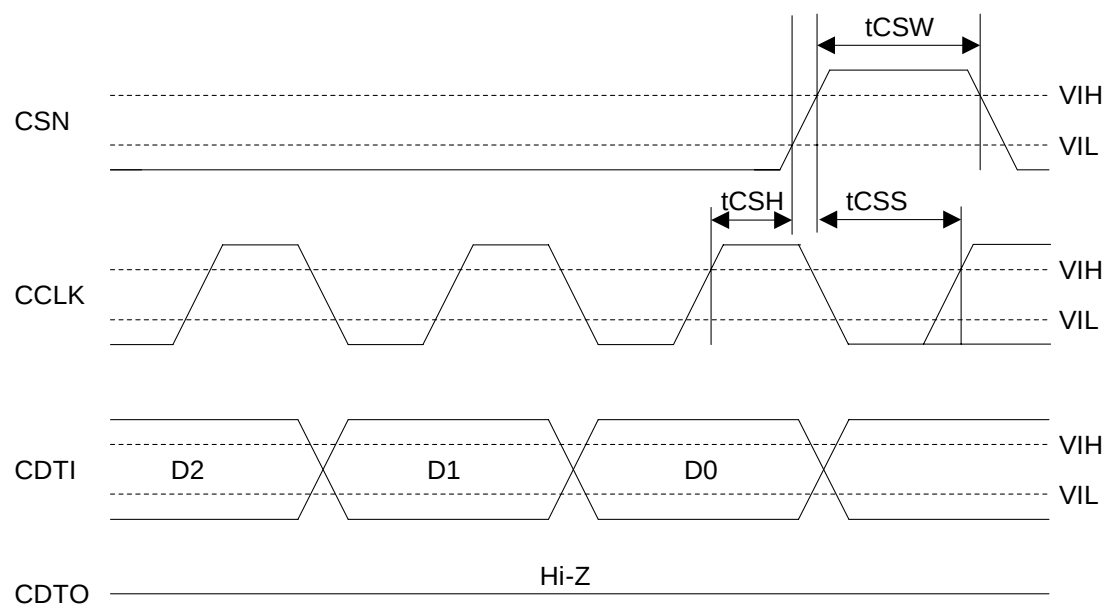


Figure 12. WRITEデータ入力タイミング (4線シリアルモード)

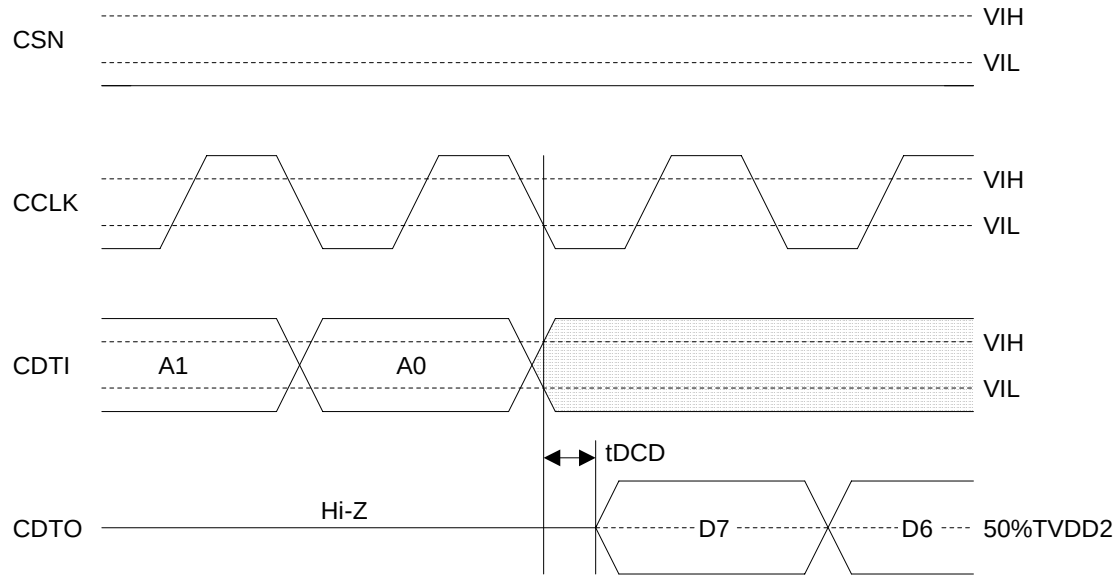


Figure 13. READデータ出力タイミング1

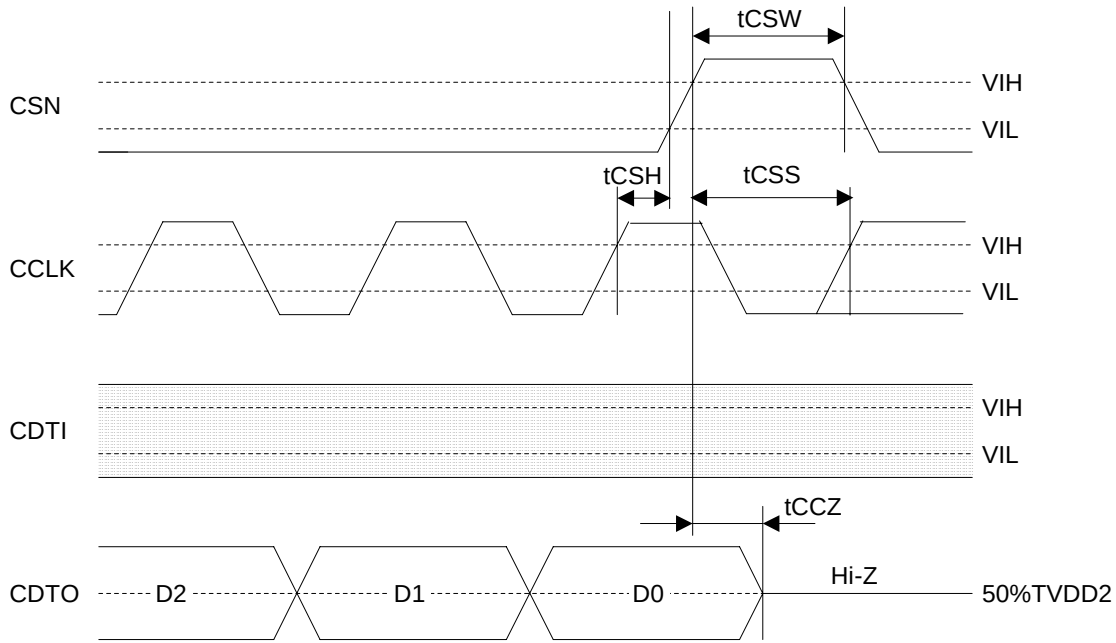


Figure 14. READデータ出力タイミング2

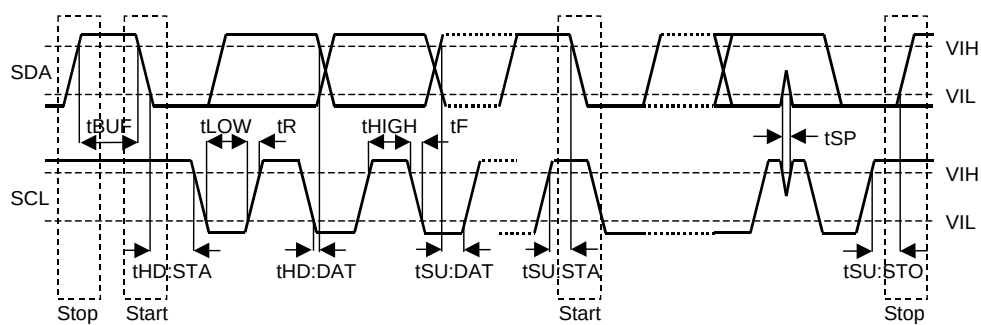


Figure 15. I²Cバスモードタイミング

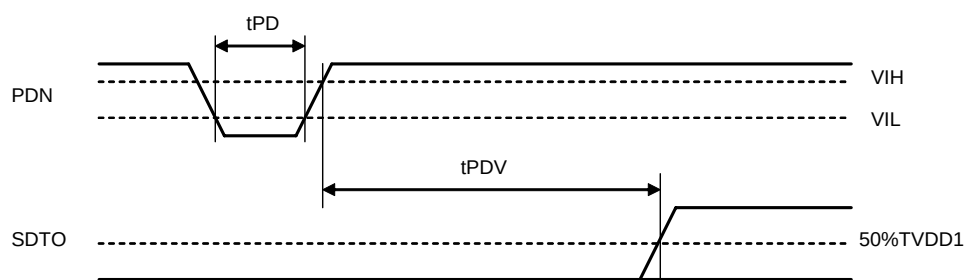


Figure 16. パワーダウン&リセットタイミング

動作説明

■ システムクロック

AK4612はMCLKのクロックソースとして外部Clock入力またはX'tal入力を選択することが可能です(Figure 17, Figure 18)。

スレーブモード時に必要なクロックは、MCLK, LRCK, BICK です。MCLKとLRCKは同期する必要はありません。MCLK周波数を設定する方法は、DFS1-0 bitで設定する方法 (Manual Setting Mode) とデバイス内部で自動設定する方法 (Auto Setting Mode) の2つがあります。Manual Setting Mode (ACKS bit = "0": Default)では、DFS1-0 bitでサンプリングスピードが設定され(Table 1)、各スピードでのMCLK周波数は自動検出され、内部クロックは適切な周波数に自動設定されます(Table 3, Table 4, Table 5)。Auto Setting Mode (ACKS bit = "1")では、MCLK周波数は自動検出され(Table 6)、内部クロックは適切な周波数に自動設定される(Table 7)ため、DFS1-0 bitの設定は不要です。

マスターモード時に必要なクロックはMCLKのみです。マスタクロック周波数をCKS1-0 bit (Table 2)で、サンプリングスピードをDFS1-0 bit (Table 1)で設定が必要です。CKS1-0, DFS1-0 bit を設定した直後ではBICKとLRCKの出力周波数やデューティが乱れる場合があります。電源ON等のリセット解除時(PDN pin = "↑")はMCLKが入力されるまでパワーダウン状態になります。

スレーブモード動作時(PDN pin = "H")において電源ON等のリセット解除時(PDN pin = "↑")はMCLK, LRCKが入力されるまでパワーダウン状態です。

通常動作時にクロックの供給が停止して再度クロックが供給された場合、出力に異音が発生する可能性がありますので、異音が問題になる場合は外部でミュートしてください。

DFS1	DFS0	Sampling Speed Mode (fs)	
0	0	Normal Speed Mode	32kHz~48kHz
0	1	Double Speed Mode	64kHz~96kHz
1	0	Quad Speed Mode	128kHz~192kHz
1	1	N/A	-

(default)

(N/A: Not available)

Table 1. サンプリングスピード (Manual Setting Mode)

CKS1	CKS0	Normal Speed Mode	Double Speed Mode	Quad Speed Mode
0	0	256fs	256fs	128fs
0	1	384fs	256fs	128fs
1	0	512fs	256fs	128fs
1	1	512fs	256fs	128fs

(default)

Table 2. マスタクロック入力周波数選択 (Master Mode)

LRCK	MCLK (MHz)			BICK (MHz)
fs	256fs	384fs	512fs	64fs
32.0kHz	8.1920	12.2880	16.3840	2.0480
44.1kHz	11.2896	16.9344	22.5792	2.8224
48.0kHz	12.2880	18.4320	24.5760	3.0720

Table 3. システムクロック例 (Normal Speed Mode @Manual Setting Mode)

LRCK	MCLK (MHz)	BICK (MHz)
fs	256fs	64fs
88.2kHz	22.5792	5.6448
96.0kHz	24.5760	6.1440

Table 4. システムクロック例 (Double Speed Mode @Manual Setting Mode)

LRCK	MCLK (MHz)	BICK (MHz)
fs	128fs	64fs
176.4kHz	22.5792	11.2896
192.0kHz	24.5760	12.2880

Table 5. システムクロック例 (Quad Speed Mode @Manual Setting Mode)

MCLK	Sampling Speed Mode
512fs	Normal Speed Mode
256fs	Double Speed Mode
128fs	Quad Speed Mode

Table 6. サンプリングスピード (Auto Setting Mode)

LRCK	MCLK (MHz)			Sampling Speed Mode
fs	128fs	256fs	512fs	
32.0kHz	-	-	16.3840	Normal Speed Mode
44.1kHz	-	-	22.5792	
48.0kHz	-	-	24.5760	
88.2kHz	-	22.5792	-	Double Speed Mode
96.0kHz	-	24.5760	-	
176.4kHz	22.5792	-	-	Quad Speed Mode
192.0kHz	24.5760	-	-	

Table 7. システムクロック例 (Auto Setting Mode)

■ クロックソース

AK4612のXTI pin には、以下の方法でのクロックの供給が可能です。

1) 外部クロックを使う場合

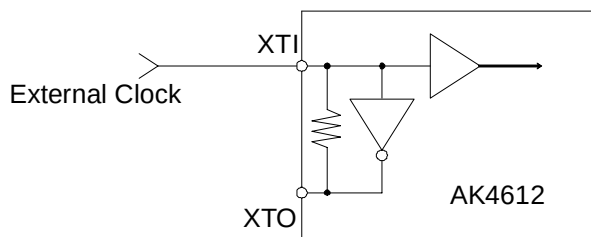


Figure 17. 外部クロックモード

Note. TVDD1以上のクロックは入力しないでください。

2) X'talを使う場合

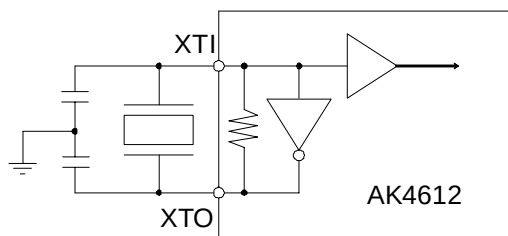


Figure 18. X'talモード

Note: コンデンサの値は水晶振動子に依存します(Typ.10pF)。
水晶振動子を使用する際はTVDD1=3.0~3.6Vです。

■ Differential / Single-End 入力切り替え

AK4612はDIE1-3 bitを“1”にするとDifferential入力(Figure 19)、“0”にするとSingle-End入力(Figure 20)を選択できます。Differential入力選択時に片側の入力ピンをVCOM電圧、もう片側の入力ピンを信号入力として使用しないでください。Single-end入力選択時はL/RIN1-3- pin にはL/RIN1-3 pin に入力された信号の反転が出力されるためSingle-end入力選択時はL/RIN1-3- pin をOpenにしてください。また、AK4612はDifferential入力選択時、Single-End入力選択時共にアンチエリアジングフィルタを内蔵しています。

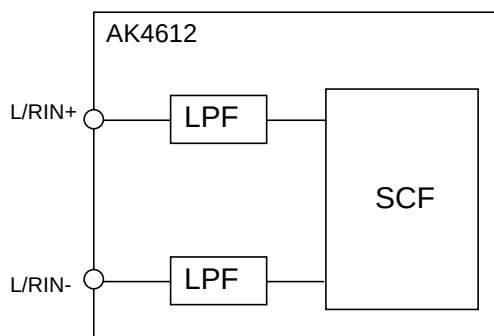


Figure 19. Differential Input (DIE1-3 bit = “1”)

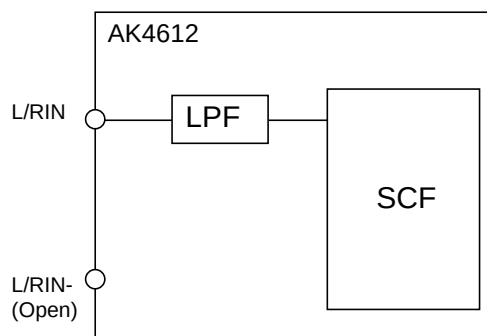


Figure 20. Single-end Input (DIE1-3 bit = “0”)

■ Differential / Single-End 出力切り替え

AK4612はDOE 1-4bitを“1”にするとDifferential出力(Figure 21)、“0”にするとSingle-End出力(Figure 22)を選択できます。Single-end出力選択時はL/ROUT1-4- pin にはVCOM電圧が出力されるためSingle-end出力選択時はL/ROUT1-4- pin をOpenにしてください。また、Single-end出力選択時にはスイッチとキャパシタフィルタ(SCF)と連続フィルタ(CTF)を内蔵しているため $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)を除去することができます。Differential出力選択時にはスイッチとキャパシタフィルタ(SCF)は内蔵されていますが、連続フィルタ(CTF)を内蔵していないので帯域外ノイズを除去したい場合は外部でLPFを組んでください。

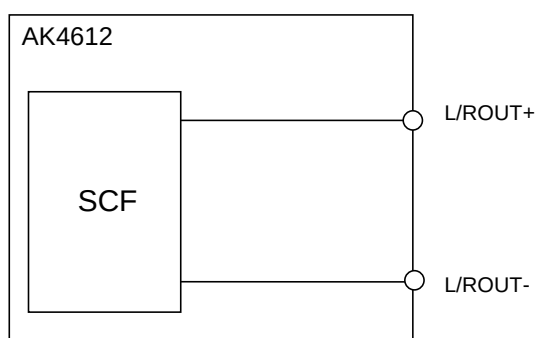


Figure 21. Differential Output (DOE1-4 bit = “1”)

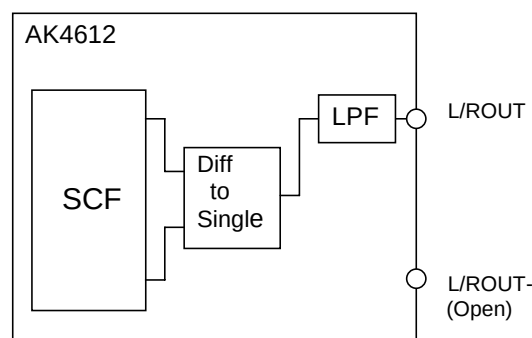


Figure 22. Single-end Output (DOE1-4 bit = “0”)

■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 μ s特性)を内蔵しています。Double Speed Mode、Quad Speed Mode 時ディエンファシスフィルタは自動的にOFFになります。設定はレジスタから行い、DAC1(SDTI1)、DAC2(SDTI2)、DAC3(SDTI3)、DAC4(SDTI4)に対して独立に設定できます。

Mode	Sampling Speed Mode	DEM11 (DEM61-21)	DEM10 (DEM60-20)	DEM	(default)
0	Normal Speed Mode	0	0	44.1kHz	
1	Normal Speed Mode	0	1	OFF	
2	Normal Speed Mode	1	0	48kHz	
3	Normal Speed Mode	1	1	32kHz	

Table 8. ディエンファシスコントロール

■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFの f_c は、 $f_s=48\text{kHz}$ 時1.0Hzになっており、周波数応答は f_s に比例します。

■ マスタクロック出力

AK4612はマスタクロック出力ピンをもちます。DIV bitを“1”にすると1/2分周したクロックがMCKO pinから出力されます([Table 9](#))。

DIV	MCKO	(default)
0	XTI x1	
1	XTI x1/2	

Table 9. マスタクロック出力周波数選択

■ マスタモードとスレーブモード

マスタモードとスレーブモードの切り替えはM/S pinで行います。“H”でマスタモード、“L”でスレーブモードです。マスタモード時(M/S pin=“H”)にはLRCK, BICK pinは出力となります。スレーブモード時(M/S pin=“L”)にはLRCK, BICK pinは入力となります。LRCK, BICK pinは[Table 10](#)のようになります。

PDN pin	M/S pin	LRCK pin	BICK pin
L	L	Input	Input
	H	“L”出力	“L”出力
H	L	Input	Input
	H	Output	Output

Table 10. LRCK, BICK pin

■ オーディオインタフェースフォーマット

(1) Stereo Mode

TDM1-0 bit = “00” のとき、10種類のデータフォーマット (Table 11) が DIF2-0 bit で選択できます。全モードとも MSBファースト、2'sコンプリメントのデータフォーマットで、SDTO1-3はBICKの立ち下がりで出力され、SDTI1-4はBICKの立ち上がりでラッチされます。

SDTI pinの入力フォーマットのうち、mode3/4/8/9/13/14/18/19/23/24/28/29/33/34/38/39を16～20 bitで使った場合はデータの無いLSBには “0” を入力して下さい。

Mode	M/S	TDM1	TDM0	DIF2	DIF1	DIF0	SDTO1-3	SDTI1-4	LRCK		BICK	
										I/O		I/O
0	0	0	0	0	0	0	24bit, Left justified	16bit, Right justified	H/L	I	≥ 32fs	I
1	0	0	0	0	0	1	24bit, Left justified	20bit, Right justified	H/L	I	≥ 48fs	I
2	0	0	0	0	1	0	24bit, Left justified	24bit, Right justified	H/L	I	≥ 48fs	I
3	0	0	0	0	1	1	24bit, Left justified	24bit, Left justified	H/L	I	≥ 48fs	I
4	0	0	0	1	0	0	24bit, I ² S	24bit, I ² S	L/H	I	≥ 48fs	I
5	1	0	0	0	0	0	24bit, Left justified	16bit, Right justified	H/L	O	64fs	O
6	1	0	0	0	0	1	24bit, Left justified	20bit, Right justified	H/L	O	64fs	O
7	1	0	0	0	1	0	24bit, Left justified	24bit, Right justified	H/L	O	64fs	O
8	1	0	0	0	1	1	24bit, Left justified	24bit, Left justified	H/L	O	64fs	O
9	1	0	0	1	0	0	24bit, I ² S	24bit, I ² S	L/H	O	64fs	O

(default)

Table 11. オーディオデータフォーマット (Stereo mode)

Note. Stereo modeで使用する場合、Normal Speed Modeでは入出力バッファの電源TVDD1は1.6V～3.6Vで使うことができます。Double Speed Mode, Quad Speed Modeで使用する際にはTVDD1は3.0V～3.6Vで使ってください。

(2) TDM Mode

TDM1-0 bit = “01”と設定することによりTDM I/Fフォーマットを使用できます。5種類のデータフォーマットがDIF2-0 bitで選択でき、全モードともMSBファースト、2'sコンプリメントのデータフォーマットで、SDTO1/2はBICKの立ち上がりで出力され、SDTI1/2/3はBICKの立ち上がりでラッチされます。

TDM512 Mode(fs=48kHz)はTDM1-0 bit = “01”で選択できます([Table 12](#))。SDTO1 pin には全ADC(6ch)のデータが出力されます。SDTO2/3 pin = “L”です。SDTI1 pinには全DAC(8ch)のデータを入力します。SDTI2-4 pinへの入力データは無視されます。BICKは512fs固定、LRCKの “H”幅、 “L”幅は1/512fs(min)です。

TDM256 Mode (fs=96kHz)は TDM1-0 bit = “10”で選択できます([Table 13](#))。SDTO1 pin には全ADC(6ch)のデータが出力されます。SDTO2/3 pin = “L”です。SDTI1 pinにはDAC(8ch: L1, R1, L2, R2, L3, R3, L4, R4)の全8chのデータを入力します。SDTI2-4 pinへの入力データは無視されます。BICKは256fs固定、LRCKの “H”幅、 “L”幅は1/256fs(min)です。

TDM128 Mode (fs=192kHz)は TDM1-0 bit = “11”で選択できます([Table 14](#))。SDTO1 pin にはADC(4ch: L1, R1, L2, R2)のデータが出力され、SDTO2 pinにはADC(2ch: L3, R3)のデータが出力されます。SDTO3 pin = “L”です。SDTI1 pinにはDAC(4ch: L1, R1, L2, R2)、SDTI2 pinにはDAC(4ch: L3, R3, L4, R4)の全8chのデータを入力します。SDTI3-4pinへの入力データは無視されます。BICKは128fs固定、LRCKの “H”幅、 “L”幅は1/128fs(min)です。

Mode	M/S	TDM1	TDM0	DIF2	DIF1	DIF0	SDTO1-3	SDTI1-4	LRCK		BICK	
										I/O		I/O
10	0	0	1	0	0	0	24bit, Left justified	16bit, Right justified	↑	I	512fs	I
11	0	0	1	0	0	1	24bit, Left justified	20bit, Right justified	↑	I	512fs	I
12	0	0	1	0	1	0	24bit, Left justified	24bit, Right justified	↑	I	512fs	I
13	0	0	1	0	1	1	24bit, Left justified	24bit, Left justified	↑	I	512fs	I
14	0	0	1	1	0	0	24bit, I ² S	24bit, I ² S	↓	I	512fs	I
15	1	0	1	0	0	0	24bit, Left justified	16bit, Right justified	↑	O	512fs	O
16	1	0	1	0	0	1	24bit, Left justified	20bit, Right justified	↑	O	512fs	O
17	1	0	1	0	1	0	24bit, Left justified	24bit, Right justified	↑	O	512fs	O
18	1	0	1	0	1	1	24bit, Left justified	24bit, Left justified	↑	O	512fs	O
19	1	0	1	1	0	0	24bit, I ² S	24bit, I ² S	↓	O	512fs	O

Table 12. オーディオデータフォーマット (TDM512 mode)

Mode	M/S	TDM1	TDM0	DIF2	DIF1	DIF0	SDTO1-3	SDTI1-4	LRCK		BICK	
										I/O		I/O
20	0	1	0	0	0	0	24bit, Left justified	16bit, Right justified	↑	I	256fs	I
21	0	1	0	0	0	1	24bit, Left justified	20bit, Right justified	↑	I	256fs	I
22	0	1	0	0	1	0	24bit, Left justified	24bit, Right justified	↑	I	256fs	I
23	0	1	0	0	1	1	24bit, Left justified	24bit, Left justified	↑	I	256fs	I
24	0	1	0	1	0	0	24bit, I ² S	24bit, I ² S	↓	I	256fs	I
25	1	1	0	0	0	0	24bit, Left justified	16bit, Right justified	↑	O	256fs	O
26	1	1	0	0	0	1	24bit, Left justified	20bit, Right justified	↑	O	256fs	O
27	1	1	0	0	1	0	24bit, Left justified	24bit, Right justified	↑	O	256fs	O
28	1	1	0	0	1	1	24bit, Left justified	24bit, Left justified	↑	O	256fs	O
29	1	1	0	1	0	0	24bit, I ² S	24bit, I ² S	↓	O	256fs	O

Table 13. オーディオデータフォーマット (TDM256 mode)

Mode	M/S	TDM1	TDM0	DIF2	DIF1	DIF0	SDTO1-3	SDTI1-4	LRCK		BICK	
										I/O		I/O
30	0	1	1	0	0	0	24bit, Left justified	16bit, Right justified	↑	I	128fs	I
31	0	1	1	0	0	1	24bit, Left justified	20bit, Right justified	↑	I	128fs	I
32	0	1	1	0	1	0	24bit, Left justified	24bit, Right justified	↑	I	128fs	I
33	0	1	1	0	1	1	24bit, Left justified	24bit, Left justified	↑	I	128fs	I
34	0	1	1	1	0	0	24bit, I ² S	24bit, I ² S	↓	I	128fs	I
35	1	1	1	0	0	0	24bit, Left justified	16bit, Right justified	↑	O	128fs	O
36	1	1	1	0	0	1	24bit, Left justified	20bit, Right justified	↑	O	128fs	O
37	1	1	1	0	1	0	24bit, Left justified	24bit, Right justified	↑	O	128fs	O
38	1	1	1	0	1	1	24bit, Left justified	24bit, Left justified	↑	O	128fs	O
39	1	1	1	1	0	0	24bit, I ² S	24bit, I ² S	↓	O	128fs	O

Table 14. オーディオデータフォーマット (TDM128 mode)

Note. TDM modeで使用する場合、入出力バッファの電源TVDD1は3.0V～3.6Vで使用してください。

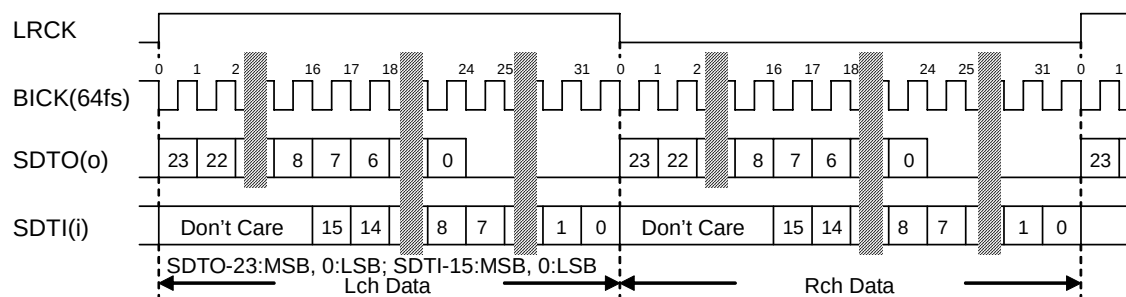


Figure 23. Mode 0/5 タイミング (Stereo Mode)

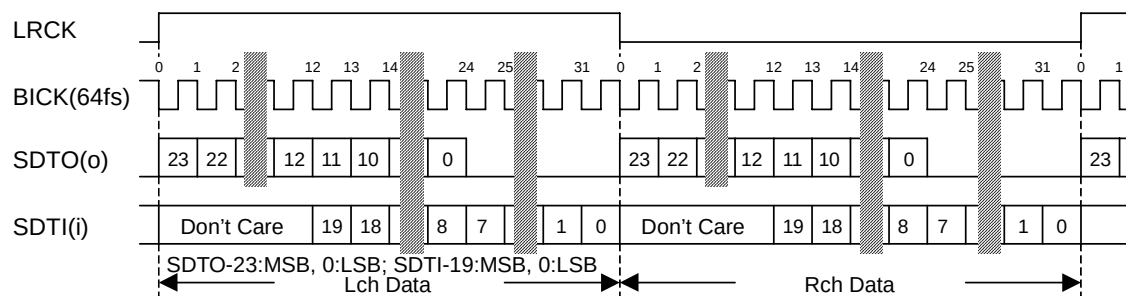


Figure 24. Mode 1/6 タイミング (Stereo Mode)

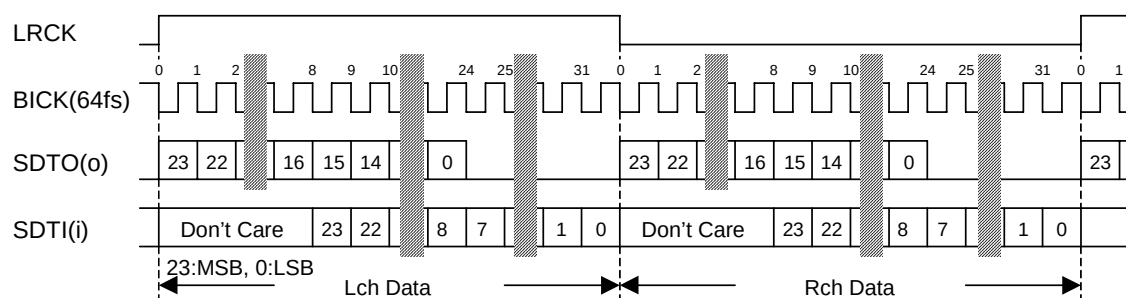


Figure 25. Mode 2/7 タイミング (Stereo Mode)

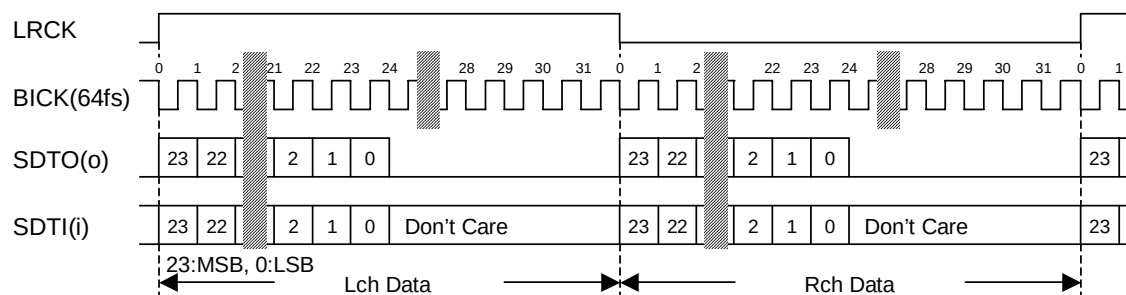


Figure 26. Mode 3/8 タイミング (Stereo Mode)

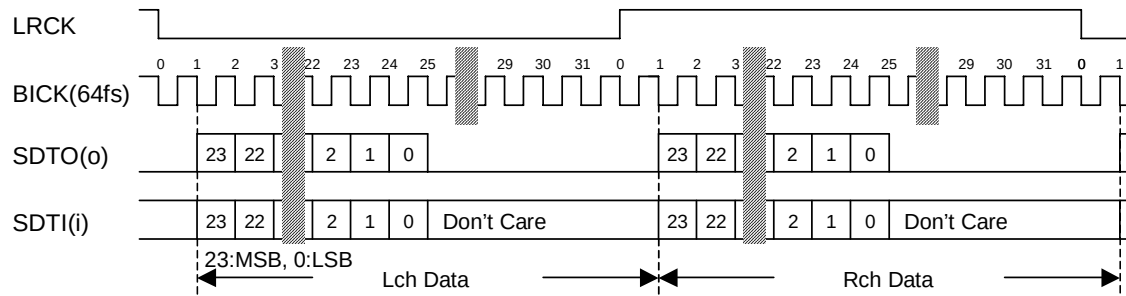


Figure 27. Mode 4/9 タイミング (Stereo Mode)

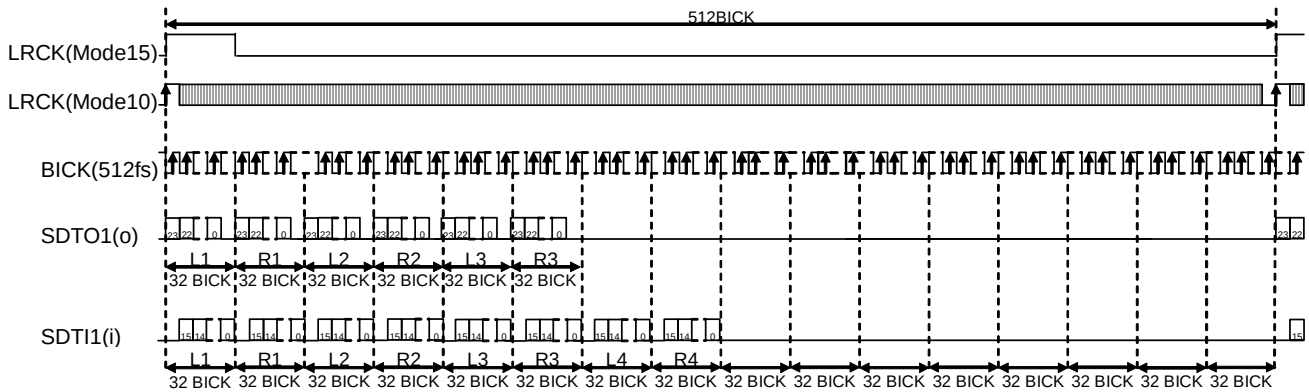


Figure 28. Mode 10/15 Timing (TDM512 Mode)

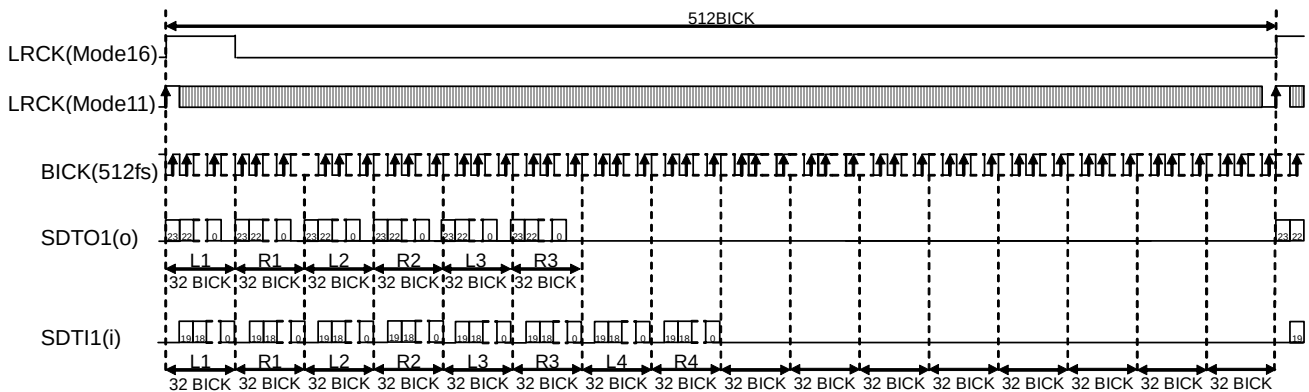


Figure 29. Mode 11/16 Timing (TDM512 Mode)

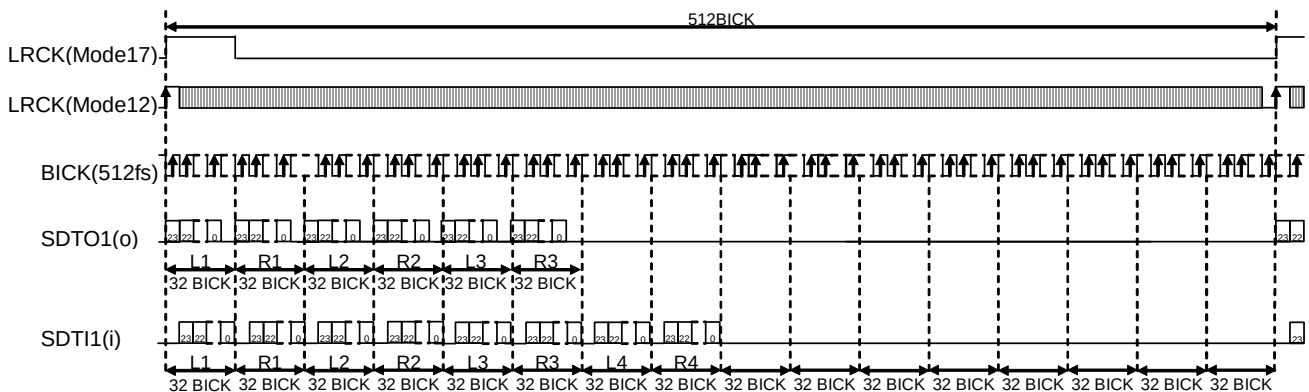


Figure 30. Mode 12/17 Timing (TDM512 Mode)

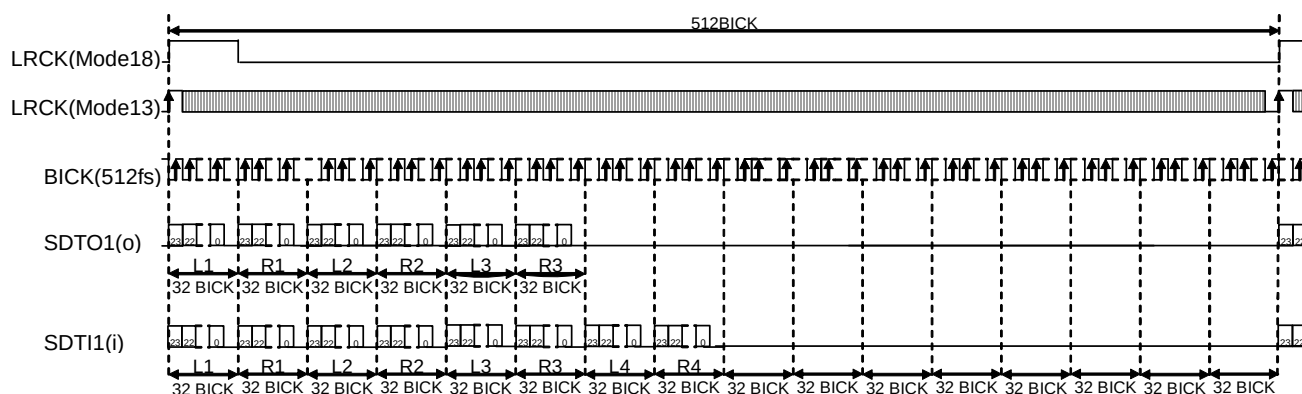


Figure 31. Mode 13/18 Timing (TDM512 Mode)

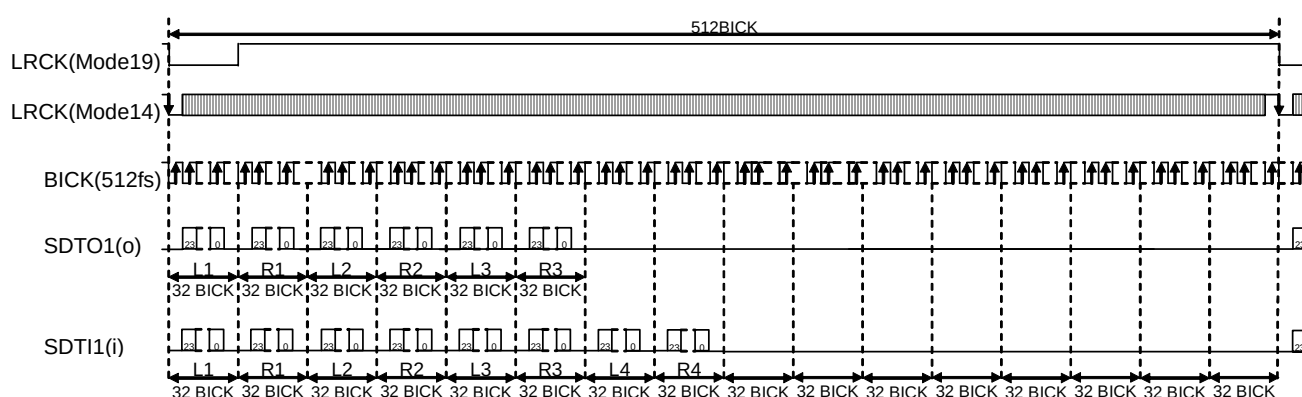


Figure 32. Mode 14/19 Timing (TDM512 Mode)

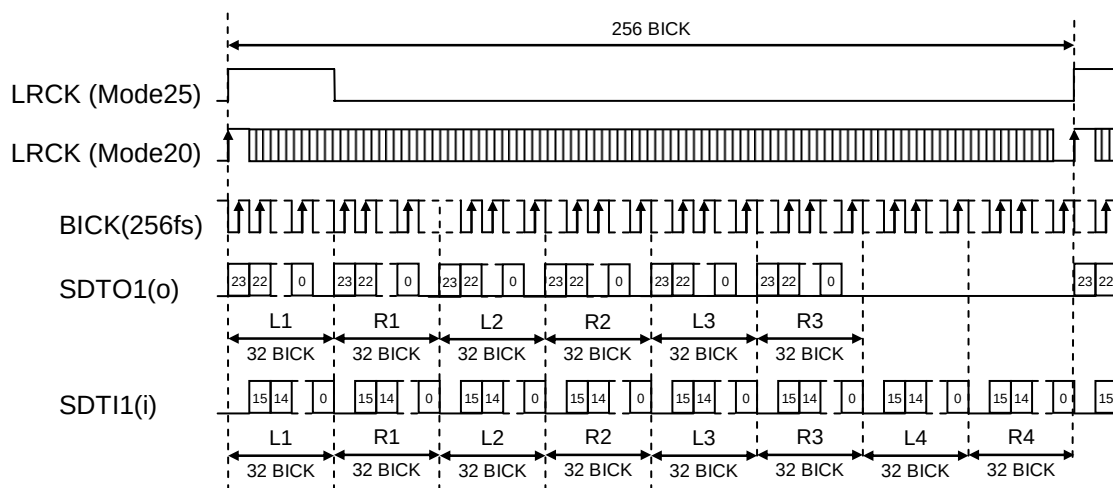


Figure 33. Mode 20/25 Timing (TDM256 Mode)

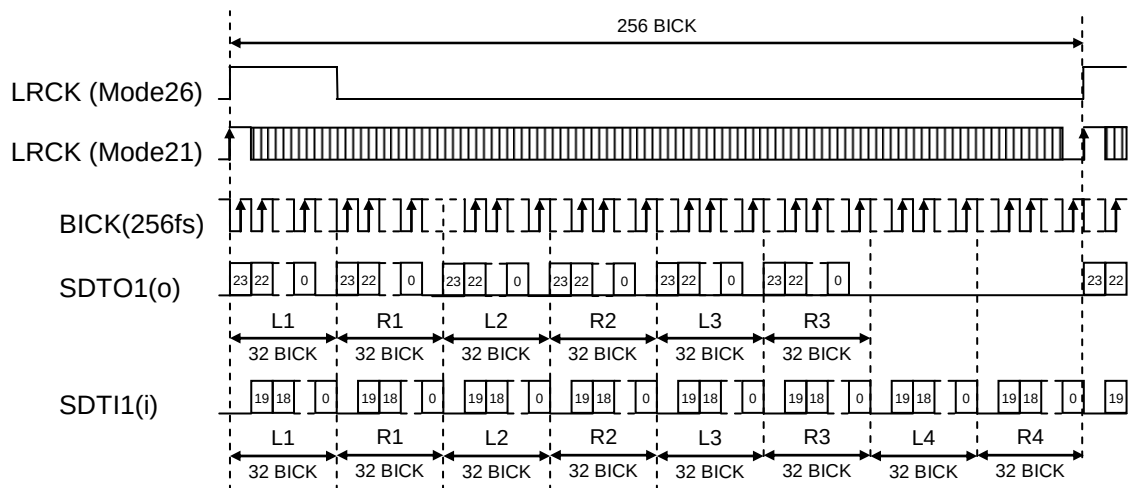


Figure 34. Mode 21/26 Timing (TDM256 Mode)

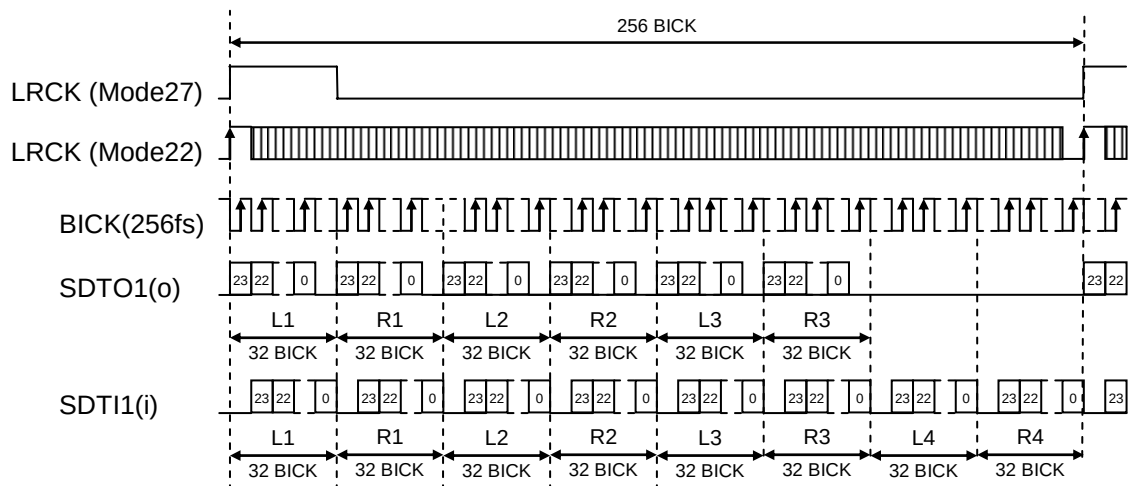


Figure 35. Mode 22/27 Timing (TDM256 Mode)

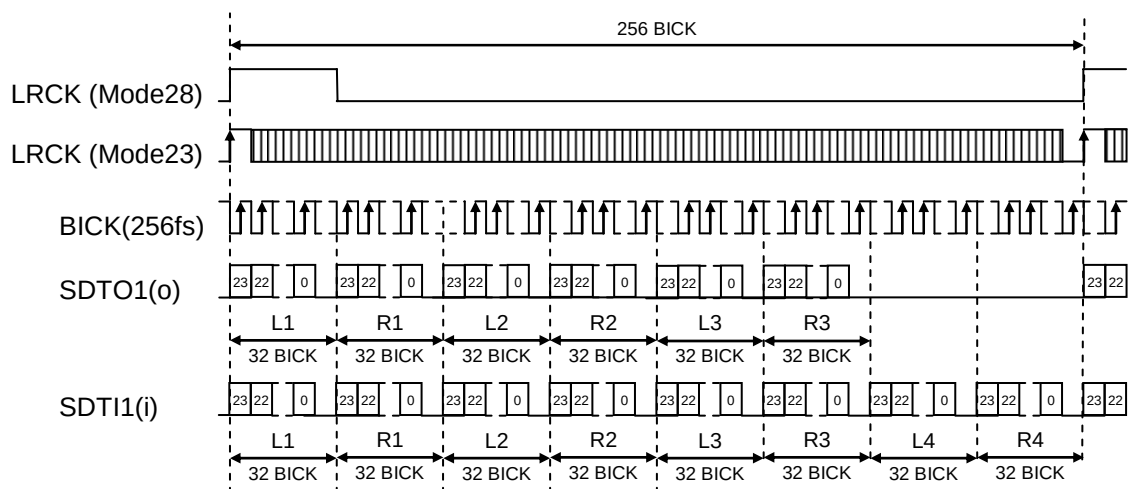


Figure 36. Mode 23/28 Timing (TDM256 Mode)

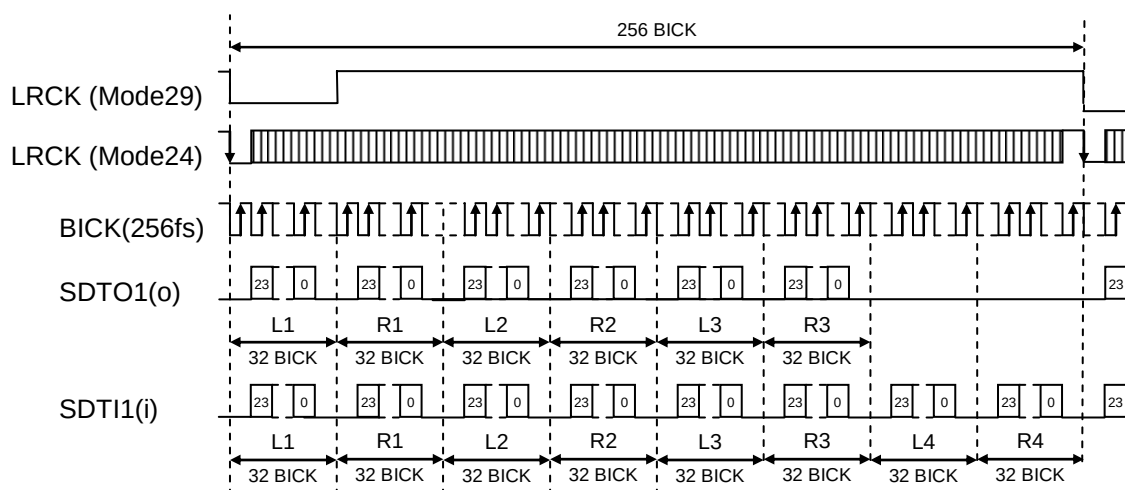


Figure 37. Mode 24/29 Timing (TDM256 Mode)

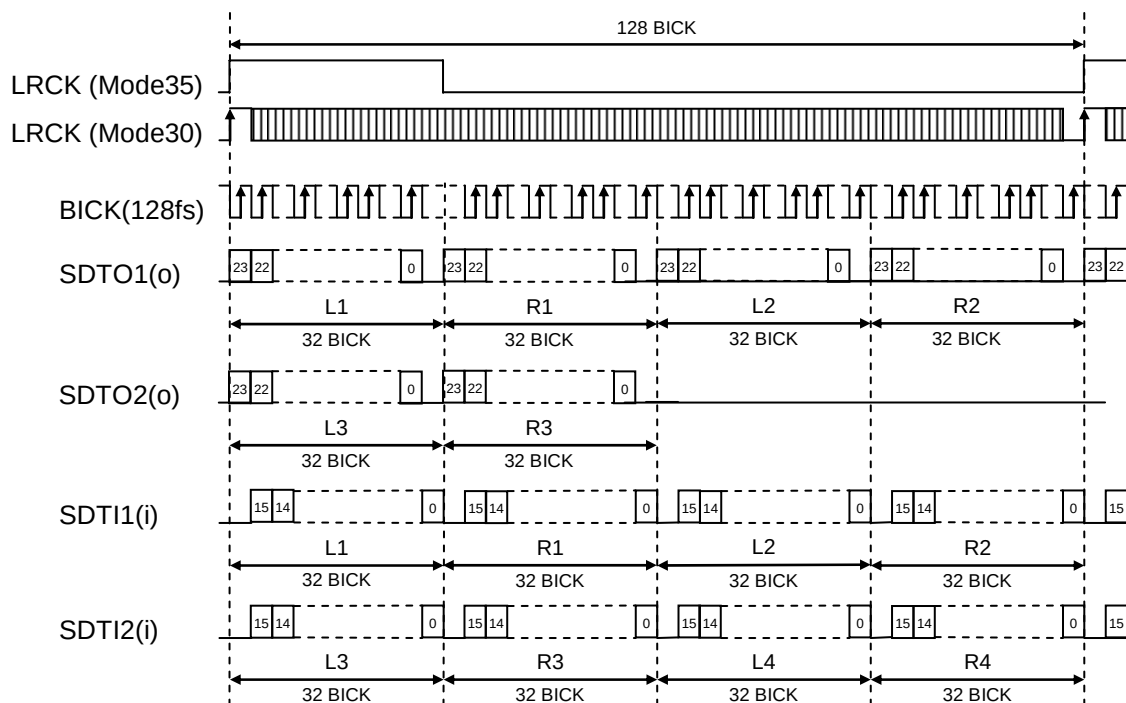


Figure 38. Mode 30/35 Timing (TDM128 Mode)

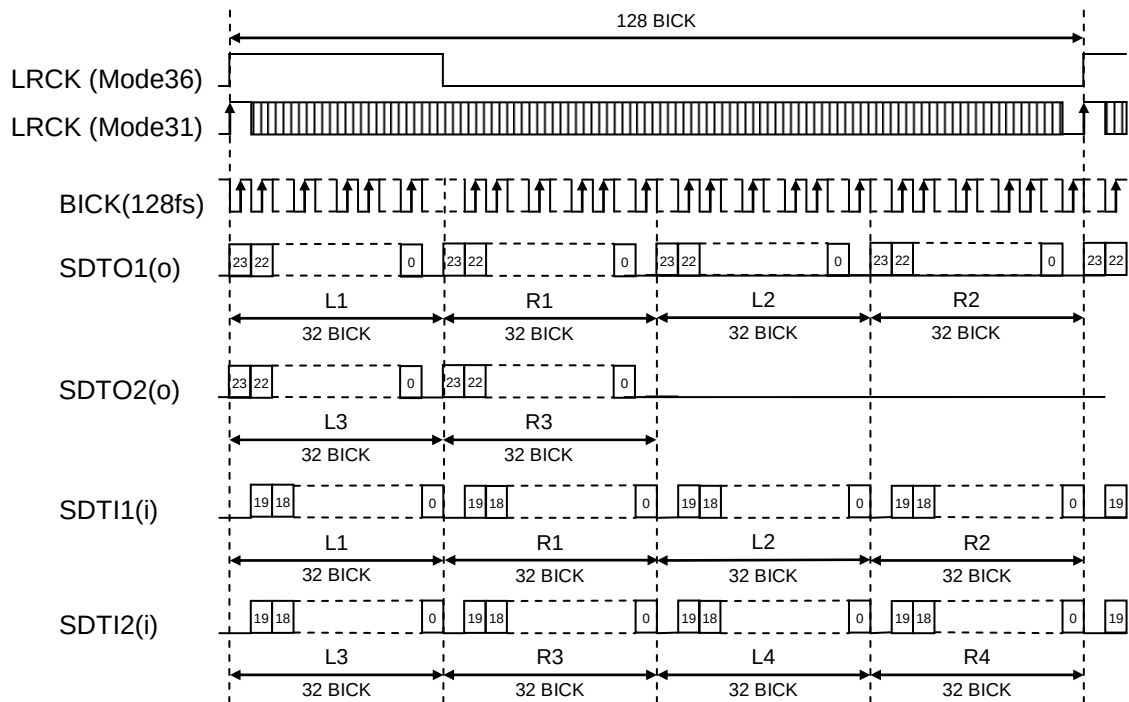


Figure 39. Mode 31/36 Timing (TDM128 Mode)

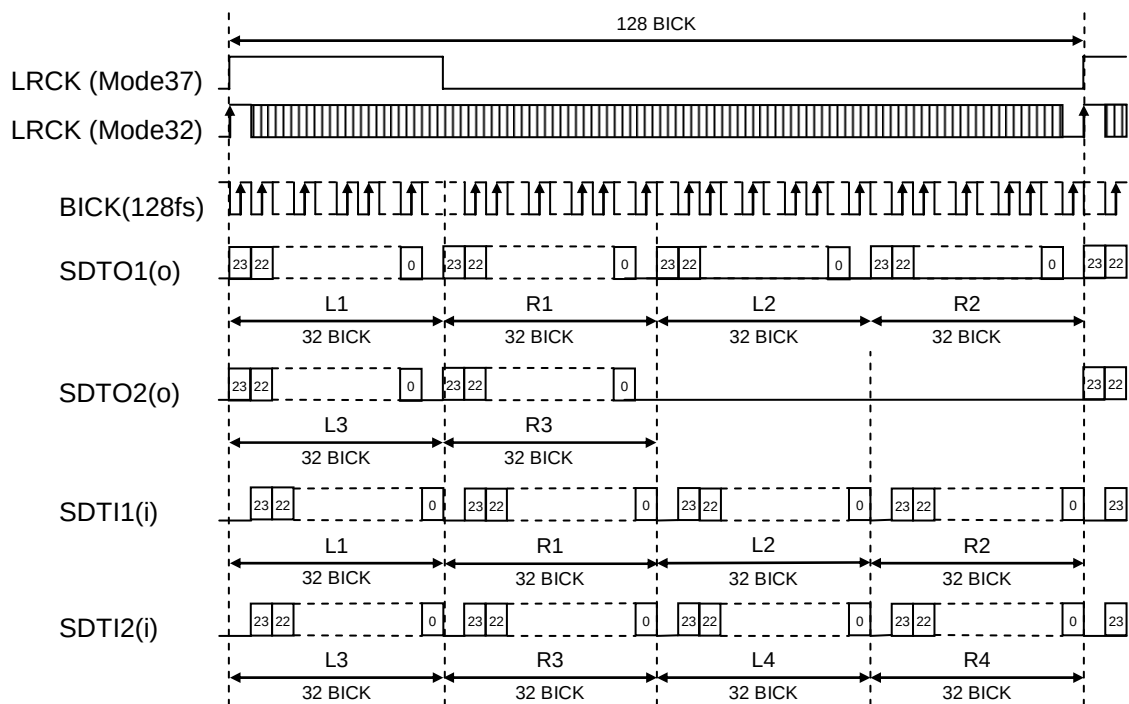


Figure 40. Mode 32/37 Timing (TDM128 Mode)

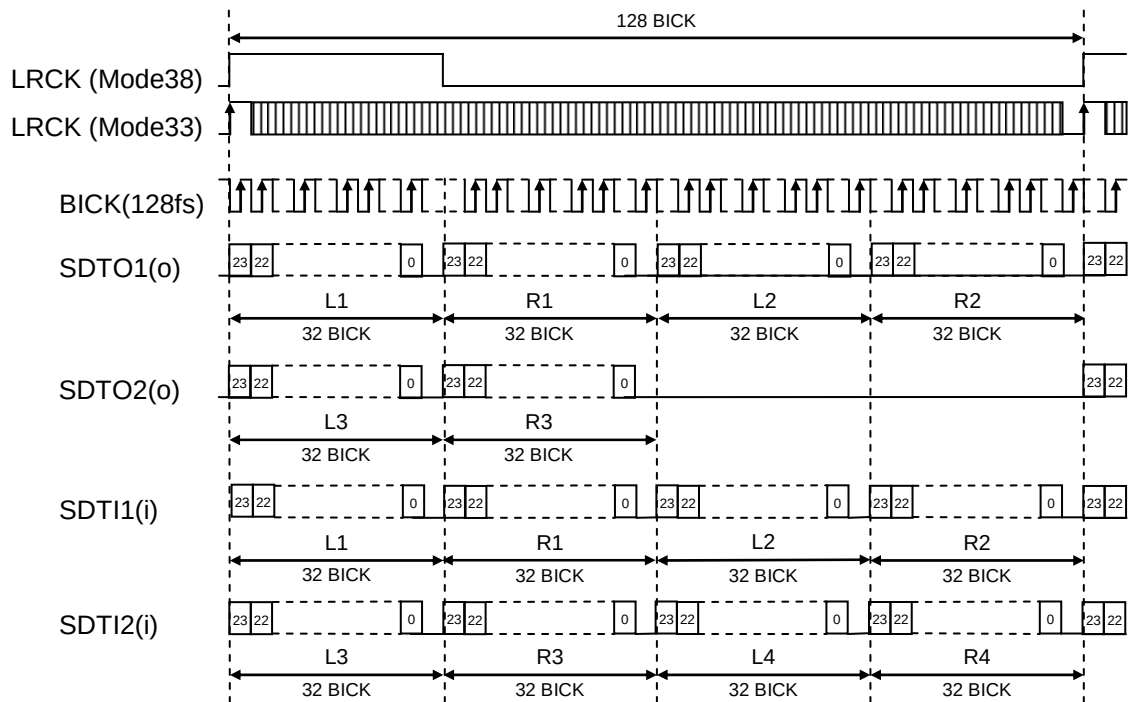


Figure 41. Mode 33/38 Timing (TDM128 Mode)

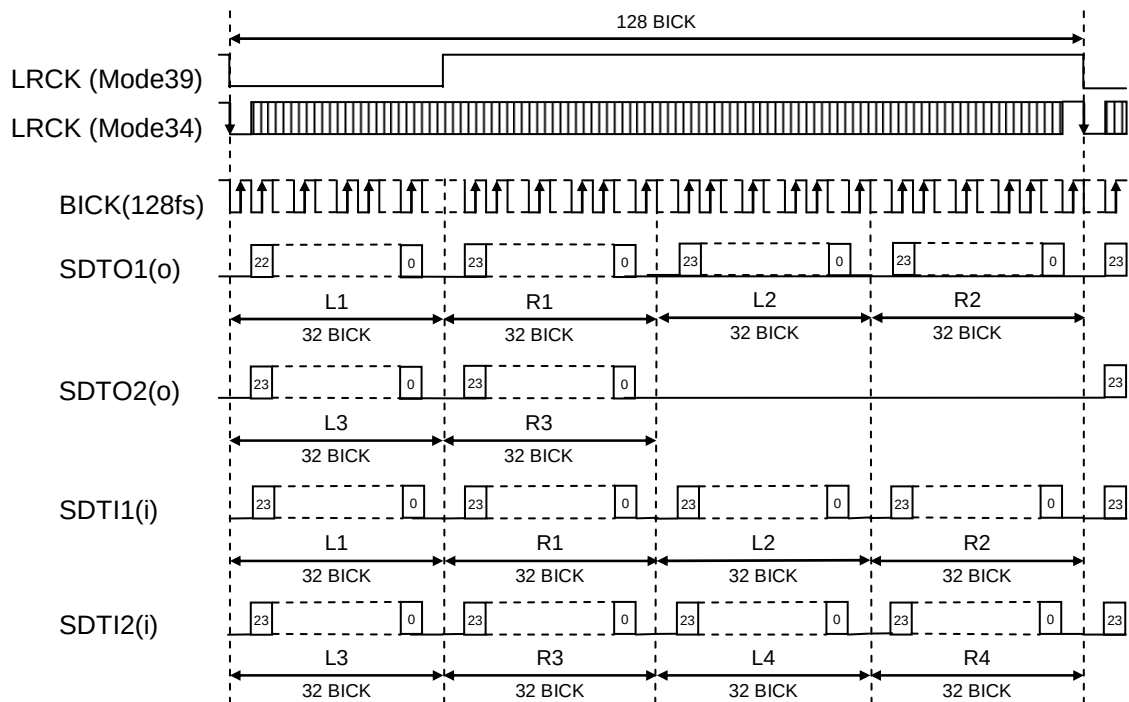


Figure 42. Mode 34/39 Timing (TDM128 Mode)

■ オーバフロー検出機能

AK4612 はアナログ入力のアナログ検出機能を持ちます。オーバーフロー検出機能は、OVFE bit = “1” で有効になります。オーバーフロー検出は各チャンネルのアナログ入力に対し行われ、各チャンネルのORを取ります。LchまたはRchのアナログ入力が増幅されると(-0.3dBFS以上)、OVFM2-0 bitで設定されたグループ分けに応じてOVF1/2 pin が “H” になります。オーバーフローしたアナログ入力に対するOVF1/2 pin の出力はADCと同じ群遅延($GD = 16/fs = 333\mu s @ fs = 48kHz$)を持ちます。パワーダウン解除後(PDN=“L” → “H”)、 $518/fs$ ($= 11.8ms @ fs = 48kHz$)の間OVF1/2 pin は “L” で、その後オーバーフロー検出機能が有効になります。

Mode	OVFM2	OVFM1	OVFM0	LIN1 or RIN1	LIN2 or RIN2	LIN3 or RIN3
0	0	0	0	OVF1	OVF1	OVF1
1	0	0	1	OVF1	OVF2	-
2	0	1	0	-	OVF1	OVF2
3	0	1	1	OVF2	-	OVF1
4	1	0	0	OVF2	OVF2	OVF2
5	1	0	1	disable (OVF2=OVF1= “L”)		
6	1	1	0			
7	1	1	1			

(default)

Table 15. オーバフロー検出コントロール (OVFE= “1”)

■ ゼロ検出機能

AK4612は2系統のゼロ検出機能を持ちます。ゼロ検出機能は、OVFE bit = “0” で有効になります。チャンネルのグループ分けはDZFM3-0 bitで選択できます([Table 16](#))。DZF1 pinはグループ1のチャンネル、DZF2 pinはグループ2のチャンネルに対応します。ゼロ検出機能では各チャンネルのANDを取り、mode 0-4ではDZF1 pin は全8chのANDを取ります。DZF2 pin はmode 0 の時 “L” で、mode 1-3 の時 “H” です。

グループ1(グループ2)の全チャンネルが8192回連続して “0” の場合、DZF1(DZF2) pin は “H” になります。その後グループ1(グループ2)のいずれかのチャンネルの入力データが “0” でなくなると “L” になります。

Mode	DZFM				AOUT							
	3	2	1	0	L1	R1	L2	R2	L3	R3	L4	R4
0	0	0	0	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1
1	0	0	0	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1
2	0	0	1	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1
3	0	0	1	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1
4	0	1	0	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1
5	0	1	0	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF2
6	0	1	1	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF2	DZF2
7	0	1	1	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF2	DZF2	DZF2
8	1	0	0	0	DZF1	DZF1	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2
9	1	0	0	1	DZF1	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2
10	1	0	1	0	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2
11	1	0	1	1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2
12	1	1	0	0	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2
13	1	1	0	1	disable (DZF1=DZF2= “L”)							
14	1	1	1	0								
15	1	1	1	1								

(default)

Table 16. ゼロ検出コントロール (OVFE= “0”)

■ デジタルボリューム機能

AK4612はチャンネル独立デジタルボリューム(256レベル, 0.5dBステップ)を内蔵しています。減衰量はレジスタのATT7-0 bitでそれぞれ設定します([Table 17](#))。

ATT7-0	Attenuation Level	(default)
00H	0dB	
01H	-0.5dB	
02H	-1.0dB	
⋮	⋮	
7DH	-62.5dB	
7EH	-63.0dB	
7FH	-63.5dB	
⋮	⋮	
FEH	-127.0dB	
FFH	MUTE ($-\infty$)	

Table 17. デジタルボリュームの減衰量

デジタルボリュームの遷移時間はATS1-0 bitで設定します([Table 18](#))。Mode0, Mode1, Mode2では設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。

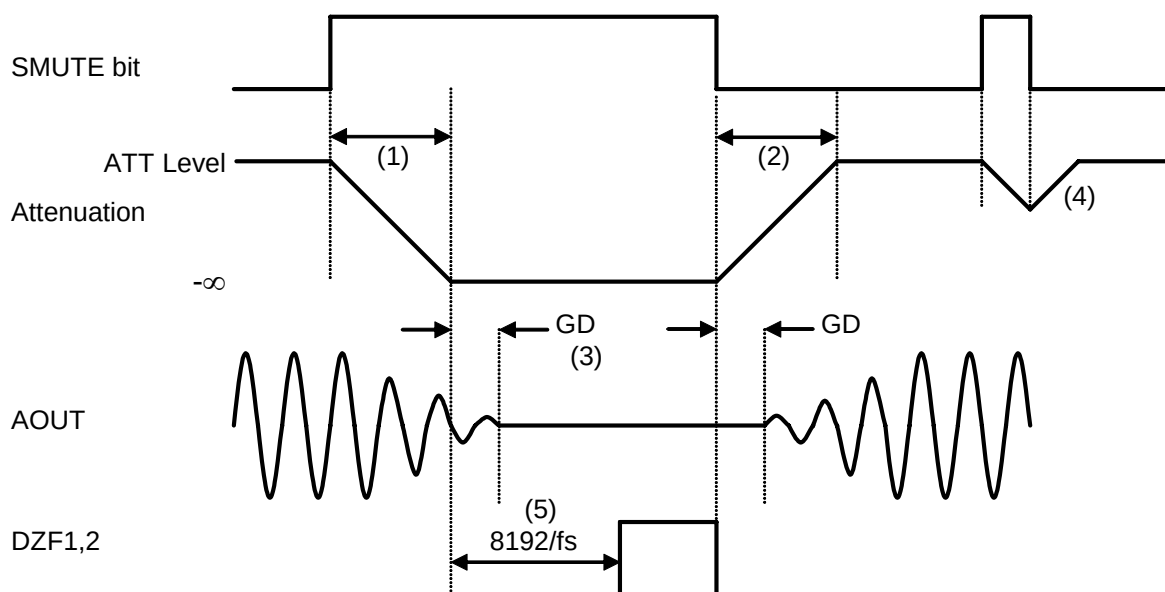
Mode	ATS1	ATS0	ATT speed	(default)
0	0	0	4096/fs	
1	0	1	2048/fs	
2	1	0	512/fs	
3	1	1	256/fs	

Table 18. デジタルボリュームの遷移時間

Mode0の場合、ATT設定間の遷移は4096レベルでソフト遷移します。00H(0dB)からFFH(MUTE)までには4096/fs (85.3ms@fs=48kHz)かかります。PDN pinを“L”にすると、ATT7-0 bitは00Hに初期化されます。ATT7-0 bitはRSTN bitを“0”にすると一旦00Hになり、RSTN bitを“1”に戻すと設定値に戻っていきます。

■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTE bitを“1”にするとその時点のATT設定値から設定されたデジタルボリュームの遷移時間 (Table 18)以内で入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE bitを“0”にすると、 $-\infty$ から設定されたデジタルボリュームの遷移時間 (Table 18)以内でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注:

- (1) 設定されたデジタルボリュームの遷移時間 (Table 18)以内で $-\infty$ (“0”)までアテネーションされます。例えば、Mode 0時、ATT設定値が“00H”の場合は4096/fsサイクルです。ソフトミュートで遷移するATT値は00H~FFHです。
- (2) 設定されたデジタルボリュームの遷移時間 (Table 18)以内でATT設定値まで復帰します。例えば、Mode 0時、ATT設定値が“FFH”の場合は4096/fsサイクルです。ソフトミュートで遷移するATT値はFFH~00Hです。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (5) グループの全チャンネルの入力データが8192回連続して“0”の場合、DZF1, 2 pinは“H”になります。その後グループ1 (グループ2) のいずれかのチャンネルの入力データが“0”でなくなると、DZF1(DZF2) pinは“L”になります。

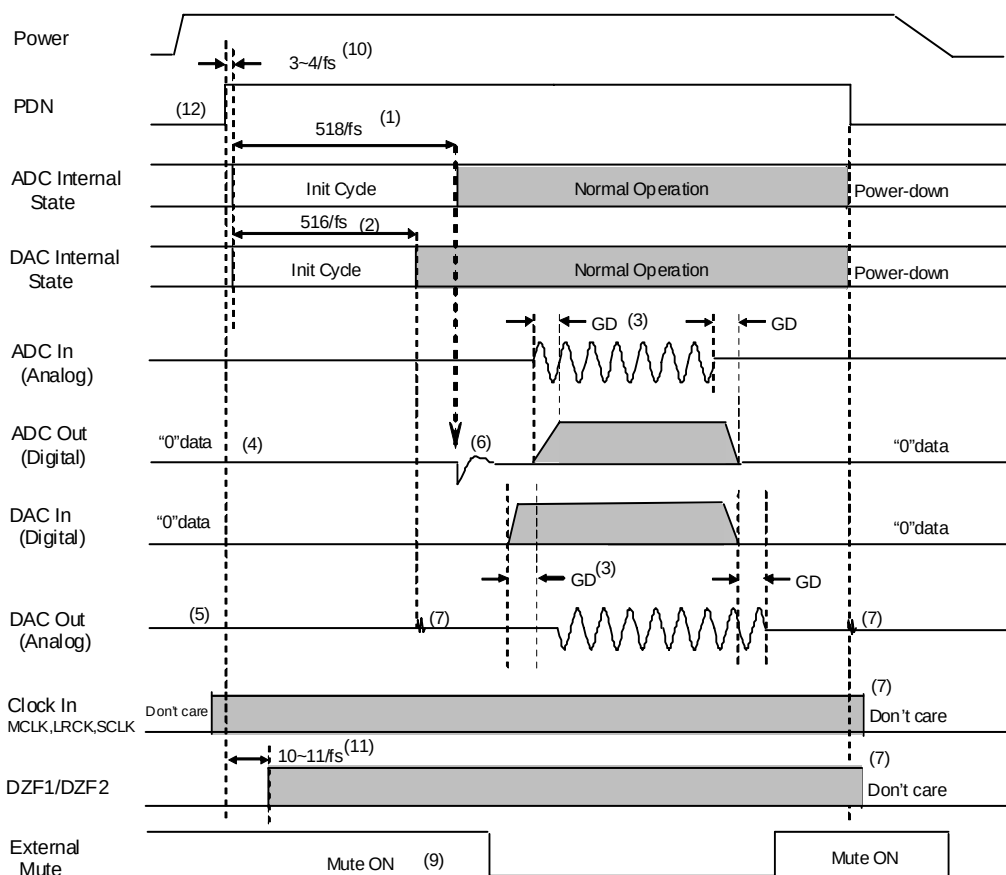
Figure 43. ソフトミュート機能とゼロ検出機能

■ システムリセット

電源 ON 時には、PDN pinに一度“L”を入力してリセットして下さい。VCOMなど基準電圧のパワーダウンはMCLKで解除され、その後LRCKの“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。LRCKが入力されるまでADC, DACはパワーダウン状態です。

■ パワーダウン機能

AK4612のADCとDACはパワーダウンピン(PDN pin)を“L”にすることでパワーダウンでき、このとき同時に各デジタルフィルタがリセットされます。PDN=“L”で内部レジスタ値は初期化されます。パワーダウンモード時、SDTO1-3, DZF1-2 pinは“L”になり、アナログ出力はDVMPD pin=“L”のときVCOM電圧、DVMPD pin=“H”のときHi-Zを出力します。このリセットは電源投入時に必ず一度行って下さい。ADCの場合、パワーダウンモードが解除されると3~4/fs後、初期化サイクル(518/fs)が開始されます。そのため、出力データSDTO1-3は521~522 x LRCKサイクル後確定します。DACの場合、パワーダウンモードが解除されると3~4/fs後、初期化サイクル(516/fs)が開始されます。初期化中、アナログ出力はDVMPD pin = “L”であればVCOM電圧、DVMPD pin = “H”であればHi-Zを出力します。Figure 44にパワーダウン及びパワーアップ時のシーケンス例を示します。

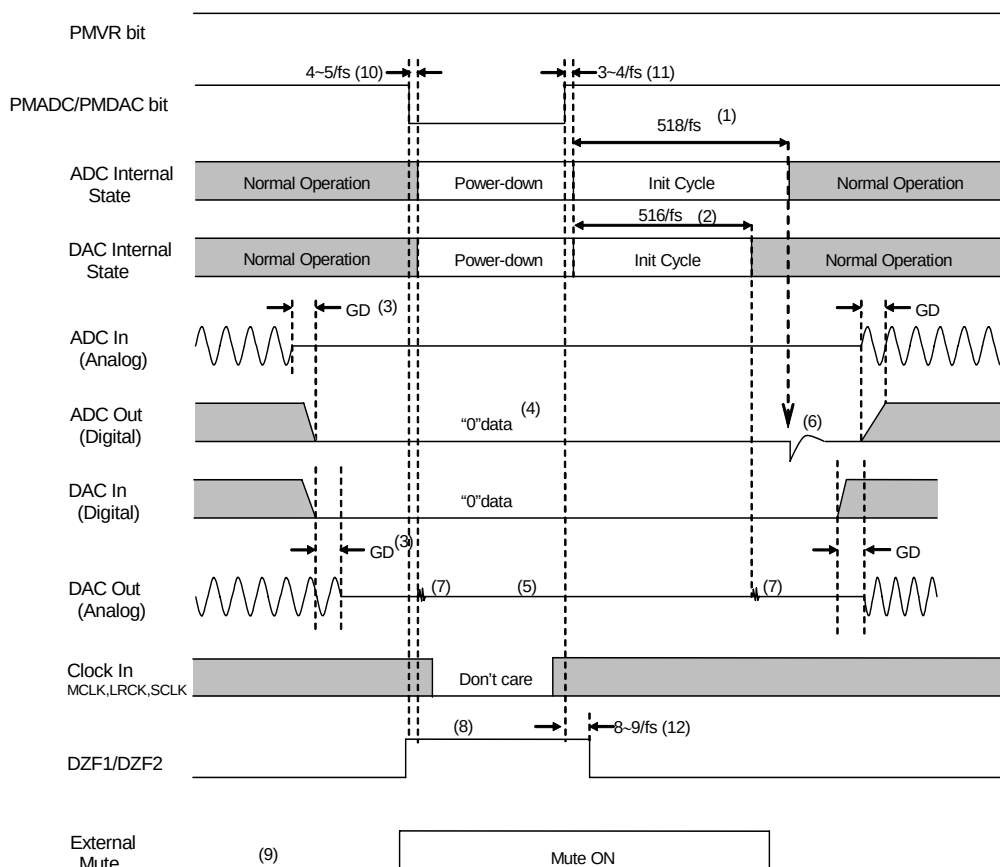


注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) DACはパワーダウン解除後、アナログ部が初期化されます。
- (3) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延をもちます。
- (4) パワーダウン時ADC出力は“0”データです。
- (5) パワーダウン時DAC出力は DVMPD pin = “L”であればVCOM電圧、DVMPD pin = “H”であればHi-Zです。
- (6) アナログ部の初期化終了時ADC出力に異音が発生します。異音が問題になる場合はデジタル出力をミュートして下さい。
- (7) PDN pinの立ち下がりエッジ、及びPDN pinの立ち上がりエッジの519~520/fs後で異音が発生します。
- (8) パワーダウン状態(PDN pin = “L”)では、DZF1-2 pinは“L”になります。
- (9) 異音(7)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (10) PDN pin を “H”にしてから初期化サイクルが開始するまで3~4/fsかかります。
- (11) PDN pin を “H”にしてから10~11/fsの間はDZF= “L”です。
- (12) PDN pin = “L”の状態では電源を投入し、すべての電源が立ち上がった後、PDN pinを“H”にしてください。

Figure 44. ピンパワーダウン／ピンパワーアップシーケンス例

AK4612のADCとDACはPMVR bit = “1” のときPMADC bitとPMDAC bitでそれぞれ独立にパワーダウンできます。また、ADC1-3はPMAD1-3 bitでそれぞれ独立にパワーダウンができ、DAC1-4はPMDA1-4 bitでそれぞれ独立にパワーダウンができます。このときレジスタ値は初期化されません。PMADC = “0”のときSDTO1-3 pinは“L”になります。PMDAC = “0”のとき、アナログ出力はDVMPD pin = “L”であればVCOM電圧、DVMPD pin = “H”であればHi-Zを出力しDZF1-2 pinは“H”になります。このとき異音が生じるので、問題になる場合は外部でミュートして下さい。Figure 45にパワーダウン及びパワーアップ時のシーケンス例を示します。



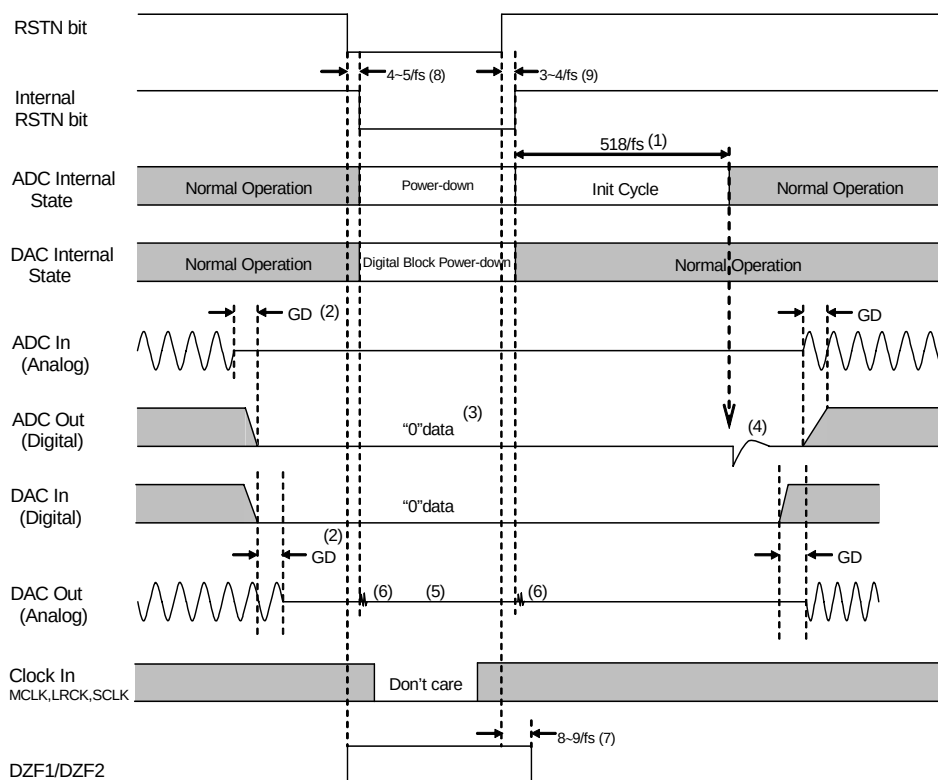
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) DACはパワーダウン解除後、アナログ部が初期化されます。
- (3) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延をもちます。
- (4) パワーダウン時ADC出力は“0”データです。
- (5) パワーダウン時DAC出力はDVMPD pin = “L”であればVCOM電圧、DVMPD pin = “H”であればHi-Zです。
- (6) アナログ部の初期化終了時ADC出力に異音が発生します。異音が問題になる場合はデジタル出力をミュートして下さい。
- (7) PMDAC bit に“0”を書き込んでから4~5/fs後、及びPMDAC bit に“1”を書き込んでから519~520/fs後で異音が発生します。
- (8) パワーダウン状態(PMDAC bit = “0”)では、DZF1-2 pinは“H”になります。
- (9) 異音(7)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (10) PMADC bitに“0”を書き込んでから該当するADCがパワーダウンするまで4~5/fs かかります。
PMDAC bitに“0”を書き込んでから該当するDACがパワーダウンするまで4~5/fs かかります。
- (11) PMADC bit 及びPMDAC bitを“1”にしてから初期化サイクルが開始するまで3~4/fsかかります。
- (12) PMDAC bitに“1”を書き込んでから8~9/fs後“L”になります。

Figure 45. ビットパワーダウン／ビットパワーアップシーケンス例

■リセット機能

RSTN = “0”のときADCはアナログ部とデジタル部がパワーダウン、DACはデジタル部がパワーダウンしますがレジスタ値は初期化されません。このときDZF1-2 pinは“H”、SDTO1-3 pinは“L”になり、アナログ出力はDVMPD pinの設定に関わらずVCOM電圧になります。この時異音が生じるので、問題になる場合は外部でミュートして下さい。Figure 46にRSTN bitによるリセットシーケンスを示します。



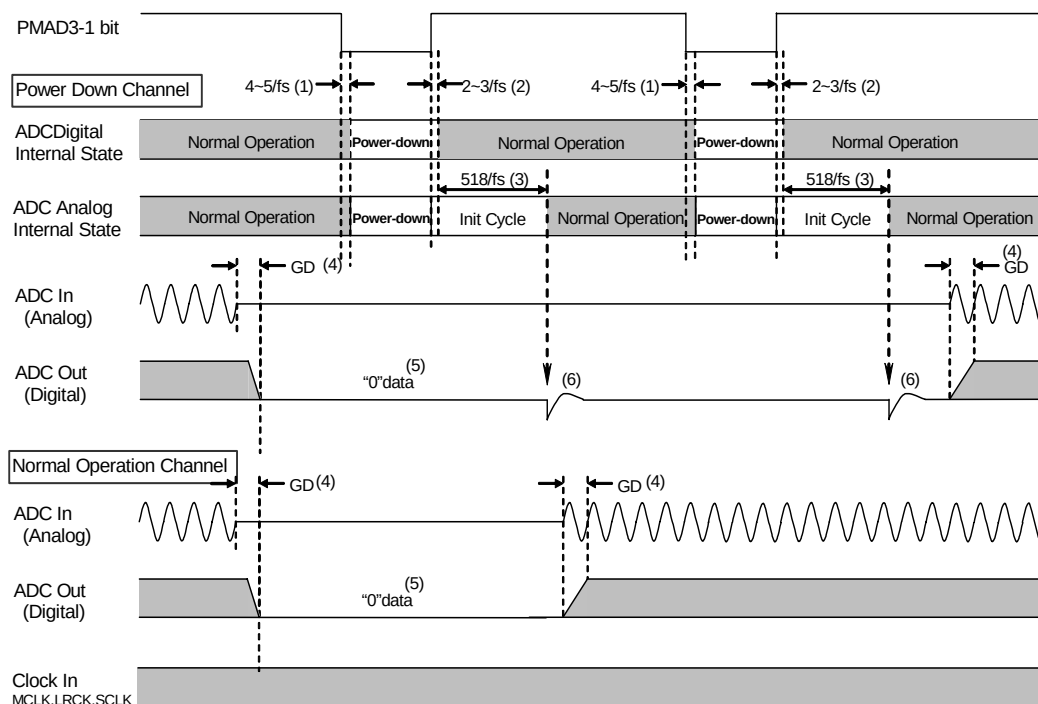
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) パワーダウン時ADC出力は“0”データです。
- (4) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (5) RSTN = “0”の時、アナログ出力はDVMPD pinの設定に関わらずVCOM電圧です。
- (6) RSTN bitが“0”になってから4~5/fs後、及びRSTN bitが“1”になってから3~4/fs後に異音が出力されます。
- (7) DZF1-2 pinはRSTN bitが“0”になると“H”になり、RSTN bitが“1”になってから8~9/fs後“L”になります。
- (8) RSTN bitに“0”を書き込んでからLSI内部のRSTN bitが変化するまで4~5/fsかかります。
- (9) RSTN bitに“1”を書き込んでから初期化サイクルが開始するまで3~4/fsかかります。

Figure 46. リセットシーケンス例

■ ADC個別パワーダウン機能

AK4612ではADCパワーマネジメントビットPMAD3-1 bitにより個別にパワーダウンをすることができます。パワーマネジメントビットPMAD3-1 bitが“0”のとき、該当するADCのアナログ部、デジタル部は共にパワーダウンされます。各ADCはパワーダウン解除後、アナログ部が初期化されます。アナログ入力に対するデジタル出力は群遅延(GD)をもちます。パワーダウン時ADC出力は“0”データです。アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。



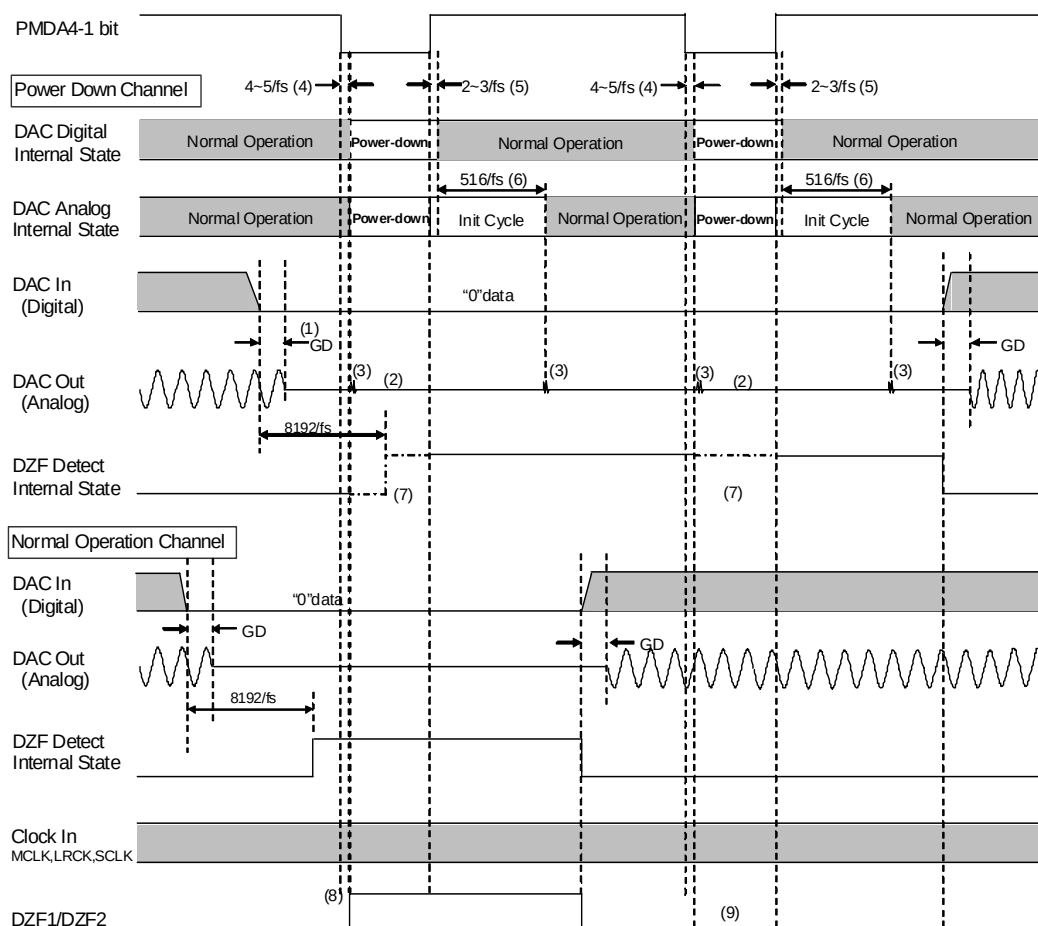
注：

- (1) PMAD3-1 bitに“0”を書き込んでから該当するADCがパワーダウンするまで $4\sim5/f_s$ かかります。
- (2) PMAD3-1 bitに“1”を書き込んでから初期化サイクルが開始するまで $2\sim3/f_s$ かかります。
- (3) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (4) アナログ入力に対するデジタル出力は群遅延(GD)をもちます。
- (5) パワーダウン時ADC出力は“0” データです。
- (6) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。

Figure 47. ADC個別パワーダウン例

■ DAC個別パワーダウン機能

AK4612ではDACパワーマネジメントビットPMDA4-1 bitにより個別にパワーダウンをすることができます。パワーマネジメントビットが“0”のとき、該当するDACのアナログ部、ディジタル部は共にパワーダウンされます。PMDA4-1 bitによりパワーダウンされたDACのアナログ出力はDVMPD pin = “L”であればVCOM電圧、DVMPD pin = “H”であればHi-Zになります。またDZF検出は行っていますが、DZF検出結果はDZF1-2 pinに反映されなくなります。パワーダウンの設定・解除の両方で異音が生じるため、問題になる場合は外部でミュート、もしくはPMDAC bit = “0”またはRSTN bit = “0”の時にPMDA4-1 bitの設定を行ってください。Figure 48にPMDA4-1 bitによるパワーダウン及びパワーアップ時のシーケンスを示します。



注：

- (1) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (2) PMDA4-1 bitでパワーダウンされたDACのアナログ出力はDVMPD pin = “L”であればVCOM電圧、DVMPD pin = “H”であればHi-Zです。
- (3) PMDA4-1 bitに“0”を書き込んでから4~5/fsで、PMDA4-1 bitに“1”を書き込んでから518~519/fsでDACの出力には異音が発生します。
- (4) PMDA4-1 bitに“0”を書き込んでから該当するDACがパワーダウンするまで4~5/fsかかります。
- (5) PMDA4-1 bitに“1”を書き込んでから初期化サイクルが開始するまで2~3/fsかかります。
- (6) DACはパワーダウン解除後、アナログ部が初期化されます。
- (7) パワーダウンされたDACではDZF検出は行っていますが、検出結果はDZF1-2 pinには反映されません。
- (8) パワーダウン設定により、パワーダウンされたDACのDZF検出結果が無視され、DZF1-2 pinが“H”になります。
- (9) パワーダウンを行わないDACに入力がある場合に、個別パワーダウンを行ってもDZF1-2 pinは“H”にはなりません。異音が問題になる場合にはアナログ出力を外部でミュートしてください。

Figure 48. DAC個別パワーダウン例

■ シリアルコントロールインタフェース

AK4612の各機能はピンまたはレジスタで設定できます。レジスタへの書き込み方式は2種類(4線シリアル、I²Cバス)あります。チップアドレスはCAD0, CAD1 pinの設定で決定されます。PDN pinを“L”にすると内部レジスタ値は初期化されます。RSTN bitに“0”を書き込むと内部タイミング回路がリセットされます。但し、この時レジスタの内容は初期化されません。

* PDN = “L”時はコントロールレジスタへの書き込みはできません。

(1) 4線シリアルコントロールモード (I2C pin = “L”)

レジスタ設定は4線式シリアルI/F pin(CSN, CCLK, CDTI, CDTO)で書き込みまたは読み出しを行います。I/F上のデータはChip address (2bits, CAD0, CAD1 pinで設定), Read/Write (1bit), Register address (MSB first, 5bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になり、データの読み出しはCSNの“↑”で出力がHi-Zになります。1アドレスへの書き込み毎にCSNを一度“H”にしてください。CCLKのクロックスピードは5MHz (max)です。PDN pin= “L”でレジスタの値はリセットされます。

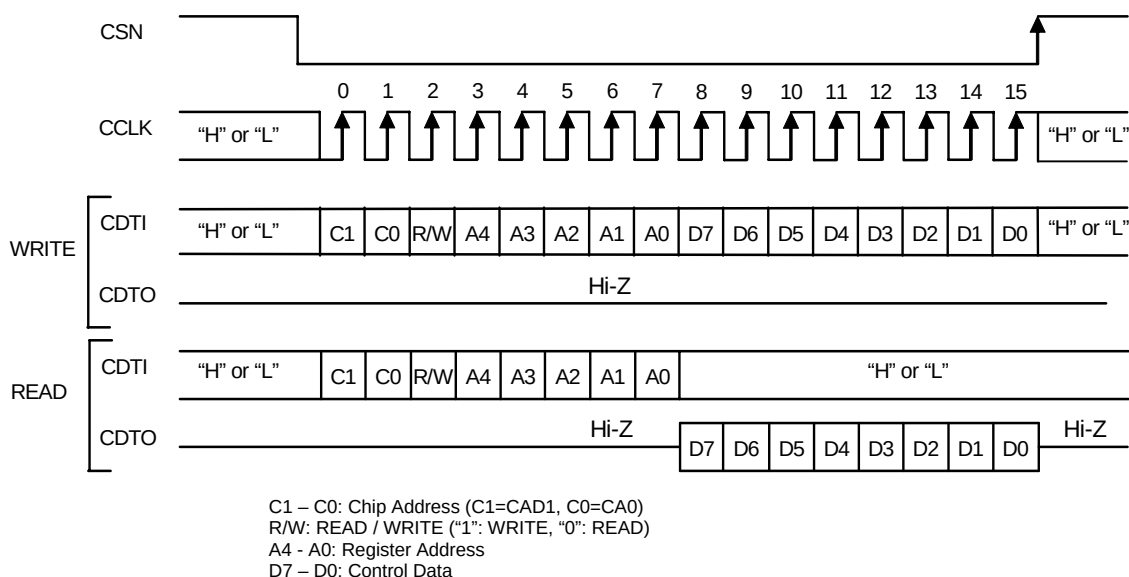


Figure 49. コントロールデータタイミング

(2) I²Cバスコントロールモード (I2C pin = “H”)

AK4612のI²Cバスモードのフォーマットは、高速モード(max:400kHz)に対応しています。

(2)-1. WRITE命令

I²Cバスモードにおけるデータ書き込みシーケンスはFigure 50に示されます。バス上のICへのアクセスには、最初に開始条件 (Start Condition) を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(Figure 56)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます。上位5ビットは“00100”固定、次の2ビットはアクセスするICを選ぶためのアドレスビットで、CAD1, CAD0 pinにより設定されます(Figure 51)。アドレスが一致した場合、AK4612は確認応答 (Acknowledge) を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 57)。R/W bitが“0”の場合はデータ書き込み、R/W bitが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位3ビットは“0”固定です(Figure 52)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(Figure 53)。AK4612は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件 (Stop Condition) によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 56)。

AK4612は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“16H”にデータを書き込んだ後、さらに次のアドレスに書き込んだ場合にはアドレス“00H”にデータが書き込まれます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 58)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

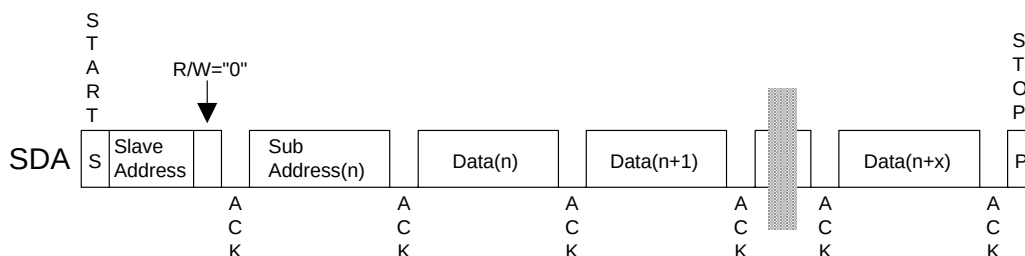


Figure 50. I²Cバスモードのデータ転送シーケンス

0	0	1	0	0	CAD1	CAD0	R/W
---	---	---	---	---	------	------	-----

(CAD1,CAD0は pinにより設定)

Figure 51. 第1バイトの構成

0	0	0	A4	A3	A2	A1	A0
---	---	---	----	----	----	----	----

Figure 52. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Figure 53. 第3バイト以降の構成

(2)-2. READ命令

R/W bitが“1”の場合、AK4612はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“16H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4612はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

(2)-2-1. カレントアドレスリード

AK4612は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4612はREAD命令のスレーブアドレス(R/W bit=“1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

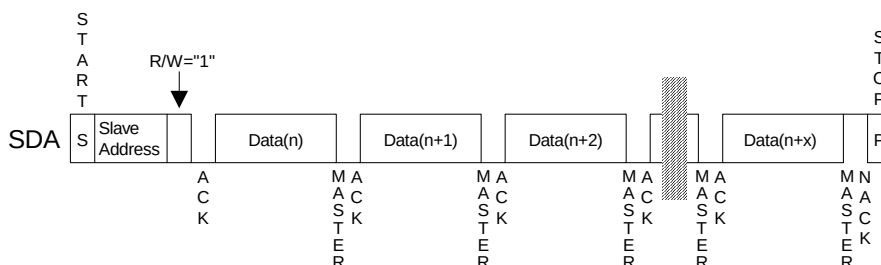


Figure 54. カレントアドレスリード

(2)-2-2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit=“1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W bit=“0”)、読み出すアドレスを順次入力します。AK4612がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit=“1”)を入力します。AK4612はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを出力し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

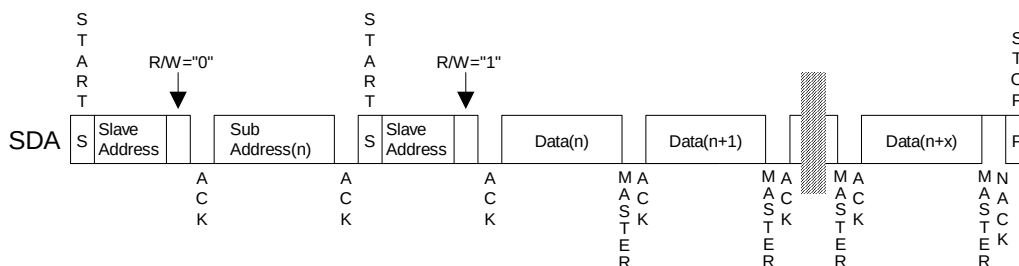


Figure 55. ランダムアドレスリード

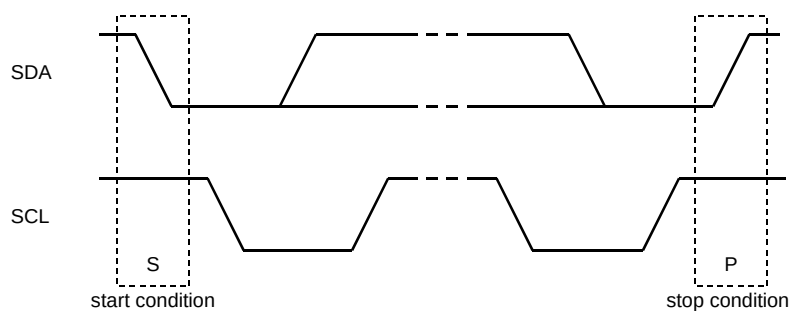
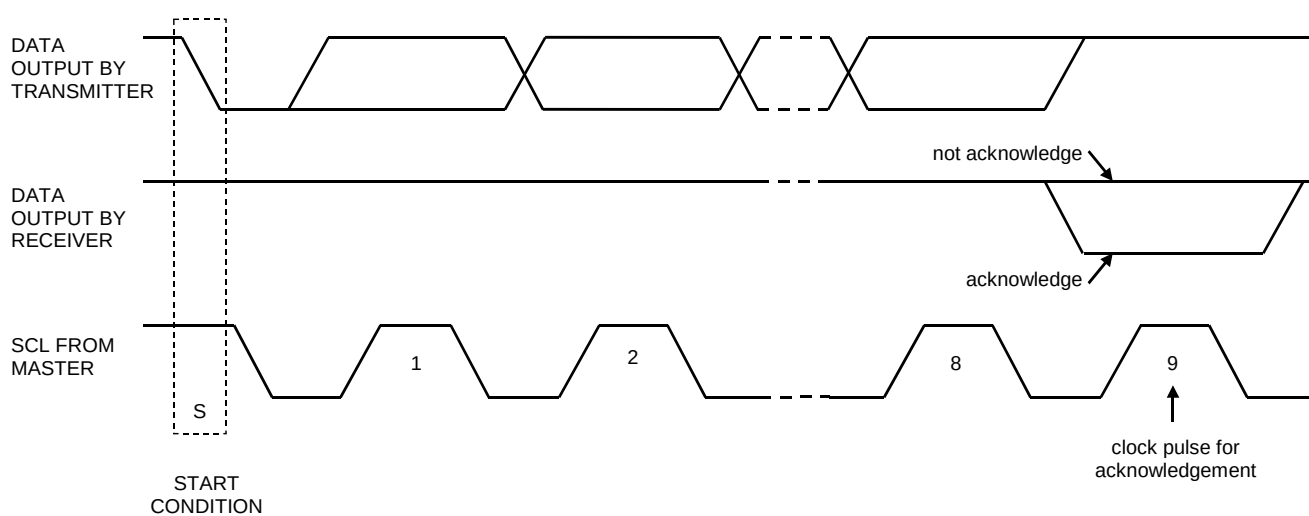
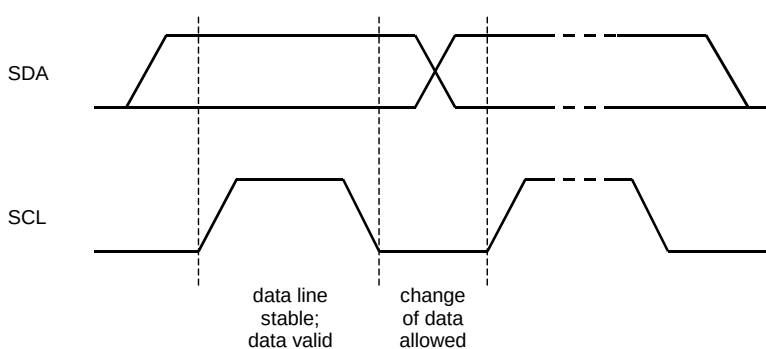


Figure 56. 開始条件と停止条件

Figure 57. I²Cバスでの確認応答Figure 58. I²Cバスでのビット転送

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	0	0	0	PMVR	PMADC	PMDAC	RSTN
01H	Power Management 2	0	0	0	0	0	PMAD3	PMAD2	PMAD1
02H	Power Management 3	0	0	1	1	PMDA4	PMDA3	PMDA2	PMDA1
03H	Control 1	TDM1	TDM0	DIF2	DIF1	DIF0	ATS1	ATS0	SMUTE
04H	Control 2	0	MCKO	CKS1	CKS0	DFS1	DFS0	ACKS	DIV
05H	De-emphasis1	DEM41	DEM40	DEM31	DEM30	DEM21	DEM20	DEM11	DEM10
06H	Reserved	0	0	0	0	0	1	0	1
07H	Overflow Detect	0	0	0	0	OVFE	OVFM2	OVFM1	OVFM0
08H	Zero Detect	LOOP1	LOOP0	0	0	DZFM3	DZFM2	DZFM1	DZFM0
09H	Input Control	0	0	0	0	0	DIE3	DIE2	DIE1
0AH	Output Control	0	0	1	1	DOE4	DOE3	DOE2	DOE1
0BH	LOUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0CH	ROUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0DH	LOUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0EH	ROUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0FH	LOUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
10H	ROUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
11H	LOUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
12H	ROUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0

注: アドレス13H~1FHは書き込み不可です。“0”で指定されたビットへの“1”の書き込みは禁止です。

PDN pin を“L”にすると、レジスタ値は初期化されます。

RSTN bit を“0”にすると、内部のタイミングがリセットされ、DZF1-2 pin が“H”になります。但し、レジスタ値は初期化されません。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management 1	0	0	0	0	PMVR	PMADC	PMDAC	RSTN
	R/W	RD	RD	RD	RD	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	1	1	1

RSTN: 内部タイミングリセット

0: リセット。DZF1-2 pinは“H”になりますが、レジスタ値は初期化されません。

1: 通常動作。

PMDAC: DAC1-4のパワーマネジメント

0: 全DACのパワーダウン。このときPMDA1-6 bitは無効です。

1: 通常動作。このときPMDA1-6 bitは有効です。

PMADC: ADC1-3のパワーマネジメント

0: 全ADCのパワーダウン。このときPMAD1-3 bitは無効です。

1: 通常動作。このときPMAD1-3 bitは有効です。

PMVR: 基準電圧のパワーマネジメント

0: パワーダウン

1: 通常動作

各ブロックを動作させる場合は、必ずPMVR bitを“1”にしなければなりません。PMVR bitに対して“0”を書き込むことができるのは、PMDAC, PMADC bitを“0”にする時だけです。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Power Management 2	0	0	0	0	0	PMAD3	PMAD2	PMAD1
	R/W	RD	RD	RD	RD	RD	R/W	R/W	R/W
	Default	0	0	0	0	0	1	1	1

PMAD3-1: ADC1-3のパワーマネジメント (0: パワーダウン, 1: 通常動作)

PMAD1: ADC1のパワーマネジメント

PMAD2: ADC2のパワーマネジメント

PMAD3: ADC3のパワーマネジメント

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Power Management 3	0	0	1	1	PMDA4	PMDA3	PMDA2	PMDA1
	R/W	RD	RD	RD	RD	R/W	R/W	R/W	R/W
	Default	0	0	1	1	1	1	1	1

PMDA4-1: DAC1-4のパワーマネジメント (0: パワーダウン, 1: 通常動作)

PMDA1: DAC1のパワーマネジメント

PMDA2: DAC2のパワーマネジメント

PMDA3: DAC3のパワーマネジメント

PMDA4: DAC4のパワーマネジメント

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Control 1	TDM1	TDM0	DIF2	DIF1	DIF0	ATS1	ATS0	SMUTE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	1	0	0	0	0	0

SMUTE: ソフトミュート機能有効

0: 通常動作

1: 全DAC出力がソフトミュートされます。

ATS1-0: デジタルアテネータ遷移時間設定([Table 18](#))

初期値: “00”, mode 0

DIF2-0: オーディオデータインタフェースモード選択([Table 11](#), [Table 12](#), [Table 13](#), [Table 14](#))

初期値: “100”, mode 4

TDM1-0: TDMフォーマット選択([Table 11](#), [Table 12](#), [Table 13](#), [Table 14](#))

Mode	TDM1	TDM0	SDTI	Sampling Speed Mode
0	0	0	1-6	Stereo mode (Normal, Double, Quad Speed Mode)
1	0	1	1	TDM512 mode (Normal Speed Mode)
2	1	0	1-2	TDM256 mode (Double Speed Mode)
3	1	1	1-3	TDM128 mode (Quad Speed Mode)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Control 2	0	MCKO	CKS1	CKS0	DFS1	DFS0	ACKS	DIV
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	1	0	0	0	0	0

DIV: マスタクロック出力周波数設定

0: XTIに入力された周波数を1倍で出力

1: XTIに入力された周波数を1/2倍にして出力

ACKS: クロック自動認識モード有効

0: 無効, Manual Setting Mode

1: 有効, Auto Setting Mode

ACKS=“1”のとき、MCLK周波数は自動検出されます。この場合DFSの設定は無視されます。

ACKS=“0”のとき、サンプリングスピードモードはDFS0, 1で設定し、各モードでのMCLK周波数は自動検出されます。

DFS1-0: サンプリングスピードコントロール([Table 1](#))

ACKS bit=“1”のとき、DFSの設定は無視されます。

CKS1-0: マスタクロック入力周波数選択([Table 2](#))

MCKO: マスタクロック出力イネーブル

0: MCKO pin = “L”を出力

1: DIV bitで設定された周波数をMCKOに出力

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	De-emphasis1	DEM41	DEM40	DEM31	DEM30	DEM21	DEM20	DEM11	DEM10
R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Default		0	1	0	1	0	1	0	1

DEM11-10: DAC1のディエンファシス応答コントロール([Table 8](#))

初期値: “01”, OFF

DEM21-20: DAC2のディエンファシス応答コントロール([Table 8](#))

初期値: “01”, OFF

DEM31-30: DAC3のディエンファシス応答コントロール([Table 8](#))

初期値: “01”, OFF

DEM41-40: DAC4のディエンファシス応答コントロール([Table 8](#))

初期値: “01”, OFF

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Overflow Detect	0	0	0	0	OVFE	OVFM2	OVFM1	OVFM0
R/W		RD	RD	RD	RD	R/W	R/W	R/W	R/W
Default		0	0	0	0	0	1	1	1

OVFE: オーバフロー検出機能有効 ([Table 15](#))

0: オーバフロー検出無効、ゼロ検出有効

OVF1/DZF1 pinはDZF1 pinとなります。OVF2/DZF2 pinはDZF2 pinとなります。

1: オーバフロー検出有効、ゼロ検出無効

OVF1/DZF1 pinはOVF1 pinとなります。OVF2/DZF2 pinはOVF2 pinとなります。

OVFM2-0: オーバフロー検出モード選択 ([Table 15](#))

初期値: “111”, 無効

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	Zero Detect	LOOP1	LOOP0	0	0	DZFM3	DZFM2	DZFM1	DZFM0
	R/W	R/W	R/W	RD	RD	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	1	1	1

DZFM3-0: ゼロ検出モード選択 (Table 16)

初期値: “1111”, 無効

LOOP1-0: ループバックモード有効

00: 通常動作 (ループバックなし)

01: LIN1 → LOUT1, LOUT2

RIN1 → ROUT1, ROUT2

LIN2 → LOUT3, LOUT4

RIN2 → ROUT3, ROUT4

LIN3 → LOUT5, LOUT6

RIN3 → ROUT5, ROUT6

ADCのデジタル出力をDACのデジタル入力に接続します。このモードではDAC入力のSDTI1-4は無視されます。ループバックモード時SDTOのフォーマットは、オーディオフォーマットがmode0,1の場合はmode3、mode2の場合はmode5になります。

10: SDTI1(L) → SDTI2(L), SDTI3(L), SDTI4(L)

SDTI1(R) → SDTI2(R), SDTI3(R), SDTI4(R)

このモードではDAC入力のSDTI2-4は無視されます。

11: Not Available

TDMモードのとき、レジスタの設定は“00”に設定して下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Input Control	0	0	0	0	0	DIE3	DIE2	DIE1
	R/W	RD	RD	RD	RD	RD	R/W	R/W	R/W
	Default	0	0	0	0	0	1	1	1

DIE3-1: ADC1-3差動入力イネーブル (0: Single-End Input, 1: Differential Input)

DIE1: ADC1差動入力イネーブル

DIE2: ADC2差動入力イネーブル

DIE3: ADC3差動入力イネーブル

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Output Control	0	0	1	1	DOE4	DOE3	DOE2	DOE1
	R/W	RD	RD	RD	RD	R/W	R/W	R/W	R/W
	Default	0	0	1	1	1	1	1	1

DOE4-1: DAC1-4差動出力イネーブル (0: Single-End Output, 1: Differential Output)

DOE1: DAC1差動出力イネーブル

DOE2: DAC2差動出力イネーブル

DOE3: DAC3差動出力イネーブル

DOE4: DAC4差動出力イネーブル

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	LOUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0CH	ROUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0DH	LOUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0EH	ROUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0FH	LOUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
10H	ROUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
11H	LOUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
12H	ROUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Default		0	0	0	0	0	0	0	0

ATT7-0: アテネーションレベル([Table 17](#))

システム設計

条件：差動入力(DIE3-1 bit = “111”)、差動出力(DOE4-1 bit = “1111”)

4線シリアルコントロール(I2C pin = "L")

Master mode (M/S pin = "H")

AK4612はDifferential 入力ではアンチエリアジングフィルタを内蔵しています。

AK4612はDifferential 出力ではスムージングフィルタを内蔵していませんので帯域外ノイズを除去したい場合は外部でLPFを組んでください。

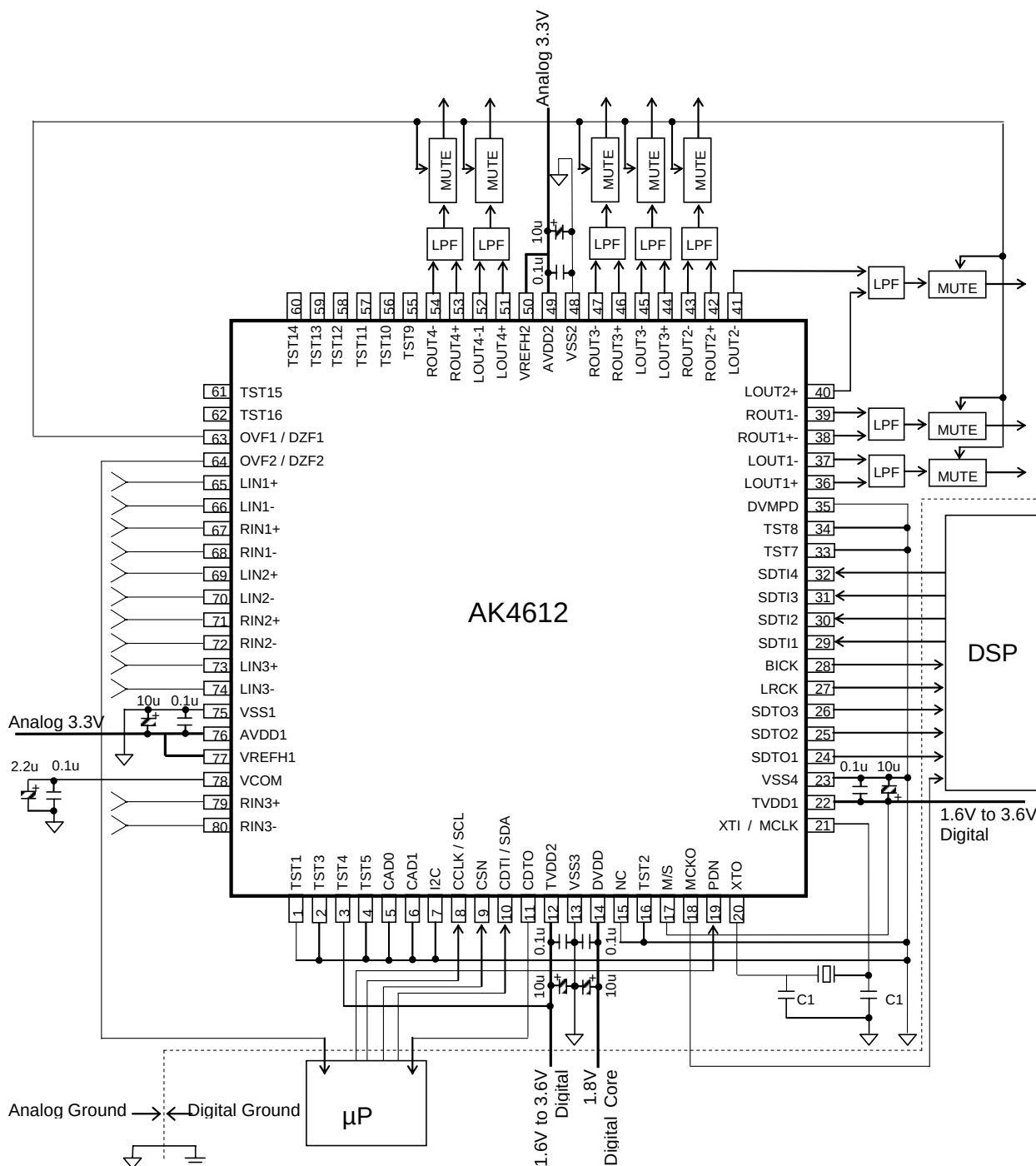
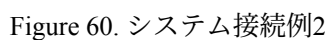


Figure 59. システム接続例1

Slave mode (M/S pin = "L")

AK4612はSingle-end 出力ではスムージングフィルタを内蔵しています。



1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常AVDD1, AVDD2, TVDD1, TVDD2にはシステムのアナログ電源を供給します。AVDD1, AVDD2, TVDD1, TVDD2が別電源で供給される場合は、電源立ち上げシーケンスを考える必要はありません。VSS1とVSS2, VSS3, VSS4はアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧入力

VREFH1, VREFH2 pinに入力される電圧がアナログ入出力レンジを設定します。通常VREFH1 pinはAVDD1 pinに接続し、VSS1との間に0.1 μ Fのセラミックコンデンサを接続します。VREFH2 pinはAVDD2 pinに接続し、VSS2との間に0.1 μ Fのセラミックコンデンサを接続します。VCOMはAVDD1x1/2電圧を出力しており、アナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 μ F程度の電解コンデンサと並列に0.1 μ FのセラミックコンデンサをVSS1との間に接続して下さい。特にセラミックコンデンサはピンに出来るだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。また、デジタル信号、特にクロック信号は変調器へのカップリングを避けるためVREFH1, VREFH2, VCOMからできるだけ離して下さい。

3. アナログ入力

ADC入力はシングルエンド入力、差動入力の両方に対応しており、DIE3-1 bitで選択できます。シングルエンド入力時は内部で9k Ω (typ)でVCOM(AVDD1x1/2)電圧にバイアスされています。入力レンジは0.65 x VREFH1 Vpp (typ)@fs=48kHzです。差動入力時は内部で13k Ω (typ)でVCOMにバイアスされています。LIN(RIN)+とLIN(RIN)-間の入力信号範囲は、 $\pm 0.65 \times VREFH1 \text{ Vpp (typ)@fs=48kHz}$ です。AK4612はVSS1からAVDD1までの電圧を入力することができます。出力コードのフォーマットは2'sコンプリメント(2の補数)です。DCオフセットは内蔵のHPFでキャンセルされます。

AK4612は128fs(@fs=48kHz)でアナログ入力をサンプリングします。デジタルフィルタは、128fsの整数倍付近の帯域を除く阻止域以上のノイズをすべて除去します。AK4612は128fs付近のノイズを減衰させるためにアンチエイリアジングフィルタ(RCフィルタ)を内蔵しています。

4. アナログ出力

DAC出力はシングルエンド出力、差動出力の両方に対応しており、DOE4-1 bitで選択できます。シングルエンド出力時の出力レンジはVCOM電圧を中心に0.63xVREFH2 Vpp(typ)です。差動出力時の出力レンジはVCOM電圧を中心に $\pm 0.63 \times VREFH2 \text{ Vpp (typ)}$ です。差動出力は外部で加算されます。L(R)OUT+ とL(R)OUT-の加算電圧は $V_{AOUT} = [L(R)OUT+] - [L(R)OUT-]$ です。加算ゲインが1の場合、出力レンジは4.16Vpp (typ@AVDD2=3.3V)です。外部加算回路のバイアス電圧は外部で供給されます。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。 $\Delta \Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)はシングルエンド出力時には内蔵のスイッチトキャパシタフィルタ(SCF)と連続フィルタ(CTF)で除去されます。差動出力時には連続フィルタが内蔵されていないので帯域外ノイズを除去したい場合は外部でLPFを組んでください。

本LSIのアナログ出力はVCOM電圧に対して数mV程度のオフセットを持つため通常の使用ではコンデンサでDC成分をカットします。

5. 外部アナログ入力回路

この回路の入力レベルは4.3Vpp (AK4612: typ. $\pm 2.15\text{Vpp}$)です。

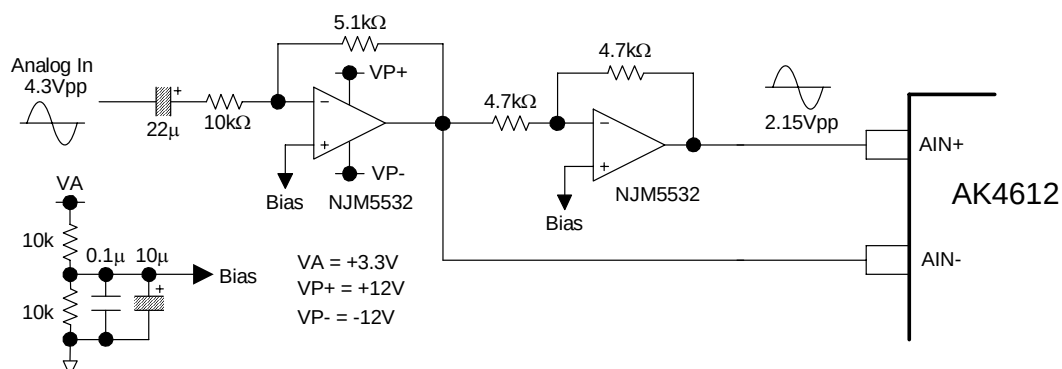


Figure 61. Input buffer circuit example 1 (DC coupled single-end input)

この回路の入力レベルは4.3Vpp (AK4612: typ. $\pm 2.15\text{Vpp}$)です。

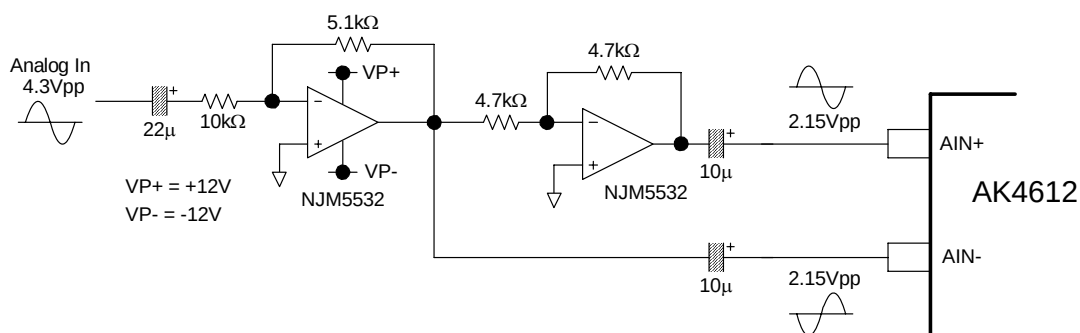


Figure 62. Input buffer circuit example 2 (AC coupled single-end input)

この回路の入力レベルは $\pm 2.15\text{Vpp}$ (AK4612: typ. $\pm 2.15\text{Vpp}$)です。

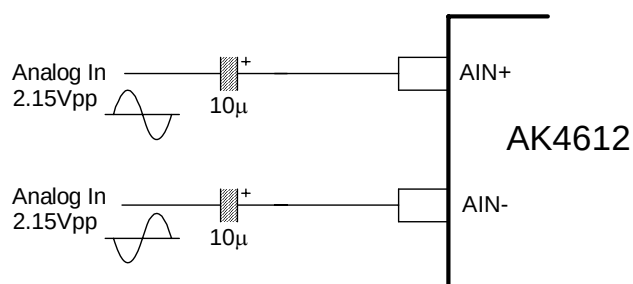


Figure 63. Input buffer circuit example 3 (AC coupled differential input)

この回路の入力レベルは $\pm 2.15\text{Vpp}$ (AK4612: typ. $\pm 2.15\text{Vpp}$)です。

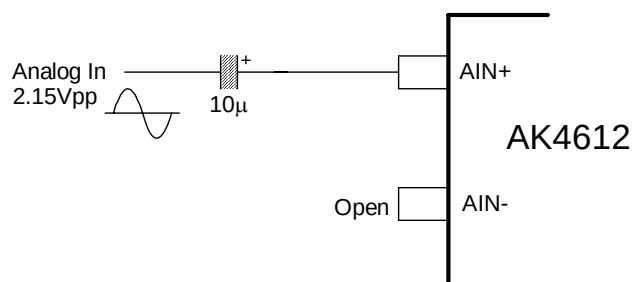


Figure 64. Input buffer circuit example 4 (AC coupled single-end input)

6. 外部アナログ出力回路

この回路の出力レベルは 4.16Vpp (AK4612: typ. $\pm 2.08\text{Vpp}$)です。

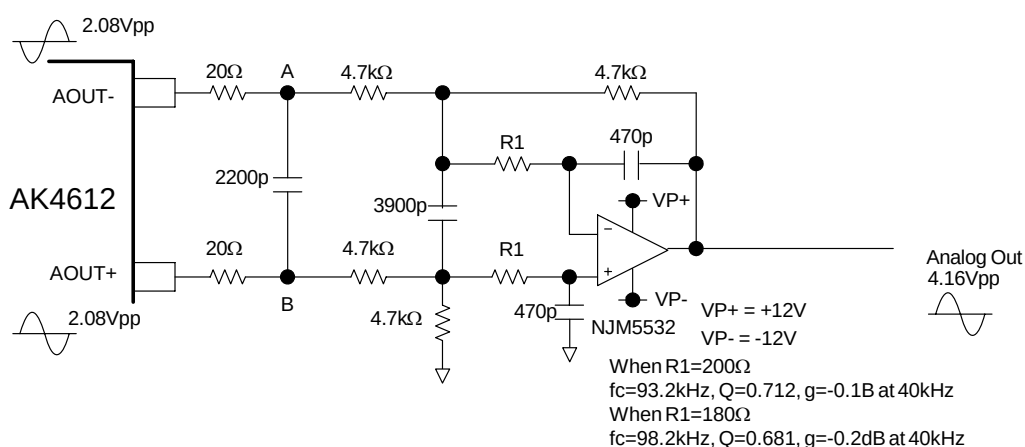


Figure 65. Output buffer circuit example 1 (DC coupled differential output)

この回路の出力レベルは 4.16Vpp (AK4612: typ. $\pm 2.08\text{Vpp}$)です。

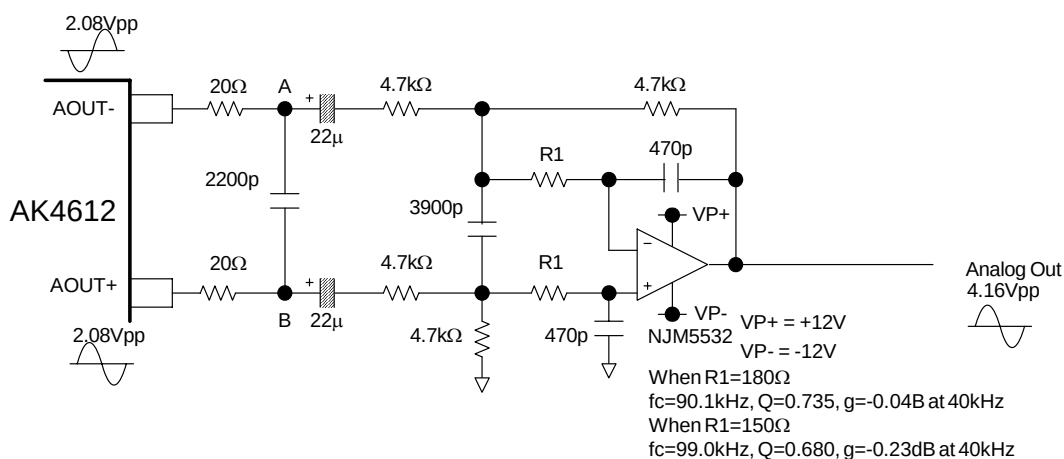


Figure 66. Output buffer circuit example 2 (AC coupled differential output)

この回路の出力レベルは4.16Vpp (AK4612: typ. 2.08Vpp)です。

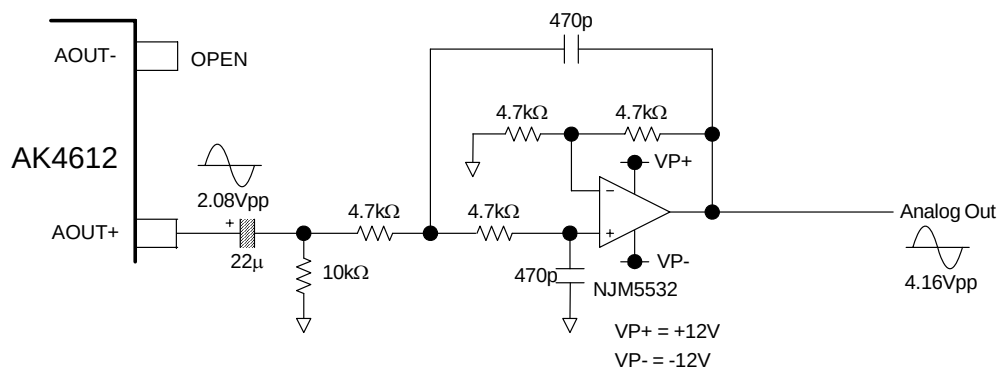


Figure 67. Output buffer circuit example 3 (AC coupled single-end output)

この回路の出力レベルは2.08Vpp (AK4612: typ. 2.08Vpp)です。

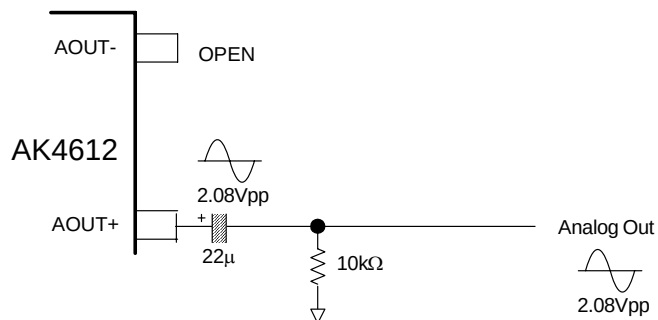
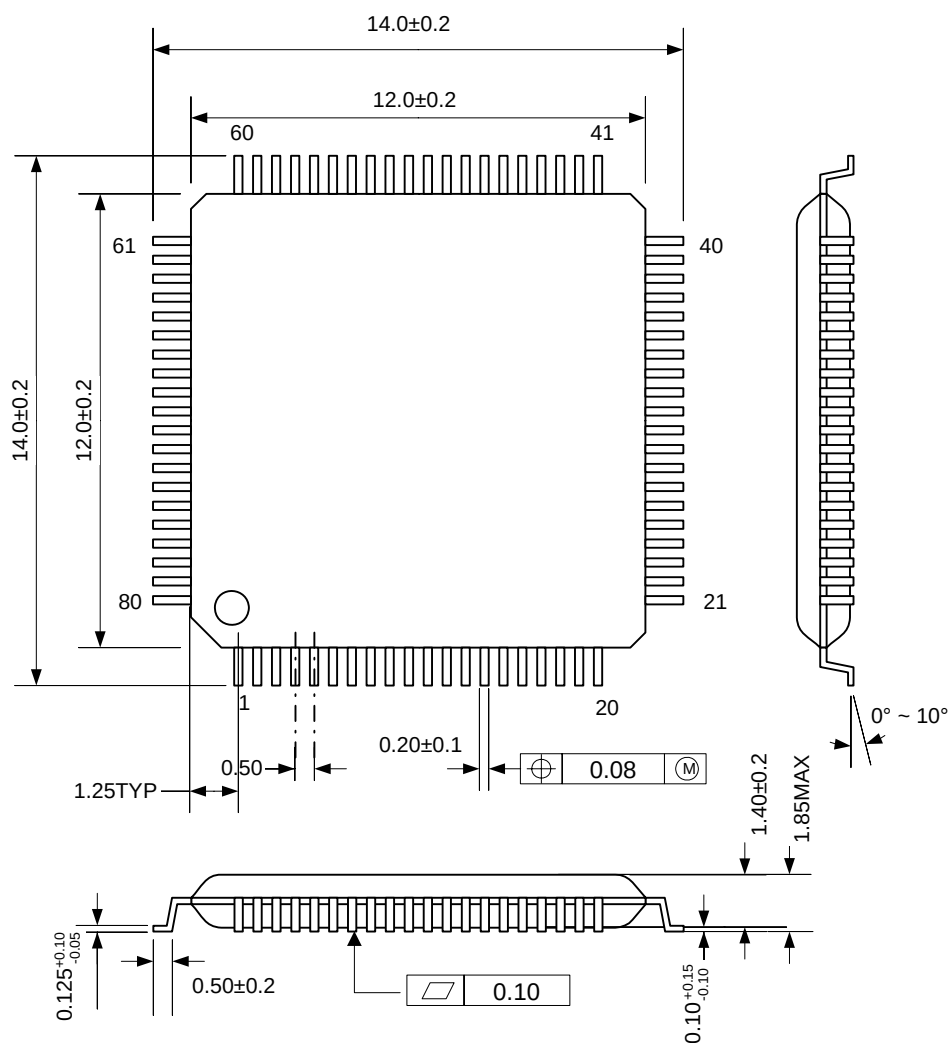


Figure 68. Output buffer circuit example 4 (AC coupled single-end output)

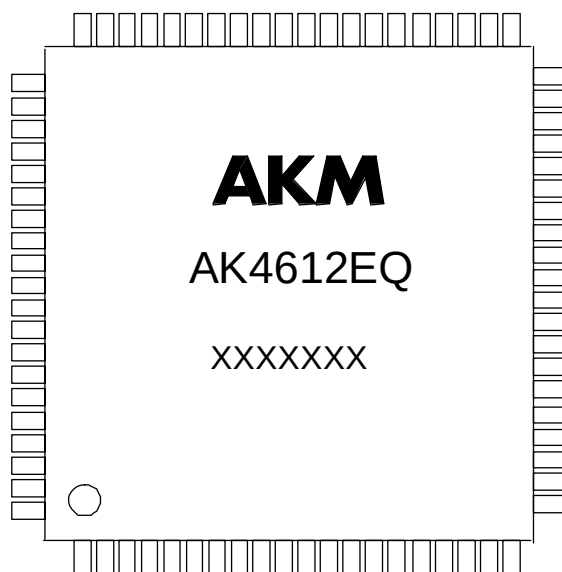
パッケージ

- 80-pin LQFP (Unit : mm)

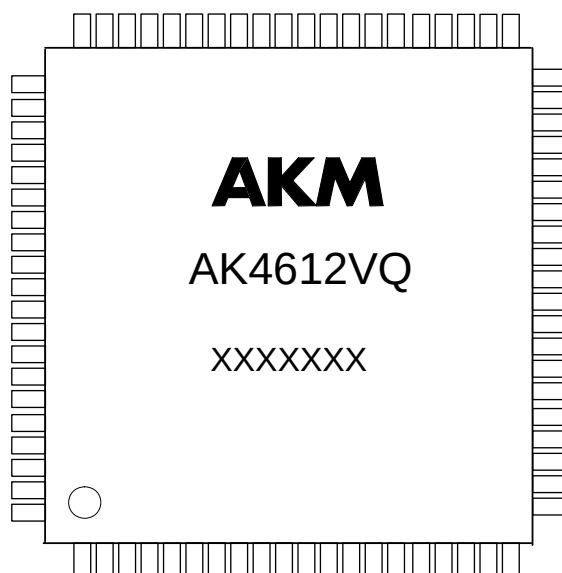


■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂、ハロゲン(臭素、塩素)フリー
リードフレーム材質:	銅
リードフレーム処理:	半田(無鉛)メッキ

マーキング (AK4612EQ)

- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code: AK4612EQ
- 4) Asahi Kasei Logo

マーキング (AK4612VQ)

- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code: AK4612VQ
- 4) Asahi Kasei Logo

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
09/02/06	00	初版		
09/06/05	01	仕様変更	10	アナログ特性 ADC Analog Input Characteristics (differential) S/(N+D) fs=48kHz, -1dBFS: 89 → 88 (min)

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。