

AD5204/AD5206

产品特性

256位

多路独立可编程通道

AD5204—4通道

AD5206—6通道

电位计的替代产品

端接电阻：10 k Ω 、50 k Ω 、100 k Ω

三线式SPI兼容型串行数据输入

采用+2.7 V至+5.5 V单电源或 ± 2.7 V双电源供电

上电预设为中间电平

应用

机械电位计的替代产品

仪器仪表：增益、失调电压调整

可编程电压至电流转换

可编程滤波器、延迟、时间常数

线路阻抗匹配

概述

AD5204/AD5206分别是4/6通道、256位、数字控制可变电阻(VR)器件，可实现与电位计或可变电阻相同的电子调整功能。AD5204/AD5206的各通道均内置一个带游标触点的固定电阻，该游标触点在载入SPI兼容串行输入寄存器的数字码所确定的点位分接该固定电阻值。游标与固定电阻任一端点之间的电阻值，随传输至VR锁存器中的数字码呈线性变化。在A端子与游标或B端子与游标之间，可变电阻提供一个完全可编程电阻值。A端至B端电阻是固定值(10 k Ω 、50 k Ω 或100 k Ω)，其标称温度系数为700 ppm/ $^{\circ}$ C。

每个VR均有各自的VR锁存器，用来保存其编程电阻值。这些VR锁存器由一个内部串行转并行移位寄存器更新，该移位寄存器从一个标准三线式串行输入数字接口加载数据。由11个数据位构成的数据字传输至串行输入寄存器。当CS选通返回至逻辑高电平时，前3位经解码后可确定哪个VR锁存器加载了最后8位数据字。利用串行寄存器相对端的串行数据输出引脚(仅AD5204)，就可以简单的菊花链形式将多个VR连接，而无需额外的外部解码逻辑。

功能框图

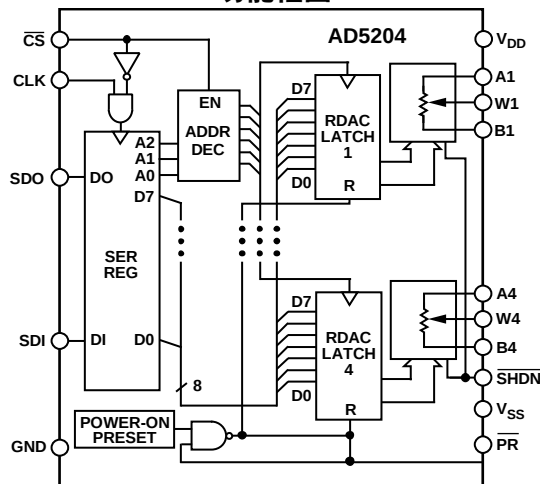


图1.

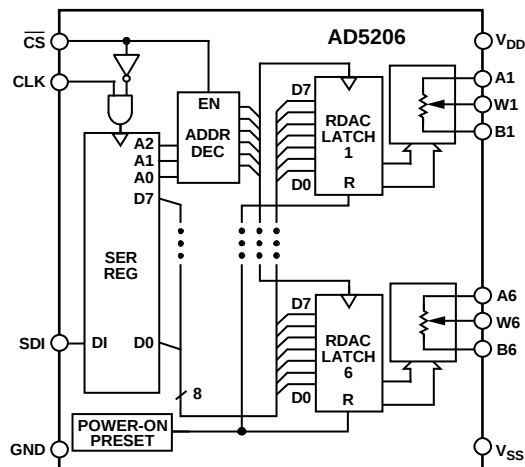


图2.

可选复位引脚(PR)通过将0x80载入VR锁存器来迫使所有的AD5204游标移到中间电平位置。

AD5204/AD5206提供24引脚表面贴装SOIC、TSSOP和PDIP三种封装。AD5204还采用了32引脚、5 mm $\times$ 5 mm LFCSP封装。所有器件的保证工作温度范围均为 -40° C至 $+85^{\circ}$ C扩展工业温度范围。有关单通道、双通道和四通道器件的更多信息，请参见AD8400/AD8402/AD8403数据手册。

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700
Fax: 781.461.3113
©1999–2010 Analog Devices, Inc. All rights reserved.
www.analog.com

目录

特性.....	1	典型性能参数	10
应用	1	工作原理	12
概述.....	1	可变电阻编程	13
功能框图	1	可变电阻器操作.....	13
修订历史	2	电位计分压器编程	14
技术规格	3	电压输出操作	14
电气特性	3	数字接口	15
时序图	5	测试电路	16
绝对最大额定值	6	外形尺寸	17
ESD警告	6	订购指南	18
引脚配置和功能描述	7		

修订历史

2010年7月—修订版B至修订版C

更改表2的数字输入和输出电压至GND参数.....	6
更改订购指南	18

2009年5月—修订版A至修订版B

更改表1	3
更改绝对最大额定值	6
更改图7	8
更改表4	8

2007年11月—修订版0至修订版A

更新格式	通篇
增加32引脚LFCSP封装	通篇
将 R_{BA} 改为 R_{AB}	通篇
更改绝对最大额定值	6
更改工作原理部	12
更新外形尺寸	17
更改订购指南	18

1999年9月—修订版0：初始版

技术规格

电气特性

除非另有说明, $V_{DD} = 5\text{ V} \pm 10\%$ 或 $3\text{ V} \pm 10\%$, $V_{SS} = 0\text{ V}$, $V_A = V_{DD}$, $V_B = 0\text{ V}$, $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 。

表1.

参数	符号	条件	最小值	典型值 ¹	最大值	单位
直流特性——可变电阻器模式 ²						
电阻差分非线性 ³	R-DNL	R_{WB} , $V_A =$ 无连接	-1	± 0.25	+1	LSB
电阻非线性误差 ³	R-INL	R_{WB} , $V_A =$ 无连接	-2	± 0.5	+2	LSB
标称电阻容差 ⁴	ΔR_{AB}	$T_A = 25^\circ\text{C}$	-30		+30	%
电阻温度系数	$\Delta R_{AB}/\Delta T$	$V_{AB} = V_{DD}$, 游标 = 无连接		700		ppm/ $^\circ\text{C}$
标称电阻匹配	$\Delta R/R_{AB}$	通道1到通道2、通道3和通道4, 或到通道5和通道6; $V_{AB} = V_{DD}$		0.25	1.5	%
游标电阻	R_W	$I_W = 1\text{ V}/R$, $V_{DD} = 5\text{ V}$		50	100	Ω
直流特性——电位计分压器模式 ²						
分辨率	N		8			位
差分非线性 ⁵	DNL		-1	± 0.25	+1	LSB
积分非线性 ⁵	INL		-2	± 0.5	+2	LSB
分压器温度系数	$\Delta V_W/\Delta T$	代码 = 0x40		15		ppm/ $^\circ\text{C}$
满量程误差	V_{WFSE}	代码 = 0x7F	-2	-1	0	LSB
零刻度误差	V_{WZSE}	代码 = 0x00	0	1	2	LSB
电阻端						
电压范围 ⁶	V_A, V_B, V_W		V_{SS}		V_{DD}	V
电容 ⁷ A_x 、 B_x	C_A, C_B	$f = 1\text{ MHz}$, 针对GND测量, 代码 = 0x40		45		pF
电容 ⁷ W_x	C_W	$f = 1\text{ MHz}$, 针对GND测量, 代码 = 0x40		60		pF
关断电流 ⁸	I_{A_SD}			0.01	5	μA
共模泄漏	I_{CM}	$V_A = V_B = V_W = 0$, $V_{DD} = +2.7\text{ V}$, $V_{SS} = -2.5\text{ V}$		1		nA
数字输入和输出						
输入逻辑高电平	V_{IH}	$V_{DD} = 5\text{ V}/3\text{ V}$	2.4/2.1			V
输入逻辑低电平	V_{IL}	$V_{DD} = 5\text{ V}/3\text{ V}$			0.8/0.6	V
输出逻辑高电平	V_{OH}	$R_{PULL-UP} = 1\text{ k}\Omega$ 至5 V	4.9			V
输出逻辑低电平	V_{OL}	$I_{OL} = 1.6\text{ mA}$, $V_{LOGIC} = 5\text{ V}$			0.4	V
输入电流	I_{IL}	$V_{IN} = 0\text{ V}$ 或5 V			± 1	μA
输入电容 ⁷	C_{IL}			5		pF
电源						
单电源电压范围	V_{DD} 范围	$V_{SS} = 0\text{ V}$	2.7		5.5	V
双电源电压范围	V_{DD}/V_{SS} 范围		± 2.3		± 2.7	V
正电源电流	I_{DD}	$V_{IH} = 5\text{ V}$ 或 $V_{IL} = 0\text{ V}$		12	60	μA
负电源电流	I_{SS}	$V_{SS} = -2.5\text{ V}$, $V_{DD} = +2.7\text{ V}$		12	60	μA
功耗 ⁹	P_{DISS}	$V_{IH} = 5\text{ V}$ 或 $V_{IL} = 0\text{ V}$			0.3	mW
电源灵敏度	PSS	$\Delta V_{DD} = 5\text{ V} \pm 10\%$		0.0002	0.005	%/%
动态特性 ^{7,10}						
-3 dB带宽	BW_10K	$R_{AB} = 10\text{ k}\Omega$		721		kHz
	BW_50K	$R_{AB} = 50\text{ k}\Omega$		137		kHz
	BW_100K	$R_{AB} = 100\text{ k}\Omega$		69		kHz
总谐波失真	THD _W	$V_A = 1.414\text{ V rms}$, $V_B = 0\text{ V}$ (直流), $f = 1\text{ kHz}$		0.004		%
VW建立时间(10 k Ω /50 k Ω /100 k Ω)	t_s	$V_A = 5\text{ V}$, $V_B = 0\text{ V}$, $\pm 1\text{ LSB}$ 误差带		2/9/18		μs
电阻噪声电压	e_{N_WB}	$R_{WB} = 5\text{ k}\Omega$, $f = 1\text{ kHz}$, $PR = 0$		9		nV/ $\sqrt{\text{Hz}}$

AD5204/AD5206

参数	符号	条件	最小值	典型值 ¹	最大值	单位
接口时序特性 ^{7, 11, 12}						
输入时钟脉冲宽度	t_{CH}, t_{CL}	时钟高电平或低电平	20			ns
数据建立时间	t_{DS}		5			ns
数据保持时间	t_{DH}		5			ns
CLK至SDO传播延迟 ¹³	t_{PD}	$R_L = 2\text{ k}\Omega, C_L < 20\text{ pF}$	1		150	ns
$\overline{CS}$ 建立时间	t_{CSS}		15			ns
$\overline{CS}$ 高电平脉冲宽度	t_{CSW}		40			ns
复位脉冲宽度	t_{RS}		90			ns
CLK下降到 $\overline{CS}$ 下降设置	t_{CSH0}		0			ns
CLK下降到 $\overline{CS}$ 上升保持时间	t_{CSH1}		0			ns
$\overline{CS}$ 上升到时钟上升建立时间	t_{CS1}		10			ns

¹ 典型规格表示25°C和 $V_{DD} = 5\text{ V}$ 时的平均读数。

² 适用于所有VRs。

³ 电阻位置非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。器件保证单调性。参见图28所示的测试电路。 $I_W = V_{DD}/R$ 针对 $V_{DD} = 3\text{ V}$ 和 $V_{DD} = 5\text{ V}$ 。

⁴ $V_{AB} = V_{DD}$, 游标(VW) = 无连接。

⁵ INL和DNL在VW处测得, 条件是将RDAC配置为类似于电压输出DAC的电位分压器。 $V_A = V_{DD}$ 且 $V_B = 0\text{ V}$ 。单调性工作条件保证DNL规格限值为 $\pm 1\text{ LSB}$ (最大值)。参见图27所示的测试电路。

⁶ 电阻端A、端B和游标W彼此没有极性限制。

⁷ 通过设计保证, 但未经生产测试。

⁸ 对Ax端进行测量。关断模式下所有Ax端处于开路状态。

⁹ P_{DISS} 可通过 $(I_{DD} \times V_{DD})$ 计算。CMOS逻辑电平输入实现最小功耗。

¹⁰ 所有动态特性均采用 $V_{DD} = 5\text{ V}$ 。

¹¹ 适用于所有器件。

¹² 测得值位置见时序图(图3至图5)。所有输入控制电压均指定 $t_r = t_f = 2.5\text{ ns}$ (10%到90%, 3 V)并从1.5 V电平起开始计时。开关特性利用 $V_{DD} = 3\text{ V}$ 和 $V_{DD} = 5\text{ V}$ 进行测量。

¹³ 传播延迟取决于 V_{DD} 、 R_L 和 C_L 的值(参见工作原理部分)。

时序图

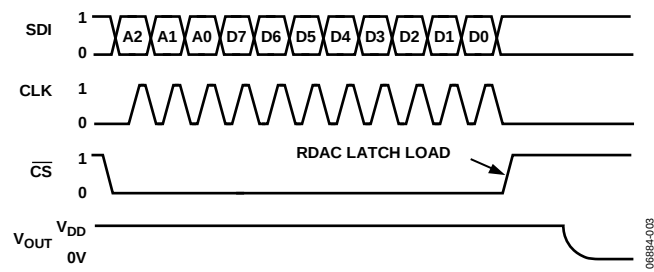


图3. 时序图

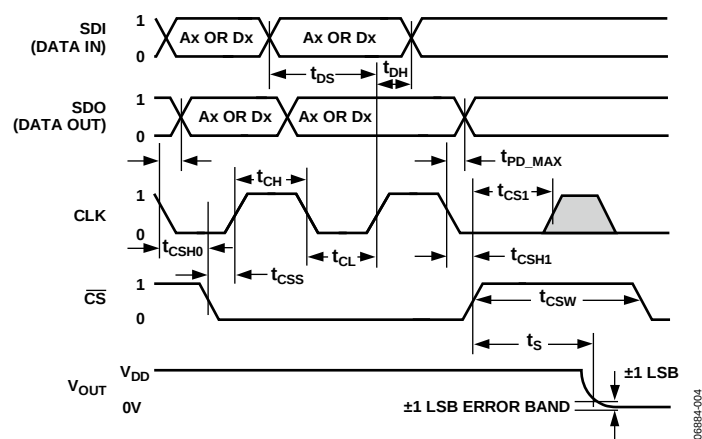


图4. 详细时序图

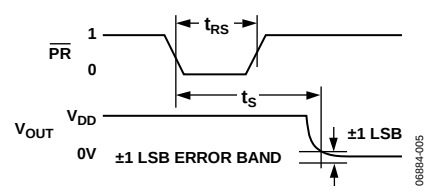


图5. AD5204预设时序图

AD5204/AD5206

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表2.

参数	额定值
V_{DD} 至GND	$-0.3\text{ V至}+7\text{ V}$
V_{SS} 至GND	$0\text{ V至}-7\text{ V}$
V_{DD} 至 V_{SS}	7 V
V_A, V_B, V_W 至GND	V_{SS}, V_{DD}
I_A, I_B, I_W	
脉冲驱动 ¹	$\pm 20\text{ mA}$
连续	
$10\text{ k}\Omega$ 端到端电阻	$\pm 11\text{ mA}$
$50\text{ k}\Omega$ 和 $100\text{ k}\Omega$ 端到端电阻	$\pm 2.5\text{ mA}$
数字输入和输出电压至GND	$-0.3\text{ V至}(V_{DD} + 0.3\text{ V})$ 或 7 V (取较小者)
工作温度范围	$-40^{\circ}\text{C至}+85^{\circ}\text{C}$
最大结温(T_{Jmax})	150°C
存储温度	$-65^{\circ}\text{C至}+150^{\circ}\text{C}$
回流焊	
峰值温度	260°C
峰值温度时间	20秒至40秒
封装功耗	$(T_J\text{ 最大值} - T_A)/\theta_{JA}$
热阻 θ_{JA}^2	
PDIP (N-24-1)	63°C/W
SOIC (RW-24)	52°C/W
TSSOP (RU-24)	50°C/W
LFCSOP (CP-32-3)	32.5°C/W

1 最大端电流受以下几个方面限制：开关的最大电流处理能力、封装的最大功耗以及给定电阻条件下可在A、B和W端中任何两个之间施加的最大电压。

2 热阻(JEDEC 4层(2S2P)板)。焊盘焊接至电路板。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

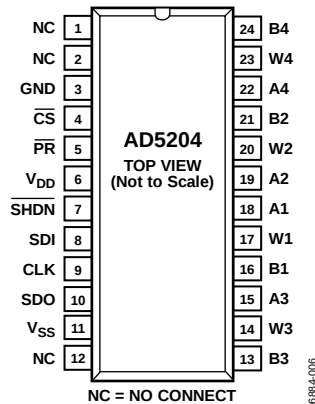
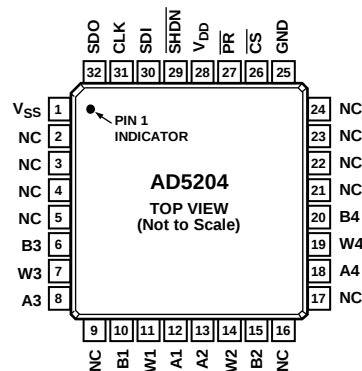


图6. AD5204 SOIC/TSSOP/PDIP引脚配置

图3. AD5204 SOIC/TSSOP/PDIP引脚功能描述

引脚编号	名称	说明
1, 2, 12	NC	未连接。
3	GND	地。
4	$\overline{CS}$	片选输入(低电平有效)。当 $\overline{CS}$ 回到高电平时, 串行输入寄存器中的数据基于地址位进行解码, 并载入目标RDAC锁存器。
5	$\overline{PR}$	预设至中间电平(低电平有效)。此引脚设置RDAC寄存器0x80。
6	V_{DD}	正电源。此引脚额定工作电压为3 V和5 V。它等于 $ V_{DD} + V_{SS} < 5.5 \text{ V}$ 。
7	$\overline{SHDN}$	A端开路关断(输入低电平有效)。此引脚控制VR1至VR4。
8	SDI	串行数据输入。数据以MSB优先方式输入。
9	CLK	串行时钟输入。此引脚由正边沿触发。
10	SDO	串行数据输出。此引脚为开漏晶体管, 需要上拉电阻。
11	V_{SS}	负电源。此引脚额定工作电压为0 V和-2.7 V。它等于 $ V_{DD} + V_{SS} < 5.5 \text{ V}$ 。
13	B3	B端RDAC 3。
14	W3	游标RDAC 3。地址 = 010_2 。
15	A3	A端RDAC 3。
16	B1	B端RDAC 1。
17	W1	游标RDAC 1。地址 = 000_2 。
18	A1	A端RDAC 1。
19	A2	A端RDAC 2。
20	W2	游标RDAC 2。地址 = 001_2 。
21	B2	B端RDAC 2。
22	A4	A端RDAC 4。
23	W4	游标RDAC 4。地址 = 011_2 。
24	B4	B端RDAC 4。

AD5204/AD5206



- NOTES
1. NC = NO CONNECT.
 2. THE LFCSP PACKAGE HAS AN EXPOSED PADDLE THAT SHOULD BE CONNECTED TO GND AND THE ASSOCIATED PCB GROUND PLATE.

06884-053

图7. AD5204 LFCSP引脚配置

表4. AD5204 LFCSP引脚功能描述

引脚编号	名称	说明
1	V _{SS}	负电源。此引脚额定工作电压为0 V和-2.7 V。它等于 $ V_{DD} + V_{SS} < 5.5 V$ 。
2至5、9、16、17、21至24	NC	未连接。
6	B3	B端RDAC 3。
7	W3	游标RDAC 3。地址 = 010_2 。
8	A3	A端RDAC 3。
10	B1	B端RDAC 1。
11	W1	游标RDAC 1。地址 = 000_2 。
12	A1	A端RDAC 1。
13	A2	A端RDAC 2。
14	W2	游标RDAC 2。地址 = 001_2 。
15	B2	B端RDAC 2。
18	A4	A端RDAC 4。
19	W4	游标RDAC 4。地址 = 011_2 。
20	B4	B端RDAC 4。
25	GND	地。
26	$\overline{CS}$	片选输入(低电平有效)。当 $\overline{CS}$ 回到高电平时，串行输入寄存器中的数据基于地址位进行解码，并载入目标RDAC锁存器。
27	$\overline{PR}$	预设至中间电平(低电平有效)。此引脚设置RDAC寄存器0x80。
28	V _{DD}	正电源。此引脚额定工作电压为3 V和5 V。它等于 $ V_{DD} + V_{SS} < 5.5 V$ 。
29	SHDN	A端开路关断(输入低电平有效)。此引脚控制VR1至VR4。
30	SDI	串行数据输入。数据以MSB优先方式输入。
31	CLK	串行时钟输入。此引脚由正边沿触发。
32	SDO	串行数据输出。此引脚为开漏晶体管，需要上拉电阻。

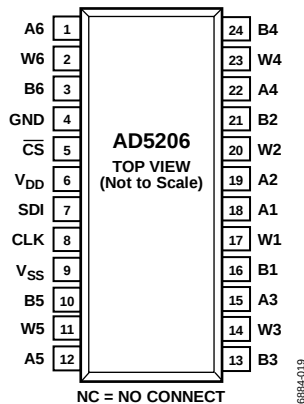


图8. AD5206 SOIC/TSSOP/PDIP引脚配置

表5. AD5206引脚功能描述

引脚编号	名称	说明
1	A6	A端RDAC 6。
2	W6	游标RDAC 6。地址 = 101_2 。
3	B6	B端RDAC 6。
4	GND	地。
5	$\overline{CS}$	片选输入(低电平有效)。当 $\overline{CS}$ 回到高电平时，串行输入寄存器中的数据基于地址位进行解码，并载入目标RDAC锁存器。
6	V_{DD}	正电源。此引脚额定工作电压为3 V和5 V。它等于 $ V_{DD} + V_{SS} < 5.5 \text{ V}$ 。
7	SDI	串行数据输入。数据以MSB优先方式输入。
8	CLK	串行时钟输入。此引脚由正边沿触发。
9	V_{SS}	负电源。此引脚额定工作电压为0 V和-2.7 V。它等于 $ V_{DD} + V_{SS} < 5.5 \text{ V}$ 。
10	B5	B端RDAC 5。
11	W5	游标RDAC 5。地址 = 100_2 。
12	A5	A端RDAC 5。
13	B3	B端RDAC 3。
14	W3	游标RDAC 3。地址 = 010_2 。
15	A3	A端RDAC 3。
16	B1	B端RDAC 1。
17	W1	游标RDAC 1。地址 = 000_2 。
18	A1	A端RDAC 1。
19	A2	A端RDAC 2。
20	W2	游标RDAC 2。地址 = 001_2 。
21	B2	B端RDAC 2。
22	A4	A端RDAC 4。
23	W4	游标RDAC 4。地址 = 011_2 。
24	B4	B端RDAC 4。

典型性能参数

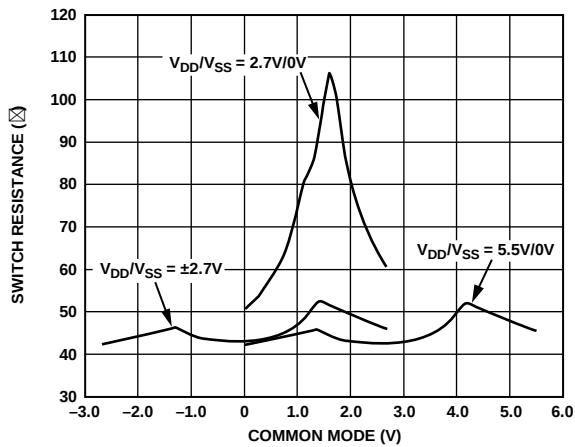


图9. 增量导电阻与电压的关系

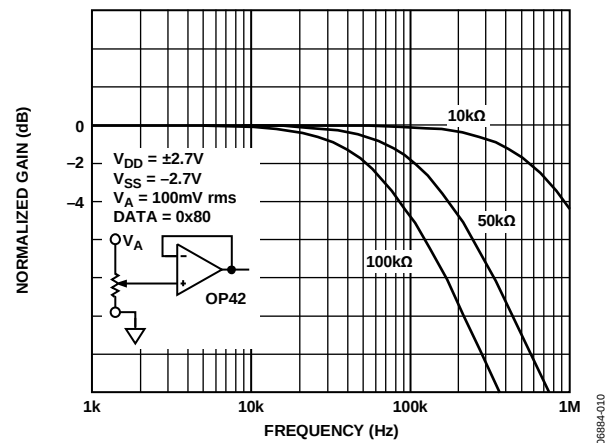


图12. -3 dB带宽与端接电阻的关系, $\pm 2.7V$ 双电源供电

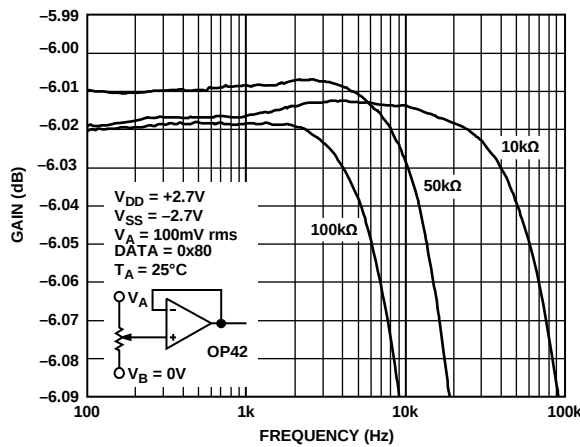


图10. 增益平坦度与频率的关系

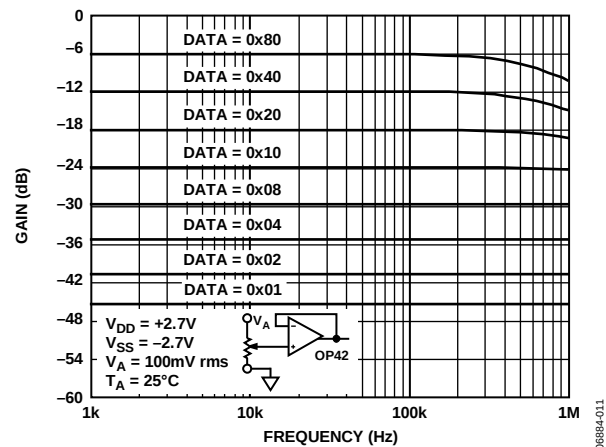


图13. 带宽与代码的关系, 10 kΩ版本

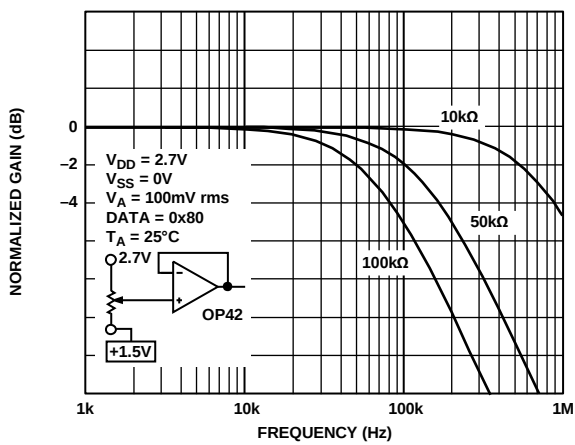


图11. -3 dB带宽与端接电阻的关系, 2.7 V单电源供电

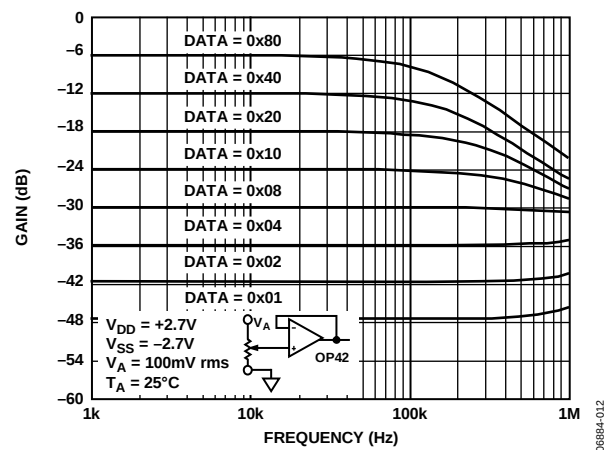


图14. 带宽与代码的关系, 50 kΩ版本

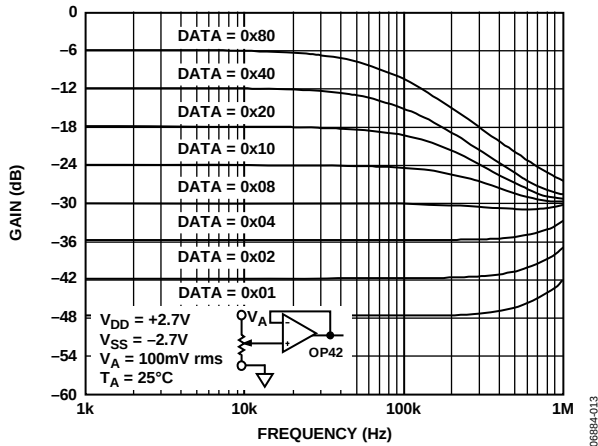


图15. 带宽与代码的关系, 100 kΩ版本

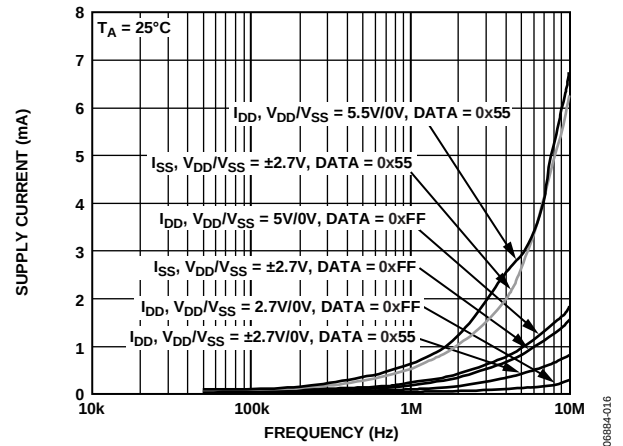


图18. 电源电流与时钟频率的关系

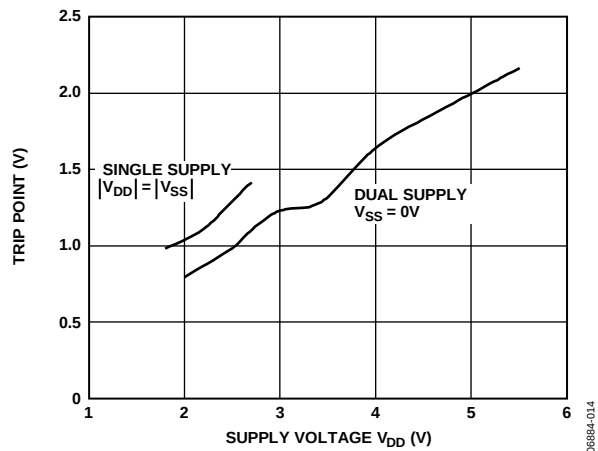


图16. 数字输入跳变点与电源电压的关系

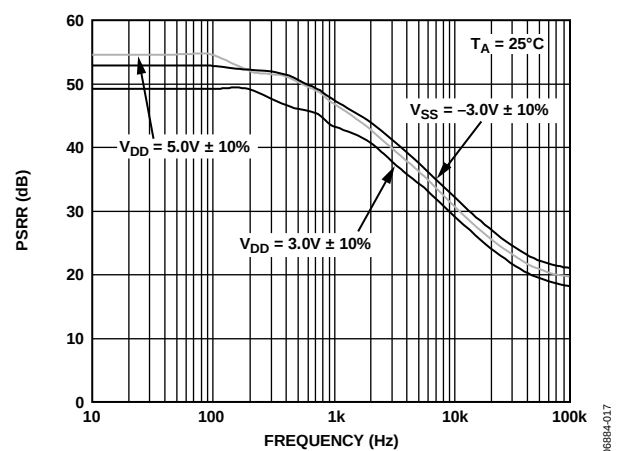


图19. 电源抑制比与频率的关系

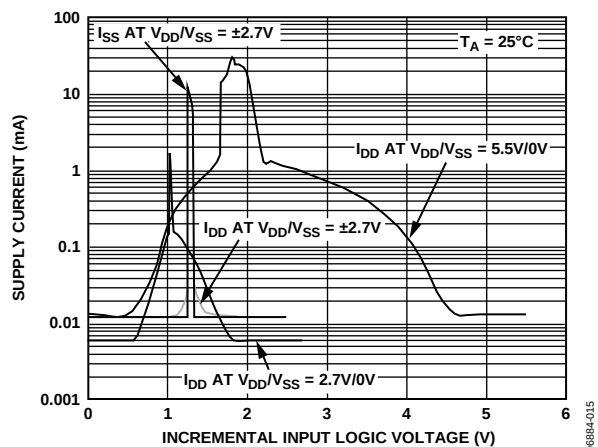


图17. 电源电流与输入逻辑电压的关系

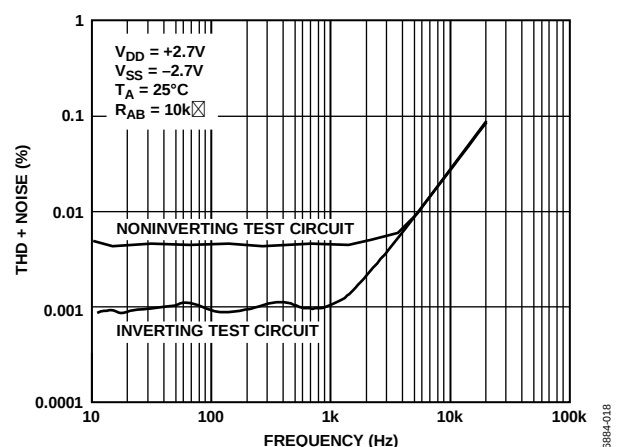


图20. 总谐波失真加噪声与频率的关系

AD5204/AD5206

操作

AD5204是4通道、256位数字控制VR器件，AD5206是6通道、256位数字控制VR器件，更改VR编程设置是通过将11位串行数据字送入SDI引脚来实现的。此数据字由3个地址位(MSB优先)和8个数据位(MSB优先)组成。表6给出了串行寄存器数据字格式。

表6. 串行数据——字格式

地址			数据							
B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
MSB		LSB	MSB							LSB
2 ¹⁰		2 ⁸	2 ⁷							2 ⁰

AD5204/AD5206的地址分配见表10，由此可确定接收位B7至B0中的串行寄存器数据的VR锁存器的位置。VR输出可以随机更改，一次一个。AD5204通过置位PR引脚预设为中间电平，以便简化上电时的故障状况恢复。两款器件均内置上电预设功能，可在上电时将游标置于中间电平预设状态。此外，AD5204具有电源关断引脚(SHDN)，用于将RDAC置于零功耗状态，其中Ax端开路，游标Wx连接到Bx

端，使得VR结构仅消耗漏电流。在关断模式下，VR锁存器设置得以保持，当器件从电源关断回到工作模式时，VR设置恢复以前的电阻值。

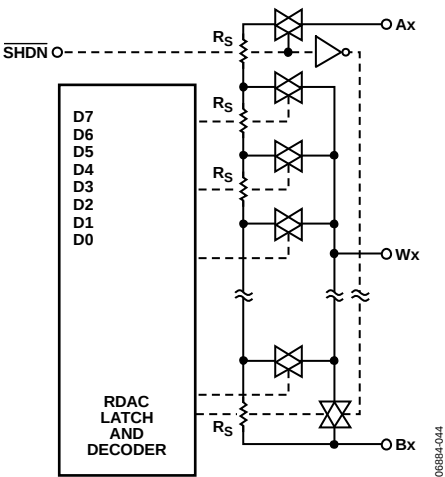


图21. AD5204/AD5206等效RDAC电路

可变电阻编程

变阻器操作

A端和B端间RDAC的标称电阻有三种：10 kΩ、50 kΩ和100 kΩ。产品型号的最后一位决定标称电阻值；例如，10 kΩ = 10和100 kΩ = 100。可变电阻的标称电阻(R_{AB})有256个触点，通过游标端和B端触点访问。RDAC锁存器中的8位数据字经过解码，用于选择256种可能的设置之一。游标的第一个连接开始于B端，对应数据0x00。B端连接存在45 Ω游标接触电阻。第二个连接(对于10 kΩ器件)是第一个抽头，位于84 Ω [= R_{AB} (标称电阻)/256 + R_W = 84 Ω + 45 Ω]处，对应数据0x01。第三个连接是下一个抽头点，代表78 + 45 = 123 Ω，对应数据0x02。随着每个LSB数据值的增加，游标沿电阻梯向上移动，直至到达最终抽头点位置，此时电阻达10,006 Ω。游标不直接连接到A端。图21给出了RDAC等效电路的简化图。

确定Wx端和Bx端间的数字编程输出电阻的通用传递函数是

$$R_{WB}(Dx) = (Dx)/256 \times R_{AB} + R_W \tag{1}$$

其中Dx为8位RDACx锁存器中的数据， R_{AB} 为标称端到端电阻。

例如，如果 $V_B = 0$ V且A端处于开路状态，那么对于RDAC锁存码，将如表7所示设置输出电阻值(施加于10 kΩ电位计)。

表7. 针对RDAC锁存码的输出电阻值— $V_B = 0$ V且A端 = 开路

D(十进制)	R_{WB} (Ω)	输出状态
255	10006	满量程
128	5045	中间电平($\overline{PR} = 0$ 条件)
1	84	1 LSB
0	45	零电平(游标触点电阻)

在零电平条件下，总共存在45 Ω的有限游标电阻。无论器件的设置如何，都应将A端和B端、游标W和A端以及游标W和B端之间的电流限制为±5.65 mA(10 kΩ)的最大连续电流、±1.35 mA(50 kΩ和100 kΩ)或±20 mA脉冲电流。否则，内部开关触点可能会出现性能下降，甚至发生损坏。

与RDAC所取代的机械电位计相似，RDAC完全对称。游标W和A端间的电阻也产生一个数字可控电阻 R_{WA} 。这些端子使用过程中，B端应连接到游标。 R_{WA} 电阻值设置从最大电阻值开始，随着锁存器所加载的数据值增加而降低。此操作的通用传递公式是

$$R_{WA}(Dx) = (256 - Dx)/256 \times R_{AB} + R_W \tag{2}$$

其中Dx为8位RDACx锁存器中的数据， R_{AB} 为标称端到端电阻。

例如，如果 $V_A = 0$ V且B端连接游标W，那么对于RDAC锁存码，将如表8所示设置输出电阻值。

表8. 针对RDAC锁存码的输出电阻值— $V_A = 0$ V且B端连接游标W

D(十进制)	R_{WA} (Ω)	输出状态
255	84	满量程
128	5045	中间电平($\overline{PR} = 0$ 条件)
1	10006	1 LSB
0	10045	零电平

通道间 R_{AB} 典型分布的匹配度在±1%以内。然而，器件间匹配度依工艺批次而定，变化幅度为±30%。 R_{AB} 随温度变化的温度系数为700 ppm/°C。

电位计分压器编程

电压输出操作

数字电位计很容易产生与施加于给定端的输入电压成比例的输出电压。例如，将A端连接5 V，并将B端接地后，游标处产生输出电压，数值可以从0 V至+5 V以下1 LSB范围内的任意值。电压每个LSB等于经过256位分辨率电位分压器分压的A端与B端间的电压。针对A端和B端间施加的任何给定输入电压，确定相对于地的输出电压的通用公式为

$$V_W(Dx) = Dx/256 \times V_{AB} + V_B \quad (3)$$

在分压器模式下使用数字电位计，可提高整个温度范围内的操作精度。这种模式下，输出电压取决于内部电阻的比例，而不是绝对值，因此漂移性能改善到15 ppm/°C。

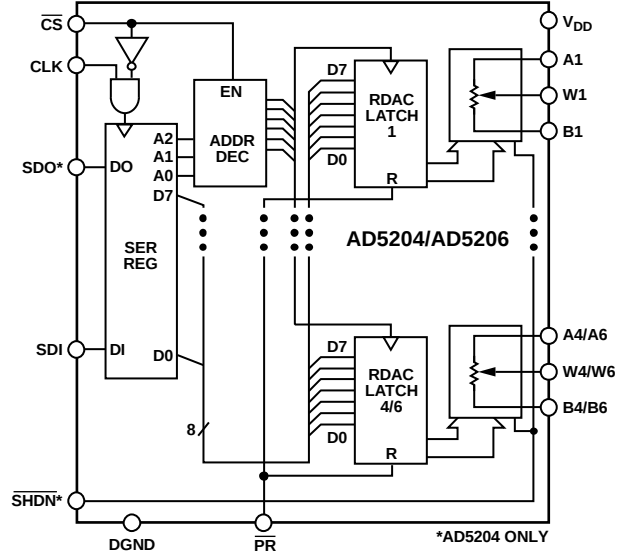


图22. 功能框图

数字接口

AD5204/AD5206均内置一个3线式串行输入控制接口。三路输入分别是时钟(CLK)、片选输入($\overline{\text{CS}}$)和串行数据输入(SDI)。正边沿敏感型CLK输入需要干净的转换,以免将错误数据送入串行输入寄存器。标准逻辑系列非常合适。如果使用机械开关进行产品评估,应通过正反器或其它合适的途径去抖。图22更详细地显示了内部数字电路的细节。当 $\overline{\text{CS}}$ 变为低电平有效时,在每个正时钟沿将数据载入串行寄存器(见表9)。使用正电源(V_{DD})和负电源(V_{SS})时,逻辑电平依然以数字地为参考(GND)。

串行数据输出(SDO)引脚内置一个开漏N沟道FET,需要一个上拉电阻将数据传输到下一个包的SDI引脚。该上拉电阻的端电压可以大于AD5204的 V_{DD} 电源电压。例如,AD5204可以工作在 $V_{\text{DD}} = 3.3\text{ V}$,与下一器件接口的上拉电阻可以设置为5 V。这样,单条处理器串行数据线就可以通过菊花链连接多个RDAC。

若使用上拉电阻串联下一器件的SDI引脚,则需延长时钟周期。为使数据传输成功,必须考虑器件之间菊花链节点(连接SDO与SDI)的容性负载。使用菊花链时, $\overline{\text{CS}}$ 应保持低电平,直到每个包的所有位都已输入各自的串行寄存器,确保地址和数据位处于正确的解码位置。假设两个AD5204四通道RDAC以菊花链形式连接,则要求22位地址和数据符合表6中的数据字格式。关断期间($\overline{\text{SHDN}}$),SDO输出引脚进入关断(逻辑高电平状态)位置,使上拉电阻不产生功耗。SDO等效输出电路见图24。

表9. 输入逻辑控制真值表¹

CLK	$\overline{\text{CS}}$	PR	$\overline{\text{SHDN}}$	寄存器活动
L	L	H	H	无SR效应;使能SDO引脚。
P	L	H	H	从SDI引脚移入一位。
X	P	H	H	输入的第11位从SDO引脚移出。
X	H	H	H	基于A2、A1、A0解码结果将SR数据载入RDAC锁存器(表10)。
X	X	L	H	无操作
X	X	L	H	将所有RDAC锁存器设置到中间电平,游标居中,SDO锁存器清零。
X	H	P	H	将所有RDAC锁存器锁存为0x80。
X	H	H	L	所有电阻A端开路,游标W连接B端,关闭SDO输出晶体管。

¹ P = 正边沿, X = 无关, SR = 移位寄存器。

表10. 地址解码表

A2	A1	A0	锁存器解码
0	0	0	RDAC 1
0	0	1	RDAC 2
0	1	0	RDAC 3
0	1	1	RDAC 4
1	0	0	RDAC 5(仅AD5206)
1	0	1	RDAC 6(仅AD5206)

技术规格表中的数据建立和保持时间决定数据有效时间要求。当 $\overline{\text{CS}}$ 变为高电平时,输入串行寄存器的数据字的最后11位被保持。当 $\overline{\text{CS}}$ 变为高电平时,地址解码器选通,四个或六个正边沿触发的RDAC锁存器中的一个使能(详情参见图23)。

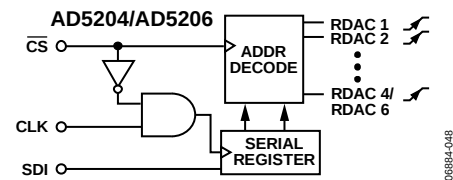


图23. 等效输入控制逻辑

目标RDAC锁存器加载串行数据字的最后8位,完成一次DAC更新。要更改全部4个VR设置,必须输入4个独立的8位数据字。

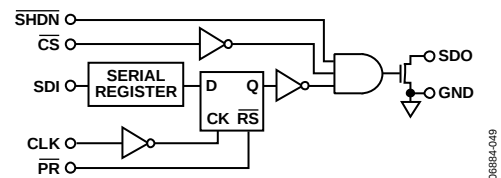


图24. AD5204的SDO输出详细原理图

所有数字引脚($\overline{\text{CS}}$ 、SDI、SDO、 $\overline{\text{PR}}$ 、 $\overline{\text{SHDN}}$ 和CLK)受一系列输入电阻和并联齐纳ESD结构的保护(见图25)。

测试电路

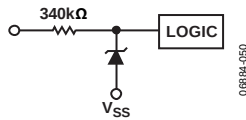


图25. 数字引脚的ESD保护

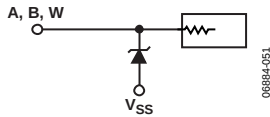


图26. 电阻端子的ESD保护

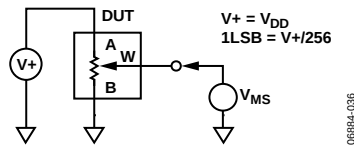


图27. 电位计分压器非线性误差测试电路(INL, DNL)

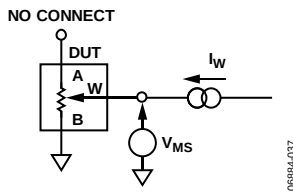


图28. 电阻位置非线性误差
(可变电容器操作: R-INL, R-DNL)

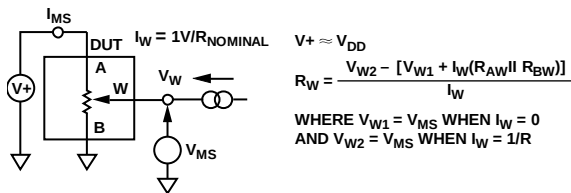


图29. 游标电阻测试电路

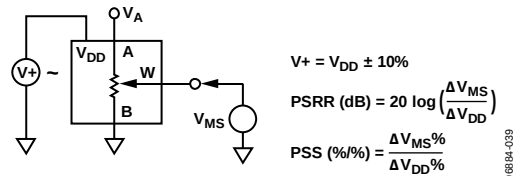


图30. 电源灵敏度测试电路(PSS, PSRR)

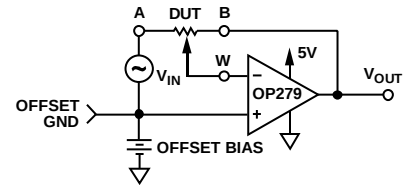


图31. 反相可编程增益测试电路

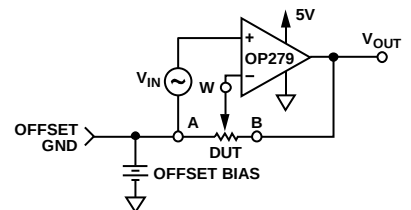


图32. 同相可编程增益测试电路

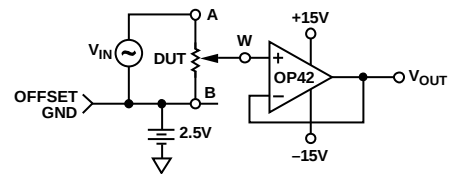


图33. 增益与频率关系测试电路

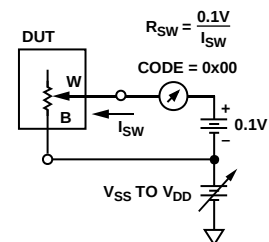
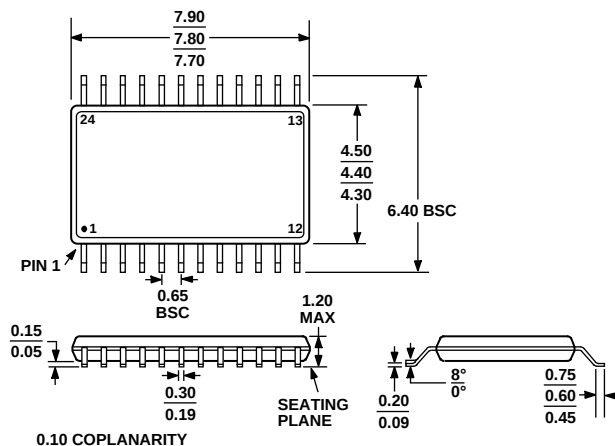


图34. 增量导通电阻测试电路

图示尺寸单位: inch和(mm)

图示尺寸单位：毫米和(英寸)

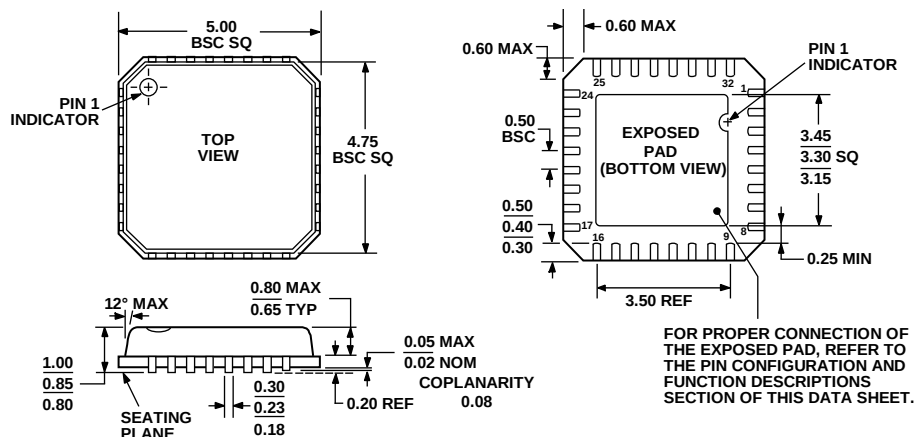
AD5204/AD5206



COMPLIANT TO JEDEC STANDARDS MO-153-AD

图37.24引脚超薄紧缩小型封装[TSSOP]
(RU-24)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

图38. 32引脚引脚架构芯片级封装[LFCSP_VQ]
5 mm x 5 mm超薄体(CP-32-3)

图示尺寸单位: mm

订购指南

型号 ^{1,2}	kΩ	温度范围	封装描述	封装选项
AD5204BN10	10	−40°C至+85°C	24引脚塑料双列直插式封装[PDIP]	N-24-1
AD5204BR10	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BR10-REEL	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRZ10	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRZ10-REEL	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRU10	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRU10-REEL7	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRUZ10	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRUZ10-REEL7	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BCPZ10-REEL	10	−40°C至+85°C	32引脚引脚架构芯片级封装[LFCSP_VQ]	CP-32-3
AD5204BCPZ10-REEL7	10	−40°C至+85°C	32引脚引脚架构芯片级封装[LFCSP_VQ]	CP-32-3
AD5204BN50	50	−40°C至+85°C	24引脚塑料双列直插式封装[PDIP]	N-24-1
AD5204BR50	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BR50-REEL	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRZ50	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24

AD5204/AD5206

型号 ^{1,2}	kΩ	温度范围	封装描述	封装选项
AD5204BRZ50-REEL	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRU50	50	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRU50-REEL	50	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRU50-REEL7	50	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRUZ50	50	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRUZ50-REEL7	50	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BN100	100	−40°C至+85°C	24引脚塑料双列直插式封装[PDIP]	N-24-1
AD5204BR100	100	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BR100-REEL	100	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRZ100	100	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRZ100-REEL	100	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5204BRU100	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRU100-REEL7	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRUZ100	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5204BRUZ100-R7	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BN10	10	−40°C至+85°C	24引脚塑料双列直插式封装[PDIP]	N-24-1
AD5206BR10	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BR10-REEL	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRZ10	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRZ10-REEL	10	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRU10	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BRU10-REEL7	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BRUZ10	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BRUZ10-RL7	10	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BN50	50	−40°C至+85°C	24引脚塑料双列直插式封装[PDIP]	N-24-1
AD5206BR50	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BR50-REEL	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRZ50	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRU50	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRU50-REEL	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRU50-REEL7	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRUZ50	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRUZ50-REEL7	50	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BN100	100	−40°C至+85°C	24引脚塑料双列直插式封装[PDIP]	N-24-1
AD5206BR100	100	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BR100-REEL	100	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRZ100	100	−40°C至+85°C	24引脚标准小型封装[SOIC_W]	RW-24
AD5206BRU100	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BRU100-REEL7	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BRUZ100	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD5206BRUZ100-RL7	100	−40°C至+85°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24

¹ AD5204/AD5206均内置5,925个晶体管。芯片尺寸为92 mil × 114 mil，或10,488 sq. mil。

² Z = 符合RoHS标准的器件。

注释