

MSP430FR413x 混合信号微控制器

1 器件概述

1.1 特性

- 嵌入式微控制器
 - 16 位精简指令集计算机 (RISC) 架构, 高达 16MHz
 - 宽电源电压范围: 1.8V 至 3.6V
- 经优化的低功耗模式 (3V 时)
 - 激活模式: 126 μ A/MHz
 - 待机模式: <1 μ A, 实时时钟 (RTC) 计数器和液晶显示器 (LCD) 工作
 - 关断 (LPM4.5): 15nA
- 超低功耗铁电 RAM (FRAM)
 - 高达 15.5KB 的非易失性存储器
 - 内置错误修正码 (ECC)
 - 可配置的写保护
 - 对程序和常量数据统一进行存储
 - 10¹⁵ 写入周期持久性
 - 抗辐射和非磁性
- 智能数字外设
 - IR 调制逻辑
 - 两个 16 位定时器, 每个定时器有 3 个捕捉/比较寄存器 (Timer_A3)
 - 一个仅用作定时器的 16 位 RTC 定时器
 - 16 位循环冗余校验器 (CRC)
- 增强型串行通信
 - 增强型 USCI A (eUSCI_A) 支持通用异步收发器 (UART)、红外数据通讯 (IrDA) 和串行外设接口 (SPI)
 - 增强型 USCI B (eUSCI_B) 支持 SPI 和 I²C
- 高性能模拟
 - 10 通道 10 位模数转换器 (ADC)
 - 1.5V 内部基准电压
 - 采样与保持 200ksp/s
 - 低功耗 LCD 驱动器
 - 最高支持 4 $\times$ 36 段或 8 $\times$ 32 段 LCD 配置
 - 片上电荷泵, 可使 LCD 在待机模式 (LPM3.5) 下保持激活状态
 - 每个 LCD 引脚均可通过软件配置为 SEG 或 COM
 - 对比度控制: 2.6V 至 3.5V (以 0.06V 为单位增量)
- 时钟系统 (CS)
 - 片上 32kHz RC 振荡器 (REFO)
 - 带有锁频环 (FLL) 的片上 16MHz 数字控制振荡器 (DCO)
 - 室温下的精度为 $\pm 1\%$ (具有片上基准)
 - 片上超低频 10kHz 振荡器 (VLO)
 - 片上高频调制振荡器 (MODOSC)
 - 外部 32kHz 晶振 (XT1)
 - 可编程的 MCLK 预分频器 (1 至 128)
 - 通过可编程的预分频器 (1、2、4 或 8) 从 MCLK 获得的 SMCLK
- 通用输入/输出和引脚功能
 - 60 个 I/O (64 引脚封装)
 - 16 个中断引脚 (P1 和 P2), 可将 MCU 从 LPM 模式下唤醒
 - 所有 I/O 均为电容式触摸 I/O
- 开发工具和软件
 - 自由的专业开发环境
 - 开发套件 (MSP-TS430PM64D)
- 系列成员 (另请参见 Section 3)
 - MSP430FR4133: 15KB 程序 FRAM + 512B 信息 FRAM + 2KB RAM
 - MSP430FR4132: 8KB 程序 FRAM + 512B 信息 FRAM + 1KB RAM
 - MSP430FR4131: 4KB 程序 FRAM + 512B 信息 FRAM + 512KB RAM
- 封装选项
 - 64 引脚: 薄型四方扁平封装 (LQFP) (PM)
 - 56 引脚: TSSOP (G56) 封装
 - 48 引脚: TSSOP (G48) 封装
- 要获得完整的模块说明, 请见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》(文献编号: SLAU445)



1.2 应用

- A/C 远程控制器
- 水表、热量计、燃气表
- 一次性密码令牌
- 衡器
- 内置温度调节装置
- 低功耗显示驱动器
- 血糖或血压检测仪

1.3 说明

TI 的 MSP430™ 系列低功耗微控制器种类繁多，各成员器件配备不同的外设集以满足各类应用的需求。此架构，与多种低功耗模式配合使用，是在便携式测量应用中实现延长电池寿命的最优选择。该器件具有一个强大的 16 位 RISC CPU，16 位寄存器，以及常数发生器，以便于获得最大编码效率。数控振荡器 (DCO) 可使器件在不到 10μs 的时间内从低功率模式唤醒并进入工作模式。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 ⁽²⁾
MSP430FR4133IPM	LQFP (64)	10mm x 10mm
MSP430FR4133IG56	TSSOP (56)	14mm x 6.1mm
MSP430FR4133IG48	TSSOP (48)	12.5mm x 6.1mm

(1) 要获得最新的产品、封装和订购信息，请参见封装选项附录（节 9），或者访问德州仪器 (TI) 网站 www.ti.com。

(2) 这里显示的尺寸为近似值。要获得包含误差值的封装尺寸，请参见节 9 中的机械数据。

1.4 功能框图

图 1-1 给出了功能框图。

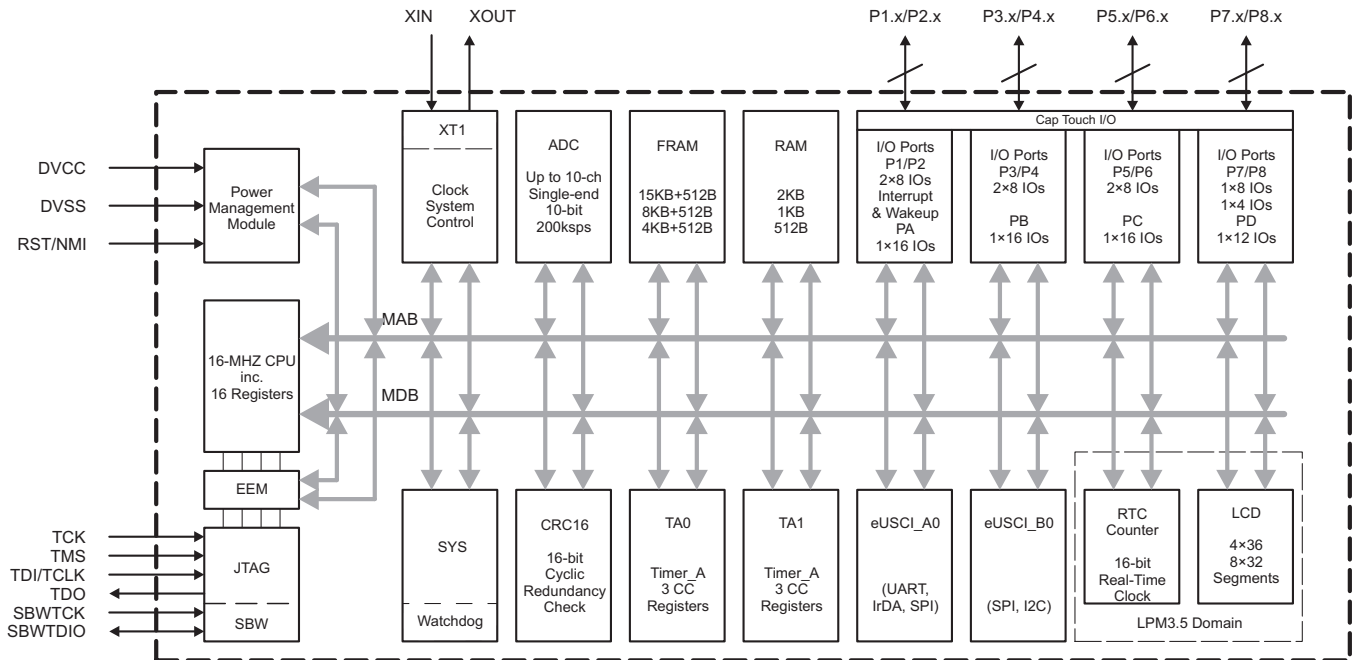


图 1-1. 功能框图

- 该器件具有一对主电源（DVCC 和 DVSS），分别为数字和模拟模块供电。推荐的旁路和去耦电容分别为 4.7μF 至 10μF 和 0.1μF，精度为 ±5%。
- P1 和 P2 特有引脚中断功能，可将 MCU 从 LPM3.5 模式唤醒。
- 每个 Timer_A3 均有 3 个 CC 寄存器，不过只有 CCR1 和 CCR2 从外部连接。CCR0 寄存器仅用于内部周期时序和产生中断。
- 在 LPM3.5 模式下，RTC 计数器与 LCD 可继续工作，而其余外设会停止工作。
- 所有 I/O 均可配置为电容式触摸 I/O。

内容

1	器件概述	1	5.12	时序和开关特性	20
1.1	特性	1	6	详细说明	35
1.2	应用	2	6.1	CPU	35
1.3	说明	2	6.2	工作模式	35
1.4	功能框图	3	6.3	中断向量地址	36
2	修订历史记录	5	6.4	引导加载程序 (BSL)	37
3	器件比较	6	6.5	JTAG 标准接口	37
4	引脚配置和功能	7	6.6	Spy-Bi-Wire 接口 (SBW)	38
4.1	引脚图	7	6.7	FRAM	38
4.2	信号说明	10	6.8	存储器保护	38
4.3	引脚复用	13	6.9	外设	39
4.4	未使用引脚的连接	13	6.10	器件描述符 (TLV)	68
5	技术规格	14	6.11	存储器	69
5.1	绝对最大额定值	14	6.12	标识	77
5.2	ESD 额定值	14	7	应用、实施和布局	78
5.3	建议的运行条件	14	7.1	器件连接和布局基本准则	78
5.4	工作模式下流入 V_{CC} 的电源电流（不包括外部电 流）	15	7.2	外设和接口的相关设计信息	81
5.5	工作模式下每兆赫兹的电源电流	15	7.3	典型应用	84
5.6	LPM0 低功耗模式下流入 V_{CC} 的电源电流（不包括 外部电流）	15	8	器件和文档支持	85
5.7	LPM3 和 LPM4 低功耗模式下流入 V_{CC} 的电源电流 （不包括外部电流）	16	8.1	器件支持	85
5.8	LPMx.5 低功耗模式下流入 V_{CC} 的电源电流（不包括 外部电流）	17	8.2	文档支持	88
5.9	典型特性，低功耗模式电源电流	18	8.3	商标	89
5.10	典型特性，每个模块的电流消耗	19	8.4	静电放电警告	89
5.11	热特性	19	8.5	出口管制提示	89
			8.6	术语表	89
			9	机械、封装和可订购信息	90
			9.1	封装信息	90

2 修订历史记录

Changes from December 20, 2014 to August 14, 2015	Page
• 将“待机模式”电流消耗从 770nA 更改为 1μA	1
• 添加了 Section 5.2 , ESD 额定值	14
• 添加了 $I_{LPM3.5, LCD, CP}$ 在 -40°C (0.90μA) 和 85°C (1.27μA) 条件下的典型值	17
• 添加了以“本节中的曲线图...”开始的段落。	18
• 更改了 Section 5.9 , 典型特性, 低功耗模式电源电流中的所有曲线图, 以反映新的测量值	18
• 将 $V_{REF, 1.2V}$ 参数添加到 Table 5-1 , PMM、SVS 和 BOR	20
• 将 2V 电压条件下的 $t_{STE, LEAD}$ 最小值由 40ns 改为 50ns	28
• 将 3V 电压条件下的 $t_{STE, LEAD}$ 最小值由 24 ns 改为 45 ns	28
• 将 2V 电压条件下的 $t_{VALID, SO}$ 最大值由 55ns 改为 65ns	28
• 将 3V 电压条件下的 $t_{VALID, SO}$ 最大值由 30ns 改为 40ns	28
• 将 f_{ADCOSC} 典型值由 4.5MHz 改为 5.0MHz	31
• 在 Table 6-1 , 工作模式中, 将 AM 下“ 25°C , 3 V 条件下的功耗”对应的条目由 100μA/MHz 改为 126μA/MHz	35
• 在 Table 6-1 , 工作模式中, 向 LPM3.5 下“ 25°C , 3 V 条件下的功耗”对应的条目添加了“仅使用 RTC”	35
• 在 Table 6-2 , 中断源、标志和向量中, 从“系统 NMI”行删除了“FRAM 访问时间错误”(ACCTEIFG)	36
• 在 Table 6-8 , 系统模块中断向量寄存器中, 将 SYSSNIV 行中值为 06h 的中断事件由“ACCTEIFG 访问时间错误”改为“保留”	42
• 在 Table 6-27 , 器件描述符中, 添加了关于“CRC 值”的注释	68

3 器件比较

Table 3-1 总结了可用产品系列成员的特性。

Table 3-1. 器件比较⁽¹⁾⁽²⁾

器件	程序 FRAM + 信息 FRAM (字节)	SRAM (字节)	TA0 , TA1	eUSCI_A	eUSCI_B	10 位 ADC 通道	LCD 段	I/O	封装类型
MSP430FR4133IPM	15360 + 512	2048	3 × CCR ⁽³⁾	1	1	10	4 × 36 8 × 32	60	64 PM (LQFP)
MSP430FR4132IPM	8192 + 512	1024	3 × CCR ⁽³⁾	1	1	10	4 × 36 8 × 32	60	64 PM (LQFP)
MSP430FR4131IPM	4096 + 512	512	3 × CCR ⁽³⁾	1	1	10	4 × 36 8 × 32	60	64 PM (LQFP)
MSP430FR4133IG56	15360 + 512	2048	3 × CCR ⁽³⁾	1	1	8	4 × 30 8 × 26	52	56 DGG (TSSOP56)
MSP430FR4132IG56	8192 + 512	1024	3 × CCR ⁽³⁾	1	1	8	4 × 30 8 × 26	52	56 DGG (TSSOP56)
MSP430FR4131IG56	4096 + 512	512	3 × CCR ⁽³⁾	1	1	8	4 × 30 8 × 26	52	56 DGG (TSSOP56)
MSP430FR4133IG48	15360 + 512	2048	3 × CCR ⁽³⁾	1	1	8	4 × 24 8 × 20	44	48 DGG (TSSOP48)
MSP430FR4132IG48	8192 + 512	1024	3 × CCR ⁽³⁾	1	1	8	4 × 24 8 × 20	44	48 DGG (TSSOP48)
MSP430FR4131IG48	4096 + 512	512	3 × CCR ⁽³⁾	1	1	8	4 × 24 8 × 20	44	48 DGG (TSSOP48)

(1) 要获得最新的器件、封装和订购信息，请参见封装选项附录（节 9），或者访问德州仪器 (TI) 网站 www.ti.com。

(2) 封装图示，标准包装数量，散热数据，符号以及 PCB 设计指南可从 www.ti.com/packaging 上获得。

(3) CCR 寄存器属于可配置寄存器，可提供内部和外部捕捉/比较输入，或者内部和外部 PWM 输出。

4 引脚配置和功能

4.1 引脚图

Figure 4-1 显示的是 64 引脚 PM 封装的引脚分配。

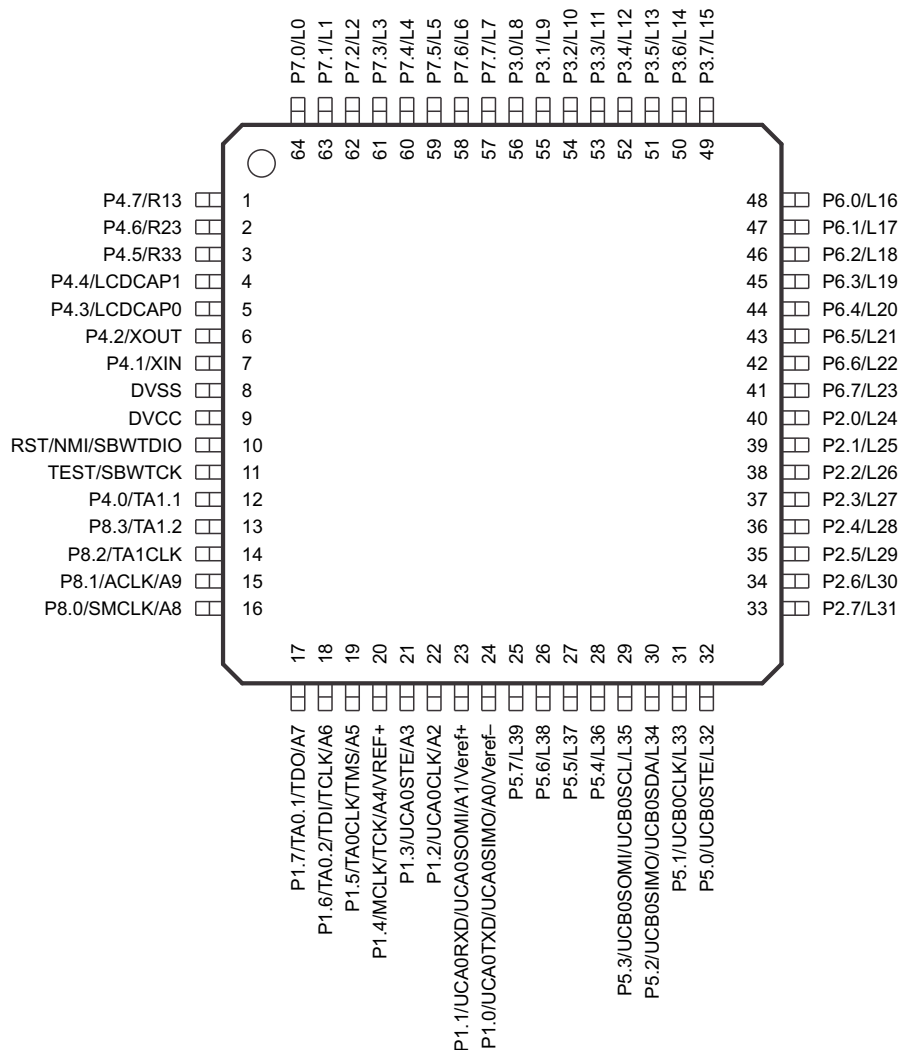


Figure 4-1. 64 引脚 PM (LQFP) (顶视图)

Figure 4-2 显示的是 56 引脚 DGG 封装的引脚分配。

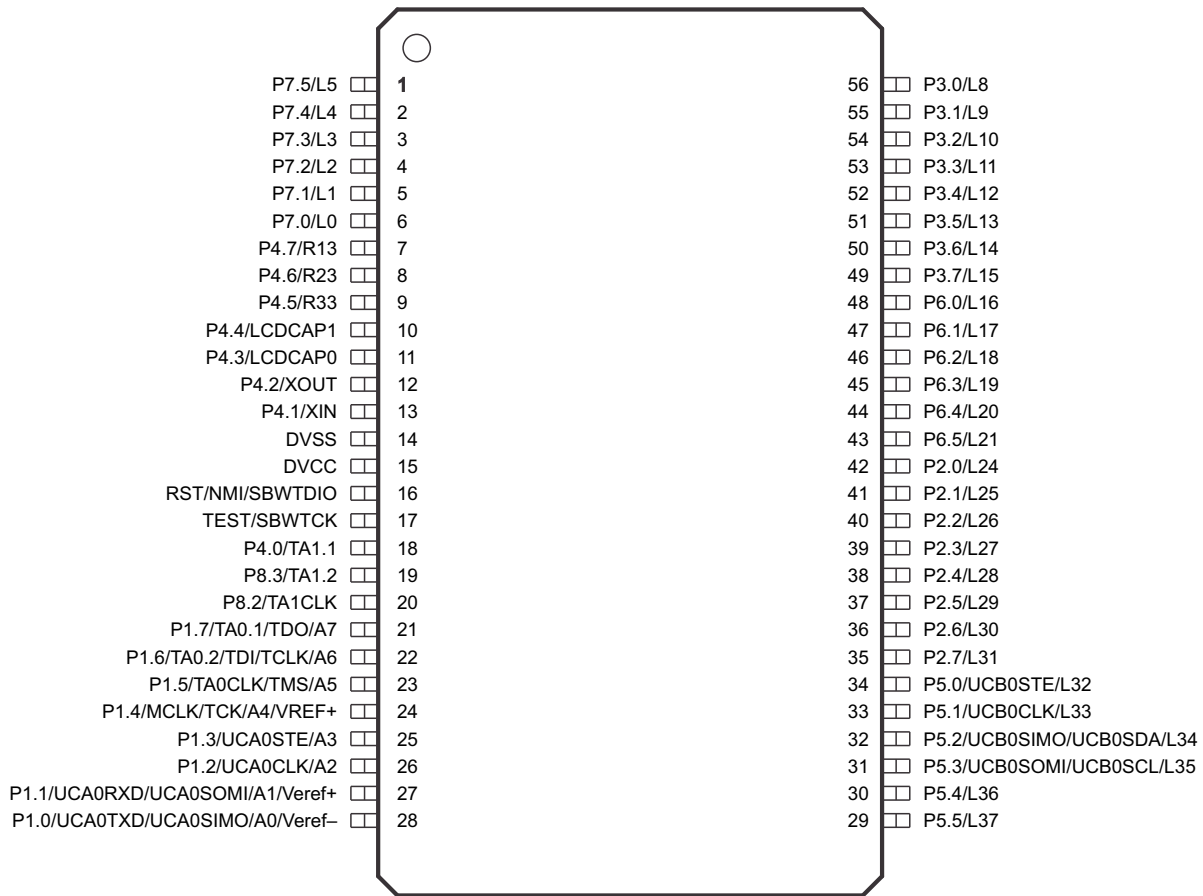


Figure 4-2. 56 引脚 DGG (TSSOP) (顶视图)

Figure 4-3 显示的是 48 引脚 DGG 封装的引脚分配。

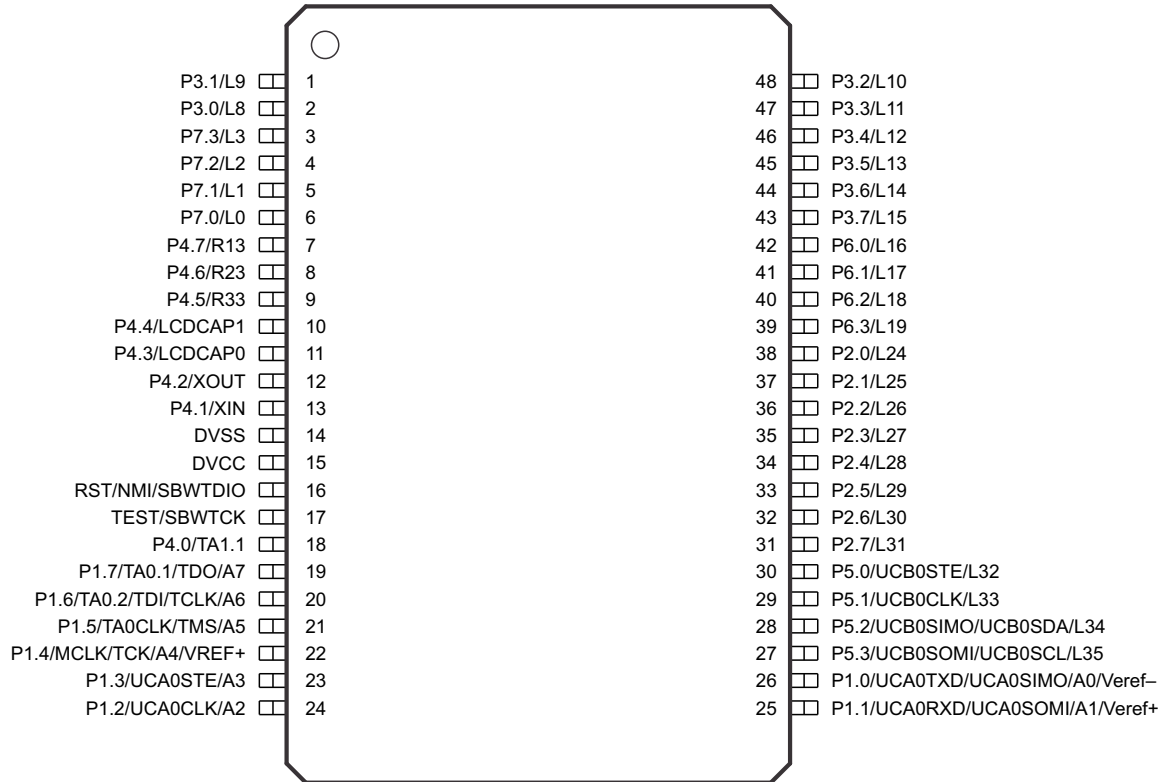


Figure 4-3. 48 引脚 DGG (TSSOP) 标识

4.2 信号说明

Table 4-1 介绍了所有器件型号和封装选项的信号。

Table 4-1. 信号说明

名称	封装后缀			I/O	说明
	PM	G56	G48		
P4.7/R13	1	7	7	I/O	通用 I/O 第三高正模拟 LCD 电压 V4 的输入/输出端口
P4.6/R23	2	8	8	I/O	通用 I/O 第二高正模拟 LCD 电压 V2 的输入/输出端口
P4.5/R33	3	9	9	I/O	通用 I/O 最高正模拟 LCD 电压 V1 的输入/输出端口
P4.4/LCDCAP1	4	10	10	I/O	通用 I/O 通过 0.1μF 电容连接至 LCDCAP0 引脚的 LCD 电荷泵外部端口
P4.3/LCDCAP0	5	11	11	I/O	通用 I/O 通过 0.1μF 电容连接至 LCDCAP1 引脚的 LCD 电荷泵外部端口
P4.2/XOUT	6	12	12	I/O	通用 I/O 晶振的输出引脚
P4.1/XIN	7	13	13	I/O	通用 I/O 晶振的输入引脚
DVSS	8	14	14		电源地
DVCC	9	15	15		电源
$\overline{\text{RST}}/\text{NMI}/\text{SBWTDIO}$	10	16	16	I/O	复位输入低电平有效 不可屏蔽的中断输入 Spy-Bi-Wire 数据输入/输出
TEST/SBWTK	11	17	17	I	测试模式引脚 – JTAG 引脚上选定的数字 I/O Spy-Bi-Wire 输入时钟
P4.0/TA1.1	12	18	18	I/O	通用 I/O 定时器 TA1 CCR1 捕捉：CCI1A 输入，比较：Out1 输出
P8.3/TA1.2 ⁽¹⁾	13	19		I/O	通用 I/O 定时器 TA1 CCR2 捕捉：CCI2A 输入，比较：Out2 输出
P8.2/TA1CLK ⁽¹⁾	14	20		I/O	通用 I/O TA1 的定时器时钟输入 TACLK
P8.1/ACLK/A9 ⁽¹⁾	15			I/O	通用 I/O ACLK 输出 模拟输入 A9
P8.0/SMCLK/A8 ⁽¹⁾	16			I/O	通用 I/O SMCLK 输出 模拟输入 A8
P1.7/TA0.1/TDO/A7	17	21	19	I/O	通用 I/O ⁽²⁾ 定时器 TA0 CCR1 捕捉：CCI1A 输入，比较：Out1 输出 测试数据输出 模拟输入 A7
P1.6/TA0.2/TDI/TCLK/A6	18	22	20	I/O	通用 I/O ⁽²⁾ 定时器 TA0 CCR2 捕捉：CCI2A 输入，比较：Out2 输出 测试数据输入或测试时钟输入 模拟输入 A6
P1.5/TA0CLK/TMS/A5	19	23	21	I/O	通用 I/O ⁽²⁾ TA0 的定时器时钟输入 TACLK 测试模式选择 模拟输入 A5
P1.4/MCLK/TCK/A4/VREF+	20	24	22	I/O	通用 I/O ⁽²⁾ MCLK 输出 测试时钟 模拟输入 A4 以接地端电压为基准的正向基准电压输出

(1) 较小封装中任何未打线接合的引脚在复位后都必须用软件进行初始化，以便使泄漏电流达到最低。

(2) 由于该引脚与 JTAG 功能复用，因此德州仪器 (TI) 建议您在 JTAG 调试过程中禁用引脚中断功能，以免发生冲突。

Table 4-1. 信号说明 (continued)

名称	封装后缀			I/O	说明
	PM	G56	G48		
P1.3/UCA0STE/A3	21	25	23	I/O	通用 I/O eUSCI_A0 SPI 从器件发送使能 模拟输入 A3
P1.2/UCA0CLK/A2	22	26	24	I/O	通用 I/O eUSCI_A0 SPI 时钟输入/输出 模拟输入 A2
P1.1/UCA0RXD/UCA0SOMI/ A1/Veref+	23	27	25	I/O	通用 I/O eUSCI_A0 UART 接收数据 eUSCI_A0 SPI 从器件输出/主器件输入 模拟输入 A1 和 ADC 正基准电压
P1.0/UCA0TXD/UCA0SIMO/ A0/Veref-	24	28	26	I/O	通用 I/O eUSCI_A0 UART 发送数据 eUSCI_A0 SPI 从器件输入/主器件输出 模拟输入 A0 和 ADC 负基准电压
P5.7/L39 ⁽¹⁾	25			I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P5.6/L38 ⁽¹⁾	26			I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P5.5/L37 ⁽¹⁾	27	29		I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P5.4/L36 ⁽¹⁾	28	30		I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P5.3/UCB0SOMI/UCB0SCL/L35	29	31	27	I/O	通用 I/O eUSCI_B0 SPI 从器件输出/主器件输入；eUSCI_B0 I2C 时钟 LCD 驱动引脚；段输出或公共输出
P5.2/UCB0SIMO/UCB0SDA/L34	30	32	28	I/O	通用 I/O eUSCI_B0 SPI 从器件输入/主器件输出；eUSCI_B0 I2C 数据 LCD 驱动引脚；段输出或公共输出
P5.1/UCB0CLK/L33	31	33	29	I/O	通用 I/O eUSCI_B0 时钟输入/输出 LCD 驱动引脚；段输出或公共输出
P5.0/UCB0STE/L32	32	34	30	I/O	通用 I/O eUSCI_B0 从器件发送使能 LCD 驱动引脚；段输出或公共输出
P2.7/L31	33	35	31	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P2.6/L30	34	36	32	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P2.5/L29	35	37	33	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P2.4/L28	36	38	34	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P2.3/L27	37	39	35	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P2.2/L26	38	40	36	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P2.1/L25	39	41	37	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P2.0/L24	40	42	38	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P6.7/L23 ⁽¹⁾	41			I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P6.6/L22 ⁽¹⁾	42			I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P6.5/L21 ⁽¹⁾	43	43		I/O	通用 I/O LCD 驱动引脚；段输出或公共输出

Table 4-1. 信号说明 (continued)

名称	封装后缀			I/O	说明
	PM	G56	G48		
P6.4/L20 ⁽¹⁾	44	44		I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P6.3/L19	45	45	39	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P6.2/L18	46	46	40	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P6.1/L17	47	47	41	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P6.0/L16	48	48	42	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.7/L15	49	49	43	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.6/L14	50	50	44	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.5/L13	51	51	45	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.4/L12	52	52	46	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.3/L11	53	53	47	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.2/L10	54	54	48	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.1/L9	55	55	1	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P3.0/L8	56	56	2	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.7/L7 ⁽¹⁾	57			I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.6/L6 ⁽¹⁾	58			I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.5/L5 ⁽¹⁾	59	1		I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.4/L4 ⁽¹⁾	60	2		I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.3/L3	61	3	3	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.2/L2	62	4	4	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.1/L1	63	5	5	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出
P7.0/L0	64	6	6	I/O	通用 I/O LCD 驱动引脚；段输出或公共输出

4.3 引脚复用

这些器件的引脚复用由寄存器设置和工作模式共同控制（例如，器件处于测试模式下）。有关每个引脚设置的详细信息以及复用端口的原理图，请参见 [Section 6.9.13](#)。

4.4 未使用引脚的连接

[Table 4-2](#) 给出了未使用引脚的正确端接。

Table 4-2. 未使用引脚的连接⁽¹⁾

引脚	电势	注释
Px.0 至 Px.7	断开	切换到端口功能，输出方向 (PxDIR.n = 1)
$\overline{\text{RST}}/\text{NMI}$	DVCC	47k Ω 上拉电阻或内部上拉电阻，通过 10nF (1.1nF) 下拉电容选择 ⁽²⁾
TEST	断开	该引脚总是有一个使能的内部下拉。

(1) 任何具有第二功能（与通用 I/O 共用）的引脚都应遵循 Px.0 到 Px.7 未使用引脚连接指南。

(2) 当所用器件的 Spy-Bi-Wire 接口处于 Spy-Bi-Wire 模式，并且使用 FET 接口或 GANG 编程器等 TI 工具时，下拉电容不得超过 1.1nF。

5 技术规格

5.1 绝对最大额定值⁽¹⁾

在自然通风温度范围内运行（除非另有说明）

	最小值	最大值	单位
施加到 DVCC 引脚的电压（相对于 V _{SS} ）	-0.3	4.1	V
施加到任一引脚的电压 ⁽²⁾	-0.3	V _{CC} + 0.3 (最大 4.1)	V
任一器件引脚上的二极管电流		±2	mA
最大结温, T _J		85	°C
储存温度, T _{stg} ⁽³⁾	-40	125	°C

- (1) 超出绝对最大额定值下列出的应力值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的操作条件下的任何其它操作，在此并未说明。长时间处于最大绝对额定值下会影响设备的可靠性。
- (2) 所有电压值均以 V_{SS} 为基准。
- (3) 电路板焊接期间可以采用较高的温度，根据现行的 JEDEC J-STD-020 规范，峰值回流焊温度不得超过器件装运包装盒或卷盘上标注的界定值。

5.2 ESD 额定值

		值	单位
V _(ESD) 静电放电	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1000	V
	组件充电模式 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±250	

- (1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。列为 ±1000V 的引脚的实际性能可能会更高。
- (2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。列为 ±250V 的引脚的实际性能可能会更高。

5.3 建议的运行条件

典型值是在 V_{CC} = 3.3V 且 T_A = 25°C 的条件下规定的（除非另外注明）

		最小值	标称值	最大值	单位
V _{CC}	电源电压（施加到 DVCC 引脚） ⁽¹⁾⁽²⁾⁽³⁾	1.8		3.6	V
V _{SS}	电源电压（施加到 DVSS 引脚）		0		V
T _A	自然通风工作温度范围	-40		85	°C
T _J	工作结温	-40		85	°C
C _{DVCC}	DVCC 上的推荐电容 ⁽⁴⁾	4.7	10		μF
f _{系统}	处理器频率（最大 MCLK 频率） ⁽³⁾⁽⁵⁾				MHz
	无 FRAM 等待状态 (NWAITS _x = 0)	0		8	
	有 FRAM 等待状态 (NWAITS _x = 1) ⁽⁶⁾	0		16 ⁽⁷⁾	
f _{ACLK}	最大 ACLK 频率			40	kHz
f _{SMCLK}	最大 SMCLK 频率			16 ⁽⁷⁾	MHz

- (1) 如果电源电压的变化速率快于 0.2V/μs，即使处于建议的电源电压范围内，也可能触发 BOR 复位。
- (2) 模块的电源电压范围规范可能有所不同。可在本数据表中查看各个模块的规范。
- (3) 最小电源电压由 SVS 电平决定。请参见 Table 5-1 中的 SVS 阈值参数。
- (4) 要求电容容差为 ±20% 或以上。
- (5) 模块的最大输入时钟规范可能有所不同。可在本数据表中查看各个模块的规范。
- (6) 等待状态仅发生在实际 FRAM 访问时（即，FRAM 缓存缺失时）。RAM 和外设访问始终在无等待状态的情况下执行。
- (7) 如果使用频率大于 16MHz 的时钟源（例如，HF 晶振或 DCO），则必须在时钟系统中将时钟进行分频，以满足上述工作条件。

5.4 工作模式下流入 V_{CC} 的电源电流 (不包括外部电流)

请参见 ⁽¹⁾

参数	执行存储器	测试条件	频率 (f _{MCLK} = f _{SMCLK})						单位
			1MHz 无等待状态 (NWAITSx = 0)		8MHz 无等待状态 (NWAITSx = 0)		16MHz 1 个等待状态 (NWAITSx = 1)		
			典型值	最大值	典型值	最大值	典型值	最大值	
I _{AM, FRAM} (0%)	FRAM 0% 缓存命中率	3V , 25°C	504		2874		3156	3700	μA
		3V , 85°C	516		2919		3205		
I _{AM, FRAM} (100%)	FRAM 100% 缓存命中率	3V , 25°C	209		633		1056	1298	μA
		3V , 85°C	217		647		1074		
I _{AM, RAM} ⁽²⁾	RAM	3V , 25°C	231		809		1450		μA

(1) 所有输入均连接至 0V 或 V_{CC} 。输出不供应或吸收任何电流。程序执行典型数据处理。

$f_{ACLK} = 32786\text{Hz}$, $f_{MCLK} = f_{SMCLK} = f_{DCO}$, 为指定频率

程序和数全部存储在 FRAM 中。全部从 FRAM 执行。

(2) 程序和数全部存储在 RAM 中。全部从 RAM 执行。不访问 FRAM。

5.5 工作模式下每兆赫兹的电源电流

$V_{CC} = 3V$, $T_A = 25^\circ C$ (除非另外注明)

参数	测试条件	典型值	单位
$dI_{AM,FRAM}/df$ 工作模式下每兆赫兹的电流消耗, 从 FRAM 执行, 无等待状态 ⁽¹⁾	((8MHz 下的 $I_{AM, 75\% \text{ 缓存命中率}}$) – (1MHz 下的 $I_{AM, 75\% \text{ 缓存命中率}}))$ / 7MHz	126	$\mu A/MHz$

(1) 默认设置下, 所有外设均接通。

5.6 LPM0 低功耗模式下流入 V_{CC} 的电源电流 (不包括外部电流)

$V_{CC} = 3V$, $T_A = 25^\circ C$ (除非另外注明) ⁽¹⁾⁽²⁾

参数	V _{CC}	频率 (f _{SMCLK})						单位
		1MHz		8MHz		16MHz		
		典型值	最大值	典型值	最大值	典型值	最大值	
I _{LPM0} LPM0 低功耗模式下的电源电流	2V	158		307		415		μA
	3V	169		318		427		

(1) 所有输入均连接至 0V 或 V_{CC} 。输出不供应或吸收任何电流。

(2) 包括由 SMCLK 提供时钟的看门狗定时器的电流。

$f_{ACLK} = 32786\text{Hz}$, $f_{MCLK} = 0\text{MHz}$, f_{SMCLK} 为指定频率。

5.7 LPM3 和 LPM4 低功耗模式下流入 V_{CC} 的电源电流 (不包括外部电流)

在推荐的电源电压范围和自然通风条件下的工作温度范围内测得 (除非另外注明) ⁽¹⁾

参数	V_{CC}	-40°C		25°C		85°C		单位
		典型值	最大值	典型值	最大值	典型值	最大值	
$I_{LPM3,XT1}$ 低功耗模式 3, 包括 SVS ⁽²⁾⁽³⁾⁽⁴⁾	3V	1.13		1.31	1.99	3.00		μA
	2V	1.06		1.21		2.94		
$I_{LPM3,VLO}$ 低功耗模式 3, VLO, 不包括 SVS ⁽⁵⁾	3V	0.92		1.00	1.75	2.89		μA
	2V	0.86		1.00		2.75		
$I_{LPM3, LCD, CP}$ 低功耗模式 3, LCD, 不包括 SVS ⁽⁶⁾	3V	1.07		1.25		3.04		μA
$I_{LPM3, RTC}$ 低功耗模式 3, RTC, 不包括 SVS ⁽⁷⁾	3V	1.08		1.25		3.04		μA
$I_{LPM4, SVS}$ 低功耗模式 4, 包括 SVS	3V	0.65		0.75		1.88		μA
	2V	0.63		0.73		1.85		
I_{LPM4} 低功耗模式 4, 不包括 SVS	3V	0.51		0.58		1.51		μA
	2V	0.50		0.57		1.49		

(1) 所有输入均连接至 0V 或 V_{CC} 。输出无任何拉电流或灌电流

(2) 不适用于仅配有 HF 晶振的器件。

(3) 采用 Golledge MS1V-TK/IL 32.768kHz 晶振, 选用的负载电容与要求使用的负载极为匹配。

(4) 低功耗模式 3, 包括 SVS 测试条件:

包括由 ACLK 提供时钟的看门狗定时器的电流以及由 XT1 提供时钟的 RTC 的电流。包括用于欠压保护和 SVS 的电流 (SVSHE = 1)。

CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 0 (LPM3),

$f_{XT1} = 32768\text{Hz}$, $f_{ACLK} = f_{XT1}$, $f_{MCLK} = f_{SMCLK} = 0\text{MHz}$

(5) 低功耗模式 3, VLO, 不包括 SVS 测试条件:

包括由 VLO 提供时钟的看门狗定时器的电流。已禁用 RTC。包括用于欠压保护的电流。已禁用 SVS (SVSHE = 0)。

CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 0 (LPM3),

$f_{XT1} = 0\text{Hz}$, $f_{ACLK} = f_{MCLK} = f_{SMCLK} = 0\text{MHz}$

(6) 如果已使能内部电荷泵和 V_{REF} 开关模式, 则 LCD 在 LPM3 下工作。使用 32768Hz 外部时钟源时, LCD 驱动器引脚配置为 4×36 , 帧频为 32Hz。

(7) 使用 32768Hz 外部时钟源时, RTC 每秒都会定期唤醒。

5.8 LPMx.5 低功耗模式下流入 V_{CC} 的电源电流 (不包括外部电流)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	V_{CC}	-40°C		25°C		85°C		单位
		典型值	最大值	典型值	最大值	典型值	最大值	
$I_{LPM3.5, XT1}$ 低功耗模式 3.5, 包括 SVS ⁽¹⁾⁽²⁾⁽³⁾ (另请参见 Figure 5-3)	3V	0.71		0.77	1.25	1.06	2.06	μA
	2V	0.66		0.70		0.95		
$I_{LPM3.5, LCD, CP}$ 低功耗模式 3.5, 不包括 SVS ⁽⁴⁾	3V	0.90		0.94		1.27		μA
$I_{LPM4.5, SVS}$ 低功耗模式 4.5, 包括 SVS ⁽⁵⁾	3V	0.23		0.25	0.375	0.32	0.43	μA
	2V	0.20		0.20		0.24		
$I_{LPM4.5}$ 低功耗模式 4.5, 不包括 SVS ⁽⁶⁾	3V	0.010		0.015	0.070	0.073	0.140	μA
	2V	0.008		0.013		0.060		

(1) 不适用于仅配有 HF 晶振的器件。

(2) 采用 Micro Crystal MS1V-T1K 晶振, 选用的负载电容与要求使用的负载极为匹配。

(3) 低功耗模式 3.5, 包括 SVS 测试条件:

包括由 XT1 提供时钟的 RTC 的电流。包括用于欠压保护和 SVS 的电流 (SVSHE = 1)。已禁用内核稳压器。

PMMREGOFF = 1, CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 1 (LPMx.5),

$f_{XT1} = 32768\text{Hz}$, $f_{ACLK} = f_{XT1}$, $f_{MCLK} = f_{SMCLK} = 0\text{MHz}$

(4) 如果已使能内部电荷泵和 VREF 开关模式, 则 LCD 在 LPM3.5 下工作。使用 32768Hz 外部时钟源时, LCD 驱动器引脚配置为 4 × 36, 帧频为 32Hz。

(5) 低功耗模式 4.5, 包括 SVS 测试条件:

包括用于欠压保护和 SVS 的电流 (SVSHE = 1)。已禁用内核稳压器。

PMMREGOFF = 1, CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 1 (LPMx.5),

$f_{XT1} = 0\text{Hz}$, $f_{ACLK} = f_{MCLK} = f_{SMCLK} = 0\text{MHz}$

(6) 低功耗模式 4.5, 不包括 SVS 测试条件:

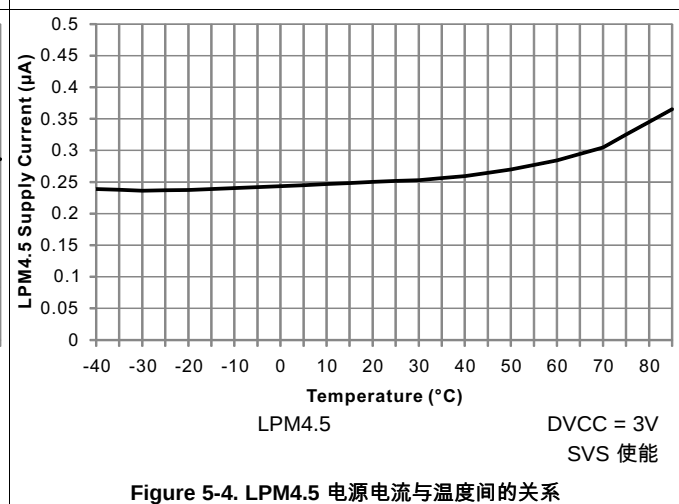
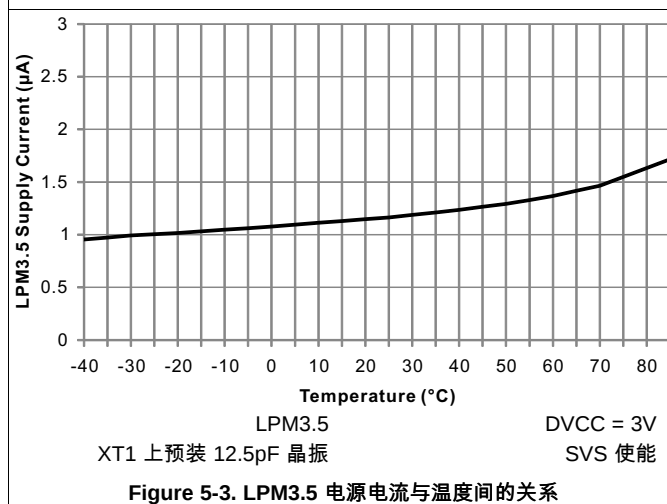
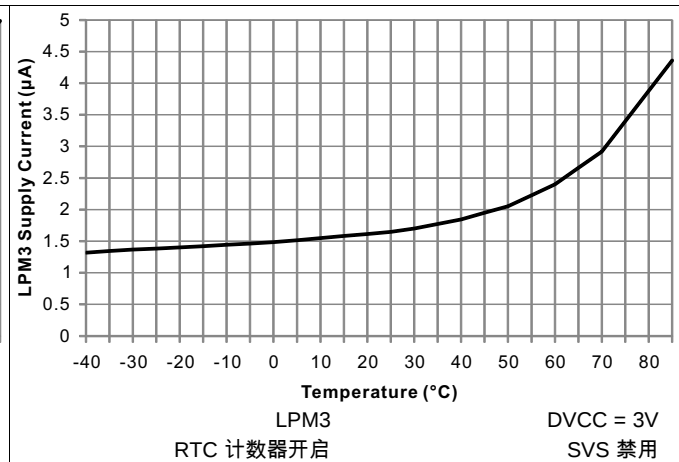
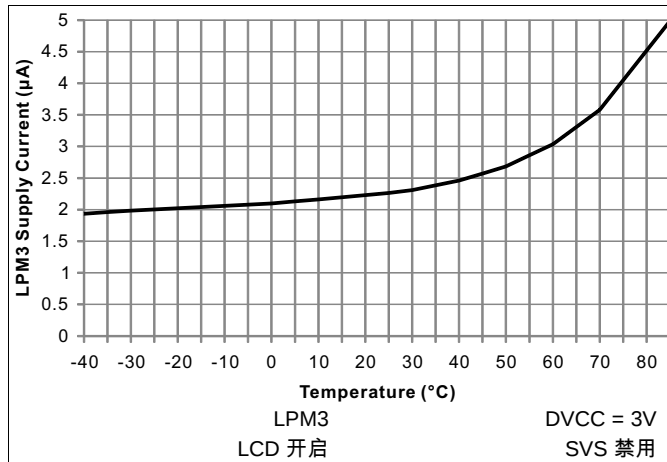
包括用于欠压保护的电流。已禁用 SVS (SVSHE = 0)。已禁用内核稳压器。

PMMREGOFF = 1, CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 1 (LPMx.5),

$f_{XT1} = 0\text{Hz}$, $f_{ACLK} = f_{MCLK} = f_{SMCLK} = 0\text{MHz}$

5.9 典型特性，低功耗模式电源电流

本节中的曲线图仅显示了基于少量样本的电路板级测试结果。电路板上预装有 Micro-Crystal 公司的 MS1V-T1K 晶振，以生成 32kHz 时钟。LCD 配置为 4xCOM 模式，并且不安装 LCD 面板。



5.10 典型特性，每个模块的电流消耗

模块	测试条件	基准时钟	典型值	单位
Timer_A		模块输入时钟	5	μA/MHz
eUSCI_A	UART 模式	模块输入时钟	7	μA/MHz
eUSCI_A	SPI 模式	模块输入时钟	5	μA/MHz
eUSCI_B	SPI 模式	模块输入时钟	5	μA/MHz
eUSCI_B	I ² C 模式，100kbaud	模块输入时钟	5	μA/MHz
RTC		32kHz	85	nA
CRC	从运行开始到结束	MCLK	8.5	μA/MHz

5.11 热特性

参数		值	单位
θ_{JA}	结到环境热阻，在空气不流通的环境中 ⁽¹⁾	61.7	°C/W
θ_{JC} ，(顶部)	结至外壳（顶部）热阻 ⁽²⁾	25.4	°C/W
θ_{JB}	结至电路板热阻 ⁽³⁾	32.7	°C/W
Ψ_{JB}	结至电路板热特性参数	32.4	°C/W
Ψ_{JT}	结至顶部热特性参数	2.5	°C/W
θ_{JA}	结到环境热阻，在空气不流通的环境中 ⁽¹⁾	62.4	°C/W
θ_{JC} ，(顶部)	结至外壳（顶部）热阻 ⁽²⁾	18.7	°C/W
θ_{JB}	结至电路板热阻 ⁽³⁾	31.4	°C/W
Ψ_{JB}	结至电路板热特性参数	31.1	°C/W
Ψ_{JT}	结至顶部热特性参数	0.8	°C/W
θ_{JA}	结到环境热阻，在空气不流通的环境中 ⁽¹⁾	68.9	°C/W
θ_{JC} ，(顶部)	结至外壳（顶部）热阻 ⁽²⁾	23	°C/W
θ_{JB}	结至电路板热阻 ⁽³⁾	35.8	°C/W
Ψ_{JB}	结至电路板热特性参数	35.3	°C/W
Ψ_{JT}	结至顶部热特性参数	1.1	°C/W

- (1) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻。
- (2) 通过在封装顶部模拟一个冷板测试来获得结至外壳（顶部）热阻。不存在特定的 JEDEC 标准测试，但可在 ANSI SEMI 标准 G30-88 中找到内容接近的说明。
- (3) 按照 JESD51-8 中的说明，通过在配有用于控制 PCB 温度的环形冷板夹具的环境中进行仿真，以获得结至电路板的热阻。

5.12 时序和开关特性

5.12.1 电源排序

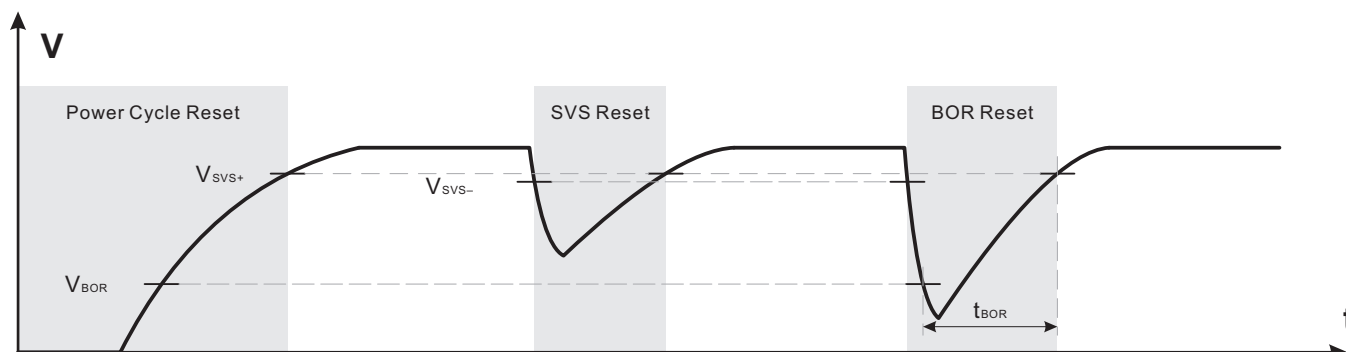


Figure 5-5. 重启、SVS 和 BOR 复位条件

Table 5-1. PMM、SVS 和 BOR

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数	测试条件	最小值	典型值	最大值	单位
$V_{BOR, safe}$	安全 BOR 断电电平 ⁽¹⁾	0.1			V
$t_{BOR, safe}$	安全 BOR 复位延迟 ⁽²⁾	10			ms
$I_{SVSH, AM}$	SVS _H 电流消耗，工作模式			1.5	μA
$I_{SVSH, LPM}$	SVS _H 电流消耗，低功耗模式		240		nA
V_{SVSH-}	SVS _H 断电电平	1.71	1.81	1.87	V
V_{SVSH+}	SVS _H 上电电平	1.76	1.88	1.99	V
V_{SVSH_hys}	SVS _H 滞后		70		mV
$t_{PD, SVSH, AM}$	SVS _H 传播延迟，工作模式			10	μs
$t_{PD, SVSH, LPM}$	SVS _H 传播延迟，低功耗模式			100	μs
$V_{REF, 1.2V}$	1.2V 基准电压 ⁽³⁾	1.158	1.20	1.242	V

(1) 仅当 DVCC 在升高之前降至该电压以下才能正确生成安全 BOR。

(2) 如果发生 BOR，仅当 DVCC 在达到 V_{SVSH+} 之前保持低电平的时间长于该时间段时，才能正确生成安全 BOR。

(3) 该结果是在 -40°C 到 +85°C 的温度范围内、外部 1mA 负载接地的情况下得出的特性结果。

5.12.2 复位时序

Table 5-2. 从低功耗模式唤醒的时间以及复位

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
t _{WAKE-UP FRAM}	在 AM 下激活 FRAM（如果之前被 FRAM 控制器禁用）或者从 LPM 激活 FRAM（如果选择了立即激活来唤醒）的额外唤醒时间 ⁽¹⁾	3V		10		μs
t _{WAKE-UP LPM0}	从 LPM0 唤醒并进入工作模式的时间 ⁽¹⁾	3V			200ns + 2.5/f _{DCO}	
t _{WAKE-UP LPM3}	从 LPM3 唤醒并进入工作模式的时间 ⁽²⁾	3V		10		μs
t _{WAKE-UP LPM4}	从 LPM4 唤醒并进入工作模式的时间	3V		10		μs
t _{WAKE-UP LPM3.5}	从 LPM3.5 唤醒并进入工作模式的时间 ⁽²⁾	3V		350		μs
t _{WAKE-UP LPM4.5}	从 LPM4.5 唤醒并进入工作模式的时间 ⁽²⁾	SVSHE = 1	3V	350		μs
		SVSHE = 0	3V	1		ms
t _{WAKE-UP-RESET}	从 $\overline{\text{RST}}$ 或 BOR 事件唤醒并进入工作模式的时间 ⁽²⁾	3V		1		ms
t _{RESET}	$\overline{\text{RST}}/\text{NMI}$ 引脚接受复位所需的脉冲持续时间	3V		2		μs

(1) 唤醒时间测量的是从外部唤醒信号（例如，端口中断或唤醒事件）的边沿到可从外部观察到第一个 MCLK 时钟边沿的时间。

(2) 唤醒时间测量的是从外部唤醒信号（例如，端口中断或唤醒事件）的边沿到执行用户程序第一条指令的时间。

5.12.3 时钟规范

Table 5-3. XT1 晶振 (低频)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明) ⁽¹⁾

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{XT1, LF} XT1 晶振, 低频	LFXTBYPASS = 0			32768		Hz
DC _{XT1, LF} XT1 振荡器 LF 占空比	在 MCLK 下测得, f _{LFXT} = 32768Hz		30%		70%	
f _{XT1, SW} XT1 振荡器逻辑电平方波输入频率	LFXTBYPASS = 1 ⁽²⁾⁽³⁾			32768		Hz
DC _{XT1, SW} LFXT 振荡器逻辑电平方波输入占空比	LFXTBYPASS = 1		40%		60%	
OA _{LFXT} LF 晶振的振荡容差 ⁽⁴⁾	LFXTBYPASS = 0, LFXTDRIVE = {3}, f _{LFXT} = 32768Hz, C _{L,eff} = 12.5pF			200		kΩ
C _{L,eff} 集成的有效负载电容 ⁽⁵⁾	请参见 ⁽⁶⁾			1		pF
t _{START, LFXT} 启动时间 ⁽⁷⁾	f _{OSC} = 32768Hz, LFXTBYPASS = 0, LFXTDRIVE = {3}, T _A = 25°C, C _{L,eff} = 12.5pF			1000		ms
f _{Fault, LFXT} 振荡器故障频率 ⁽⁸⁾	XTS = 0 ⁽⁹⁾		0		3500	Hz

- (1) 要改善 LFXT 振荡器上的 EMI, 应遵循以下准则。
 - 应使器件与晶体之间的走线尽可能地短。
 - 在振荡器引脚的周围设计一个良好的接地平面。
 - 防止来自其它时钟或数据线路的串扰进入振荡器引脚 XIN 和 XOUT。
 - 应避免在 XIN 和 XOUT 引脚的下方或附近布设 PCB 走线。
 - 采用的组装材料和工艺应避免在振荡器的 XIN 和 XOUT 引脚上产生寄生负载。
 - 如果采用敷形涂覆, 则应确保其不会在振荡器引脚之间引起容性或阻性泄漏电流。
- (2) 如果 LFXTBYPASS 置 1, 则 LFXT 电路会自动断电。输入信号是数字方波, 其参数在本数据表的施密特触发器输入部分定义。占空比要求由 DC_{LFXT, SW} 定义。
- (3) 不能超过整个器件的最大工作频率。
- (4) 振荡容差基于推荐晶体的安全系数 5。振荡容差是 LFXTDRIVE 设置和有效负载的函数。一般来讲, 可根据以下准则获得比较高的振荡器容差, 但应根据为应用选择的实际晶体进行评估:
 - 对于 LFXTDRIVE = {0}, C_{L,eff} = 3.7pF。
 - 对于 LFXTDRIVE = {1}, 6pF ≤ C_{L,eff} ≤ 9pF。
 - 对于 LFXTDRIVE = {2}, 6pF ≤ C_{L,eff} ≤ 10pF。
 - 对于 LFXTDRIVE = {3}, 6pF ≤ C_{L,eff} ≤ 12pF。
- (5) 包括寄生接合及封装电容 (每引脚约 2pF)。
- (6) 在两个引脚上都要求外部电阻。值由晶振制造商指定。
- (7) 包括 1024 个时钟周期的启动计数器。
- (8) 高于最大值规范的频率不会将故障标志置 1。介于最小值和最大值规范之间的频率可能会将标志置 1。静态状态或长时间处于故障状态会将标志置 1。
- (9) 采用逻辑电平输入频率来测量, 但也适用于采用晶振的操作。

Table 5-4. DCO FLL，频率

在推荐的自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{DCO, FLL}	FLL 锁定频率, 16MHz, 25°C	在 MCLK 下测得, 内部修整 REFO 作为基准	3V	-1.0%		1.0%	
	FLL 锁定频率, 16MHz, -40°C 至 +85°C		3V	-2.0%		2.0%	
	FLL 锁定频率, 16MHz, -40°C 至 +85°C	在 MCLK 下测得, XT1 晶振作为基准	3V	-0.5%		0.5%	
f _{DUTY}	占空比	在 MCLK 下测得, XT1 晶振作为基准	3V	40%	50%	60%	
Jitter _{CC}	周期间抖动, 16MHz		3V		0.25%		
Jitter _{long}	长时间抖动, 16MHz		3V		0.022%		
t _{FLL, lock}	FLL 锁定时间		3V		120		ms

Table 5-5. REFO

在推荐的自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
I _{REFO}	REFO 振荡器电流消耗	T _A = 25°C	3V		15		μA
f _{REFO}	REFO 校准频率	在 MCLK 下测得	3V		32768		Hz
	REFO 绝对校准容差	-40°C 至 +85°C	1.8V 至 3.6V	-3.5%		+3.5%	
df _{REFO} /dT	REFO 频率温度漂移	在 MCLK 下测得 ⁽¹⁾	3V		0.01		%/°C
df _{REFO} /dV _{CC}	REFO 频率电源电压漂移	25°C 时在 MCLK 下测得 ⁽²⁾	1.8V 至 3.6V		1		%/V
f _{DC}	REFO 占空比	在 MCLK 下测得	1.8V 至 3.6V	40%	50%	60%	
t _{START}	REFO 启动时间	40% 到 60% 占空比			50		μs

(1) 使用箱形法计算: (MAX(-40°C 至 85°C) – MIN(-40°C 至 85°C)) / MIN(-40°C 至 85°C) / (85°C – (-40°C))

(2) 使用箱形法计算: (MAX(1.8V 至 3.6V) – MIN(1.8V 至 3.6V)) / MIN(1.8V 至 3.6V) / (3.6V – 1.8V)

Table 5-6. 内部超低功耗低频振荡器 (VLO)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{VLO}	VLO 频率	在 MCLK 下测得	3V		10		kHz
df _{VLO} /dT	VLO 频率温度漂移	在 MCLK 下测得 ⁽¹⁾	3V		0.5		%/°C
df _{VLO} /dV _{CC}	VLO 频率电源电压漂移	在 MCLK 下测得 ⁽²⁾	1.8V 至 3.6V		4		%/V
f _{VLO,DC}	占空比	在 MCLK 下测得	3V		50%		

(1) 使用箱形法计算: (MAX(-40°C 至 85°C) – MIN(-40°C 至 85°C)) / MIN(-40°C 至 85°C) / (85°C – (-40°C))

(2) 使用箱形法计算: (MAX(1.8V 至 3.6V) – MIN(1.8V 至 3.6V)) / MIN(1.8V 至 3.6V) / (3.6V – 1.8V)

Table 5-7. 模块振荡器 (MODOSC)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{MODOSC}	MODOSC 频率		3V	3.8	4.8	5.8	MHz
f _{MODOSC} /dT	MODOSC 频率温度漂移		3V		0.102		%/°C
f _{MODOSC} /dV _{CC}	MODOSC 频率电源电压漂移		1.8V 至 3.6V		1.02		%/V
f _{MODOSC,DC}	占空比		3V	40%	50%	60%	

5.12.4 数字 I/O

Table 5-8. 数字输入

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{IT+} 正向输入阈值电压		2V	0.90		1.50	V
		3V	1.35		2.25	
V _{IT-} 负向输入阈值电压		2V	0.50		1.10	V
		3V	0.75		1.65	
V _{hys} 输入电压滞后 (V _{IT+} -V _{IT-})		2V	0.3		0.8	V
		3V	0.4		1.2	
R _{Pull} 上拉或下拉电阻	对于上拉电阻: V _{IN} = V _{SS} 对于下拉电阻: V _{IN} = V _{CC}		20	35	50	kΩ
C _{I,dig} 输入电容, 仅数字端口引脚	V _{IN} = V _{SS} 或 V _{CC}			3		pF
C _{I,ana} 输入电容, 共享模拟功能的端口引脚	V _{输入} = V _{SS} 或 V _{CC}			5		pF
I _{lkg(Px.y)} 高阻抗泄漏电流 (另请参见 ⁽¹⁾ 和 ⁽²⁾)		2V, 3V	-20		+20	nA

(1) 漏电流是在把 V_{SS} 或 V_{CC} 施加至对应引脚上的情况下测量的, 除非另外注明。

(2) 数字端口引脚的泄漏电流单独测量。此端口引脚针对输入进行选择, 而且上拉或下拉电阻器被禁用。

Table 5-9. 数字输出

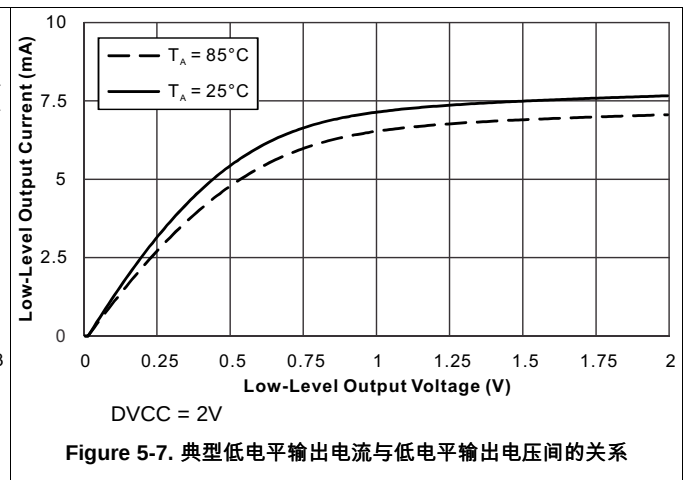
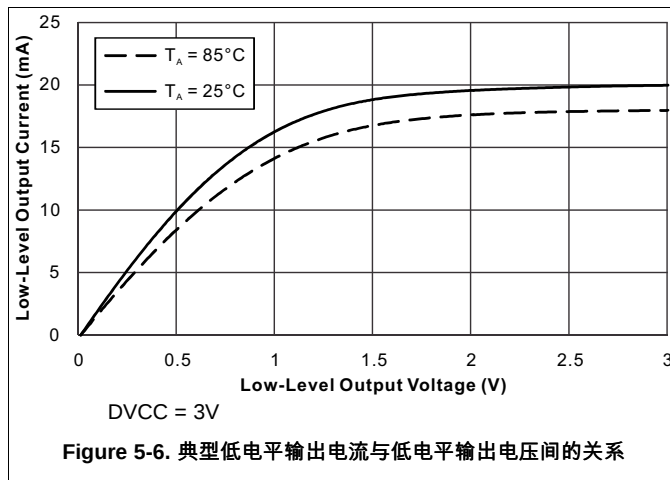
在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{OH} 高电平输出电压	I _(OHmax) = -3mA ⁽¹⁾	2V	1.4		2.0	V
	I _(OHmax) = -5mA ⁽¹⁾	3V	2.4		3.0	
V _{OL} 低电平输出电压	I _(OLmax) = 3mA ⁽¹⁾	2V	0.0		0.60	V
	I _(OLmax) = 5mA ⁽¹⁾	3V	0.0		0.60	
f _{Port_CLK} 时钟输出频率	C _L = 20pF ⁽²⁾	2V	16			MHz
		3V	16			
t _{rise,dig} 端口输出上升时间, 仅数字端口引脚	C _L = 20pF	2V		10		ns
		3V		7		
t _{fall,dig} 端口输出下降时间, 仅数字端口引脚	C _L = 20pF	2V		10		ns
		3V		5		

(1) 所有输出组合在一起的最大总电流 I_(OHmax) 和 I_(OLmax) 不应超过 ±48mA, 以保持指定的最大压降。

(2) 端口的输出频率至少可达到指定的限值, 并可能支持更高的频率。

5.12.4.1 数字 I/O 典型特性



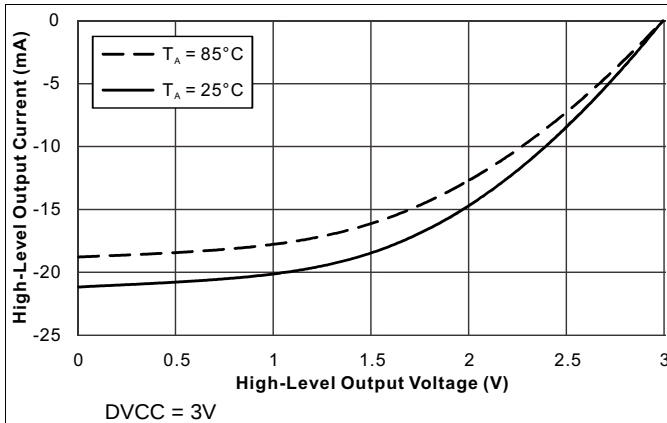


Figure 5-8. 典型高电平输出电流与高电平输出电压间的关系

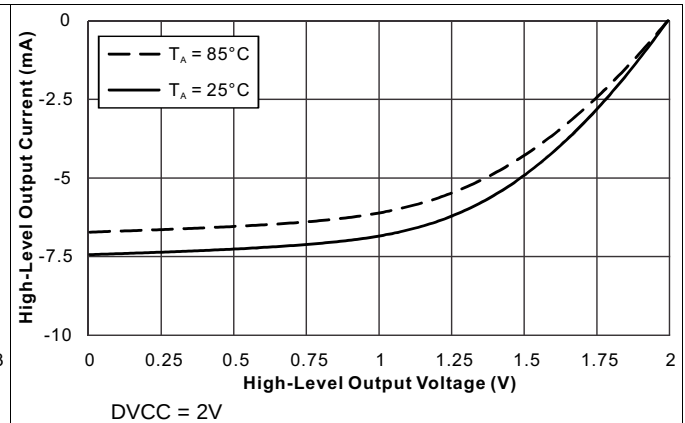


Figure 5-9. 典型高电平输出电流与高电平输出电压间的关系

5.12.5 Timer_A

Table 5-10. Timer_A 的建议运行条件

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数	测试条件	V _{CC}	最小值	最大值	单位
f _{TA} Timer_A 输入时钟频率	内部：SMCLK，ACLK 外部：TACLK 占空比 = 50% ±10%	2V，3V		16	MHz

5.12.6 eUSCI

Table 5-11. eUSCI (UART 模式) 建议的运行条件

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	最大值	单位
f _{eUSCI} eUSCI 输入时钟频率	内部 : SMCLK , MODCLK 外部 : UCLK 占空比 = 50% ±10%	2V , 3V		16	MHz
f _{BITCLK} BITCLK 时钟频率 (等于波特率, 单位为 Mbaud)		2V , 3V		5	MHz

Table 5-12. eUSCI (UART 模式) 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	典型值	单位
t _t UART 接收去毛刺脉冲时间 ⁽¹⁾	UCGLITx = 0	2V , 3V	12	ns
	UCGLITx = 1		40	
	UCGLITx = 2		68	
	UCGLITx = 3		110	

(1) 对 UART 接收输入 (UCxRx) 上短于 UART 接收去毛刺脉冲时间的脉冲进行了抑制。为了确保脉冲能够正确识别, 其宽度应超过规定的最大去毛刺脉冲时间。

Table 5-13. eUSCI (SPI 主模式) 建议的运行条件

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	条件	最小值	最大值	单位
f _{eUSCI} eUSCI 输入时钟频率	内部 : SMCLK , MODCLK 占空比 = 50% ±10%		8	MHz

Table 5-14. eUSCI (SPI 主模式) 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明) ⁽¹⁾

参数	测试条件	V _{CC}	最小值	最大值	单位
t _{STE, LEAD} STE 超前时间, STE 有效到时钟	UCSTEM = 1, UCMODEx = 01 或 10		1		UCxCLK 周期
t _{STE, LAG} STE 滞后时间, 上一时钟到 STE 无效	UCSTEM = 1, UCMODEx = 01 或 10		1		UCxCLK 周期
t _{SU, MI} 从器件输出, 主器件输入 (SOMI) 输入数据建立时间		2V	45		ns
		3V	35		
t _{HD, MI} SOMI 输入数据保持时间		2V	0		ns
		3V	0		
t _{VALID, MO} 从器件输入, 主器件输出 (SIMO) 输出数据有效时间 ⁽²⁾	UCLK 边沿到 SIMO 有效, C _L = 20pF	2V		20	ns
		3V		20	
t _{HD, MO} SIMO 输出数据保持时间 ⁽³⁾	C _L = 20pF	2V	0		ns
		3V	0		

(1) f_{UCxCLK} = 1/2t_{LO/Hi}, 其中, t_{LO/Hi} = max(t_{VALID, MO}(eUSCI) + t_{SU, SI}(Slave), t_{SU, MI}(eUSCI) + t_{VALID, SO}(Slave))。有关从器件参数 t_{SU, SI}(Slave) 和 t_{VALID, SO}(Slave), 请参见所连从器件的 SPI 参数。

(2) 指定输出更改 UCLK 时钟边沿后将下一有效数据驱动到 SIMO 输出的时间。请参见 Figure 5-10 和 Figure 5-11 中的时序图。

(3) 指定输出更改 UCLK 脉冲边沿后 SIMO 输出上的数据的有效时长。负值表示 SIMO 输出上的数据可能在 UCLK 上观察到输出更改时钟边沿前变为无效状态。请参见 Figure 5-10 和 Figure 5-11 中的时序图。

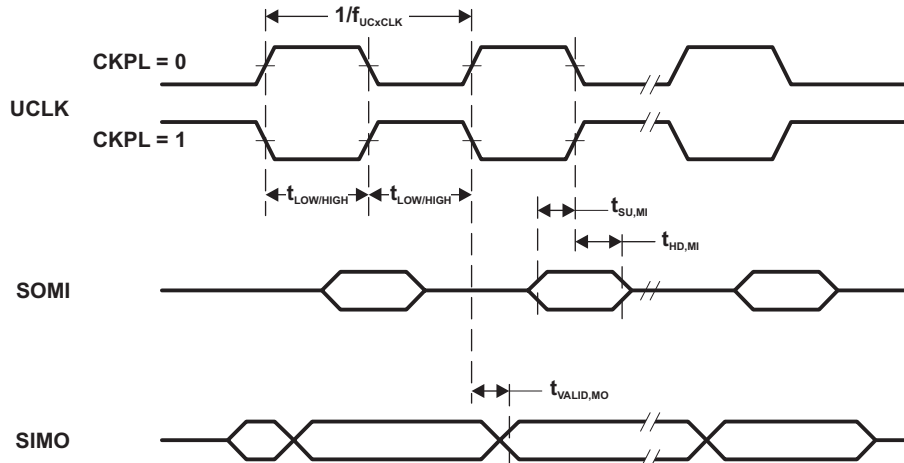


Figure 5-10. SPI 主控模式，CKPH = 0

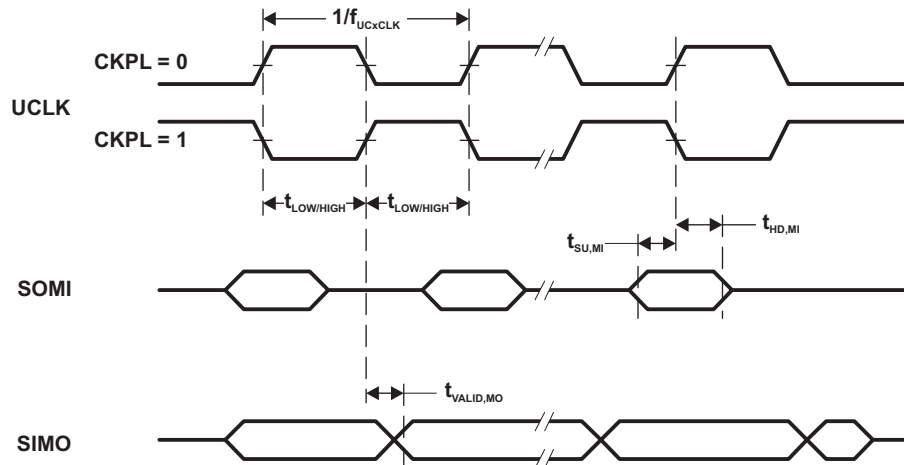


Figure 5-11. SPI 主控模式，CKPH = 1

Table 5-15. eUSCI (SPI 从模式) 开关特性在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明)⁽¹⁾

参数	测试条件	V _{CC}	最小值	最大值	单位
t _{STE, LEAD} STE 超前时间, STE 有效到时钟		2V	55		ns
		3V	45		
t _{STE, LAG} STE 滞后时间, 上一时钟到 STE 无效		2V	20		ns
		3V	20		
t _{STE, ACC} STE 访问时间, STE 有效到 SOMI 数据输出		2V	65		ns
		3V	40		
t _{STE, DIS} STE 禁用时间, STE 无效到 SOMI 高阻抗		2V	40		ns
		3V	35		
t _{SU, SI} SIMO 输入数据建立时间		2V	4		ns
		3V	4		
t _{HD, SI} SIMO 输入数据保持时间		2V	12		ns
		3V	12		
t _{VALID, SO} SOMI 输出数据有效时间 ⁽²⁾	UCLK 边沿到 SOMI 有效, C _L = 20pF	2V	65		ns
		3V	40		
t _{HD, SO} SOMI 输出数据保持时间 ⁽³⁾	C _L = 20pF	2V	5		ns
		3V	5		

(1) $f_{UCXCLK} = 1/2t_{LO/Hi}$, 其中 $t_{LO/Hi} \geq \max(t_{VALID, MO(Master)} + t_{SU, SI(eUSCI)}, t_{SU, MI(Master)} + t_{VALID, SO(eUSCI)})$ 。有关主器件参数 $t_{SU, SI(Master)}$ 和 $t_{VALID, MO(Master)}$, 请参见所连器件的 SPI 参数。

(2) 指定输出更改 UCLK 时钟边沿后将下一有效数据驱动到 SOMI 输出的时间。请参见Figure 5-12 和Figure 5-13 中的时序图。

(3) 指定输出更改 UCLK 脉冲边沿后 SOMI 输出上的数据的有效时长。请参见Figure 5-12 和Figure 5-13 中的时序图。

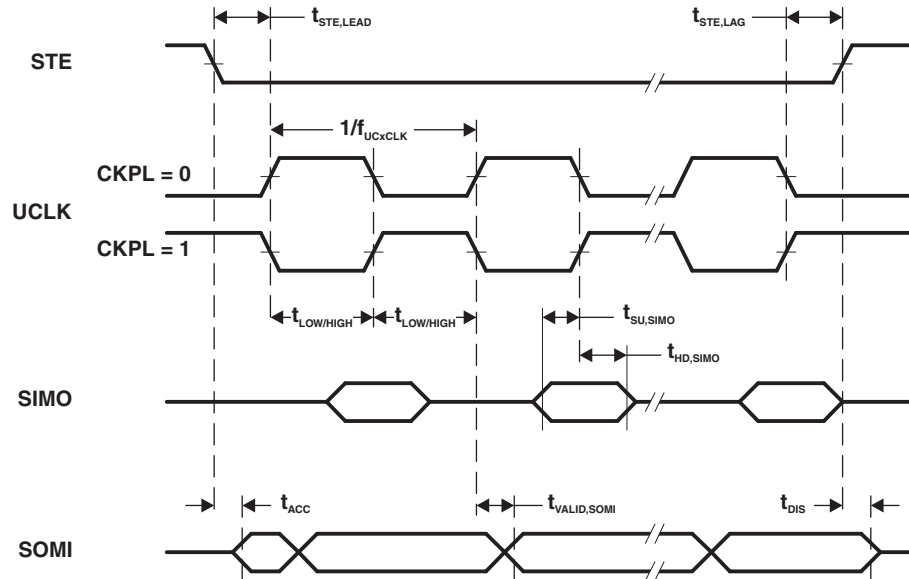


Figure 5-12. SPI 受控模式，CKPH = 0

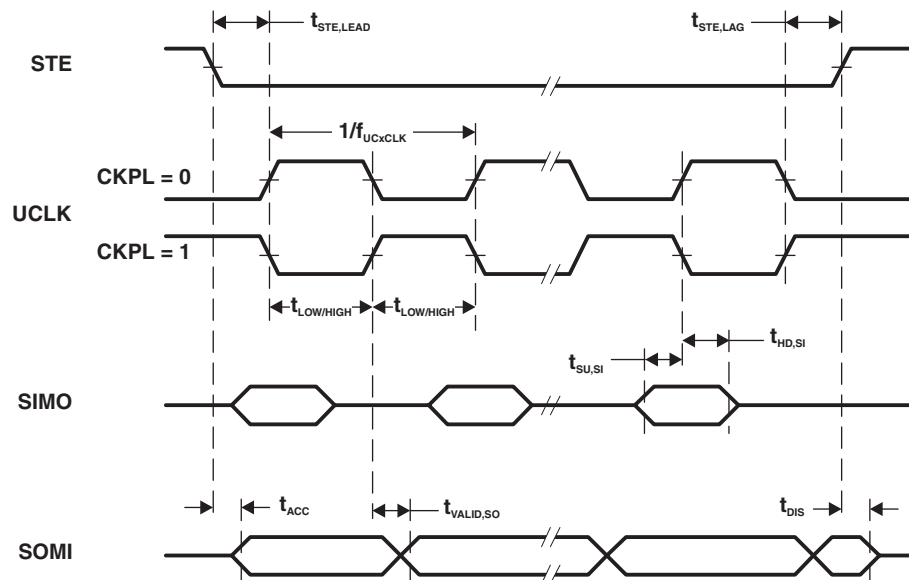
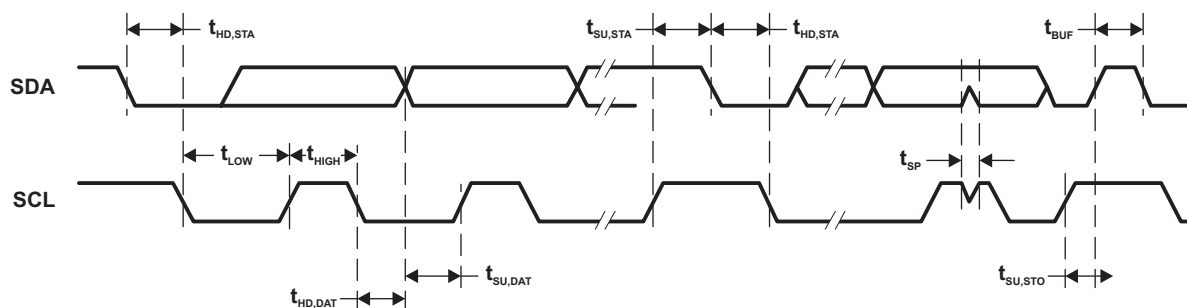


Figure 5-13. SPI 受控模式，CKPH = 1

Table 5-16. eUSCI (I²C 模式) 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明) (请见Figure 5-14)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{eUSCI}	eUSCI 输入时钟频率	内部 : SMCLK , MODCLK 外部 : UCLK 占空比 = 50% ±10%			16	MHz
f _{SCL}	SCL 时钟频率	2V , 3V	0		400	kHz
t _{HD, STA}	保持时间 (重复) 启动	f _{SCL} = 100kHz f _{SCL} > 100kHz	2V , 3V	4.0 0.6		μs
t _{SU, STA}	一个针对重复启动的建立时间	f _{SCL} = 100kHz f _{SCL} > 100kHz	2V , 3V	4.7 0.6		μs
t _{HD, DAT}	数据保持时间		2V , 3V	0		ns
t _{SU, DAT}	数据建立时间		2V , 3V	250		ns
t _{SU, STO}	停止的建立时间	f _{SCL} = 100kHz f _{SCL} > 100kHz	2V , 3V	4.0 0.6		μs
t _{SP}	由输入滤波器进行抑制的尖峰的脉冲持续时间	UCGLITx = 0	2V , 3V	50	600	ns
		UCGLITx = 1		25	300	ns
		UCGLITx = 2		12.5	150	ns
		UCGLITx = 3		6.3	75	ns
t _{TIMEOUT}	时钟低超时	UCCLTOx = 1	2V , 3V	27		ms
		UCCLTOx = 2		30		ms
		UCCLTOx = 3		33		ms

**Figure 5-14. I²C 模式时序**

5.12.7 ADC

Table 5-17. ADC，电源和输入范围条件

在自然通风温度范围内运行（除非另有说明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
DV _{CC}	ADC 电源电压		2.0		3.6	V
V _(Ax)	模拟输入电压范围	所有 ADC 引脚	0		DV _{CC}	V
I _{ADC}	流入 DV _{CC} 引脚的工作电源电流，不包含基准电流，重复单通道模式	f _{ADCCLK} = 5MHz, ADCON = 1, REFON = 0, SHT0 = 0, SHT1 = 0, ADCDIV = 0, ADCCONSEQx = 10b	2V	185		μA
			3V	207		
C _i	输入电容	每次仅可选择引脚 Ax 从焊盘到 ADC 电容阵列，包括接线和焊盘	2.2V	1.6	2.0	pF
R _i	输入 MUX 导通电阻	DV _{CC} = 2V, 0V = V _{Ax} = DV _{CC}			2	kΩ

Table 5-18. ADC，10 位时序参数

在自然通风温度范围内运行（除非另有说明）

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{ADCCLK}		对于指定的 ADC 线性参数的性能	2V 至 3.6V	0.45	5	5.5	MHz
f _{ADCOSC}	内部 ADC 振荡器 (MODOSC)	ADCDIV = 0, f _{ADCCLK} = f _{ADCOSC}	2V 至 3.6V	4.5	5.0	5.5	MHz
t _{转换}	转换时间	REFON = 0, 内部振荡器, 10 个 ADCCLK 周期, 10 位模式, f _{ADCOSC} = 4.5MHz 至 5.5MHz	2V 至 3.6V	2.18		2.67	μs
		来自 ACLK、MCLK 或 SMCLK 的外部 f _{ADCCLK} , ADCSSEL ≠ 0	2V 至 3.6V		(1)		
t _{ADCON}	ADC 的接通稳定时间	t _{ADCON} 小于 ±0.5 LSB 后开始转换误差, 基准和输入信号已稳定				100	ns
t _{sample}	采样时间	R _S = 1000Ω, R _I = 36000Ω, C _I = 3.5pF, 需要为小于 ±0.5 LSB 的误差使用大约 8 个 Tau (t)。	2V	1.5			μs
			3V	2.0			

(1) 12 × ADCDIV × 1/f_{ADCCLK}

Table 5-19. ADC , 10 位线性参数

在自然通风温度范围内运行 (除非另有说明)

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
E _I	积分线性误差 (10 位模式)	V _{DVCC} 作为基准	2.4V 至 3.6V	-2		2	LSB
	积分线性误差 (8 位模式)		2V 至 3.6V	-2		2	
E _D	差分线性误差 (10 位模式)	V _{DVCC} 作为基准	2.4V 至 3.6V	-1		1	最低有效位 (LSB)
	差分线性误差 (8 位模式)		2V 至 3.6V	-1		1	
E _O	偏移误差 (10 位模式)	V _{DVCC} 作为基准	2.4V 至 3.6V	-6.5		6.5	mV
	偏移误差 (8 位模式)		2V 至 3.6V	-6.5		6.5	
E _G	增益误差 (10 位模式)	V _{DVCC} 作为基准	2.4V 至 3.6V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
	增益误差 (8 位模式)	V _{DVCC} 作为基准	2V 至 3.6V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
E _T	全部未调整误差 (10 位模式)	V _{DVCC} 作为基准	2.4V 至 3.6V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
	总未调整误差 (8 位模式)	V _{DVCC} 作为基准	2V 至 3.6V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
V _{SENSOR}	请参见 ⁽¹⁾	ADCON = 1, INCH = 0Ch, T _A = 0°C	3V		1.013		mV
TC _{SENSOR}	请参见 ⁽²⁾	ADCON = 1, INCH = 0Ch	3V		3.35		mV/°C
t _{SENSOR} (sample)	选择通道 12 时所需的采样时间 ⁽³⁾	ADCON = 1, INCH = 0Ch, 转换结果误差 ≤ 1 LSB, AM 以及 LPM3 以上的所有 LPM	3V		30		μs
		ADCON = 1, INCH = 0Ch, 转换结果误差 ≤ 1 LSB, LPM3	3V		100		

(1) 温度传感器偏移可能明显不同。德州仪器 (TI) 建议进行单点校准, 以便最大限度地减小内置温度传感器的偏移误差。

(2) 器件描述符结构包含每个可用基准电压等级的 30°C ±3°C 和 85°C ±3°C 的校准值。传感器电压计算公式为: V_{SENSE} = TC_{SENSOR} × (温度, °C) + V_{SENSOR}, 其中, TC_{SENSOR} 和 V_{SENSOR} 可采用校准值计算得出, 以提高精度。(3) 传感器的典型等效阻抗为 700kΩ。所需的采样时间包括传感器接通时间 t_{SENSOR(on)}。

5.12.8 LCD 控制器

Table 5-20. LCD 的建议运行条件

在自然通风温度范围内运行（除非另有说明）

参数	条件	最小值	标称值	最大值	单位
$V_{CC,LCD,CP\ en,3.6}$	电源电压范围，已使能电荷泵， $V_{LCD} \leq 3.6V$				
	$LCDCPEN = 1, 0000 < VLCDx \leq 1111, LCDREFEN = 1$ (已使能电荷泵， $V_{LCD} \leq 3.6V$)	1.8		3.6	V
$V_{CC,LCD,ext.\ bias}$	电源电压范围，外部偏置，已使能电荷泵				
	$LCDCPEN = 1, LCDREFEN = 0$	1.8		3.6	V
$V_{CC,LCD,VLCDEXT}$	电源电压范围，外部 LCD 电压，外部偏置，已禁用电荷泵				
	$LCDCPEN = 0, LCDSELVDD = 0$	1.8		3.6	V
V_{R33}	LCDCAP/R33 上的外部 LCD 电压，外部偏置，已禁用电荷泵				
	$LCDCPEN = 0, LCDSELVDD = 0$	2.4		3.6	V
C_{LCDCAP}			0.1		μF
C_{R33}			0.1		μF
C_{R23}			0.1		μF
C_{R13}			0.1		μF
f_{Frame}	LCD 帧频范围				
	$f_{LCD} = 2 \times mux \times f_{FRAME}$ ，其中 $mux = 1$ (静态)，2, 3, 4	16	32	64	Hz
$f_{ACLK,in}$	ACLK 输入频率范围				
		30	32	40	kHz
C_{Panel}	面板电容			8000	pF
V_{R33}	R33 上的模拟输入电压				
	$LCDCPEN = 0, LCDSELVDD = 0, LCDREFEN = 0$	2.4		3.6	V
$V_{R23,1/3bias}$	R23 上的模拟输入电压				
	$LCDCPEN = 0, LCDSELVDD = 0, LCDREFEN = 0$	1.2		2.4	V
$V_{R13,1/3bias}$	R13 上的模拟输入电压 (1/3 偏置)				
		0.0		1.2	V
$V_{LCDREF/R13}$	施加在 LCDREF/R13 上的外部 LCD 基准电压				
	$LCDCPEN = 1, LCDSELVDD = 0, LCDREFEN = 0$	0.8	1.0	1.2	V

5.12.9 FRAM

Table 5-21. FRAM

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	最大值	单位
耐读写次数			10 ¹⁵		周期
t _{保持}	数据保持持续时间	T _J = 25°C	100		年
		T _J = 70°C	40		
		T _J = 85°C	10		

5.12.10 仿真和调试

Table 5-22. JTAG 及 Spy-Bi-Wire 接口

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		V _{CC}	最小值	典型值	最大值	单位
f _{SBW}	Spy-Bi-Wire 输入频率	2V, 3V	0		10	MHz
t _{SBW, 低电平}	Spy-Bi-Wire 低电平时钟脉冲持续时间	2V, 3V	0.028		15	μs
t _{SBW, En}	Spy-Bi-Wire 使能时间（TEST 高电平到接收第一个时钟边沿的时间） ⁽¹⁾	2V, 3V			110	μs
t _{SBW, Rst}	Spy-Bi-Wire 恢复正常运行时间		15		100	μs
f _{TCK}	TCK 输入频率，4 线制 JTAG ⁽²⁾	2V	0		16	MHz
		3V	0		16	MHz
R _{internal}	TEST 上的内部下拉电阻	2V, 3V	20	35	50	kΩ

(1) 访问 Spy-Bi-Wire 接口的工具必须在将 TEST/SBWTCK 引脚拉为高电平后等待 t_{SBW, En} 时间，然后再施加第一个 SBWTCK 时钟边沿。

(2) 可限制 f_{TCK}，以满足选定模块的时序要求。

6 详细说明

6.1 CPU

MSP430 CPU 具有一个对于应用高度透明的 16 位精简指令集 (RISC) 架构。所有的操作 (程序流指令除外) 均作为寄存器操作与用于源操作数的 7 种寻址模式和用于目的操作数的 4 种寻址模式一起执行。

CPU 与 16 个寄存器进行了集成, 从而提供精简指令执行时间。寄存器至寄存器操作执行时间为 CPU 时钟的一个周期。

R0 到 R3 这四个寄存器为专用寄存器, 分别用于程序计数器 (PC)、堆栈指针 (SP)、状态寄存器 (SR) 和常数发生器 (CG)。其余的寄存器为通用型寄存器。

采用数据、地址和控制总线将外设连接至 CPU, 并可利用所有的指令对外设进行控制。

6.2 工作模式

器件具有一个工作模式以及多个可通过软件选择的低功耗工作模式。中断事件可将器件从低功耗模式 LPM0 或 LPM3 唤醒, 使器件为请求服务, 并在从中断程序返回后恢复为低功耗模式。低功耗模式 LPM3.5 和 LPM4.5 禁用了内核电源, 可最大限度地降低功耗。

Table 6-1. 工作模式

模式		AM	LPM0	LPM3	LPM4	LPM3.5	LPM4.5
		工作模式	CPU 关闭	待机	关闭	仅 RTC 计数器和 LCD	关断
最大系统时钟		16MHz	16MHz	40kHz	0	40kHz	0
25°C, 3V 条件下的功耗		126µA/MHz	20µA/MHz	1.2µA	0.6 µA, 未使用 SVS	0.77µA (仅使用 RTC)	13nA, 未使用 SVS
唤醒时间		N/A	即时	10µs	10µs	150µs	150µs
唤醒事件		N/A	全部	全部	I/O	RTC 计数器 I/O	I/O
电源	稳压器	完全稳压	完全稳压	部分断电	部分断电	部分断电	断电
	SVS	打开	打开	可选	可选	可选	可选
	欠压	打开	打开	打开	打开	打开	打开
时钟	MCLK	激活	关闭	关闭	关闭	关闭	关闭
	SMCLK	可选	可选	关闭	关闭	关闭	关闭
	FLL	可选	可选	关闭	关闭	关闭	关闭
	DCO	可选	可选	关闭	关闭	关闭	关闭
	MODCLK	可选	可选	关闭	关闭	关闭	关闭
	REFO	可选	可选	可选	关闭	关闭	关闭
	ACLK	可选	可选	可选	关闭	关闭	关闭
	XT1CLK	可选	可选	可选	关闭	可选	关闭
内核	VLOCLK	可选	可选	可选	关闭	可选	关闭
	CPU	打开	关闭	关闭	关闭	关闭	关闭
	FRAM	打开	打开	关闭	关闭	关闭	关闭
	RAM	打开	打开	打开	打开	关闭	关闭
备用存储器 ⁽¹⁾		打开	打开	打开	打开	打开	关闭

(1) 备用存储器的外设存储空间中包含一个 32 字节寄存器。有关其存储空间分配的信息, 请参见 Table 6-29 和 Table 6-48。

Table 6-1. 工作模式 (continued)

模式		AM	LPM0	LPM3	LPM4	LPM3.5	LPM4.5
		工作模式	CPU 关闭	待机	关闭	仅 RTC 计数器和 LCD	关断
外设	Timer0_A3	可选	可选	可选	关闭	关闭	关闭
	Timer1_A3	可选	可选	可选	关闭	关闭	关闭
	WDT	可选	可选	可选	关闭	关闭	关闭
	eUSCI_A0	可选	可选	关闭	关闭	关闭	关闭
	eUSCI_B0	可选	可选	关闭	关闭	关闭	关闭
	CRC	可选	可选	关闭	关闭	关闭	关闭
	ADC	可选	可选	可选	关闭	关闭	关闭
	LCD	可选	可选	可选	关闭	可选	关闭
	RTC 计数器	可选	可选	可选	关闭	可选	关闭
I/O	通用数字输入/输出	开启	可选	状态保持	状态保持	状态保持	状态保持
	电容式触控 I/O	可选	可选	可选	关闭	关闭	关闭

6.3 中断向量地址

中断向量和上电起始地址位于 0FFFFh 至 0FF80h 这一地址范围内。该向量包含相应中断处理程序指令序列的 16 位地址。

Table 6-2. 中断源、标志、和向量

中断源	中断标志	系统中断	字地址	优先级
系统复位 上电、欠压、电源监控器 外部复位 RST 看门狗超时、按键冲突 FRAM 不可纠正的位错误检测 软件 POR、 FLL 解锁错误	SVSHIFG PMMRSTIFG WDTIFG PMMPORIFG, PMMBORIFG SYSRSTIV FLLUNLOCKIFG	复位	FFFEh	63, 最高
系统 NMI 空存储器访问 JTAG 邮箱 FRAM 位错误检测	VMAIFG JMBINIFG, JMBOUTIFG CBDIFG, UBDIFG	不可屏蔽	FFFCh	62
用户 NMI 外部 NMI 振荡器故障	NMIIFG OFIFG	不可屏蔽	FFFAh	61
Timer0_A3	TA0CCR0 CCIFG0	可屏蔽	FFF8h	60
Timer0_A3	TA0CCR1 CCIFG1, TA0CCR2 CCIFG2, TA0IFG (TA0IV)	可屏蔽	FFF6h	59
Timer1_A3	TA1CCR0 CCIFG0	可屏蔽	FFF4h	58
Timer1_A3	TA1CCR1 CCIFG1, TA1CCR2 CCIFG2, TA1IFG (TA1IV)	可屏蔽	FFF2h	57
RTC 计数器	RTCIFG	可屏蔽	FFF0h	56
看门狗定时器间隔模式	WDTIFG	可屏蔽	FFEEh	55
eUSCI_A0 接收或发送	UCTXCPTIFG, UCSTTIFG, UCRXIFG, UCTXIFG (UART 模式), UCRXIFG, UCTXIFG (SPI 模式) (UCA0IV)	可屏蔽	FFECh	54
eUSCI_B0 接收或发送	UCB0RXIFG, UCB0TXIFG (SPI 模式), UCALIFG, UCNACKIFG, UCSTTIFG, UCSTPIFG, UCRXIFG0, UCTXIFG0, UCRXIFG1, UCTXIFG1, UCRXIFG2, UCTXIFG2, UCRXIFG3, UCTXIFG3, UCCNTIFG, UCBIT9IFG (I2C 模式) (UCB0IV)	可屏蔽	FFEAh	53

Table 6-2. 中断源、标志、和向量 (continued)

中断源	中断标志	系统中断	字地址	优先级
ADC	ADCIFG0, ADCINIFG, ADCLOIFG, ADCHIIFG, ADCTOVIFG, ADCOVIFG (ADCIV)	可屏蔽	FFE8h	52
P1	P1IFG.0 至 P1IFG.7 (P1IV)	可屏蔽	FFE6h	51
P2	P2IFG.0 至 P2IFG.7 (P2IV)	可屏蔽	FFE4h	50
LCD	LCDBLKOFFIFG, LCDBLKONIFG, LCDFRMIFG (LCDEIV)	可屏蔽	FFE2h	49, 最低
被保留	被保留	可屏蔽	FFE0h-FF88h	
签名	BSL 签名 2		0FF86h	
	BSL 签名 1		0FF84h	
	JTAG 签名 2		0FF82h	
	JTAG 签名 1		0FF80h	

6.4 引导加载程序 (BSL)

中 BSL 用户指南的链接 BSL 允许用户使用 UART 串行接口对 FRAM 或 RAM 进行编程。通过 BSL 访问器件存储器时受用户定义的密码保护。使用 BSL 时需要四个引脚，如 [Table 6-3](#) 中所示。要进入 BSL，需在 $\overline{\text{RST}}/\text{NMI}/\text{SBWTDIO}$ 和 $\text{TEST}/\text{SBWTCK}$ 引脚上使用特定的进入序列。要获取 BSL 特性及其实现的完整说明，请参见《MSP430FR4xx 和 MSP430FR2xx 引导加载程序 (BSL) 用户指南》(文献编号：SLAU610)。

Table 6-3. BSL 引脚要求和功能

器件信号	BSL 功能
$\overline{\text{RST}}/\text{NMI}/\text{SBWTDIO}$	进入序列信号
$\text{TEST}/\text{SBWTCK}$	进入序列信号
P1.0	数据发送
P1.1	数据接收
VCC	电源
VSS	接地电源

6.5 JTAG 标准接口

MSP430 系列支持标准 JTAG 接口，该接口需要四个信号进行数据的发送和接收。JTAG 信号与通用 I/O 共用。 $\text{TEST}/\text{SBWTCK}$ 引脚用于使能 JTAG 信号。除了这些信号以外，需要使用 $\overline{\text{RST}}/\text{NMI}/\text{SBWTDIO}$ 来连接开发工具和器件编程器。

[Table 6-4](#) 给出了 JTAG 引脚要求。有关连接开发工具和器件编程器的更多详细信息，请参见《MSP430 硬件工具用户指南》(文献编号：SLAU278)。要获取 JTAG 接口及其实现的完整说明，请参见《通过 JTAG 接口进行 MSP430 编程》(文献编号：SLAU320)。

Table 6-4. JTAG 引脚要求和功能

器件信号	方向	JTAG 功能
P1.4/MCLK/TCK/A4/VREF+	IN	JTAG 时钟输入
P1.5/TA0CLK/TMS/A5	IN	JTAG 状态控制
P1.6/TA0.2/TDI/TCLK/A6	IN	JTAG 数据引脚 / TCLK 输入
P1.7/TA0.1/TDO/A7	OUT	JTAG 数据输出
TEST/SBWTCK	IN	使能 JTAG 引脚
RST/NMI/SBWDIO	IN	外部复位
VCC		电源
VSS		接地电源

6.6 Spy-Bi-Wire 接口 (SBW)

MSP430 系列支持 2 线制 Spy-Bi-Wire 接口。Spy-Bi-Wire 可用于连接 MSP430 开发工具和器件编程器。[Table 6-5](#) 列出了 Spy-Bi-Wire 接口引脚要求。有关连接开发工具和器件编程器的更多详细信息，请参见《MSP430 硬件工具用户指南》(文献编号：[SLAU278](#))。

Table 6-5. Spy-Bi-Wire 引脚要求和功能

器件信号	方向	SBW 功能
TEST/SBWTCK	IN	Spy-Bi-Wire 时钟输入
RST/NMI/SBWDIO	IN, OUT	Spy-Bi-Wire 数据输入/输出
VCC		电源
VSS		接地电源

6.7 FRAM

FRAM 可使用 JTAG 端口、Spy-Bi-Wire (SBW) 或 BSL 进行编程，或者通过 CPU 在系统中进行编程。FRAM 的特性包括：

- 能够进行字节和字访问
- 可生成可编程等待状态
- 可生成错误校正码 (ECC)

6.8 存储器保护

器件具有存储器保护功能，可限制用户访问并实现写保护：

- 通过使用 JTAG 端口、SBW、BSL 或由 CPU 在系统内写入 JTAG 和 BSL 签名以确保整个存储器映射的安全，防止通过 JTAG 端口或 BSL 进行未经授权访问。
- 通过将系统配置寄存器 0 中的控制位置 1 可使能写保护功能，从而防止对 FRAM 内容进行不必要的写操作。更多详细信息，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》(文献编号：[SLAU445](#)) 中的 SYS 一章。

NOTE

FRAM 在 PUC 时默认受保护。要在代码执行期间对 FRAM 进行写操作，应用程序必须先将系统配置寄存器 0 中相应的 PFWP 或 DFWP 位清零，取消对 FRAM 的保护。

6.9 外设

外设通过数据、地址和控制总线连接至 CPU。所有外设均可通过存储器映射中的所有指令进行处理。要获得完整的模块说明，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》(文献编号：SLAU445)。

6.9.1 电源管理模块 (PMM) 和片上基准电压

PMM 包含集成稳压器，可为器件提供内核电压。PMM 还包括电源电压监控器 (SVS) 和欠压保护。实现的欠压复位电路 (BOR) 可在上电和断电期间为器件提供适当的内部复位信号。SVS 电路会检测电源电压是否降至可由用户选择的安全等级以下。SVS 电路可用于主电源。

器件包括两个片上基准：1.5V 用于内部基准，1.2V 用于外部基准。

1.5V 基准在内部连接至 ADC 通道 13。DVCC 在内部连接至 ADC 通道 15。如果 DVCC 设为 ADC 转换的基准电压，则 DVCC 可使用 ADC 采样 1.5V 基准简单表示为 Equation 1，而无需任何外部组件支持。

$$DVCC = (1023 \times 1.5V) \div 1.5V \text{ 基准 ADC 结果} \quad (1)$$

如果 ADC 通道 4 被选作该功能时，可将 1.2V 基准电压进行缓冲并输出到 P1.4/MCLK/TCK/A4/VREF+。更多详细信息，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》(文献编号：SLAU445)。

6.9.2 时钟系统 (CS) 和时钟分配

时钟系统包括 32kHz 晶振 (XT1)、内部超低功耗低频振荡器 (VLO)、集成 32kHz RC 振荡器 (REFO)、可使用锁频环 (FLL) 锁定内部或外部 32kHz 基准时钟的集成内部数控振荡器 (DCO) 以及片上异步高速时钟 (MODOSC)。时钟系统的设计旨在以最少的外部组件实现经济高效的设计。针对 XT1 设计了故障安全机制。时钟系统模块提供以下时钟信号。

- 主时钟 (MCLK)：供 CPU 以及由总线访问的所有相关外设使用的系统时钟。利用预分频值 1、2、4、8、16、32、64 或 128，可将除 MODOSC 以外的所有时钟源选作时钟源。
- 子主时钟 (SMCLK)：供外设模块使用的子系统时钟。SMCLK 可通过对 MCLK 进行预分频 (1、2、4 或 8) 获得。这意味着 SMCLK 始终等于或小于 MCLK。
- 辅助时钟 (ACLK)：该时钟由外部 XT1 时钟或内部 REFO 时钟 (最高频率 40kHz) 提供。

所有外设可能有一个或多个时钟源，具体视特定功能而定。Table 6-6 列出了该器件中采用的时钟分配。

添加了注释 (1)

Table 6-6. 时钟分配

	时钟源选择位	MCLK	SMCLK	ACLK	MODCLK	XT1CLK ⁽¹⁾	VLOCLK	外部引脚
频率范围		DC 到 16MHz	DC 到 16MHz	DC 到 40kHz	5MHz ±10%	DC 到 40kHz	10kHz ±50%	
CPU	N/A	默认值						
FRAM	N/A	默认值						
RAM	N/A	默认值						
CRC	不可用	默认值						
I/O	N/A	默认值						
TA0	TASSEL		10b	01b				00b (TA0CLK 引脚)
TA1	TASSEL		10b	01b				00b (TA1CLK 引脚)
eUSCI_A0	UCSSELx		10b 或 11b		01b			00b (UCA0CLK 引脚)
eUSCI_B0	UCSSELx		10b 或 11b		01b			00b (UCB0CLK 引脚)
WDT	WDTSEL		00b	01b			10b	
ADC	ADCSEL		11b	01b	00b			
LCD	LCDSEL			01b		00b	10b	
RTC	RTCSS		01b			10b	11b	

(1) 要使用 XT1 功能，请在配置时钟系统寄存器之前配置 P4SEL0.1 (XIN) 和 P4SEL0.2 (XOUT)。

6.9.3 通用输入/输出端口 (I/O)

器件实现了多达 60 个 I/O 端口。

- P1、P2、P3、P4、P5、P6 和 P7 是全 8 位端口；P8 实现了 4 位。
- 所有单独的 I/O 位均可独立进行编程。
- 可对输入、输出和中断条件进行任意组合。
- 所有端口上均具有可编程的上拉电阻或下拉电阻。
- P1 和 P2 提供边沿可选中断以及 LPM3.5 和 LPM4.5 唤醒输入功能。
- 所有指令均支持对端口控制寄存器的读写访问。
- 端口可按字节或字成对访问。
- 所有引脚上均支持电容式触摸 IO 功能。

NOTE

BOR 复位后配置数字 I/O

为了避免器件启动期间出现交叉电流，所有端口引脚均呈高阻态，并且禁用了施密特触发器和模块功能。要在 BOR 复位后使能 I/O 功能，必须先配置端口，随后必须将 LOCKLPM5 位清零。有关详细信息，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》“数字 I/O”一章中的复位后配置一节（文献编号：[SLAU445](#)）

6.9.4 看门狗定时器 (WDT)

WDT 模块的主要功能是在出现软件问题后使受控系统重启。如果选定的时间间隔到期，则会产生一个系统复位。如果应用中不需要看门狗功能，该模块可配置为间隔定时器，并可在选定的时间间隔生成中断。

Table 6-7. WDT 时钟

WDTSEL	正常工作 (看门狗和间隔定时器模式)
00	SMCLK
01	ACLK
10	VLOCLK
11	VLOCLK

6.9.5 系统模块 (SYS)

SYS 模块会处理器件内的许多系统功能。其中包括上电复位 (POR) 和上电清除 (PUC) 处理、NMI 源选择和管理、复位中断向量发生器、引导加载程序进入机制以及配置管理 (器件描述符)。SYS 还包括一种通过名为 JTAG 邮箱的 SBW 实现的数据交换机制，可在应用中使用。

Table 6-8. 系统模块中断向量寄存器

中断向量寄存器	地址	中断事件	值	优先级
SYSRSTIV, 系统复位	015Eh	无中断待处理	00h	最高
		欠压 (BOR)	02h	
		RSTIFG RST/NMI (BOR)	04h	
		PMMSWBOR 软件 BOR (BOR)	06h	
		LPMx.5 唤醒 (BOR)	08h	
		安全违例 (BOR)	0Ah	
		被保留	0Ch	
		SVSHIFG SVSH 事件 (BOR)	0Eh	
		被保留	10h	
		被保留	12h	
		PMMSWPOR 软件 POR (POR)	14h	
		WDTIFG 看门狗超时 (PUC)	16h	
		WDTPW 密码违例 (PUC)	18h	
		FRCTLPW 密码违例 (PUC)	1Ah	
		不可纠正的 FRAM 位错误检测	1Ch	
		外设区域获取 (PUC)	1Eh	
		PMMPW PMM 密码违例 (PUC)	20h	
		保留	22h	
		FLL 解锁 (PUC)	24h	
		保留	26h 至 3Eh	最低

Table 6-8. 系统模块中断向量寄存器 (continued)

中断向量寄存器	地址	中断事件	值	优先级
SYSSNIV, 系统 NMI	015Ch	无中断待处理	00h	
		SVS 低功耗复位进入	02h	最高
		不可纠正的 FRAM 位错误检测	04h	
		保留	06h	
		被保留	08h	
		被保留	0Ah	
		被保留	0Ch	
		被保留	0Eh	
		被保留	10h	
		VMAIFG 空存储器访问	12h	
		JMBINIFG JTAG 邮箱输入	14h	
		JMBOUTIFG JTAG 邮箱输出	16h	
		可纠正的 FRAM 位错误检测	18h	
		被保留	1Ah 至 1Eh	最低
SYSUNIV, 用户 NMI	015Ah	无中断待处理	00h	
		NMIFG NMI 引脚或 SVS _H 事件	02h	最高
		OFIFG 振荡器故障	04h	
		保留	06h 至 1Eh	最低

6.9.6 循环冗余校验 (CRC)

16 位循环冗余校验 (CRC) 模块会根据数据值序列生成签名, 并可用于数据检查。CRC 生成多项式符合 CRC-16-CCITT 标准 $x^{16} + x^{12} + x^5 + 1$ 。

6.9.7 增强型通用串行通信接口 (eUSCI_A0, eUSCI_B0)

eUSCI 模块用于串行数据通信。eUSCI_A 模块支持 UART 或 SPI 通信。eUSCI_B 模块支持 SPI 或 I²C 通信。此外, eUSCI_A 还支持自动波特率检测和 IrDA。

Table 6-9. eUSCI 引脚配置

eUSCI_A0	引脚	UART	SPI
	P1.0	TXD	SIMO
	P1.1	RXD	SOMI
	P1.2		SCLK
	P1.3		STE
eUSCI_B0	引脚	I ² C	SPI
	P5.0		STE
	P5.1		SCLK
	P5.2	SDA	SIMO
	P5.3	SCL	SOMI

6.9.8 定时器 (Timer0_A3 , Timer1_A3)

Timer0_A3 和 Timer1_A3 模块属于 16 位定时器和计数器，每个模块都包括三个捕捉/比较寄存器。每个模块可支持多个捕捉或比较、PWM 输出和时间间隔定时。每个模块都有丰富的中断功能。中断可由计数器在发生溢出条件时生成，也可由每个捕捉/比较寄存器生成。TA0 和 TA1 上的 CCR0 寄存器未在外部进行连接，仅可用于硬件周期定时和生成中断。在递增模式下，它们可用于设置计数器的溢出值。

Table 6-10. Timer0_A3 信号连接

端口引脚	器件输入信号	模块输入名称	模块区块	模块输出信号	器件输出信号
P1.5	TA0CLK	TACLK	定时器	N/A	
	ACLK (内部)	ACLK			
	SMCLK (内部)	SMCLK			
	来自电容式触摸 I/O (内部)	INCLK			
		CCI0A	CCR0	TA0	Timer1_A3 CCI0B 输入
		CCI0B			
	DVSS	GND			
	DVCC	VCC			
P1.7	TA0.1	CCI1A	CCR1	TA1	TA0.1 Timer1_A3 CCI1B 输入
	来自 RTC (内部)	CCI1B			
	DVSS	GND			
	DVCC	VCC			
P1.6	TA0.2	CCI2A	CCR2	TA2	TA0.2 Timer1_A3 INCLK Timer1_A3 CCI2B 输入， IR 输入
	来自电容式触摸 I/O (内部)	CCI2B			
	DVSS	GND			
	DVCC	VCC			

Table 6-11. Timer1_A3 信号连接

端口引脚	器件输入信号	模块输入名称	模块区块	模块输出信号	器件输出信号
P8.2	TA1CLK	TACLK	定时器	N/A	
	ACLK (内部)	ACLK			
	SMCLK (内部)	SMCLK			
	Timer0_A3 CCR2B 输出 (内部)	INCLK			
		CCI0A	CCR0	TA0	
	Timer0_A3 CCR0B 输出 (内部)	CCI0B			
	DVSS	GND			
	DVCC	VCC			
P4.0	TA1.1	CCI1A	CCR1	TA1	TA1.1
	Timer0_A3 CCR1B 输出 (内部)	CCI1B			到 ADC 触发器
	DVSS	GND			
	DVCC	VCC			
P8.3	TA1.2	CCI2A	CCR2	TA2	TA1.2
	Timer0_A3 CCR2B 输出 (内部)	CCI2B			IR 输入
	DVSS	GND			
	DVCC	VCC			

可通过连接 Timer0_A3 和 Timer1_A3 以 ASK 或 FSK 模式调制 UCA0TXD/UCA0SIMO 的 eUSCI_A 引脚，这样用户便可轻松获取已调制的红外命令，从而直接驱动外部 IR 二极管。IR 功能完全由 SYS 配置寄存器 1 控制，该寄存器包括 IREN (使能)、IRPSEL (极性选择)、IRMSEL (模式选择)、IRDSEL (数据选择) 和 IRDATA (数据) 位。更多信息，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》(文献编号：SLAU445) 中的 SYS 一章。

6.9.9 实时时钟 (RTC) 计数器

RTC 计数器是 16 位模计数器，可在 AM、LPM0、LPM3 和 LPM3.5 模式下正常工作。该模块根据由 XT1 和 VLO 时钟等低功耗时钟源发出的时序定期将 CPU 从 LPM0、LPM3 和 LPM3.5 唤醒。在 AM 下，RTC 可由 SMCLK 驱动生成高频时序事件和中断。RTC 溢出事件触发器：

- Timer0_A3 CCR1B
- ADCSHSx 位设为 01b 时为 ADC 转换触发器

6.9.10 10 位模数转换器 (ADC)

10 位 ADC 模块支持利用单端输入实现快速 10 位模数转换。该模块具有一个 10 位 SAR 内核、采样选择控制功能、基准发生器和转换结果缓存器。具有上下限的窗口比较器可利用三个窗口比较器中断标志实现独立于 CPU 的结果监控。

ADC 支持 10 个外部输入和 4 个内部输入（见 Table 6-12）。

Table 6-12. ADC 通道连接

ADCSHSx	ADC 通道	外部引脚输出
0	A0/Veref–	P1.0
1	A1/Veref+	P1.1
2	A2	P1.2
3	A3	P1.3
4	A4 ⁽¹⁾	P1.4
5	A5	P1.5
6	A6	P1.6
7	A7	P1.7
8	A8	P8.0 ⁽²⁾
9	A9	P8.1 ⁽²⁾
10	未使用	N/A
11	未使用	N/A
12	片上温度传感器	N/A
13	基准电压 (1.5V)	N/A
14	DVSS	N/A
15	DVCC	N/A

(1) 使用 A4 时，可通过将 PMM 控制寄存器置 1 以将 PMM 1.2V 基准电压输出到该引脚。1.2V 电压可直接由 A4 通道测量。

(2) 仅 LQFP-64 封装提供 P8.0 和 P8.1。

AD 转换可通过软件或硬件触发启动。Table 6-13 列出了可用的触发源。

Table 6-13. ADC 触发信号连接

ADCSHSx		触发源
二进制	十进制	
00	0	ADCSC 位（软件触发）
01	1	RTC 事件
10	2	TA1.1B
11	3	TA1.2B

6.9.11 液晶显示器 (LCD)

LCD 驱动器会生成段和公共信号，以驱动段式液晶显示器 (LCD) 玻璃。LCD 控制器具有专用的数据存储单元，用于保存段驱动信息。LCD 驱动器会按照模式定义生成公共信号和段信号。支持静态 LCD、2 路复用 LCD、3 路复用 LCD、最大支持 8 路复用 LCD。模块可利用其集成电荷泵提供 LCD 电压，与主电源电压无关。LCD 显示器对比度可通过设置 LCD 驱动电压进行调整。LCD 模块可在 AM 到 LPM3.5 之间的任意功耗模式下完全正常工作。

当 LCD 驱动器由带片上稳压器基准的片上电荷泵供电时，需要使用五个引脚和四个外部 0.1μF 电容才能实现低功耗运行。Figure 6-1 给出了建议的连接。

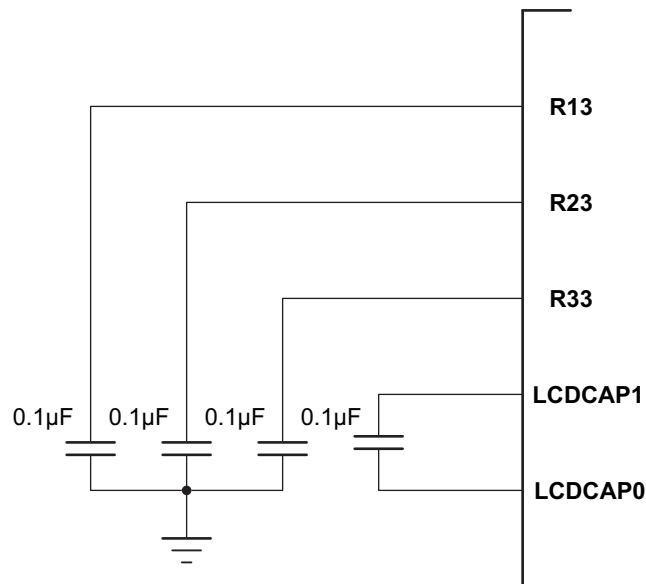


Figure 6-1. 具有片上电荷泵和稳压器基准的 LCD 电源配置

LCD 包括 20 个 16 位字 (40 个字节) 显示器存储器。存储器的使用非常灵活，具体视所选模式而定：

- 4 路复用模式
 - LCDM0 到 LCDM19 可用于 LCD 显示内容。未用作 LCD 驱动引脚的 LCDMx 可用于用户数据 (最多 20 个字节)。
 - LCDBM0 到 LCDBM19 可用于 LCD 闪烁内容。未用作闪烁引脚的 LCDBMx 可用于用户数据 (最多 20 个字节)。
- 8 路复用模式
 - LCDM0 到 LCDM39 可用于 LCD 显示内容。未用作 LCD 驱动引脚的 LCDMx 可用于用户数据 (最多 40 个字节)。

6.9.12 嵌入式仿真模块 (EEM)

EEM 支持实时系统内调试。该系列器件上的 EEM 具有以下特性：

- 存储器访问时有三个硬件触发信号或断点
- CPU 寄存器写访问时有一个硬件触发信号或断点
- 最多可结合四个硬件触发信号，构成复杂的触发信号或断点
- 一个周期计数器
- 模块级时钟控制

6.9.13 输入/输出原理图

6.9.13.1 使用施密特触发器的端口 P1 输入/输出

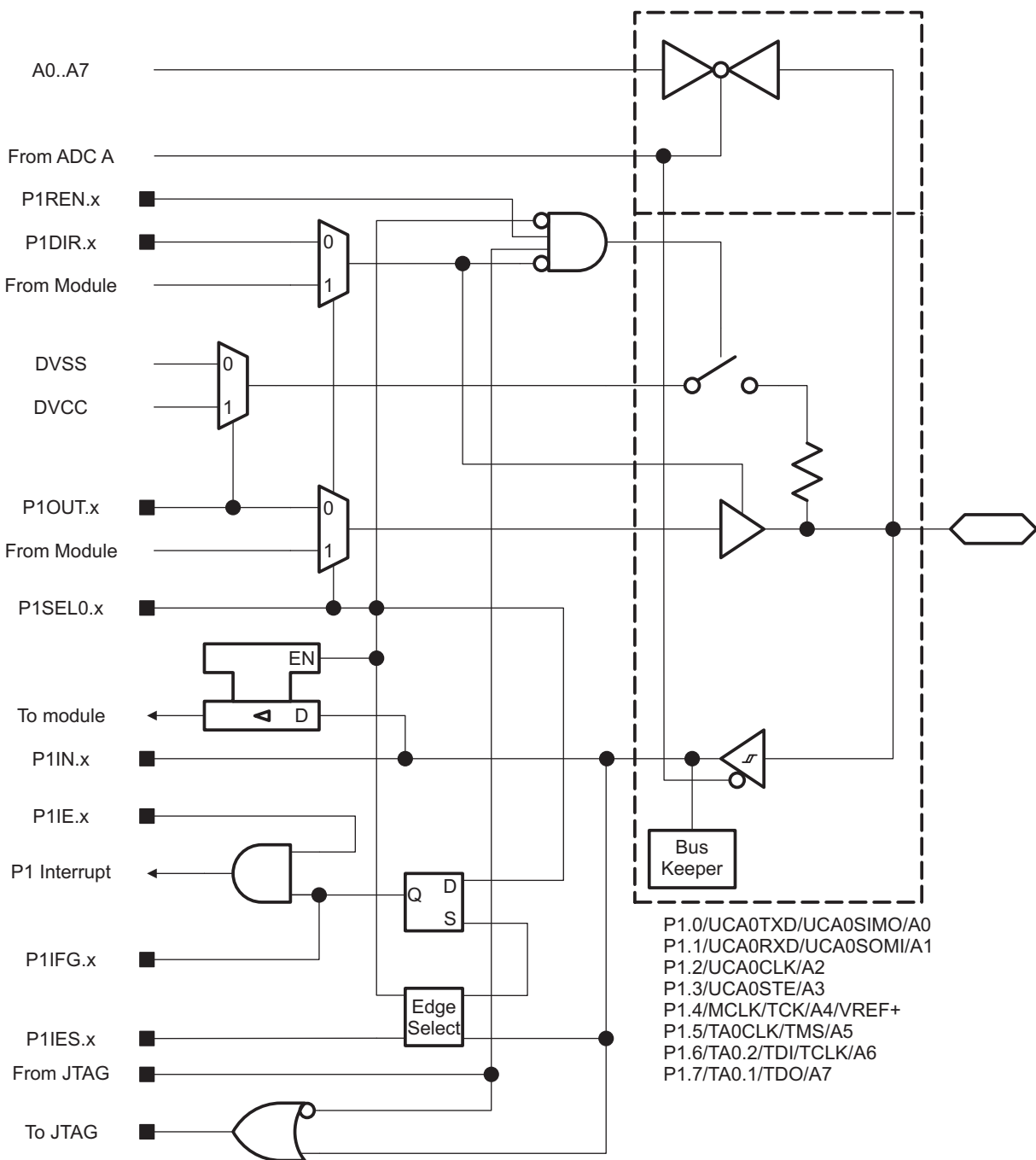


Figure 6-2. 使用施密特触发器的端口 P1 输入/输出

Table 6-14. 端口 P1 引脚功能

引脚名称 (P1.x)	x	功能	控制位和信号 ⁽¹⁾			
			P1DIR.x	P1SEL0.x	ADCPCTLx ⁽²⁾	JTAG
P1.0/UCA0TXD/ UCA0SIMO/A0	0	P1.0 (I/O)	I : 0 ; O : 1	0	0	不可用
		UCA0TXD/UCA0SIMO	X	1	0	不可用
		A0	X	X	1 (x = 0)	N/A
P1.1/UCA0RXD/ UCA0SOMI/A1	1	P1.1 (I/O)	I : 0 ; O : 1	0	0	不可用
		UCA0RXD/UCA0SOMI	X	1	0	不可用
		A1	X	X	1 (x = 1)	N/A
P1.2/UCA0CLK/A2	2	P1.2 (I/O)	I : 0 ; O : 1	0	0	不可用
		UCA0CLK	X	1	0	不可用
		A2	X	X	1 (x = 2)	N/A
P1.3/UCA0STE/A3	3	P1.3 (I/O)	I : 0 ; O : 1	0	0	不可用
		UCA0STE	X	1	0	不可用
		A3	X	X	1 (x = 3)	N/A
P1.4/MCLK/TCK/A4/ VREF+	4	P1.4 (I/O)	I : 0 ; O : 1	0	0	被禁用
		VSS	0	1	0	被禁用
		MCLK	1			
		A4 , VREF+	X	X	1 (x = 4)	禁用
		JTAG TCK	X	X	X	TCK
P1.5/TA0CLK/TMS/A5	5	P1.5 (I/O)	I : 0 ; O : 1	0	0	被禁用
		TA0CLK	0	1	0	被禁用
		VSS	1			
		A5	X	X	1 (x = 5)	禁用
		JTAG TMS	X	X	X	TMS
P1.6/TA0.2/TDI/TCLK/ A6	6	P1.6 (I/O)	I : 0 ; O : 1	0	0	被禁用
		TA0.CCI2A	0	1	0	被禁用
		TA0.2	1			
		A6	X	X	1 (x = 6)	禁用
		JTAG TDI/TCLK	X	X	X	TDI/TCLK
P1.7/TA0.1/TDO/A7	7	P1.7 (I/O)	I : 0 ; O : 1	0	0	被禁用
		TA0.CCI1A	0	1	0	被禁用
		TA0.1	1			
		A7	X	X	1 (x = 7)	禁用
		JTAG TDO	X	X	X	TDO

(1) X = 无关

(2) 将 SYSCFG2 寄存器中的 ADCPCTLx 位置 1 会禁用输出驱动器和输入施密特触发器，从而避免施加模拟信号时发生泄漏。

6.9.13.2 使用施密特触发器的端口 P2 输入/输出

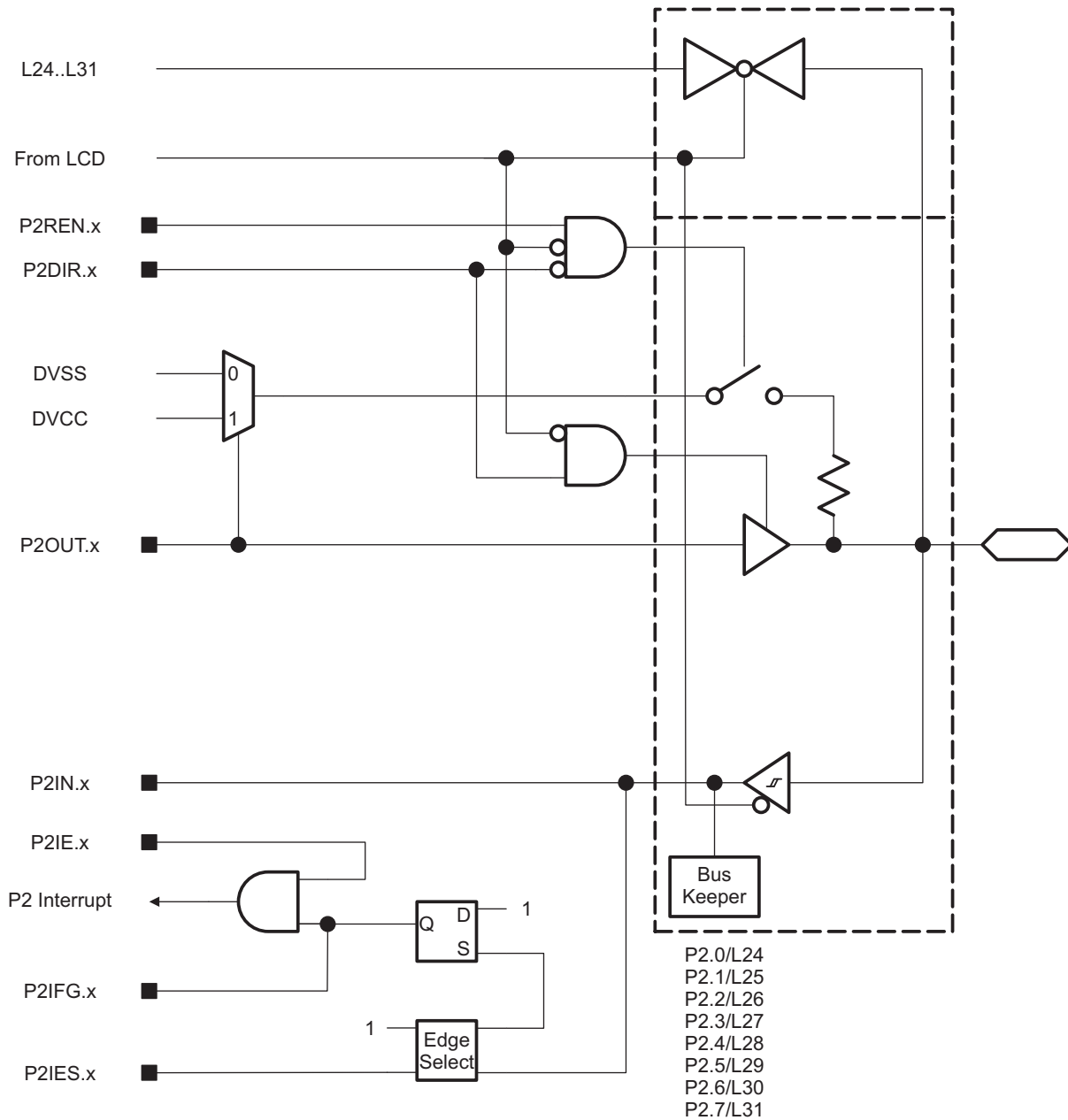


Figure 6-3. 使用施密特触发器的端口 P2 输入/输出

Table 6-15. 端口 P2 引脚功能

引脚名称 (P2.x)	x	功能	控制位和信号 ⁽¹⁾	
			P2DIR.x	LCDSy
P2.0/L24	0	P2.0 (I/O)	I : 0 ; O : 1	0
		L24	X	1 (y = 24)
P2.1/L25	1	P2.1 (I/O)	I : 0 ; O : 1	0
		L25	X	1 (y = 25)
P2.2/L26	2	P2.2 (I/O)	I : 0 ; O : 1	0
		L26	X	1 (y = 26)
P2.3/L27	3	P2.3 (I/O)	I : 0 ; O : 1	0
		L27	X	1 (y = 27)
P2.4/L28	4	P2.4 (I/O)	I : 0 ; O : 1	0
		L28	X	1 (y = 28)
P2.5/L29	5	P2.5 (I/O)	I : 0 ; O : 1	0
		L29	X	1 (y = 29)
P2.6/L30	6	P2.6 (I/O)	I : 0 ; O : 1	0
		L30	X	1 (y = 30)
P2.7/L31	7	P2.7 (I/O)	I : 0 ; O : 1	0
		L31	X	1 (y = 31)

(1) X = 无关

6.9.13.3 使用施密特触发器的端口 P3 输入/输出

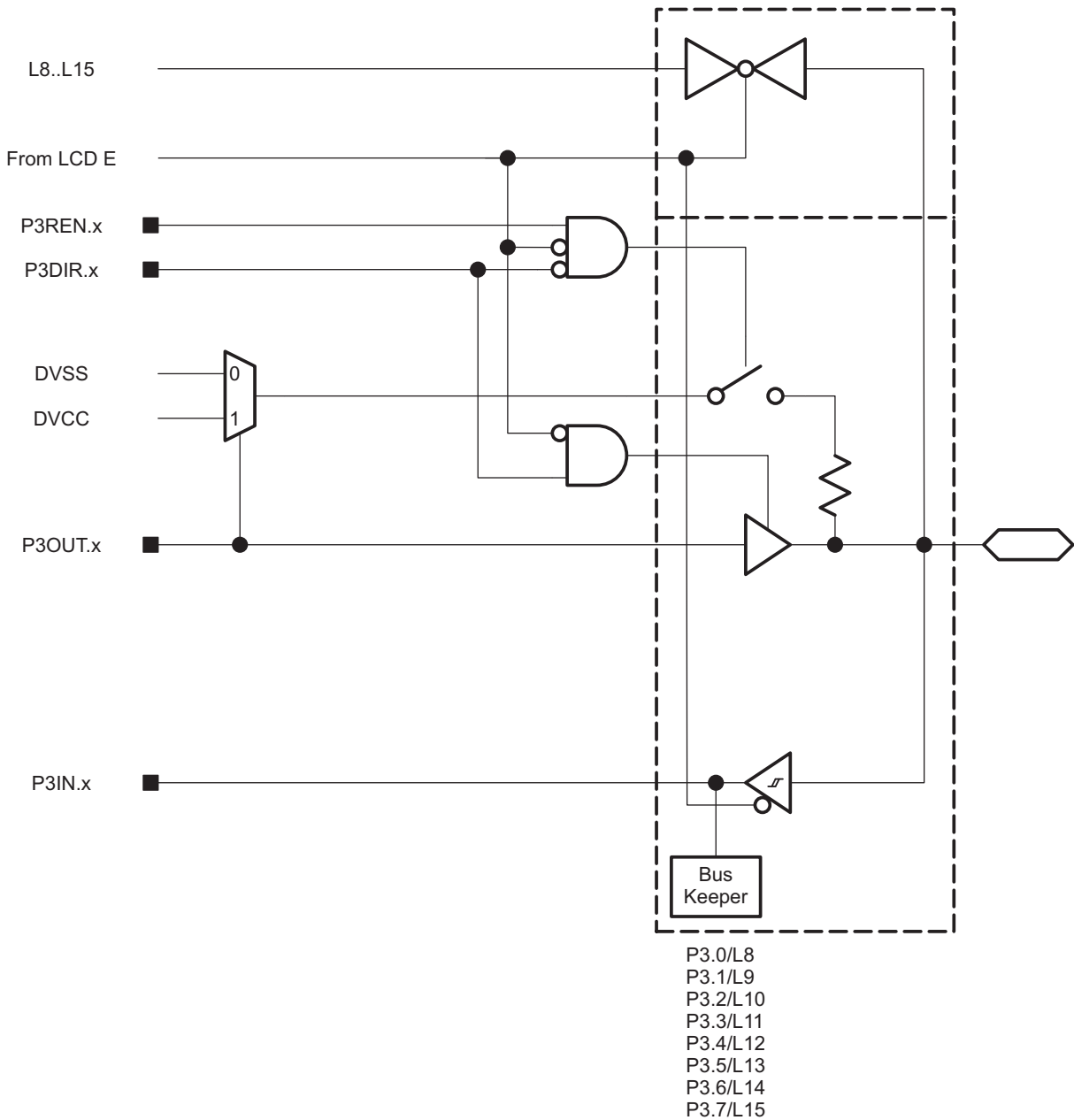


Figure 6-4. 使用施密特触发器的端口 P3 输入/输出

Table 6-16. 端口 P3 引脚功能

引脚名称 (P3.x)	x	功能	控制位和信号 ⁽¹⁾	
			P3DIR.x	LCDSy
P3.0/L8	0	P3.0 (I/O)	I : 0 ; O : 1	0
		L8	X	1 (y = 8)
P3.1/L9	1	P3.1 (I/O)	I : 0 ; O : 1	0
		L9	X	1 (y = 9)
P3.2/L10	2	P3.2 (I/O)	I : 0 ; O : 1	0
		L10	X	1 (y = 10)
P3.3/L11	3	P3.3 (I/O)	I : 0 ; O : 1	0
		L11	X	1 (y = 11)
P3.4/L12	4	P3.4 (I/O)	I : 0 ; O : 1	0
		L12	X	1 (y = 12)
P3.5/L13	5	P3.5 (I/O)	I : 0 ; O : 1	0
		L13	X	1 (y = 13)
P3.6/L14	6	P3.6 (I/O)	I : 0 ; O : 1	0
		L14	X	1 (y = 14)
P3.7/L15	7	P3.7 (I/O)	I : 0 ; O : 1	0
		L15	X	1 (y = 15)

(1) X = 无关

6.9.13.4 使用施密特触发器的端口 P4.0 输入/输出

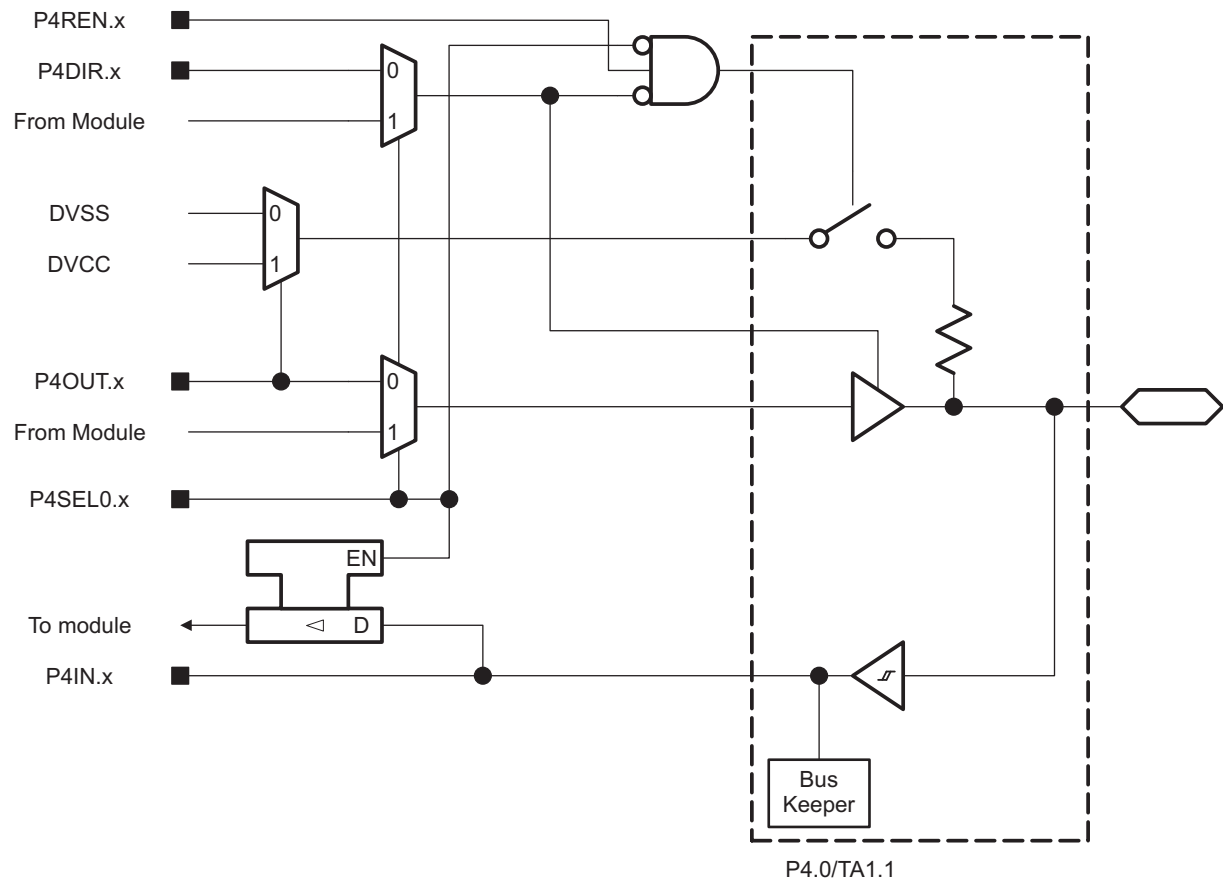


Figure 6-5. 使用施密特触发器的端口 P4.0 输入/输出

Table 6-17. 端口 P4.0 引脚功能

引脚名称 (P4.x)	x	功能	控制位和信号	
			P4DIR.x	P4SEL0.x
P4.0/TA1.1	0	P4.0 (I/O)	I : 0 ; O : 1	0
		TA1.CCI1A	0	1
		TA1.1	1	

6.9.13.5 使用施密特触发器的端口 P4.1 和 P4.2 输入/输出

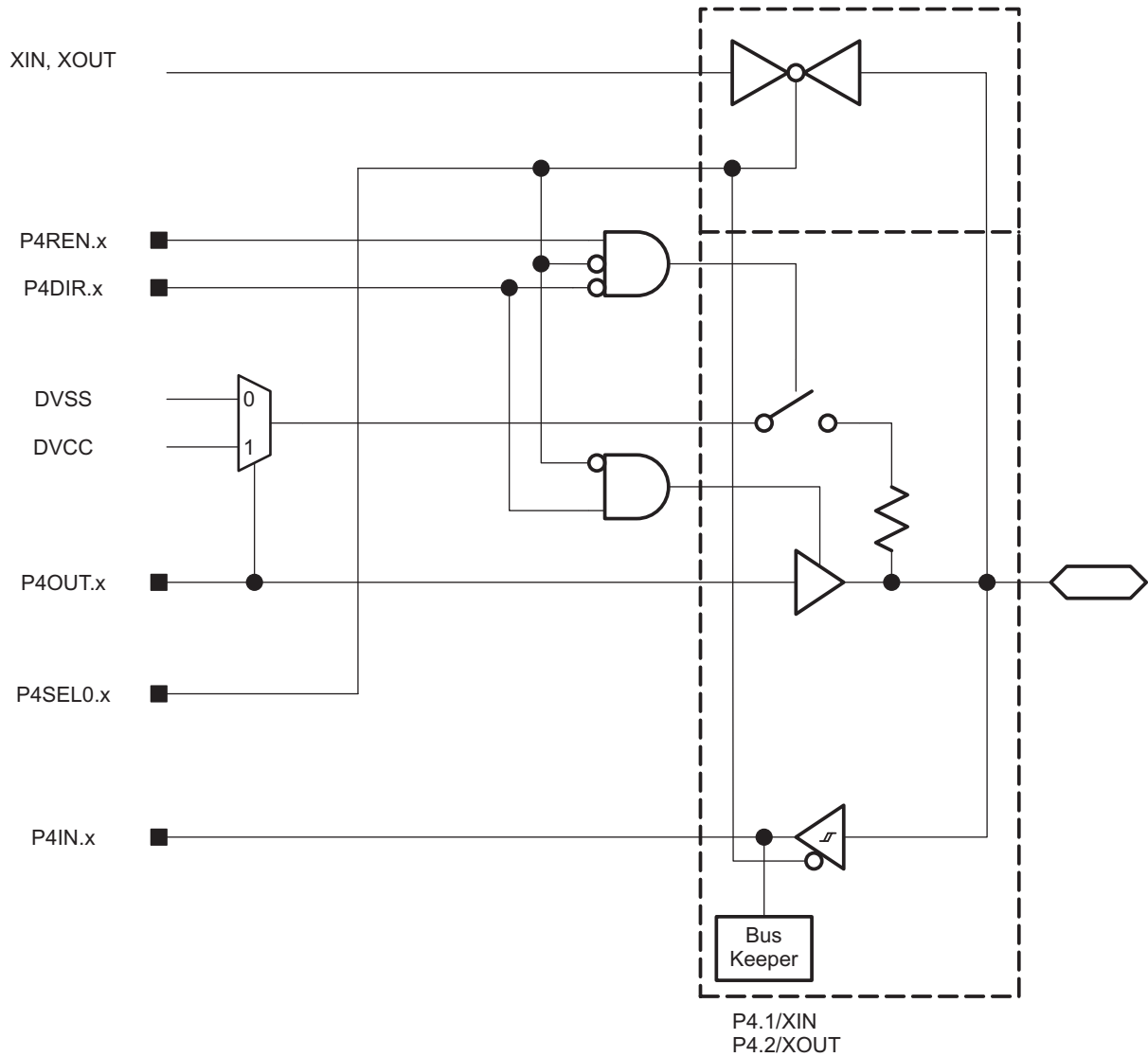


Figure 6-6. 使用施密特触发器的端口 P4.1 和 P4.2 输入/输出

Table 6-18. 端口 P4.1 和 P4.2 引脚功能

引脚名称 (P4.x)	x	功能	控制位和信号 ⁽¹⁾	
			P4DIR.x	P4SEL0.x
P4.1/XIN	1	P4.1 (I/O)	I : 0 ; O : 1	0
		XIN	X	1
P4.2/XOUT	2	P4.2 (I/O)	I : 0 ; O : 1	0
		XOUT	X	1

(1) X = 无关

6.9.13.6 使用施密特触发器的端口 4.3、P4.4、P4.5、P4.6 和 P4.7 输入/输出

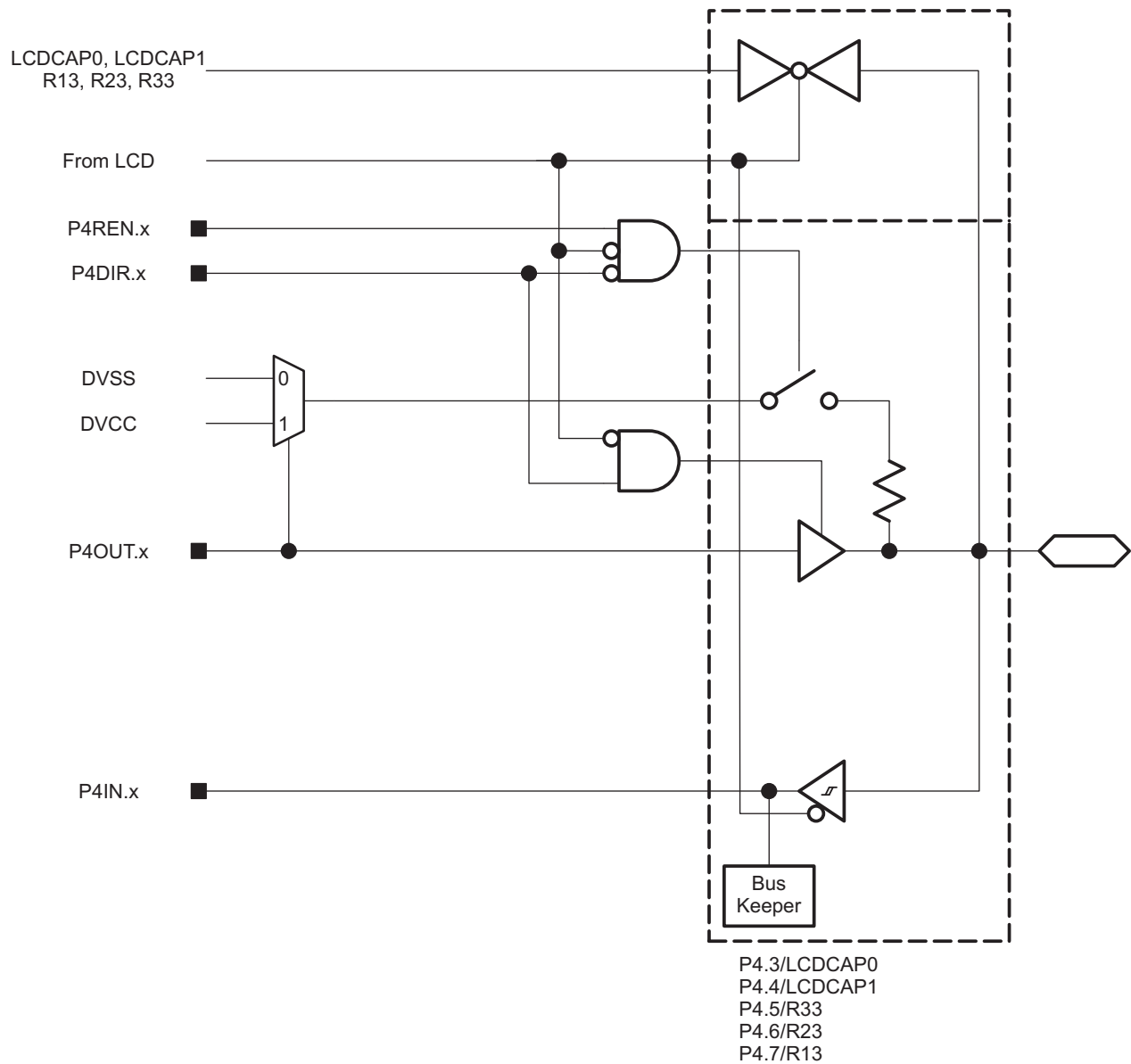


Figure 6-7. 使用施密特触发器的端口 4.3、P4.4、P4.5、P4.6 和 P4.7 输入/输出

Table 6-19. 端口 4.3、P4.4、P4.5、P4.6 和 P4.7 引脚功能

引脚名称 (P4.x)	x	功能	控制位和信号 ⁽¹⁾	
			P4DIR.x	LCDPCTL ⁽²⁾
P4.3/LCDCAP0	3	P4.3 (I/O)	I : 0 ; O : 1	X
		LCDCAP0	X	1
P4.4/LCDCAP1	4	P4.4 (I/O)	I : 0 ; O : 1	0
		LCDCAP1	X	1
P4.5/R33	5	P4.5 (I/O)	I : 0 ; O : 1	0
		R33	X	1
P4.6/R23	6	P4.6 (I/O)	I : 0 ; O : 1	0
		R23	X	1
P4.7/R13	7	P4.7 (I/O)	I : 0 ; O : 1	0
		R13	X	1

(1) X = 无关

(2) 将 SYSCFG2 寄存器中的 LCDPCTL 位置 1 会禁用输出驱动器和输入施密特触发器，从而避免施加模拟信号时发生泄漏。

6.9.13.7 使用施密特触发器的端口 P5.0、P5.1、P5.2 和 P5.3 输入/输出

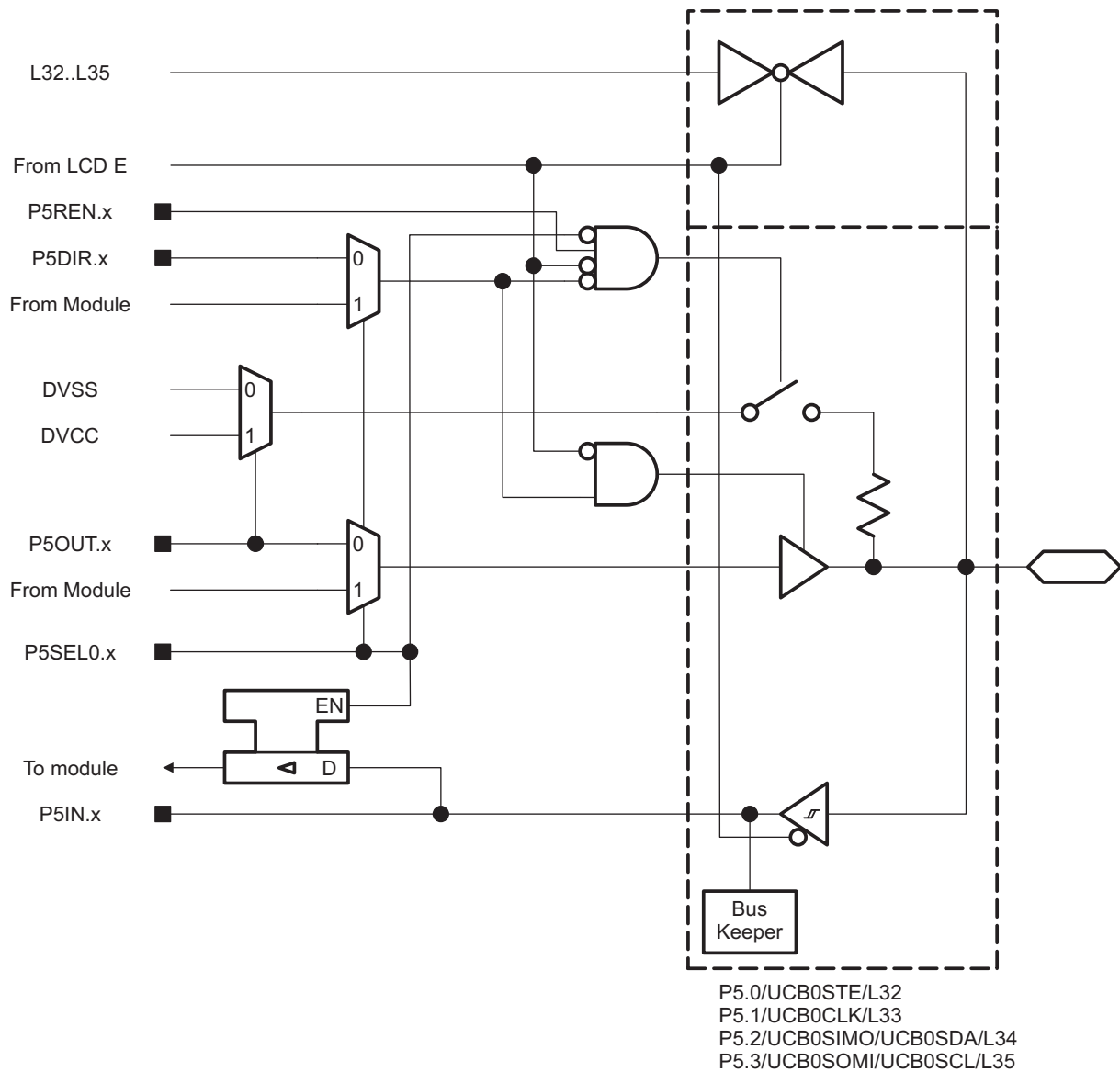


Figure 6-8. 使用施密特触发器的端口 P5.0、P5.1、P5.2 和 P5.3 输入/输出

Table 6-20. 端口 P5.0、P5.1、P5.2 和 P5.3 引脚功能

引脚名称 (P5.x)	x	功能	控制位和信号 ⁽¹⁾		
			P5DIR.x	P5SEL0.x	LCDSy
P5.0/UCB0STE/L32	0	P5.0 (I/O)	I : 0 ; O : 1	0	0
		UCB0STE	0	1	0
		L32	X	X	1 (y = 32)
P5.1/UCB0CLK/L33	1	P5.1 (I/O)	I : 0 ; O : 1	0	0
		UCB0CLK	0	1	0
		L33	X	X	1 (y = 33)
P5.2/UCB0SIMO/ UCB0SDA/L34	2	P5.2 (I/O)	I : 0 ; O : 1	0	0
		UCB0SIMO/UCB0SDA	0	1	0
		L34	X	X	1 (y = 34)
P5.3/UCB0SOMI/ UCB0SCL/L35	3	P5.3 (I/O)	I : 0 ; O : 1	0	0
		UCB0SOMI/UCB0SCL	0	1	0
		L35	X	X	1 (y = 35)

(1) X = 无关

6.9.13.8 使用施密特触发器的端口 P5.4、P5.5、P5.6 和 P5.7 输入/输出

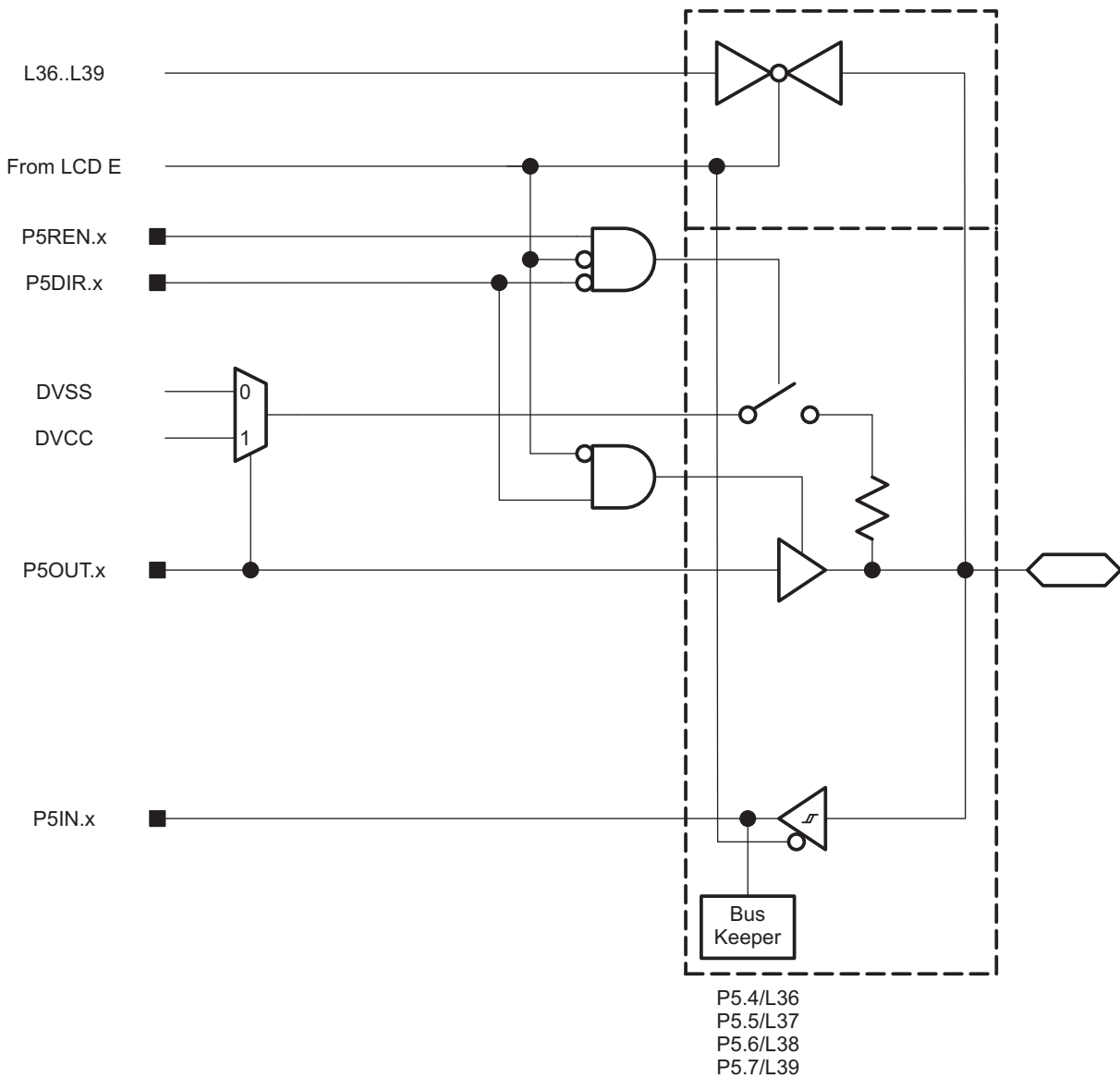


Figure 6-9. 使用施密特触发器的端口 P5.4、P5.5、P5.6 和 P5.7 输入/输出

Table 6-21. 端口 P5.4、P5.5、P5.6 和 P5.7 引脚功能

引脚名称 (P5.x)	x	功能	控制位和信号 ⁽¹⁾	
			P5DIR.x	LCDSy
P5.4/L36	4	P5.4 (I/O)	I : 0 ; O : 1	0
		L36	X	1 (y = 36)
P5.5/L37	5	P5.5 (I/O)	I : 0 ; O : 1	0
		L37	X	1 (y = 37)
P5.6/L38	6	P5.6 (I/O)	I : 0 ; O : 1	0
		L38	X	1 (y = 38)
P5.7/L39	7	P5.7 (I/O)	I : 0 ; O : 1	0
		L39	X	1 (y = 39)

(1) X = 无关

6.9.13.9 使用施密特触发器的端口 P6 输入/输出

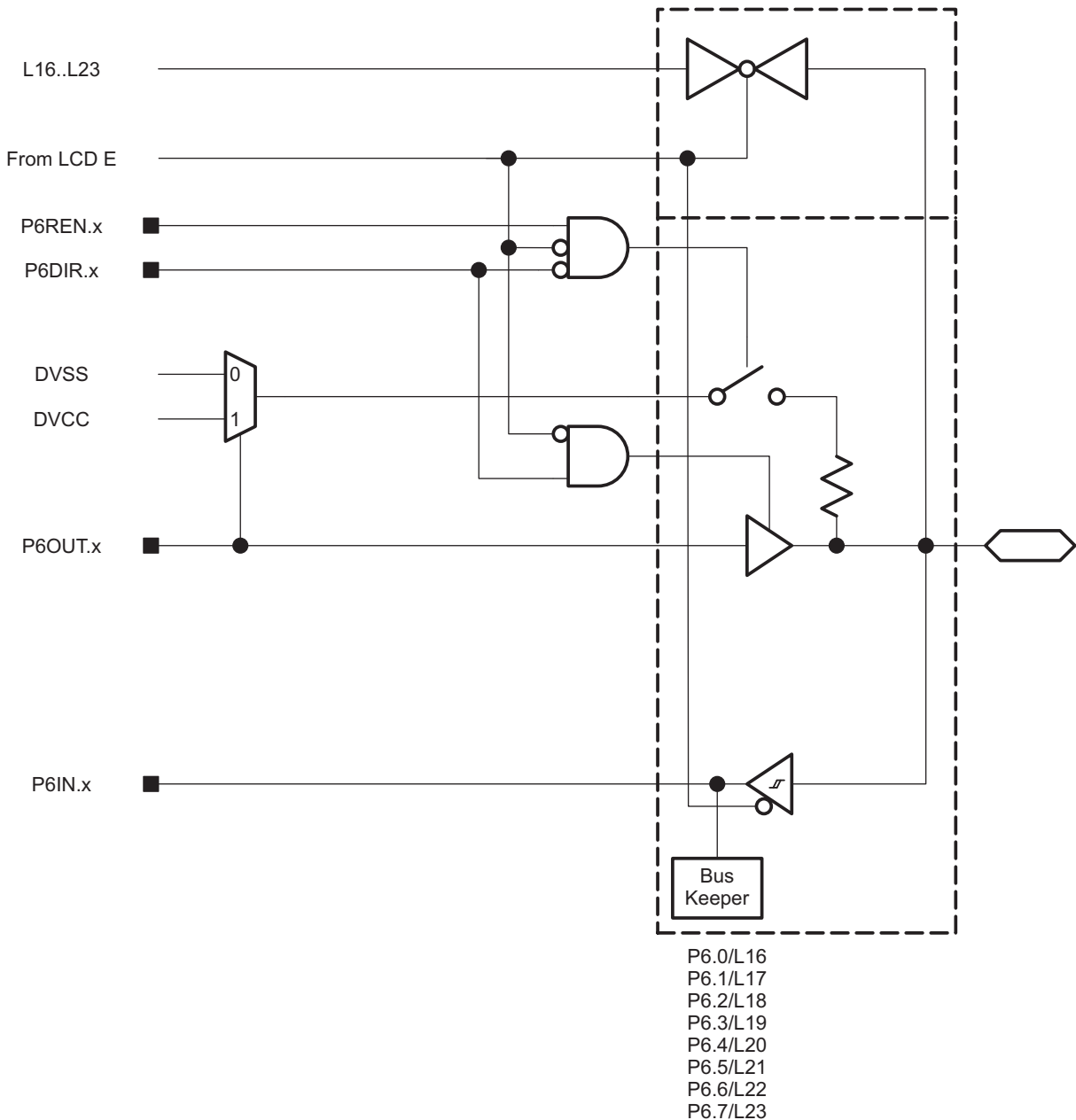


Figure 6-10. 使用施密特触发器的端口 P6 输入/输出

Table 6-22. 端口 P6 引脚功能

引脚名称 (P6.x)	x	功能	控制位和信号 ⁽¹⁾	
			P6DIR.x	LCDSy
P6.0/L16	0	P6.0 (I/O)	I : 0 ; O : 1	0
		L16	X	1 (y = 16)
P6.1/L17	1	P6.1 (I/O)	I : 0 ; O : 1	0
		L17	X	1 (y = 17)
P6.2/L18	2	P6.2 (I/O)	I : 0 ; O : 1	0
		L18	X	1 (y = 18)
P6.3/L19	3	P6.3 (I/O)	I : 0 ; O : 1	0
		L19	X	1 (y = 19)
P6.4/L20	4	P6.4 (I/O)	I : 0 ; O : 1	0
		L20	X	1 (y = 20)
P6.5/L21	5	P6.5 (I/O)	I : 0 ; O : 1	0
		L21	X	1 (y = 21)
P6.6/L22	6	P6.6 (I/O)	I : 0 ; O : 1	0
		L22	X	1 (y = 22)
P6.7/L23	7	P6.7 (I/O)	I : 0 ; O : 1	0
		L23	X	1 (y = 23)

(1) X = 无关

6.9.13.10 使用施密特触发器的端口 P7 输入/输出

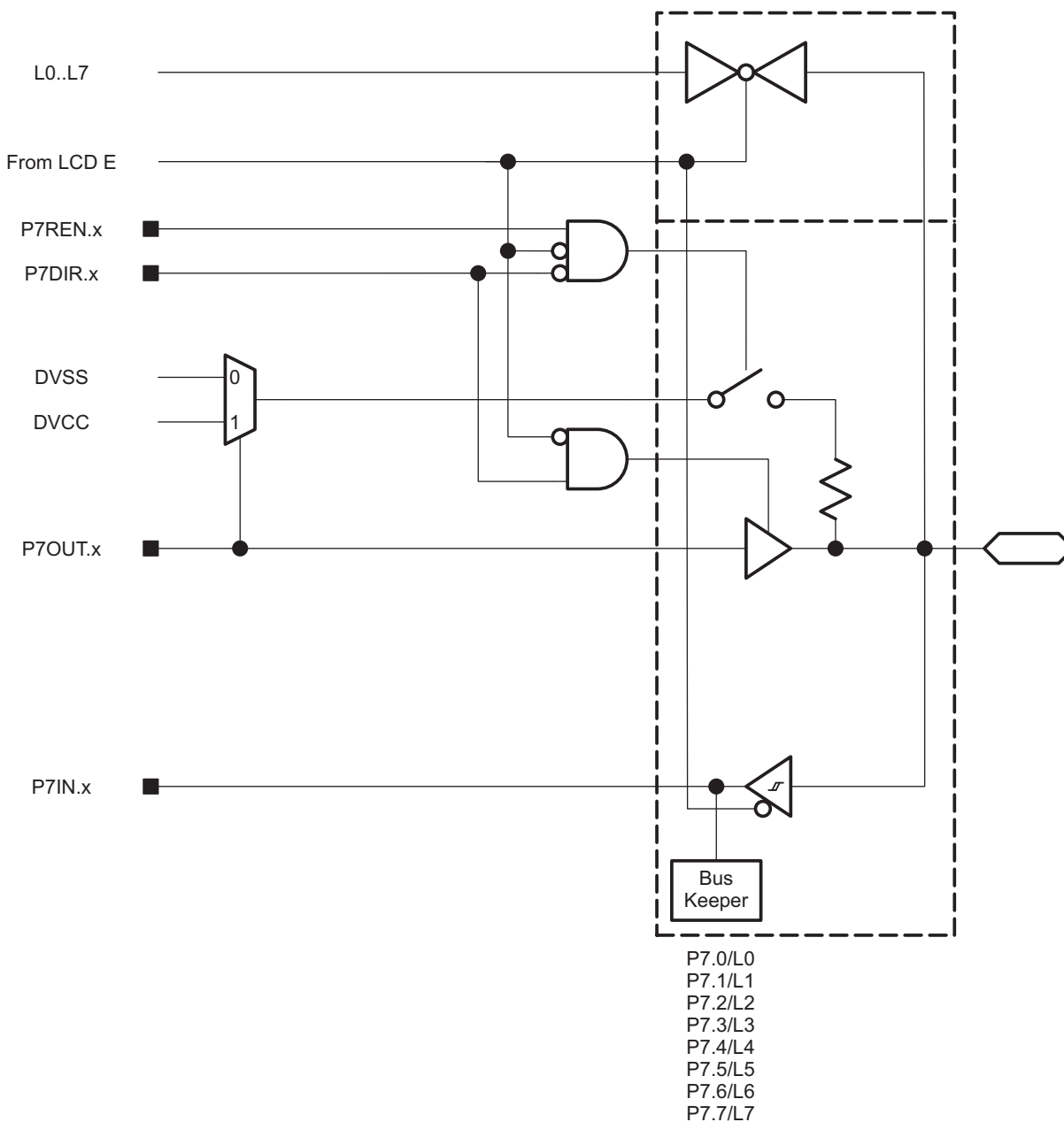


Figure 6-11. 使用施密特触发器的端口 P7 输入/输出

Table 6-23. 端口 P7 引脚功能

引脚名称 (P7.x)	x	功能	控制位和信号 ⁽¹⁾	
			P7DIR.x	LCDSy
P7.0/L0	0	P7.0 (I/O)	I : 0 ; O : 1	0
		L0	X	1 (y=0)
P7.1/L1	1	P7.1 (I/O)	I : 0 ; O : 1	0
		L1	X	1 (y=1)
P7.2/L2	2	P7.2 (I/O)	I : 0 ; O : 1	0
		L2	X	1 (y=2)
P7.3/L3	3	P7.3 (I/O)	I : 0 ; O : 1	0
		L3	X	1 (y=3)
P7.4/L4	4	P7.4 (I/O)	I : 0 ; O : 1	0
		L4	X	1 (y=4)
P7.5/L5	5	P7.5 (I/O)	I : 0 ; O : 1	0
		L5	X	1 (y=5)
P7.6/L6	6	P7.6 (I/O)	I : 0 ; O : 1	0
		L6	X	1 (y = 6)
P7.7/L7	7	P7.7 (I/O)	I : 0 ; O : 1	0
		L7	X	1 (y = 7)

(1) X = 无关

6.9.13.11 使用施密特触发器的端口 P8.0 和 P8.1 输入/输出

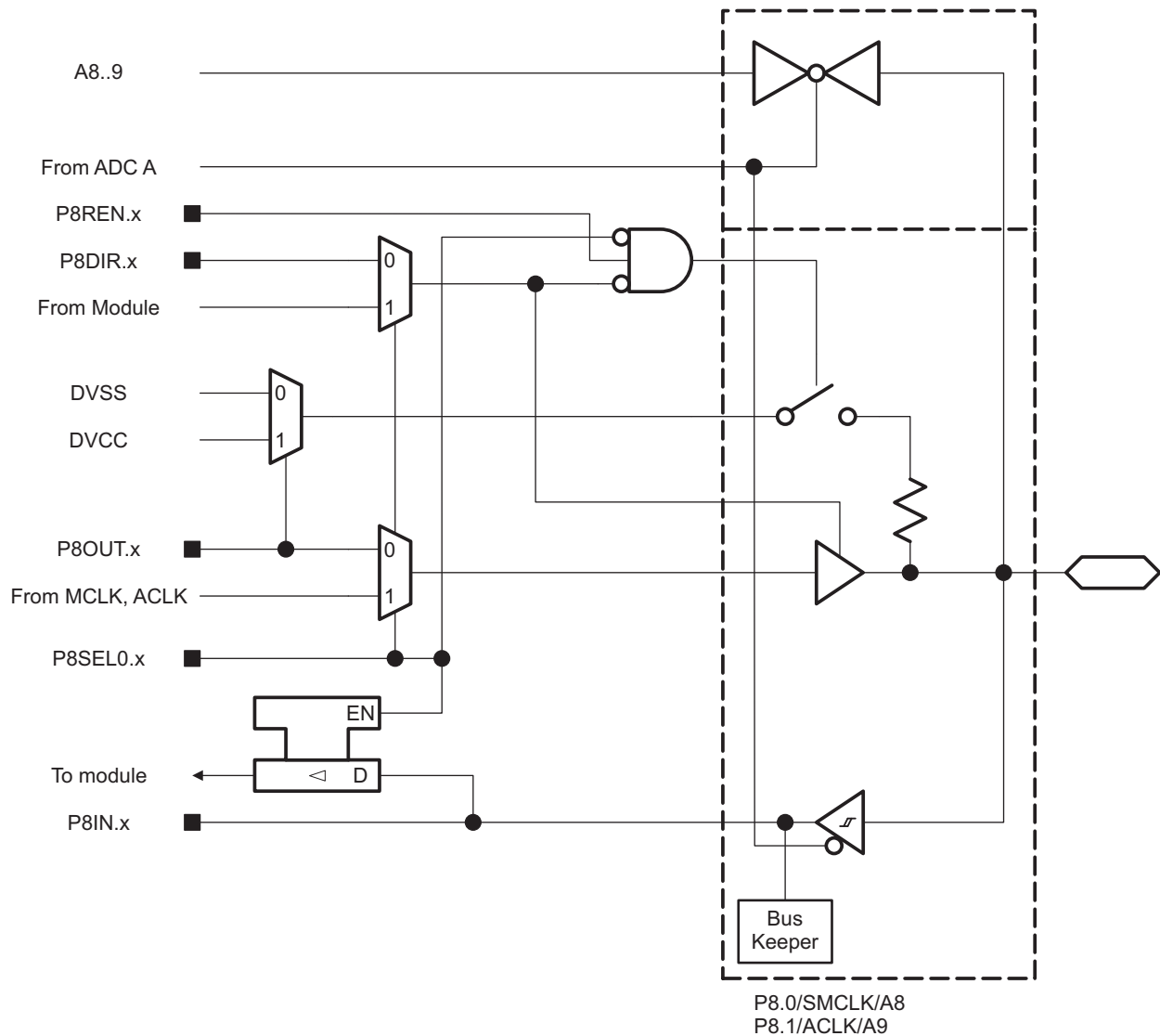


Figure 6-12. 使用施密特触发器的端口 P8.0 和 P8.1 输入/输出

Table 6-24. 端口 P8.0 和 P8.1 引脚功能

引脚名称 (P8.x)	x	功能	控制位和信号 ⁽¹⁾		
			P8DIR.x	P8SEL0.x	ADCPCTLx ⁽²⁾
P8.0/SMCLK/A8	0	P8.0 (I/O)	I : 0 ; O : 1	0	0
		VSS	0	1	0
		SMCLK	1		
		A8	X	X	1 (x = 8)
P8.1/ACLK/A9	1	P8.1 (I/O)	I : 0 ; O : 1	0	0
		VSS	0	1	0
		ACLK	1		
		A9	X	X	1 (x = 9)

(1) X = 无关

(2) 将 SYSCFG2 寄存器中的 ADCPCTLx 位置 1 会禁用输出驱动器和输入施密特触发器，从而避免施加模拟信号时发生泄漏。

6.9.13.12 使用施密特触发器的端口 P8.2 和 P8.3 输入/输出

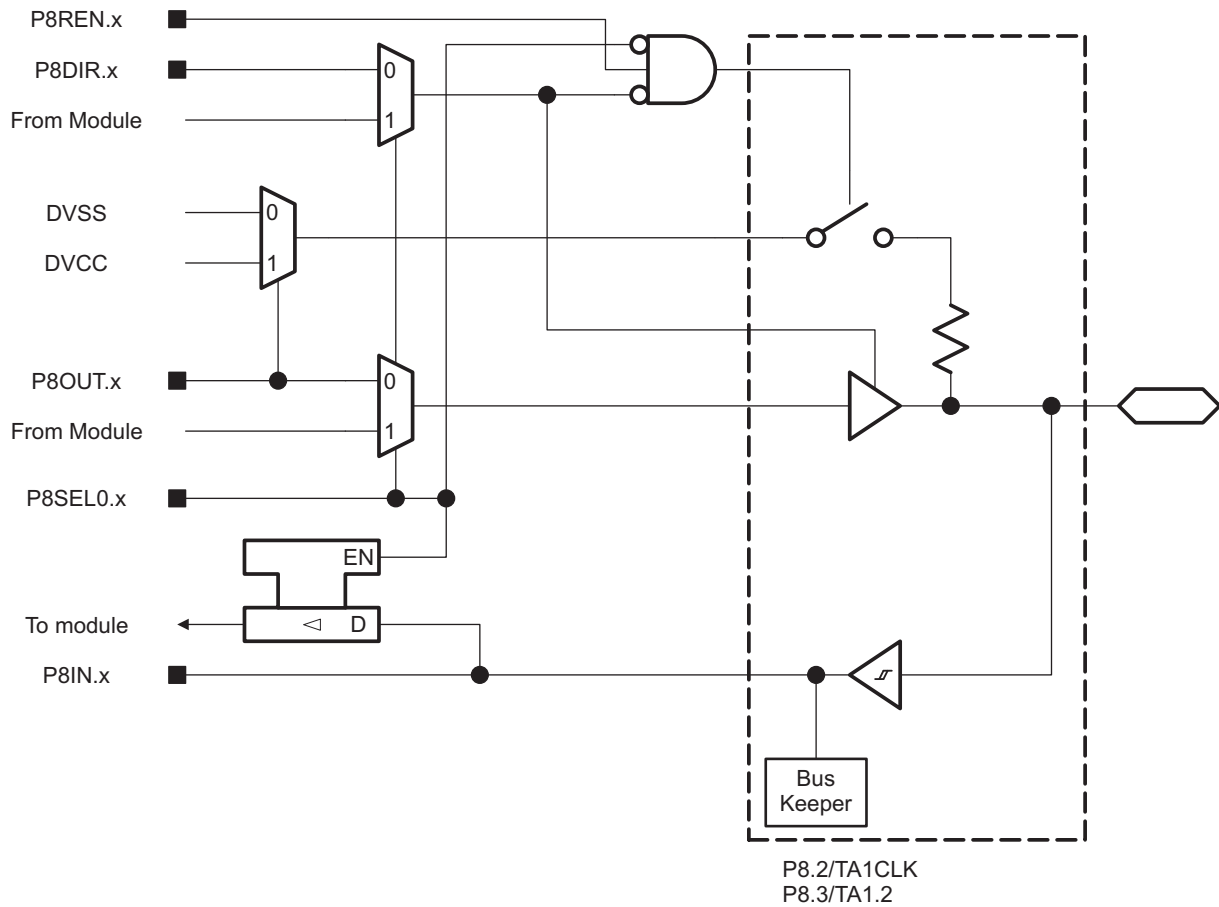


Figure 6-13. 使用施密特触发器的端口 P8.2 和 P8.3 输入/输出

Table 6-25. 端口 P8.2 和 P8.3 引脚功能

引脚名称 (P8.x)	x	功能	控制位和信号	
			P8DIR.x	P8SEL0.x
P8.2/TA1CLK	2	P8.2 (I/O)	I : 0 ; O : 1	0
		TA1 CLK	0	1
		VSS	1	
P8.3/TA1.2	3	P8.3 (I/O)	I : 0 ; O : 1	0
		TA1.CCI2A	0	1
		TA1.2	1	

6.10 器件描述符 (TLV)

Table 6-26 列出了 MSP430FR413x 器件的器件 ID。Table 6-27 列出了 MSP430FR413x 器件的器件描述符标签长度值 (TLV) 结构的内容。

Table 6-26. 器件 ID

器件	器件 ID	
	1A04h	1A05h
MSP430FR4133	F0h	81h
MSP430FR4132	F1h	81h
MSP430FR4131	F2h	81h

Table 6-27. 器件描述符

	说明	MSP430FR413x	
		地址	值
信息块	信息长度	1A00h	06h
	CRC 长度	1A01h	06h
	CRC 值 ⁽¹⁾	1A02h	标幺值
		1A03h	标幺值
	器件 ID	1A04h	请参见 Table 6-26
		1A05h	
	硬件版本	1A06h	标幺值
	固件版本	1A07h	标幺值
芯片记录	芯片记录标签	1A08h	08h
	芯片记录长度	1A09h	0Ah
	批次晶圆 ID	1A0Ah	标幺值
		1A0Bh	标幺值
		1A0Ch	标幺值
		1A0Dh	标幺值
	芯片 X 位置	1A0Eh	标幺值
		1A0Fh	标幺值
	芯片 Y 位置	1A10h	标幺值
		1A11h	标幺值
	测试结果	1A12h	标幺值
		1A13h	标幺值
ADC 校准	ADC 校准标签	1A14h	11h
	ADC 校准长度	1A15h	08h
	ADC 增益系数	1A16h	标幺值
		1A17h	标幺值
	ADC 偏移	1A18h	标幺值
		1A19h	标幺值
	ADC 1.5V 基准温度 30°C	1A1Ah	标幺值
		1A1Bh	标幺值
	ADC 1.5V 基准温度 85°C	1A1Ch	标幺值
		1A1Dh	标幺值

(1) 通过应用 CRC-CCITT-16 多项式 $x^{16} + x^{12} + x^5 + 1$ ，CRC 值可包含从 1A04h 到 1A77h 的校验和。

Table 6-27. 器件描述符 (continued)

	说明	MSP430FR413x	
		地址	值
基准和 DCO 校准	校准标签	1A1Eh	12h
	校准长度	1A1Fh	04h
	1.5V 基准系数	1A20h	标么值
		1A21h	标么值
	16MHz、温度 30°C 时的 DCO 抽头设置 ⁽²⁾	1A22h	标么值
		1A23h	标么值

(2) 该值可直接载入 CSCTL0 寄存器的 DCO 位中，以获取室温条件下的准确 16MHz 频率，尤其是当 MCU 退出 LPM3 及以下模式时。此外，如果温度漂移可能导致频率过冲到 16MHz 以上，建议使用预分频器降低频率。

6.11 存储器

Table 6-28 列出了 MSP430FR413x 器件的存储器结构。

Table 6-28. 存储器结构

	访问	MSP430FR4133	MSP430FR4132	MSP430FR4131
存储器 (FRAM) 主：中断向量和签名 主：代码存储器	读/写 (可选写保护) ⁽¹⁾	15KB FFFFh-FF80h FFFFh-C400h	8KB FFFFh-FF80h FFFFh-E000h	4KB FFFFh-FF80h FFFFh-F000h
RAM	读/写	2KB 27FFh-2000h	1KB 23FFh-2000h	512B 21FFh-2000h
信息存储器 (FRAM)	读/写 (可选写保护) ⁽²⁾	512B 19FFh-1800h	512B 19FFh-1800h	512B 19FFh-1800h
引导加载程序 (BSL) 存储器 (ROM) 添加了 BSL 存储器行	只读	1KB 13FFh-1000h	1KB 13FFh-1000h	1KB 13FFh-1000h
外设	读/写	4KB 0FFFh-0000h	4KB 0FFFh-0000h	4KB 0FFFh-0000h

(1) 程序 FRAM 可通过将 SYSCFG0 寄存器中的 PFWP 位置 1 进行写保护。更多详细信息，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》(文献编号：SLAU445) 中的 SYS 一章。

(2) 信息 FRAM 可通过将 SYSCFG0 寄存器中的 DFWP 位置 1 进行写保护。更多详细信息，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》(文献编号：SLAU445) 中的 SYS 一章。

6.11.1 外设文件映射

Table 6-29 列出了每个外设的寄存器基址和存储空间，Table 6-30 到 Table 6-49 列出了每个外设的所有可用寄存器及其地址偏移量。

Table 6-29. 外设汇总

模块名称	基址	大小
特殊功能 (请参见 Table 6-30)	0100h	0010h
PMM (请参见 Table 6-31)	0120h	0020h
SYS (请参见 Table 6-32)	0140h	0030h
CS (请参见 Table 6-33)	0180h	0020h
FRAM (请参见 Table 6-34)	01A0h	0010h
CRC (请参见 Table 6-35)	01C0h	0008h
WDT (请参见 Table 6-36)	01CCh	0002h
端口 P1、P2 (请参见 Table 6-37)	0200h	0020h
端口 P3、P4 (请参见 Table 6-38)	0220h	0020h
端口 P5、P6 (请参见 Table 6-39)	0240h	0020h
端口 P7、P8 (请参见 Table 6-40)	0260h	0020h
电容式触摸 I/O (请参见 Table 6-41)	02E0h	0010h
Timer0_A3 (请参见 Table 6-42)	0300h	0030h
Timer1_A3 (请参见 Table 6-43)	0340h	0030h
RTC (请参见 Table 6-44)	03C0h	0010h
eUSCI_A0 (请参见 Table 6-45)	0500h	0020h
eUSCI_B0 (请参见 Table 6-46)	0540h	0030h
LCD (请参见 Table 6-47)	0600h	0060h
备用存储器 (请参见 Table 6-48)	0660h	0020h
ADC (请参见 Table 6-49)	0700h	0040h

Table 6-30. 特殊功能寄存器 (基址 : 0100h)

寄存器说明	寄存器	偏移量
SFR 中断使能	SFRIE1	00h
SFR 中断标志	SFRIFG1	02h
SFR 复位引脚控制	SFRRPCR	04h

Table 6-31. PMM 寄存器 (基址 : 0120h)

寄存器说明	寄存器	偏移量
PMM 控制 0	PMMCTL0	00h
PMM 控制 1	PMMCTL1	02h
PMM 控制 2	PMMCTL2	04h
PMM 中断标志	PMMIFG	0Ah
PM5 控制 0	PM5CTL0	10h

Table 6-32. SYS 寄存器 (基址 : 0140h)

寄存器说明	寄存器	偏移量
系统控制	SYSCTL	00h
引导加载程序配置区	SYSBSLC	02h
JTAG 邮箱控制	SYSJMBBC	06h
JTAG 邮箱输入 0	SYSJMBI0	08h
JTAG 邮箱输入 1	SYSJMBI1	0Ah
JTAG 邮箱输出 0	SYSJMBO0	0Ch
JTAG 邮箱输出 1	SYSJMBO1	0Eh
总线错误向量发生器	SYSBERRIV	18h
用户 NMI 向量发生器	SYSUNIV	1Ah
系统 NMI 向量发生器	SYSSNIV	1Ch
复位向量发生器	SYSRSTIV	1Eh
系统配置 0	SYSCFG0	20h
系统配置 1	SYSCFG1	22h
系统配置 2	SYSCFG2	24h

Table 6-33. CS 寄存器 (基址 : 0180h)

寄存器说明	寄存器	偏移量
CS 控制寄存器 0	CSCTL0	00h
CS 控制寄存器 1	CSCTL1	02h
CS 控制寄存器 2	CSCTL2	04h
CS 控制寄存器 3	CSCTL3	06h
CS 控制寄存器 4	CSCTL4	08h
CS 控制寄存器 5	CSCTL5	0Ah
CS 控制寄存器 6	CSCTL6	0Ch
CS 控制寄存器 7	CSCTL7	0Eh
CS 控制寄存器 8	CSCTL8	10h

Table 6-34. FRAM 寄存器 (基址 : 01A0h)

寄存器说明	寄存器	偏移量
FRAM 控制 0	FRCTL0	00h
通用控制 0	GCCTL0	04h
通用控制 1	GCCTL1	06h

Table 6-35. CRC 寄存器 (基址 : 01C0h)

寄存器说明	寄存器	偏移量
CRC 数据输入	CRC16DI	00h
CRC 数据输入反向字节	CRCDIRB	02h
CRC 初始化和结果	CRCINIRES	04h
CRC 结果反向字节	CRCRESR	06h

Table 6-36. WDT 寄存器 (基址 : 01CCh)

寄存器说明	寄存器	偏移量
看门狗定时器控制	WDTCTL	00h

Table 6-37. 端口 P1、P2 寄存器 (基址 : 0200h)

寄存器说明	寄存器	偏移量
端口 P1 输入	P1IN	00h
端口 P1 输出	P1OUT	02h
端口 P1 方向	P1DIR	04h
端口 P1 上下拉寄存器使能	P1REN	06h
端口 P1 选择 0	P1SEL0	0Ah
端口 P1 中断向量字	P1IV	0Eh
端口 P1 中断边沿选择	P1IES	18h
端口 P1 中断使能	P1IE	1Ah
端口 P1 中断标志	P1IFG	1Ch
端口 P2 输入	P2IN	01h
端口 P2 输出	P2OUT	03h
端口 P2 方向	P2DIR	05h
端口 P2 上下拉寄存器使能	P2REN	07h
端口 P2 选择 0 ⁽¹⁾	P2SEL0	0Bh
端口 P2 中断向量字	P2IV	1Eh
端口 P2 中断边沿选择	P2IES	19h
端口 P2 中断使能	P2IE	1Bh
端口 P2 中断标志	P2IFG	1Dh

(1) 端口 P2 选择寄存器没有任何有效位。P2SEL0 搭配 P1SEL0 进行 16 位端口 A 操作。

Table 6-38. 端口 P3、P4 寄存器 (基址 : 0220h)

寄存器说明	寄存器	偏移量
端口 P3 输入	P3IN	00h
端口 P3 输出	P3OUT	02h
端口 P3 方向	P3DIR	04h
端口 P3 上下拉寄存器使能	P3REN	06h
端口 P3 选择 0 ⁽¹⁾	P3SEL0	0Ah
端口 P4 输入	P4IN	01h
端口 P4 输出	P4OUT	03h
端口 P4 方向	P4DIR	05h
端口 P4 上下拉寄存器使能	P4REN	07h
端口 P4 选择 0	P4SEL0	0Bh

(1) 端口 P3 选择寄存器没有任何有效位。P3SEL0 搭配 P4SEL0 进行 16 位端口 B 操作。

Table 6-39. 端口 P5、P6 寄存器 (基址 : 0240h)

寄存器说明	寄存器	偏移量
端口 P5 输入	P5IN	00h
端口 P5 输出	P5OUT	02h
端口 P5 方向	P5DIR	04h
端口 P5 上下拉寄存器使能	P5REN	06h
端口 P5 选择 0	P5SEL0	0Ah
端口 P6 输入	P6IN	01h
端口 P6 输出	P6OUT	03h
端口 P6 方向	P6DIR	05h
端口 P6 上下拉寄存器使能	P6REN	07h
端口 P6 选择 0 ⁽¹⁾	P6SEL0	0Bh

(1) 端口 P6 选择寄存器没有任何有效位。P6SEL0 搭配 P5SEL0 进行 16 位端口 C 操作。

Table 6-40. 端口 P7、P8 寄存器 (基址 : 0260h)

寄存器说明	寄存器	偏移量
端口 P7 输入	P7IN	00h
端口 P7 输出	P7OUT	02h
端口 P7 方向	P7DIR	04h
端口 P7 上下拉寄存器使能	P7REN	06h
端口 P7 选择 0 ⁽¹⁾	P7SEL0	0Ah
端口 P8 输入	P8IN	01h
端口 P8 输出	P8OUT	03h
端口 P8 方向	P8DIR	05h
端口 P8 上下拉寄存器使能	P8REN	07h
端口 P8 选择 0	P8SEL0	0Bh

(1) 端口 P7 选择寄存器没有任何有效位。P7SEL0 搭配 P8SEL0 进行 16 位端口 D 操作。

Table 6-41. 电容式触摸 IO 寄存器 (基址 : 02E0h)

寄存器说明	寄存器	偏移量
电容式触摸 IO 0 控制	CAPTIO0CTL	0Eh

Table 6-42. Timer0_A3 寄存器 (基址 : 0300h)

寄存器说明	寄存器	偏移量
TA0 控制	TA0CTL	00h
捕捉/比较控制 0	TA0CCTL0	02h
捕捉/比较控制 1	TA0CCTL1	04h
捕捉/比较控制 2	TA0CCTL2	06h
TA0 计数器寄存器	TA0R	10h
捕捉/比较寄存器 0	TA0CCR0	12h
捕捉/比较寄存器 1	TA0CCR1	14h
捕捉/比较寄存器 2	TA0CCR2	16h
TA0 扩展寄存器 0	TA0EX0	20h
TA0 中断向量	TA0IV	2Eh

Table 6-43. Timer1_A3 寄存器 (基址 : 0340h)

寄存器说明	寄存器	偏移量
TA1 控制	TA1CTL	00h
捕捉/比较控制 0	TA1CCTL0	02h
捕捉/比较控制 1	TA1CCTL1	04h
捕捉/比较控制 2	TA1CCTL2	06h
TA1 计数器寄存器	TA1R	10h
捕捉/比较寄存器 0	TA1CCR0	12h
捕捉/比较寄存器 1	TA1CCR1	14h
捕捉/比较寄存器 2	TA1CCR2	16h
TA1 扩展寄存器 0	TA1EX0	20h
TA1 中断向量	TA1IV	2Eh

Table 6-44. RTC 寄存器 (基址 : 03C0h)

寄存器说明	寄存器	偏移量
RTC 控制	RTCCTL	00h
RTC 中断向量	RTCIV	04h
RTC 模	RTCMOD	08h
RTC 计数器	RTCCNT	0Ch

Table 6-45. eUSCI_A0 寄存器 (基址 : 0500h)

寄存器说明	寄存器	偏移量
eUSCI_A 控制字 0	UCA0CTLW0	00h
eUSCI_A 控制字 1	UCA0CTLW1	02h
eUSCI_A 控制速率 0	UCA0BR0	06h
eUSCI_A 控制速率 1	UCA0BR1	07h
eUSCI_A 调制控制	UCA0MCTLW	08h
eUSCI_A 状态	UCA0STAT	0Ah
eUSCI_A 接收缓冲器	UCA0RXBUF	0Ch
eUSCI_A 发送缓冲器	UCA0TXBUF	0Eh
eUSCI_A LIN 控制	UCA0ABCTL	10h
eUSCI_A IrDA 发送控制	IUCA0IRTCTL	12h
eUSCI_A IrDA 接收控制	IUCA0IRRCTL	13h
eUSCI_A 中断使能	UCA0IE	1Ah
eUSCI_A 中断标志	UCA0IFG	1Ch
eUSCI_A 中断向量字	UCA0IV	1Eh

Table 6-46. eUSCI_B0 寄存器 (基址 : 0540h)

寄存器说明	寄存器	偏移量
eUSCI_B 控制字 0	UCB0CTLW0	00h
eUSCI_B 控制字 1	UCB0CTLW1	02h
eUSCI_B 位速率 0	UCB0BR0	06h
eUSCI_B 位速率 1	UCB0BR1	07h
eUSCI_B 状态字	UCB0STATW	08h
eUSCI_B 字节计数器阈值	UCB0TBCNT	0Ah
eUSCI_B 接收缓冲器	UCB0RXBUF	0Ch
eUSCI_B 发送缓冲器	UCB0TXBUF	0Eh
eUSCI_B I2C 自有地址 0	UCB0I2COA0	14h
eUSCI_B I2C 自有地址 1	UCB0I2COA1	16h
eUSCI_B I2C 自有地址 2	UCB0I2COA2	18h
eUSCI_B I2C 自有地址 3	UCB0I2COA3	1Ah
eUSCI_B 接收地址	UCB0ADDRX	1Ch
eUSCI_B 地址掩码	UCB0ADDMASK	1Eh
eUSCI_B I2C 从地址	UCB0I2CSA	20h
eUSCI_B 中断使能	UCB0IE	2Ah
eUSCI_B 中断标志	UCB0IFG	2Ch
eUSCI_B 中断向量字	UCB0IV	2Eh

Table 6-47. LCD 寄存器 (基址 : 0600h)

寄存器说明	寄存器	偏移量
LCD 控制寄存器 0	LCDCTL0	00h
LCD 控制寄存器 1	LCDCTL1	02h
LCD 闪烁控制寄存器	LCDBLKCTL	04h
LCD 存储器控制寄存器	LCDMEMCTL	06h
LCD 电压控制寄存器	LCDVCTL	08h
LCD 端口控制 0	LCDPCTL0	0Ah
LCD 端口控制 1	LCDPCTL1	0Ch
LCD 端口控制 2	LCDPCTL2	0Eh
LCD COM/SEG 选择寄存器	LCDCSS0	14h
LCD COM/SEG 选择寄存器	LCDCSS1	16h
LCD COM/SEG 选择寄存器	LCDCSS2	18h
LCD 中断向量	LCDIV	1Eh
用于静态和 2 到 4 路复用模式的显示器存储器		
LCD 存储器 0	LCDM0	20h
LCD 存储器 1	LCDM1	21h
LCD 存储器 2	LCDM2	22h
⋮	⋮	⋮
LCD 存储器 19	LCDM19	33h
保留 ⁽¹⁾		34h
⋮	⋮	⋮
保留 ⁽¹⁾		3Fh

(1) 在静态和 2 到 4 路复用模式下，LCD 存储器和闪烁存储器 40 到 63 实际上不会使用。

Table 6-47. LCD 寄存器 (基址 : 0600h) (continued)

寄存器说明	寄存器	偏移量
用于静态和 2 到 4 路复用模式的闪烁存储器		
LCD 闪烁存储器 0	LCDBM0	40h
LCD 闪烁存储器 1	LCDBM1	41h
⋮	⋮	⋮
LCD 闪烁存储器 19	LCDBM19	53h
保留 ⁽¹⁾		54h
⋮	⋮	⋮
保留 ⁽¹⁾		5Fh
用于 5 到 8 路复用模式的显示器存储器		
LCD 存储器 0	LCDM0	20h
LCD 存储器 1	LCDM1	21h
LCD 存储器 2	LCDM2	22h
⋮	⋮	⋮
LCD 存储器 39	LCDM39	47h
保留 ⁽²⁾		48h
⋮	⋮	⋮
保留 ⁽²⁾		5Fh

(2) 在 5 到 8 路复用模式下, LCD 存储器和闪烁存储器 40 到 63 实际上不会使用。

Table 6-48. 备用存储器寄存器 (基址 : 0660h)

寄存器说明	寄存器	偏移量
备用存储器 0	BAKMEM0	00h
备用存储器 1	BAKMEM1	02h
备用存储器 2	BAKMEM2	04h
备用存储器 3	BAKMEM3	06h
备用存储器 4	BAKMEM4	08h
备用存储器 5	BAKMEM5	0Ah
备用存储器 6	BAKMEM6	0Ch
备用存储器 7	BAKMEM7	0Eh
备用存储器 8	BAKMEM8	10h
备用存储器 9	BAKMEM9	12h
备用存储器 10	BAKMEM10	14h
备用存储器 11	BAKMEM11	16h
备用存储器 12	BAKMEM12	18h
备用存储器 13	BAKMEM13	1Ah
备用存储器 14	BAKMEM14	1Ch
备用存储器 15	BAKMEM15	1Eh

Table 6-49. ADC 寄存器 (基址 : 0700h)

寄存器说明	寄存器	偏移量
ADC 控制寄存器 0	ADCCTL0	00h
ADC 控制寄存器 1	ADCCTL1	02h
ADC 控制寄存器 2	ADCCTL2	04h
ADC 窗口比较器阈值下限	ADCLO	06h
ADC 窗口比较器阈值上限	ADCHI	08h
ADC 存储器控制寄存器 0	ADCMCTL0	0Ah
ADC 转换存储器寄存器	ADCMEM0	12h
ADC 中断使能	ADCIE	1Ah
ADC 中断标志	ADCIFG	1Ch
ADC 中断向量字	ADCIV	1Eh

6.12 标识

6.12.1 版本标识

器件版本信息作为器件封装顶部标记的一部分显示。器件特定的勘误表对这些标记进行了介绍。要获取本数据表中器件的所有勘误表链接，请参见[节 8.2](#)。

另外，硬件版本存储在“器件描述符”结构中的“信息块”部分。有关该值的详细信息，请参见[Section 6.10](#)中的“硬件版本”条目。

6.12.2 器件标识

器件类型可通过器件封装的顶部标记标识。器件特定的勘误表对这些标记进行了介绍。要获取本数据表中器件的所有勘误表链接，请参见[节 8.2](#)。

另外，器件标识值存储在“器件描述符”结构中的“信息块”部分。有关该值的详细信息，请参见[Section 6.10](#)中的“器件 ID”条目。

6.12.3 JTAG 标识

《通过 JTAG 接口进行 MSP430 编程用户指南》(文献编号 : [SLAU320](#)) 中详细介绍了如何通过 JTAG 接口进行编程 (包括读取和标识 JTAG ID)。

7 应用、实施和布局

NOTE

以下应用部分的信息不属于 TI 组件规范，TI 不承担其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 器件连接和布局基本准则

本节将探讨使用 MSP430FR413x 器件进行设计时推荐遵循的准则。这些准则旨在确保对器件进行适当连接，从而实现供电、编程、调试用途以及最佳模拟性能。

7.1.1 电源去耦和大容量电容

德州仪器 (TI) 建议将 10 μ F 和 100nF 的低 ESR 陶瓷去耦电容组合连接至 DVCC 和 DVSS 引脚。可以使用电容值较大的电容，但可能会影响电源轨斜升时间。去耦电容必须尽可能靠近其去耦的引脚的位置（几毫米范围内）。

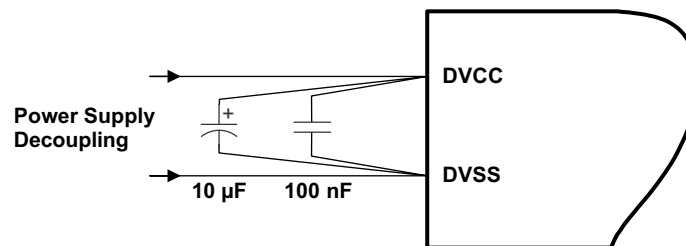


Figure 7-1. 电源去耦

7.1.2 外部振荡器

该器件仅支持在 XIN 和 XOUT 引脚上使用低频晶振 (32kHz)。需要为晶振引脚使用外部旁路电容。

如果选择了合适的 XT1BYPASS 模式，还可以向 XIN 输入引脚施加符合相应振荡器规范的数字时钟信号。这种情况下，相关的 XOUT 引脚可用于其他用途。如果引脚闲置，则必须按照 [Section 4.4](#) 对其进行端接。

[Figure 7-2](#) 给出了典型的连接图。

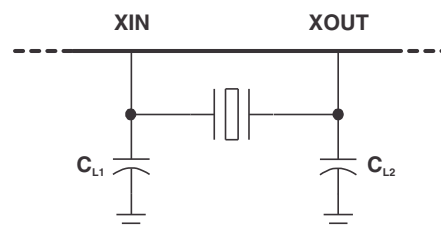


Figure 7-2. 典型晶振连接

有关 MSP430 器件晶振的选择、测试和设计的更多信息，请参见应用报告《MSP430 32kHz 晶体振荡器》（文献编号：SLAA322）。

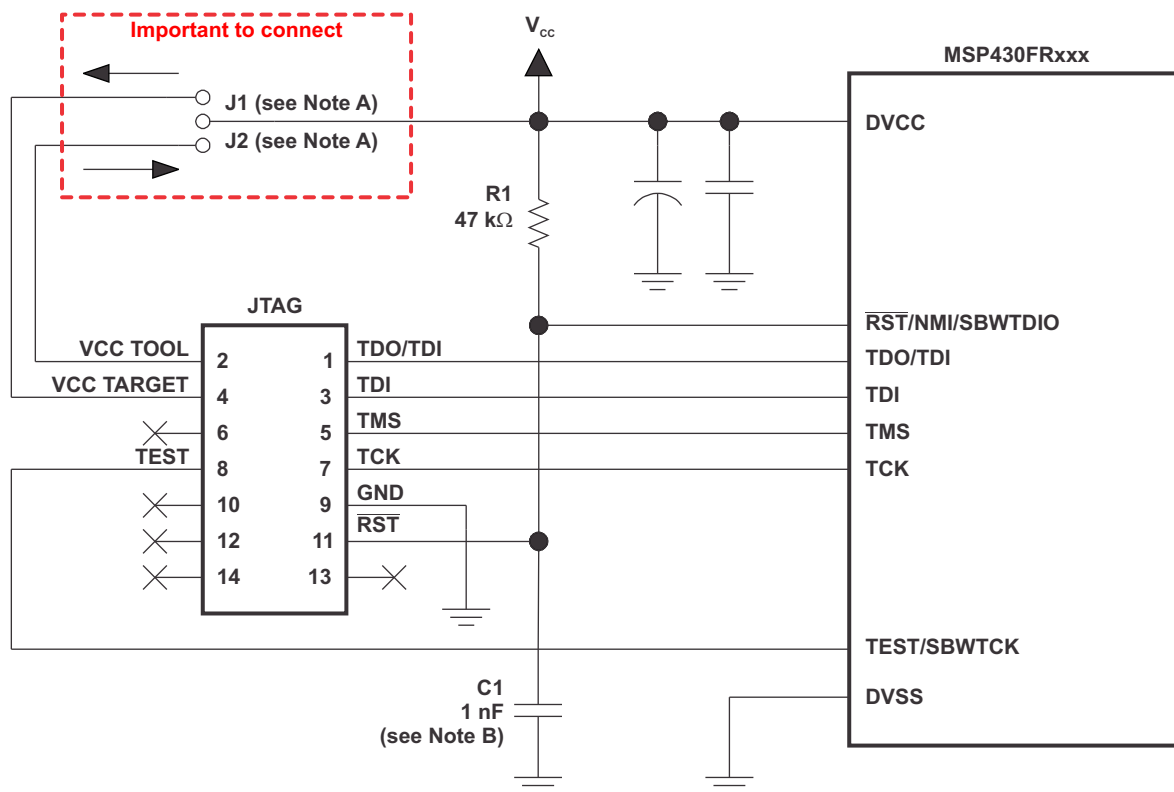
7.1.3 JTAG

正确连接后，可以使用调试器和硬件 JTAG 接口（例如，MSP-FET 或 MSP-FET430UIF）在目标板上编程和调试代码。此外，还支持 MSP-GANG 生产编程器，因此可轻松对原型电路板进行编程（如有需要）。

[Figure 7-3](#) 显示的是 14 引脚 JTAG 连接器与支持 4 线制 JTAG 通信系统内编程和调试所需的目標器件之间的连接。[Figure 7-4](#) 给出了 2 线制 JTAG 模式 (Spy-Bi-Wire) 的连接。

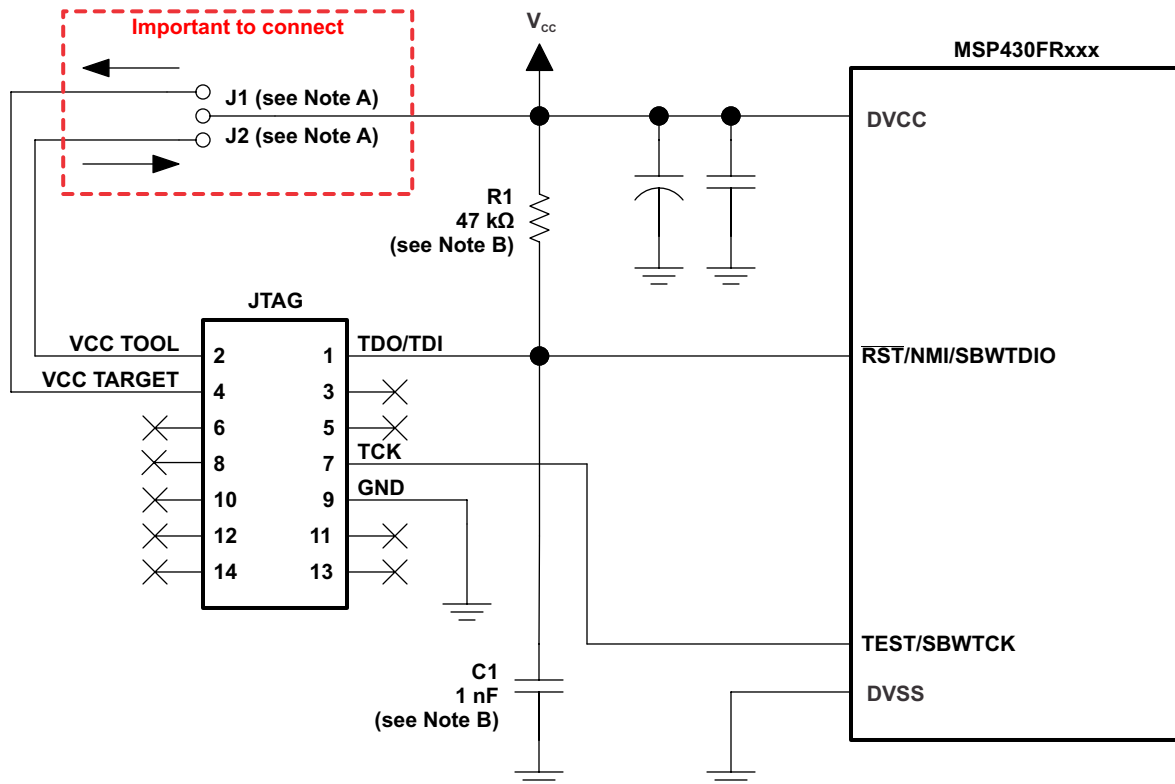
MSP-FET 和 MSP-FET430UIF 接口模块与 MSP-GANG 的连接是相同的。二者均可为目标板提供 VCC (通过引脚 2)。此外, MSP-FET 和 MSP-FET430UIF 接口模块以及 MSP-GANG 都具有 VCC 感测功能,若使用此功能,需要采用替代连接(连接引脚 4,而非引脚 2)。VCC 感测功能会感测目标板上存在的本地 VCC (即,电池或其他本地电源),并会相应地调整输出信号。Figure 7-3 和 Figure 7-4 显示了支持两种为目标板提供 VCC 的场景的跳线块。如果不需要具备这种灵活性,可对所需 VCC 连接进行硬接线,以移除跳线块。引脚 2 和 4 不得同时连接。

有关 JTAG 接口的更多设计信息,请参见《MSP430 硬件工具用户指南》(文献编号:SLAU278)。



- A. 如果使用一个本地目标电源,那么连接 J1。如果使用调试或编程适配器供电,那么连接 J2。
B. 如果使用当前 TI 工具,那么 C1 的上限是 1.1nF。

Figure 7-3. 4 线制 JTAG 通信的信号连接



- A. 如果使用一个本地目标电源，那么连接 J1，或者当使用调试或编程适配器供电时，连接 J2。
- B. JTAG 访问期间，此器件的 $\overline{\text{RST/NMI/SBWTIO}}$ 引脚为 2 线制模式用于与器件进行双向通信，并且任何连接到这个信号上的电容都有可能影响到与器件建立连接的能力。如果使用当前 TI 工具，那么 C1 的上限是 1.1nF。

Figure 7-4. 2 线制 JTAG 通信 (Spy-Bi-Wire) 的信号连接

7.1.4 复位

复位引脚可配置为复位功能（默认），也可以配置为特殊功能寄存器（SFR）中的 NMI 功能，即 SFRRPCR。

在复位模式下， $\overline{\text{RST/NMI}}$ 引脚为低电平有效，对该引脚施加符合复位时序规范的脉冲会引起 BOR 型器件复位。

设置 SYSNMI 会引起 $\overline{\text{RST/NMI}}$ 引脚被配置为一个外部 NMI 源。外部 NMI 是边缘敏感的，其边缘是由 SYSNMIIES 选择的。设置 NMIIIE 能使能外部 NMI 的中断。如果发生外部 NMI 事件，NMIIFG 会置 1。

$\overline{\text{RST/NMI}}$ 引脚可连接上拉电阻或下拉电阻（使能或禁用）。SYSRSTUP 用于选择上拉电阻或下拉电阻，SYSRSTRE 用于使能（默认）或禁用上拉电阻（默认）或下拉电阻。如果未使用 $\overline{\text{RST/NMI}}$ 引脚，则需要选择并使能内部上拉电阻，或者使用 1.1nF 下拉电容将外部 47kΩ 上拉电阻连接至 $\overline{\text{RST/NMI}}$ 引脚。如果所用器件的 Spy-Bi-Wire 接口处于 Spy-Bi-Wire 模式或 4 线制 JTAG 模式，并且使用 FET 接口或 GANG 编程器等 TI 工具，下拉电容不得超过 1.1nF。

有关基准控制寄存器和位的更多信息，请参见器件系列用户指南（文献编号：SLAU367）。

7.1.5 未使用的引脚

有关未使用引脚连接的详细信息，请参见 Section 4.4。

7.1.6 一般布局建议

- 为外部晶振进行正确接地并使用短走线以减小寄生电容。有关建议的布局准则，请参见应用报告《MSP430 32kHz 晶体振荡器》（文献编号：SLAA322）。
- 在 DVCC 和基准引脚（若使用）上连接正确的旁路电容。

- 避免将任何高频信号引到模拟信号线附近。例如，请使数字开关信号（如 PWM 或 JTAG 信号）远离振荡器电路。
- 有关 PCB 布局注意事项的详细讨论，请参见《电路板布局技术》设计指南（文献编号：[SLOA089](#)）。本文档主要针对运算放大器，但其中的准则普遍适用于所有混合信号应用。
- 应考虑使用适当等级的 ESD 保护，以防止器件发生意外的高压静电放电。关于准则，请参见应用报告《MSP430 系统级 ESD 注意事项》（文献编号：[SLAA530](#)）。

7.1.7 注意事项

上电、断电以及器件工作期间，DVCC 不得超过 [绝对最大额定值](#)中规定的限值。如果超出规定的限值，可能导致器件发生故障，包括对 RAM 和 FRAM 执行错误的写操作。

7.2 外设和接口的相关设计信息

7.2.1 ADC 外设

7.2.1.1 部分原理图

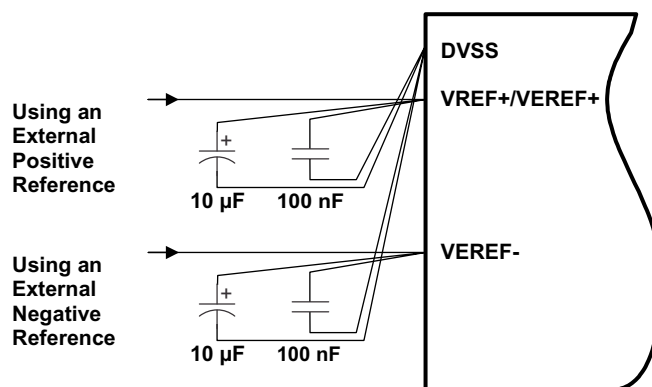


Figure 7-5. ADC 接地和噪声注意事项

7.2.1.2 设计要求

与任何高分辨率 ADC 一样，应遵循适当的印刷电路板布局和接地技术，以消除接地环路，不必要的寄生效应和噪声。

当来自 ADC 的返回电流流经与其他模拟或数字电路的共模的路径时，接地环路就会形成。如果不当心，这个电流会产生小的有害的偏移电压，该电压可以增加或减少 ADC 的基准电压或输入电压。遵循 [Section 7.1.1](#) 中的通用准则并采用 [Section 7.2.1.1](#) 中显示的连接可避免这种情况的发生。

除了接地之外，因数字开关或开关电源而致电源线上出现的纹波和噪声尖峰会影响转换结果。德州仪器 (TI) 建议您选择采用单点连接独立模拟和数字接地层的无噪声设计，以提高精度。

[Figure 7-5](#) 显示了使用外部基准电压时的建议去耦电路。内部基准模块的最大驱动电流如 ADC 引脚使能和 1.2V 基准设置两小节（《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》（文献编号：[SLAU445](#)）所述。

基准电压必须是稳定电压才能实现精确测量。采用通用准则中选择的电容值时，可在基准电压进入器件前过滤掉高频和低频纹波。在这种情况下，使用 10 μF 电容来缓冲基准引脚并过滤任何低频纹波。使用 100 nF 的旁路电容来过滤任何高频噪声。

7.2.1.3 布局准则

部分原理图（请参见 [Figure 7-5](#)）中显示的组件应放置在应尽量靠近相应器件引脚的位置，以免走线过长，因为这些组件会在信号上增加额外的寄生电容、电感和电阻。

避免将模拟输入信号引到高频引脚（例如高频 PWM）附近，因为高频开关可能耦合到模拟信号中。

7.2.2 LCD_E 外设

7.2.2.1 部分原理图

如果使用的显示类型不同（静态或多路复用），不管是使用外部偏置还是内部偏置，也无论是否采用片上电荷泵，所需的 LCD 连接都会有很大的差异。无论使用何种显示，LCD_E 的可配置段 (Sx) 或公用 (COMx) 信号都连接至 MCU，以进行应用软件设计，并可实现最佳 PCB 布局。

由于 LCD 连接特定于应用，因此很难提供一个通用的原理图。不过，要了解将配有 27 个段线（共包含 $4 \times 27 = 108$ 个可单独寻址的 LCD 段）的 4 路复用 LCD 连接至 MSP430FR4133 的示例，可参考 MSP-EXP430FR4133 LaunchPad™ 开发套件 ([MSP-EXP430FR4133](#))。

7.2.2.2 设计要求

由于 LCD_E 外设模块可灵活地适应各种基于段的 LCD，因此将为应用选择正确的显示与确定特定设计要求相结合通常是一个反复的过程。可能已明确定义了相关要求，举例来说，这些要求包括必须控制多少个可单独寻址的 LCD 段、对 LCD 对比度有哪些要求、哪些器件引脚可供 LCD 使用以及其他应用功能需要使用哪些引脚、功率预算是多少。德州仪器 (TI) 强烈建议您在初始设计要求和决策过程中回顾《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》（文献编号：[SLAU445](#)）中的 LCD_E 外设模块一章。[Table 7-1](#) 简单概括了可作出的不同选择及其影响。

Table 7-1. LCD_E 设计选项

选项或特性	影响或用例
多路复用 LCD	- 使用更多段进行显示 - 使用较少器件引脚 - LCD 对比度会随多路复用等级的提高而降低 - 功耗随多路复用等级的提高而增大 - 需要使用多个中间偏置电压
静态 LCD	- 可寻址的段数有限 - 使用的器件引脚数相对较大 - 使用的功耗最低 - 仅使用 V_{CC} 和 GND 驱动 LCD 信号
内部偏置生成	- 更简单的解决方案 - 无外部电路 - 独立于 V_{LCD} 源 - 功耗略高
外部偏置生成	- 需要外部梯形电阻分压器 - 电阻大小取决于显示 - 能够调整驱动强度，以优化功耗与良好驱动较大段之间的权衡（高容性负载） - 外部梯形电阻分压器可通过电容实现稳定，以减少纹波
内部电荷泵	- 有助于确保在电源电压衰减的情况下维持恒定的对比度水平（电池供电应用） - 可编程电压等级可实现由软件驱动的对亮度控制 - 需要在 LCDCAP 引脚上使用外部电容 - 与仅为 LCD 驱动器使用 V_{CC} 相比，电流消耗较高

7.2.2.3 详细设计流程

LCD 解决方案设计过程中的重要组成部分是确定 LCD_E 外设模块与显示器本身之间的准确连接。对于此步骤，可采用两种基本设计过程，但通常推荐使用均衡的协同设计方法：

- 以 PCB 布局为导向的设计
- 以软件为导向的设计

在以 PCB 布局为导向的设计过程中，LCD_E 提供连接至相应 MSP430 器件引脚的可配置段 S_x 和公共 COM_x 信号，这样，PCB 的布线可得到优化，从而最大限度地减少信号交叉，并将信号仅保留在 PCB 的一侧（通常是顶层）。例如，使用多路复用 LCD 时，只要段线与段线交换，公共线与公共线交换，就可以任意地连接 LCD 与 MSP430 器件之间的 S_x 和 COM_x 信号。此外，还可以不连续地连接所有段线，而是跳过 LCD_E 模块段连接，从而优化布局并允许访问可在特殊器件端口引脚上复用的其他功能。但是，采用完全以布局为导向的设计方法可能导致负责打开和关闭段的 LCD_E 模块控制位在 LCD 控制器的存储器映射（LCDMx 寄存器）中散落分布。这种方法可能会为软件设计带来较大负担，还可能因处理 LCD 所需的计算开销而导致能耗增大。

另一种极端方法是完全以软件为导向，这种方法的设计初衷是应将经常一起开关的 LCD 段的控制位共置于同一 LCDMx 寄存器或相邻寄存器的存储空间内。例如，如果使用包含多个 7 段数字的 4 路复用显示，从软件的角度来说，通过对 LCDMx 寄存器的单次字节宽访问控制每个数字的全部 7 个段是非常理想的。并且连续的段会映射到连续的 LCDMx 寄存器。这样就可以使用简单的查找表或软件循环在 LCD 上输出数字，从而减少计算开销并优化应用的能耗。要建立最便捷的存储器布局，需结合所用 LCD 的具体情况，了解其设计限制，例如哪些段以及哪些公共信号会连接至数字。

有关 LCD 控制器输入电压选择（包括内部和外部选项、对比度控制和偏置生成）的设计信息，请参见《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》（文献编号：[SLAU445](#)）中的“LCD_E 控制器”一章。

7.2.2.4 布局准则

LCD 段 (S_x) 和公共 (COM_x) 信号走线会在 LCD 使能的同时连续开关，因此应远离 ADC 输入等敏感的模拟信号，以免发生任何噪声耦合。德州仪器 (TI) 建议按照类似于总线的走线方式将 LCD 信号走线整理到 PCB 的一侧。LCD 走线下方的接地层以及沿 LCD 走线铺设的保护走线可提供屏蔽。

如果使用 LCD 模块的内部电荷泵，则在 LCDCAP0 和 LCDCAP1 引脚上提供的外部电容应尽可能放置在靠近 MCU 的位置上。电容应使用直连短线连接至器件。

关于将 27 段 4 路复用 LCD 连接至 MSP430FR4133 并使用电荷泵功能的示例布局，请参见 MSP-EXP430FR4133 LaunchPad 开发套件 ([MSP-EXP430FR4133](#))。

7.3 典型应用

[Table 7-2](#) 列出的多种 TI 设计反映了 MSP430FR413x 系列器件在不同实际应用场景中的用法。请参考这些设计，了解关于原理图、布局和软件实现的附加指南。要获取可用 TI 设计的最新列表，请参见 [节 8.2.1](#) 中列出的器件特定的产品文件夹。

Table 7-2. TI 设计

设计名称	链接
采用 MSP430FR4xx 实现的温度调节装置	TIDM-FRAM-THERMOSTAT
采用 MSP430FR4xx 实现的水表	TIDM-FRAM-WATERMETER
采用低功耗微控制器实现的空调遥控器	TIDM-REMOTE-CONTROLLER-FOR-AC

8 器件和文档支持

8.1 器件支持

8.1.1 开发工具支持

8.1.1.1 硬件特性

关于可用特性的详细信息，请参见《用于 MSP430 的 Code Composer Studio 用户指南》（文献编号：SLAU157）。

MSP430 架构	4 线制 JTAG	2 线制 JTAG	断点 (N)	范围断点	时钟控制	状态序列发生器	跟踪缓冲器	LPMX.5 调试支持
MSP430Xv2	是	是	3	是	是	否	否	否

8.1.1.2 建议的硬件选项

全部 MSP430™ 微控制器均受多种软件和硬件开发工具的支持。工具由 TI 以及多家第三方供应商提供。具体信息请访问 www.ti.com/msp430tools。

8.1.1.2.1 目标插座板

目标插座板可利用 JTAG 轻松实现器件编程和调试。板上还配有用于原型设计的排针引脚。目标插座板可单独订购，也可以与 JTAG 编程器和调试器一起作为套件订购。下表列出了兼容的目标板以及支持的封装。

封装	目标板和编程器包	仅目标板
64 引脚 LQFP (PM)	MSP-FET430U64D	MSP-TS430PM64D

8.1.1.2.2 实验板

实验板和评估套件可用于部分 MSP430 器件。这类套件配有额外的硬件组件和连接功能，可实现全面的系统评估和原型设计。有关详情，请访问 www.ti.com/msp430tools。

8.1.1.2.3 调试和编程工具

硬件编程和调试工具由 TI 及其第三方供应商提供。要查看完整的可用工具列表，请访问 www.ti.com/msp430tools。

8.1.1.2.4 生产编程器

生产编程器可同时对多个器件进行编程，从而加快将固件载入器件的速度。

部件编号	PC 端口	特性	供应商
MSP-GANG	串行端口和 USB	最多可同时对八个器件进行编程。可配合 PC 操作，也可以作为独立器件使用。	德州仪器 (TI)

8.1.1.3 建议的软件选项

8.1.1.3.1 集成开发环境

软件开发工具由 TI 或第三方供应商提供。另外还提供开源解决方案。

此器件由 Code Composer Studio™ IDE (CCS) 提供支持。

8.1.1.3.2 MSP430Ware

[MSP430Ware](#) 将所有 MSP430 器件的代码示例、数据表以及其他设计资源打包在一起提供给用户。除了提供已有 MSP430 设计资源的完备集合之外，MSP430Ware 还包含名为 MSP430 驱动程序库的高级 API。该库可简化对 MSP430 硬件的编程。MSP430Ware 以 CCS 组件或独立软件包两种形式提供。

8.1.1.3.3 命令行编程器

MSP430 Flasher 是基于 shell 的开源接口，可使用 JTAG 或 Spy-Bi-Wire (SBW) 通信通过 FET 编程器或 eZ430 对 MSP430 微控制器进行编程。MSP430 Flasher 可用于将二进制文件（.txt 或 .hex 文件）直接下载到 MSP430 微控制器中，而无需使用 IDE。

8.1.2 开发支持

8.1.2.1 入门和下一步

关于 MSP430 系列器件以及开发协助工具和库的简介，请访问[入门](#)页面。

8.1.2.2 开发工具支持

8.1.2.2.1 硬件特性

关于可用特性的详细信息，请参见《用于 MSP430 的 Code Composer Studio 用户指南》（文献编号：SLAU157）。

MSP430 架构	4 线制 JTAG	2 线制 JTAG	断点 (N)	范围断点	时钟控制	状态序列发生器	跟踪缓冲器	LPMSX.5 调试支持
MSP430Xv2	是	是	3	是	是	否	否	否

8.1.2.2.2 建议的硬件选项

全部 MSP430™ 微控制器均受多种软件和硬件开发工具的支持。工具由 TI 以及多家第三方供应商提供。具体信息请访问 www.ti.com/msp430tools。

8.1.2.2.2.1 目标插座板

目标插座板可利用 JTAG 轻松实现器件编程和调试。板上还配有用于原型设计的排针引脚。目标插座板可单独订购，也可以与 JTAG 编程器和调试器一起作为套件订购。下表列出了兼容的目标板以及支持的封装。

封装	目标板和编程器包	仅目标板
64 引脚 LQFP (PM)	MSP-FET430U64D	MSP-TS430PM64D

8.1.2.2.2.2 实验板

实验板和评估套件可用于部分 MSP430 器件。这类套件配有额外的硬件组件和连接功能，可实现全面的系统评估和原型设计。有关详情，请访问 www.ti.com/msp430tools。

8.1.2.2.2.3 调试和编程工具

硬件编程和调试工具由 TI 及其第三方供应商提供。要查看完整的可用工具列表，请访问 www.ti.com/msp430tools。

8.1.2.2.2.4 生产编程器

生产编程器可同时对多个器件进行编程，从而加快将固件载入器件的速度。

部件编号	PC 端口	特性	供应商
MSP-GANG	串行端口和 USB	最多可同时对八个器件进行编程。可配合 PC 操作，也可以作为独立器件使用。	德州仪器 (TI)

8.1.2.2.3 建议的软件选项

8.1.2.2.3.1 集成开发环境

软件开发工具由 TI 或第三方供应商提供。另外还提供开源解决方案。

此器件由 Code Composer Studio™ IDE (CCS) 提供支持。

8.1.2.2.3.2 MSP430Ware

MSP430Ware 将所有 MSP430 器件的代码示例、数据表以及其他设计资源打包在一起提供给用户。除了提供已有 MSP430 设计资源的完备集合之外，MSP430Ware 还包含名为 MSP430 驱动程序库的高级 API。该库可简化对 MSP430 硬件的编程。MSP430Ware 以 CCS 组件或独立软件包两种形式提供。

8.1.2.2.3.3 命令行编程器

MSP430 Flasher 是基于 shell 的开源接口，可使用 JTAG 或 Spy-Bi-Wire (SBW) 通信通过 FET 编程器或 eZ430 对 MSP430 微控制器进行编程。MSP430 Flasher 可用于将二进制文件 (.txt 或 .hex 文件) 直接下载到 MSP430 微控制器中，而无需使用 IDE。

8.1.3 器件和开发工具命名规则

为了指出产品开发周期所处的阶段，TI 为所有 MSP430 MCU 器件和支持工具的产品型号分配了前缀。每个 MSP430 MCU 商用系列产品成员具有以下三个前缀中的一个：MSP，PMS 或 XMS（例如，MSP430F4133）。德州仪器 (TI) 建议为其支持的工具使用三个可能前缀指示符中的两个：MSP 和 MSPX。这些前缀代表了产品从工程原型机（其中 XMS 针对器件，而 MSPX 针对工具）直到完全合格的生产器件和工具（其中 MSP 针对器件，而 MSP 针对工具）的产品开发进化阶段。

器件开发进化流程：

XMS - 试验器件不一定代表最终器件的电气技术规格

MSP - 完全合格的生产器件

支持工具开发进化流程：

MSPX - 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

MSP - 完全合格的开发支持产品

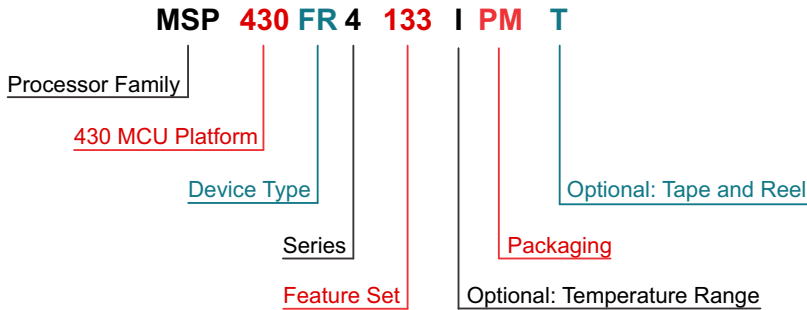
XMS 器件和 MSPX 器件开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

MSP 器件和 MSP 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (XMS) 的故障率大于标准生产器件。由于这些器件的预计最终使用故障率仍未定义，德州仪器 (TI) 建议不要将它们用于任何生产系统。只有合格的产品器件将被使用。

TI 器件的命名规则也包括一个带有器件系列名称的后缀。这个后缀表示封装类型（例如，RTQ）和温度范围（例如，T）。图 8-1 提供了读取任一系列产品成员完整器件名称的图例。



Processor Family	MSP = Mixed-Signal Processor XMS = Experimental Silicon	
430 MCU Platform	TI's 16-Bit Low-Power Microcontroller Platform	
Device Type	Memory Type FR = FRAM	
Series	FRAM 4 Series = Up to 16 MHz with LCD FRAM 2 Series = Up to 16 MHz without LCD	
Feature Set	1st and 2nd Digit – ADC Channels / 16-bit Timers / I/Os 13 = Up to 10 / 3 / Up to 60	3rd Digit – FRAM (KB) / SRAM (KB) 3 = 16 / 2 2 = 8 / 1 1 = 4 / 0.5
Optional: Temperature Range	S = 0°C to 50°C C = 0°C to 70°C I = -40°C to 85°C T = -40°C to 105°C	
Packaging	http://www.ti.com/packaging	
Optional: Distribution Format	T = Small reel R = Large reel No Marking = Tube or Tray	

图 8-1. 器件命名规则

8.2 文档支持

以下文档描述了 MSP430FR413x 微控制器。www.ti.com.cn 网站上提供了这些文档的副本。

- SLAU445** 《MSP430FR4xx 和 MSP430FR2xx 系列用户指南》。详细介绍这款器件系列提供的所有模块和外设。
- SLAZ550** **MSP430FR4133** 器件勘误表。描述了针对这款器件的所有芯片修订版本功能技术规格的已知例外情况。
- SLAZ551** **MSP430FR4132** 器件勘误表。描述了针对这款器件的所有芯片修订版本功能技术规格的已知例外情况。
- SLAZ552** **MSP430FR4131** 器件勘误表。描述了针对这款器件的所有芯片修订版本功能技术规格的已知例外情况。

8.2.1 相关链接

表 8-1 列出了快速访问链接。范围包括技术文档、支持与社区资源、工具和软件，并且可以快速访问样片或购买链接。

表 8-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持与社区
MSP430FR4133	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
MSP430FR4132	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
MSP430FR4131	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

8.2.2 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参见 TI 的《使用条款》。

TI E2E™ 社区

TI 的工程师交流 (E2E) 社区。此社区的创建目的是为了促进工程师之间协作。在 [e2e.ti.com](#) 中，您可以提问、共享知识、拓展思路，在同领域工程师的帮助下解决问题。

TI 嵌入式处理器维基网页

德州仪器 (TI) 嵌入式处理器维基网页。此网站的建立是为了帮助开发人员熟悉德州仪器 (TI) 的嵌入式处理器，并且也为了促进与这些器件相关的硬件和软件的总体知识的创新和增长。

8.3 商标

MSP430, LaunchPad, Code Composer Studio, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

8.4 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 出口管制提示

接收方同意：如果美国或其他适用法律限制或禁止将通过非披露义务的披露方获得的任何产品或技术数据（其中包括软件）（见美国、欧盟和其他出口管理条例之定义）、或者其他适用国家条例限制的任何受管制产品或此项技术的任何直接产品出口或再出口至任何目的地，那么在没有事先获得美国商务部和其他相关政府机构授权的情况下，接收方不得在知情的情况下，以直接或间接的方式将其出口。

8.6 术语表

[SLYZ022](#) — TI 术语表。

这份术语表列出并解释术语、首字母缩略词和定义。

9 机械、封装和可订购信息

9.1 封装信息

以下页中包括机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。欲获得该数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430FR4131IG48	ACTIVE	TSSOP	DGG	48	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4131	Samples
MSP430FR4131IG48R	ACTIVE	TSSOP	DGG	48	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4131	Samples
MSP430FR4131IG56	ACTIVE	TSSOP	DGG	56	35	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4131	Samples
MSP430FR4131IG56R	ACTIVE	TSSOP	DGG	56	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4131	Samples
MSP430FR4131IPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4131	Samples
MSP430FR4132IG48	ACTIVE	TSSOP	DGG	48	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4132	Samples
MSP430FR4132IG48R	ACTIVE	TSSOP	DGG	48	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4132	Samples
MSP430FR4132IG56	ACTIVE	TSSOP	DGG	56	35	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4132	Samples
MSP430FR4132IG56R	ACTIVE	TSSOP	DGG	56	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4132	Samples
MSP430FR4132IPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4132	Samples
MSP430FR4133IG48	ACTIVE	TSSOP	DGG	48	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4133	Samples
MSP430FR4133IG48R	ACTIVE	TSSOP	DGG	48	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4133	Samples
MSP430FR4133IG56	ACTIVE	TSSOP	DGG	56	35	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4133	Samples
MSP430FR4133IG56R	ACTIVE	TSSOP	DGG	56	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4133	Samples
MSP430FR4133IPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4133	Samples
MSP430FR4133IPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	FR4133	Samples

⁽¹⁾ The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

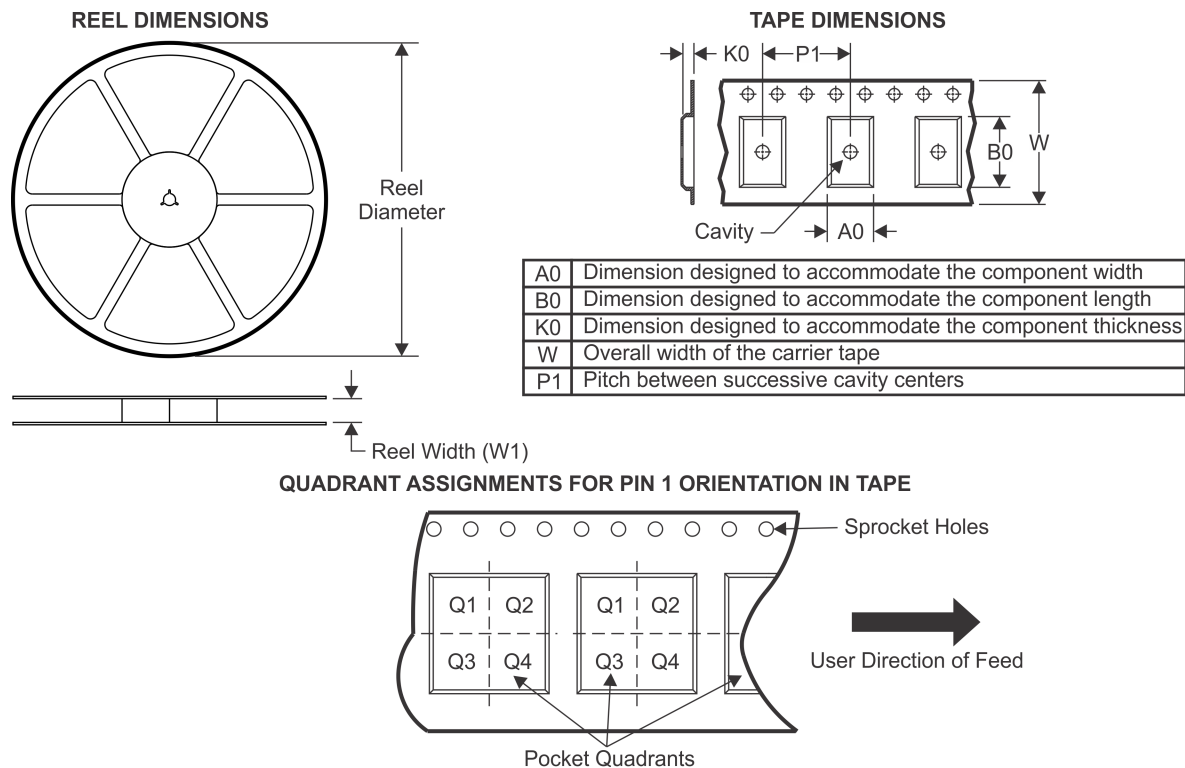
⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

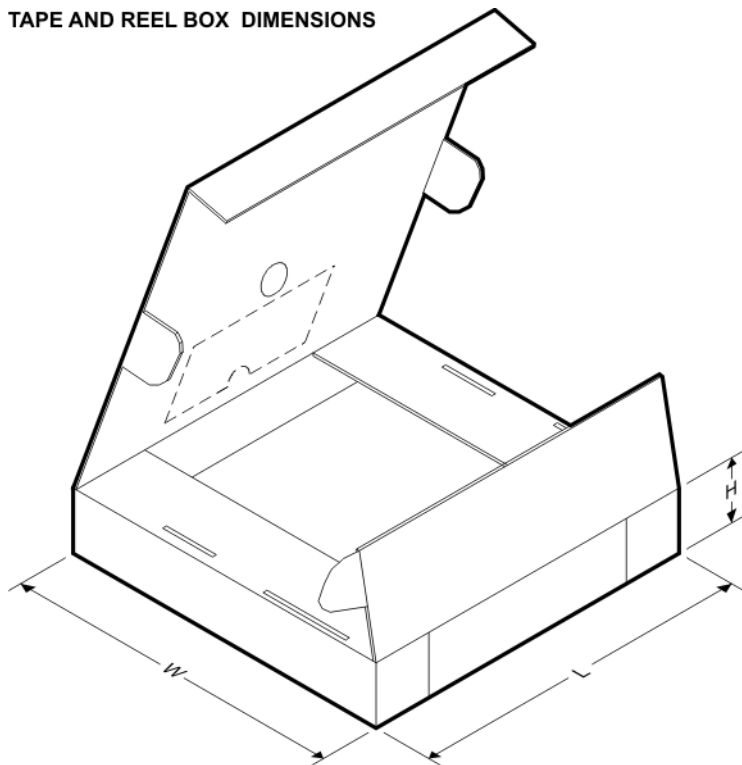
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

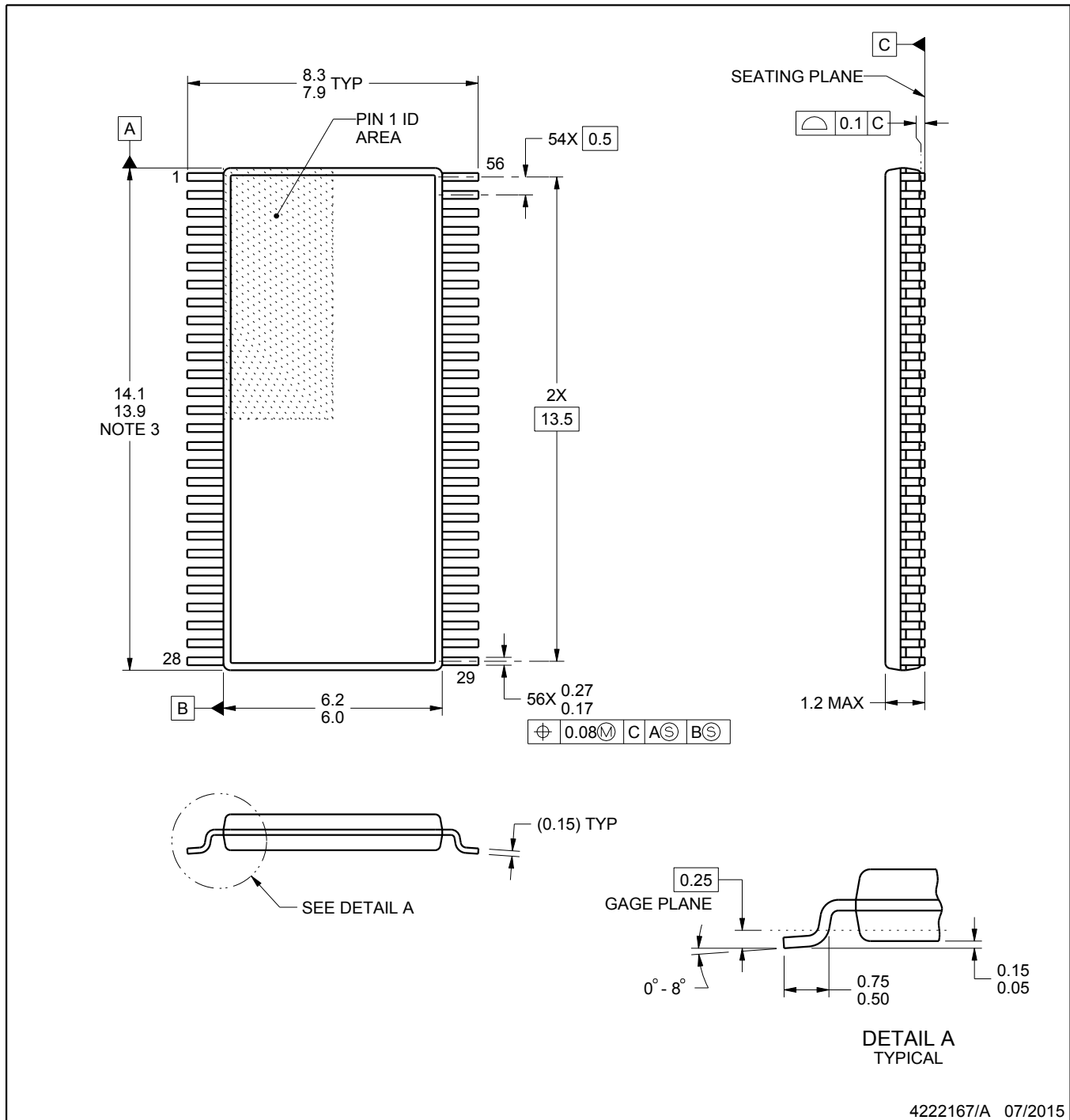
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430FR4131IG48R	TSSOP	DGG	48	2000	330.0	24.4	8.6	15.8	1.8	12.0	24.0	Q1
MSP430FR4131IG56R	TSSOP	DGG	56	2000	330.0	24.4	8.6	15.6	1.8	12.0	24.0	Q1
MSP430FR4131IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430FR4132IG48R	TSSOP	DGG	48	2000	330.0	24.4	8.6	15.8	1.8	12.0	24.0	Q1
MSP430FR4132IG56R	TSSOP	DGG	56	2000	330.0	24.4	8.6	15.6	1.8	12.0	24.0	Q1
MSP430FR4132IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430FR4133IG48R	TSSOP	DGG	48	2000	330.0	24.4	8.6	15.8	1.8	12.0	24.0	Q1
MSP430FR4133IG56R	TSSOP	DGG	56	2000	330.0	24.4	8.6	15.6	1.8	12.0	24.0	Q1
MSP430FR4133IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430FR4131IG48R	TSSOP	DGG	48	2000	367.0	367.0	45.0
MSP430FR4131IG56R	TSSOP	DGG	56	2000	367.0	367.0	45.0
MSP430FR4131IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430FR4132IG48R	TSSOP	DGG	48	2000	367.0	367.0	45.0
MSP430FR4132IG56R	TSSOP	DGG	56	2000	367.0	367.0	45.0
MSP430FR4132IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430FR4133IG48R	TSSOP	DGG	48	2000	367.0	367.0	45.0
MSP430FR4133IG56R	TSSOP	DGG	56	2000	367.0	367.0	45.0
MSP430FR4133IPMR	LQFP	PM	64	1000	367.0	367.0	45.0



4222167/A 07/2015

NOTES:

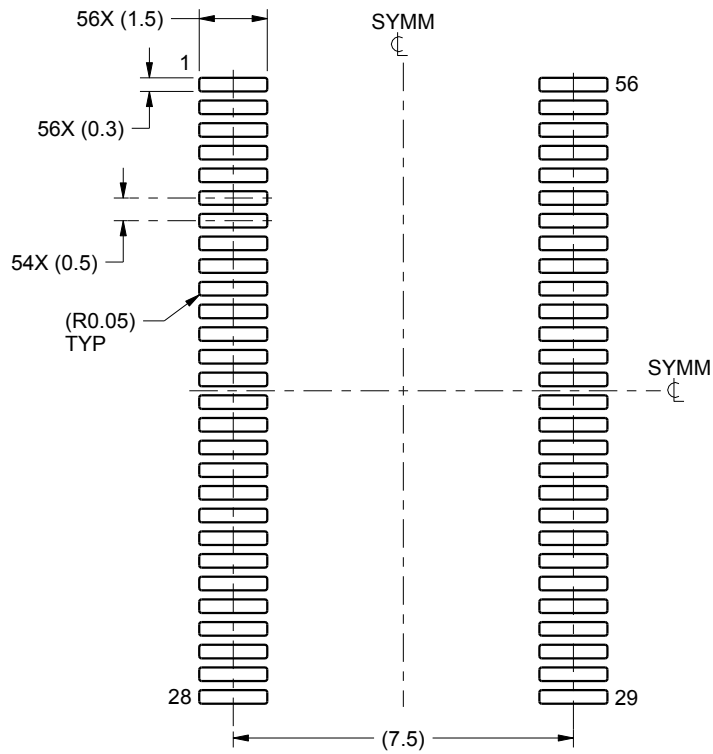
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

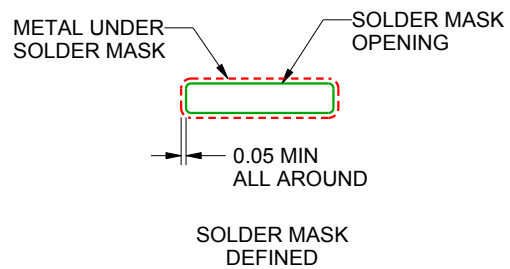
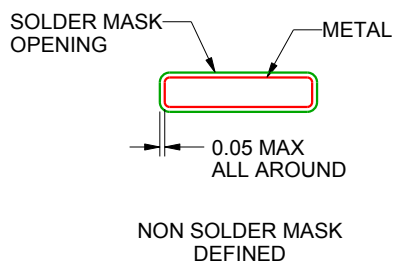
DGG0056A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4222167/A 07/2015

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

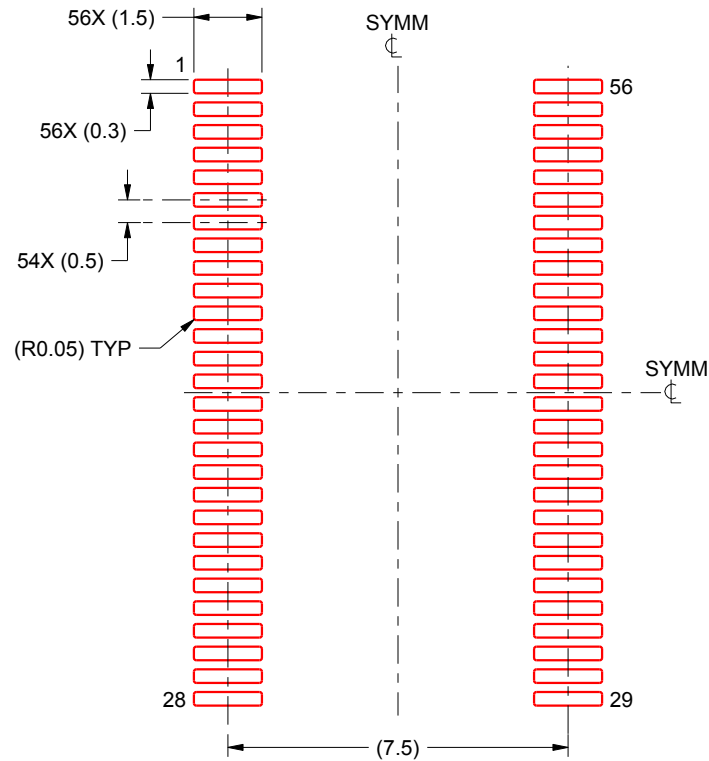
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGG0056A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4222167/A 07/2015

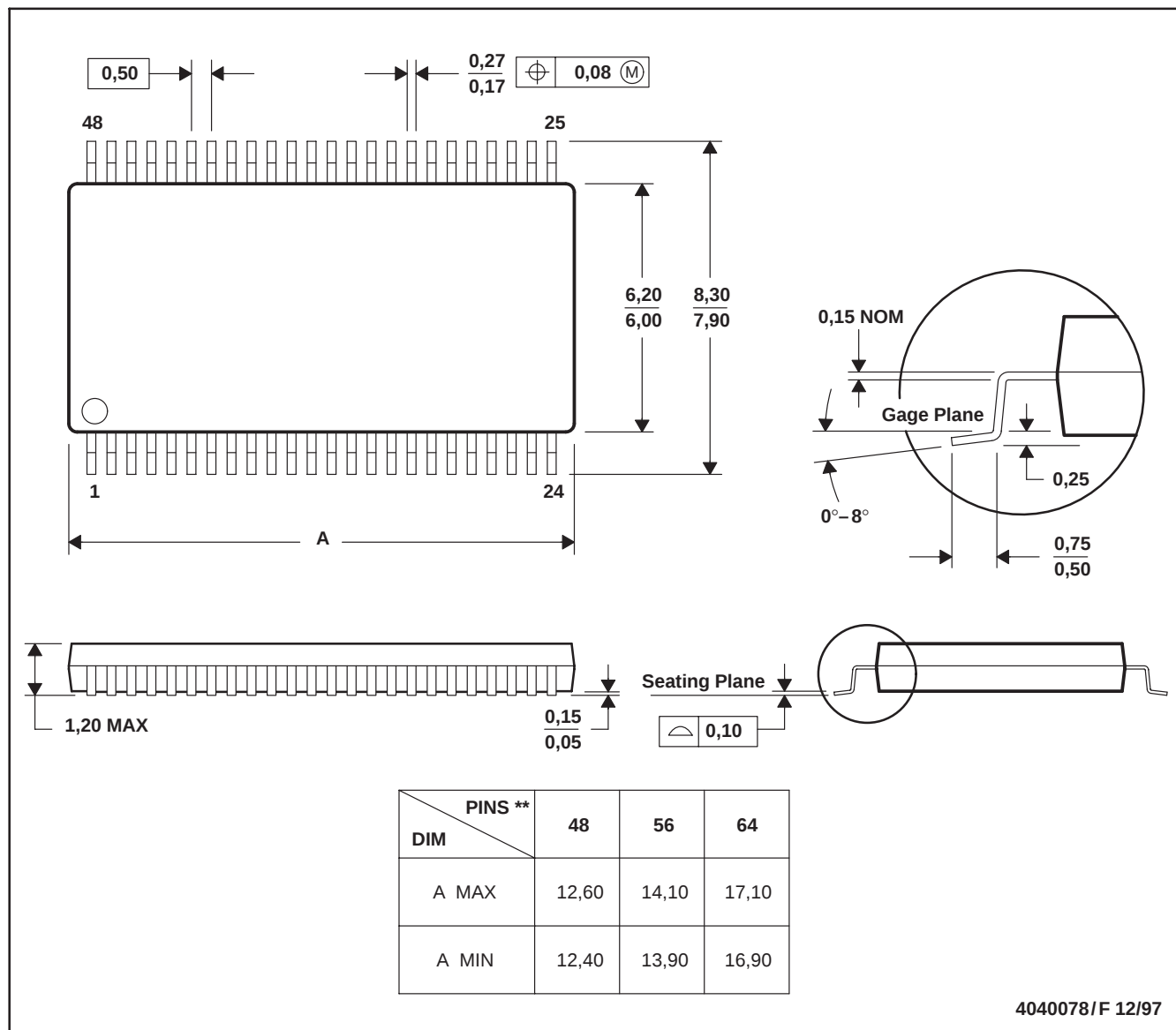
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGG (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

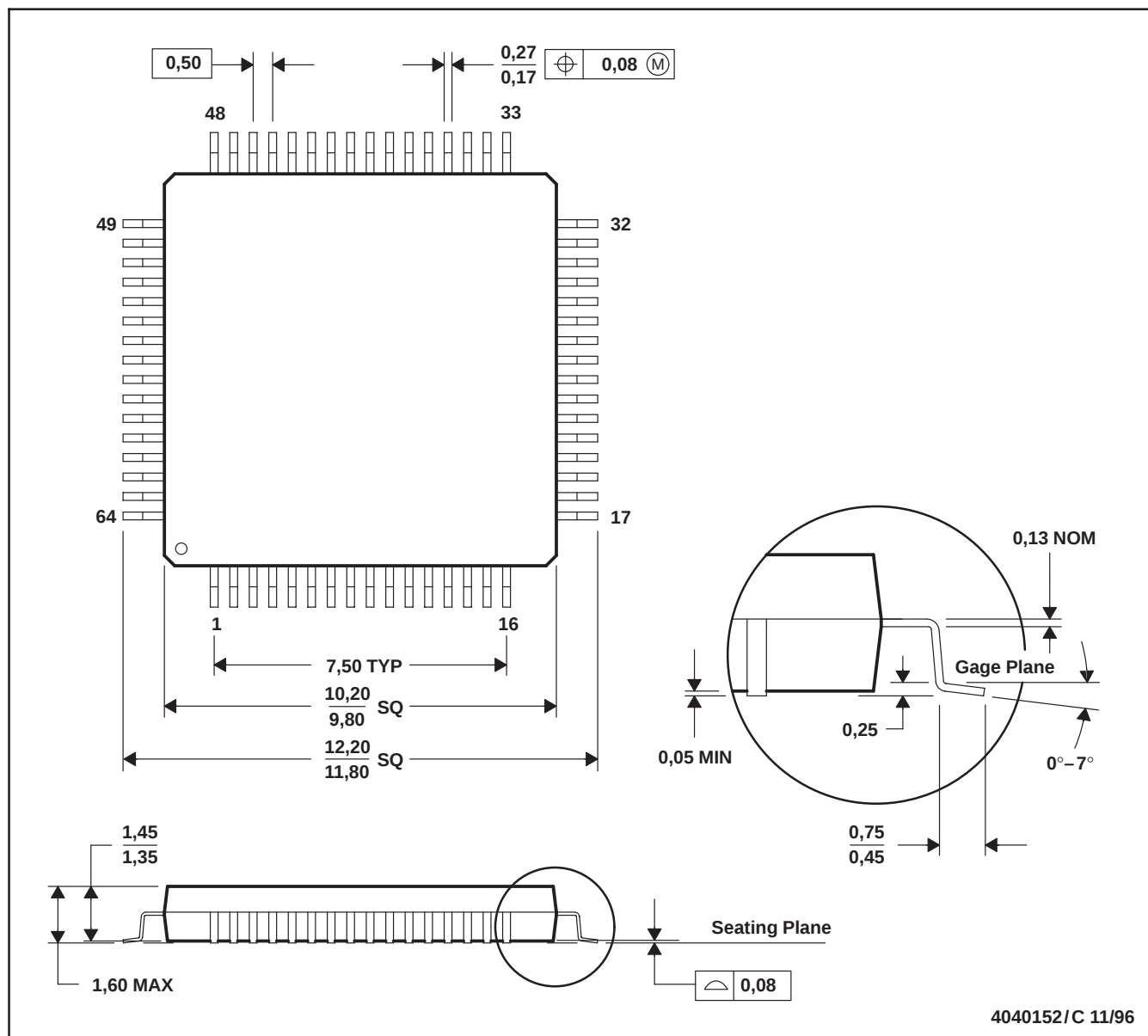
48 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-153

PM (S-PQFP-G64)

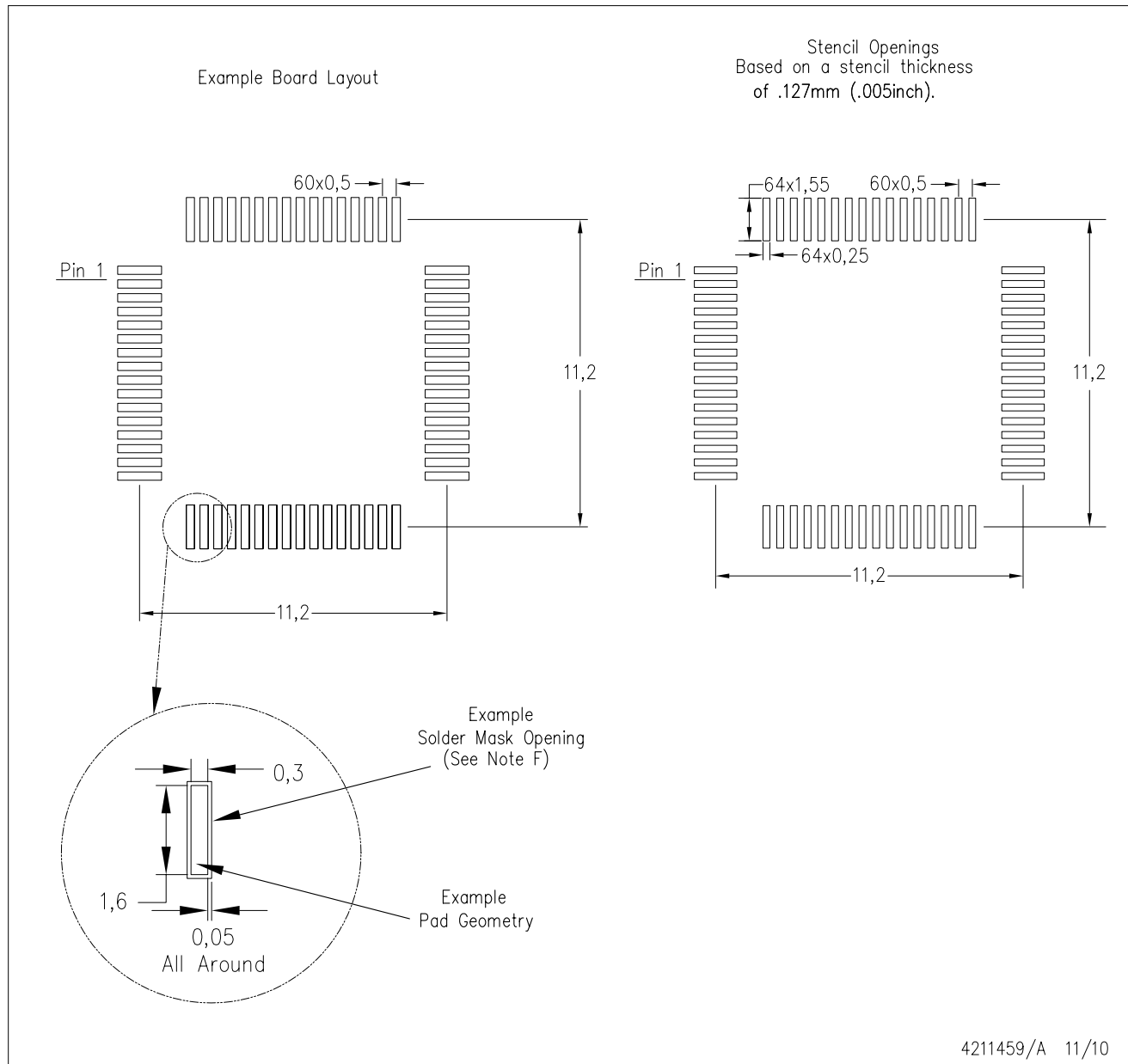
PLASTIC QUAD FLATPACK



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-026
 - D. May also be thermally enhanced plastic with leads connected to the die pads.

PM (S-PQFP-G64)

PLASTIC QUAD FLATPACK



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

有关 TI 设计信息和资源的重要通知

德州仪器 (TI) 公司提供的技术、应用或其他设计建议、服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用；如果您（个人，或如果是代表贵公司，则为贵公司）以任何方式下载、访问或使用了任何特定的 TI 资源，即表示贵方同意仅为该等目标，按照本通知的条款进行使用。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。

您理解并同意，在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，以及您的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。您就您的应用声明，您具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。您同意，在使用或分发包含 TI 产品的任何应用前，您将彻底测试该等应用和该等应用所用 TI 产品的功能。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

您只有在为开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关单项 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等产权包括但不限于任何专利权、版权、屏蔽作品权或与使用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对 TI 资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。

TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为您辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

您同意向 TI 及其代表全额赔偿因您不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

本通知适用于 TI 资源。另有其他条款适用于某些类型的材料、TI 产品和服务的使用和采购。这些条款包括但不限于适用于 TI 的半导体产品 (<http://www.ti.com/sc/docs/stdterms.htm>)、[评估模块](#)和样品 (<http://www.ti.com/sc/docs/sampters.htm>) 的标准条款。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司