

ADP165/ADP166

产品特性

超低静态电流

$$I_Q = 590 \text{ nA} (0 \mu\text{A 负载})$$

$$I_Q = 890 \text{ nA} (1 \mu\text{A 负载})$$

低压差下保持超低静态电流(导通模式)

$$I_{Q_DROP} = 720 \text{ nA} (0 \mu\text{A 负载})$$

$$I_{Q_DROP} = 1200 \text{ nA} (1 \mu\text{A 负载})$$

在 $1 \mu\text{F} \pm 30\%$ 陶瓷输入和输出电容下稳定工作

最大工作负载电流(I_{LOAD_MAX}): 150 mA

输入电压范围: 2.2 V至5.5 V

低关断电流: 50 nA(典型值)

低压差: 120 mV(150 mA负载)

初始输出电压精度: $\pm 1\%$

在整个线路、负载与温度范围内的精度: $\pm 3.5\%$

7种固定输出电压选项: 1.2 V至3.3 V

可调输出电压选项可以在1.0 V至4.2 V范围内进行设置

电源抑制比(PSRR): 72 dB(100 Hz, $V_{OUT} = 1.2 \text{ V}$)

限流和热过载保护

逻辑控制使能

集成输出放电电阻

三种封装选择

5引脚TSOT封装

6引脚、2 mm x 2 mm LFCSP封装

4引脚、0.5 mm间距WLCSP封装

应用

便携式和电池供电设备

后置DC-DC调节

便携式医疗设备

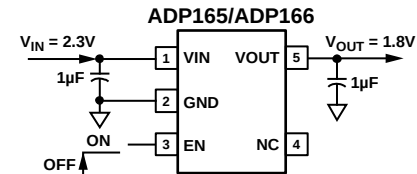
无线传感器网络(WSN)设备

概述

ADP165/ADP166均为超低静态电流、低压差(LDO)线性稳压器, 工作电压为2.2 V至5.5 V, 输出电流最高可达150 mA。驱动150 mA负载时压差仅为120 mV; 低压差特性不仅可提高效率, 而且能使器件在宽输入电压范围工作。

ADP165/ADP166经过专门设计, 利用 $1 \mu\text{F} \pm 30\%$ 小陶瓷输入和输出电容便可稳定工作, 适应高性能、空间受限应用的要求。

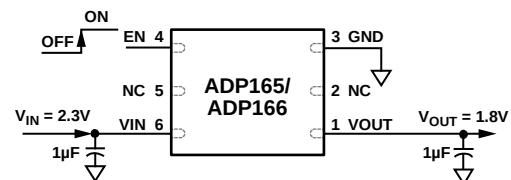
典型应用电路



NOTES

1. NC = NO CONNECT. NOT CONNECTED INTERNALLY.

图1. 5引脚TSOT封装ADP165/ADP166, 固定输出电压1.8 V



NOTES

1. NC = NO CONNECT. NOT CONNECTED INTERNALLY.

图2. 6引脚、2 mm x 2 mm LFCSP封装ADP165/ADP166, 固定输出电压1.8 V

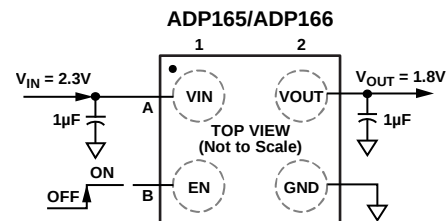


图3. 4引脚WLCSP封装ADP165/ADP166, 固定输出电压1.8 V

ADP165/ADP166提供7个1.2 V至3.3 V范围内的固定输出电压选项, 以及1个可调输出选项。ADP165还包括一个开关电阻, 当LDO禁用时, 该电阻自动使输出放电。ADP166不包括输出放电功能, 其余与ADP165完全相同。

短路和热过载保护电路可以防止器件在不利条件下受损。ADP165/ADP166提供5引脚TSOT、6引脚LFCSP, 以及4引脚、0.5 mm间距WLCSP三种小型封装, 是适合各种便携式供电应用的最小尺寸解决方案。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	工作原理	13
应用	1	应用信息	15
典型应用电路	1	电容选择	15
概述	1	使能特性	16
修订历史	2	欠压闭锁(UVLO)	16
技术规格	3	限流和热过载保护	16
推荐规格：输入和输出电容	4	散热考虑	17
绝对最大额定值	5	PCB布局考虑	20
热数据	5	WLCSP封装的光敏感度	21
热阻	5	外形尺寸	22
ESD警告	5	订购指南	23
引脚配置和功能描述	6		
典型性能参数	9		

修订历史

2014年11月 — 修订版0至修订版A

更改“产品特性”部分	1
更改“工作原理”部分	13

2014年9月—修订版0：初始版

技术规格

除非另有说明, $V_{IN} = (V_{OUT} + 0.5 \text{ V})$ 或 2.2 V (取较大者), $EN = V_{IN}$, $I_{OUT} = 10 \text{ mA}$, $C_{IN} = C_{OUT} = 1 \mu\text{F}$, $T_A = 25^\circ\text{C}$, 最小值/最大值规格的 $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入电压范围	V_{IN}	$T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	2.2		5.5	V
工作电源电流	I_Q	$I_{OUT} = 0 \mu\text{A}$, $T_A = 25^\circ\text{C}$ $I_{OUT} = 0 \mu\text{A}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 1 \mu\text{A}$, $T_A = 25^\circ\text{C}$ $I_{OUT} = 1 \mu\text{A}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 100 \mu\text{A}$, $T_A = 25^\circ\text{C}$ $I_{OUT} = 100 \mu\text{A}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 10 \text{ mA}$, $T_A = 25^\circ\text{C}$ $I_{OUT} = 150 \text{ mA}$, $T_A = 25^\circ\text{C}$		590	1250	nA
					2.4	μA
				890	1800	nA
					3.0	μA
				2.6	4.8	μA
					6.2	μA
				11	19	μA
				42	65	μA
低压差下(导通模式)的电源电流	I_{Q_DROP}	$I_{OUT} = 0 \mu\text{A}$, $V_{IN} = V_{OUT} - 0.2 \text{ V}$, $T_A = 25^\circ\text{C}$ $I_{OUT} = 0 \mu\text{A}$, $V_{IN} = V_{OUT} - 0.2 \text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 1 \mu\text{A}$, $V_{IN} = V_{OUT} - 0.2 \text{ V}$, $T_A = 25^\circ\text{C}$ $I_{OUT} = 1 \mu\text{A}$, $V_{IN} = V_{OUT} - 0.2 \text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		720	1600	nA
					2.7	μA
				1200	2400	nA
					3.5	μA
关断电流	I_{GND_SD}	$EN = \text{GND}$ $EN = \text{GND}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		50		nA
					1	μA
固定输出电压精度	$V_{OUT_ACCURACY}$	$I_{OUT} = 10 \text{ mA}$, $T_A = 25^\circ\text{C}$ $0 \mu\text{A} < I_{OUT} < 150 \text{ mA}$, $V_{IN} = (V_{OUT} + 0.5 \text{ V})$ 至 5.5 V , $T_A = 25^\circ\text{C}$ $0 \mu\text{A} < I_{OUT} < 150 \text{ mA}$, $V_{IN} = (V_{OUT} + 0.5 \text{ V})$ 至 5.5 V , $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-1		+1	%
			-2		+2	%
			-3.5		+3.5	%
ADJ引脚电压精度 ¹	V_{ADJ}	$I_{OUT} = 10 \text{ mA}$ $0 \mu\text{A} < I_{OUT} < 150 \text{ mA}$, $V_{IN} = (V_{OUT} + 0.5 \text{ V})$ 至 5.5 V $0 \mu\text{A} < I_{OUT} < 150 \text{ mA}$, $V_{IN} = (V_{OUT} + 0.5 \text{ V})$ 至 5.5 V , $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	0.99	1.0	1.01	V
			0.98		1.02	V
			0.97		1.03	V
调整率						
电压调整率	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.5 \text{ V})$ 至 5.5 V , $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-0.1		+0.1	%/V
负载调整率 ²	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100 \mu\text{A}$ 至 150 mA		0.004	0.01	%/mA
压差 ³	$V_{DROPOUT}$	$V_{OUT} = 3.3 \text{ V}$ $I_{OUT} = 10 \text{ mA}$ $I_{OUT} = 150 \text{ mA}$		45	110	mV
				120	225	mV
ADJ引脚输入偏置电流	ADJ_{I-BIAS}	$2.2 \text{ V} \leq V_{IN} \leq 5.5 \text{ V}$, ADJ连接至VOUT		10		nA
有效下拉电阻(ADP165)	$R_{PULL-DOWN}$	$V_{OUT} = 3.3 \text{ V}$, $R_{LOAD} = \infty$		300	600	Ω
启动时间 ⁴	$T_{START-UP}$	$V_{OUT} = 3.3 \text{ V}$		1100		μs
最大工作负载电流	I_{LOAD_MAX}			150		mA
限流阈值 ⁵	I_{LIMIT}		215	320	500	mA
热关断						
热关断阈值	TS_{SD}	T_J 上升		150		$^\circ\text{C}$
热关断迟滞	TS_{SD-HYS}			15		$^\circ\text{C}$
EN输入						
EN输入逻辑高电平	V_{IH}	$2.2 \text{ V} \leq V_{IN} \leq 5.5 \text{ V}$	1.2			V
EN输入逻辑低电平	V_{IL}	$2.2 \text{ V} \leq V_{IN} \leq 5.5 \text{ V}$			0.4	V
EN输入漏电流	$V_{I-LEAKAGE}$	$EN = V_{IN}$ 或 GND $EN = V_{IN}$ 或 GND, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0.1		μA
					1	μA

ADP165/ADP166

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
欠压闭锁(UVLO) 输入电压上升 输入电压下降 迟滞	UVLO _{RISE} UVLO _{FALL} UVLO _{HYS}		1.60		2.19	V V mV
输出噪声	OUT _{NOISE}	10 Hz至100 kHz, V _{IN} = 5 V, V _{OUT} = 3.3 V 10 Hz至100 kHz, V _{IN} = 5 V, V _{OUT} = 2.5 V 10 Hz至100 kHz, V _{IN} = 5 V, V _{OUT} = 1.2 V		105 100 80		μV rms μV rms μV rms
电源抑制比	PSRR	100 Hz, V _{IN} = 5 V, V _{OUT} = 3.3 V 100 Hz, V _{IN} = 5 V, V _{OUT} = 2.5 V 100 Hz, V _{IN} = 5 V, V _{OUT} = 1.2 V 1 kHz, V _{IN} = 5 V, V _{OUT} = 3.3 V 1 kHz, V _{IN} = 5 V, V _{OUT} = 2.5 V 1 kHz, V _{IN} = 5 V, V _{OUT} = 1.2 V		60 65 72 50 50 62		dB dB dB dB dB dB

¹ VOUT直接连接至ADJ时的精度。当VOUT电压由外部反馈电阻设置时，调节模式下的绝对精度取决于所用电阻的容差。
² 基于使用0 μA和150 mA负载的端点计算。
³ 压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。仅适用于高于2.2 V的输出电压。
⁴ 启动时间定义为EN的上升沿到VOUT达到其标称值90%的时间。
⁵ 限流阈值定义为输出电压降至额定典型值90%时的电流。例如，3.0 V输出电压的电流限值定义为引起输出电压降至3.0 V的90%或2.7 V的电流。

推荐规格：输入和输出电容

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入和输出电容						
最小输入和输出电容 ¹	C _{IN} ; C _{OUT}	C _{IN} 和C _{OUT} 容差 = ±30%, T _A = -40°C至+125°C	0.7	1		μF
电容等效串联电阻(ESR)	R _{ESR}	T _A = -40°C至+125°C	0.001		0.2	Ω

¹ 在所有工作条件下，输入和输出电容必须大于0.7 μF。选择器件时必须考虑应用的所有工作条件，确保达到最小电容要求。
建议使用X7R型和X5R型电容，但不建议使用Y5V和Z5U电容。

绝对最大额定值

表3.

参数	额定值
VIN至GND	−0.3 V至+6.5 V
VOUT至GND	−0.3 V至VIN
EN至GND	−0.3 V至VIN
ADJ至GND	−0.3 V至VIN
NC至GND	−0.3 V至VIN
存储温度范围	−65°C至+150°C
工作结温范围	−40°C至+125°C
工作环境温度范围	−40°C至+125°C
焊接条件	JEDEC J-STD-020

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热数据

绝对最大额定值仅适合单独应用，但不适合组合使用。超过结温限值，可致ADP165/ADP166损坏。监控环境温度并不能保证结温(T_J)处于额定温度限值内。在功耗高、热阻差的应用中，可能必须降低最大环境温度。

在功耗中等且印刷电路板(PCB)热阻较低的应用中，只要结温在额定限值以内，则最高环境温度可以超过最大值。T_J取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。

最大T_J由T_A和P_D计算得出，公式如下：

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结至环境热阻(θ_{JA})基于使用4层板的建模和计算方法，主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。θ_{JA}的值可能随PCB材料、布局和环境条件不同而异。θ_{JA}额定值基于一个4层、4英寸×3英寸电路板。有关电路板结构的详细信息，请参考JESD 51-7和JESD 51-9。

Ψ_{JB}是结至板热特性参数，单位为°C/W。封装的Ψ_{JB}基于使用4层板的建模和计算方法。JESD51-12“报告和使用电子封装热信息指南”中声明，热特性参数与热阻不同。Ψ_{JB}衡量沿多条热路径流动的器件功率，而热阻θ_{JB}只涉及一条路径。因此，Ψ_{JB}热路径包括来自封装顶部的对流和封装的辐射，这些因素使得Ψ_{JB}在现实应用中更有用。最大T_J由板温T_B和P_D计算得出，公式如下：

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关Ψ_{JB}的更详细信息，请参考JESD51-8和JESD51-12。

热阻

θ_{JA}和Ψ_{JB}针对最差条件，即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ _{JA}	Ψ _{JB}	单位
5引脚 TSOT	170	43	°C/W
6引脚 LFCSP	50.2	18.2	°C/W
4引脚、0.4 mm间距WLCSP	260	58	°C/W

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

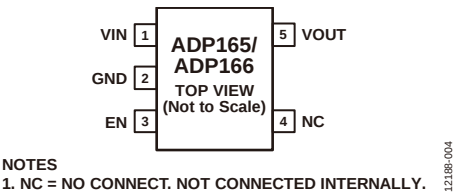


图4. 固定输出5引脚TSOT封装引脚配置

表5. 固定输出5引脚TSOT封装引脚功能描述

引脚编号	引脚名称	说明
1	VIN	稳压器输入电源。使用1 μ F或更大的电容旁路VIN至GND。
2	GND	地。
3	EN	使能输入。将EN接到高电平，稳压器启动；将EN接到低电平，稳压器关闭。若要实现自动启动，请将EN接VIN。
4	NC	不连接。此引脚不在内部连接。
5	VOUT	调节输出电压。使用1 μ F或更大的电容旁路VOUT至GND。

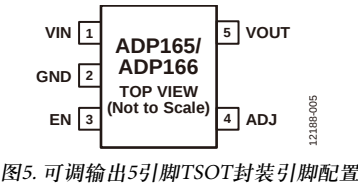


表6. 可调输出5引脚TSOT封装引脚功能描述

引脚编号	引脚名称	说明
1	VIN	稳压器输入电源。使用1 μ F或更大的电容旁路VIN至GND。
2	GND	地。
3	EN	使能输入。将EN接到高电平，稳压器启动；将EN接到低电平，稳压器关闭。若要实现自动启动，请将EN接VIN。
4	ADJ	输出电压调节引脚。连接VOUT和GND之间分压器的中点至该引脚，以设置输出电压。
5	VOUT	调节输出电压。使用1 μ F或更大的电容旁路VOUT至GND。

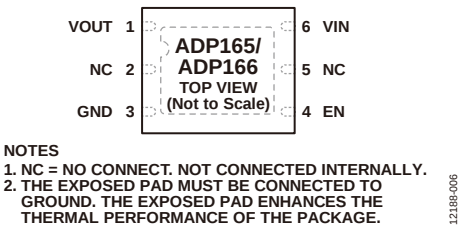


图6. 固定输出6引脚LFCSP封装引脚配置

表7. 固定输出6引脚LFCSP封装引脚功能描述

引脚编号	引脚名称	说明
1	VOUT	调节输出电压。使用1 μ F或更大的电容旁路VOUT至GND。
2	NC	不连接。此引脚不在内部连接。
3	GND	地。
4	EN	使能输入。将EN接到高电平，稳压器启动；将EN接到低电平，稳压器关闭。若要实现自动启动，请将EN接VIN。
5	NC	不连接。此引脚不在内部连接。连接至GND或保持开路。
6	VIN	稳压器输入电源。使用1 μ F或更大的电容旁路VIN至GND。
	EPAD	裸露焊盘。裸露焊盘必须接地。裸露焊盘可提高封装的热性能。

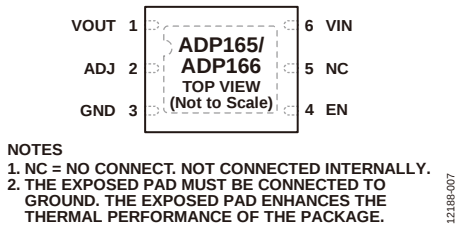


图7. 可调输出6引脚LFCSP封装引脚配置

表8. 可调输出6引脚LFCSP封装引脚功能描述

引脚编号	引脚名称	说明
1	VOUT	调节输出电压。使用1 μ F或更大的电容旁路VOUT至GND。
2	ADJ	输出电压调节引脚。连接VOUT和GND之间分压器的中点至该引脚，以设置输出电压。
3	GND	地。
4	EN	使能输入。将EN接到高电平，稳压器启动；将EN接到低电平，稳压器关闭。若要实现自动启动，请将EN接VIN。
5	NC	不连接。此引脚不在内部连接。
6	VIN	稳压器输入电源。使用1 μ F或更大的电容旁路VIN至GND。
	EPAD	裸露焊盘。裸露焊盘必须接地。裸露焊盘可提高封装的热性能。

ADP165/ADP166

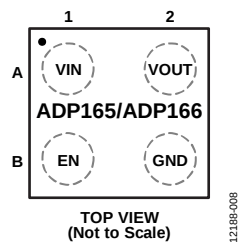


图8. 4引脚WLCSP引脚配置

图9. 4引脚WLCSP引脚功能描述

引脚编号	引脚名称	说明
A1	VIN	稳压器输入电源。使用1 μF或更大的电容旁路VIN至GND。
B1	EN	使能输入。将EN接到高电平，稳压器启动；将EN接到低电平，稳压器关闭。 若要实现自动启动，请将EN接VIN。
A2	VOUT	调节输出电压。使用1 μF或更大的电容旁路VOUT至GND。
B2	GND	地。

典型性能参数

除非另有说明, $V_{IN} = 3.8\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 1\text{ mA}$, $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

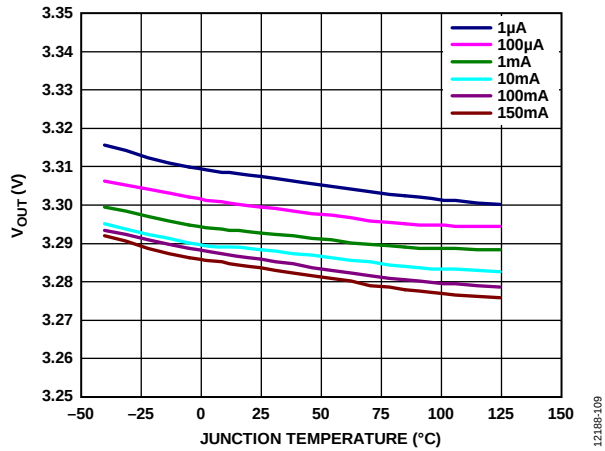


图9. 输出电压(V_{OUT})与结温的关系

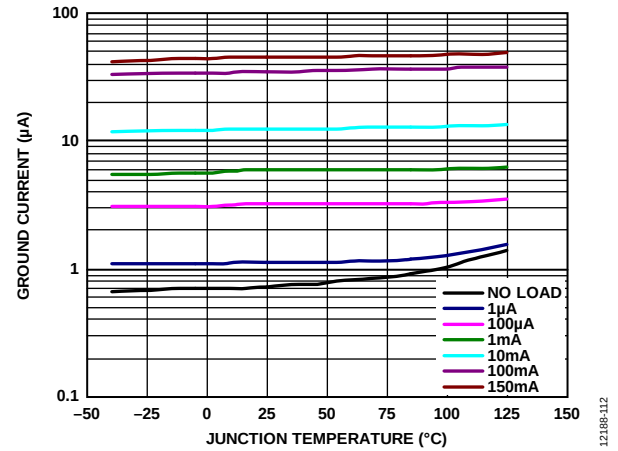


图12. 地电流与结温的关系

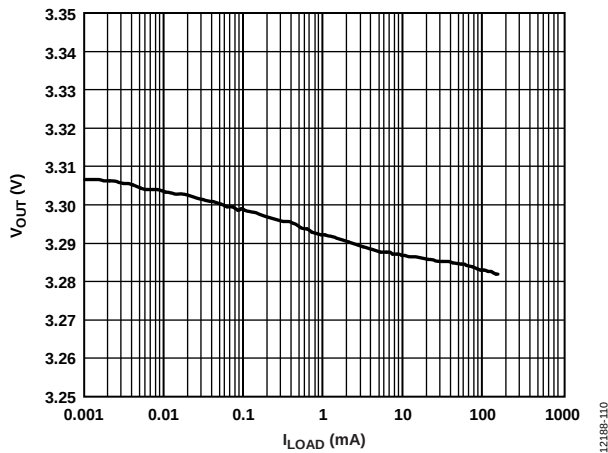


图10. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系

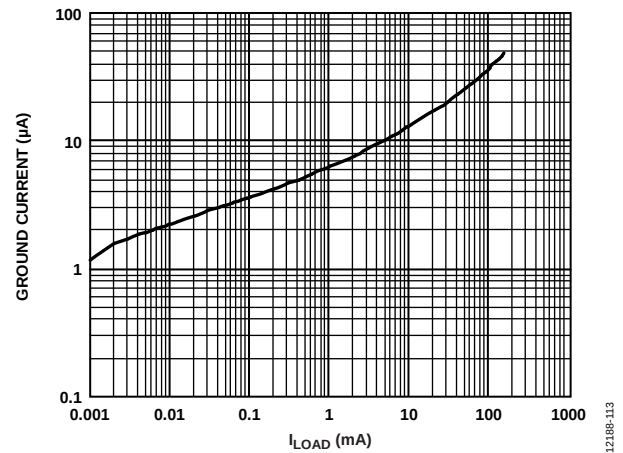


图13. 地电流与负载电流(I_{LOAD})的关系

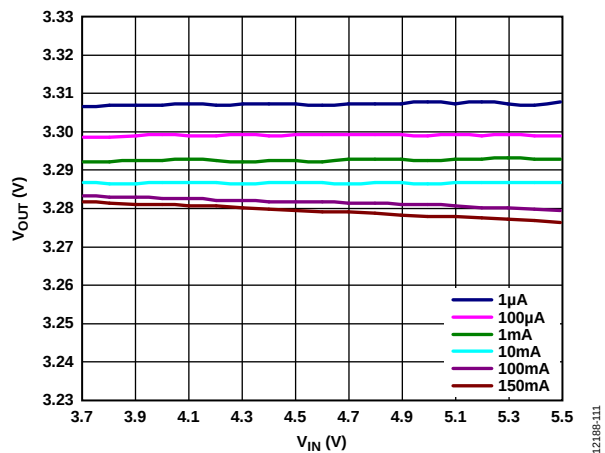


图11. 输出电压(V_{OUT})与输入电压(V_{IN})的关系

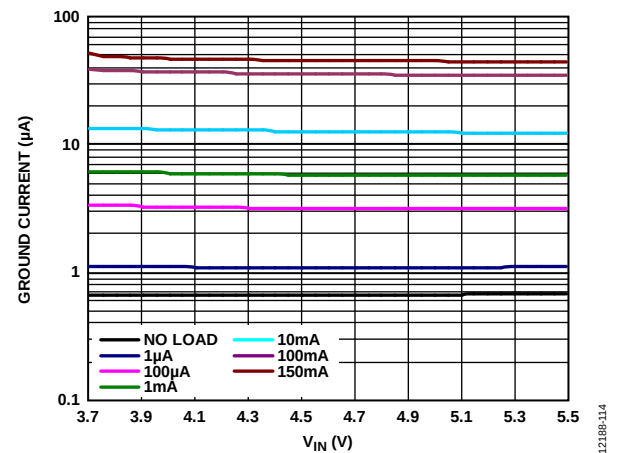


图14. 地电流与输入电压(V_{IN})的关系

ADP165/ADP166

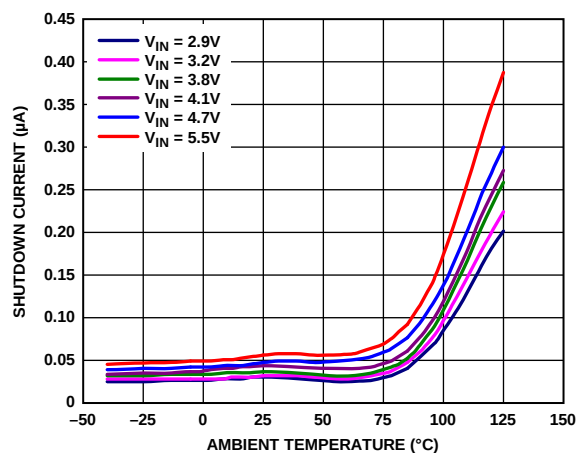


图15. 不同输入电压下关断电流与环境温度的关系

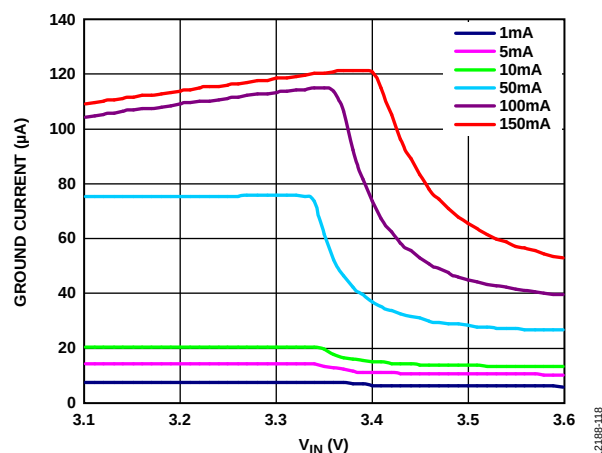


图18. 低压差下地电流与输入电压(V_{IN})的关系

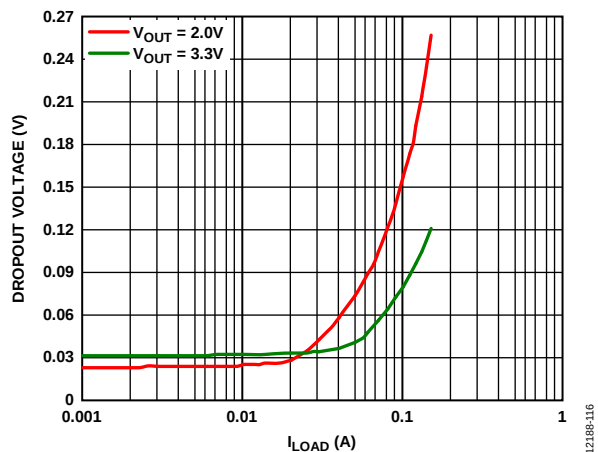


图16. 电压差与负载电流(I_{LOAD})的关系

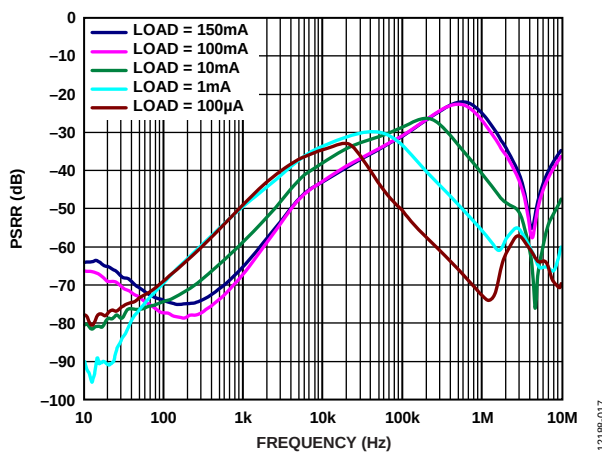


图19. 不同负载电流下电源抑制比(PSRR)与频率的关系,
 $V_{\text{OUT}} = 1.2\text{ V}$, $V_{\text{IN}} = 2.2\text{ V}$

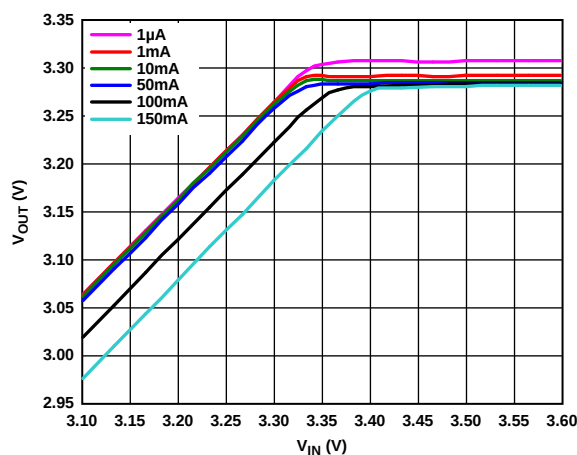


图17. 低压差下输出电压(V_{OUT})与输入电压(V_{IN})的关系

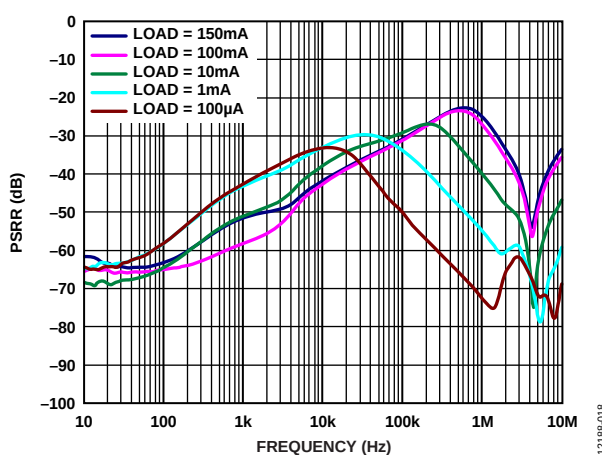


图20. 不同负载电流下PSRR与频率的关系, $V_{\text{OUT}} = 2.5\text{ V}$, $V_{\text{IN}} = 3.5\text{ V}$

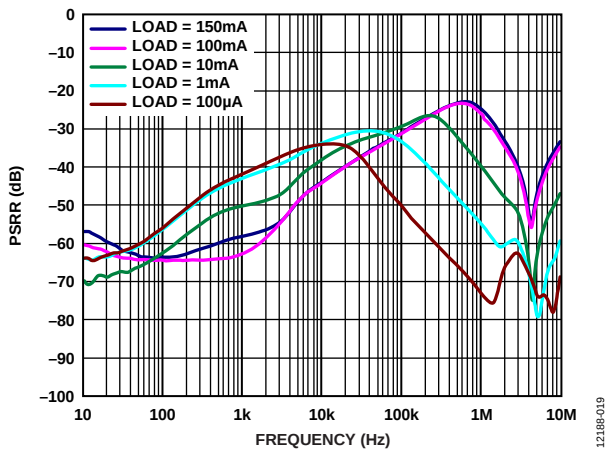


图21. 不同负载电流下PSRR与频率的关系, $V_{OUT} = 3.3\text{ V}$, $V_{IN} = 4.3\text{ V}$

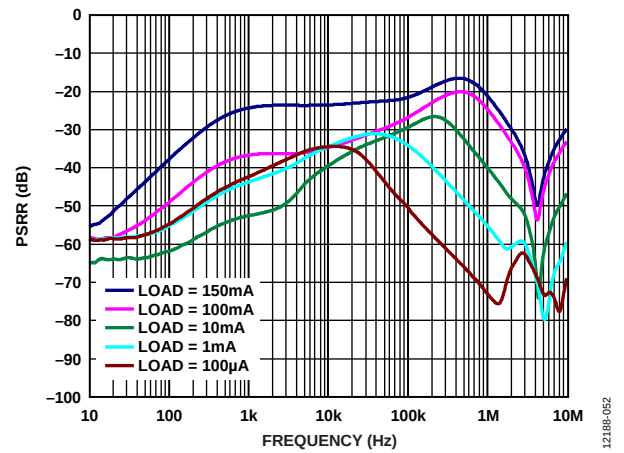


图24. 不同负载电流下PSRR与频率的关系, $V_{OUT} = 3.3\text{ V}$, $V_{IN} = 3.8\text{ V}$

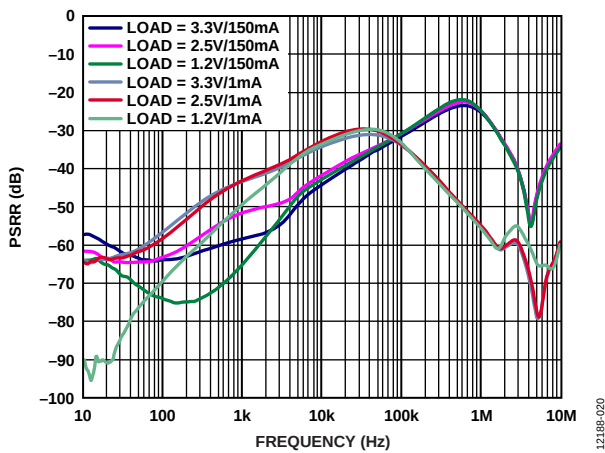


图22. 不同负载电流下PSRR与频率的关系, $V_{IN} - V_{OUT} = 1\text{ V}$

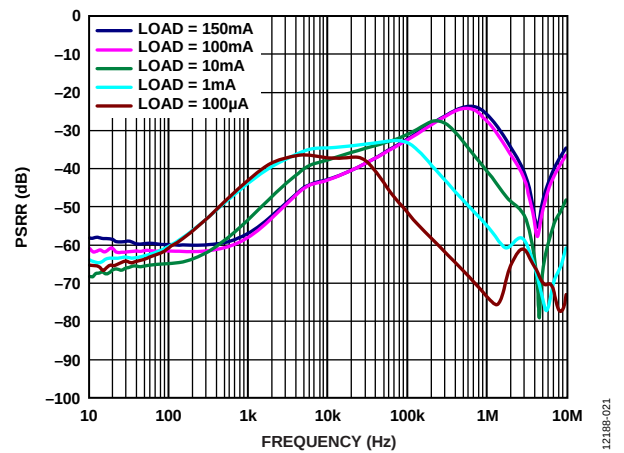


图25. 不同负载电流下可调ADP165/ADP166 PSRR与频率的关系, $V_{OUT} = 3.3\text{ V}$, $V_{IN} = 4.3\text{ V}$

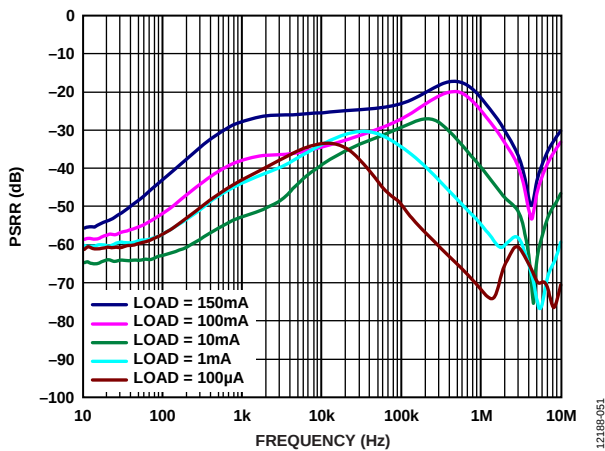


图23. 不同负载电流下PSRR与频率的关系, $V_{OUT} = 2.5\text{ V}$, $V_{IN} = 3.0\text{ V}$

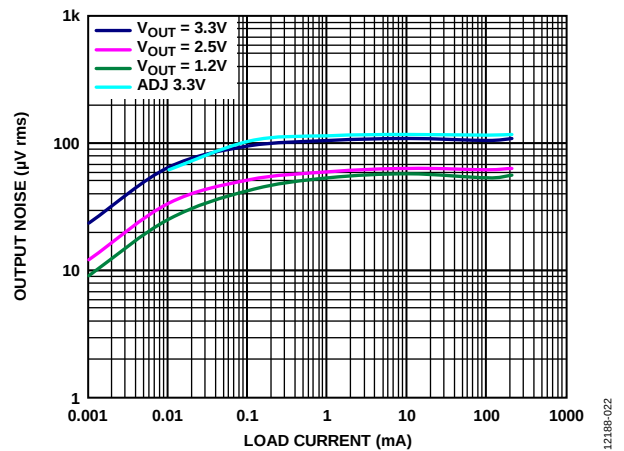


图26. 输出噪声与负载电流和输出电压的关系, $V_{IN} = 5\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$

ADP165/ADP166

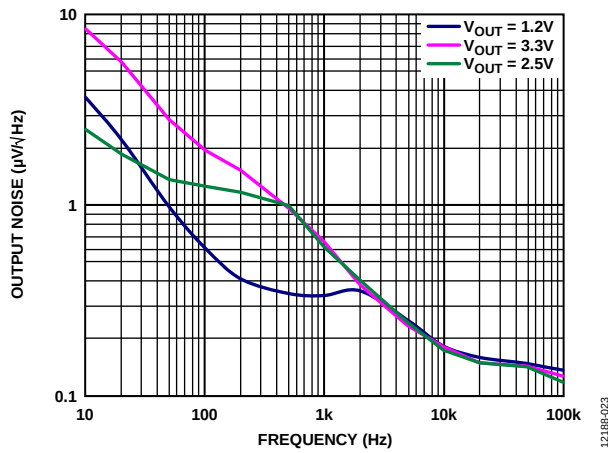


图27. 输出噪声谱密度, $V_{IN} = 5\text{ V}$, $I_{LOAD} = 10\text{ mA}$, $C_{OUT} = 1\text{ }\mu\text{F}$

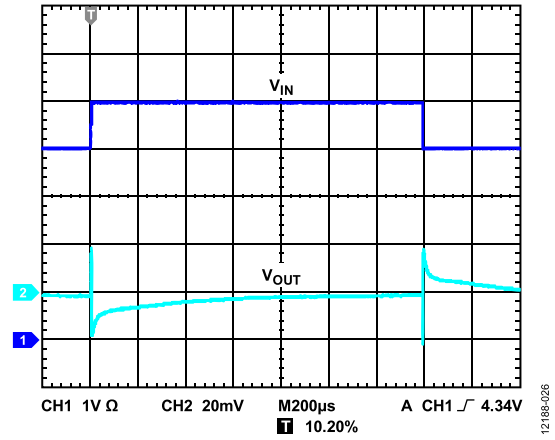


图30. 线路瞬态响应, $V_{IN} = 4\text{ V至}5\text{ V}$, $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$, $I_{LOAD} = 150\text{ mA}$, $CH1 = V_{IN}$, $CH2 = V_{OUT}$

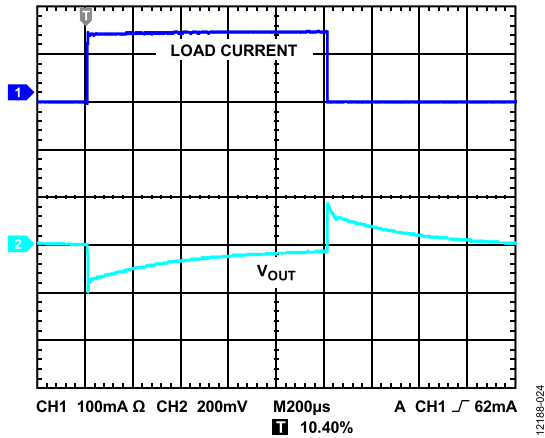


图28. 负载瞬态响应, $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$, $I_{LOAD} = 1\text{ mA至}150\text{ mA}$, 200 ns 上升时间, $CH1 = \text{负载电流}$, $CH2 = V_{OUT}$

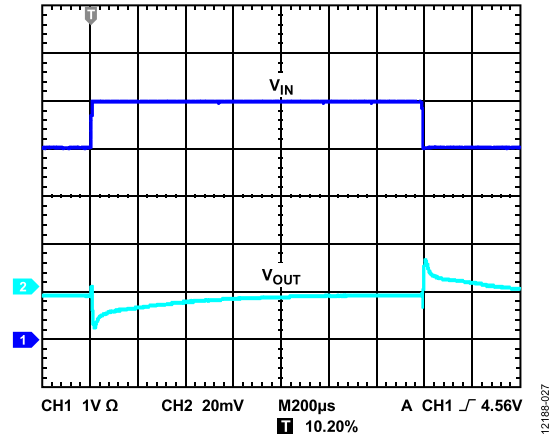


图31. 线路瞬态响应, $V_{IN} = 4\text{ V至}5\text{ V}$, $C_{IN} = 1\text{ }\mu\text{F}$, $C_{OUT} = 10\text{ }\mu\text{F}$, $I_{LOAD} = 150\text{ mA}$, $CH1 = V_{IN}$, $CH2 = V_{OUT}$

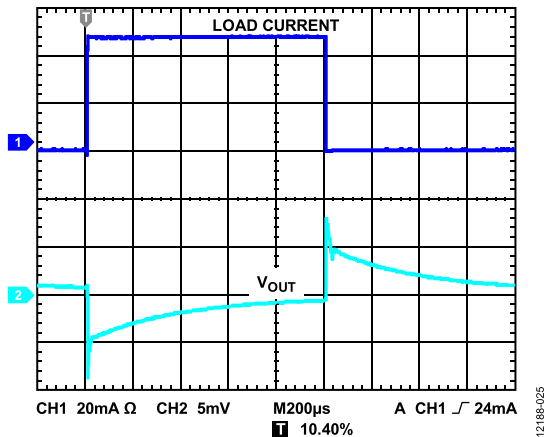


图29. 负载瞬态响应, $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$, $I_{LOAD} = 1\text{ mA至}50\text{ mA}$, 200 ns 上升时间, $CH1 = \text{负载电流}$, $CH2 = V_{OUT}$

工作原理

ADP165/ADP166均为超低静态电流、低压差线性稳压器，工作电压为2.2 V至5.5 V，输出电流最高可达150 mA。ADP165/ADP166空载时静态电流仅590 nA(典型值)，满载时低至42 μA(典型值)，适合用于电池供电的便携式设备。关断电流典型值为50 nA。

ADP165/ADP166采用最新的创新型设计技术，为数字和RF应用提供超低的静态电流和卓越的瞬态性能。此外，ADP165/ADP166经过优化，利用1 μF陶瓷电容便可稳定工作。

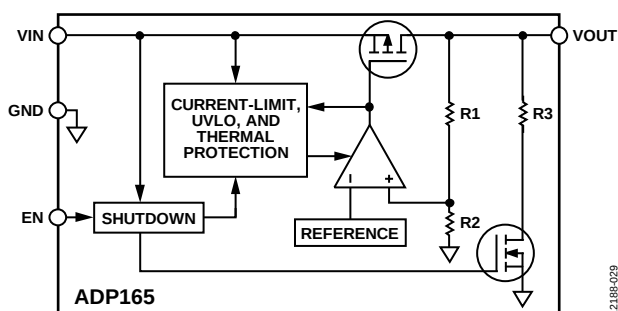


图32. 内部框图，固定输出，带输出放电功能

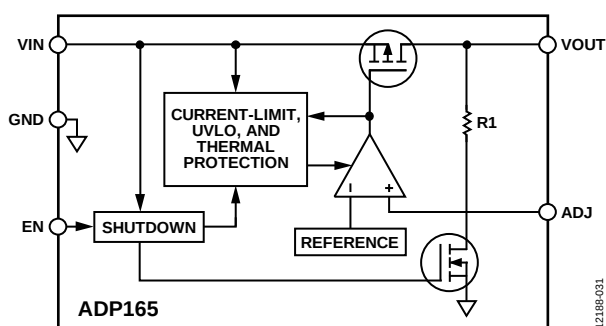


图33. 内部框图，可调输出，带输出放电功能

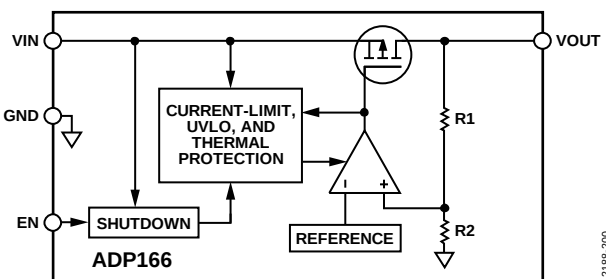


图34. 内部框图，固定输出，无输出放电功能

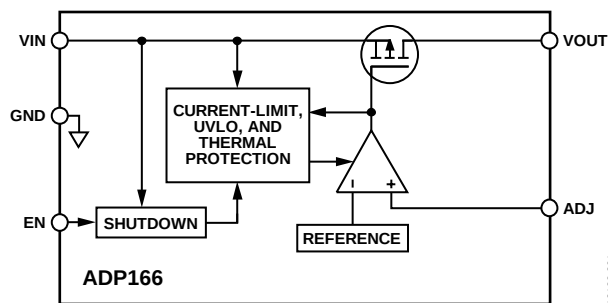


图35. 内部框图，可调输出，无输出放电功能

ADP165/ADP166内置一个基准电压源、一个误差放大器、一个反馈分压器和一个PMOS调整管。输出电流经由PMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

ADP165/ADP166的输出电压可在1.0 V至4.2 V范围内调整。输出电压由两个外部电阻的比值设置，这些电阻就是图32和图34所示的R1和R2电阻。器件闭环控制输出，使ADJ引脚的电压维持在1.0 V，以地为参考。R1中的电流等于1.0 V/R2，亦等于R2中的电流加上ADJ引脚的偏置电流。ADJ引脚的偏置电流(25°C时为10 nA)经R1流入ADJ引脚。

输出电压的计算公式如下：

$$V_{OUT} = 1.0 \text{ V} (1 + R1/R2) + (ADJ_{I-BIAS})(R1)$$

R1的阻值必须低于200 kΩ，以便将ADJ引脚偏置电流引起的输出电压误差降至最低。例如，当R1和R2都是200 kΩ时，输出电压为2.0 V。假设25°C时ADJ引脚偏置电流为10 nA(典型值)，则ADJ引脚偏置电流引起的输出电压误差为2 mV或0.05%。

ADP165/ADP166

ADI建议使用电阻值较高的R1和R2，以尽可能降低ADP165/ADP166的静态电流。使用1 M Ω 的R2以保证总空载静态电流低于2 μ A。然而，需要注意的是，高阻值的电阻会产生较小的输出电压误差。例如，假设R1和R2为1 M Ω ，输出电压为2 V。考虑到ADJ引脚标称偏置电流为10 nA，则输出电压误差为0.25%。

注意，在关断模式下，输出关闭，分压器电流为0。

ADP165还内置了输出放电电阻，可在LDO禁用时迫使输出电压为零。这样，无论LDO是否使能，都能够确保其输出始终处于明确已知状态。ADP166不提供输出放电功能。

ADP165/ADP166提供1.2 V至3.3 V范围内的7种输出电压选项。在正常工作条件下，ADP165/ADP166利用EN引脚使能或禁用VOUT引脚。EN为高电平时，VOUT开启；EN为低电平时，VOUT关闭。若要实现自动启动，请将EN接VIN。

应用信息

电容选择

输出电容(C_{OUT})

ADP165/ADP166采用节省空间的小型陶瓷电容工作，如果考虑ESR值，便可以采用大多数常用电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP165/ADP166稳定工作，推荐使用至少1 μ F、ESR为1 Ω 或更小的电容。输出电容还会影响负载电流变化的瞬态响应。采用较大的输出电容值可改善ADP165/ADP166对大负载电流变化的瞬态响应。图36和图37分别显示了输出电容值为1 μ F和10 μ F时的瞬态响应。

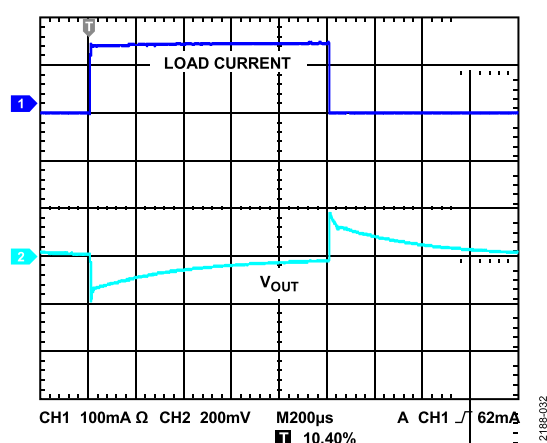


图36. 输出瞬态响应, $C_{OUT} = 1 \mu F$,
CH1 = 负载电流, CH2 = V_{OUT}

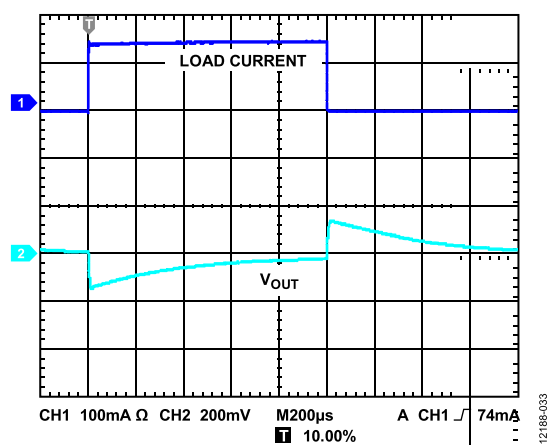


图37. 输出瞬态响应, $C_{OUT} = 10 \mu F$,
CH1 = 负载电流, CH2 = V_{OUT}

输入旁路电容(C_{IN})

在VIN至GND之间连接一个1 μ F电容可以降低电路对PCB布局布线的敏感性，特别是遇到长输入走线或高信号源阻抗时。如果要求输出电容大于1 μ F，可选用更高的输入电容。

输入和输出电容特性

只要符合最小电容和最大ESR要求，ADP165/ADP166可以采用任何质量良好的电容。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同，其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V或10 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳，建议不要使用。

图38所示为0402、1 μ F、10 V、X5R电容的电容与电压偏置特性关系图。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般而言，封装较大或电压额定值较高的电容具有较好的稳定性。在-40°C至+85°C的温度范围内，X5R电介质的温度变化约为 $\pm 15\%$ ，与封装和电压额定值无关。

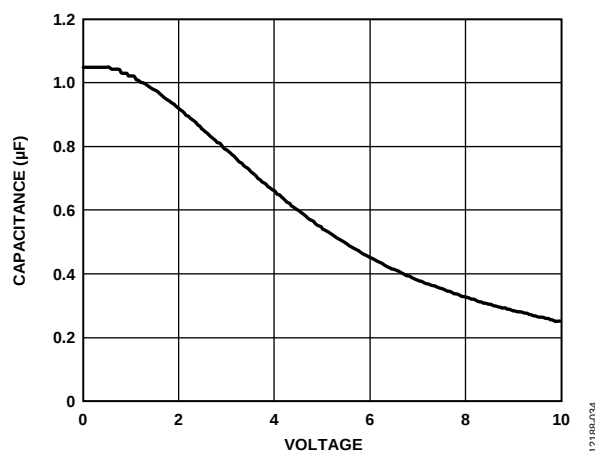


图38. 电容与电压偏置特性的关系

考虑电容随温度、元件容差和电压的变化，可以利用公式1确定最差情况下的电容。

$$C_{EFF} = C_{BIAS} \times (1 - TEMP_{CO}) \times (1 - TOL) \quad (1)$$

其中：

C_{BIAS} 为工作电压下的有效电容。

$TEMP_{CO}$ 是最差情况下的电容温度系数。

TOL 是最差情况下的元件容差。

本例中，X5R电介质在-40°C至+85°C范围内的最差条件温度系数($TEMP_{CO}$)为15%。如图38所示，在1.8 V电压下，电容容差(TOL)为10%， $C_{BIAS} = 0.94 \mu F$ 。

将这些值代入公式1中可得到：

$$C_{EFF} = 0.94 \mu F \times (1 - 0.15) \times (1 - 0.1) = 0.719 \mu F$$

ADP165/ADP166

因此，在选定输出电压条件下，本例中所选电容满足LDO在温度和容差方面的最小电容要求。

为了保证ADP165/ADP166的性能，必须针对每一种应用来评估直流偏置、温度和容差对电容性能的影响。

使能特性

在正常操作条件下，ADP165/ADP166利用EN引脚使能和禁用VOUT引脚。如图39所示，当EN上的上升电压越过有效阈值时，VOUT开启。当EN上的下降电压越过无效阈值时，VOUT关闭。

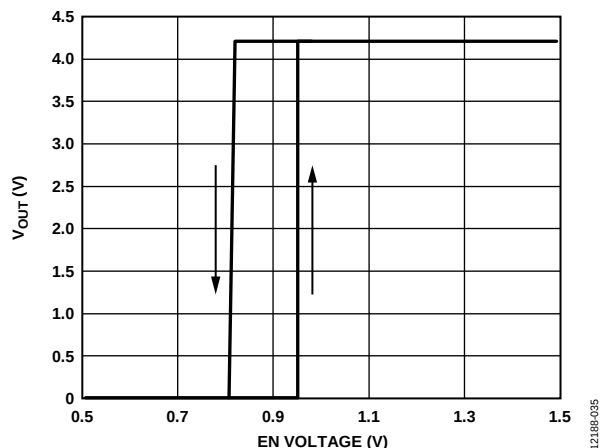


图39. EN引脚典型工作方式

如图39所示，EN引脚本身具有迟滞特性，这可防止EN引脚上的噪声在经过阈值点时引起开关振荡。

EN引脚的有效/无效阈值是从VIN电压获得。因此，这些阈值会随输入电压而变化。图40显示输入电压从2.2V变化到5.5V时EN引脚的典型有效/无效阈值。

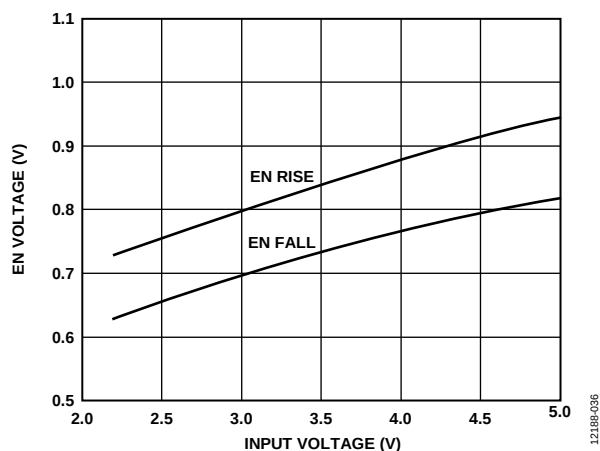


图40. EN引脚典型阈值与输入电压的关系

图41显示ADP165/ADP166的启动性能

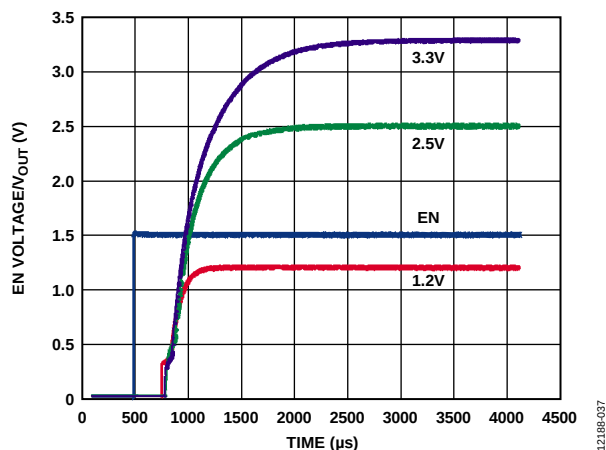


图41. 典型启动性能

图42显示ADP165/ADP166的关断性能。

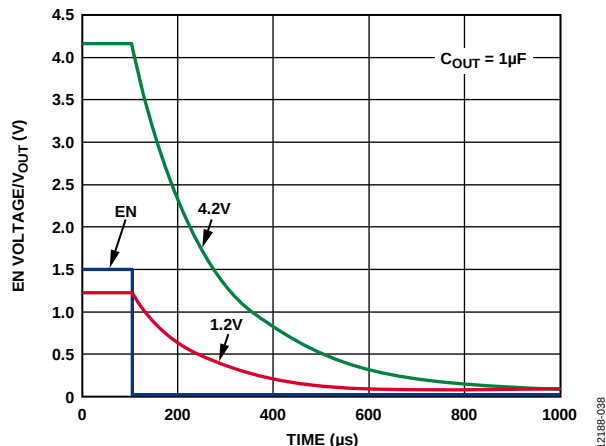


图42. 典型关断性能，空载

欠压闭锁(UVLO)

ADP165/ADP166还内置欠压闭锁(UVLO)电路，当输入电压低于稳压器的最小输入电压额定值时，输出电压禁用。

限流和热过载保护

ADP165/ADP166内置短路和热过载保护电路，可防止器件功耗过大导致受损。当输出负载达到320 mA(典型值)时，限流电路就会起作用。当输出负载超过320 mA时，输出电压会被降低，以保持恒定的电流限制。

热过载保护电路将结温限制在150°C(典型值)以下。在极端条件下(即高环境温度和功耗)，当结温开始升至150°C以上时，输出就会关闭，从而将输出电流降至0。当结温降至135°C以下时，输出又会开启，输出电流恢复为标称值。

考虑VOUT至地发生负载短路的情况。首先，ADP165/ADP166的限流功能起作用，因此，仅有320 mA电流传导至短路电路。

如果结的自发热量足够大，使其温度升至150°C以上，热关断功能就会激活，输出关闭，输出电流降至0。当结温冷却下来，降至135°C以下时，输出开启，将320 mA电流传导至短路路径中，再次导致结温升至150°C以上。结温在135°C至150°C范围内的热振荡导致电流在320 mA和0 mA之间振荡；只要输出端存在短路，振荡就会持续下去。

限流和热过载保护旨在保护器件免受偶然过载条件影响。为保证器件稳定工作，必须从外部限制器件的功耗，使结温不会超过125°C。

散热考虑

ADP165/ADP166的效率很高，在多数应用中不会产生大量热量。然而，在环境温度很高且电源电压与输出电压差很大的应用中，封装发出的热量可能非常大，导致芯片结温超过最高结温125°C。

当结温超过150°C时，转换器进入热关断模式。只有当结温降至135°C及以下时，它才会恢复，以免永久性受损。因此，为了保证器件在所有条件下具有可靠性能，必须对具体应用进行热分析。芯片的结温为环境温度与功耗所引起的封装温升之和，如公式2所示。

为保证器件可靠工作，ADP165/ADP166的结温不得超过125°C。为确保结温低于此最高结温，用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结与周围空气之间的热阻(θ_{JA})。 θ_{JA} 值取决于所用的封装填充物和将封装GND引脚焊接到PCB所用的覆铜数量。

表10列出了各种PCB覆铜尺寸时5引脚TSOT、6引脚LFCSP和4引脚WLCSP封装的 θ_{JA} 典型值。表11列出了5引脚TSOT、6引脚LFCSP和4引脚WLCSP封装的 Ψ_{JB} 典型值。

表10. 典型 θ_{JA} 值

覆铜面积(mm ²)	θ_{JA} (°C/W)		
	TSOT	LFCSP	WLCSP
0 ¹	170	175.1	260
50	152	135.6	159
100	146	77.3	157
300	134	65.2	153
500	131	51	151

¹ 器件焊接在最小尺寸引脚走线上。

表11. 典型 Ψ_{JB} 值

封装	Ψ_{JB}	单位
5引脚 TSOT	42.8	(°C/W)
6引脚 LFCSP	17.9	(°C/W)
4引脚 WLCSP	58.4	(°C/W)

ADP165/ADP166的结温可通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

其中：

T_A 是环境温度。

P_D 为芯片的功耗，通过下式计算：

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (3)$$

其中：

V_{IN} 和 V_{OUT} 分别为输入和输出电压。

I_{LOAD} 为负载电流。

I_{GND} 为接地电流。

接地电流引起的功耗相当小，可忽略不计。因此，结温的计算公式可简化为：

$$T_J = T_A + \theta_{JA}[(V_{IN} - V_{OUT}) \times I_{LOAD}] \quad (4)$$

如公式4所示，针对给定的环境温度、输入与输出电压差和连续负载电流，需满足PCB的最小覆铜尺寸要求，以确保结温不升至125°C以上。图43至图57显示不同环境温度、负载电流、 V_{IN} 至 V_{OUT} 压差及PCB覆铜面积下的结温计算结果。

在已知板温的情况下，可以利用热特性参数(Ψ_{JB})来估算结温上升情况(见图55至图57)。最高结温(T_J)可由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (5)$$

在6引脚LFCSP封装、5引脚TSOT封装和4引脚WLCSP封装中， Ψ_{JB} 典型值分别为17.9°C/W、42.8°C/W和58.4°C/W。

ADP165/ADP166

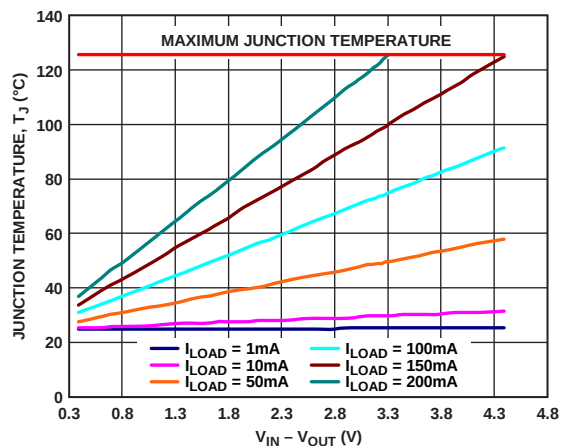


图43. WLCSP封装 500 mm² PCB覆铜, $T_A = 25^\circ\text{C}$

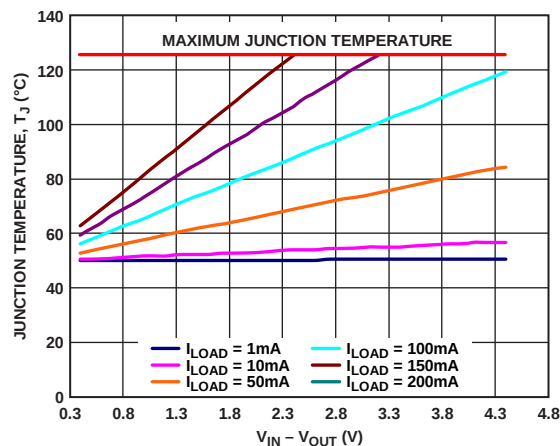


图46. WLCSP封装 100 mm² PCB覆铜, $T_A = 50^\circ\text{C}$

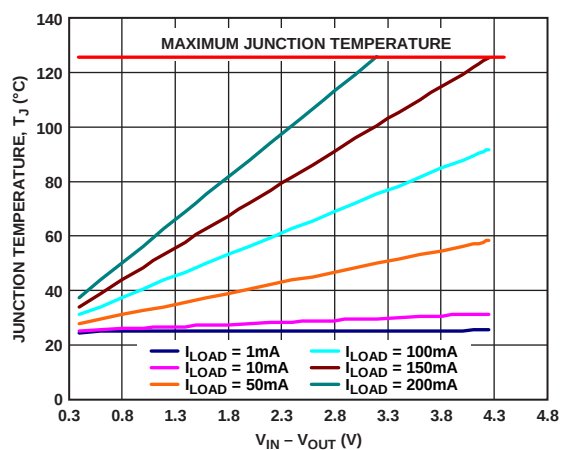


图44. WLCSP封装 100 mm² PCB覆铜, $T_A = 25^\circ\text{C}$

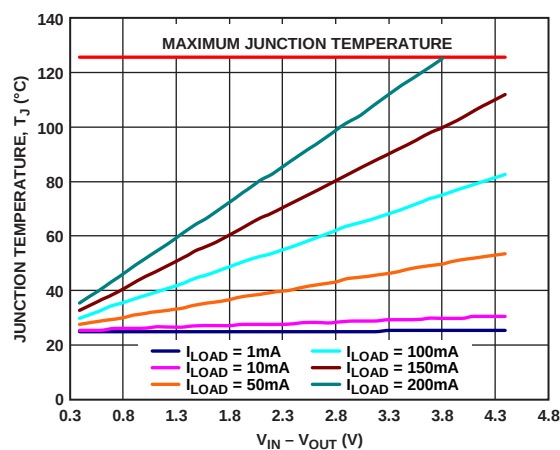


图47. TSOT封装 500 mm² PCB覆铜, $T_A = 25^\circ\text{C}$

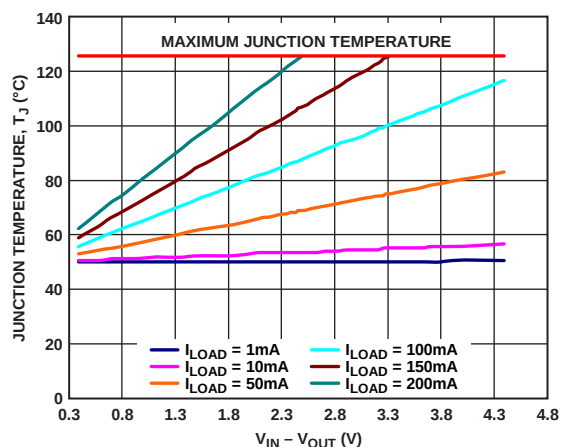


图45. WLCSP封装 500 mm² PCB覆铜, $T_A = 50^\circ\text{C}$

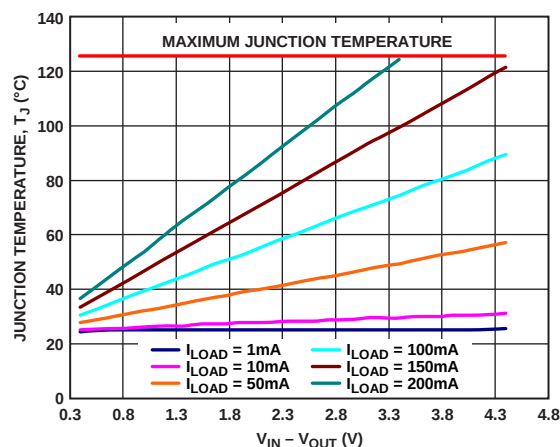


图48. TSOT封装 100 mm² PCB覆铜, $T_A = 25^\circ\text{C}$

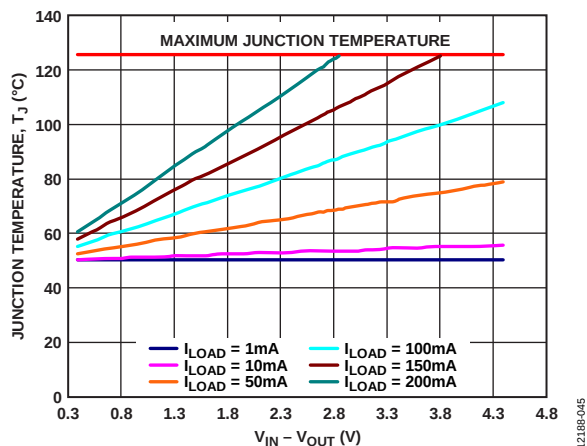


图49. TSOT封装 500 mm² PCB覆铜, $T_A = 50^\circ\text{C}$

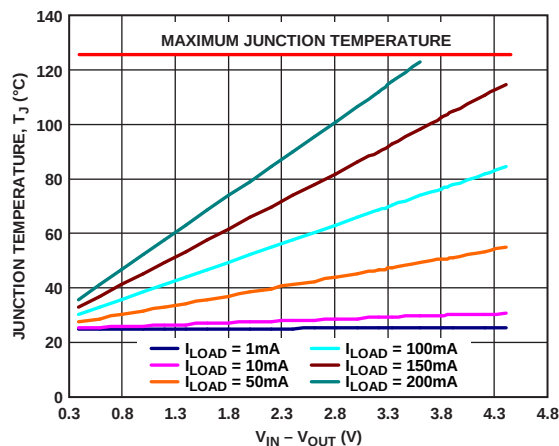


图52. 100 mm² PCB覆铜, LFCSP, $T_A = 25^\circ\text{C}$

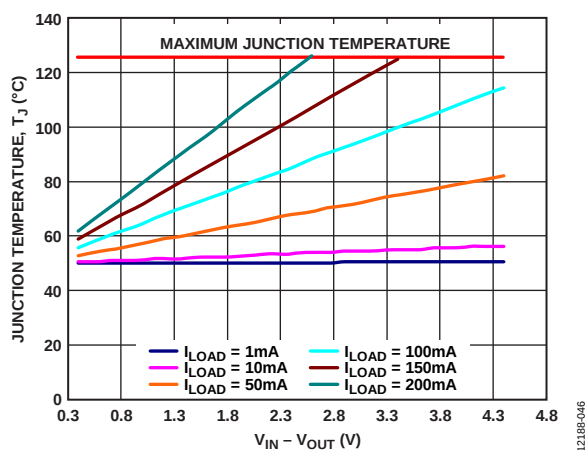


图50. TSOT封装 100 mm² PCB覆铜, $T_A = 50^\circ\text{C}$

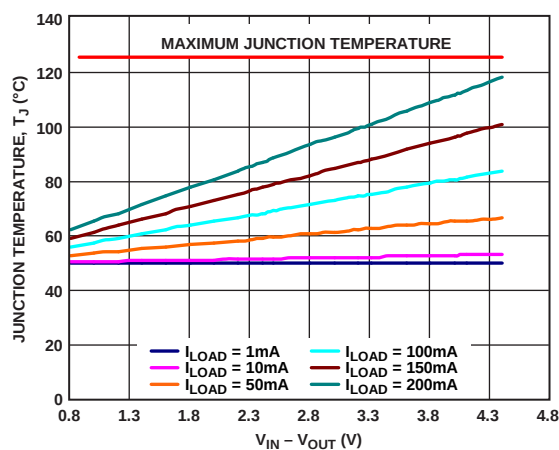


图53. 500 mm² PCB覆铜, LFCSP, $T_A = 50^\circ\text{C}$

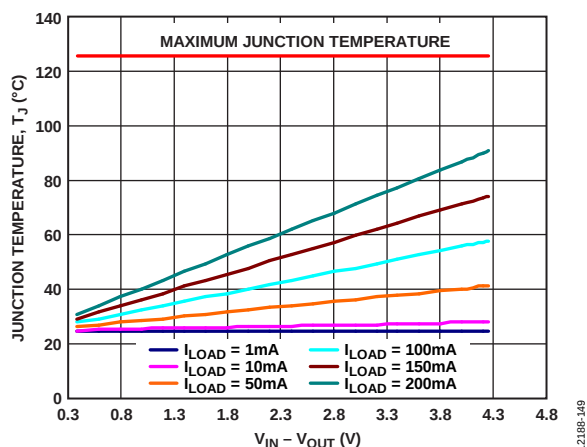


图51. 500 mm² PCB覆铜, LFCSP, $T_A = 25^\circ\text{C}$

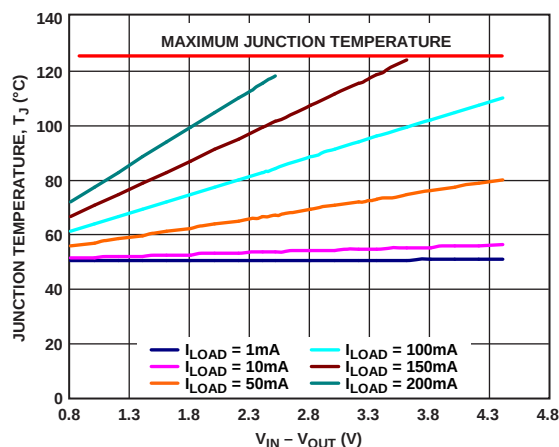


图54. 100 mm² PCB覆铜, LFCSP, $T_A = 50^\circ\text{C}$

ADP165/ADP166

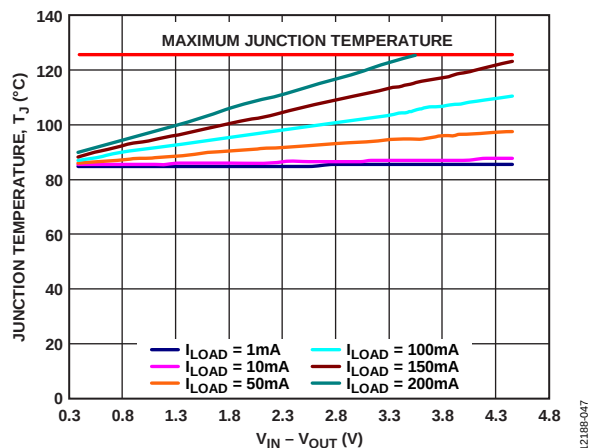


图55. WLCSP, $T_A = 85^\circ\text{C}$

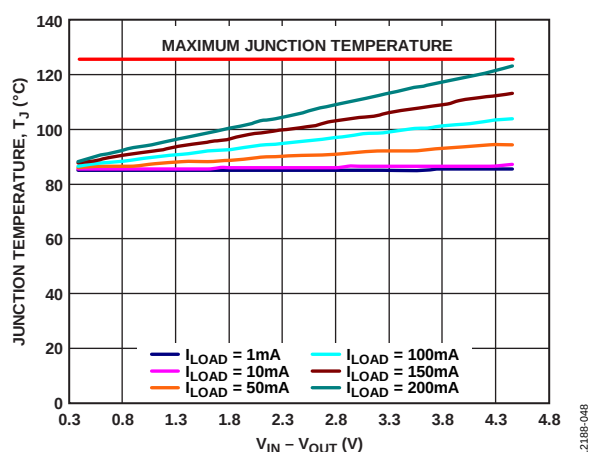


图56. TSOT, $T_A = 85^\circ\text{C}$

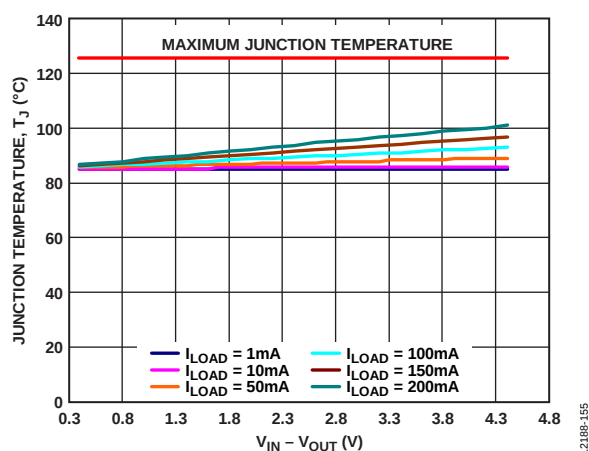


图57. LFCSP, $T_A = 85^\circ\text{C}$

通过增加ADP165/ADP166引脚处的覆铜用量，可改善封装的散热性能。但是，如表10所示，这种增加存在“效益递减”现象，超过某一点后，覆铜尺寸的增加便不会带来明显的散热效益。

PCB布局考虑

输入电容应尽可能靠近VIN引脚和GND引脚放置。输出电容应尽可能靠近VOUT引脚和GND引脚放置。在板面积受限的情况下，采用0402或0603电容和电阻可实现最小尺寸解决方案。

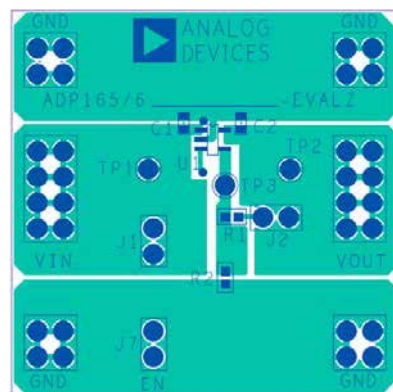


图58. 5引脚TSOT PCB布局示例

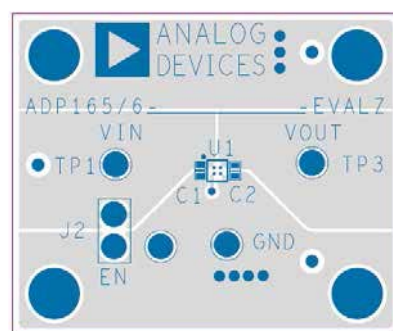


图59. 4引脚WLCSP PCB布局示例

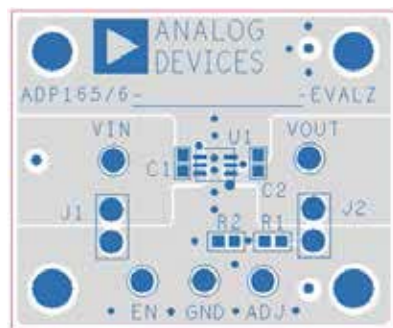


图59. 4引脚WLCSP PCB布局示例

WLCSP封装的光敏度

WLCSP封装选项本质上是一个附有后制造电介质并经过金属处理，以便接触芯片活性面上的焊接凸点的硅片。采用此类封装时，芯片暴露于环境光线下，会发生光电效应。对安装在标准PCB材料上的WLCSP封装产品进行光敏度分析发现：当高强度光线直接照射封装时，性能可能受到影响。在低强度(0.1 mW/cm^2)环境光照射下，没有观察到电气性能的下降。直射太阳光线的强度可达 50 mW/cm^2 ，办公室环境光的强度可能低至 0.1 mW/cm^2 。

在电路板上装配WLCSP封装产品时，如果芯片的凸点侧面对PCB，则PCB表面反射的光线会照射在活性硅电路上，导致漏电流变大。WLCSP封装背面(基板)的照射不会引起性能下降。

所有WLCSP封装产品都对波长在近红外范围(NIR, 700 nm至1000 nm)的入射光线特别敏感。此波段内的光子比可见光(400 nm至700 nm)和近紫外(NUV, 200 nm至400 nm)波段内

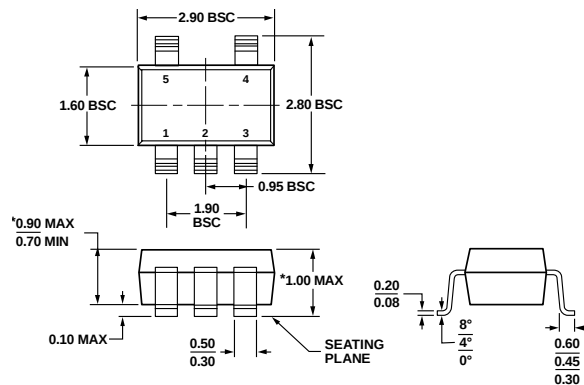
的光子波长更长、能量更低，可以更深地穿透活性硅。

波长大于1100 nm的入射光线不会在硅器件上引起光电效应，因为对于该范围内的波长，硅是透明的。

传统光源的频谱成分各不相同。太阳光的频谱范围非常宽，峰值强度出现在可见光波段及两边的近紫外和近红外波段；荧光灯的峰值强度仅出现在可见光波段，不包括近紫外或近红外波段。钨丝灯光在较长的可见光波长内具有宽尖峰，在NIR内具有明显的尾巴。

已经在产品层次上采取措施以降低环境光的影响，凸点下金属(UBM)能够保护芯片活性面(凸点侧)上的敏感电路区域。然而，如果WLCSP的应用遇到光敏性问题，用不透光材料将WLCSP封装的凸点侧屏蔽起来能够消除影响。屏蔽可以利用倒装芯片底部填充技术所用的填硅液态环氧树脂等材料实现。

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

图61. 5引脚超薄小型晶体管封装[TSOT]
(UJ-5)

图示尺寸单位: mm

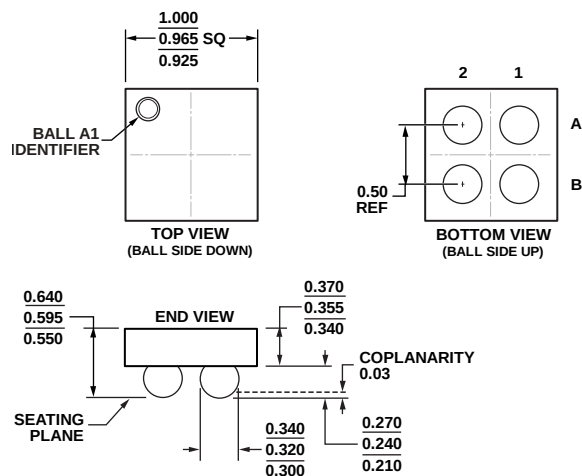


图62. 4引脚晶圆级芯片规模封装[WLCSP]
(CB-4-1)

图示尺寸单位: mm

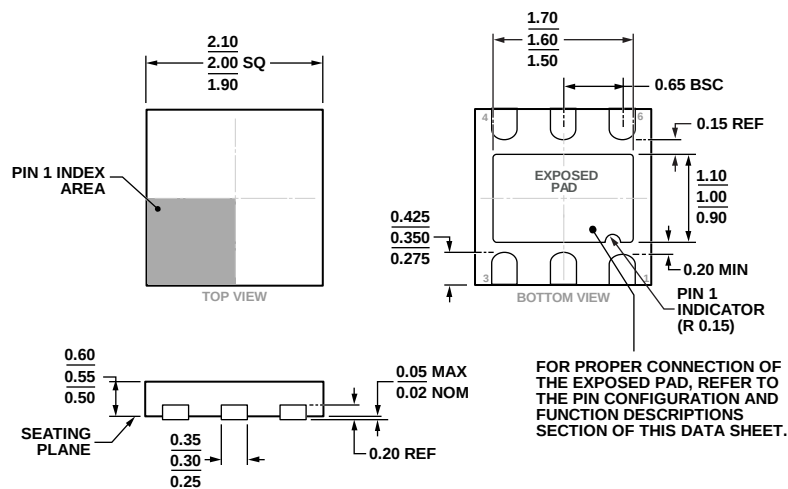


图63. 6引脚LFCSP_UD封装[引脚架构芯片级]

2.00 mm x 2.00 mm, 超薄体, 双列引脚

(CP-6-3)

图示尺寸单位: mm

Rev. A | Page 22 of 23

订购指南

型号 ¹	温度范围	输出电压(V)	封装描述	封装选项	标识
ADP165ACBZ-1.2-R7	-40°C至+125°C	1.2	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	CX
ADP165ACBZ-1.8-R7	-40°C至+125°C	1.8	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	CY
ADP165ACBZ-2.2-R7	-40°C至+125°C	2.2	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	CZ
ADP165ACBZ-2.3-R7	-40°C至+125°C	2.3	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	D4
ADP165ACBZ-2.85-R7	-40°C至+125°C	2.85	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	D7
ADP165ACBZ-3.0-R7	-40°C至+125°C	3.0	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	D5
ADP165ACBZ-3.3-R7	-40°C至+125°C	3.3	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	D6
ADP165ACPZN-1.2-R7	-40°C至+125°C	1.2	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LQL
ADP165ACPZN-1.8-R7	-40°C至+125°C	1.8	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LQM
ADP165ACPZN-2.3-R7	-40°C至+125°C	2.3	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LQN
ADP165ACPZN-3.0-R7	-40°C至+125°C	3.0	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LQP
ADP165ACPZN-3.3-R7	-40°C至+125°C	3.3	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LQQ
ADP165ACPZN-R7	-40°C至+125°C	可调	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LQR
ADP165AUJZ-1.2-R7	-40°C至+125°C	1.2	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LQL
ADP165AUJZ-1.8-R7	-40°C至+125°C	1.8	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LQM
ADP165AUJZ-2.3-R7	-40°C至+125°C	2.3	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LQN
ADP165AUJZ-3.0-R7	-40°C至+125°C	3.0	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LQP
ADP165AUJZ-3.3-R7	-40°C至+125°C	3.3	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LQQ
ADP165AUJZ-R7	-40°C至+125°C	可调	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LQR
ADP166ACBZ-1.2-R7	-40°C至+125°C	1.2	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	D9
ADP166ACBZ-1.8-R7	-40°C至+125°C	1.8	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	DA
ADP166ACBZ-2.2-R7	-40°C至+125°C	2.2	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	DB
ADP166ACBZ-2.3-R7	-40°C至+125°C	2.3	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	直流
ADP166ACBZ-2.85-R7	-40°C至+125°C	2.85	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	DD
ADP166ACBZ-3.0-R7	-40°C至+125°C	3.0	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	DE
ADP166ACBZ-3.3-R7	-40°C至+125°C	3.3	4引 脚晶圆级芯片规模封装 [WLCSP]	CB-4-1	DF
ADP166ACPZN-1.2-R7	-40°C至+125°C	1.2	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LR6
ADP166ACPZN-1.8-R7	-40°C至+125°C	1.8	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LR7
ADP166ACPZN-2.3-R7	-40°C至+125°C	2.3	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LR8
ADP166ACPZN-3.0-R7	-40°C至+125°C	3.0	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LR9
ADP166ACPZN-3.3-R7	-40°C至+125°C	3.3	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LRA
ADP166ACPZN-R7	-40°C至+125°C	可调	6引 脚引线框芯片级封装 [LFCSP_UD]	CP-6-3	LR5
ADP166AUJZ-1.2-R7	-40°C至+125°C	1.2	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LR6
ADP166AUJZ-1.8-R7	-40°C至+125°C	1.8	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LR7
ADP166AUJZ-2.3-R7	-40°C至+125°C	2.3	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LR8
ADP166AUJZ-3.0-R7	-40°C至+125°C	3.0	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LR9
ADP166AUJZ-3.3-R7	-40°C至+125°C	3.3	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LRA
ADP166AUJZ-R7	-40°C至+125°C	可调	5引 脚超薄小型晶体管封装 [TSOT]	UJ-5	LR5
ADP165Z-REDYKIT			评估板		
ADP166Z-REDYKIT			评估板		

¹ Z = 符合RoHS标准的器件。