

■ 产品简介

CD4093B 是一款采用先进 CMOS 技术设计的具有施密特输入特性的 2 输入与非门。它有良好的抗干扰能力和较强的驱动能力。

■ 产品特点

- 低输入电流: $I_{IN} \leq 1.2 \mu A$, @ $V_{IN}=V_{DD}=18V$, $T_a=25^\circ C$
- 低静态功耗: $I_{DD} \leq 1.2 \mu A$, @ $V_{DD}=18V$, $T_a=25^\circ C$
- 宽工作电压范围: 3.0V to 18V
- 封装形式: DIP14、SOP14

■ 产品用途

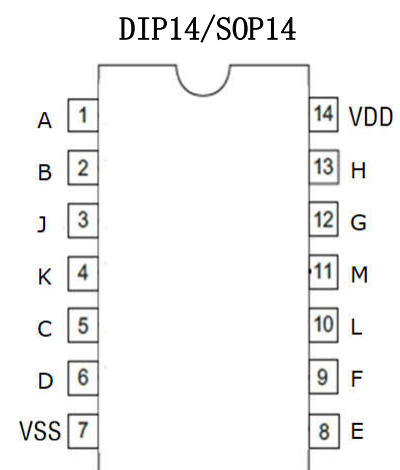
- 电子开关
- 信号振荡发生器
- 工控应用
- 其它应用领域

■ 产品订购信息

产品名称	封装	打印名称	包装	包装数量
CD4093BE	DIP14L	CD4093B	管装	1000 只/盒
CD4093BM/TR	SOP14L	CD4093B	编带	2500 只/盘

■ 封装形式和管脚功能定义

管脚序号	管脚 定义	管脚序号	管脚 定义
DIP14/SOP14		DIP14/SOP14	
1	A	14	VDD
2	B	13	H
3	J	12	G
4	K	11	M
5	C	10	L
6	D	9	F
7	VSS	8	E

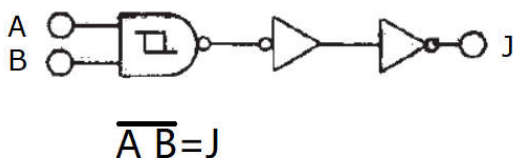


■ 极限参数

参数	符号	极限值	单位
电源电压	V_{DD}	-0.5-20	V
输入电压	V_{IN}	-0.5+VSS-V _{DD} +0.5V	V
功耗	P_D	500	mW
工作温度	T_A	-40-85	°C
存储温度	T_S	-65-150	°C
引脚焊接温度	T_W	260, 10s	°C

注：极限参数是指无论在任何条件下都不能超过的极限值。如果超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

■ 原理逻辑图



注：1/4 组

■ 真值表

INPUTS		OUTPUTS
B/D/F/H	A/C/E/G	J/K/L/M
L	L	H
L	H	H
H	L	H
H	H	L

注：1、L 为低电平，H 为高电平；
2、 $\overline{A \cdot B} = J$ ； $\overline{C \cdot D} = K$ ； $\overline{E \cdot F} = L$ ； $\overline{H \cdot G} = M$

■ 推荐工作条件

项目	符号	最小值	典型值	最大值	单位
工作电压	V_{DD}	3		15	V
输入输出电压	V_{IN} 、 V_{out}	0		V_{DD}	V
工作温度	T_A	0		60	°C

■ 电学特性

直流电学特性： ($T_A=25^\circ\text{C}$ 除非特别指定)

符号	项目	测试条件	V_{DD} (V)	最小值	典型值	最大值	单位
V_P	施密特输入上电压		5	-	3.2	4	V
			15	-	8.8	9.5	V
V_N	施密特输入下限电压		5	1.0	1.8	-	V
			15	4.0	5.4	-	V
V_H	施密特回滞电压宽度 $V_P - V_N$		5	-	1.4	-	V
			15	-	3.4	-	V
V_{OH}	高电平输出电压	$ I_{OUT} < 1\mu\text{A}$	5	4.95	-	-	V

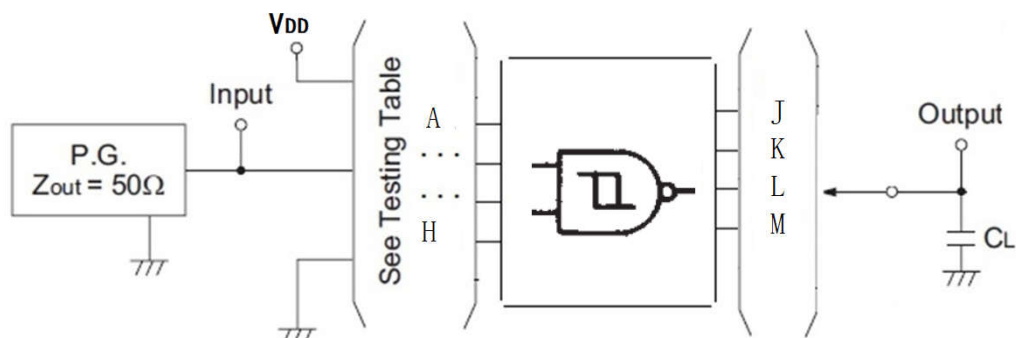
			10	9.95	-	-	V
			15	14.95	-	-	V
V _{OL}	低电平输出电压	I _{OUT} < 1uA	5	-	0	0.05	V
			10	-	0	0.05	V
			15	-	0	0.05	V
I _{IN}	输入电流	V _{IN} =VDD or VSS	18	-	0.01	1.2	uA
I _{OH}	高电平输出电流	V _O = 4.6V	5	-	-1.8	-	mA
		V _O = 9.5V	10	-	-3.7	-	mA
		V _O = 13.5V	15	-	-13.7	-	mA
I _{OL}	低电平输出电流	V _O = 0.4V	5	-	3.6	-	mA
		V _O = 0.5V	10	-	8.6	-	mA
		V _O = 1.5V	15	-	32.5	-	mA
I _{DD}	工作电流	V _{IN} =VDD or VSS	18	-	0.01	1.2	uA

交流电学特性： Ta=25℃，见测试方法。

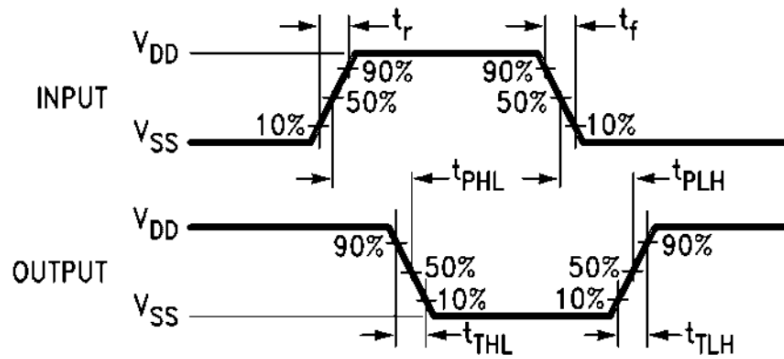
项目	符号	测试条件	最小值	典型值	最大值	单位
最大传输延迟时间 A or B to J C or D to K E or F to L G or H to M	t _{PHL}	VDD=5V C _L =51pF	-	130	-	ns
	t _{PLH}		-	85	-	ns
	t _{PHL}	VDD=10V C _L =51pF	-	70	-	ns
	t _{PLH}		-	50	-	ns
	t _{PHL}	VDD=15V C _L =51pF	-	60	-	ns
	t _{PLH}		-	35	-	ns
输出最大上升、下降沿延迟时间	t _{THL}	VDD=5V C _L =51pF	-	90	-	ns
	t _{TLH}		-	70	-	ns
	t _{THL}	VDD=10V C _L =51pF	-	50	-	ns
	t _{TLH}		-	35	-	ns
	t _{THL}	VDD=15V C _L =51pF	-	40	-	ns
	t _{TLH}		-	25	-	ns

■ 测试方法

1、测试接线图

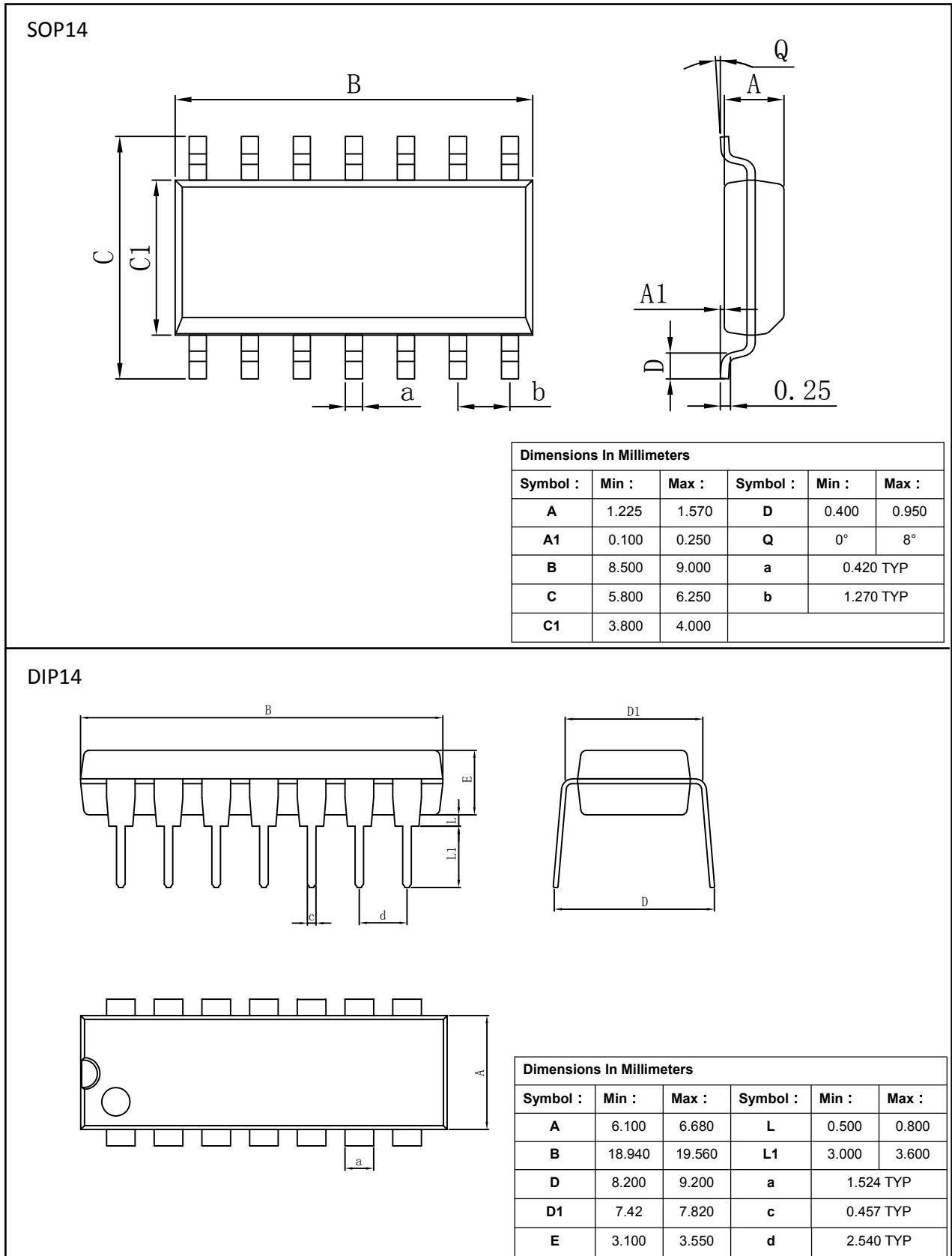


2、波形测量示意图



- 注：1、See Testing Table 指交流电学特性表中相应测试项目；
 2、CL 电容为外接贴片电容（0603），靠近输出管脚接入，电容地靠近芯片 VSS；
 3、Input：端口输入电平， $f=1\text{MHz}$, $D=50\%$ 方波， $t_r=t_f \leq 20\text{ns}$ ；
 4、Output：Y 端输出测试。

■ 封装信息



重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施，以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。

华冠半导体的文档资料，仅在没有对内容进行任何篡改且带有相关授权的情况下才允许进行复制。华冠半导体对篡改过的文件不承担任何责任或义务。