



**ANALOG
DEVICES**

16位、80 MSPS/105 MSPS/125 MSPS、 1.8 V双通道模数转换器(ADC)

AD9268

特性

信噪比(SNR): 78.2 dBFS(70 MHz、125 MSPS)
无杂散动态范围(SFDR): 88 dBc(70 MHz、125 MSPS)
低功耗: 750 mW(125 MSPS)
1.8 V模拟电源供电
1.8 V CMOS或LVDS输出供电
1至8整数输入时钟分频器
中频采样频率达300 MHz
小信号输入噪声: -153.6 dBm/Hz(200 Ω 输入阻抗、70 MHz、125 MSPS)
可选片内扰动
可编程ADC内部基准电压源
集成ADC采样保持输入
灵活的模拟输入范围: 1 V峰峰值至2 V峰峰值
差分模拟输入、650 MHz带宽
ADC时钟占空比稳定器
95 dB通道隔离/串扰
串行端口控制
用户可配置的内置自测(BIST)功能
节能的掉电模式

应用

通信

分集无线电系统

多模式数字接收器(3G)

GSM、EDGE、W-CDMA、LTE、

CDMA2000、WiMAX、TD-SCDMA

I/Q解调系统

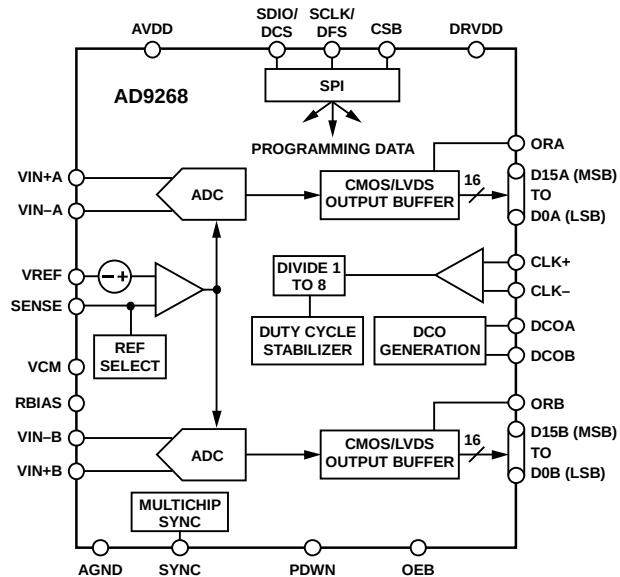
智能天线系统

通用软件无线电

宽带数据应用

超声设备

功能框图



NOTES
1. PIN NAMES ARE FOR THE CMOS PIN CONFIGURATION ONLY;
SEE FIGURE 7 FOR LVDS PIN NAMES.

图1.

产品聚焦

1. 片内扰动选项可改善低功耗模拟输入信号的无杂散动态范围(SFDR)性能。
2. 专有差分输入在最高300 MHz的输入频率下仍保持出色的信噪比(SNR)性能。
3. 采用1.8 V单电源供电, 数字输出驱动器则采用独立电源供电, 以支持1.8 V CMOS或LVDS输出。
4. 标准串行端口接口(SPI)支持各种产品特性和功能, 例如: 数据格式化(偏移二进制、二进制补码或格雷码)、时钟DCS使能、节电模式、测试模式以及基准电压模式等。
5. 与AD9258引脚兼容, 16位产品可轻松转换至14位产品。AD9268还与面向较低采样速率、低功耗应用的AD9251、AD9231和AD9204系列产品引脚兼容。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com

Fax: 781.461.3113

©2009 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	时钟输入考虑.....	30
应用.....	1	通道/芯片同步.....	31
功能框图.....	1	功耗和待机模式.....	32
产品聚焦.....	1	数字输出.....	32
修订历史.....	2	时序.....	33
概述.....	3	内置自测(BIST)和输出测试.....	34
技术规格.....	4	内置自测(BIST).....	34
ADC直流规格.....	4	输出测试模式.....	34
ADC交流规格.....	6	串行端口接口(SPI).....	35
数字规格.....	7	使用SPI的配置.....	35
开关规格.....	9	硬件接口.....	36
时序规格.....	10	不使用SPI的配置.....	36
绝对最大额定值.....	12	SPI访问特性.....	36
热特性.....	12	存储器映射.....	37
ESD警告.....	12	读取存储器映射寄存器表.....	37
引脚配置和功能描述.....	13	存储器映射寄存器表.....	38
典型工作特性.....	17	存储器映射寄存器描述.....	40
等效电路.....	25	应用信息.....	41
工作原理.....	26	设计指南.....	41
ADC架构.....	26	外形尺寸.....	42
模拟输入考虑.....	26	订购指南.....	42
基准电压源.....	29		

修订历史

2009年9月—修订版0至修订版A

更改特性列表.....	1
更改技术规格部分.....	4
更改表5.....	10
更改典型工作特性部分.....	17

2009年5月—修订版0：初始版

概述

AD9268是一款双通道、16位、80 MSPS/105 MSPS/125 MSPS模数转换器(ADC)，旨在支持需要高性能、低成本、小尺寸且具多功能性的通信应用。

这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽、差分采样保持模拟输入放大器，支持用户可选的各种输入范围。集成基准电压源可简化设计。占空比稳定器可用来补偿ADC时钟占空比的波动，使转换器保持出色的性能。

ADC输出数据可以直接送至两个外部16位输出端口，这些输出可以设置为1.8 V CMOS或LVDS。

需要时，灵活的掉电选项可以明显降低功耗。

设置与控制的编程利用三线式SPI兼容型串行接口来完成。

AD9268采用64引脚LFCSP封装，额定温度范围为-40°C至+85°C工业温度范围。

技术规格

ADC直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V内部基准电压、DCS使能。

表1.

参数	温度	AD9268BCPZ-80			AD9268BCPZ-105			AD9268BCPZ-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	16			16			16			位
精度											
无失码	全	保证			保证			保证			
失调误差	全	±0.2		±0.4	±0.2		±0.5	±0.4		±0.65	% FSR
增益误差	全	±0.4		±2.5	±0.4		±2.5	±0.4		±2.5	% FSR
微分非线性(DNL) ¹	全	-1.0		+1.4	-1.0		+1.3	-1.0		+1.2	LSB
积分非线性(INL) ¹	25°C	±0.65			±0.7			±0.7			LSB
	全			±4.5			±5.1			±5.5	LSB
	25°C	±2.0			±3.0			±3.0			LSB
匹配特性											
失调误差	全	±0.1		±0.4	±0.1		±0.4	±0.2		±0.45	% FSR
增益误差	全	±0.3		±1.3	±0.3		±1.3	±0.3		±1.3	% FSR
温度漂移											
失调误差	全	±2			±2			±2			ppm/°C
增益误差	全	±15			±15			±15			ppm/°C
内部基准电压											
输出电压误差(1 V模式)	全	±5		±12	±5		±12	±5		±12	mV
负载调整率@1.0 mA	全	5			5			5			mV
输入端参考噪声 VREF = 1.0 V	25°C	2.17			2.23			2.27			LSB rms
模拟输入											
输入范围, VREF = 1.0 V	全	2			2			2			V p-p
输入电容 ²	全	8			8			8			pF
输入共模电压	全	0.9			0.9			0.9			V
基准电压输入阻抗	全	6			6			6			kΩ
电源											
电源电压											
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
电源电流											
IAVDD ¹	全	234			293			390			mA
IDRVDD ¹	全	35			45			55			mA
(1.8 V CMOS)											
IDRVDD ¹	全	89			89			94			mA
(1.8 V LVDS)											

参数	温度	AD9268BCPZ-80			AD9268BCPZ-105			AD9268BCPZ-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
功耗											
直流输入	全	420		450	565		590	750		777	mW
正弦波输入 ¹ (DRVDD = 1.8 V CMOS输出模式)	全	485			608			800			mW
正弦波输入 ¹ (DRVDD = 1.8 V LVDS输出模式)	全	582			685			870			mW
待机功耗 ³	全	45			45			45			mW
掉电功耗	全	0.5		2.5	0.5		2.5	0.5		2.5	mW

¹ 测量条件为：低输入频率、满量程正弦波、每个输出位的负载约为5 pF。
² 输入电容指一个差分输入引脚与AGND之间的有效电容。
³ 待机功耗的测量条件为：直流输入、CLK引脚无动作(设为AVDD或AGND)。

AD9268

ADC交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V内部基准电压、DCS使能。

表2.

参数 ¹	温度	AD9268BCPZ-80			AD9268BCPZ-105			AD9268BCPZ-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)											
f _{IN} = 2.4 MHz	25°C		79.7			78.9			78.8		dBFS
f _{IN} = 70 MHz	25°C	78.3	79.0		77.2	78.8		77.2	78.2		dBFS
	全	78.0			77.1			76.5			dBFS
f _{IN} = 140 MHz	25°C		77.4			76.9			77.1		dBFS
f _{IN} = 200 MHz	25°C		75.5			75.0			75.5		dBFS
信纳比(SINAD)											
f _{IN} = 2.4 MHz	25°C		79.4			78.3			78.3		dBFS
f _{IN} = 70 MHz	25°C	78.1	78.5		77.1	78.6		76.8	77.7		dBFS
	全	77.7			76.8			76.2			dBFS
f _{IN} = 140 MHz	25°C		75.4			75.9			75.8		dBFS
f _{IN} = 200 MHz	25°C		74.3			72.2			74.0		dBFS
有效位数(ENOB)											
f _{IN} = 2.4 MHz	25°C		12.9			12.7			12.7		位
f _{IN} = 70 MHz	25°C		12.8			12.7			12.6		位
f _{IN} = 140 MHz	25°C		12.2			12.3			12.3		位
f _{IN} = 200 MHz	25°C		12.0			11.7			12.0		位
最差的二次/三次谐波											
f _{IN} = 2.4 MHz	25°C		-92			-87			-90		dBc
f _{IN} = 70 MHz	25°C		-91	-88		-93	-87		-88	-85	dBc
	全			-87			-87			-84	dBc
f _{IN} = 140 MHz	25°C		-80			-84			-83		dBc
f _{IN} = 200 MHz	25°C		-82			-77			-79		dBc
无杂散动态范围(SFDR)											
f _{IN} = 2.4 MHz	25°C		92			87			90		dBc
f _{IN} = 70 MHz	25°C	88	91		87	93		85	88		dBc
	全	87			87			84			dBc
f _{IN} = 140 MHz	25°C		80			84			83		dBc
f _{IN} = 200 MHz	25°C		82			77			79		dBc
无杂散动态范围(SFDR)											
无扰动(AIN@ -23 dBFS)											
f _{IN} = 2.4 MHz	25°C		93			100			88		dBFS
f _{IN} = 70 MHz	25°C		95			96			89		dBFS
f _{IN} = 140 MHz	25°C		98			96			90		dBFS
f _{IN} = 200 MHz	25°C		102			100			89		dBFS
有片内扰动(AIN@ -23 dBFS)											
f _{IN} = 2.4 MHz	25°C		107			106			106		dBFS
f _{IN} = 70 MHz	25°C		107			109			106		dBFS
f _{IN} = 140 MHz	25°C		106			104			104		dBFS
f _{IN} = 200 MHz	25°C		104			108			105		dBFS

参数 ¹	温度	AD9268BCPZ-80			AD9268BCPZ-105			AD9268BCPZ-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
最差其它谐波或杂散											
无扰动											
$f_{IN} = 2.4 \text{ MHz}$	25°C		-99			-100			-100		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-100	-96		-99	-94		-100	-94	dBc
有片内扰动	全			-96			-94			-94	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-98			-98			-98		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-96			-94			-96		dBc
With On-Chip Dither											
$f_{IN} = 2.4 \text{ MHz}$	25°C		-108			-107			-108		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-106	-96		-107	-95		-106	-95	dBc
	全			-96			-95			-95	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-105			-104			-103		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-102			-102			-99		dBc
双音无杂散动态范围(SFDR), 无扰动											
$f_{IN} = 29 \text{ MHz} (-7 \text{ dBFS}), 32 \text{ MHz} (-7 \text{ dBFS})$	25°C		93			92			90		dBc
$f_{IN} = 169 \text{ MHz} (-7 \text{ dBFS}), 172 \text{ MHz} (-7 \text{ dBFS})$	25°C		81			80			82		dBc
串扰 ²	全		-95			-95			-95		dB
模拟输入带宽	25°C		650			650			650		MHz

¹ 如需了解完整的定义, 请参阅应用笔记 [AN-835](#): “了解高速ADC测试和评估”。

² 串扰的测量条件: 一个通道输入参数为-1 dBFS、100 MHz信号且另一个通道上无输入信号。

数字规格

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V内部基准电压、DCS使能。

表3.

参数	温度	最小值	典型值	最大值	单位
差分时钟输入(CLK+, CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.3		3.6	V p-p
输入电压范围	全	AGND		AVDD	V
输入共模范围	全	0.9		1.4	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电容	全		4		pF
输入电阻	全	8	10	12	kΩ
同步输入					
逻辑兼容			CMOS		
内部偏置	全		0.9		V
输入电压范围	全	AGND		AVDD	V
高电平输入电压	全	1.2		AVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电容	全		1		pF
输入电阻	全	12	16	20	kΩ

AD9268

参数	温度	最小值	典型值	最大值	单位
逻辑输入(CSB) ¹					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	−10		+10	μA
低电平输入电流	全	40		132	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入(SCLK/DFS) ²					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流(VIN = 1.8 V)	全	−92		−135	μA
低电平输入电流	全	−10		+10	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入/输出(SDIO/DCS) ¹					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	−10		+10	μA
低电平输入电流	全	38		128	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
逻辑输入(OEB、PDWN) ²					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流(VIN = 1.8 V)	全	−90		−134	μA
低电平输入电流	全	−10		+10	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
数字输出					
CMOS模式—DRVDD = 1.8 V					
高电平输出电压					
I _{OH} = 50 μA	全	1.79			V
I _{OH} = 0.5 mA	全	1.75			V
低电平输出电压					
I _{OL} = 1.6 mA	全			0.2	V
I _{OL} = 50 μA	全			0.05	V
LVDS模式—DRVDD = 1.8 V					
差分输出电压(V _{OD}), ANSI模式	全	290	345	400	mV
输出偏移电压(V _{OS}), ANSI模式	全	1.15	1.25	1.35	V
差分输出电压(V _{OD}), 小摆幅模式	全	160	200	230	mV
输出偏移电压(V _{OS}), 小摆幅模式	全	1.15	1.25	1.35	V

¹ 上拉。

² 下拉。

开关规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表4.

参数 ¹	温度	AD9268BCPZ-80			AD9268BCPZ-105			AD9268BCPZ-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数											
输入时钟速率	全			625			625			625	MHz
转换速率 ¹											
DCS使能	全	20		80	20		105	20		125	MSPS
DCS禁用	全	10		80	10		105	10		125	MSPS
时钟周期——分频模式(t_{CLK})	全	12.5			9.5			8			ns
时钟脉宽高电平(t_{CH})											
一分频模式，DCS使能	全	3.75	6.25	8.75	2.85	4.75	6.65	2.4	4	5.6	ns
一分频模式，DCS禁用	全	5.95	6.25	6.55	4.5	4.75	5.0	3.8	4	4.2	ns
二分频至八分频模式	全	0.8			0.8			0.8			ns
孔径延迟(t_A)	全		1.0			1.0			1.0		ns
孔径不确定（抖动， t_j ）	全		0.07			0.07			0.07		ps rms
数据输出参数											
CMOS模式											
数据传播延迟(t_{PD})	全	2.8	3.5	4.2	2.8	3.5	4.2	2.8	3.5	4.2	ns
DCO传播延迟(t_{DCO}) ²	全		3.1			3.1			3.1		ns
DCO至数据偏斜(t_{SKEW})	全	-0.6	-0.4	0	-0.6	-0.4	0	-0.6	-0.4	0	ns
LVDS模式											
数据传播延迟(t_{PD})	全	2.9	3.7	4.5	2.9	3.7	4.5	2.9	3.7	4.5	ns
DCO传播延迟(t_{DCO}) ²	全		3.9			3.9			3.9		ns
DCO至数据偏斜(t_{SKEW})	全	-0.1	+0.2	+0.5	-0.1	+0.2	+0.5	-0.1	+0.2	+0.5	ns
CMOS模式流水线延迟	全		12			12			12		周期
LVDS模式流水线延迟	全		12/12.5			12/12.5			12/12.5		周期
通道A/通道B											
唤醒时间 ³	全		500			500			500		μs
超范围恢复时间	全		2			2			2		周期

¹ 转换速率指分频之后的时钟速率。

² 写入SPI寄存器的位0至位4可以增加额外的DCO延迟时间(见表17)。

³ 唤醒时间指从掉电模式返回正常工作模式所需的时间。

时序规格

表5.

参数	条件	限值
同步时序要求		
t_{SSYNC}	SYNC至CLK+建立时间的上升沿	0.3 ns,典型值
t_{HSYNC}	SYNC至CLK+保持时间的上升沿	0.40 ns,典型值
SPI时序要求		
t_{DS}	数据与SCLK上升沿之间的建立时间	2 ns,最小值
t_{DH}	数据与SCLK上升沿之间的保持时间	2 ns,最小值
t_{CLK}	SCLK周期	40 ns,最小值
t_S	CSB与SCLK之间的建立时间	2 ns,最小值
t_H	CSB与SCLK之间的保持时间	2 ns,最小值
t_{HIGH}	SCLK高电平脉冲宽度	10 ns,最小值
t_{LOW}	SCLK低电平脉冲宽度	10 ns,最小值
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间	10 ns,最小值
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间	10 ns,最小值

时序图

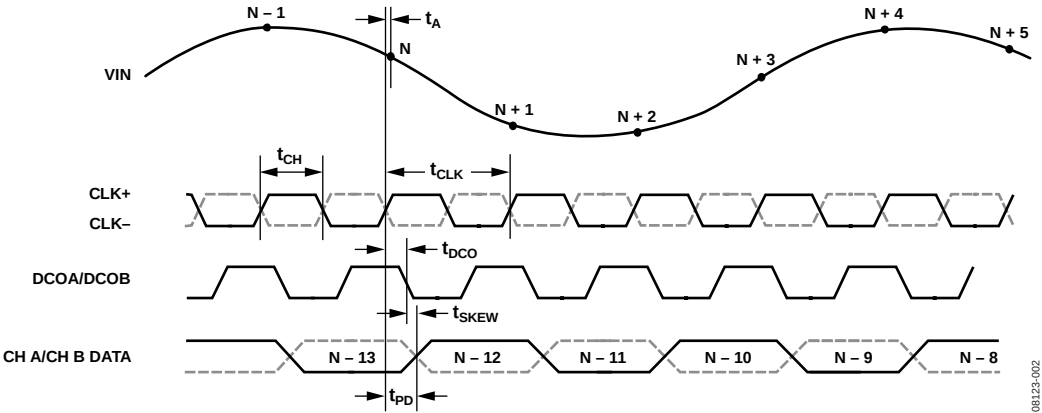


图2. CMOS默认输出模式数据输出时序

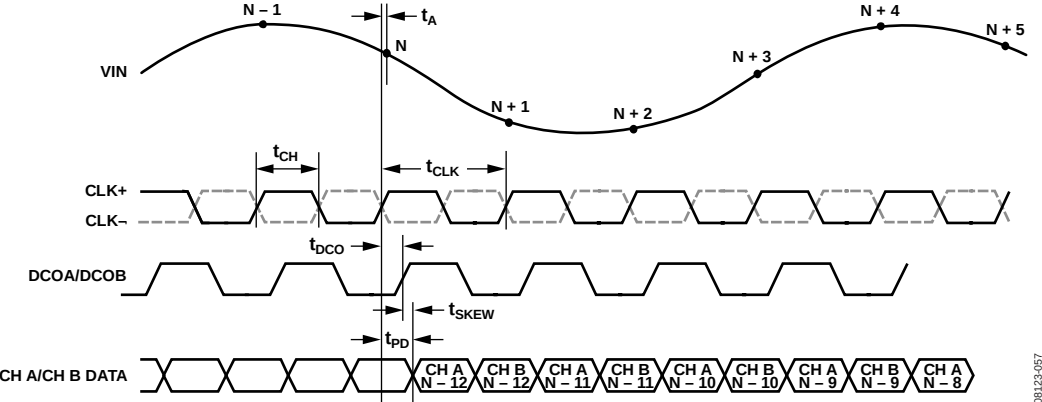
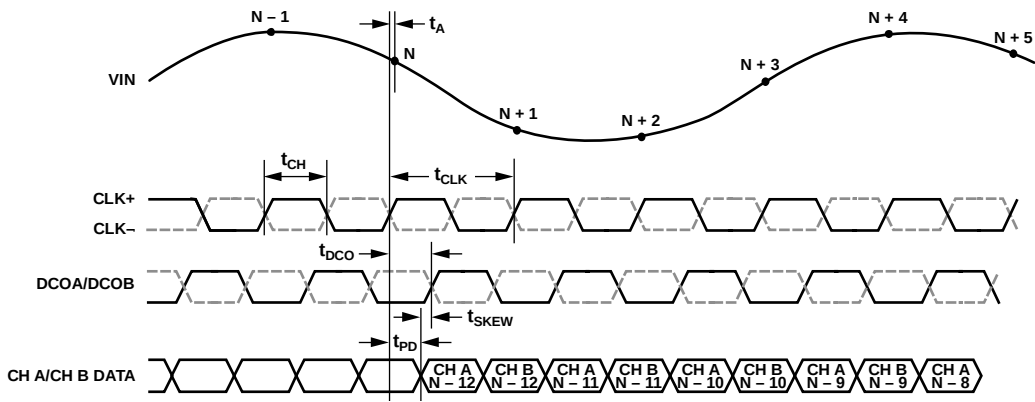
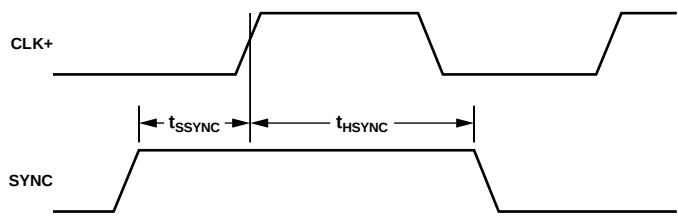


图3. CMOS交错输出模式数据输出时序



08123-003

图4. LVDS模式数据输出时序



08123-004

图5. SYNC输入时序要求

绝对最大额定值

表6.

参数	额定值
电气参数 ¹	
AVDD至AGND	−0.3 V 至 +2.0 V
DRVDD至AGND	−0.3 V 至 +2.0 V
VIN+A/VIN+B、VIN−A/VIN−B至AGND	−0.3 V 至 AVDD + 0.2 V
CLK+、CLK−至AGND	−0.3 V 至 AVDD + 0.2 V
SYNC至AGND	−0.3 V 至 AVDD + 0.2 V
VREF至AGND	−0.3 V 至 AVDD + 0.2 V
SENSE至AGND	−0.3 V 至 AVDD + 0.2 V
VCM至AGND	−0.3 V 至 AVDD + 0.2 V
RBIAS至AGND	−0.3 V 至 AVDD + 0.2 V
CSB至AGND	−0.3 V 至 DRVDD + 0.2 V
SCLK/DFS至AGND	−0.3 V 至 DRVDD + 0.2 V
SDIO/DCS至AGND	−0.3 V 至 DRVDD + 0.2 V
OEB	−0.3 V 至 DRVDD + 0.2 V
PDWN	−0.3 V 至 DRVDD + 0.2 V
D0A/D0B - D15A/D15B至AGND	−0.3 V 至 DRVDD + 0.2 V
DCOA/DCOB至AGND	−0.3 V 至 DRVDD + 0.2 V
环境参数	
工作温度范围(环境)	−40°C 至 +85°C
偏置条件下的最大结温	150°C
存储温度范围(环境)	−65°C 至 +150°C

¹ 输入和输出的额定工作电压为电源电压(AVDD或ARVDD)+ 0.2 V，但不得超过2.1 V。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

LFCSP封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到PCB上可提高焊接可靠性，从而最大限度发挥封装的热性能。

θ_{JA} 典型值的测试条件为带实接地层的四层PCB。如表7所示，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

表7. 热阻

封装类型	气流速度 (m/s)	θ_{JA} ^{1,2}	θ_{JC} ^{1,3}	θ_{JB} ^{1,4}	单位
64引脚 LFCSP (CP-64-6)	0	18.5	1.0		°C/W
	1.0	16.1		9.2	°C/W
	2.5	14.5			°C/W

¹ 按照JEDEC 51-7，加上JEDEC 25-5 2S2P测试板。
² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。
³ 按照MIL-Std 883、方法 1012.1。
⁴ 按照JEDEC JESD51-8(静止空气)。

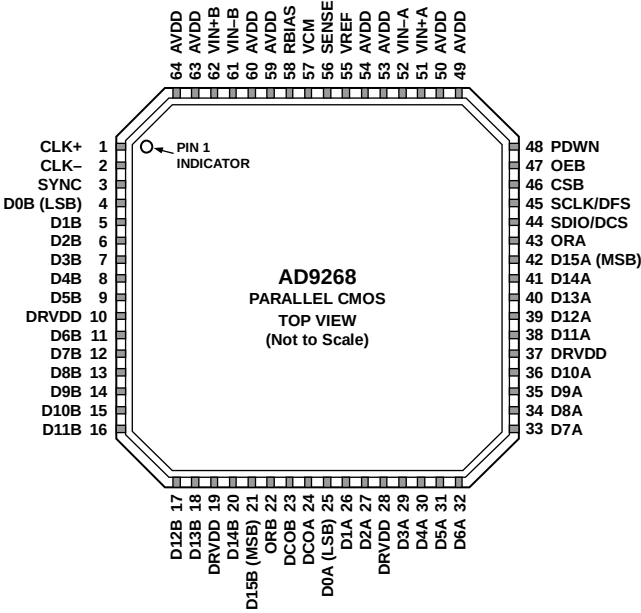
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

08123-005

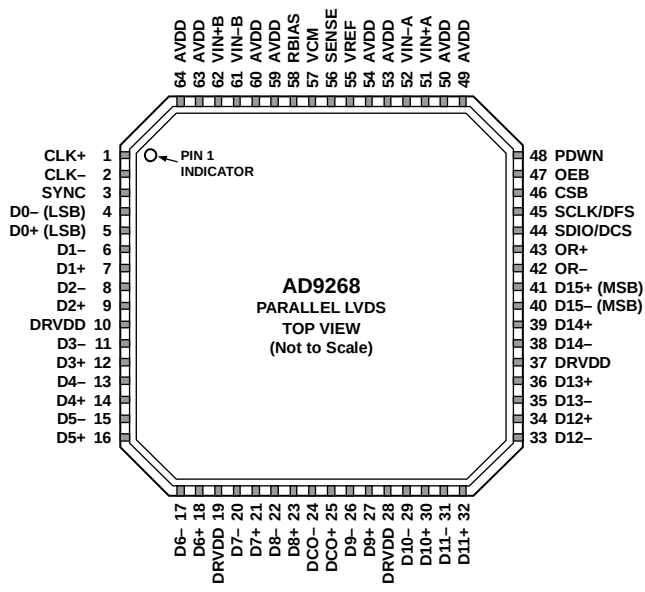
图6. LFCSP并行CMOS引脚配置(顶视图)

表8. 引脚功能描述(并行CMOS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。
ADC模拟			
51	VIN+ A	输入	通道A的差分模拟输入引脚(+)。
52	VIN- A	输入	通道A的差分模拟输入引脚(-)。
62	VIN+ B	输入	通道B的差分模拟输入引脚(+)。
61	VIN- B	输入	通道B的差分模拟输入引脚(-)。
55	VREF	输入/输出	基准电压输入/输出。
56	SENSE	输入	基准电压模式选择。详情请参见表11。
58	RBIAS	输入/输出	外部基准偏置电阻。
57	VCM	输出	模拟输入的共模电平偏置输出。
1	CLK+	输入	ADC时钟输入(+).
2	CLK-	输入	ADC时钟输入(-).
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
25	D0A (LSB)	输出	通道A CMOS输出数据
26	D1A	输出	通道A CMOS输出数据
27	D2A	输出	通道A CMOS输出数据
29	D3A	输出	通道A CMOS输出数据
30	D4A	输出	通道A CMOS输出数据
31	D5A	输出	通道A CMOS输出数据
32	D6A	输出	通道A CMOS输出数据

AD9268

引脚编号	引脚名称	类型	描述
33	D7A	输出	通道A CMOS输出数据
34	D8A	输出	通道A CMOS输出数据
35	D9A	输出	通道A CMOS输出数据
36	D10A	输出	通道A CMOS输出数据
38	D11A	输出	通道A CMOS输出数据
39	D12A	输出	通道A CMOS输出数据
40	D13A	输出	通道A CMOS输出数据
41	D14A	输出	通道A CMOS输出数据
42	D15A (MSB)	输出	通道A CMOS输出数据
43	ORA	输出	通道A超量程输出。
4	D0B (LSB)	输出	通道B CMOS输出数据
5	D1B	输出	通道B CMOS输出数据
6	D2B	输出	通道B CMOS输出数据
7	D3B	输出	通道B CMOS输出数据
8	D4B	输出	通道B CMOS输出数据
9	D5B	输出	通道B CMOS输出数据
11	D6B	输出	通道B CMOS输出数据
12	D7B	输出	通道B CMOS输出数据
13	D8B	输出	通道B CMOS输出数据
14	D9B	输出	通道B CMOS输出数据
15	D10B	输出	通道B CMOS输出数据
16	D11B	输出	通道B CMOS输出数据
17	D12B	输出	通道B CMOS输出数据
18	D13B	输出	通道B CMOS输出数据
20	D14B	输出	通道B CMOS输出数据
21	D15B (MSB)	输出	通道B CMOS输出数据
22	ORB	输出	通道B超量程输出。
24	DCOA	输出	通道A数据时钟输出
23	DCOB	输出	通道B数据时钟输出
SPI控制			
45	SCLK/DFS	输入	在外部引脚模式下，SPI串行时钟/数据格式选择引脚。
44	SDIO/DCS	输入/输出	在外部引脚模式下，SPI串行数据输入/输出/占空比稳定器引脚。
46	CSB	输入	SPI片选(低电平有效)。
ADC配置			
47	OEB	输入	在外部引脚模式下，输出使能输入(低电平有效)引脚。
48	PDWN	输入	在外部引脚模式下，掉电输入引脚。在SPI模式下，此输入引脚可以配置为掉电或待机引脚。



NOTES
1. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

00123-006

图7. LFCSP交错并行LVDS引脚配置(顶视图)

表9. 引脚功能描述(交错并行LVDS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连, 才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+).
52	VIN-A	输入	通道A的差分模拟输入引脚(-).
62	VIN+B	输入	通道B的差分模拟输入引脚(+).
61	VIN-B	输入	通道B的差分模拟输入引脚(-).
55	VREF	输入/输出	基准电压输入/输出。
56	SENSE	输入	基准电压模式选择。详情请参见表11。
58	RBIAS	输入/输出	外部基准偏置电阻。
57	VCM	输出	模拟输入的共模电平偏置输出。
1	CLK+	输入	ADC时钟输入(+).
2	CLK-	输入	ADC时钟输入(-).
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
5	D0+ (LSB)	输出	通道A/通道B LVDS输出数据0(+).
4	D0- (LSB)	输出	通道A/通道B LVDS输出数据0(-).
7	D1+	输出	通道A/通道B LVDS输出数据1(+).
6	D1-	输出	通道A/通道B LVDS输出数据1(-).
9	D2+	输出	通道A/通道B LVDS输出数据2(+).
8	D2-	输出	通道A/通道B LVDS输出数据2(-).
12	D3+	输出	通道A/通道B LVDS输出数据3(+).

AD9268

引脚编号	引脚名称	类型	描述
11	D3–	输出	通道A/通道B LVDS输出数据3(–)。
14	D4+	输出	通道A/通道B LVDS输出数据4(+)
13	D4–	输出	通道A/通道B LVDS输出数据4(–)。
16	D5+	输出	通道A/通道B LVDS输出数据5(+)
15	D5–	输出	通道A/通道B LVDS输出数据5(–)。
18	D6+	输出	通道A/通道B LVDS输出数据6(+)
17	D6–	输出	通道A/通道B LVDS输出数据6(–)。
21	D7+	输出	通道A/通道B LVDS输出数据7(+)
20	D7–	输出	通道A/通道B LVDS输出数据7(–)。
23	D8+	输出	通道A/通道B LVDS输出数据8(+)
22	D8–	输出	通道A/通道B LVDS输出数据8(–)。
27	D9+	输出	通道A/通道B LVDS输出数据9(+)
26	D9–	输出	通道A/通道B LVDS输出数据9(–)。
30	D10+	输出	通道A/通道B LVDS输出数据10(+)
29	D10–	输出	通道A/通道B LVDS输出数据10(–)。
32	D11+	输出	通道A/通道B LVDS输出数据11(+)
31	D11–	输出	通道A/通道B LVDS输出数据11(–)。
34	D12+	输出	通道A/通道B LVDS输出数据12(+)
33	D12–	输出	通道A/通道B LVDS输出数据12(–)。
36	D13+	输出	通道A/通道B LVDS输出数据13(+)
35	D13–	输出	通道A/通道B LVDS输出数据13(–)。
39	D14+	输出	通道A/通道B LVDS输出数据14(+)
38	D14–	输出	通道A/通道B LVDS输出数据14(–)。
41	D15+ (MSB)	输出	通道A/通道B LVDS输出数据15(+)
40	D15– (MSB)	输出	通道A/通道B LVDS输出数据15(–)。
43	OR+	输出	通道A/通道B LVDS超量程输出(+)
42	OR–	输出	通道A/通道B LVDS超量程输出(–)。
25	DCO+	输出	通道A/通道B LVDS数据时钟输出(+)
24	DCO–	输出	通道A/通道B LVDS数据时钟输出(–)。
SPI控制			
45	SCLK/DFS	输入	在外部引脚模式下，SPI串行时钟/数据格式选择引脚。
44	SDIO/DCS	输入/输出	在外部引脚模式下，SPI串行数据输入/输出/占空比稳定器引脚。
46	CSB	输入	SPI片选(低电平有效)。
ADC配置			
47	OEB	输入	在外部引脚模式下，输出使能输入(低电平有效)引脚。
48	PDWN	输入	在外部引脚模式下，掉电输入引脚。在SPI模式下，此输入引脚可以配置为掉电或待机引脚。

典型工作特性

除非另有说明， $AVDD = 1.8\text{ V}$ 、 $DRVDD = 1.8\text{ V}$ 、额定采样速率、DCS使能、 1.0 V 内部基准电压、 2 V 峰峰值差分输入、 $VIN = -1.0\text{ dBFS}$ 、 32 k 采样、 $T_A = 25^\circ\text{C}$ 。

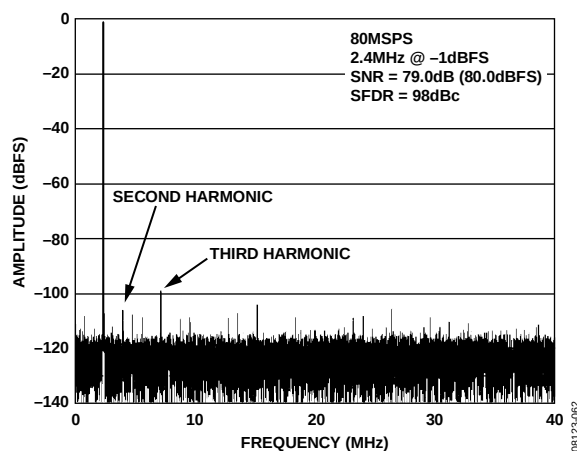


图8. AD9268-80单音FFT($f_{IN} = 2.4\text{ MHz}$)

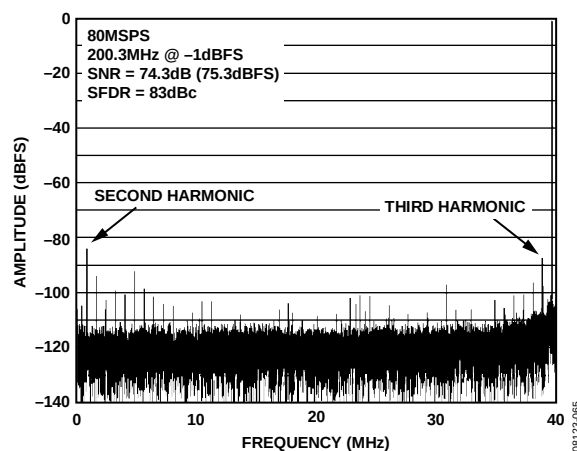


图11. AD9268-80单音FFT($f_{IN} = 200.1\text{ MHz}$)

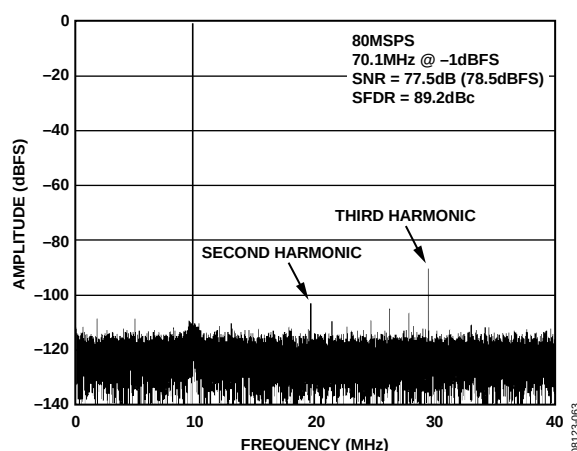


图9. AD9268-80单音FFT($f_{IN} = 70.1\text{ MHz}$)

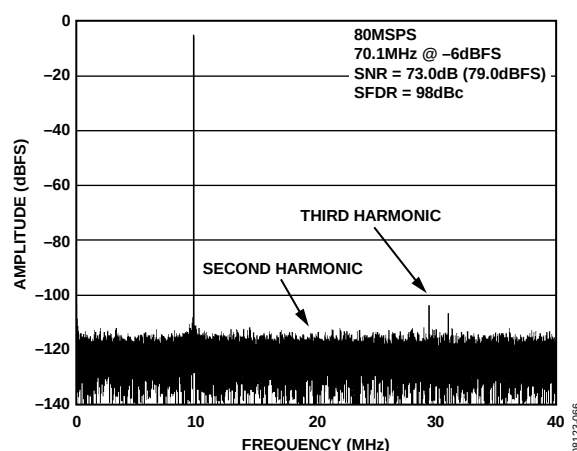


图12. AD9268-80单音FFT($f_{IN} = 70.1\text{ MHz}$, 扰动使能)

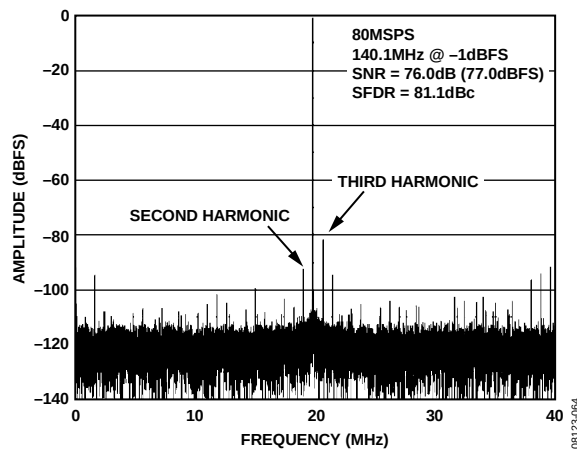


图10. AD9268-80单音FFT($f_{IN} = 140.1\text{ MHz}$)

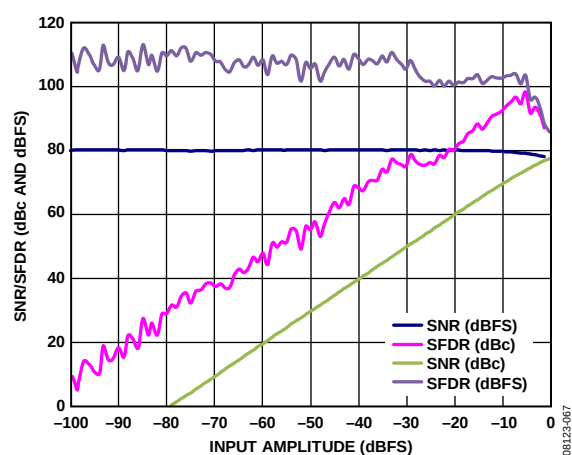


图13. AD9268-80单音SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 98.12\text{ MHz}$)

AD9268

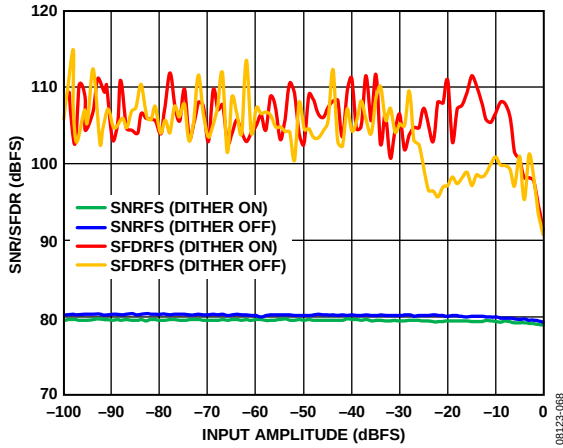


图14. AD9268-80单音SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 30$ MHz, 扰动禁用)

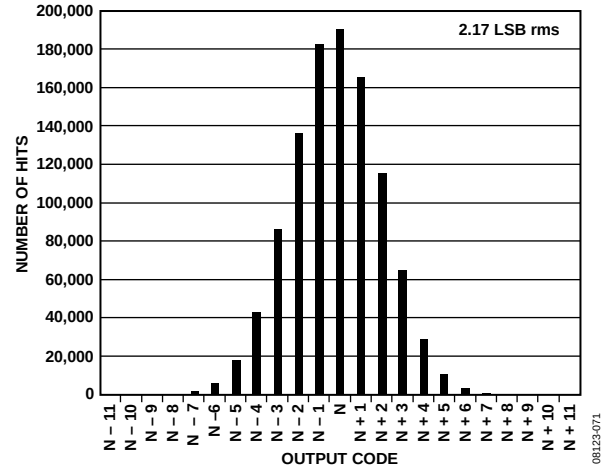


图17. AD9268-80接地输入直方图

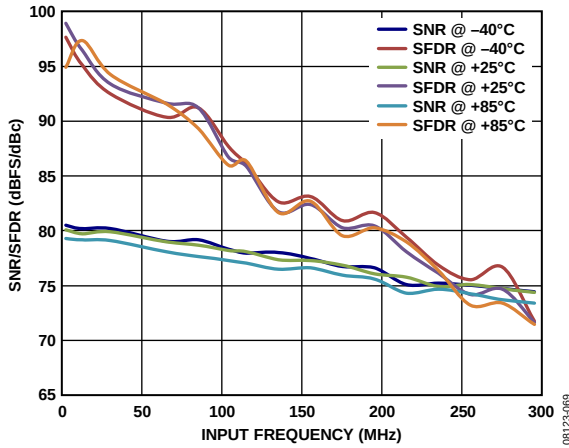


图15. AD9268-80单音SNR/SFDR与输入频率(f_{IN})的关系
(2 V峰峰值满量程)

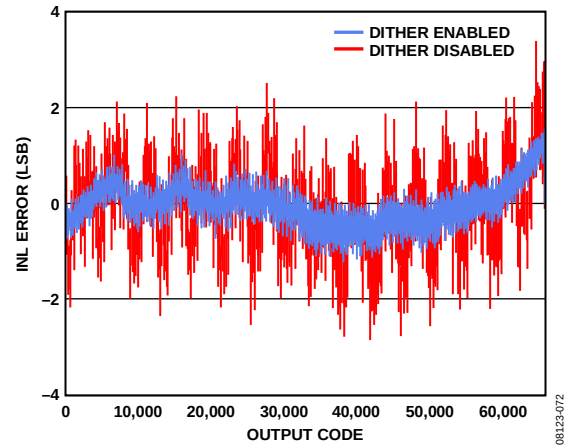


图18. AD9268-80 INL误差($f_{IN} = 9.7$ MHz)

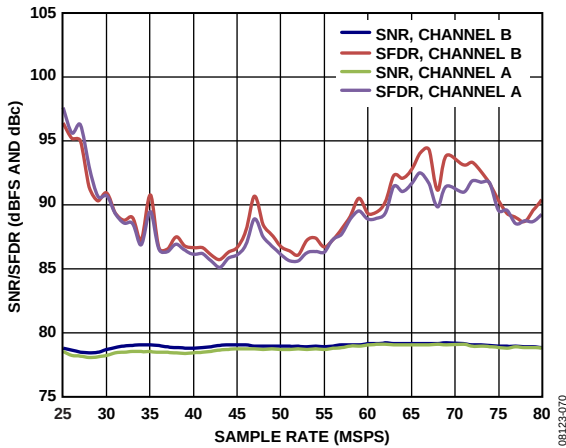


图16. AD9268-80单音SNR/SFDR与采样率(f_s)的关系
($f_{IN} = 70.1$ MHz)

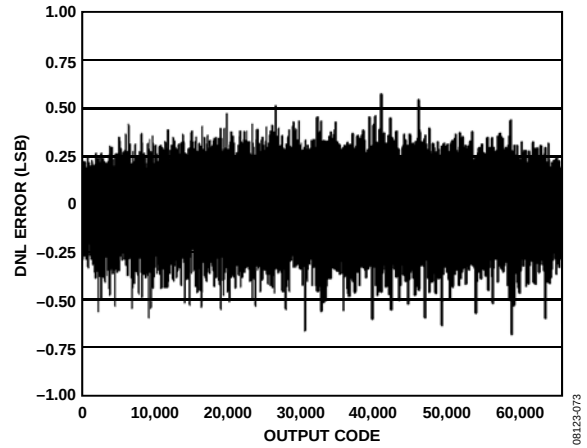
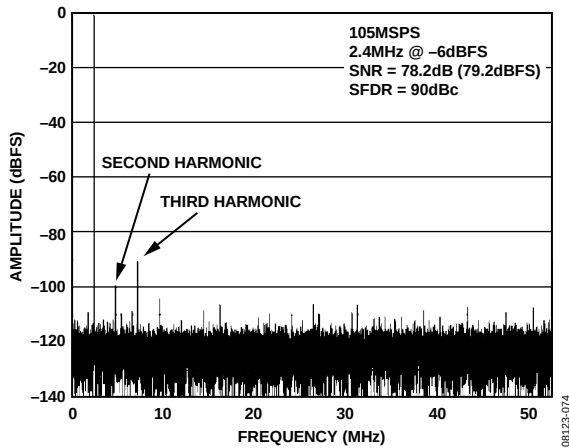
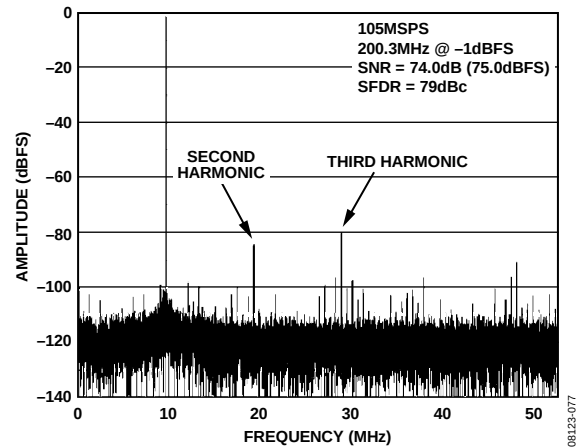
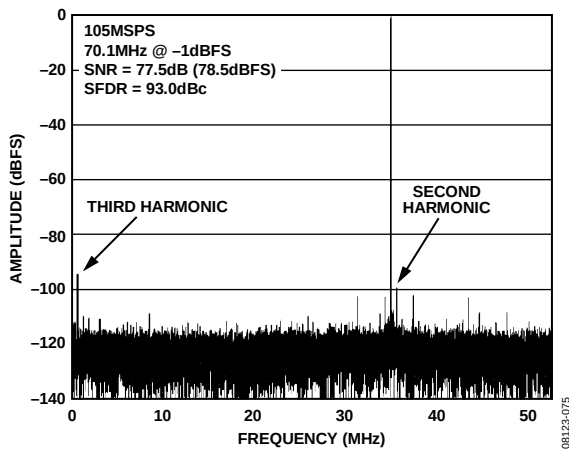
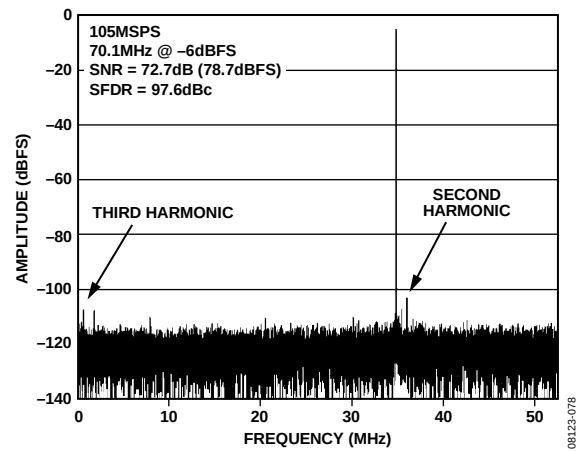
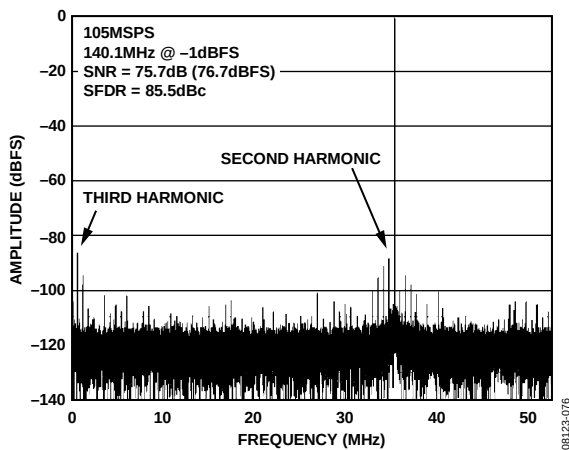
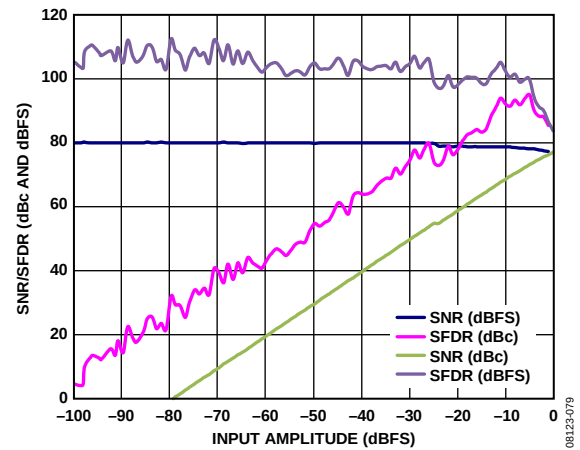


图19. AD9268-80 DNL误差($f_{IN} = 9.7$ MHz)

图20. AD9268-105单音FFT($f_{IN} = 2.4$ MHz)图23. AD9268-105单音FFT($f_{IN} = 200.3$ MHz)图21. AD9268-105单音FFT($f_{IN} = 70.1$ MHz)图24. AD9268-105单音FFT($f_{IN} = 70.1$ MHz, 扰动使能)图22. AD9268-105单音FFT($f_{IN} = 140.1$ MHz)图25. AD9268-105单音SNR/SFDR与输入幅度(A_{IN})的关系 ($f_{IN} = 98.12$ MHz)

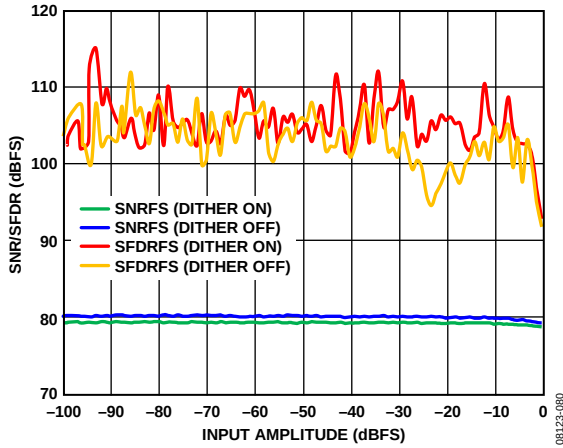


图26. AD9268-105单音SNR/SFDR与输入幅度(A_{IN})的关系 ($f_{IN} = 30$ MHz, 扰动禁用)

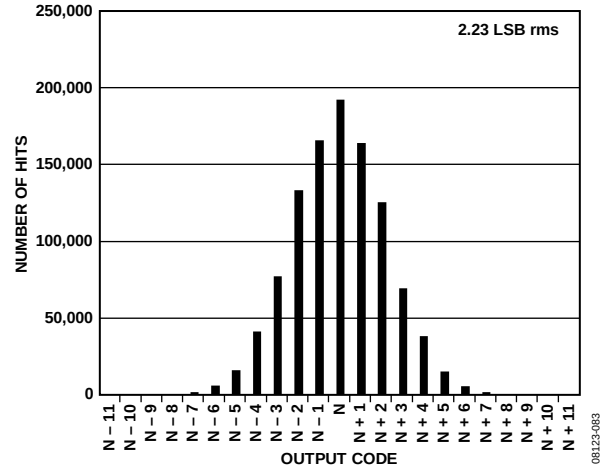


图29. AD9268-105接地输入直方图

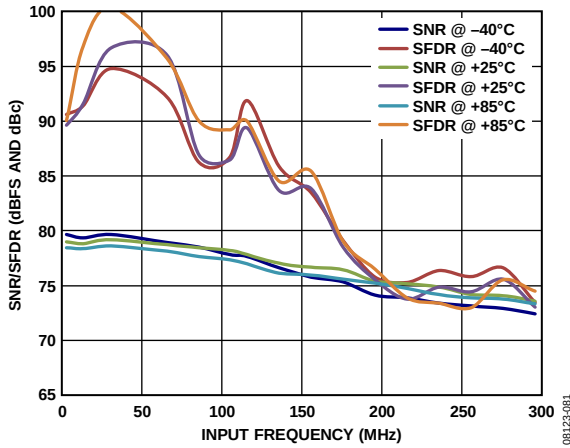


图27. AD9268-105单音SNR/SFDR与输入频率(f_{IN})的关系 (2 V峰峰值满量程)

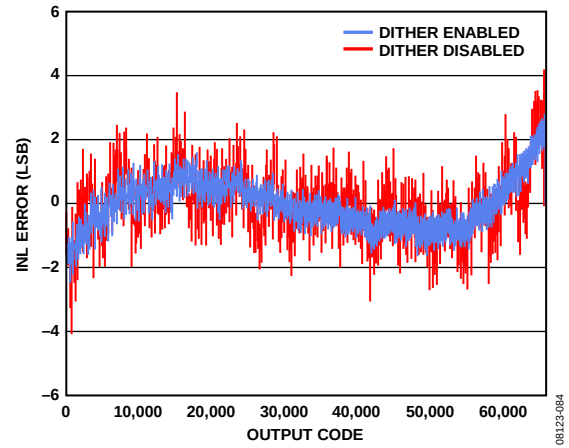


图30. AD9268-105 INL误差($f_{IN} = 9.7$ MHz)

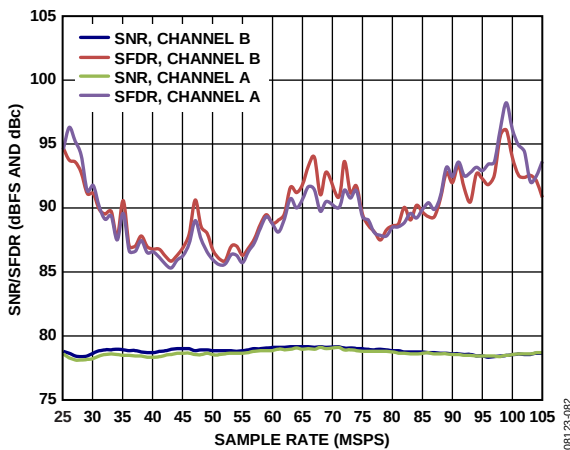


图28. AD9268-105单音SNR/SFDR与采样率(f_s)的关系 ($f_{IN} = 70.1$ MHz)

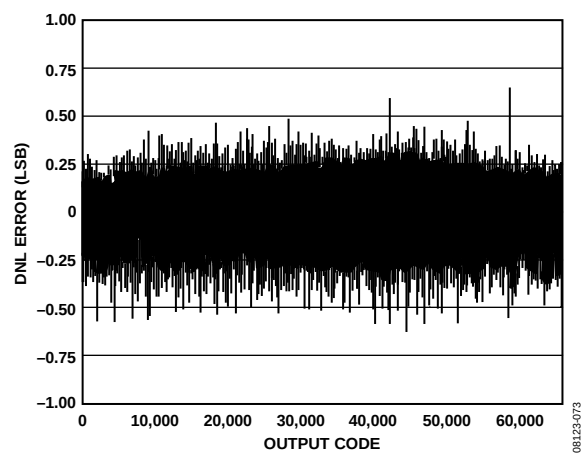
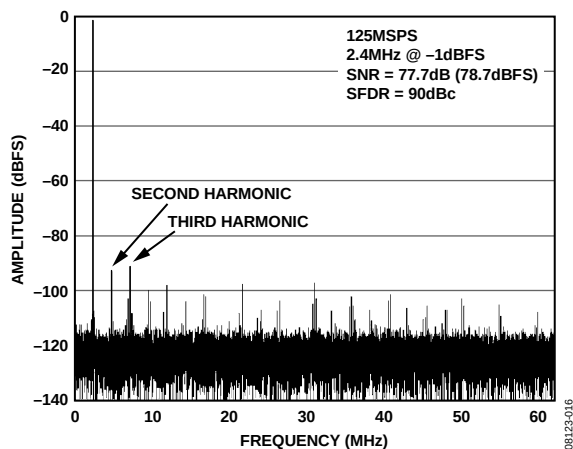
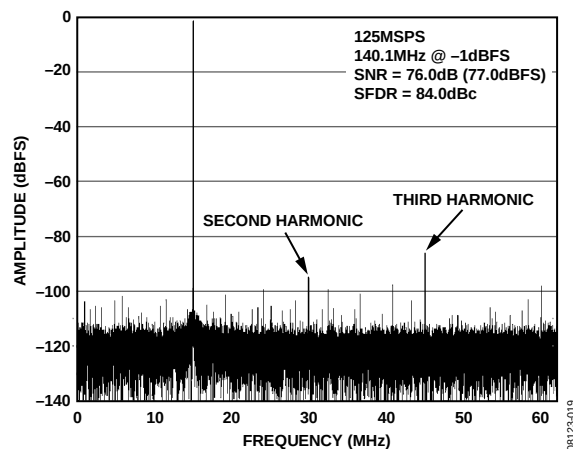
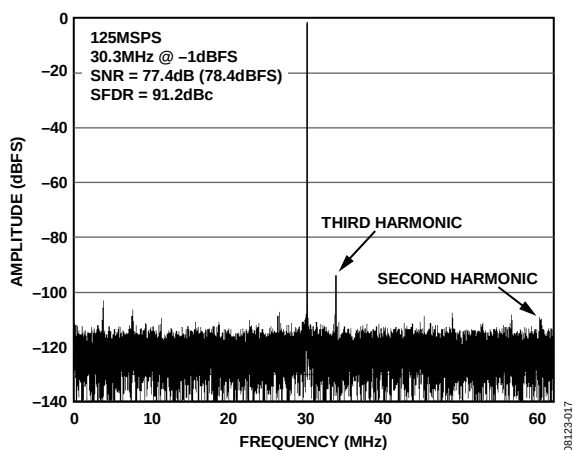
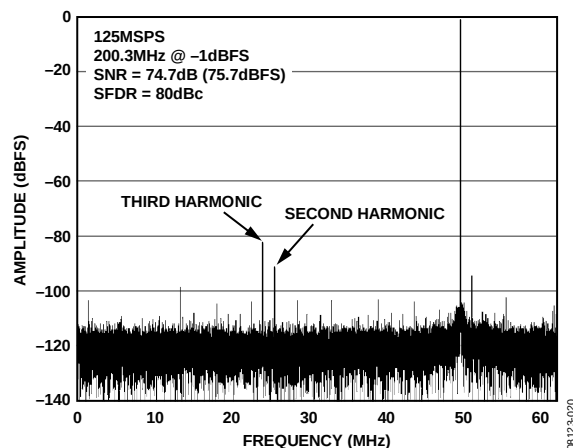
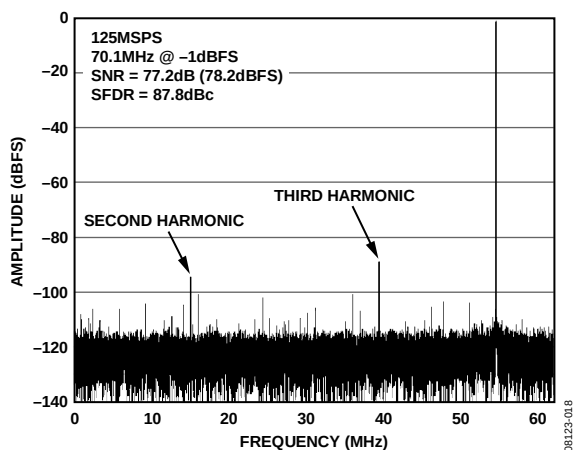
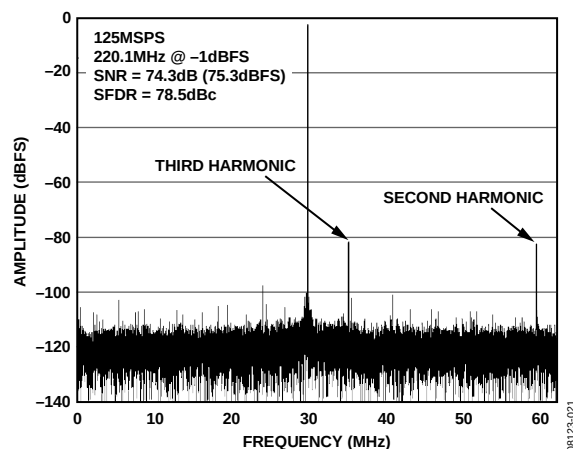


图31. AD9268-105 DNL误差($f_{IN} = 9.7$ MHz)

图32. AD9268-125单音FFT($f_{IN} = 2.4$ MHz)图35. AD9268-125单音FFT($f_{IN} = 140.1$ MHz)图33. AD9268-125单音FFT($f_{IN} = 30.3$ MHz)图36. AD9268-125单音FFT($f_{IN} = 200.3$ MHz)图34. AD9268-125单音FFT($f_{IN} = 70.1$ MHz)图37. AD9268-125单音FFT($f_{IN} = 220.1$ MHz)

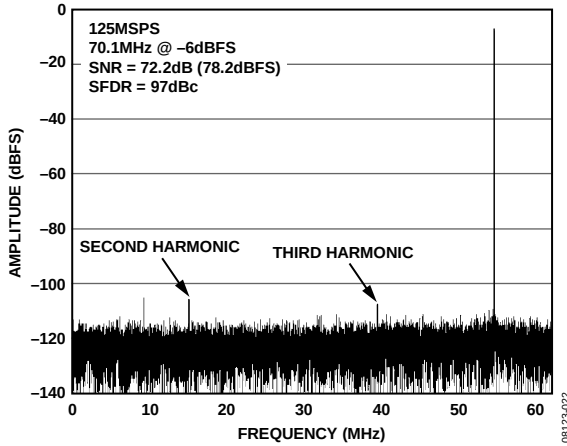


图38. AD9268-125单音FFT
($f_{IN} = 70.1 \text{ MHz}$ @ -6 dBFS , 扰动使能)

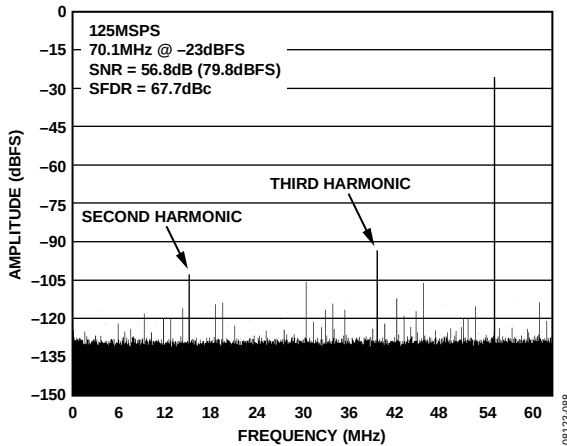


图39. AD9268-125单音FFT
($f_{IN} = 70.1 \text{ MHz}$ @ -23 dBFS , 扰动禁用, 1M采样点)

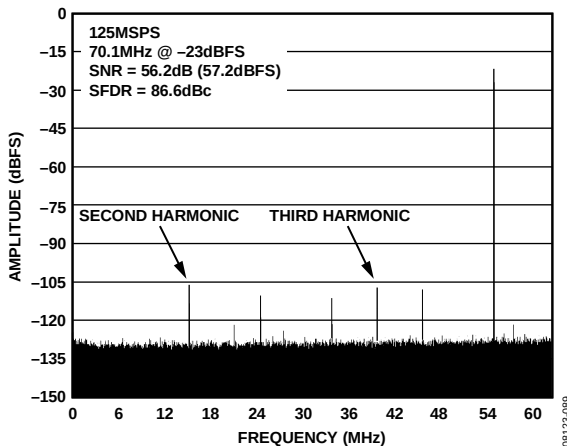


图40. AD9268-125单音FFT
($f_{IN} = 70.1 \text{ MHz}$ @ -23 dBFS , 扰动使能, 1M采样点)

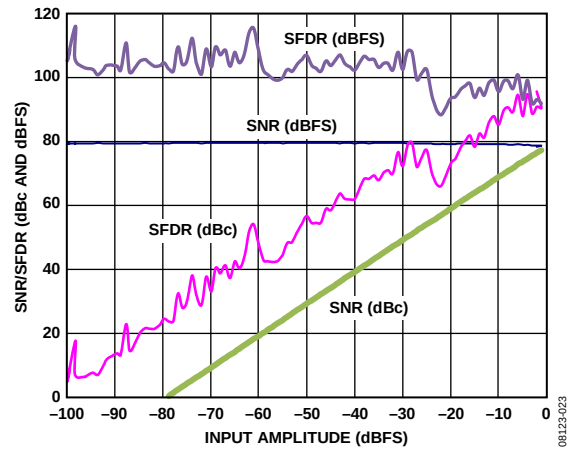


图41. AD9268-125单音SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 2.4 \text{ MHz}$)

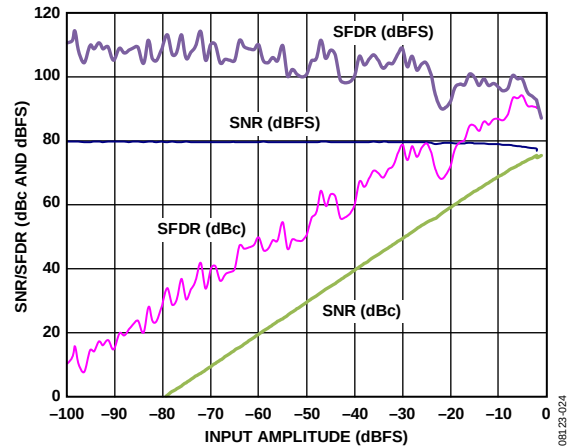


图42. AD9268-125单音SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 98.12 \text{ MHz}$)

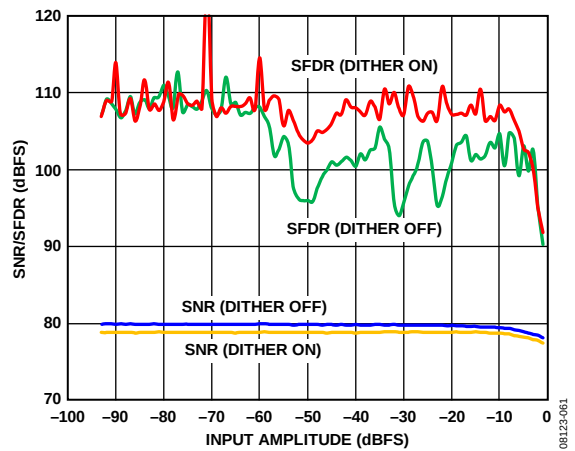


图43. AD9268-125单音SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 30 \text{ MHz}$, 扰动禁用)

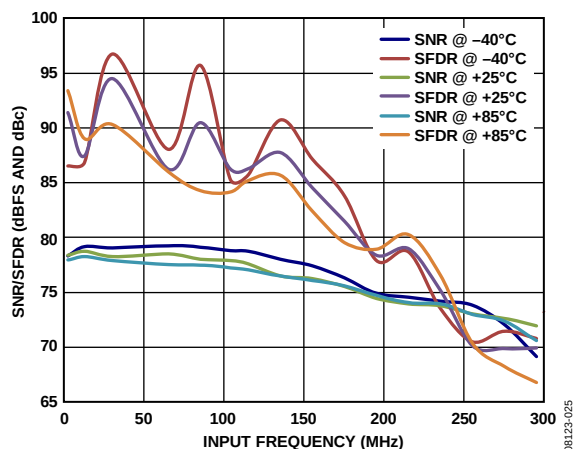


图44. AD9268-125单音SNR/SFDR与输入频率(f_{IN})的关系
(2 V峰峰值满量程)

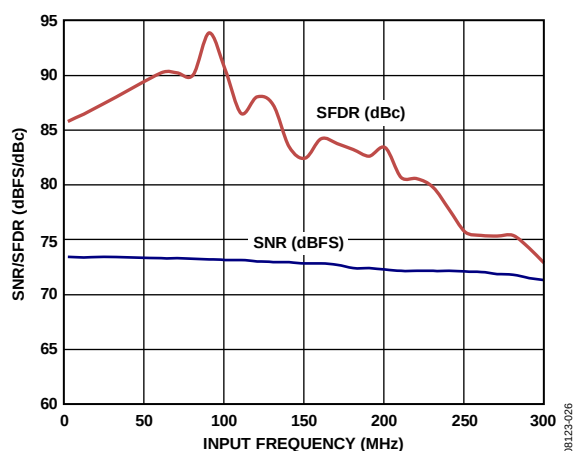


图45. AD9268-125单音SNR/SFDR与输入频率(f_{IN})的关系
(1 V峰峰值满量程)

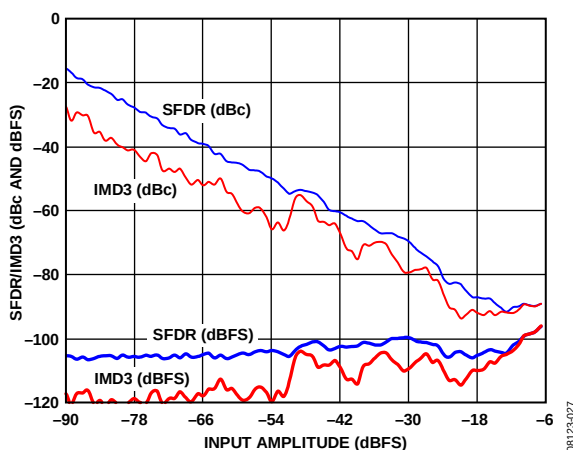


图46. AD9268-125双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 29.1$ MHz, $f_{IN2} = 32.1$ MHz, $f_s = 125$ MSPS)

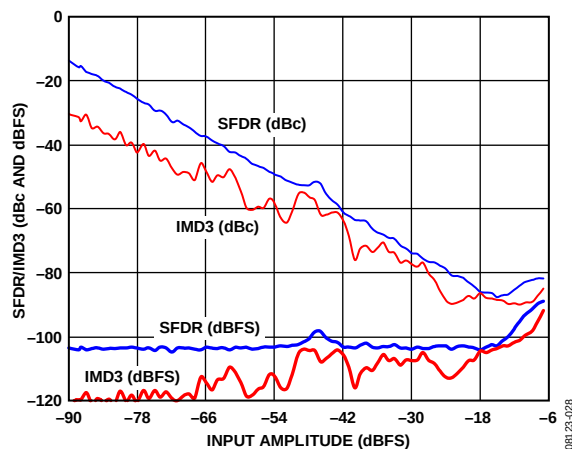


图47. AD9268-125双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 169.1$ MHz, $f_{IN2} = 172.1$ MHz, $f_s = 125$ MSPS)

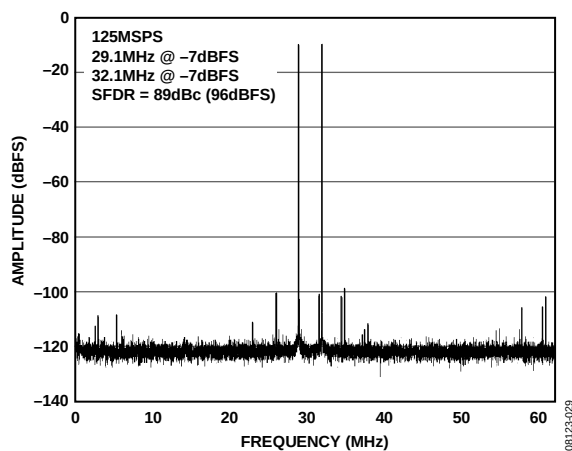


图48. AD9268-125双音FFT
($f_{IN1} = 29.1$ MHz, $f_{IN2} = 32.1$ MHz)

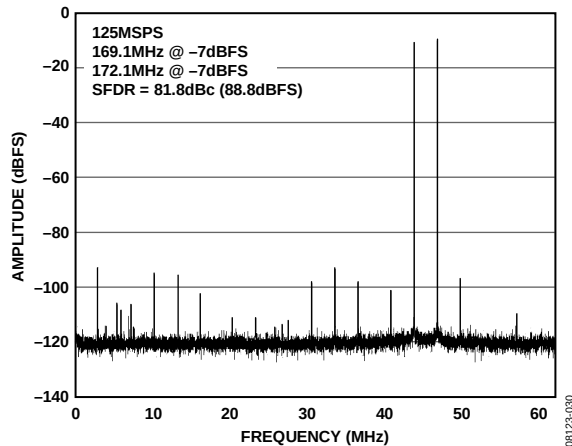


图49. AD9268-125双音FFT
($f_{IN1} = 169.1$ MHz, $f_{IN2} = 172.1$ MHz)

AD9268

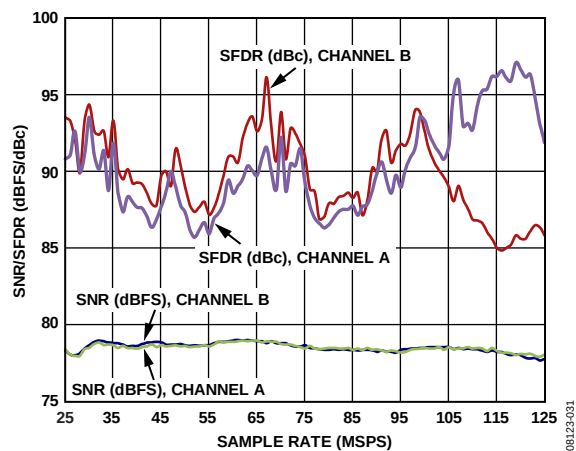


图50. AD9268-125单音SNR/SFDR与采样率(f_s)的关系 ($f_{IN} = 70.1$ MHz)

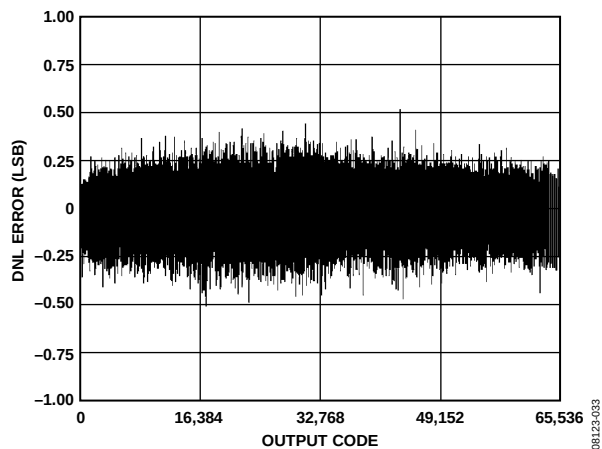


图53. AD9268-125 DNL误差 ($f_{IN} = 9.7$ MHz)

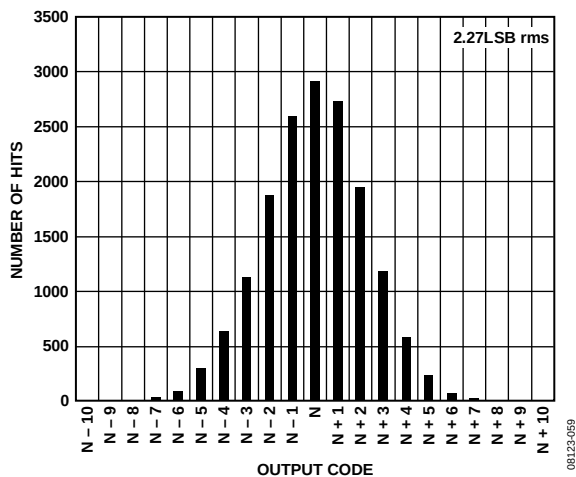


图51. AD9268-125接地输入直方图

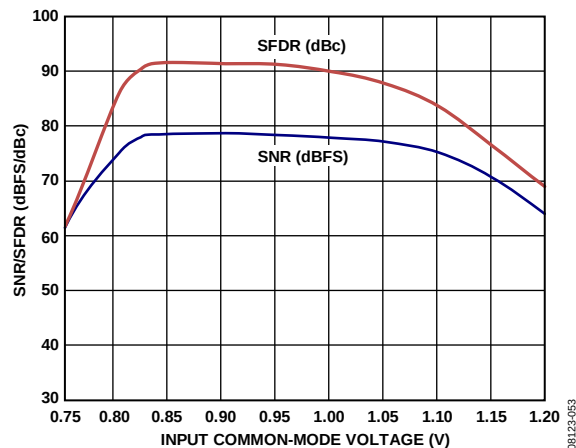


图50. AD9268-125单音SNR/SFDR与采样率(f_s)的关系 ($f_{IN} = 70.1$ MHz)

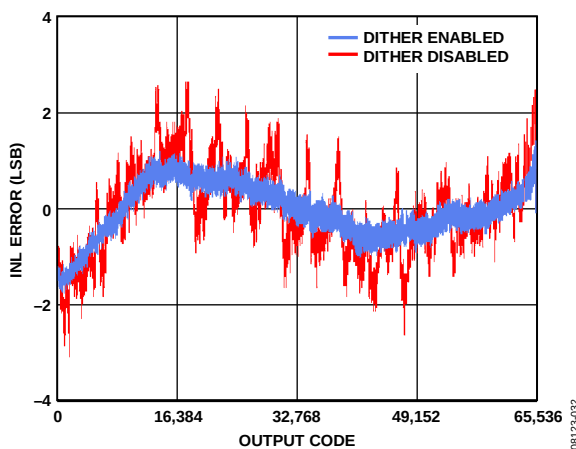


图52. AD9268-125 INL误差($f_{IN} = 9.7$ MHz)

等效电路

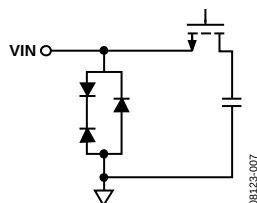


图55. 等效模拟输入电路

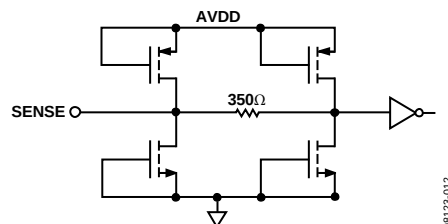


图60. 等效SENSE电路

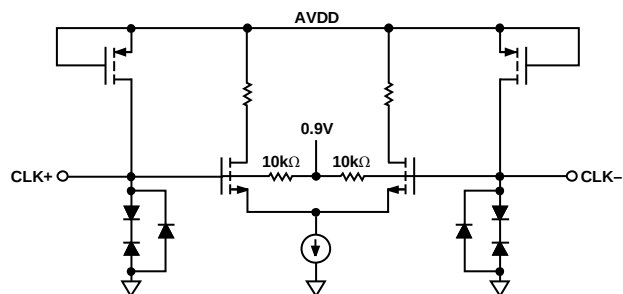


图56. 等效时钟输入电路

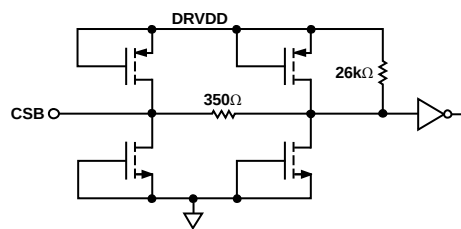


图61. 等效CSB输入电路

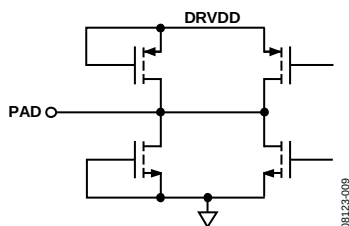


图57. 数字输出

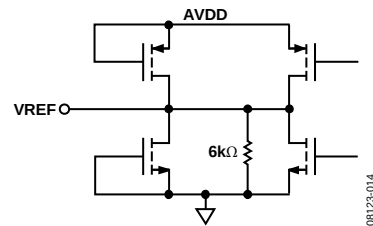


图62. 等效VREF电路

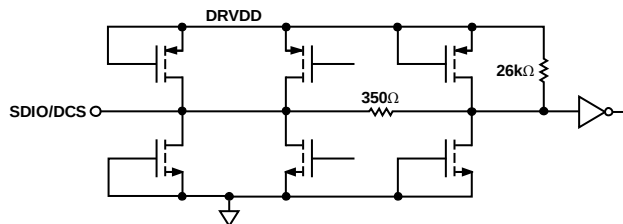


图58. 等效SDIO/DCS电路

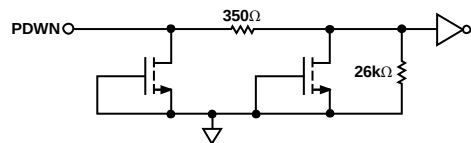
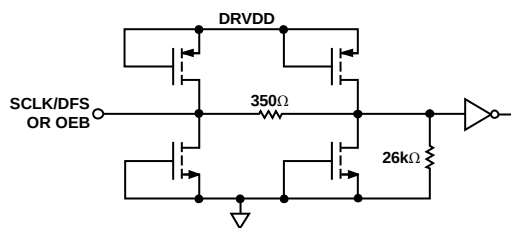


图63. 等效PDWN输入电路



/DFS or OEB Input Circuit

图59. 等效SCLK/DFS或OEB输入电路

工作原理

AD9268双核模数转换器(ADC)设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，ADC还可处理单独的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，对任一 $f_s/2$ 频段(从直流到200 MHz)的信号进行采样，这不会明显降低ADC的性能。ADC可对300 MHz模拟输入信号进行处理，但这会加大ADC的噪声和失真。

在非分集应用场合，AD9268可用作基带或直接下变频接收机。此时，可将一个ADC用于I输入数据，另一个用于Q输入数据。

同步功能用于多个器件之间的同步定时。

借助一个三线型SPI兼容的串行接口，可对AD9268进行编程和控制。

ADC架构

AD9268架构由一个双前端采样保持电路和其后的流水线型开关电容ADC组成。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个16位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都包括一个低分辨率Flash型ADC、一个开关电容数模转换器(DAC)和一个级间余量放大器(MDAC)。MDAC用于放大重构DAC输出与闪存型输入之间的差，以用于流水线的下一级。为了便于实现闪存误差的数字校正，每一级设定了1位的冗余量。最后一级仅由一个闪存型ADC组成。

每个通道的输入级包含一个差分采样电路，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。输出缓冲器需要单独供电，以便将数字输出噪声与模拟内核隔离。在掉电期间，输出缓冲器进入高阻态。

模拟输入考虑

AD9268的模拟输入端是一个差分开关电容电路，其处理差分输入信号的性能极佳。

输入根据时钟信号，在采样模式和保持模式之间切换(见图64)。当输入切换到采样模式时，信号源必须能够对采样电容充电，且在半时钟周期内完成建立。

每个输入端都串联一个小电阻，可以降低驱动源输出级所需的峰值瞬态电流。在两个输入端之间可配置一个并联电容，以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器；因此，模数转换的精度取决于应用。

在中频(IF)欠采样应用中，需要去掉并联电容。因为并联电容与驱动源阻抗共同作用，会限制输入带宽。关于此话题的更多信息，请参阅应用笔记AN-742“开关电容ADC的频域响应”、应用笔记AN-827“放大器与开关电容ADC接口的谐振匹配方法”和Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(www.analog.com)。

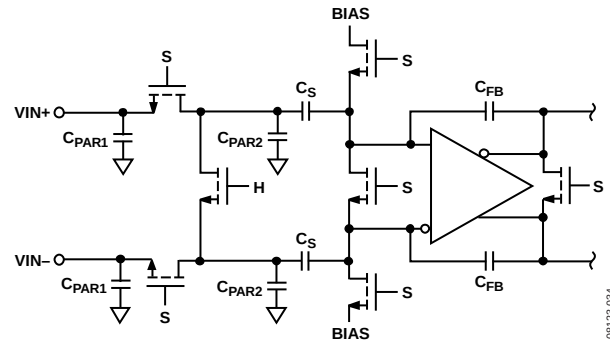


图64. 开关电容输入

为得到最佳动态性能，必须保证驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，并且使两输入保持差分平衡。

内部差分基准缓冲器用于形成正负基准电压，进而决定ADC内核的输入范围。ADC内核的输入范围由该缓冲器设置为 $2 \times V_{REF}$ 。

输入共模

AD9268的模拟输入端无内部直流偏置。在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件进行设置，使得 $V_{CM} = 0.5 \times AVDD$ (或0.9 V)；但器件在更宽的范围内都能获得合理的性能(见图54)。芯片通过VCM引脚提供板上共模基准电压。通过VCM引脚提供模拟输入共模电压(典型值为 $0.5 \times AVDD$)时，可实现芯片的最佳性能。必须用一个0.1 μF 电容对VCM引脚去耦到地，如“应用信息”部分所述。

共模电压伺服

如果AD9268的VCM输出与模拟输入之间可能存在电压损失,可以使能共模电压伺服。当输入采用交流耦合,并且VCM输出与模拟输入之间放置一个100 Ω 以上的电阻时,可能会出现显著的压降,这时应使能共模电压伺服。将寄存器0x0F的位0设置为逻辑高电平即可使能VCM伺服模式。在这种模式下,AD9268监控模拟输入端的共模输入电平并调整VCM输出电平,使共模输入电压保持在最佳电平。如果两个通道均工作,则监控通道A。不过,如果通道A处于掉电或待机模式,则监控通道B输入。

扰动

AD9268有一个可选的扰动模式,可以针对一个或两个通道选择该模式。扰动指将已知但随机的白噪声量(一般称为“扰动”)注入ADC输入端的行为。扰动具有改善ADC传递函数上不同点的局部线性度的作用。当量化小信号输入时(输入电平通常低于-6 dBFS),扰动能够显著改善SFDR。

如图65所示,以数字方式精确扣除扰动DAC施加于ADC输入端的扰动量,从而使SNR性能下降的幅度最小。使能扰动时,扰动DAC由一个伪随机数发生器(PN发生器)驱动。在AD9268中,扰动DAC经过精密校准,SNR和SINAD性能所受的影响非常小。当扰动使能时,SNR和SINAD的典型下降值分别只有1 dB和0.8 dB。

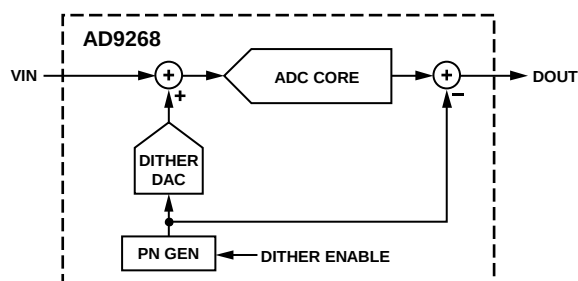


图65. 扰动框图

大信号FFT

在大多数情况下,扰动不会改善接近满量程的大信号输入(例如-1 dBFS输入)的SFDR。对于大信号输入,SFDR通常受限于前端采样失真,扰动无法改善这一状况。然而,即使是这种大信号输入,扰动对某些应用也可能有用,因为它能使噪底更平。AD9268含有器件随机失配所引起的小DNL误差,这是流水线型ADC的常见现象;这种误差会产生杂散或干扰音,使得不同器件的噪底呈现为随机的杂散分布。虽然这些干扰音一般都非常低,不会限制ADC量化

大信号输入时的SFDR性能,但扰动会将其转换为噪声,产生更平的噪底。

小信号FFT

对于小信号输入,前端采样电路对失真的贡献一般非常小,因此,SFDR可能会受DNL误差(源于随机器件失配)所引起的干扰音限制。因此,对于小信号输入(通常低于-6 dBFS),扰动能够通过将这些DNL干扰音转换为白噪声而显著改善SFDR。

静态线性度

扰动还能消除ADC INL传递函数中的局部陡峭不连续部分,从而降低整体峰到峰INL。

在接收机应用中,扰动有助于减小会引起小信号增益误差的DNL误差。通常,解决这一问题的方法是将输入噪声设置得比转换器噪声高5 dB到10 dB。而利用转换器内置的扰动功能来校正DNL误差,就可以降低输入噪声要求。

差分输入配置

通过差分输入配置驱动AD9268时,可实现芯片的最佳性能。在基带应用中,AD8138、ADA4937-2和ADA4938-2差分驱动器能够为ADC提供出色的性能和灵活的接口。

通过AD9268的VCM引脚,可以方便地设置ADA4938-2的输出共模电压(见图66);驱动器可以配置为Sallen-Key滤波器拓扑电路结构,从而对输入信号进行带宽限制。

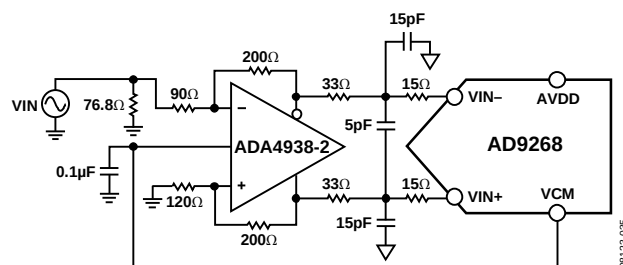


图66. 利用ADA4938-2进行差分输入配置

在SNR为关键参数的基带应用中,建议使用的输入配置是差分变压器耦合,如图67的示例。为实现模拟输入偏置,须将VCM电压连接到至变压器次级绕组的中心抽头处。

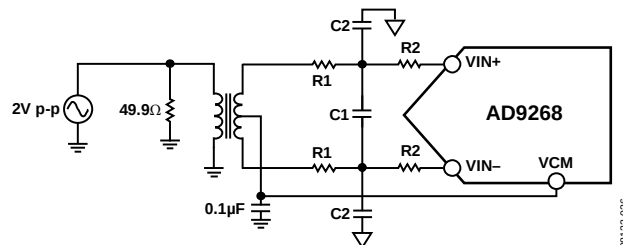


图67. 差分变压器耦合配置

AD9268

在选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致内核饱和，从而导致失真。

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到AD9268真正的SNR性能。在SNR为关键参数的应用中，建议使用的输入配置是差分双巴伦耦合(见图68)。在这种配置中，输入交流耦合，CML通过一个33 Ω电阻提供给各输入。这些电阻补偿输入巴伦的损耗，向驱动器提供50 Ω阻抗。

在双巴伦和变压器配置中，输入电容和电阻的值取决于输入频率和源阻抗，并且可能需要降低或去掉。表10列出了设置RC网络的建议值。当输入频率较高时，将铁氧体磁珠与电阻串联并去掉电容可以实现良好的性能。不过，这些值取决于输入信号，且只能用作初始参考。

表10. RC网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)
0 to 100	33	5	15	15
100 至 200	10	5	10	10
100 至 300	10 ¹	去掉	66	去掉

¹ 这种配置中，R1为铁氧体磁珠，其值为10 Ω @ 100 MHz。

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用AD8352差分驱动器，实例如图69所示。更多信息参见AD8352数据手册。

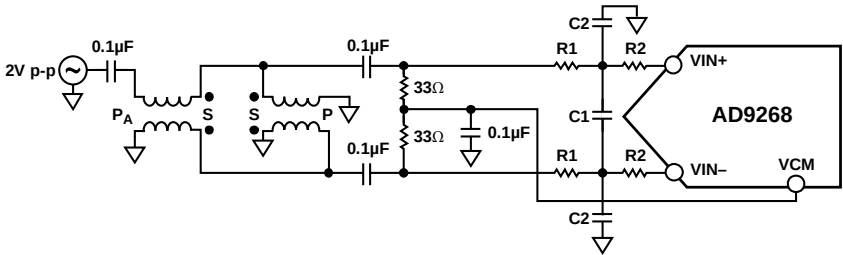


图68. 差分双巴伦输入配置

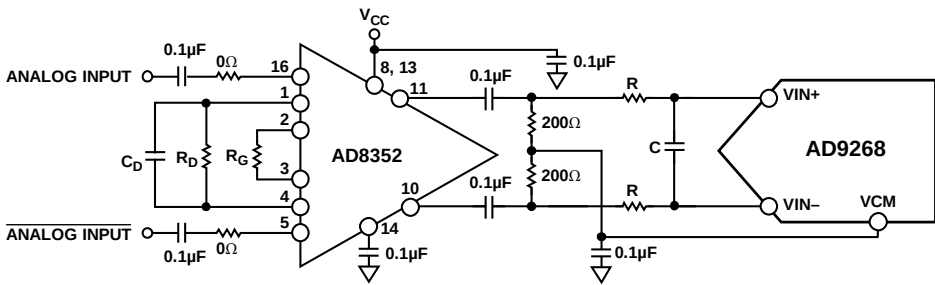


图69. 利用AD8352进行差分输入配置

基准电压源

AD9268内置稳定、精确的基准电压源。通过改变施加于AD9268的基准电压(内部基准电压或外部基准电压)，可以调整电压输入范围。ADC输入范围跟随基准电压呈线性变化。在接下来的部分中，将对各种基准电压模式进行介绍。“基准电压去耦”部分详细描述基准电压的最佳PCB布局布线。

内部基准电压连接

AD9268的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成四种不同的模式(见表11)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图70)，因而将VREF设为1.0 V(对于2.0 V峰峰值满量程输入)。在这种模式下，SENSE接地，也可以通过SPI端口调整满量程，方法是调整寄存器0x18的位6和位7。利用这些位可以将满量程更改为1.25 V峰峰值、1.5 V峰峰值、1.75 V峰峰值或默认的2.0 V峰峰值，如表17所示。

将SENSE引脚与VREF引脚相连，可将基准放大器输出端切换至SENSE引脚，从而形成一个环路，提供0.5 V基准输出电压(对于1 V峰峰值满量程输入)。

如果芯片与一个外部电阻分压器相连(如图71)，则开关也切换至SENSE引脚。这样，可使基准放大器进入同相模式；VREF输出端电压的计算公式如下：

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1}\right)$$

无论芯片使用内部基准电压还是外部基准电压，ADC的电压输入范围始终是基准电压引脚(VREF)电压的两倍。

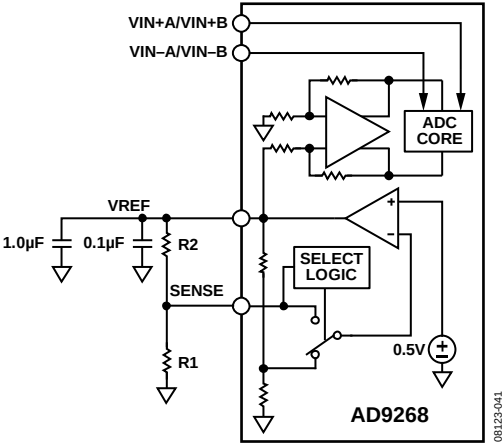


图71. 可编程基准电压配置

如需利用AD9268的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图72说明负载如何影响内部基准电压。

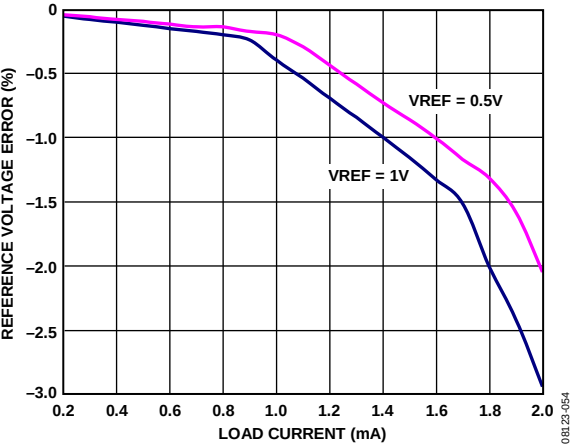


图72. 基准电压精度与负载电流的关系

表11. 基准电压配置汇总

所选模式	SENSE电压	相应的VREF (V)	相应的差分范围(Vp-p)
外部基准电压	AVDD	N/A	2 × 外部基准电压
内部固定基准电压	VREF	0.5	1.0
可编程基准电压	0.2 V 至 VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$ (见图71)	2 × VREF
内部固定基准电压	AGND to 0.2 V	1.0	2.0

外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度、改善热漂移特性。图73显示内部基准电压为1.0 V时的典型漂移特性。

将SENSE引脚与AVDD相连，可以禁用内部基准电压，从而允许使用外部基准电压。外部基准电压等效为6 k Ω 负载（见图62）。内部缓冲器为ADC内核生成正、负满量程基准电压。因此，外部基准电压的最大值为1.0 V。

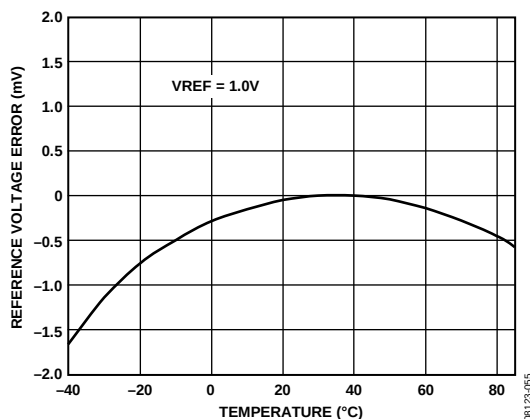


图73. 典型VREF漂移

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9268采样时钟输入端(CLK+和CLK-)的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到CLK+引脚和CLK-引脚内。CLK+和CLK-引脚有内部偏置（见图74），无需外部偏置。如果这些输入悬空，应将CLK-引脚拉低以防止杂散时钟。

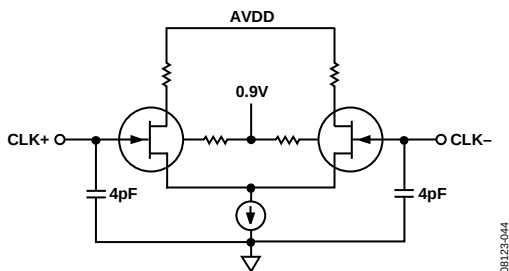


图74. 等效时钟输入电路

时钟输入选项

AD9268的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动（见“抖动考虑”部分说明）。

图75和图76显示两种为AD9268提供时钟信号的首选方（时钟速率可达625 MHz）。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至625 MHz的时钟频率，建议采样射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采样射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到AD9268中的时钟信号限制为约差分0.8 V峰峰值。

这样，既可以防止时钟的大电压摆幅馈通至AD9268的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

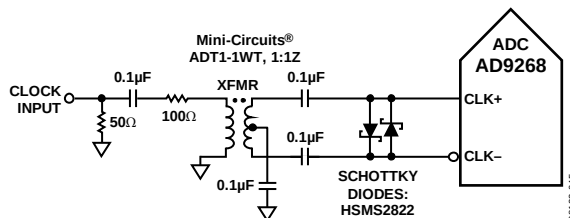


图75. 变压器耦合差分时钟（频率可达200 MHz）

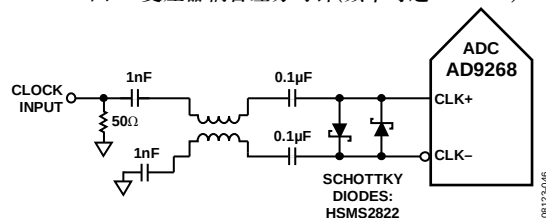


图76. 巴伦耦合差分时钟（频率可达625 MHz）

如果没有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚（如图77所示）。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517/AD9518时钟驱动器具有出色的抖动性能。

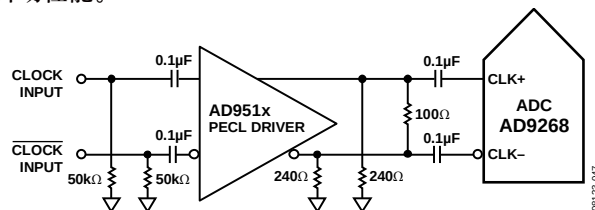


图77. 差分PECL采样时钟（频率可达625 MHz）

第三种方法是对差分LVDS信号进行交流耦合，并传输至采样时钟输入引脚（如图78所示）。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517/AD9518时钟驱动器具有出色的抖动性能。

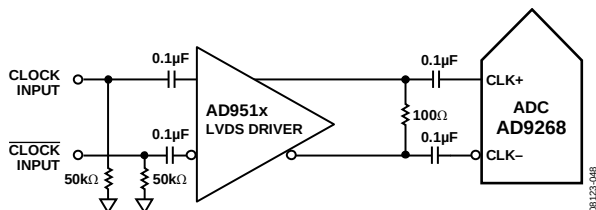
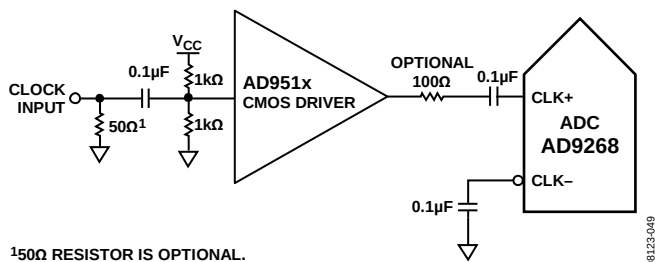


图78. 差分LVDS采样时钟（频率可达625 MHz）

在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚应直接由CMOS门电路驱动，CLK-引脚应通过一个0.1 μF电容旁路至地(见图79)。



150Ω RESISTOR IS OPTIONAL.

图79. 单端1.8 V CMOS输入时钟(频率可达200 MHz)

输入时钟分频器

AD9268内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。对于分频比1、2或4，占空比稳定器(DCS)是可选的。对于其它分频比(3、5、6、7和8)，必须使能占空比稳定器才能保证器件正常工作。

利用外部SYNC输入信号，可同步AD9268时钟分频器。通过对寄存器0x100的位1和位2进行写操作，可以设置每次收到SYNC信号或者仅第一次收到SYNC信号后，对时钟分频器再同步。有效SYNC可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。为保持ADC的动态性能，AD9268对时钟占空比的容差有严格要求。

AD9268内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响AD9268的性能。当DCS使能时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。

输入上升沿的抖动依然非常重要，且无法借助内部稳定电路来轻松降低这种抖动。当时钟速率低于20 MHz(标称值)时，占空比控制环路没有作为。在时钟速率动态改变的应用中，必须考虑与环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。在环路处于非锁定状态时，DCS环路被旁路，内部器件定时取决于输入时钟信号的占空比。在此类应用中，建议禁用占空比稳定器。在所有其它应用中，建议使能DCS电路，以便获得最佳交流性能。

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。对于接近满量程的输入，在给定的输入频率(f_{INPUT})下，由于抖动(t_{JMS})造成的信噪比(SNR)下降(相对于低频信噪比 SNR_{LF})可通过下式计算：

$$\text{SNR}_{\text{HF}} = -10 \log[(2\pi \times f_{\text{INPUT}} \times t_{\text{JMS}})^2 + 10^{(-\text{SNR}_{\text{LF}}/10)}]$$

上式中，均方根孔径抖动表示时钟输入抖动规格。中频欠采样应用对抖动尤其敏感(如图80所示)。图80所示曲线的测量条件是使用抖动约为65 fs的ADC时钟源，它与AD9268固有的70 fs抖动共同产生所示的结果。

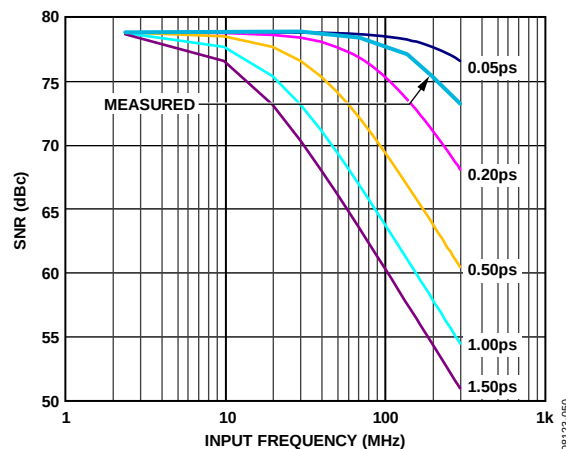


图80. 信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD9268的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756(www.analog.com)。

通道/芯片同步

AD9268有一个同步(SYNC)输入端，允许用户通过灵活的同步选项实现时钟分频器同步。时钟分频器的同步特性可保证多个ADC的采样时钟同步。可以使能输入时钟分频器以在第一次或每次出现SYNC信号时进行同步。

SYNC输入信号在内部与采样时钟同步，但为避免多个器件之间出现定时不确定性，SYNC输入信号应在外部与输入时钟信号同步，满足表5所示的建立和保持时间要求。SYNC输入信号应由单端CMOS型信号驱动。

功耗和待机模式

如图81所示，AD9268的功耗随着采样速率而变化。在CMOS输出模式下，数字功耗主要由数字驱动器的强度和每个输出位的负载大小决定。

最大DRVDD电流值(IDRVDD)的计算公式如下：

$$IDRVDD = VDRVDD \times C_{LOAD} \times f_{CLK} \times N$$

其中N为输出位数(对于AD9268, $N = 32 + 2$ 个DCO输出)。当每个输出位在每个时钟周期内都发生切换时(即以 $f_{CLK}/2$ 的奈奎斯特频率产生满量程方波时)，电流达到最高值。实际操作中，DRVDD电流由输出位切换的平均数确定，该平均数取决于采样速率和模拟输入信号的特性。降低输出驱动器的容性负载可以降低数字功耗。图81中的数据是在LVDS输出模式下，采用与测量典型性能特性相同的工作条件得出。

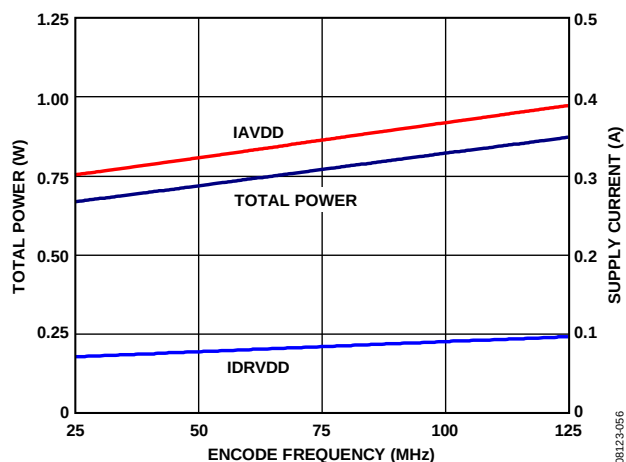


图81. AD9268-125功率和电流与编码频率的关系(LVDS输出模式)

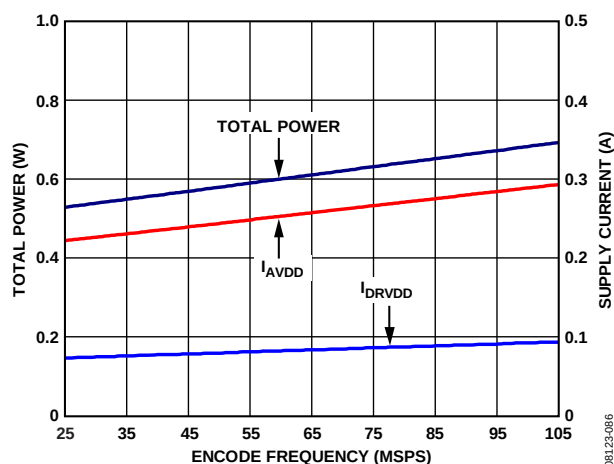


图82. AD9268-105功率和电流与编码频率的关系(LVDS输出模式)

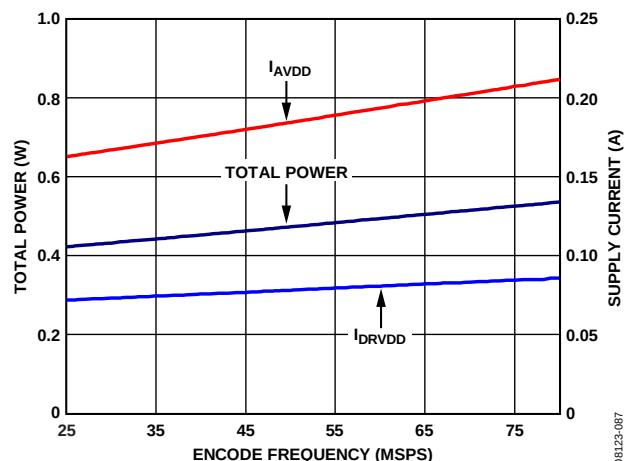


图83. AD9268-80功率和电流与编码频率的关系(LVDS输出模式)

置位PDWN(通过SPI端口或将PDWN引脚置位高电平)，可使AD9268进入掉电模式。在这种状态下，ADC的典型功耗为3.3 mW。在掉电模式下，输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后，AD9268返回正常工作模式。

在掉电模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入低调电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。

使用SPI端口接口时，用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。

数字输出

AD9268输出驱动器可以配置为与1.8 V CMOS逻辑系列接口。此外，使用一个1.8 V DRVDD电源，也可将AD9268配置为LVDS输出(标准ANSI或小输出摆幅模式)。

在CMOS输出模式下，输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。

因此，在那些需要ADC来驱动大容性负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。

默认输出模式为CMOS，各通道在单独的总线上输出，如图2所示。也可以通过SPI端口将输出配置为交错CMOS模式。在这种交错CMOS模式下，两个通道的数据均通过通道A输出位输出，通道B输出则置于高阻态模式。交错CMOS输出模式的时序图见图3。

在外部引脚模式下，设置SCLK/DFS引脚可以控制数据以偏移二进制格式或二进制补码格式输出(见表12)。

如应用笔记AN-877“通过SPI与高速ADC接口”中所述，在SPI控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

表12. SCLK/DFS模式选择(外部引脚模式)

引脚电压	SCLK/DFS	SDIO/DCS
AGND	偏移二进制(默认)	DCS禁用
AVDD	二进制补码	DCS使能(默认)

数据输出使能功能(OEB)

AD9268的数字输出引脚具有灵活的三态功能。三态模式通过OEB引脚或SPI接口使能。若OEB引脚处于低电平状态，则使能输出数据驱动器和DCO。若OEB引脚处于高电平状态，则将输出数据驱动器和DCO置于高阻态。OEB功能不适用于快速访问数据总线。注意，OEB以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

使用SPI接口时，通过寄存器0x14的位4(输出使能位)，可以独立设置每个通道的数据输出和DCO三态。

时序

AD9268提供流水线延迟为12个时钟周期的锁存数据。在经过时钟信号上升沿后的一个传播延迟时间(t_{PD})之后，产生输出数据。

为降低AD9268内的瞬时现象，应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象可降低转换器的动态性能。

AD9268的典型最低转换速率为10 MSPS。当时钟速率低于10 MSPS时，芯片的动态性能会有所下降。

数据时钟输出(DCO)

AD9268提供两路数据时钟输出(DCO)信号，用于采集外部寄存器中的数据。在CMOS输出模式下，数据输出在DCO的上升沿有效，除非通过SPI改变了DCO时钟的极性。在LVDS输出模式下，DCO和数据输出开关沿接近一致。通过SPI寄存器0x17可以给DCO输出增加额外延迟，以延长数据建立时间。这种情况下，通道A输出数据在DCO的上升沿有效，通道B输出数据在DCO的下降沿有效。有关输出模式的图形化时序说明，参见图2、图3和图4。

表13. 输出数据格式

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式	超量程
VIN+ – VIN–	< –VREF – 0.5 LSB	0000 0000 0000 0000	1000 0000 0000 0000	1
VIN+ – VIN–	= –VREF	0000 0000 0000 0000	1000 0000 0000 0000	0
VIN+ – VIN–	= 0	1000 0000 0000 0000	0000 0000 0000 0000	0
VIN+ – VIN–	= +VREF – 1.0 LSB	1111 1111 1111 1111	0111 1111 1111 1111	0
VIN+ – VIN–	> +VREF – 0.5 LSB	1111 1111 1111 1111	0111 1111 1111 1111	1

内置自测(BIST)和输出测试

AD9268包括内置测试功能，支持对各通道的完整性验证，同时也有利于电路板级调试。内置自测(BIST)功能可以对AD9268数字数据路径的完整性进行验证。此外还提供了多种输出测试选项，以便将可预测的值放在AD9268的输出上。

内置自测(BIST)

BIST能够对所选AD9268信号路径的数字部分进行详尽的测试。使能时，从内部伪随机噪声(PN)源到数字数据路径，从ADC模块输出开始执行测试。BIST序列运行512个周期后停止。通道A或通道B的BIST签名值置于寄存器0x24和寄存器0x25中。如果选择一个通道，其BIST签名将写入这两个寄存器。如果选择两个通道，则通道A的结果置于BIST签名寄存器中。

测试期间输出不断开，因此可以观察到PN序列的运行过程。根据寄存器0x0E位2中的值不同，PN序列既可以从一个值继续，也可以复位到开始值。BIST签名结果视通道配置而定。

输出测试模式

输出测试选项如表17所示。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。如果设置寄存器0x0D的位4或位5，使PN复位位用来将发生器保持在复位模式，则可以强制设定PN序列的种子值。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解详细信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

串行端口接口(SPI)

AD9268串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。如需了解详细操作信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三部分组成：SCLK/DFS引脚、SDIO/DCS引脚和CSB引脚(见表14)。SCLK/DFS(串行时钟)引脚用于同步ADC的读出和写入数据。SDIO/DCS(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表14. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图84为串行时序图范例，相应的定义见表5。

CSB可以在多种模式下工作。当CSB始终维持在低电平状态时，器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻态模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

所有数据均由8位字组成。数据可通过MSB优先模式或LSB优先模式进行发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

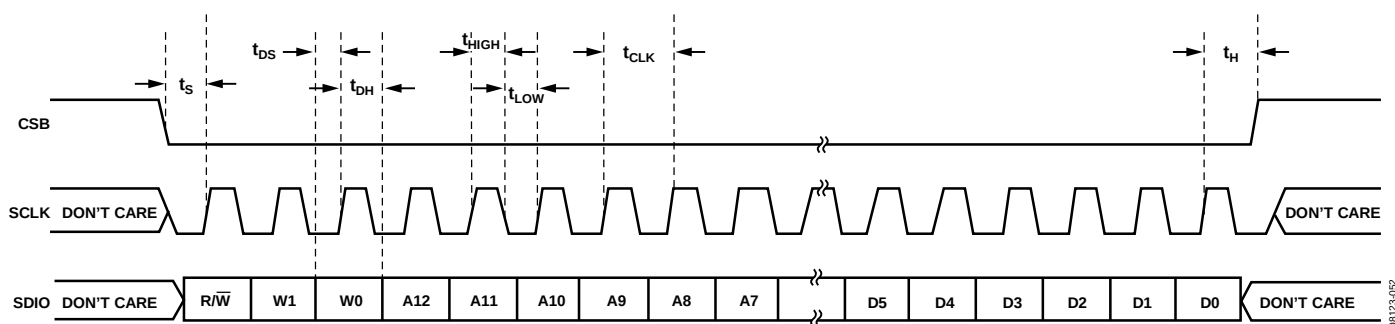


图84. 串行端口接口时序图

AD9268

硬件接口

表14中所描述的引脚包括用户编程器件与AD9268的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9268之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

当不使用SPI接口时，有些引脚用作第二功能。在器件上电期间，当引脚与AVDD或接地端连接时，这些引脚可起到特定的作用。数字输出部分介绍了AD9268支持的绑定功能。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/DCS引脚、SCLK/DFS引脚、OEB引脚和PDWN引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制占空比稳定器、输出数据格式、输出使能和掉电特性控制。在此模式下，CSB片选引脚应与AVDD相连，用于禁用串行端口接口。

当器件处于SPI模式时，PDWN和OEB引脚仍然有效。为通过SPI控制输出使能和掉电，应将OEB和PDWN引脚设为默认状态。

表15. 模式选择

引脚	外部电压	配置
SDIO/DCS	AVDD (默认) AGND	占空比稳定器使能 占空比稳定器禁用
SCLK/DFS	AVDD AGND (默认)	二进制补码使能 偏移二进制使能
OEB	AVDD AGND (默认)	输出处于高阻抗状态 输出使能
PDWN	AVDD AGND (默认)	芯片处于掉电或待机状态 正常工作

SPI访问特性

表16简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。AD9268器件特定的特性详见表17(外部存储器映射寄存器表)。

表16. 可通过SPI访问的特性

特性名称	描述
模式	允许用户设置掉电模式或待机模式
时钟	允许用户访问DCS，设置时钟分频器，设置时钟分频器相位，以及使能同步
失调	允许用户以数字方式调整转换器失调
测试 I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出模式，包括LVDS
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟
VREF	允许用户设置基准电压

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为四个部分：芯片配置寄存器(地址0x00至地址0x02)；通道索引和传送寄存器(地址0x05至地址0xFF)；ADC功能寄存器，包括设置寄存器、控制寄存器和测试寄存器(地址0x08至地址0x30)；以及数字特性控制寄存器(地址0x100)。

存储器映射寄存器表(表17)记录了每个十六进制地址及其十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，VREF选择寄存器(地址0x18)的十六进制默认值为0xC0。这表明，位7 = 1、位6 = 1、其余位均为0。此设置是默认的基准电压选择设置。默认值对应2.0 V峰峰基准电压。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。该应用笔记详细描述了寄存器0x00至寄存器0xFF控制的功能。“存储器映射寄存器表”部分介绍了其它寄存器(寄存器0x100)。

禁用的地址

此器件目前不支持表17中未包括的所有地址和位。有效地址中未使用的位应写为0。在该地址(例如：地址0x18)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

AD9268复位后，将向关键寄存器内载入默认值。表17(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。

传送寄存器映射

地址0x08至地址0x18和地址0x30被屏蔽。除非通过向地址0xFF写入0x01，设置传输位，以发出传输命令，否则，向这些地址进行写操作不会影响器件的运行。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，进行内部更新，且传输位自动清零。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，每个通道在内部复制通道地址位置。这些寄存器及相应的局部寄存器位，见表17。通过设置寄存器0x05的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许将一个通道位(通道A位或通道B位)置位，以便对其中的一个或两个寄存器执行读操作。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。表17给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

AD9268

存储器映射寄存器表

此器件目前不支持表17中未包括的所有地址和位。

表17. 存储器映射寄存器

地址(十六进制)	寄存器名称	位7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位0 (LSB)	默认值 (十六进制)	默认值注释
芯片配置寄存器											
0x00	SPI端口配置 (全局)	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	半字节之间是镜像关系, 使得无论在何种移位模式下, LSB优先或MSB优先模式寄存器均能正确记录数据
0x01	芯片ID (全局)	8位芯片ID[7:0] (AD9268 = 0x32)(默认)								0x32	只读
0x02	芯片等级 (全局)	禁用	禁用	速度等级ID 01 = 125 MSPS 10 = 105 MSPS 11 = 80 MSPS	禁用	禁用	禁用	禁用	禁用		速度等级ID, 用来区分器件; 只读
通道索引和传送寄存器											
0x05	通道索引	禁用	禁用	禁用	禁用	禁用	禁用	数据通道 B(默认)	数据通道 A(默认)	0x03	设置这些位以决定片内何器件接收下一个写命令; 仅适用于局部寄存器
0xFF	传送	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传送	0x00	从主移位寄存器向从移位寄存器同步传输数据
ADC功能											
0x08	功耗模式 (局部)	1	禁用	外部掉电引脚功能 (局部) 0 = 掉电 1 = 待机	禁用	禁用	禁用	内部掉电模式(局部) 00 = 正常工作 01 = 完全掉电 10 = 待机 11 = 正常工作		0x80	决定芯片的一般工作模式
0x09	全局时钟 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定器(默认)	0x01	
0x0B	时钟分频器 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频比 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频			0x00	000以外的时钟分频值会使占空比稳定器自动启用
0x0D	测试模式 (局部)	禁用	禁用	产生复位PN长序列	产生复位PN短序列	禁用	输出测试模式 000 = 关(默认) 001 = 中间电平短路 010 = 正FS 011 = 负FS 100 = 交替棋盘形式 101 = PN长序列 110 = PN短序列 111 = 1/0字反转			0x00	设置此寄存器后, 测试数据将取代正常数据被置于输出引脚上

地址(十六进制)	寄存器名称	位7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位0 (LSB)	默认值 (十六进制)	默认值注释
0x0E	BIST使能(全局)	禁用	禁用	禁用	禁用	禁用	复位BIST序列	禁用	BIST使能	0x04	
0x0F	ADC输入(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	共模伺服使能	0x00	
0x10	失调调整(局部)	失调调整以LSB为单位, 从+127到-128 (二进制补码格式)								0x00	
0x14	输出模式	驱动强度 0 = ANSI LVDS 1 = 小摆幅 LVDS (全局)	输出类型 0 = CMOS 1 = LVDS (全局)	CMOS输出交错使能 (全局)	输出使能 (局部)	禁用 (必须为低电平)	输出反转 (局部)	输出格式 00 = 偏移二进制 01 = 二进制补码 01 = 格雷码 11 = 偏移二进制 (局部)		0x00	配置输出和数据格式
0x16	时钟相位控制 (全局)	DCO 时钟反相	禁用	禁用	禁用	禁用	输入时钟分频器相位调整 000 = 无延迟 001 = 1输入时钟周期 010 = 2输入时钟周期 011 = 3输入时钟周期 100 = 4输入时钟周期 101 = 5输入时钟周期 110 = 6输入时钟周期 111 = 7输入时钟周期			0x00	允许选择输入时钟分频器的时钟延迟时间
0x17	DCO输出延迟 (全局)	禁用	禁用	禁用	DCO时钟延迟 (延迟 = 2500 ps × 寄存器值/31) 00000 = 0 ps 00001 = 81 ps 00010 = 161 ps ... 11110 = 2419 ps 11111 = 2500 ps				0x00		
0x18	VREF选择 (全局)	基准电压选择 00 = 1.25 V p-p 01 = 1.5 V p-p 10 = 1.75 V p-p 11 = 2.0 V p-p(默认)		禁用	禁用	禁用	禁用	禁用	禁用	0xC0	
0x24	BIST签名LSB (局部)	BIST签名[7:0]								0x00	只读
0x25	BIST签名MSB (local)	BIST签名[15:8]								0x00	只读
0x30	扰动使能(局部)	禁用	禁用	禁用	扰动使能	禁用	禁用	禁用	禁用	0x00	
数字特性控制											
0x100	同步控制 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频器仅与下一同步脉冲同步	时钟分频器同步使能	主机同步使能	0x00	

AD9268

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制的功能的更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

同步控制(寄存器0x100)

位[7:3]—保留

位2—时钟分频器仅与下一同步脉冲同步

如果主机同步使能位(地址0x100的位0)和时钟分频器同步使能位(地址0x100的位1)均为高电平，则位2允许时钟

分频器与它接收到的下一个同步脉冲同步，并忽略其它同步脉冲。同步后，时钟分频器同步使能位（地址0x100的位1）复位。

位1—时钟分频器同步使能

位1选通时钟分频器的同步脉冲。当位1为高电平且位0为高电平时，同步信号使能。这是连续同步模式。

位0—主机同步使能

要使能任何同步功能，位0必须为高电平。如果不用同步功能，此位应保持低电平以省电。

应用信息

设计指南

在进行AD9268的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

建议使用两个独立的1.8 V电源为AD9268供电：一个用于模拟端(AVDD)，一个用于数字输出端(DRVDD)。对于AVDD和DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9268仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

LVDS操作

上电时，AD9268默认采用CMOS输出模式。如果需要LVDS工作模式，必须在上电后利用SPI配置寄存器设置此模式。当AD9268上电后处于CMOS模式，并且输出端有LVDS端接电阻(100 Ω)时，DRVDD电流可能高于典型值，除非将器件置于LVDS模式。这一额外的DRVDD电流不会损坏AD9268，但在考虑器件的最大DRVDD电流时，必须对此加以考虑。

为消除这一额外DRVDD电流，可以在上电时拉高OEB引脚，从而禁用AD9268输出。通过SPI端口将器件置于LVDS模式之后，可以拉低OEB引脚以使能输出。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面应与AD9268的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过PCB底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记 [AN-772](#)：“LFCSP封装设计与制造指南”(www.analog.com)。

VCM

VCM引脚应通过一个0.1 μ F电容去耦至地(见图67)。

RBIAS

AD9268要求用户将一10 k Ω 电阻置于RBIAS引脚与地之间。该电阻用来设置ADC内核的主基准电流，该电阻容差至少为1%。

基准电压源去耦

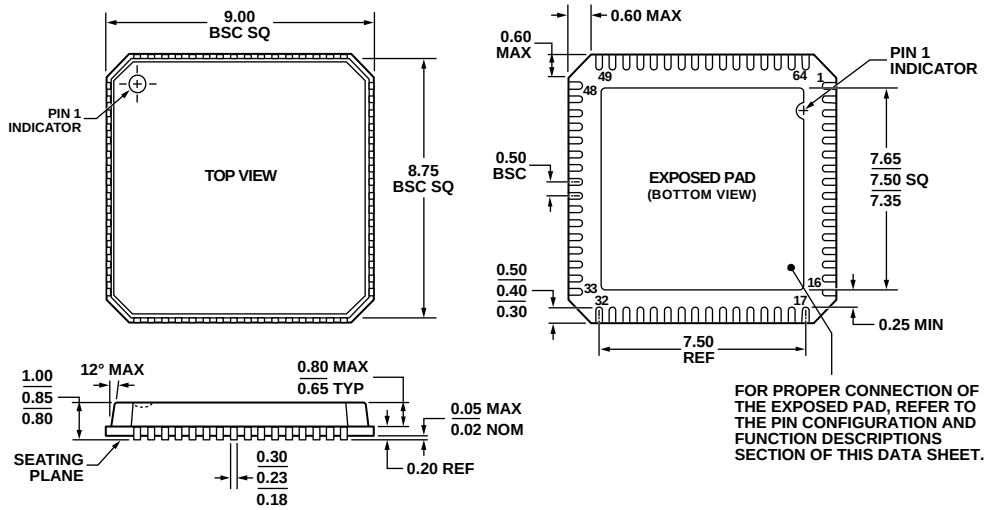
VREF引脚应通过外部一个低ESR 0.1 μ F陶瓷电容和一个低ESR 1.0 μ F电容的并联去耦至地。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9268之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

AD9268

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4

图85. 64引脚LFCSP_VQ[引脚架构芯片级]封装
9 mm x 9 mm, 超薄体(CP-64-6)
图示尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项
AD9268BCPZ-80 ¹	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-6
AD9268BCPZRL7-80 ¹	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-6
AD9268BCPZ-105 ¹	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-6
AD9268BCPZRL7-105 ¹	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-6
AD9268BCPZ-125 ¹	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-6
AD9268BCPZRL7-125 ¹	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-6
AD9268-80EBZ ¹		评估板	
AD9268-105EBZ ¹		评估板	
AD9268-125EBZ ¹		评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释