NEC

MOS集積回路
MOS Integrated Circuit

μPD16601

192出力TFT-LCD用フルカラードライバ

μPD16601はフルカラー表示を実現するTFT-LCD用ソース・ドライバで，1280×1024画素クラスの高精細ディスプレイに最適です。内部回路は，12チャンネル（4×3）のアナログ入力端子，12チャンネル×16ビットのシフトレジスタ，192チャンネルのサンプル＆ホールド回路（２ラッチタイプ）で構成されております。

アナログ映像信号は，サンプル＆ホールド回路で12チャンネル同時にサンプリングされ，次の１ラインで出力されます。サンプル＆ホールド回路の出力電圧は10.0V_{P-P}と大きく，±20 $mV_{MAX.}$と高精度な出力偏差を有しております。前段の信号処理回路からγ処理されたアナログ映像信号を入力することにより，フレーム変調が不要で高品位な256階調相当のフルカラー表示が可能です。

特　　徴

○４×３（RGB）チャンネル－アナログ入力により映像信号入力配線の削減が可能
○高ダイナミックレンジ（10.0 $V_{P-PMIN.}$，V_{DD2} = 12.0 V）
○高精度サンプル＆ホールド回路（出力偏差；±20 mV_{MAX}）
○高速サンプリング周波数（アナログ，デジタルとも$f_{max.}$ = 20 $MHz_{MIN.}$）
○ロウパワーコントロール（出力バッファのバイアス電流削減）機能内蔵
　（動消費電力；32 $mW_{TYP.}$, V_{DD2} = 12.5 V）
○双方向データストア機能内蔵
○高密度実装対応（スリムTCP）

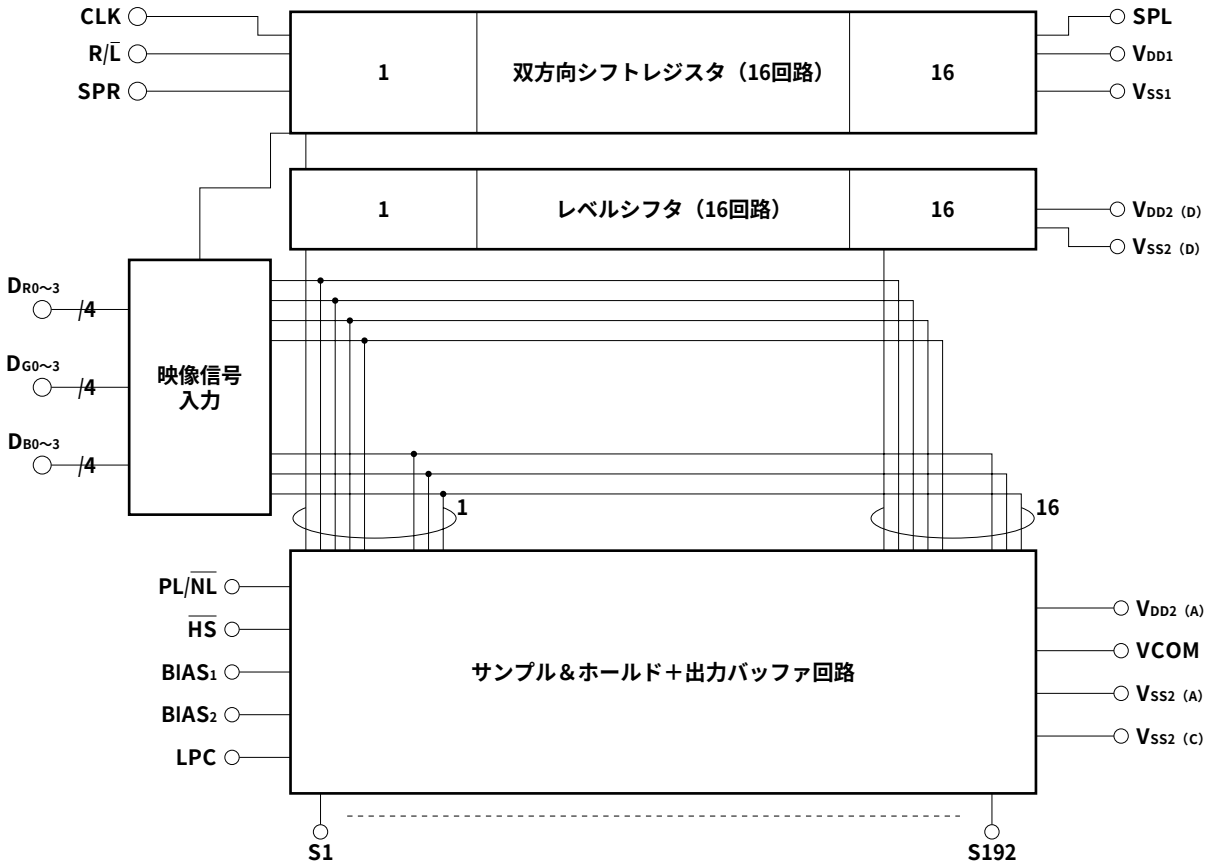
オーダ情報

品　　名	パッケージ
μPD16601N-×××	TCP

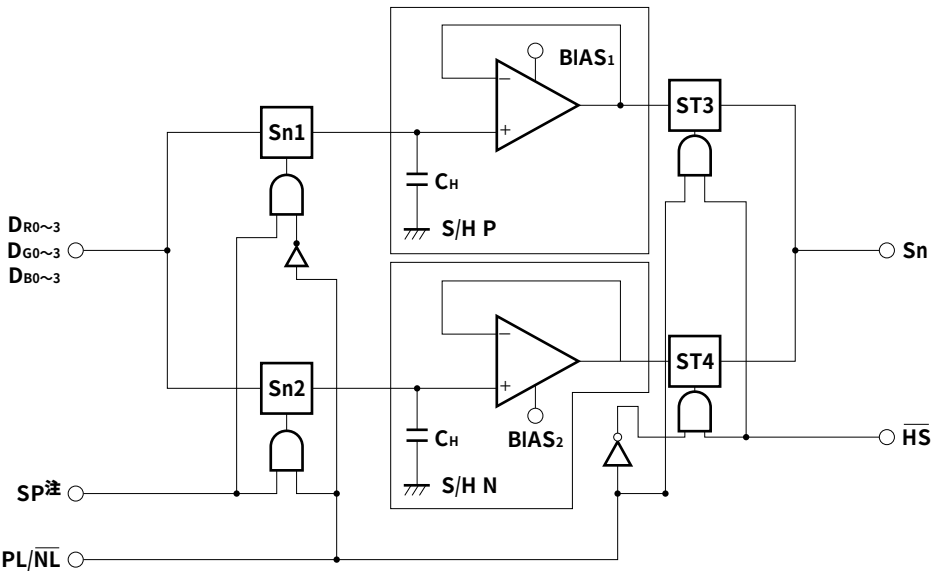
資料番号　S10934JJ1V0DS00（第１版）
（旧資料番号　IP－9156）
発行年月　December 1995　P

© NEC Corporation 1995

ブロック図



サンプル＆ホールド＋出力バッファ回路



注　SPとはIC内部で作られるサンプリングパルスを示します。
詳細はP6をご参照ください。

端子説明

端子記号	端子名	説　　明
S_1～S_{192}	ドライバ出力	サンプリングされたアナログ映像信号の出力端子です。V_{DD2} = 12 V駆動時10.0 V_{P-P}で，入出力特性がゲイン１のアナログ電圧が出力されます。
CLK	クロック入力	クロックの立ち上がりでスタートパルスを読み込み，12チャンネル同時にアナログ映像信号のサンプリングを開始します。クロックのアクティブエッジは全て立ち上がりです。
D_{R0}～D_{R3} D_{G0}～D_{G3} D_{B0}～D_{B3}	アナログ 映像信号入力	アナログ映像信号の入力端子です。表示ライン毎にアナログ映像信号の極性を反転させて入力してください。
R/$\overline{L}$	シフト方向 切り替え入力	シフトレジスタのシフト方向は次のとおりです。 R/$\overline{L}$ = H（右シフト時）；SPR入力，S_1→S_{192}, SPL出力 R/$\overline{L}$ = L（左シフト時）；SPL入力，S_{192}→S_1, SPR出力
SPR	スタートパルス 入出力	R/$\overline{L}$ = H（右シフト時）；スタートパルス入力端子 R/$\overline{L}$ = L（左シフト時）；スタートパルス出力端子となります。
SPL	スタートパルス 入出力	R/$\overline{L}$ = H（右シフト時）；スタートパルス出力端子 R/$\overline{L}$ = L（左シフト時）；スタートパルス入力端子となります。
PL/$\overline{NL}$注	極性反転入力	PL/$\overline{NL}$ = Hのとき，負極性のアナログ映像信号のサンプリングを実行し，ドライバ出力から正極性のアナログ信号を出力します。ドライバは充電能力しかありません。 PL/$\overline{NL}$ = Lのとき，正極性のアナログ映像信号のサンプリングを実行し，ドライバ出力から負極性のアナログ信号を出力します。ドライバは，放電能力しかありません。
$\overline{HS}$注	水平同期入力	立ち下がりで出力を遮断した後，立ち上がりでアナログ映像信号を出力します。$\overline{HS}$ = Lでドライバ出力端子がハイ・インピーダンスになったあとにPL/$\overline{NL}$を切り替えて，内部ホールド容量及び出力バッファをV_{COM}レベルにリセットします。
LPC	ロウパワー コントロール入力	出力バッファの低電流源を遮断して出力インピーダンスを上げます。LPC = Hモードでは，静消費電流を約20 %低減できます。
BIAS1 BIAS2	バイアス電圧入力	安定化された外部電源を印加して出力バッファの消費電流を制御します。
V_{DD1}	ロジック電源	3.3 V±0.3 V
V_{DD2}（D）	ドライバ電源	13.5 $V_{MAX.}$
V_{DD2}（A）	ドライバ電源	13.5 $V_{MAX.}$
V_{COM}	コモン電源	ボルテージフォロアなどによる安定したLCD駆動電圧の中間電位を印加します。
V_{SS1}	ロジックグランド	ロジック・グランド
V_{SS2}（D）	ドライバグランド	高圧部（レベルシフタ）・グランド
V_{SS2}（A）	ドライバグランド	高圧部（出力バッファ）・グランド
V_{SS2}（C）	ドライバグランド	高圧部（サンプル＆ホールド）・グランド
TEST	テスト端子	Ｌまたはオープン

注　PL/$\overline{NL}$と$\overline{HS}$の論理でサンプル＆ホールド動作と出力バッファ容量とV_{COM}レベルのリセット動作を行います。

〈ご使用上の注意〉

1．ラッチアップ破壊防止のため，電源投入順序は，
V_{DD1}→ロジック入力→$V_{DD2\ (D),\ (A)}$→$V_{BIAS1,2}$，V_{COM}→アナログ映像信号入力
の順とし，遮断時はこの逆としてください。また，遷移期間中もこの関係をお守りください。

2．V_{SS1}, $V_{SS2\ (D)}$, $V_{SS2\ (A)}$, $V_{SS2\ (C)}$は，拡散層で接続されておりますが，必ず外部でも接続してください。そして，$V_{SS2\ (D)}$と$V_{DD2\ (A)}$も同じく，同電位を入力してください。また，サンプル＆ホールドグランド$V_{SS2\ (C)}$は実装基板上では他のグランド配線と共有せず，信号基板端部で接続してください。高圧またはロジック系のノイズがサンプル＆ホールド回路に重畳じ，アナログ特性（出力偏差等）が劣化する恐れがあります。

3．同じくサンプル＆ホールド特性を劣化させないため，V_{DD1}-V_{SS1}間には0.1μF，$V_{DD2\ (D),\ (A)}$-$V_{SS2\ (D),\ (A)}$間には0.1μF程度のバイパスコンデンサを挿入してください。電源が安定化されていないとドライバの貫通電流により，出力バッファの出力レンジが十分確保できない場合があります。
このため，バイパスコンデンサの容量は，充分評価した上で決定してください。

4．LPC = Hの時は，出力バッファの低電流源が遮断され，正常な負帰還がかからず，LCDパネルの負荷が小さい場合には，出力電圧が異常になることがあります。10 KΩ＋50 pF程度では，正常な動作が確認しておりますが，これより時定数が小さい場合にはLPC = Lとしてご使用ください。

データ入出力関係

右シフト，左シフトに関係なく次のとおりです。

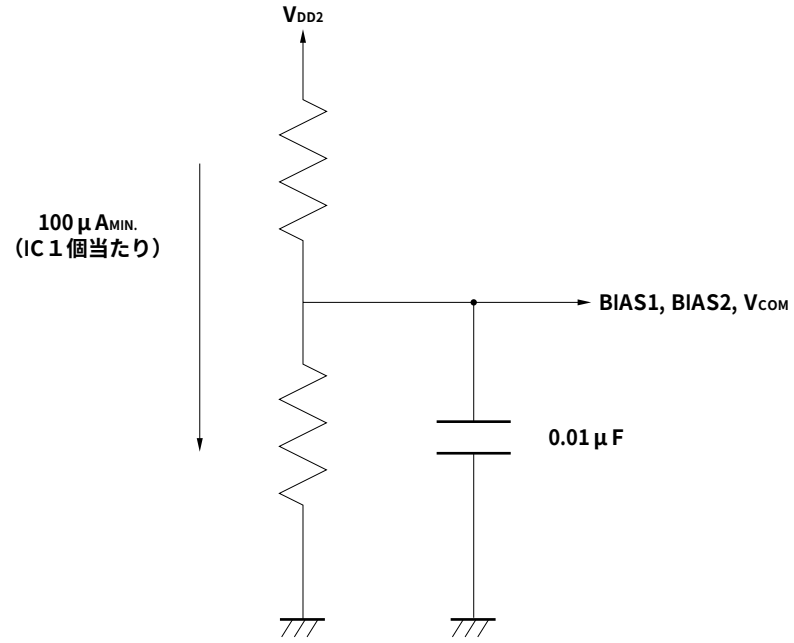
出力	S_1	S_2	S_3	S_4	S_5	S_6		S_{189}	S_{190}	S_{191}	S_{192}
データ	D_{R0}	D_{B0}	D_{G0}	D_{R1}	D_{B1}	D_{G1}		D_{G2}	D_{R3}	D_{B3}	D_{G3}

バイアス制御の方法

BAIAS1, BAIAS2端子に外部から電圧を印加することにより，出力バッファの消費電流を制御できます。なお，この際，アナログ特性（出力偏差，ドライブ能力，応答速度など）は変化しません。

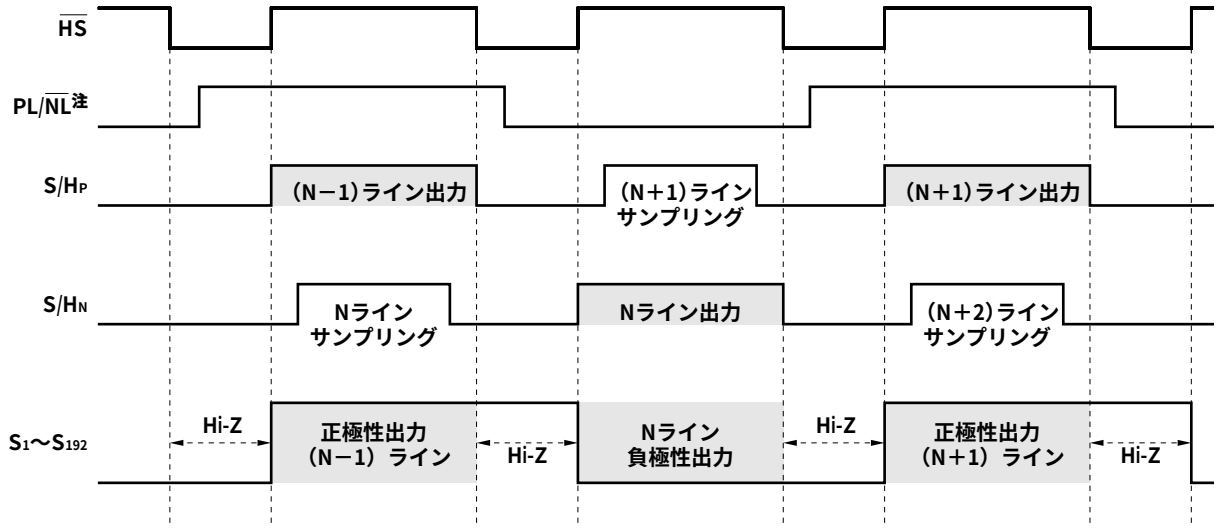
実際の回路は，下図の様な構成としてください。また，V_{COM}電圧の入力回路も同様の構成としてください。

ドライバIC１個当たりの電流は次のとおりです。



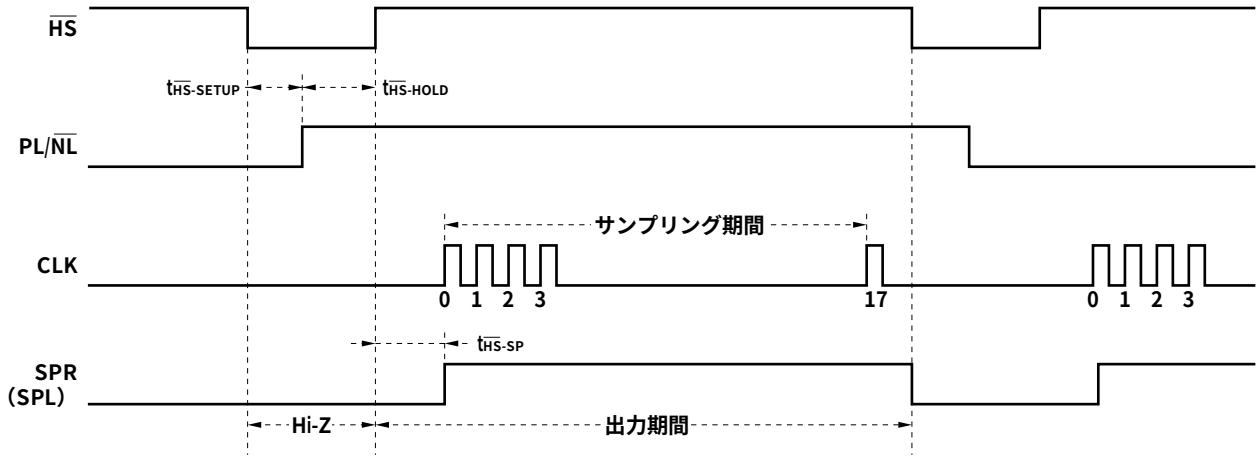
タイミング特性

（1）サンプル＆ホールドタイミング



注　PL/$\overline{NL}$ = H；負極性のアナログ映像信号を入力してください。
　　PL/$\overline{NL}$ = L；正極性のアナログ映像信号を入力してください。

（2）$\overline{HS}$とPL/$\overline{NL}$の関係

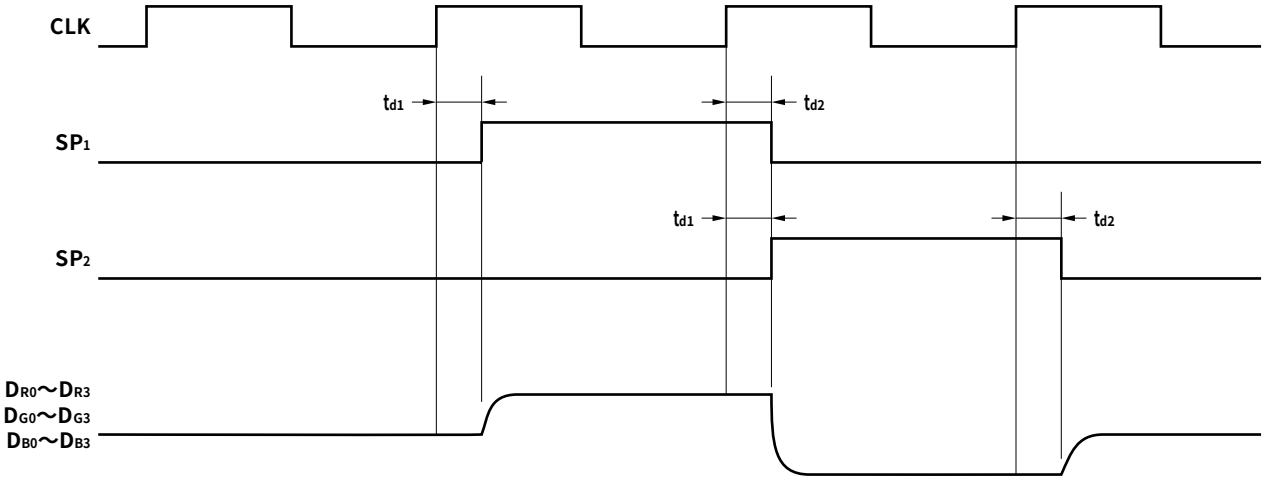


注意　$\overline{HS}$とPL/$\overline{NL}$のエッジは，クロックのタイミングとは無関係です。

タイミング項目	略　号	説　　明
水平同期 セットアップ時間	$t_{\overline{HS}\text{-SETUP}}$	$\overline{HS}$に対するPL/$\overline{NL}$信号のセットアップ時間です。 50 $ns_{MIN.}$以上を確保して下さい。
水平同期 ホールド時間 サンプリング	$t_{\overline{HS}\text{-HOLD}}$	PL/$\overline{NL}$のホールド時間です。250 $ns_{MIN.}$以上を確保して下さい。この時点でホールド容量はコモン電位V_{COM}になっていますが，出力バッファはV_{COM}になっていないためサンプリングはできません。
スタート時間	$t_{\overline{HS}\text{-SP}}$	出力バッファがV_{COM}（リセットレベル）になる時間です。1.0 μ $S_{MIN.}$以上を確保して下さい。この時点でサンプリングが可能です。 スタートパルスはこの時点で入力して下さい。

備考　なお，本特性は50 KΩ＋100 pFの負荷定数で規定しております。

（3）内部サンプリング遅延

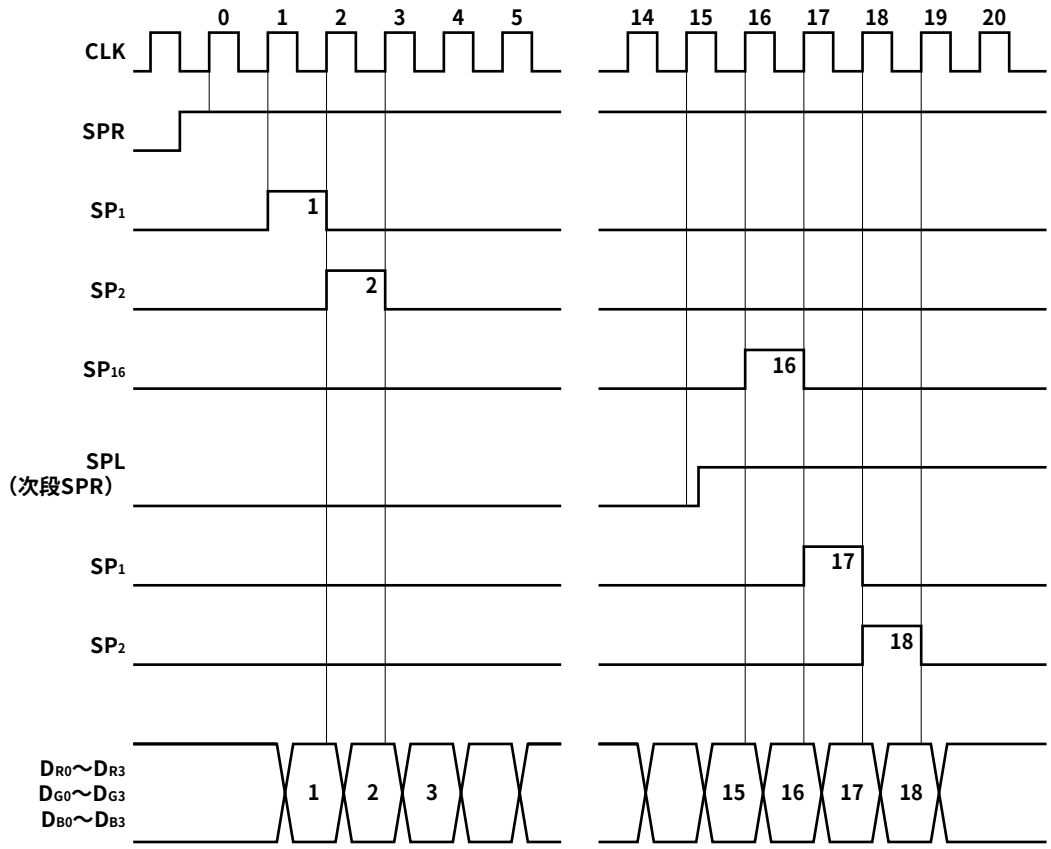


タイミング時間	略　号	説　　明
CLK－サンプリングパルス遅延	t_{d1}	CLK信号と内部サンプリングパルスSPnの立ち上がりエッジとの遅延時間です。サンプリング期間を充分に長くとるため，t_{d1}だけアナログ映像信号のタイミングをずらして入力してください。
サンプリングパルス－CLK遅延	t_{d2}	CLK信号と内部サンプリングパルスの立ち下がりエッジとの遅延時間です。

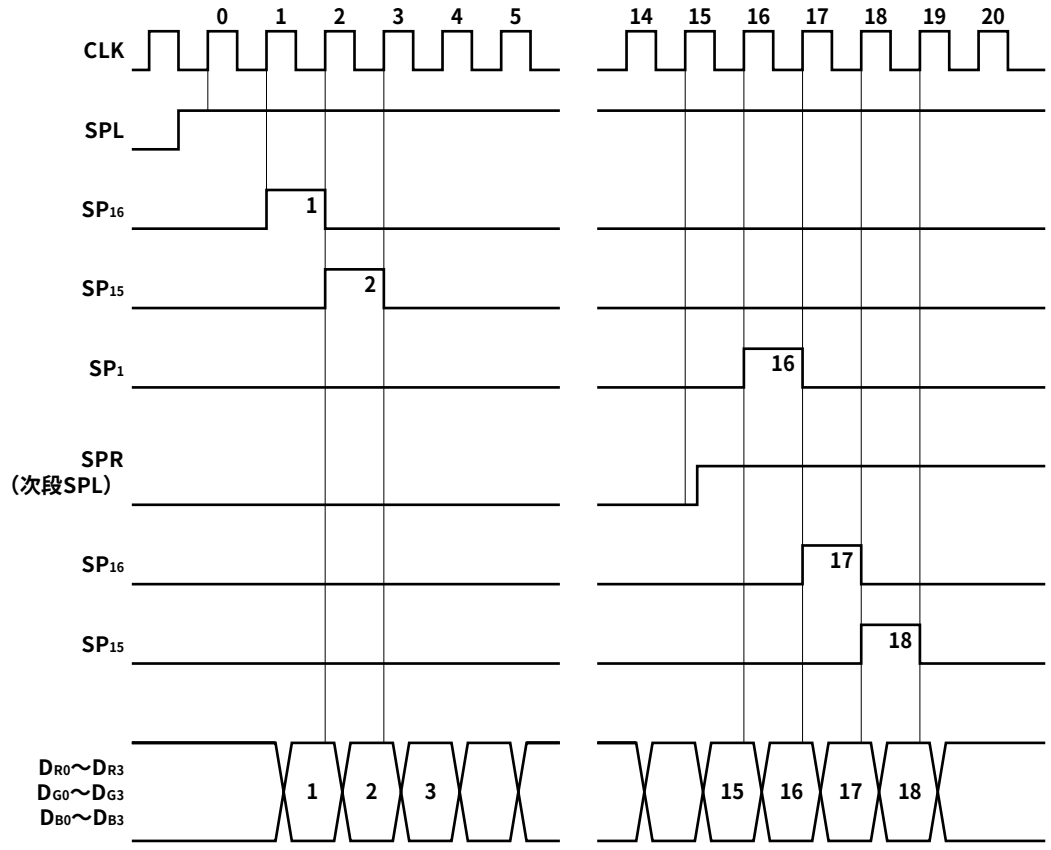
備考　なお，t_{d1}は22±5 ns, t_{d2}は14±5 nsです（保証値ではありません）。

（4）カスケードタイミング

R/$\overline{L}$ = H（右シフト時）



R/$\overline{L}$ = L（左シフト）



絶対最大定格（T_A = 25 ℃，V_{SS} (D)，(A)，(C) = 0 V）

項　　目	略　　号	定　　格	単位
ロジック部電源電圧	V_{DD1}	−0.5〜+6.5	V
ロジック部入力電圧	V_{IN}	−0.5〜V_{DD1}+0.5	V
ロジック部出力電圧	V_{O1}	−0.5〜V_{DD1}+0.5	V
ドライバ部電源電圧	V_{DD2} (D)，(A)	−0.5〜+15	V
映像信号入力電圧	V_{IN} (A)	−0.5〜V_{DD2}+0.5	V
ドライバ出力電圧	V_{O2}	−0.5〜V_{DD2}+0.5	V
ドライバ出力電流	I_{O2}	±10	mA
動作温度範囲	T_A	−10〜+75	℃
保存温度範囲	T_{stg}	−40〜+125	℃

推奨動作範囲（T_A = −10〜75 ℃，V_{SS} (D)，(A)，(C) = 0 V）

項　　目	略　　号	MIN.	TYP.	MAX.	単位
ロジック電源電圧	V_{DD1}	3.0	3.3	3.6	V
ハイレベル入力電圧	V_{IH}	0.8 V_{DD1}		V_{DD1}	V
ロウレベル入力電圧	V_{IL}	0		0.2 V_{DD1}	V
ドライバ電源電圧	V_{DD2}	11.5	12.5	13.5	V
映像信号入力	V_{IN} (A)	V_{SS}+1.0		V_{DD2}−1.0	V
ドライバ出力電圧	V_O	V_{SS}+1.0		V_{DD2}−1.0	V
バイアス電流	$I_{BIAS1, 2}$	100			μA
バイアス電圧	V_{BIAS1}	4.0	5.0	6.0	V
	V_{BIAS2}	V_{DD2}−8.0	V_{DD2}−7.0	V_{DD2}−6.0	V

電気的特性（T_A = −10〜+75 ℃, V_{DD1} = 3.3 V±0.3 V, V_{DD2} = 12.5 V±1.0 V, V_{SS} = 0 V）

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単位
ハイレベル出力電圧	V_{OH}	ロジック，I_{OH1} = 0 mA		V_{DD1}−0.1			V
ロウレベル出力電圧	V_{OL}	ロジック，I_{OL1} = 0 mA				0.1	V
入力リーク電流	I_{iL}	V_I = V_{DD1}, V_{SS1}				±1.0	μA
ドライバ出力電流（黒レベル）	I_{OH11}	PL/$\overline{NL}$ = H（ソース）	$V_{R.G.B}$ = 11 V			−0.3	mA
ドライバ出力電流（白レベル）	I_{OH12}	V_O = 3.0 V	$V_{R.G.B}$ = 7 V			−0.3	mA
ドライバ出力電流（白レベル）	I_{OH21}	PL/$\overline{NL}$ = L（ソース）	$V_{R.G.B}$ = 5 V	0.3			mA
ドライバ出力電流（黒レベル）	I_{OH22}	V_O = 9.0 V	$V_{R.G.B}$ = 1 V	0.3			mA
出力オフリーク電流	I_{OFF}	V_{O2} = V_{DD2}, V_{SS2}				±1	μA
静消費電流	I_{DD21}	V_{DD2}，無負荷，LPC = L			1.5	6.0	mA
	I_{DD21}	V_{DD2}，無負荷，LPC = H			1.2	4.8	mA
動消費電流	I_{DD12}	V_{DD1}, f_{CLK} = 20 MHz			0.3	0.8	mA
	I_{DD22}	V_{DD2}, $f_{\overline{HS}}$ = 66 KHz, LPC = L			2.5	10	mA
出力偏差[注]	△V_O	V_{RGB} = 7〜11 V, PL/$\overline{NL}$ = H			(±5.0)	±20	mV
		V_{RGB} = 1〜5 V, PL/$\overline{NL}$ = L			(±5.0)	±20	mV

注　偏差とはチップ内におけるドライバ出力電圧分布のMIN値，MAX値を示します。

スイッチング特性（T_A = −10〜+75 ℃，V_{DD1} = 3.3±0.3 V，V_{DD2} = 12.5 V，V_{SS} = 0 V）

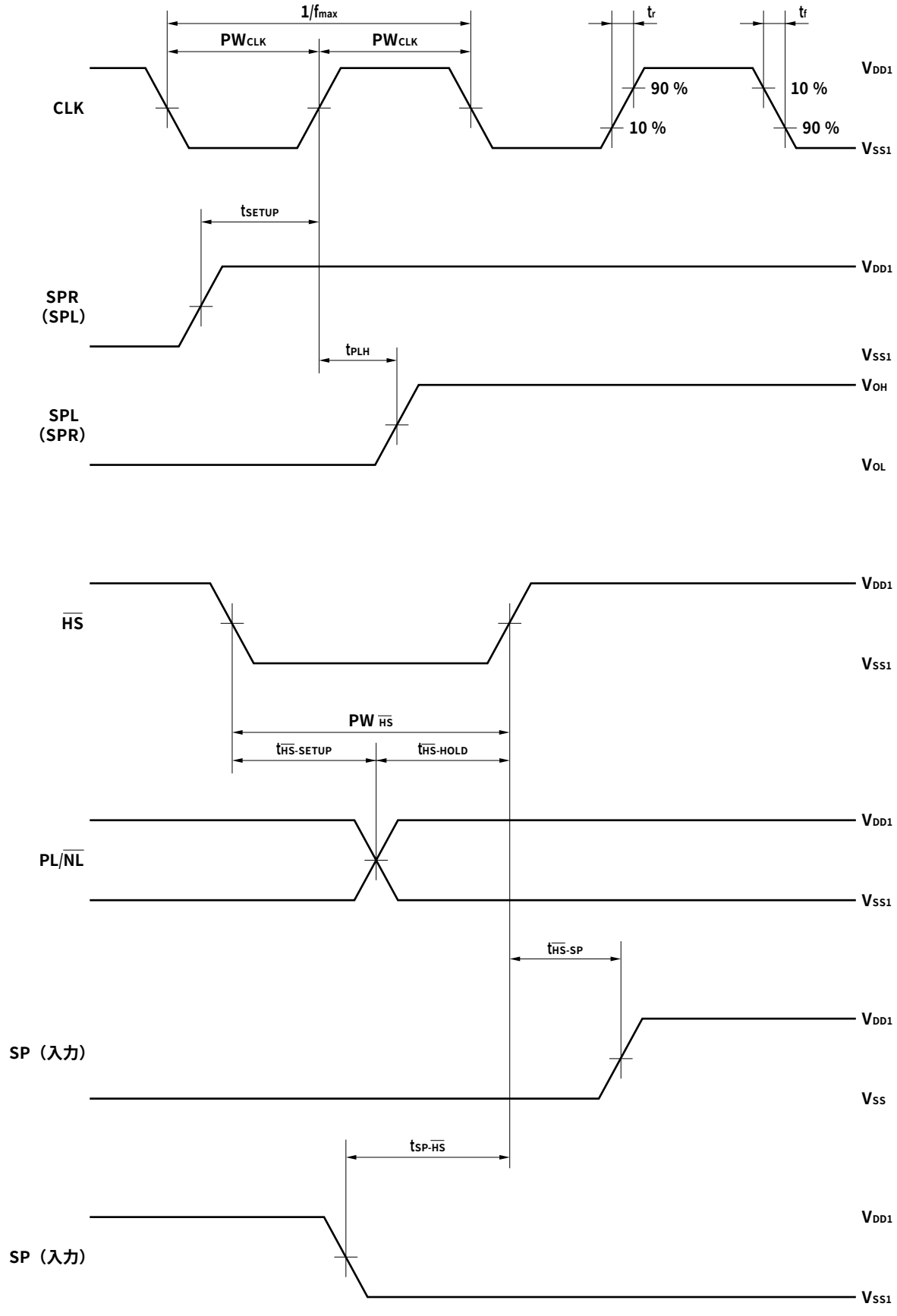
項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
スタートパルス出力遅延時間	t_{PLH}	C_L = 20 pF	5	15	30	ns
入力容量	C_{i1}	SPR, SPLを除くロジック		7	15	pF
	C_{i2}	SPR, SPL		8	15	pF
	C_{i3}	映像信号入力端子		17	25	pF
最大クロック周波数	$f_{max.}$		20			MHz

タイミング必要条件（T_A = −10〜+75 ℃，V_{DD1} = 3.3 V±0.3 V，V_{SS} = 0 V，$t_r = t_f$ = 5 ns）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
クロックパルス幅	PW_{CLK}	Duty = 50 %	25			ns
水平同期信号パルス幅	$PW_{\overline{HS}}$		300			ns
スタートパルス・セットアップ時間	t_{SETUP}		10			ns
CLK−サンプリングパルス遅延時間	t_{d1}			22		ns
サンプリングパルス−CLK遅延時間	t_{d2}			14		ns
水平同期信号セットアップ時間	$t_{\overline{HS}\text{-}SETUP}$		50			ns
水平同期信号ホールド時間	$t_{\overline{HS}\text{-}HOLD}$		250			ns
$\overline{HS}$−スタートパルス間時間	$t_{\overline{HS}\text{-}SP}$		1.0			μs
スタートパルス−$\overline{HS}$間時間	$t_{SP\text{-}\overline{HS}}$		10			ns

スイッチング特性（R/$\overline{L}$ = H）

特に指定のない限り　入力レベルは全て0.5 V_{DD1}



推奨実装条件

本製品の実装は，下表の推奨条件で実施願います。

なお，推奨条件以外の実装方式及び条件については，販売員にご相談ください。

実装条件	実装方式	条　　件
熱圧着	半田付け	加熱ツール300～350 ℃，加熱２～３秒，圧力100 g （１本あたり）
	ACF（シート状接着剤）	仮接着70～100 ℃，圧力３～８ kg/cm^2，時間３～５秒 本接着165～180 ℃，圧力25～45 kg/cm^2，時間30～40秒 （住友ベークライト（株）異方導電フィルムSUMIZAC1003使用の場合）

注意　ACF部の実装条件は，ご使用前にACF製造メーカーにお確かめください。

実装方式の併用はお避けください。

参考資料

「NEC半導体デバイスの信頼性品質管理」（IEM-5069）

「NEC半導体デバイスの品質水準」（IEI-620）

「TCP（TABパッケージ）」（MF-232）

〔メ　モ〕