

ADP1740/ADP1741

特性

最大输出电流: 2 A

输入电压范围: 1.6 V至3.6 V

低关断电流: 2 μ A

低压差: 160 mV, 负载电流2 A

初始精度: $\pm 1\%$

在整个线路、负载与温度范围内的精度: $\pm 2\%$

具有软启动特性, 提供7种固定输出电压选项:

0.75 V至2.5 V (ADP1740)

具有软启动特性, 提供可调输出电压选项:

0.75 V至3.3 V (ADP1741)

高电源抑制比(PSRR)

65 dB(1 kHz)

65 dB(10 kHz)

54 dB(100 kHz)

23 μ V(均方根值, 0.75 V输出)

利用4.7 μ F小型陶瓷输出电容实现稳定工作

出色的负载和线路瞬态响应

限流和热过载保护

电源良好指示

逻辑控制使能

反向电流保护

应用

计算机服务器

存储器件

电信设备

网络设备

DSP/FPGA/微处理器电源

仪器设备/数据采集系统

概述

ADP1740/ADP1741均为低压差(LDO) CMOS线性稳压器, 采用1.6 V至3.6 V电源供电, 输出电流高达2 A。对于采用2.5 V至最低1.8 V I/O轨供电、提供最低0.75 V内核电压的纳米几何结构FPGA, 这些低 V_{IN}/V_{OUT} LDO是理想的稳压器选择。ADP1740/ADP1741采用先进的专有架构, 提供高电源抑制比(PSRR)和低噪声特性, 仅利用一个4.7 μ F小型陶瓷输出电容, 便可实现出色的线路与负载瞬态响应性能。

ADP1740提供7种固定输出电压选项。ADP1741则是可调型号产品, 可通过外部分压器在0.75 V至3.3 V范围内调节输

典型应用电路

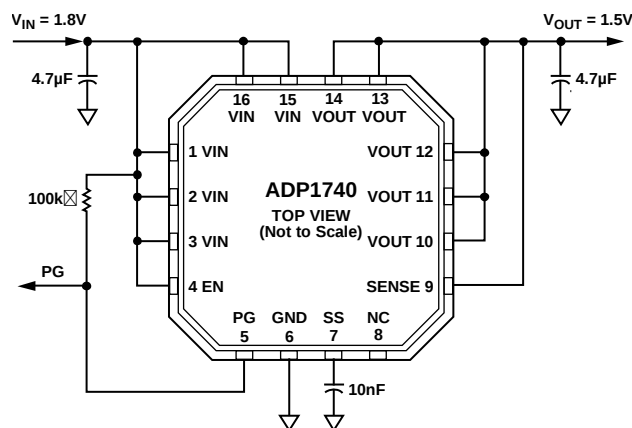


图1. 提供1.5 V固定输出电压的ADP1740

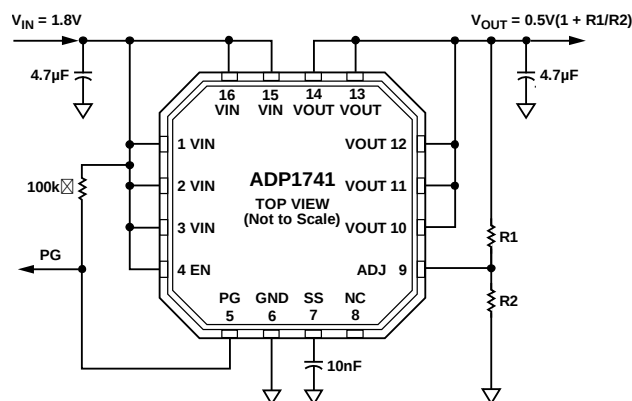


图2. 提供0.75 V至3.3 V可调输出电压的ADP1741

出电压。ADP1740/ADP1741可以连接外部软启动电容, 对启动进行编程设置。这些器件具有一个“电源良好”数字输出引脚, 允许电源系统监控器检查输出电压是否正常。

ADP1740/ADP1741提供16引脚、4 mm $\times$ 4 mm LFCSP封装, 不仅非常紧凑, 而且具有出色的散热性能, 适合要求最大2 A输出电流的薄型、小尺寸应用。

Rev. F

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2008–2013 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

目录

特性	1	工作原理	11
应用	1	软启动功能	11
典型应用电路	1	可调输出电压(ADP1741)	12
概述	1	使能特性	12
修订历史	2	电源良好特性	12
技术规格	3	反向电流保护特性	13
推荐规格：输入和输出电容.....	4	应用信息	14
绝对最大额定值	5	电容选择	14
热数据	5	欠压闭锁.....	15
热阻	5	限流与热过载保护	15
ESD警告	5	散热考量	15
引脚配置和功能描述	6	PCB布局考量	17
典型性能参数	7	外形尺寸	19
		订购指南	19

修订历史

2013年8月—修订版E至修订版F	
更改“订购指南”	19
2013年6月—修订版D至修订版E	
更改“具有软启动特性(ADP1755)，提供可调输出电压选项： 0.75 V至3.0 V改为0.75 V至3.3 V”(通篇)	1
更新“外形尺寸”	19
2012年12月-修订版C至修订版D	
表3增加150°C的结温	5
更改“订购指南”.....	19
2012年9月—修订版B至修订版C	
更改表3	5
更改“订购指南”.....	19
2010年2月—修订版A至修订版B	
更改表4.	5
更改“订购指南”.....	19
2009年4月——修订版0至修订版A	
更改表3	5
2008年10月—版本0：初始版	

技术规格

除非另有说明, $V_{IN} = (V_{OUT} + 0.4 \text{ V})$ 或 1.6 V (取较大者), $I_{OUT} = 100 \text{ mA}$, $C_{IN} = C_{OUT} = 4.7 \mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入电压范围	V_{IN}	$T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	1.6		3.6	V
工作电源电流 ¹	I_{GND}	$I_{OUT} = 500 \mu\text{A}$		90		μA
		$I_{OUT} = 100 \text{ mA}$		400		μA
		$I_{OUT} = 100 \text{ mA}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			800	μA
		$I_{OUT} = 2 \text{ A}$		1.5		mA
		$I_{OUT} = 2 \text{ A}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			1.8	mA
关断电流	I_{GND-SD}	EN = GND, $V_{IN} = 3.6 \text{ V}$	2		6	μA
		EN = GND, $V_{IN} = 1.6 \text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			30	μA
		EN = GND, $V_{IN} = 3.6 \text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			100	μA
输出电压精度						
固定输出电压精度 (ADP1740)	V_{OUT}	$I_{OUT} = 100 \text{ mA}$	-1		+1	%
		$I_{OUT} = 10 \text{ mA}$ 至 2 A	-1.5		+1.5	%
		$10 \text{ mA} < I_{OUT} < 2 \text{ A}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-2		+2	%
可调输出电压精度 (ADP1741)	V_{ADJ}	$I_{OUT} = 100 \text{ mA}$	0.495	0.5	0.505	V
		$I_{OUT} = 10 \text{ mA}$ 至 2 A	0.492		0.508	V
		$10 \text{ mA} < I_{OUT} < 2 \text{ A}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	0.490		0.510	V
电压调整率	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.4 \text{ V})$ 至 3.6 V , $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-0.3		+0.3	%/V
负载调整率 ³	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 10 \text{ mA}$ 至 2 A , $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			0.5	%/A
压差 ⁴	$V_{DROPOUT}$	$I_{OUT} = 100 \text{ mA}$, $V_{OUT} \geq 1.8 \text{ V}$	10			mV
		$I_{OUT} = 100 \text{ mA}$, $V_{OUT} \geq 1.8 \text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			18	mV
		$I_{OUT} = 2 \text{ A}$, $V_{OUT} \geq 1.8 \text{ V}$	160			mV
		$I_{OUT} = 2 \text{ A}$, $V_{OUT} \geq 1.8 \text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			280	mV
启动时间 ⁵	$t_{START-UP}$	$C_{SS} = 0 \text{ nF}$, $I_{OUT} = 10 \text{ mA}$	200			μs
		$C_{SS} = 10 \text{ nF}$, $I_{OUT} = 10 \text{ mA}$	5.2			ms
限流阈值 ⁶	I_{LIMIT}		2.4	3	5	A
热关断						
热关断阈值	T_{SD}	T_J rising		150		$^\circ\text{C}$
热关断迟滞	T_{SD-HYS}			15		$^\circ\text{C}$
PG输出逻辑电平						
PG输出逻辑高电平	PG_{HIGH}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $I_{OH} < 1 \mu\text{A}$	1.0			V
PG输出逻辑低电平	PG_{LOW}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $I_{OL} < 2 \text{ mA}$			0.4	V
EN低电平到高电平跃迁导致的PG输出延迟		$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $C_{SS} = 10 \text{ nF}$		5.5		ms
PG输出阈值						
输出电压下降	PG_{FALL}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$	-10			%
输出电压上升	PG_{RISE}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$	-6.5			%
EN输入						
EN输入逻辑高电平	V_{IH}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$	1.2			V
EN输入逻辑低电平	V_{IL}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$			0.4	V
EN输入漏电流	$V_{I-LEAKAGE}$	EN = V_{IN} 或 GND		0.1	1	μA
欠压闭锁	$UVLO$					
输入电压上升	$UVLO_{RISE}$				1.58	V
输入电压下降	$UVLO_{FALL}$		1.25			V
迟滞	$UVLO_{HYS}$			100		mV
软启动电流	I_{SS}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$	0.6	0.9	1.2	μA
ADJ输入偏置电流 (ADP1741)	ADJ_{I-BIAS}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		10	150	nA

ADP1740/ADP1741

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
检测输入偏置电流 (ADP1740)	SNS _{I-BIAS}	$1.6\text{ V} \leq V_{\text{IN}} \leq 3.6\text{ V}$		10		μA
输出噪声	OUT _{NOISE}	10 Hz至100 kHz, $V_{\text{OUT}} = 0.75\text{ V}$		23		μV rms
		10 Hz至100 kHz, $V_{\text{OUT}} = 2.5\text{ V}$		65		μV rms
电源抑制比	电源抑制比 (PSRR)	$V_{\text{IN}} = V_{\text{OUT}} + 1\text{ V}$, $I_{\text{OUT}} = 10\text{ mA}$				
		1 kHz, $V_{\text{OUT}} = 0.75\text{ V}$		65		dB
		1 kHz, $V_{\text{OUT}} = 2.5\text{ V}$		56		dB
		10 kHz, $V_{\text{OUT}} = 0.75\text{ V}$		65		dB
		10 kHz, $V_{\text{OUT}} = 2.5\text{ V}$		56		dB
		100 kHz, $V_{\text{OUT}} = 0.75\text{ V}$		54		dB
		100 kHz, $V_{\text{OUT}} = 2.5\text{ V}$		51		dB

¹ 最小输出负载电流为500 μA。
² VOUT直接连接至ADJ时的精度。当VOUT电压由外部反馈电阻设置时，调节模式下的绝对精度取决于所用电阻的容差。
³ 基于使用10 mA和2 A负载的端点计算。典型负载调整性能参见图6
⁴ 压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。仅适用于高于1.6 V的输出电压。
⁵ 启动时间定义为EN的上升沿到V_{OUT}达到其标称值95%的时间。
⁶ 限流阈值定义为输出电压降至额定典型值90%时的电流。例如，1.0 V输出电压的电流限值定义为引起输出电压降至1.0 V的90%或0.9 V的电流。

推荐规格：输入和输出电容

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
最小输入和输出电容 ¹	C _{MIN}	T _A = −40°C至+125°C	3.3			μF
电容ESR	R _{ESR}	T _A = −40°C至+125°C	0.001		0.1	Ω

¹ 在所有工作条件下，输入和输出电容至少应大于3.3 μF。选择电容时必须考虑应用的所有工作条件，确保达到最小电容要求。配合此LDO使用时，建议使用X7R型和X5R型电容，不建议使用Y5V和Z5U电容。

绝对最大额定值

表3.

参数	额定值
V _{IN} 至GND	-0.3 V至+4.0 V
V _{OUT} 至GND	-0.3 V至V _{IN}
EN至GND	-0.3 V至V _{IN}
SS至GND	-0.3 V至V _{IN}
PG至GND	-0.3 V至+4.0 V
SENSE/ADJ至GND	-0.3 V至V _{IN}
存储温度范围	-65°C至+150°C
结温范围	-40°C至+125°C
结温	150°C
焊接条件	JEDEC J-STD-020

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热数据

绝对最大额定值仅适合单独应用，不应组合使用。结温高于限值时，会损坏ADP1740/ADP1741。监控环境温度并不能保证结温处于额定温度限值内。在功耗高、PCB热阻差的应用中，可能需要降低最大环境温度。在功耗适中、PCB热阻较低的应用中，只要结温处于额定限值以内，最大环境温度可以超过最大限值。

器件的结温(T_J)取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。T_J根据以下公式计算：

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结至环境热阻(θ_{JA})基于使用4层板的建模和计算方法，主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。θ_{JA}的值可能随PCB材料、布局和环境条件不同而异。θ_{JA}额定值基于一个4层、4英寸×3

英寸电路板。有关板结构的详细信息，请参考JEDEC JESD51-7。欲了解更多信息，请查阅应用笔记AN-772“引脚架构芯片级封装(LFCSP)设计与制造指南”(www.analog.com)。

Ψ_{JB}是结至板热特性参数，单位为°C/W。封装的Ψ_{JB}基于使用4层板的建模和计算方法。JEDEC JESD51-12文件“报告和使用电子封装热信息指南”中声明，热特性参数与热阻不是一回事。Ψ_{JB}衡量沿多条热路径流动的器件功率，而θ_{JB}只涉及一条路径。因此，Ψ_{JB}热路径包括来自封装顶部的对流和封装的辐射，这些因素使得Ψ_{JB}在现实应用中更有用。最高结温(T_J)可由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关Ψ_{JB}的更详细信息，请参考JEDEC JESD51-8和JESD51-12。

热阻

θ_{JA}和Ψ_{JB}针对最差条件，即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ _{JA}	Ψ _{JB}	单位
16引脚LFCSP(带裸露焊盘)	42	25.5	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP1740/ADP1741

引脚配置和功能描述

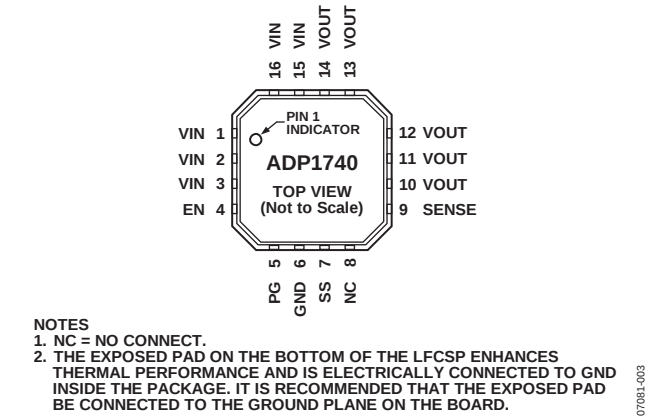


图3. ADP1740引脚配置

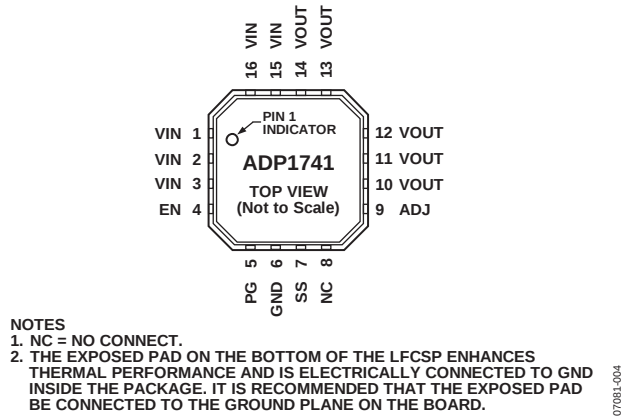


图4. ADP1741引脚配置

表5. 引脚功能描述

引脚编号		引脚名称	描述
ADP1740	ADP1741		
1, 2, 3, 15, 16	1, 2, 3, 15, 16	VIN	稳压器输入电源。使用4.7 μ F或更大的电容旁路VIN至GND。注意，所有5个VIN引脚都必须连接到电源。
4	4	EN	使能输入。将EN接到高电平，稳压器启动；将EN接到低电平，稳压器关闭。若要实现自动启动，请将EN接VIN。
5	5	PG	使能输入。将EN接到高电平，稳压器启动；将EN接到低电平，稳压器关闭。若要实现自动启动，请将EN接VIN。
6	6	GND	地。
7	7	SS	软启动引脚。连接到此引脚的一个电容决定软启动时间。
8	8	NC	无需连接。内部不连接。
9	9	SENSE	检测输入。此引脚测量负载上的实际输出电压，并将其馈入误差放大器。应使SENSE引脚尽可能靠近负载，使得调节器输出与负载之间的IR压降的影响最小。
10, 11, 12, 13, 14	10, 11, 12, 13, 14	可调 VOUT	调整引脚。VOUT与ADJ之间的电阻分压器设置输出电压。调节输出电压。使用4.7 μ F或更大的电容旁路VOUT至GND。注意，所有5个VOUT引脚都必须连接到负载。
EP	EP	裸露焊盘	LFCSP封装底部的裸露焊盘可增强散热性能，它与封装内部的GND形成电气连接。建议将裸露焊盘连接到板上的接地层。

典型性能参数

除非另有说明, $V_{IN} = 1.9\text{ V}$, $V_{OUT} = 1.5\text{ V}$, $I_{OUT} = 100\text{ mA}$, $C_{IN} = C_{OUT} = 4.7\text{ }\mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

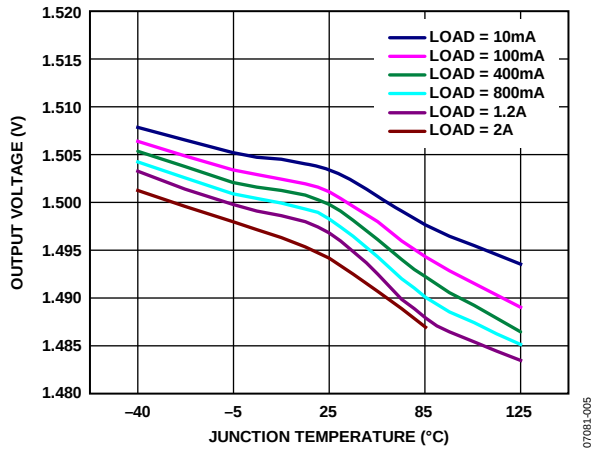


图5. 输出电压与结温的关系

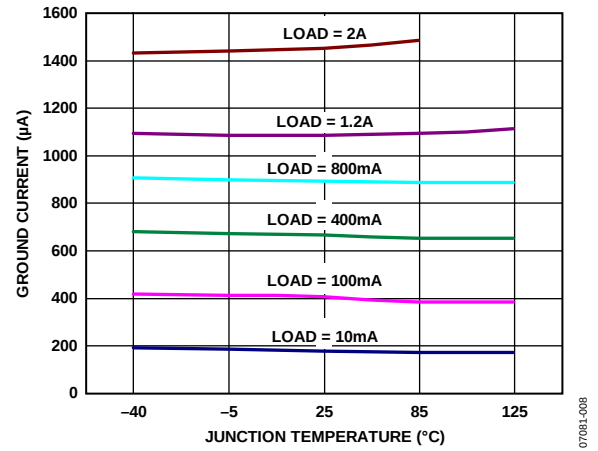


图8. 地电流与结温的关系

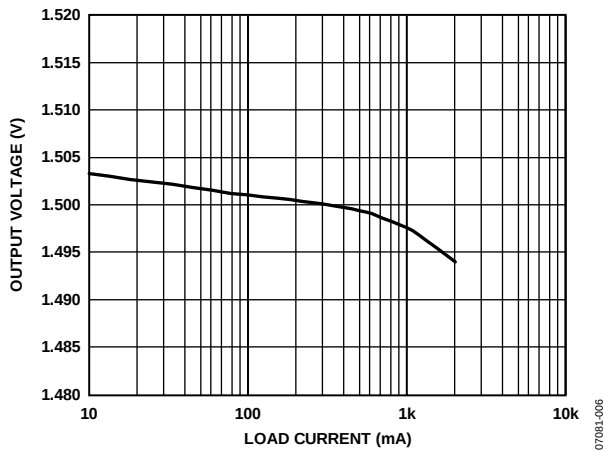


图6. 输出电压与负载电流的关系

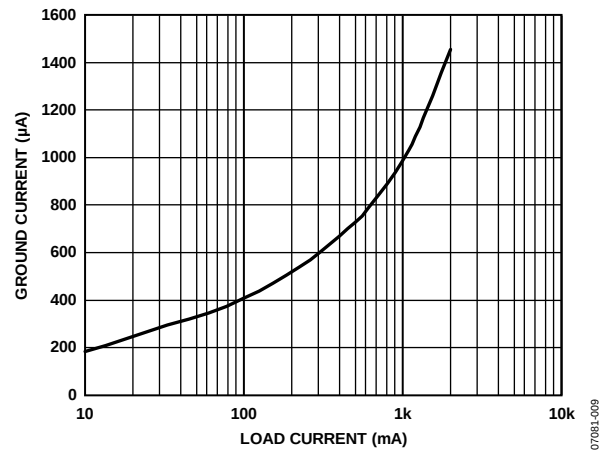


图9. 接地电流与负载电流的关系

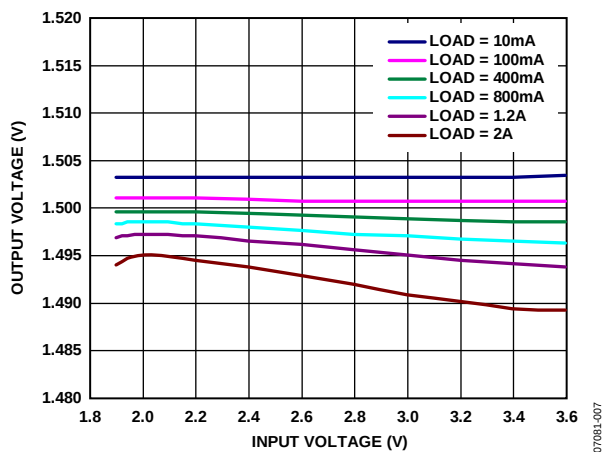


图7. 输出电压与输入电压的关系

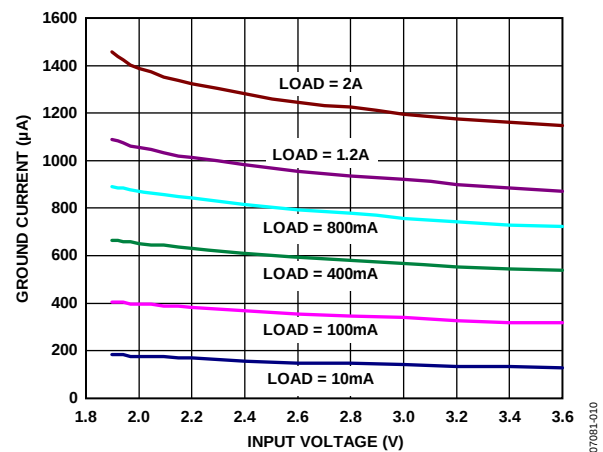


图10. 接地电流与输入电压的关系

ADP1740/ADP1741

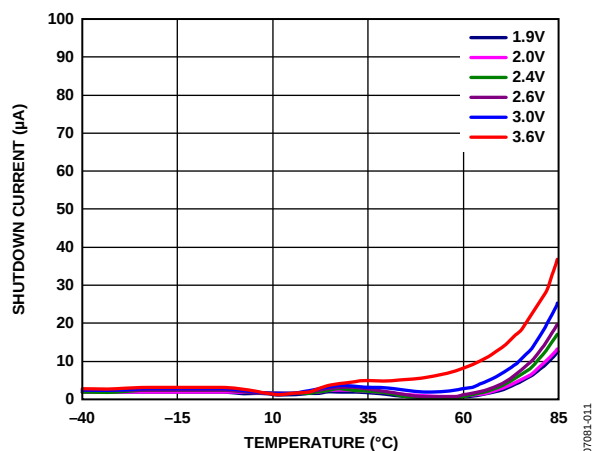


图11. 不同输入电压下关断电流与温度的关系

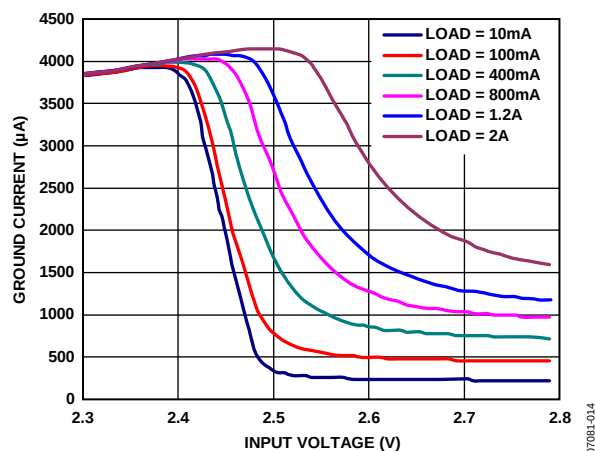


图14. 低压差下接地电流与输入电压的关系($V_{OUT} = 2.5\text{ V}$)

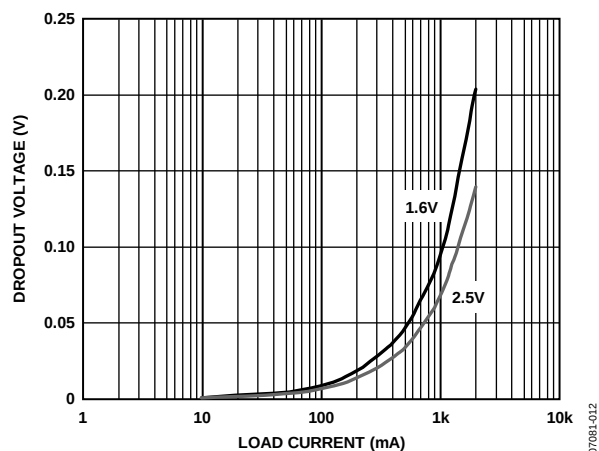


图12. 压差与负载电流的关系($V_{OUT} = 1.6\text{ V}$ 、 2.5 V)

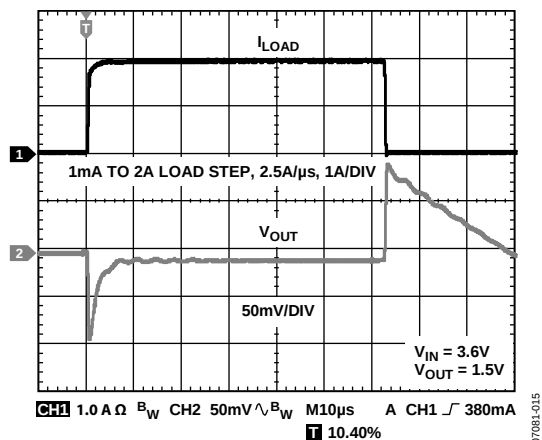


图15. 负载瞬态响应($C_{IN} = 4.7\text{ }\mu\text{F}$, $C_{OUT} = 4.7\text{ }\mu\text{F}$)

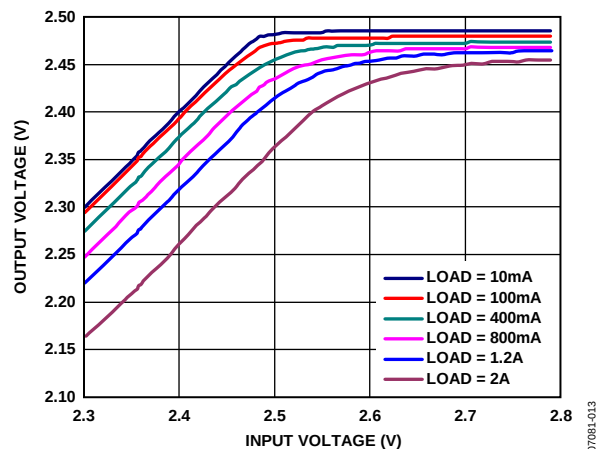


图13. 低压差下输出电压与输入电压的关系($V_{OUT} = 2.5\text{ V}$)

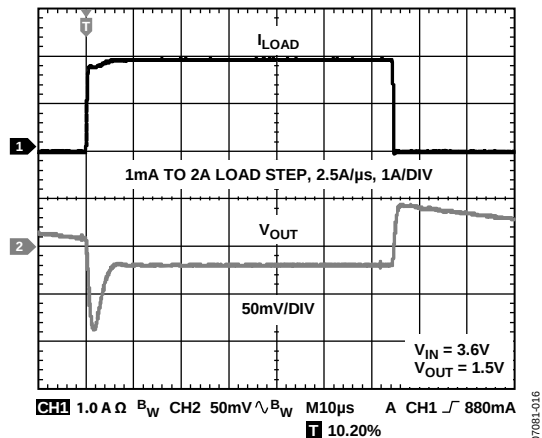


图16. 负载瞬态响应($C_{IN} = 22\text{ }\mu\text{F}$, $C_{OUT} = 22\text{ }\mu\text{F}$)

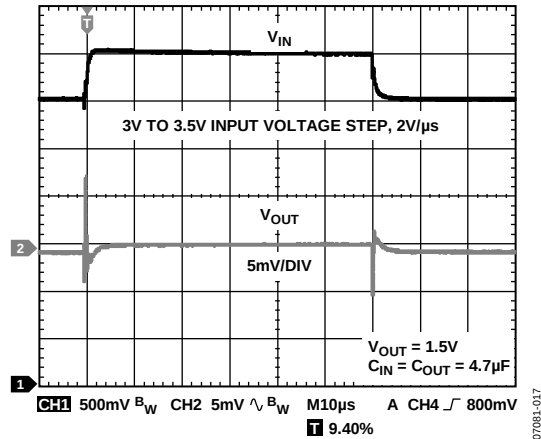


图17. 线路瞬态响应(负载电流 = 2 A)

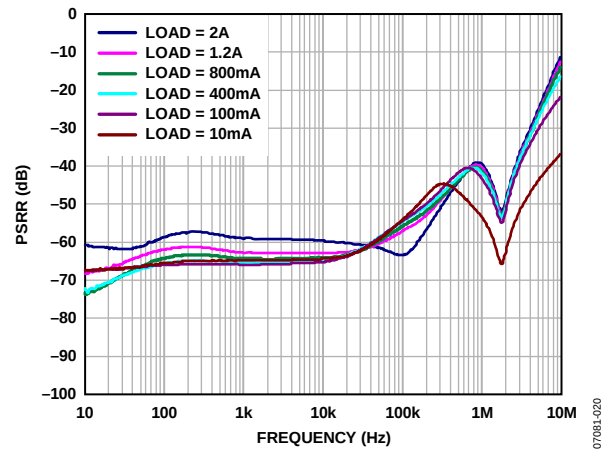


图20. 电源抑制比与频率的关系($V_{OUT} = 0.75\text{ V}$, $V_{IN} = 1.75\text{ V}$)

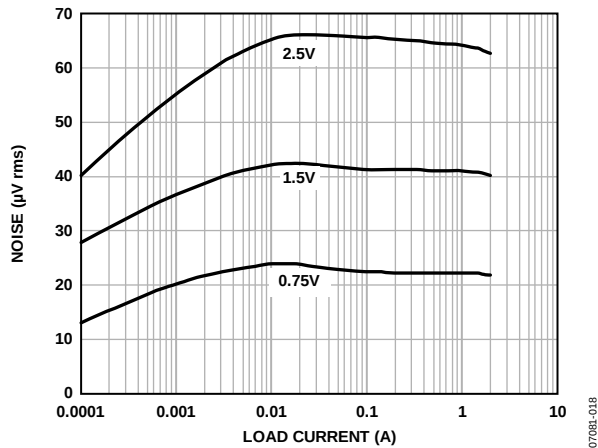


图18. 噪声与负载电流和输出电压的关系

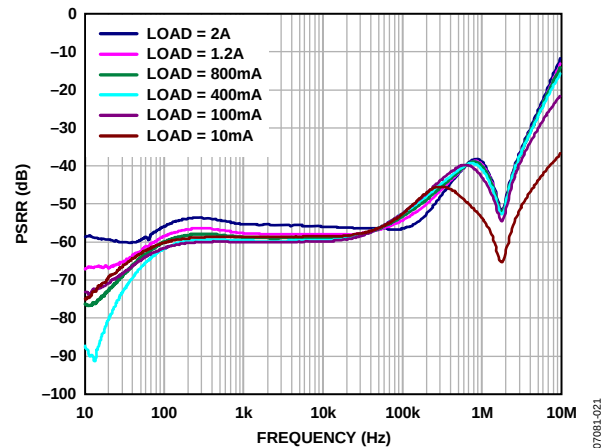


图21. 电源抑制比与频率的关系($V_{OUT} = 1.5\text{ V}$, $V_{IN} = 2.5\text{ V}$)

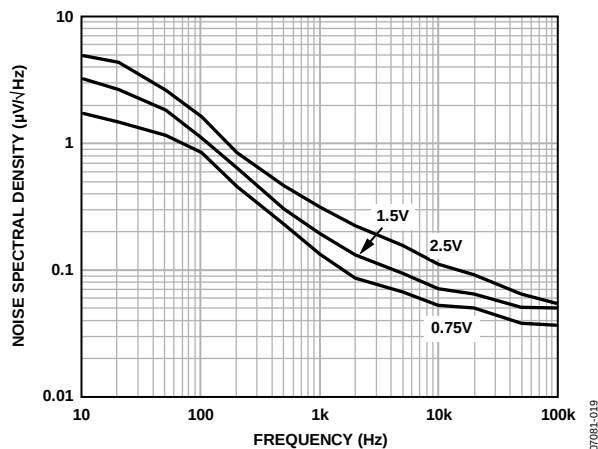


图19. 噪声谱密度与输出电压的关系($I_{\text{LOAD}} = 10 \text{ mA}$)

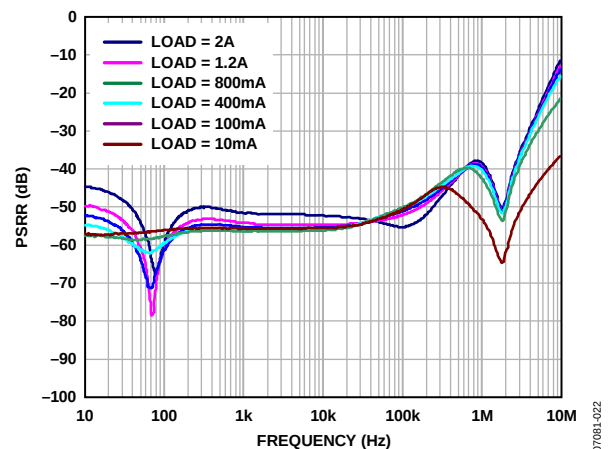


图22. 电源抑制比与频率的关系($V_{OUT} = 2.5\text{ V}$, $V_{IN} = 3.5\text{ V}$)

ADP1740/ADP1741

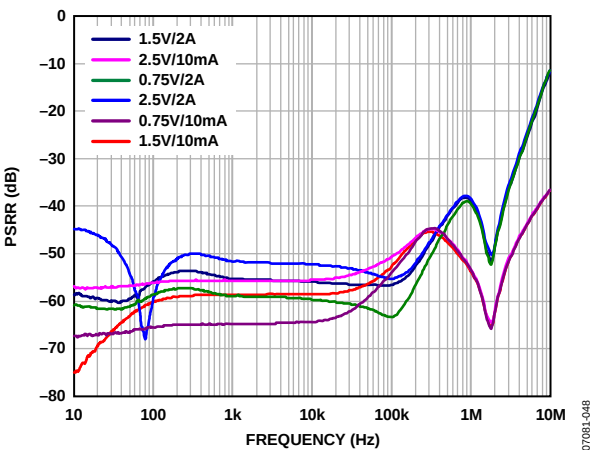


图23. 电源抑制比与频率和输出电压的关系

工作原理

ADP1740/ADP1741是低压差线性稳压器，采用先进的专有架构，提供高电源抑制比(PSRR)，仅利用一个4.7 μF小型陶瓷输出电容，便可实现出色的线路与负载瞬态响应性能。两款器件均采用1.6 V至3.6 V输入轨供电，提供最高2 A的输出电流。关断模式下的电源电流典型值为2 μA。

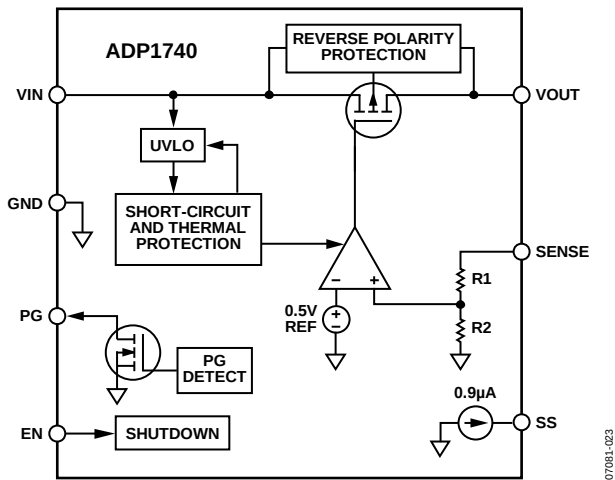


图24. ADP1740内部框图

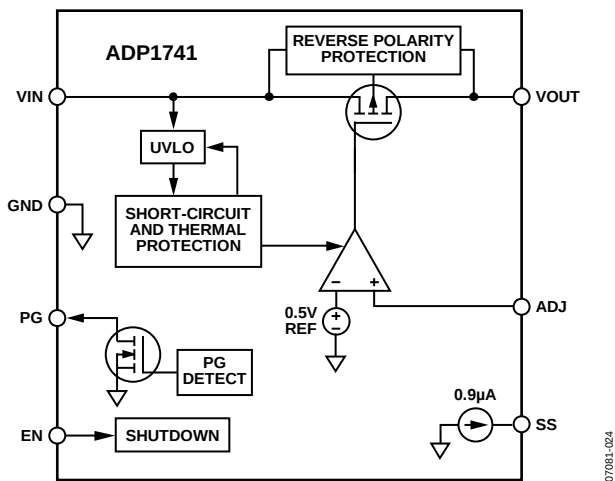


图25. ADP1741内部框图

ADP1740/ADP1741内置一个基准电压源、一个误差放大器、一个反馈分压器和一个PMOS调整管。输出电流经由PMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

ADP1740提供0.75 V至2.5 V的7种固定输出电压选项。ADP1740可以连接外部软启动电容，从而控制启动期间的输出电压斜坡。ADP1741则是可调型号产品，可通过外部分压器在0.75 V至3.3 V范围内调节输出电压。两款器件均受使能引脚(EN)控制。

软启动功能

针对要求受控启动的应用，ADP1740/ADP1741提供可编程软启动功能。可编程软启动可以降低启动时的涌入电流并提供电压时序控制。为实现软启动，SS与GND之间应连接一个小陶瓷电容。启动时，0.9 μA电流源对此电容充电。ADP1740/ADP1741的启动输出电压受SS引脚电压的限制，平稳地上升至标称输出电压。软启动时间可通过下式计算：

$$t_{SS} = V_{REF} \times (C_{SS}/I_{SS}) \quad (1)$$

其中：

t_{SS} 为软启动周期。

V_{REF} 为0.5 V基准电压。

C_{SS} 为SS至GND的软启动电容。

I_{SS} 为SS提供的电流(0.9 μA)。

当ADP1740/ADP1741禁用(利用EN引脚)时，软启动电容通过内部100 Ω电阻放电至GND

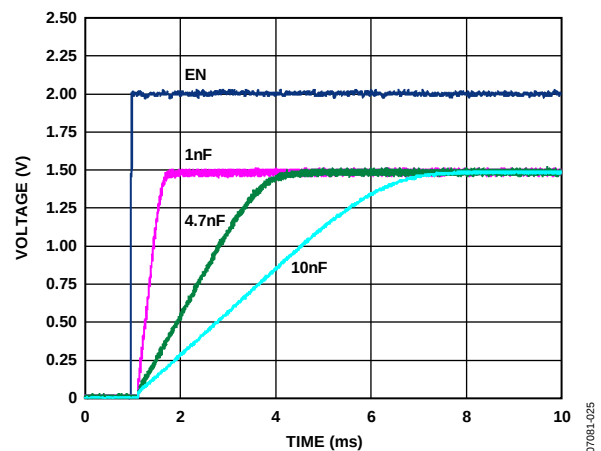


图26. 使用外部软启动电容的 V_{OUT} 上斜坡

ADP1740/ADP1741

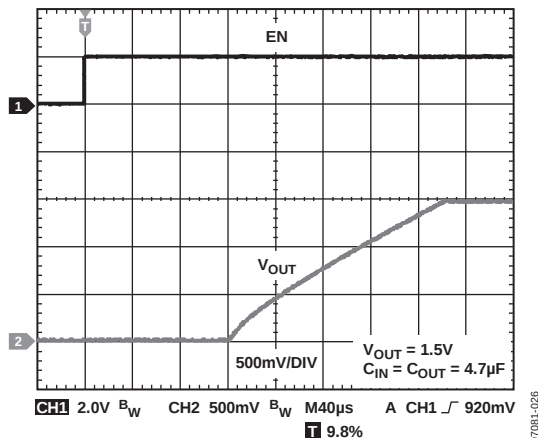


图27. 使用内部软启动功能的 V_{OUT} 上斜坡

可调输出电压(ADP1741)

ADP1741的输出电压可以在0.75 V至3.3 V范围内设置。输出电压通过连接在 V_{OUT} 与ADJ之间的电阻分压器设置。输出电压可通过以下公式计算：

$$V_{OUT} = 0.5 \text{ V} \times (1 + R1/R2) \quad (2)$$

其中：

$R1$ 为 V_{OUT} 至ADJ的电阻。

$R2$ 为ADJ至GND的电阻。

ADJ的最大偏置电流为150 nA，为将偏置电流引起的误差降至0.5%以下， $R2$ 值应小于60 k Ω 。

使能特性

在正常操作条件下，ADP1740/ADP1741利用EN引脚使能和禁用 V_{OUT} 引脚。如图28所示，当EN上的上升电压越过有效阈值时， V_{OUT} 开启。当EN上的下降电压越过无效阈值时， V_{OUT} 关闭。

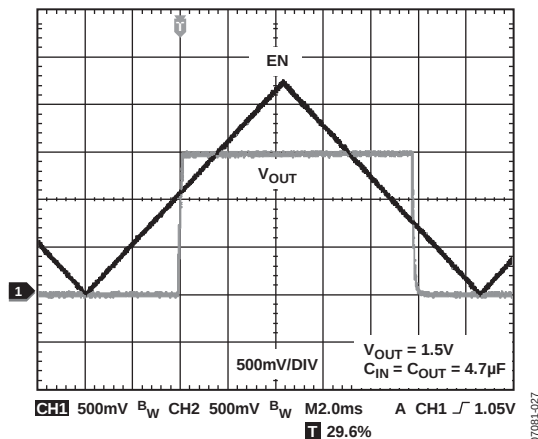


图28. EN引脚典型工作方式

如图28所示，EN引脚本身具有迟滞特性，这可防止EN引脚上的噪声在经过阈值点时引起开关振荡。

EN引脚的有效/无效阈值是从 V_{IN} 电压获得。因此，这些阈值会随输入电压而变化。图29显示输入电压从1.6 V变化到3.6 V时EN引脚的典型有效/无效阈值。

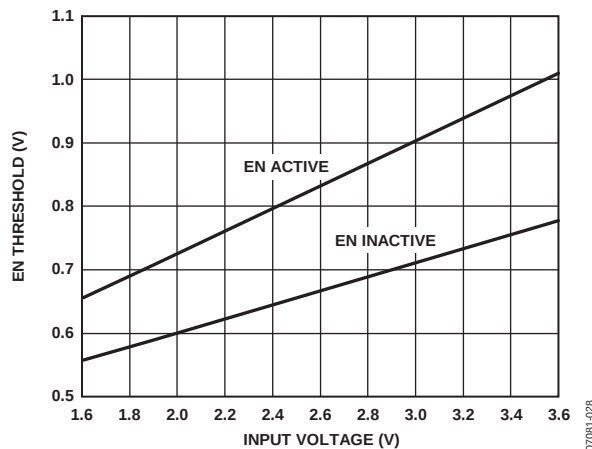


图29. EN引脚典型阈值与输入电压的关系

电源良好特性

ADP1740/ADP1741提供一个电源良好引脚(PG)来指示输出的状态。此开漏输出需要一个外部上拉电阻连接至 V_{IN} 。如果器件处于关断模式、限流模式或热关断，或者如果它降至标称输出电压的90%以下，电源良好引脚(PG)将立即变为低电平。软启动期间，电源良好信号的上升阈值为标称输出电压的93.5%。

当ADP1740/ADP1741有足够的输入电压来开启内部PG晶体管时，此开漏输出保持低电平。可以检测可选的软启动延迟时间。PG晶体管通过一个接 V_{OUT} 或 V_{IN} 的上拉电阻端接。

当此电压上升时，电源良好精度为调节器标称输出电压的93.5%；当此电压下降时，跳变点为标称输出电压的90%。如果 V_{OUT} 降至90%以下，则表明调节器输入电压关断或受到干扰，从而触发电源不良信号。

当 V_{OUT} 降至90%以下时，正常关断将触发电源不良信号。

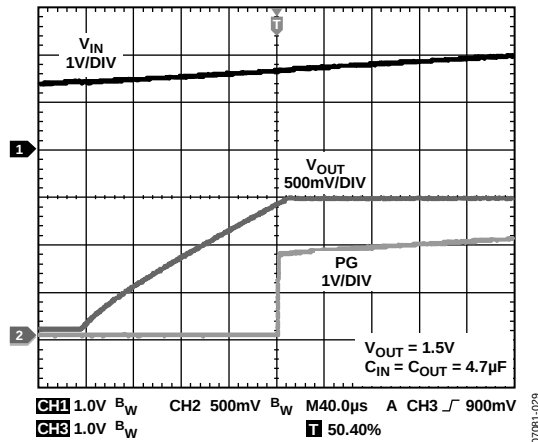


图30. 典型PG行为与 V_{OUT} 的关系, V_{IN} 上升($V_{OUT} = 1.5\text{ V}$)

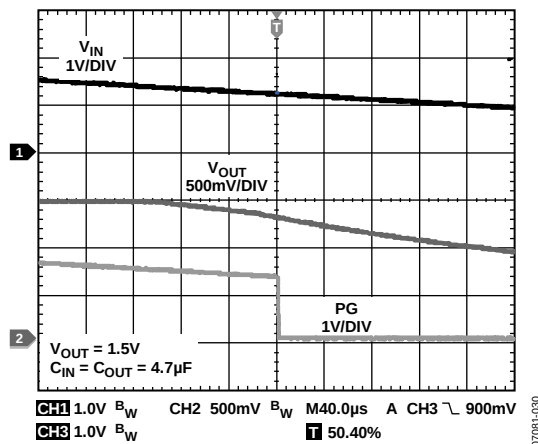


图31. 典型PG行为与 V_{OUT} 的关系, V_{IN} 下降($V_{OUT} = 1.5\text{ V}$)

反向电流保护特性

ADP1740/ADP1741具有额外电路来防止电流从VOUT反向流动至VIN。对于带PMOS调整管的典型LDO，VIN与VOUT之间有一个固有体二极管。当 V_{IN} 大于 V_{OUT} 时，此二极管反向偏置。如果 V_{OUT} 大于 V_{IN} ，该固有二极管变为正偏，电流从VOUT流向VIN，可能会损坏器件。反向电流保护电路可以检测到 V_{OUT} 大于 V_{IN} 的情况，且会使固有二极管的连接反向，从而使二极管反向偏置。此外，PMOS调整管的栅极连接到VOUT，使器件保持关断。图32显示了反向电流与 V_{OUT} 和 V_{IN} 压差的关系。

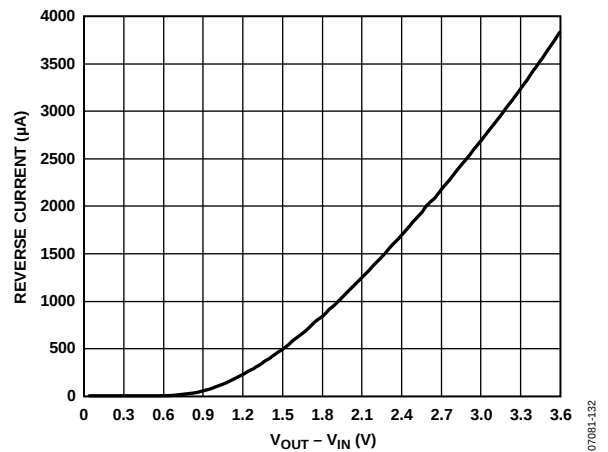


图32. 反向电流与 $V_{OUT} - V_{IN}$

应用信息

电容选择

输出电容

ADP1740/ADP1741设计采用节省空间的小型陶瓷电容,但只要注意有效串联电阻(ESR)值要求,便可以采用大多数常用电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP1740/ADP1741稳定工作,推荐使用至少3.3 μF 、ESR为100 m Ω 或更小的电容。输出电容还会影响负载电流变化的瞬态响应。采用较大的输出电容值可改善ADP1740/ADP1741对大负载电流变化的瞬态响应。图33和图34分别显示了输出电容值为4.7 μF 和22 μF 时的瞬态响应。

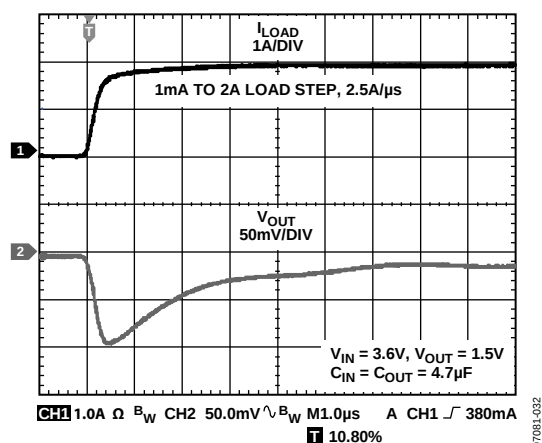


图33. 输出瞬态响应($C_{OUT} = 4.7 \mu\text{F}$)

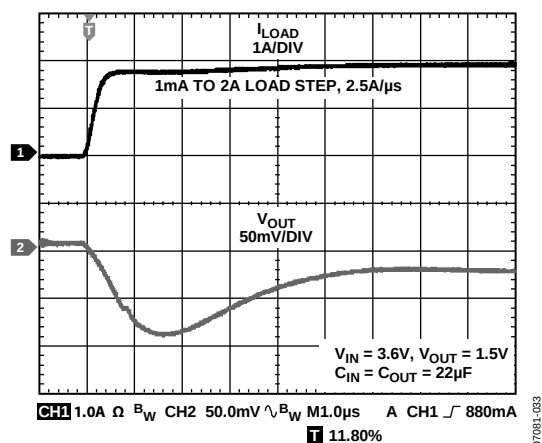


图34. 输出瞬态响应($C_{OUT} = 22 \mu\text{F}$)

输入旁路电容

在VIN引脚与GND之间连接一个4.7 μF 电容可降低电路对印刷电路板(PCB)布局的敏感性,尤其是输入走线较长或源阻抗较高的情况下。如果要求输出电容大于4.7 μF ,建议选用更高的输入电容。

输入和输出电容特性

只要符合最小电容和最大ESR要求,ADP1740/ADP1741可以采用任何质量良好的电容。陶瓷电容可采用各种各样的电介质制造,温度和所施加的电压不同,其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V或10 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳,建议不要使用。

图35所示为0805尺寸、4.7 μF 、10 V、X5R电容的容值与电压偏置特性的关系。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般来说,封装较大或电压额定值较高的电容具有更好的稳定性。X5R电介质的温度变化率在 -40°C 至 $+85^{\circ}\text{C}$ 温度范围内约为 $\pm 15\%$,与封装尺寸或电压额定值没有函数关系。

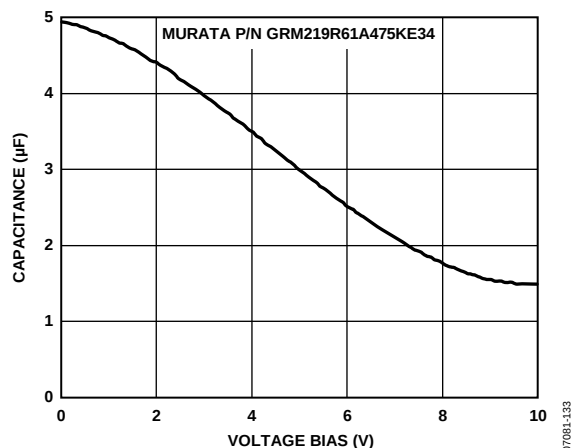


图35. 电容与电压偏置特性的关系

考虑电容随温度、元件容差和电压的变化,可以利用公式3确定最差情况下的电容。

$$C_{EFF} = C_{OUT} \times (1 - TEMPCO) \times (1 - TOL) \quad (3)$$

其中:

C_{EFF} 是工作电压下的有效电容量。

TEMPCO是最差情况下的电容温度系数。

TOL是最差情况下的元件容差。

本例中，假定X5R电介质在-40°C至+85°C范围内的最差条件温度系数(TEMPCO)为15%。假定电容容差(TOL)为10%， C_{OUT} 在1.8 V下为4.46 μF ，如图35所示。

$$C_{EFF} = 4.46 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 3.41 \mu\text{F}$$

因此，在选定输出电压条件下，本例中所选电容满足LDO在温度和容差方面的最小电容要求。

为了保证ADP1740/ADP1741的性能，必须针对每一种应用来评估直流偏置、温度和容差对电容性能的影响。

欠压闭锁

ADP1740/ADP1741内置欠压闭锁电路，当输入电压低于约1.58 V时，它会禁用所有输入和输出。这可确保上电时ADP1740/ADP1741的输入和输出是可预测的。

限流和热过载保护

ADP1740/ADP1741内置限流和热过载保护电路，可防止器件功耗过大导致受损。当输出负载达到3 A(典型值)时，限流电路就会起作用。当输出负载超过3 A时，输出电压会被降低，以保持恒定的电流限制。

热过载保护电路将结温限制在150°C(典型值)以下。在极端条件下(即高环境温度和低功耗)，当结温开始升至150°C以上时，输出就会关闭，从而将输出电流降至0。当结温降至135°C(典型值)以下时，输出又会开启，输出电流恢复为标称值。

考虑V_{OUT}至地发生负载短路的情况。首先，ADP1740/ADP1741的限流功能起作用，因此，仅有3 A电流传导至短路电路。如果结的自发热量足够大，使其温度升至150°C以上，热关断功能就会激活，输出关闭，输出电流降至0。当结温冷却下来，降至135°C以下时，输出开启，将3 A电流传导至短路路径中，再次导致结温升至150°C以上。结温在135°C至150°C范围内的热振荡导致电流在3 A和0 A之间振荡；只要输出端存在短路，振荡就会持续下去。

限流和热过载保护旨在保护器件免受偶然过载条件影响。为保证器件稳定工作，应从外部限制器件的功耗，使结温不会超过125°C。

散热考虑

为保证器件可靠工作，ADP1740/ADP1741的结温不得超过125°C。为确保结温低于此最高结温，用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结与周围空气之间的热阻(θ_{JA})。 θ_{JA} 的值取决于所用的封装填充物以及将封装GND引脚和裸露焊盘(EP)焊接到PCB所用的覆铜数量。表6给出了各种PCB覆铜尺寸的16引脚LFCSP封装的典型 θ_{JA} 值。表7给出了16引脚LFCSP封装的典型 Ψ_{JB} 值。

表6. 典型 θ_{JA} 值

覆铜面积(mm ²)	θ_{JA} (°C/W), LFCSP
0 ¹	130
100	80
500	69
1000	54
6400	42

¹ 器件焊接在最小尺寸引脚走线上。

表7. 典型 Ψ_{JB} 值

覆铜面积(mm ²)	Ψ_{JB} (°C/W) @ 1 W
100	32.7
500	31.5
1000	25.5

ADP1740/ADP1741的结温可通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (4)$$

其中：

T_A 是环境温度。

P_D 为芯片的功耗，通过下式计算：

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (5)$$

其中：

V_{IN} 和 V_{OUT} 分别为输入和输出电压。

I_{LOAD} 为负载电流。

I_{GND} 为接地电流。

接地电流引起的功耗相当小，可忽略不计。因此，结温的计算公式可简化为：

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (6)$$

如等式6所示，针对给定的环境温度、输入与输出电压差和连续负载电流，需满足PCB的最小覆铜尺寸要求，以确保结温不升至125°C以上。图36至图41显示不同环境温度、负载电流、 V_{IN} 至 V_{OUT} 压差及PCB覆铜面积下的结温计算结果。

ADP1740/ADP1741

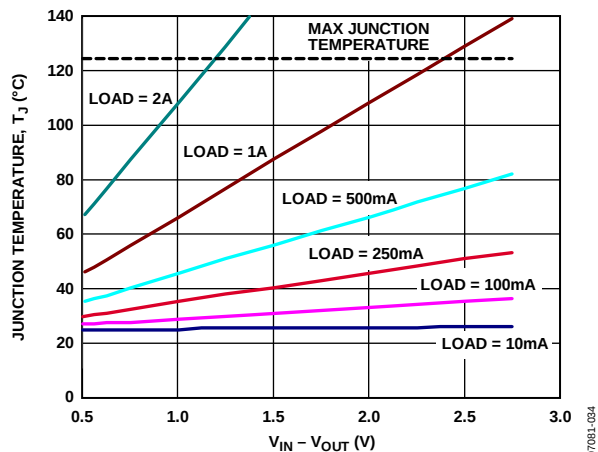


图36. 6400 mm² PCB覆铜, $T_A = 25^\circ\text{C}$, LFCSP

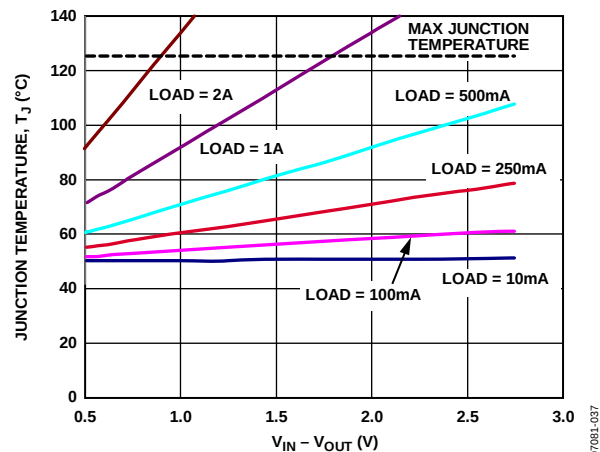


图39. 6400 mm² PCB覆铜, $T_A = 50^\circ\text{C}$, LFCSP

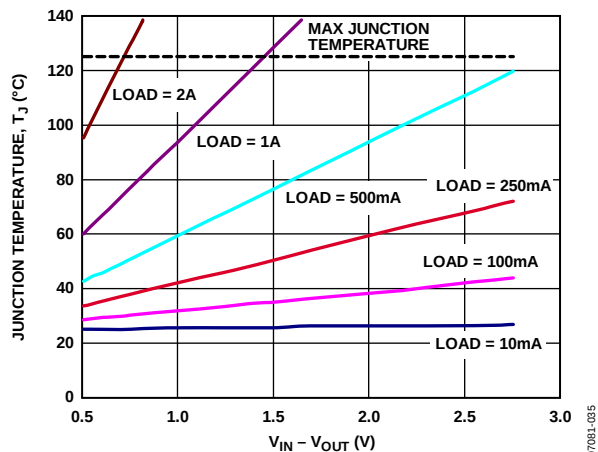


图37. 500 mm² PCB覆铜, $T_A = 25^\circ\text{C}$, LFCSP

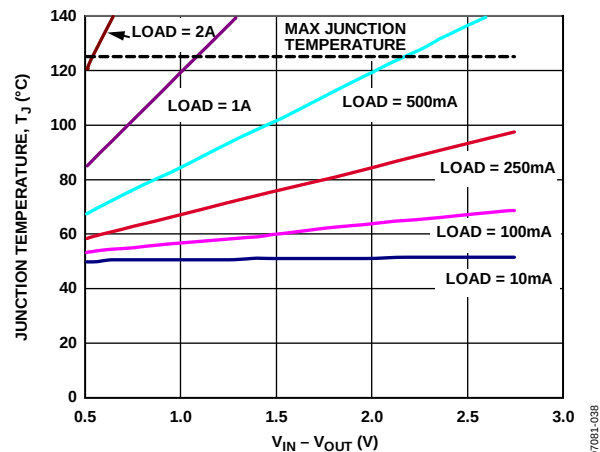


图40. 500 mm² PCB覆铜, $T_A = 50^\circ\text{C}$, LFCSP

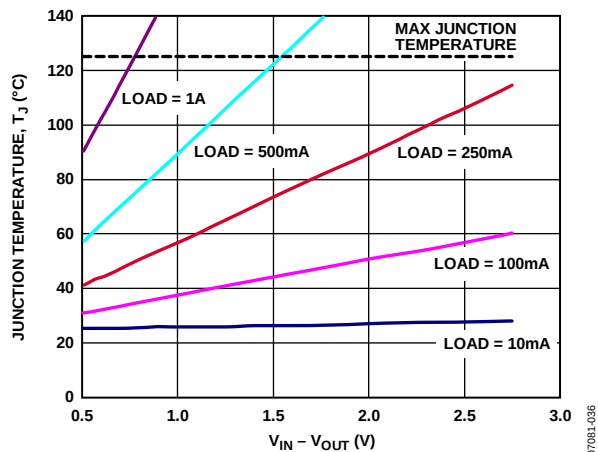


图38. 0 mm² PCB覆铜, $T_A = 25^\circ\text{C}$, LFCSP

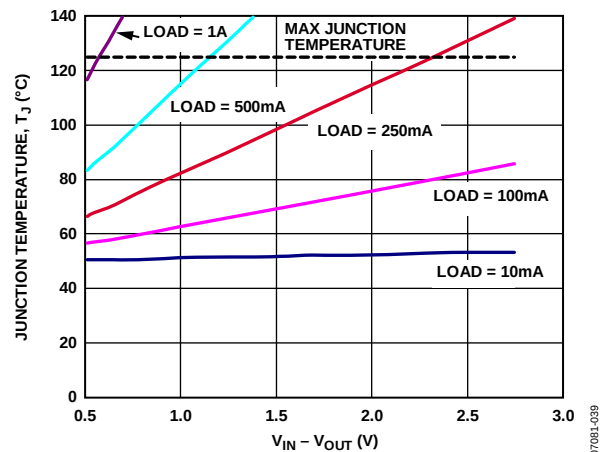


图41. 0 mm² PCB覆铜, $T_A = 50^\circ\text{C}$, LFCSP

如果知道电路板温度, 可以使用热特性参数 Ψ_{JB} 来估计结温升高幅度。最高结温(T_J)可由板温(T_B)和功耗(P_D)通过下式计算:

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (7)$$

图42至图45显示了不同电路板温度、负载电流、 V_{IN} 与 V_{OUT} 压差和PCB覆铜面积的结温计算结果。

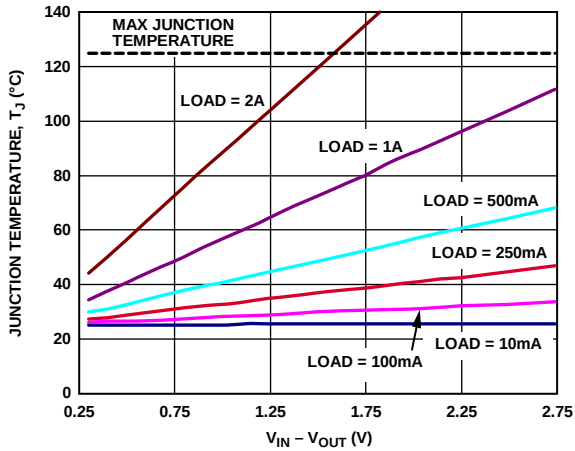


图42. 500 mm² PCB覆铜, $T_A = 25^\circ\text{C}$, LFCSP

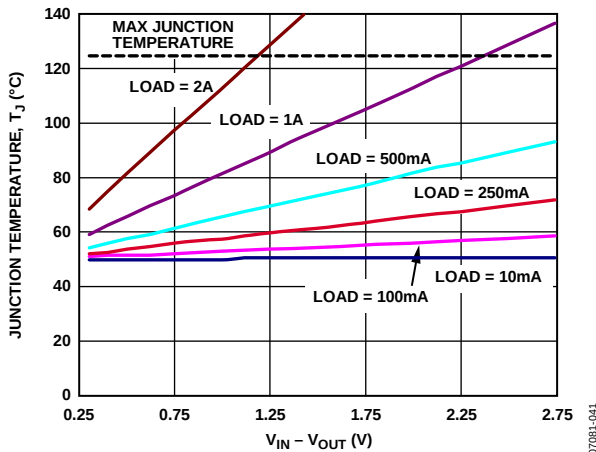


图43. 500 mm² PCB覆铜, $T_A = 50^\circ\text{C}$, LFCSP

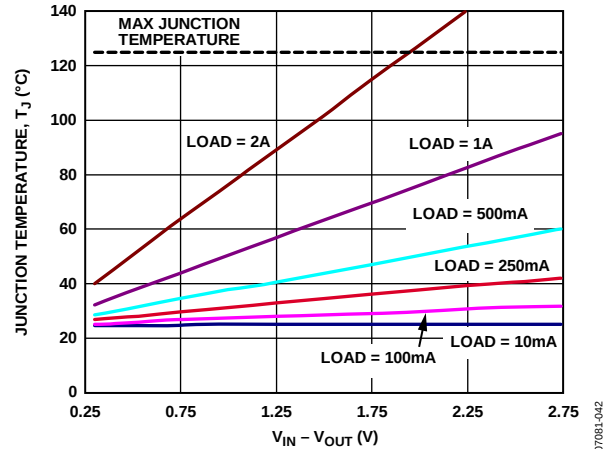


图44. 1000 mm² PCB覆铜, $T_A = 25^\circ\text{C}$, LFCSP

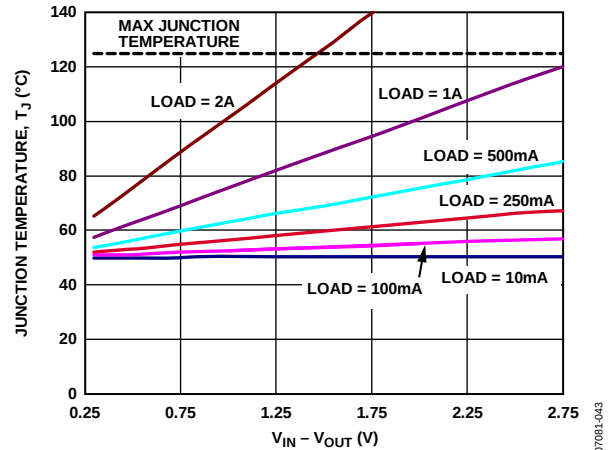


图45. 1000 mm² PCB覆铜, $T_A = 50^\circ\text{C}$, LFCSP

PCB布局考虑

通过增加ADP1740/ADP1741引脚处的覆铜用量, 可改善封装的散热性能。但是, 如表6所示, 这种增加存在效益递减的现象, 当覆铜量达到某一数量点后, 再继续增加覆铜的用量并不会带来明显的散热效益。

下面是关于PCB设计的若干一般注意事项:

- 输入电容应尽可能靠近VIN和GND引脚放置。
- 输出电容应尽可能靠近VOUT和GND引脚放置。
- 软启动电容应靠近SS引脚放置。
- 负载应尽可能靠近VOUT和SENSE引脚(ADP1740)或VOUT和ADJ引脚(ADP1741)。

在板面积受限的情况下, 采用0603或0805尺寸的电容和电阻可实现最小尺寸解决方案。

ADP1740/ADP1741

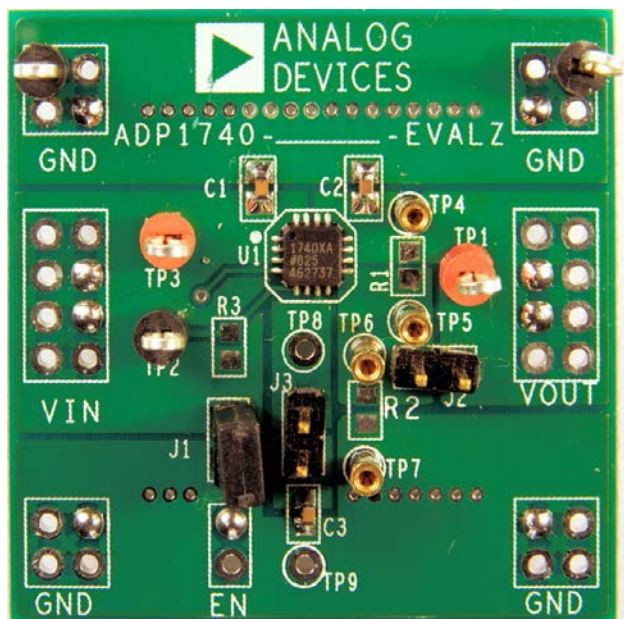


图46. 评估板

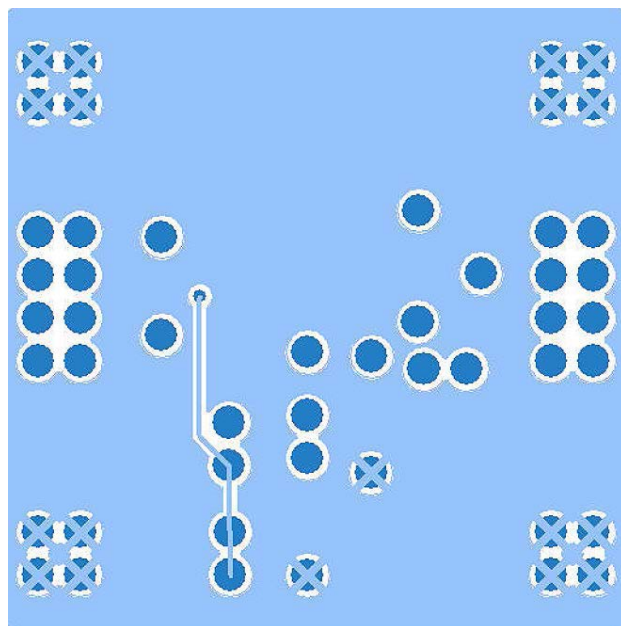


图48. 典型评估板布局布线——底端

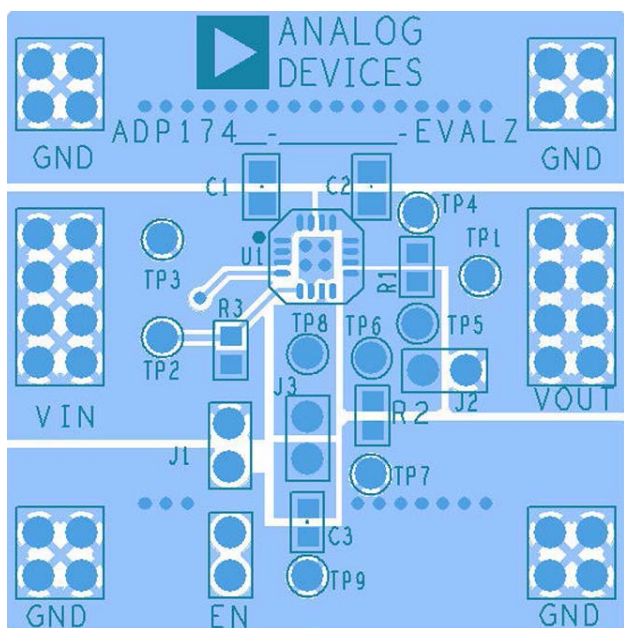
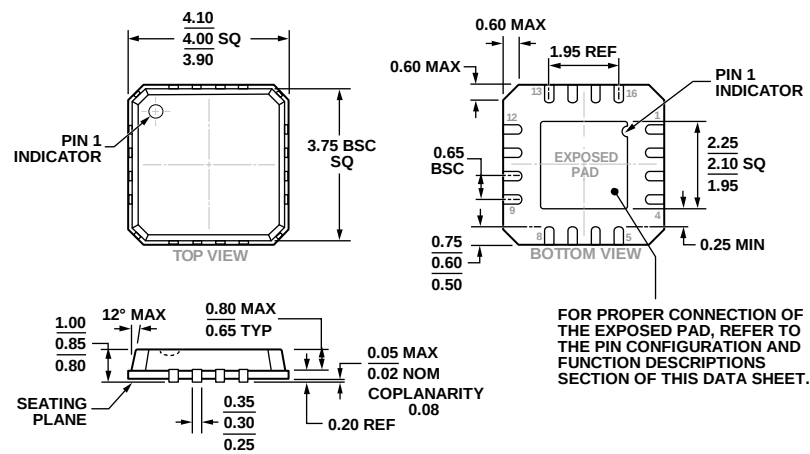


图47. 典型评估板布局布线——顶端

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VGGC

图49. 16引脚脚架构芯片级封装[LFCSP_VQ]
4 mm × 4 mm, 超薄体
(CP-16-4)
图示尺寸单位: mm

02-26-2013-B

订购指南

型号 ¹	温度范围	输出电压(V)	封装描述	封装选项
ADP1740ACPZ-0.75-R7	−40°C至+125°C	0.75	16引脚LFCSP_VQ	CP-16-4
ADP1740ACPZ-1.0-R7	−40°C至+125°C	1.0	16引脚LFCSP_VQ	CP-16-4
ADP1740ACPZ-1.1-R7	−40°C至+125°C	1.1	16引脚LFCSP_VQ	CP-16-4
ADP1740ACPZ-1.2-R7	−40°C至+125°C	1.2	16引脚LFCSP_VQ	CP-16-4
ADP1740ACPZ-1.3-R7	−40°C至+125°C	1.3	16引脚LFCSP_VQ	CP-16-4
ADP1740ACPZ-1.5-R7	−40°C至+125°C	1.5	16引脚LFCSP_VQ	CP-16-4
ADP1740ACPZ-1.8-R7	−40°C至+125°C	1.8	16引脚LFCSP_VQ	CP-16-4
ADP1740ACPZ-2.5-R7	−40°C至+125°C	2.5	16引脚LFCSP_VQ	CP-16-4
ADP1741ACPZ-R7	−40°C至+125°C	可调, 0.75 V至3.3 V	16引脚LFCSP_VQ	CP-16-4
ADP1740-1.5-EVALZ		1.5	评估板	
ADP1741-EVALZ		可调	评估板	

¹ Z = 符合RoHS标准的器件。

注释