

ADuM1410/ADuM1411/ADuM1412

产品特性

低功耗工作

5 V电源

每个通道1.3 mA(最大值, 0 Mbps至2 Mbps)

每个通道4.0 mA(最大值, 10 Mbps)

3 V电源

每个通道0.8 mA(最大值, 0 Mbps至2 Mbps)

每个通道1.8 mA(最大值, 10 Mbps)

双向通信

3 V/5 V电平转换

工作温度最高可达: 105°C

数据速率最高可达10 Mbps (NRZ)

可编程默认输出状态

高共模瞬变抗扰度: >25 kV/μs

16引脚宽体SOIC封装, 符合RoHS标准

安全和法规认证

UL认证: 依据UL 1577, 1分钟2500 V rms

CSA元件验收通知#5A

VDE合格证书

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

$V_{IORM} = 560$ V峰值

TÜV认证: IEC/EN 60950-1

应用

通用多通道隔离

SPI接口/数据转换器隔离

RS-232/RS-422/RS-485收发器

工业现场总线隔离

概述

ADuM141x¹是采用ADI公司iCoupler®技术的四通道数字隔离器。这些隔离器件将高速CMOS与单芯片空芯变压器技术融为一体, 具有优于光耦合器等替代器件的出色性能特征。

iCoupler器件不用LED和光电二极管, 因而不存在一般与光耦合器相关的设计困难。简单的iCoupler数字接口和稳定的性能特征, 可消除光耦合器通常具有的电流传输比不确定、非线性传递函数以及温度和使用寿命影响等问题。这些iCoupler产品不需要外部驱动器和其它分立器件。此外, 在信号数据速率相当的情况下, iCoupler器件的功耗只有光耦合器的1/10至1/6。

¹ 受美国专利5,952,849号、6,873,065号、6,903,578号和7,075,329号保护。

Rev. J

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

功能框图

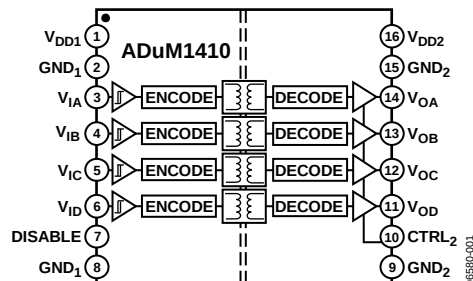


图1. ADuM1410

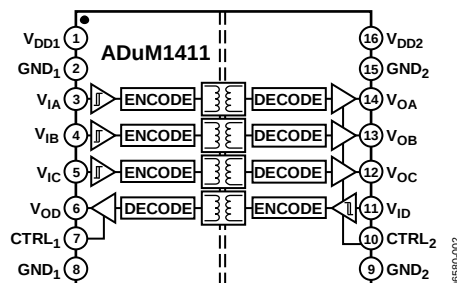


图2. ADuM1411

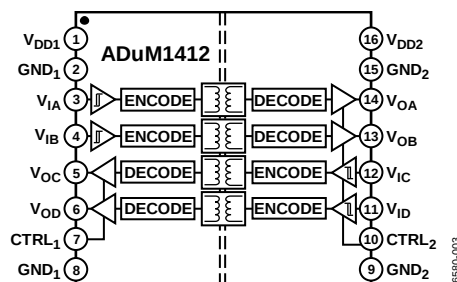


图3. ADuM1412

ADuM141x隔离器提供四个独立的隔离通道, 支持多种通道配置和最高达10 Mbps的数据速率(请参考“订购指南”)。所有型号均可采用2.7 V至5.5 V电源电压工作, 与低压系统兼容, 并且能够跨越隔离栅实现电压转换功能。所有产品均有默认输出控制引脚。利用该引脚, 用户可以定义无输入电源时输出所采取的逻辑状态。与其它光耦合器不同, ADuM141x隔离器具有已取得专利的刷新特性, 可确保不存在输入逻辑转换时及上电/关断条件下的直流正确性。

ADuM1410/ADuM1411/ADuM1412

目录

产品特性	1	建议工作条件	11
应用	1	绝对最大额定值	12
功能框图	1	ESD警告	12
概述	1	引脚配置和功能描述	13
修订历史	2	典型性能参数	17
技术规格	3	应用信息	19
电气特性—5 V电源	3	印刷电路板布局	19
电气特性—3 V电源	5	传播延迟相关参数	19
电气特性—5 V/3 V或3 V/5 V混合电源	7	直流正确性和磁场抗扰度	19
封装特性	10	功耗	20
法规信息	10	隔离寿命	20
隔离和安全相关特性	10	外形尺寸	22
DIN V VDE V 0884-10 (VDE V 0884-10);		订购指南	22
2006-12隔离特性	11		

修订历史

2014年4月—修订版I至修订版J

更改表5	10
------------	----

2012年3月—修订版H至修订版I

为特性部分的“安全和法规认证”创建超链接	1
更改印刷电路板布局部分	19

2010年11月—修订版G至修订版H

特性部分增加TÜV认证	1
表5增加TÜV栏	10

2007年6月—修订版F至修订版G

全面更新VDE认证	1
更改特性和应用部分	1
更改表1中的直流规格	3
更改表2中的直流规格	5
更改表3中的直流规格	7
更改法规信息部分	10
增加表10	12
增加隔离寿命部分	21

2007年2月—修订版E至修订版F

增加ADuM1410ARWZ	通篇
引脚名称CTRL统一更新为CTRL2	1
更改订购指南	21

2006年10月—修订版D至修订版E

增加ADuM1411和ADuM1412	通篇
删除ADuM1310	通篇
更改“特性”	1
更改技术规格部分	3
更新外形尺寸	20
更改“订购指南”	20

2006年3月—修订版C至修订版D

增加注释1并更改图2	1
更改绝对最大额定值	11

2005年11月—修订版C：初始版

技术规格

电气特性——5 V电源

4.5 V ≤ V_{DD1} ≤ 5.5 V, 4.5 V ≤ V_{DD2} ≤ 5.5 V；所有最大值/最小值适用于整个推荐的工作范围，除非另有说明；所有典型值相
对于T_A = 25°C、V_{DD1} = V_{DD2} = 5 V而言。所有电压均参照其各自的地。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件
直流规格						
每个通道的输入电源电流，静态	I _{DD1 (Q)}		0.50	0.73	mA	
每个通道的输出电源电流，静态	I _{DDO (Q)}		0.38	0.53	mA	
ADuM1410，总电源电流，四通道 ¹						
DC至2 Mbps						
V _{DD1} 电源电流	I _{DD1 (Q)}		2.4	3.2	mA	DC至1 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (Q)}		1.2	1.6	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V _{DD1} 电源电流	I _{DD1 (10)}		8.8	12	mA	5 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (10)}		2.8	4.0	mA	5 MHz逻辑信号频率
ADuM1411，总电源电流，四通道 ¹						
DC至2 Mbps						
V _{DD1} 电源电流	I _{DD1 (Q)}		2.2	2.8	mA	DC至1 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (Q)}		1.8	2.4	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V _{DD1} 电源电流	I _{DD1 (10)}		5.4	7.6	mA	5 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (10)}		3.8	5.3	mA	5 MHz逻辑信号频率
ADuM1412，总电源电流，四通道 ¹						
DC至2 Mbps						
V _{DD1} 或 V _{DD2} 电源电流	I _{DD1 (Q), I_{DD2 (Q)}}		2.0	2.6	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V _{DD1} 或 V _{DD2} 电源电流	I _{DD1 (10), I_{DD2 (10)}}		4.6	6.5	mA	5 MHz逻辑信号频率
所有型号						
输入电流	I _{IA} , I _{IB} , I _{IC} , I _{ID} , I _{CTRL1} , I _{CTRL2} , I _{DISABLE}	−10	+0.01	+10	μA	0 V ≤ V _{IA'} , V _{IB'} , V _{IC'} , V _{ID} ≤ V _{DD1} or V _{DD2'} 0 V ≤ V _{CTRL1'} , V _{CTRL2} ≤ V _{DD1} or V _{DD2'} 0 V ≤ V _{DISABLE} ≤ V _{DD1}
逻辑高电平输入阈值	V _{IH}	2.0			V	
逻辑低电平输入阈值	V _{IL}			0.8	V	
逻辑高电平输出电压	V _{OA} H, V _{OB} H, V _{OC} H, V _{OD} H	(V _{DD1} or V _{DD2}) − 0.1	5.0		V	I _{OX} = −20 μA, V _{Ix} = V _{IxH}
		(V _{DD1} or V _{DD2}) − 0.4	4.8		V	I _{OX} = −4 mA, V _{Ix} = V _{IxH}
逻辑低电平输出电压	V _{OA} L, V _{OB} L, V _{OC} L, V _{OD} L		0.0	0.1	V	I _{OX} = 20 μA, V _{Ix} = V _{IxL}
			0.04	0.1	V	I _{OX} = 400 μA, V _{Ix} = V _{IxL}
			0.2	0.4	V	I _{OX} = 4 mA, V _{Ix} = V _{IxL}

ADuM1410/ADuM1411/ADuM1412

参数	符号	最小值	典型值	最大值	单位	测试条件
开关规格						
ADuM141xARWZ						
最小脉冲宽度 ²	PW			1000	ns	C _L = 15 pF, CMOS信号电平
最大数据速率 ³		1			Mbps	C _L = 15 pF, CMOS信号电平
传播延迟 ⁴	t _{PHL} , t _{PLH}	20	65	100	ns	C _L = 15 pF, CMOS信号电平
脉冲宽度失真, t _{PLH} - t _{PHL} ⁴	PWD			40	ns	C _L = 15 pF, CMOS信号电平
传播延迟偏斜 ⁵	t _{PSK}			50	ns	C _L = 15 pF, CMOS信号电平
通道间匹配 ⁶	t _{PSKCD} /OD			50	ns	C _L = 15 pF, CMOS信号电平
ADuM141xBRWZ						
最小脉冲宽度 ²	PW			100	ns	C _L = 15 pF, CMOS信号电平
最大数据速率 ³		10			Mbps	C _L = 15 pF, CMOS信号电平
传播延迟 ⁴	t _{PHL} , t _{PLH}	20	30	50	ns	C _L = 15 pF, CMOS信号电平
脉冲宽度失真, t _{PLH} - t _{PHL} ⁴	PWD			5	ns	C _L = 15 pF, CMOS信号电平
温度变化率			5		ps/°C	C _L = 15 pF, CMOS信号电平
传播延迟偏斜 ⁵	t _{PSK}			30	ns	C _L = 15 pF, CMOS信号电平
通道间匹配, 同向通道 ⁶	t _{PSKCD}			5	ns	C _L = 15 pF, CMOS信号电平
通道间匹配, 反向通道 ⁶	t _{PSKOD}			6	ns	C _L = 15 pF, CMOS信号电平
所有型号						
输出上升/下降时间(10%至90%)	t _R /t _F		2.5		ns	C _L = 15 pF, CMOS信号电平
逻辑高电平输出时的共模瞬变抗扰度 ⁷	CM _H	25	35		kV/μs	V _{IX} = V _{DD1} 或V _{DD2} , V _{CM} = 1000 V, 瞬变幅度 = 800 V
逻辑低电平输出时的共模瞬变抗扰度 ⁷	CM _L	25	35		kV/μs	V _{IX} = 0 V, V _{CM} = 1000 V, 瞬变幅度 = 800 V
刷新速率	f _r		1.2		Mbps	
输入使能时间 ⁸	t _{ENABLE}			2.0	μs	V _{IA} 、V _{IB} 、V _{IC} 、V _{ID} = 0 V或V _{DD1}
输入禁用时间 ⁸	t _{DISABLE}			5.0	μs	V _{IA} 、V _{IB} 、V _{IC} 、V _{ID} = 0 V或V _{DD1}
每个通道的输入动态电源电流 ⁹	I _{DDI} (D)		0.12		mA/ Mbps	
每个通道的输出动态电源电流 ⁹	I _{DDO} (D)		0.04		mA/ Mbps	

¹ 以相同数据速率工作时, 所有四个通道的电源电流值合并。输出电源电流值是在无输出负载的条件下测得。以给定数据速率工作的各通道所消耗的电源电流可按照功耗部分所述进行计算。关于无负载和有负载条件下每通道电源电流与数据速率的关系, 参见图8至图10。关于ADuM1410/ADuM1411/ADuM1412通道配置下总V_{DD1}和V_{DD2}电源电流与数据速率的关系, 参见图11至图15。

² 最小脉冲宽度是指保证额定脉冲宽度失真的最短脉冲宽度。

³ 最大数据速率指保证额定脉冲宽度失真的最快数据速率。

⁴ t_{PHL}传播延迟是从V_{IX}信号下降沿的50%水平至V_{OX}信号下降沿的50%水平的时间。t_{PLH}传播延迟是从V_{IX}信号上升沿的50%水平至V_{OX}信号上升沿的50%水平的时间。

⁵ t_{PSK}指两个器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的t_{PHL}或t_{PLH}的最差情况偏差。

⁶ 同向通道间匹配指任意两个通道在输入位于隔离栅同一侧的条件下, 其传播延迟之差的绝对值。反向通道间匹配指任意两个通道在输入位于隔离栅相反侧的条件下, 其传播延迟之差的绝对值。

⁷ |CM_H|是在维持V_O > 0.8 V_{DD2}时能保持的最大共模电压压摆率。|CM_L|是在维持V_O < 0.8 V时能保持的最大共模电压压摆率。共模电压压摆率适用于共模电压的上升沿和下降沿。瞬变幅度是共模压摆的范围。

⁸ 输入使能时间是指在没有任何输入数据逻辑转换的条件下, 从V_{DISABLE}设置为低电平到输出状态保证与输入状态匹配的时间。如果给定通道在此时间内发生了输入数据逻辑转换, 则该通道的输出将根据本数据手册的传播延迟规格, 在规定的更短时间内达到正确状态。输入禁用时间是指从V_{DISABLE}设置为高电平到输出状态保证达到其编程输出电平(由CTRL₂逻辑状态决定, 见表14)的时间。

⁹ 动态电源电流指信号数据速率提高1 Mbps所需的电源电流增量。关于无负载和有负载条件下每通道电源电流的信息, 参见图8至图10。有关计算给定数据速率下每通道电源电流的指导信息, 请参见功耗部分。

电气特性——3 V电源

$2.7\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$, $2.7\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$; 所有最大值/最小值适用于整个推荐的工作范围, 除非另有说明; 所有典型值相对于 $T_A = 25^\circ\text{C}$, $V_{DD1} = V_{DD2} = 3.0\text{ V}$ 而言。所有电压均参照其各自的地。

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件
直流规格						
每个通道的输入电源电流, 静态	$I_{DD1(Q)}$		0.25	0.38	mA	
每个通道的输出电源电流, 静态	$I_{DDO(Q)}$		0.19	0.33	mA	
ADuM1410, 总电源电流, 四通道						
DC至2 Mbps						
V_{DD1} 电源电流	$I_{DD1(Q)}$		1.2	1.6	mA	DC至1 MHz逻辑信号频率
V_{DD2} 电源电流	$I_{DD2(Q)}$		0.8	1.0	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V_{DD1} 电源电流	$I_{DD1(10)}$		4.5	6.5	mA	5 MHz逻辑信号频率
V_{DD2} 电源电流	$I_{DD2(10)}$		1.4	1.8	mA	5 MHz逻辑信号频率
ADuM1411, 总电源电流, 四通道 ¹						
DC至2 Mbps						
V_{DD1} 电源电流	$I_{DD1(Q)}$		1.0	1.9	mA	DC至1 MHz逻辑信号频率
V_{DD2} 电源电流	$I_{DD2(Q)}$		0.9	1.7	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V_{DD1} 电源电流	$I_{DD1(10)}$		3.1	4.5	mA	5 MHz逻辑信号频率
V_{DD2} 电源电流	$I_{DD2(10)}$		2.1	3.0	mA	5 MHz逻辑信号频率
ADuM1412, 总电源电流, 四通道 ¹						
DC至2 Mbps						
V_{DD1} 或 V_{DD2} 电源电流	$I_{DD1(Q)}, I_{DD2(Q)}$		1.0	1.8	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V_{DD1} 或 V_{DD2} 电源电流	$I_{DD1(10)}, I_{DD2(10)}$		2.6	3.8	mA	5 MHz逻辑信号频率
所有型号						
输入电流	$I_{IA}, I_{IB}, I_{IC}, I_{ID}, I_{CTRL1}, I_{CTRL2}, I_{DISABLE}$	-10	+0.01	+10	μA	$0\text{ V} \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ or $V_{DD2}, 0\text{ V} \leq V_{CTRL1}, V_{CTRL2} \leq V_{DD1}$ or $V_{DD2}, 0\text{ V} \leq V_{DISABLE} \leq V_{DD1}$
逻辑高电平输入阈值	V_{IH}	1.6			V	
逻辑低电平输入阈值	V_{IL}			0.4	V	
逻辑高电平输出电压	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$(V_{DD1} \text{ or } V_{DD2}) - 0.1$	3.0		V	$I_{OX} = -20\text{ }\mu\text{A}, V_{IX} = V_{IXH}$
		$(V_{DD1} \text{ or } V_{DD2}) - 0.4$	2.8		V	$I_{OX} = -4\text{ mA}, V_{IX} = V_{IXH}$
逻辑低电平输出电压	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$		0.0	0.1	V	$I_{OX} = 20\text{ }\mu\text{A}, V_{IX} = V_{IXL}$
			0.04	0.1	V	$I_{OX} = 400\text{ }\mu\text{A}, V_{IX} = V_{IXL}$
			0.2	0.4	V	$I_{OX} = 4\text{ mA}, V_{IX} = V_{IXL}$

ADuM1410/ADuM1411/ADuM1412

参数	符号	最小值	典型值	最大值	单位	测试条件
开关规格						
ADuM141xARWZ						
最小脉冲宽度 ²	PW			1000	ns	C _L = 15 pF, CMOS信号电平
最大数据速率 ³		1			Mbps	C _L = 15 pF, CMOS信号电平
传播延迟 ⁴	t _{PHL} , t _{PLH}	20	75	100	ns	C _L = 15 pF, CMOS信号电平
脉冲宽度失真, t _{PLH} - t _{PHL} ⁴	PWD			40	ns	C _L = 15 pF, CMOS信号电平
传播延迟偏斜 ⁵	t _{PSK}			50	ns	C _L = 15 pF, CMOS信号电平
通道间匹配 ⁶	t _{PSKCD/OD}			50	ns	C _L = 15 pF, CMOS信号电平
ADuM141xBRWZ						
最小脉冲宽度 ²	PW			100	ns	C _L = 15 pF, CMOS信号电平
最大数据速率 ³		10			Mbps	C _L = 15 pF, CMOS信号电平
传播延迟 ⁴	t _{PHL} , t _{PLH}	20	40	60	ns	C _L = 15 pF, CMOS信号电平
脉冲宽度失真, t _{PLH} - t _{PHL} ⁴	PWD			5	ns	C _L = 15 pF, CMOS信号电平
温度变化率			5		ps/°C	C _L = 15 pF, CMOS信号电平
传播延迟偏斜 ⁵	t _{PSK}			30	ns	C _L = 15 pF, CMOS信号电平
通道间匹配, 同向通道 ⁶	t _{PSKCD}			5	ns	C _L = 15 pF, CMOS信号电平
通道间匹配, 反向通道 ⁶	t _{PSKOD}			6	ns	C _L = 15 pF, CMOS信号电平
所有型号						
输出上升/下降时间(10%至90%)	t _R /t _F		2.5		ns	C _L = 15 pF, CMOS信号电平
逻辑高电平输出时的共模瞬变抗扰度 ⁷	CM _H	25	35		kV/μs	V _{IX} = V _{DD1} 或V _{DD2} , V _{CM} = 1000 V, 瞬变幅度 = 800 V
逻辑低电平输出时的共模瞬变抗扰度 ⁷	CM _L	25	35		kV/μs	V _{IX} = 0 V, V _{CM} = 1000 V, 瞬变幅度 = 800 V
刷新速率	f _r		1.1		Mbps	
输入使能时间 ⁸	t _{ENABLE}		2.0		μs	V _{IA} , V _{IB} , V _{IC} , V _{ID} = 0 V or V _{DD1}
输入禁用时间 ⁸	t _{DISABLE}		5.0		μs	V _{IA} , V _{IB} , V _{IC} , V _{ID} = 0 V or V _{DD1}
每个通道的输入动态电源电流 ⁹	I _{DDI} (D)		0.07		mA/ Mbps	
每个通道的输出动态电源电流 ⁹	I _{DDO} (D)		0.02		mA/ Mbps	

¹ 以相同数据速率工作时, 所有四个通道的电源电流值合并。输出电源电流值是在无输出负载的条件下测得。以给定数据速率工作的各通道所消耗的电源电流可按照功耗部分所述进行计算。关于无负载和有负载条件下每通道电源电流与数据速率的关系, 参见图8至图10。关于ADuM1410/ADuM1411/ADuM1412通道配置下总V_{DD1}和V_{DD2}电源电流与数据速率的关系, 参见图11至图15。

² 最小脉冲宽度是指保证额定脉冲宽度失真的最短脉冲宽度。

³ 最大数据速率指保证额定脉冲宽度失真的最快数据速率。

⁴ t_{PHL}传播延迟是从V_{IX}信号下降沿的50%水平至V_{OX}信号下降沿的50%水平的时间。t_{PLH}传播延迟是从V_{IX}信号上升沿的50%水平至V_{OX}信号上升沿的50%水平的时间。

⁵ t_{PSK}指两个器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的t_{PHL}或t_{PLH}的最差情况偏差。

⁶ 同向通道间匹配指任意两个通道在输入位于隔离栅同一侧的条件下, 其传播延迟之差的绝对值。反向通道间匹配指任意两个通道在输入位于隔离栅相反侧的条件下, 其传播延迟之差的绝对值。

⁷ |CM_H|是在维持V_O > 0.8 V_{DD2}时能保持的最大共模电压压摆率。|CM_L|是在维持V_O < 0.8 V时能保持的最大共模电压压摆率。共模电压压摆率适用于共模电压的上升沿和下降沿。瞬变幅度是共模压摆的范围。

⁸ 输入使能时间是指在没有任何输入数据逻辑转换的条件下, 从V_{DISABLE}设置为低电平到输出状态保证与输入状态匹配的时间。如果给定通道在此时间内发生了输入数据逻辑转换, 则该通道的输出将根据本数据手册的传播延迟规格, 在规定的更短时间内达到正确状态。输入禁用时间是指从V_{DISABLE}设置为高电平到输出状态保证达到其编程输出电平(由CTRL₂逻辑状态决定, 见表14)的时间。

⁹ 动态电源电流指信号数据速率提高1 Mbps所需的电源电流增量。关于无负载和有负载条件下每通道电源电流的信息, 参见图8至图10。有关计算给定数据速率下每通道电源电流的指导信息, 请参见功耗部分。

电气特性—5 V/3 V或3 V/5 V混合电源

5 V/3 V电源：4.5 V ≤ V_{DD1} ≤ 5.5 V，2.7 V ≤ V_{DD2} ≤ 3.6 V；3 V/5 V电源：2.7 V ≤ V_{DD1} ≤ 3.6 V，4.5 V ≤ V_{DD2} ≤ 5.5 V；除非另有说明，所有最大值/最小值适用于整个推荐的工作范围；所有典型值相对于T_A = 25°C、V_{DD1} = 3.0 V / V_{DD2} = 5 V或V_{DD1} = 5 V / V_{DD2} = 3.0 V而言。所有电压均参照其各自的地。

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件
直流规格						
每个通道的输入电源电流，静态	I _{DD1 (Q)}					
5 V/3 V电源			0.50	0.73	mA	
3 V/5 V电源			0.25	0.38	mA	
每个通道的输出电源电流，静态	I _{DDO (Q)}					
5 V/3 V电源			0.19	0.33	mA	
3 V/5 V电源			0.38	0.53	mA	
ADuM1410，总电源电流，四通道 ¹						
DC至2 Mbps						
V _{DD1} 电源电流	I _{DD1 (Q)}					
5 V/3 V电源			2.4	3.2	mA	DC至1 MHz逻辑信号频率
3 V/5 V电源			1.2	1.6	mA	DC至1 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (Q)}					
5 V/3 V电源			0.8	1.0	mA	DC至1 MHz逻辑信号频率
3 V/5 V电源			1.2	1.6	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V _{DD1} 电源电流	I _{DD1 (10)}					
5 V/3 V电源			8.6	11	mA	5 MHz逻辑信号频率
3 V/5 V电源			3.4	6.5	mA	5 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (10)}					
5 V/3 V电源			1.4	1.8	mA	5 MHz逻辑信号频率
3 V/5 V电源			2.6	3.0	mA	5 MHz逻辑信号频率
ADuM1411，总电源电流，四通道 ¹						
DC至2 Mbps						
V _{DD1} 电源电流	I _{DD1 (Q)}					
5 V/3 V电源			2.2	2.8	mA	DC至1 MHz逻辑信号频率
3 V/5 V电源			1.0	1.9	mA	DC至1 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (Q)}					
5 V/3 V电源			0.9	1.7	mA	DC至1 MHz逻辑信号频率
3 V/5 V电源			1.7	2.4	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V _{DD1} 电源电流	I _{DD1 (10)}					
5 V/3 V电源			5.4	7.6	mA	5 MHz逻辑信号频率
3 V/5 V电源			3.1	4.5	mA	5 MHz逻辑信号频率
V _{DD2} 电源电流	I _{DD2 (10)}					
5 V/3 V电源			2.1	3.0	mA	5 MHz逻辑信号频率
3 V/5 V电源			3.8	5.3	mA	5 MHz逻辑信号频率

ADuM1410/ADuM1411/ADuM1412

参数	符号	最小值	典型值	最大值	单位	测试条件
ADuM1412 , 总电源电流, 四通道 ¹						
DC至2 Mbps						
V_{DD1} 电源电流	$I_{DD1(Q)}$					
5 V/3 V电源			2.0	2.6	mA	DC至1 MHz逻辑信号频率
3 V/5 V电源			1.0	1.8	mA	DC至1 MHz逻辑信号频率
V_{DD2} 电源电流	$I_{DD2(Q)}$					
5 V/3 V电源			1.0	1.8	mA	DC至1 MHz逻辑信号频率
3 V/5 V电源			2.0	2.6	mA	DC至1 MHz逻辑信号频率
10 Mbps(仅BRWZ版本)						
V_{DD1} 电源电流	$I_{DD1(10)}$					
5 V/3 V电源			4.6	6.5	mA	5 MHz逻辑信号频率
3 V/5 V电源			2.6	3.8	mA	5 MHz逻辑信号频率
V_{DD2} 电源电流	$I_{DD2(10)}$					
5 V/3 V电源			2.6	3.8	mA	5 MHz逻辑信号频率
3 V/5 V电源			4.6	6.5	mA	5 MHz逻辑信号频率
所有型号						
输入电流	$I_{IA}, I_{IB}, I_{IC}, I_{ID}, I_{CTRL1}, I_{CTRL2}, I_{DISABLE}$	-10	+0.01	+10	μA	$0V \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ or V_{DD2} , $0V \leq V_{CTRL1}, V_{CTRL2} \leq V_{DD1}$ or V_{DD2} , $0V \leq V_{DISABLE} \leq V_{DD1}$
逻辑高电平输入阈值	V_{IH}					
5 V/3 V电源		2.0			V	
3 V/5 V电源		1.6			V	
逻辑低电平输入阈值	V_{IL}					
5 V/3 V电源				0.8	V	
3 V/5 V电源				0.4	V	
逻辑高电平输出电压	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$(V_{DD1} \text{ 或 } V_{DD2}) - 0.1$ ($V_{DD1} \text{ 或 } V_{DD2}$)			V	$I_{OX} = -20 \mu A, V_{IX} = V_{IXH}$
		$(V_{DD1} \text{ 或 } V_{DD2}) - 0.4$ ($V_{DD1} \text{ 或 } V_{DD2}$) - 0.2			V	$I_{OX} = -4 \text{ mA}, V_{IX} = V_{IXH}$
逻辑低电平输出电压	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$	0.0	0.1		V	$I_{OX} = 20 \mu A, V_{IX} = V_{IXL}$
		0.04	0.1		V	$I_{OX} = 400 \mu A, V_{IX} = V_{IXL}$
		0.2	0.4		V	$I_{OX} = 4 \text{ mA}, V_{IX} = V_{IXL}$
开关规格						
ADuM141xARWZ						
最小脉冲宽度 ²	PW			1000	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
最大数据速率 ³		1			Mbps	$C_L = 15 \text{ pF}$, CMOS信号电平
传播延迟 ⁴	t_{PHL}, t_{PLH}	25	70	100	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
脉冲宽度失真, $ t_{PLH} - t_{PHL} ^4$	PWD			40	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
传播延迟偏斜 ⁵	t_{PSK}			50	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
通道间匹配 ⁶	$t_{PSKCD/OD}$			50	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
ADuM141xBRWZ						
最小脉冲宽度 ²	PW			100	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
最大数据速率 ³		10			Mbps	$C_L = 15 \text{ pF}$, CMOS信号电平
传播延迟 ⁴	t_{PHL}, t_{PLH}	25	35	60	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
脉冲宽度失真, $ t_{PLH} - t_{PHL} ^4$	PWD			5	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
温度变化率			5		ps/°C	$C_L = 15 \text{ pF}$, CMOS信号电平
传播延迟偏斜 ⁵	t_{PSK}			30	ns	$C_L = 15 \text{ pF}$, CMOS信号电平

ADuM1410/ADuM1411/ADuM1412

参数	符号	最小值	典型值	最大值	单位	测试条件
通道间匹配, 同向通道 ⁶	t_{PSKCD}			5	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
通道间匹配, 反向通道 ⁶	t_{PSKOD}			6	ns	$C_L = 15 \text{ pF}$, CMOS信号电平
所有型号						
输出上升/下降时间(10%至90%)	t_R/t_F					$C_L = 15 \text{ pF}$, CMOS信号电平
5 V/3 V电源			2.5		ns	
3 V/5 V电源			2.5		ns	
逻辑高电平输出时的共模瞬变抗扰度 ⁷	$ CM_H $	25	35		kV/ μs	$V_{IX} = V_{DD1}$ 或 V_{DD2} , $V_{CM} = 1000 \text{ V}$, 瞬变幅度 = 800 V
逻辑低电平输出时的共模瞬变抗扰度 ⁷	$ CM_L $	25	35		kV/ μs	$V_{IX} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, 瞬变幅度 = 800 V
刷新速率	f_r					
5 V/3 V电源			1.2		Mbps	
3 V/5 V电源			1.1		Mbps	
输入使能时间 ⁸	t_{ENABLE}		2.0		μs	$V_{IA}, V_{IB}, V_{IC}, V_{ID} = 0 \text{ V}$ 或 V_{DD1}
输入禁用时间 ⁸	$t_{DISABLE}$		5.0		μs	$V_{IA}, V_{IB}, V_{IC}, V_{ID} = 0 \text{ V}$ 或 V_{DD1}
每个通道的输入动态电源电流 ⁹	$I_{DDI(D)}$					
5 V电源			0.12		mA/ Mbps	
3 V电源			0.07		mA/ Mbps	
每个通道的输出动态电源电流 ⁹	$I_{DDO(D)}$					
5 V电源			0.04		mA/ Mbps	
3 V电源			0.02		mA/ Mbps	

¹ 以相同数据速率工作时, 所有四个通道的电源电流值合并。输出电源电流值是在无输出负载的条件下测得。以给定数据速率工作的各通道所消耗的电源电流可按照功耗部分所述进行计算。关于无负载和有负载条件下每通道电源电流与数据速率的关系, 参见图8至图10。关于ADuM1410/ADuM1411/ADuM1412通道配置下总 V_{DD1} 和 V_{DD2} 电源电流与数据速率的关系, 参见图11至图15。

² 最小脉冲宽度是指保证额定脉冲宽度失真的最短脉冲宽度。

³ 最大数据速率指保证额定脉冲宽度失真的最快数据速率。

⁴ t_{PHL} 传播延迟是从 V_{IX} 信号下降沿的50%水平至 V_{OX} 信号下降沿的50%水平的时间。 t_{PLH} 传播延迟是从 V_{IX} 信号上升沿的50%水平至 V_{OX} 信号上升沿的50%水平的时间。

⁵ t_{PSK} 指两个器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的 t_{PHL} 或 t_{PLH} 的最差情况偏差。

⁶ 同向通道间匹配指任意两个通道在输入位于隔离栅同一侧的条件下, 其传播延迟之差的绝对值。反向通道间匹配指任意两个通道在输入位于隔离栅相反侧的条件下, 其传播延迟之差的绝对值。

⁷ $|CM_H|$ 是在维持 $V_O > 0.8 V_{DD2}$ 时能保持的最大共模电压压摆率。 $|CM_L|$ 是在维持 $V_O < 0.8 \text{ V}$ 时能保持的最大共模电压压摆率。共模电压压摆率适用于共模电压的上升沿和下降沿。瞬变幅度是共模压摆的范围。

⁸ 输入使能时间是指在没有任何输入数据逻辑转换的条件下, 从 $V_{DISABLE}$ 设置为低电平到输出状态保证与输入状态匹配的时间。如果给定通道在此时间内发生了输入数据逻辑转换, 则该通道的输出将根据本数据手册的传播延迟规格, 在规定的更短时间内达到正确状态。输入禁用时间是指从 $V_{DISABLE}$ 设置为高电平到输出状态保证达到其编程输出电平(由CTRL₂逻辑状态决定, 见表14)的时间。

⁹ 动态电源电流指信号数据速率提高1 Mbps所需的电源电流增量。关于无负载和有负载条件下每通道电源电流的信息, 参见图8至图10。有关计算给定数据速率下每通道电源电流的指导信息, 请参见功耗部分。

ADuM1410/ADuM1411/ADuM1412

封装特性

表4.

参数	符号	最小值典型值 最大值	单位	测试条件
电阻(输入至输出) ¹	R _{I-O}	10 ¹²	Ω	f=1 MHz
电容(输入至输出) ¹	C _{I-O}	2.2	pF	
输入电容 ²	C _I	4.0	pF	
IC结至外壳热阻， 第1侧	θ _{JCI}	33	°C/W	热电偶位于封装底部正中间
第2侧	θ _{JCO}	28	°C/W	

¹ 假设器件为双端器件；引脚1至引脚8短接，引脚9至引脚16短接。

² 输入电容是从任意输入数据引脚到地的容值。

法规信息

ADuM141x已获得表5所列机构的认可。关于特定交叉隔离波形和绝缘水平下的推荐最大工作电压，请参阅表10和隔离寿命部分。

表5.

UL	CSA	VDE	TÜV
1577 器件认可程序认可 ¹	CSA 元件验收通知#5A 批准	DIN V VDE V 0884-10(VDE V 0884-10) 认证； 2006-12 ²	IEC 60950-1:2005 和 EN 60950-1:2006 认证
单一保护， 2500 V rms 隔离电压	基本绝缘符合 CSA 60950-1-03 和 IEC 60950-1 标准，800 V rms (1131 V 峰值) 最大工作电压 加强绝缘符合 CSA 60950-1-03 和 IEC 60950-1 标准，400 V rms (566 V 峰值) 最大工作电压	加强绝缘，560 V 峰值	400 V rms 工作电压时提供 3000 V rms 加强绝缘。600 V rms 工作电压时提供 3000 V rms 基本绝缘。
文件 E214100	文件 205078	文件 2471900-4880-0001	证书 B 10 03 56232 006

¹ 依据 UL1577，每个 ADuM141x 器件都经过 1 秒钟绝缘测试电压 ≥ 3,000 V rms 的验证测试(漏电流检测限值为 5 μA)。

² 依据 DIN V VDE V 0884-10，每个 ADuM141x 器件都经过 1 秒钟绝缘测试电压 ≥ 1050 V 峰值的验证测试(局部放电检测限值为 5 pC)。器件上的星号(*)标志表示通过 DIN V VDE V 0884-10 认证。

隔离和安全相关特性

表6.

参数	符号	值	单位	条件
额定电介质隔离电压		2500	V rms	持续 1 分钟
最小外部气隙(间隙)	L(I01)	7.7	mm， 最小值	测量输入端至输出端，空气最短距离
最小外部爬电距离	L(I02)	8.1	mm， 最小值	测量输入端至输出端，沿壳体最短距离
最小内部间隙		0.017	mm， 最小值	隔离距离
漏电流抗(相对漏电指数)	CTI	>175	V	DIN IEC 112/VDE 0303 第 1 部分
隔离组		IIIa		材料组(DIN VDE 0110，1/89，表 1)

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12隔离特性

这些隔离器适合安全限制数据范围内的加强电气隔离。通过保护电路保持安全数据。封装上的星号(*)标志表示通过DIN V VDE V 0884-10认证。

表7.

描述	条件	符号	特性	单位
DIN VDE 0110装置分类			I至IV	
额定电源电压≤ 150 V rms			I至III	
额定电源电压≤ 300 V rms			I至II	
额定电源电压≤ 400 V rms			40/105/21	
环境分类			2	
污染度(DIN VDE 0110, 表1)				
最大工作绝缘电压		V_{IORM}	560	V峰值
输入至输出测试电压, 方法B1	$V_{IORM} \times 1.875 = V_{PR}$, 100%生产测试, $t_m = 1$ 秒, 局部放电 < 5 pC	V_{PR}	1050	V峰值
输入至输出测试电压, 方法A	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, 局部放电 < 5 pC	V_{PR}		
跟随环境测试, 子类1			896	V峰值
跟随输入和/或安全测试, 子类2和子类3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, 局部放电 < 5 pC		672	V峰值
最高允许过压	瞬变过压, $t_{TR} = 10$ 秒	V_{TR}	4000	V峰值
安全限值	出现故障时允许的最大值; 见图4			
壳温		T_S	150	°C
第1侧电流		I_{S1}	265	mA
第2侧电流		I_{S2}	335	mA
在 T_S 的绝缘电阻	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω

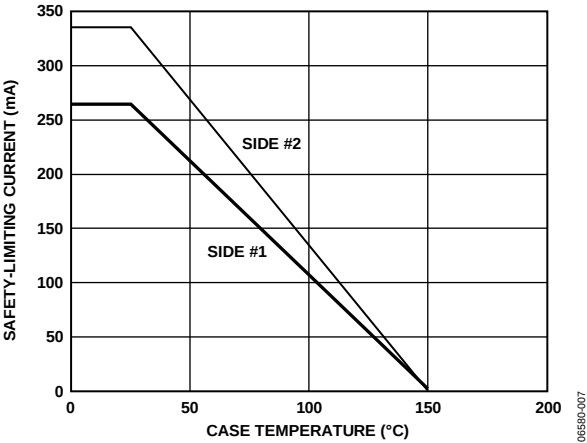


图4. 热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与壳温的关系

建议工作条件

表8.

参数	符号	最小值	最大值	单位
工作温度	T_A	-40	+105	°C
电源电压 ¹	V_{DD1}, V_{DD2}	2.7	5.5	V
输入信号上升和下降时间			1.0	ms

¹ 所有电压均参照各自的地。有关外部磁场抗扰度的信息, 参见直流正确性和磁场抗扰度部分。

ADuM1410/ADuM1411/ADuM1412

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表9.

参数	额定值
存储温度(T_{ST})范围	-65°C 至 $+150^{\circ}\text{C}$
工作环境温度(T_A)范围	-40°C 至 $+105^{\circ}\text{C}$
电源电压(V_{DD1} 、 V_{DD2}) ¹	-0.5 V 至 $+7.0\text{ V}$
输入电压($V_{IA'}$ 、 $V_{IB'}$ 、 $V_{IC'}$ 、 $V_{ID'}$ 、 $V_{CTRL1'}$ 、 $V_{CTRL2'}$ 、 $V_{DISABLE}$) ^{1,2}	-0.5 V 至 $V_{DD1} + 0.5\text{ V}$
输出电压($V_{OA'}$ 、 $V_{OB'}$ 、 V_{OC} 、 V_{OD}) ^{1,2}	-0.5 V 至 $V_{DD0} + 0.5\text{ V}$
每个引脚的平均输出电流 ³	
第1侧(I_{O1})	-18 mA 至 $+18\text{ mA}$
第2侧(I_{O2})	-22 mA 至 $+22\text{ mA}$
共模瞬变 ⁴	$-100\text{ kV}/\mu\text{s}$ 至 $+100\text{ kV}/\mu\text{s}$

¹ 所有电压均参照各自的地。

² V_{DD1} 和 V_{DD0} 分别指给定通道的输入端和输出端的电源电压。参见PCB布局部分。

³ 不同温度下的最大额定电流值参见图4。

⁴ 指隔离栅上的共模瞬变。超过绝对最大额定值的共模瞬变可能导致闩锁或永久损坏。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



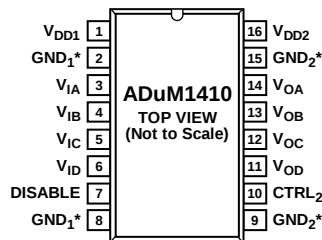
ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

表10. 最大连续工作电压¹

参数	最大值	单位	约束条件
交流电压，双极性波形	565	V峰值	最少50年寿命
交流电压，单极性波形			
基本绝缘	1131	V峰值	IEC 60950-1最大认证工作电压
增强绝缘	560	V峰值	IEC 60950-1和VDE V 0884-10最大认证工作电压
直流电压			
基本绝缘	1131	V峰值	IEC 60950-1最大认证工作电压
增强绝缘	560	V峰值	IEC 60950-1和VDE V 0884-10最大认证工作电压

¹ 指隔离栅上的连续电压幅度。详情见隔离寿命部分。

引脚配置和功能描述



*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₂ IS RECOMMENDED.

06559-004

图5. ADuM1410引脚配置

表11. ADuM1410引脚功能描述

引脚编号	引脚名称	描述
1	V _{DD1}	隔离器第1侧的电源电压(2.7 V至5.5 V)。
2	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚8内部互连，并且建议将二者均连至GND ₁ 。
3	V _{IA}	逻辑输入A。
4	V _{IB}	逻辑输入B。
5	V _{IC}	逻辑输入C。
6	V _{ID}	逻辑输入D。
7	禁用	输入禁用。禁用隔离器输入，暂停直流刷新电路。输出处于CTRL ₂ 所决定的逻辑状态。
8	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚8内部互连，并且建议将二者均连至GND ₁ 。
9	GND ₂	地2。隔离器第2侧的接地基准点。引脚9与引脚15内部互连，并且建议将二者均连至GND ₂ 。
10	CTRL ₂	默认输出控制。控制输入电源断开时输出所处的逻辑状态。当CTRL ₂ 为高电平或断开且V _{DD1} 关闭时，V _{OA} 、V _{OB} 、V _{OC} 和V _{OD} 输出为高电平。当CTRL ₂ 为低电平且V _{DD1} 关闭时，V _{OA} 、V _{OB} 、V _{OC} 和V _{OD} 输出为低电平。当V _{DD1} 电源接通时，此引脚不起作用。
11	V _{OD}	逻辑输出D。
12	V _{OC}	逻辑输出C。
13	V _{OB}	逻辑输出B。
14	V _{OA}	逻辑输出A。
15	GND ₂	地2。隔离器第2侧的接地基准点。引脚9与引脚15内部互连，并且建议将二者均连至GND ₂ 。
16	V _{DD2}	隔离器第2侧的电源电压(2.7 V至5.5 V)。

ADuM1410/ADuM1411/ADuM1412

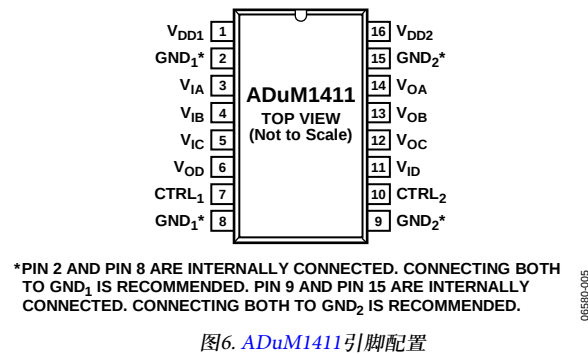
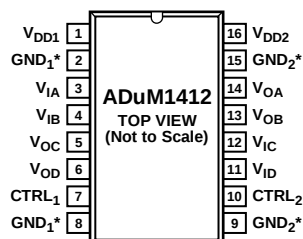


图6. ADuM1411引脚配置

表12. ADuM1411引脚功能描述

引脚编号	引脚名称	描述
1	VDD1	隔离器第1侧的电源电压(2.7 V至5.5 V)。
2	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚8内部互连，并且建议将二者均连至GND ₁ 。
3	V _{IA}	逻辑输入A。
4	V _{IB}	逻辑输入B。
5	V _{IC}	逻辑输出C。
6	V _{OD}	逻辑输出D。
7	CTRL ₁	默认输出控制。控制输入电源断开时输出所处的逻辑状态。当CTRL ₁ 为高电平或断开且V _{DD2} 关闭时，V _{OD} 输出为高电平。当CTRL ₁ 为低电平且V _{DD2} 关闭时，V _{OD} 输出为低电平。当V _{DD2} 电源接通时，此引脚不起作用。
8	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚8内部互连，并且建议将二者均连至GND ₁ 。
9	GND ₂	地2。隔离器第2侧的接地基准点。引脚9与引脚15内部互连，并且建议将二者均连至GND ₂ 。
10	CTRL ₂	默认输出控制。控制输入电源断开时输出所处的逻辑状态。当CTRL ₂ 为高电平或断开且V _{DD1} 关闭时，V _{OA} 、V _{OB} 和V _{OC} 输出为高电平。当CTRL ₂ 为低电平且V _{DD1} 关闭时，V _{OA} 、V _{OB} 和V _{OC} 输出为低电平。当V _{DD1} 电源接通时，此引脚不起作用。
11	V _{ID}	逻辑输入D。
12	V _{OC}	逻辑输入C。
13	V _{OB}	逻辑输出B。
14	V _{OA}	逻辑输出A。
15	GND ₂	地2。隔离器第2侧的接地基准点。引脚9与引脚15内部互连，并且建议将二者均连至GND ₂ 。
16	VDD2	隔离器第2侧的电源电压(2.7 V至5.5 V)。

ADuM1410/ADuM1411/ADuM1412



*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₂ IS RECOMMENDED.

06560-006

图7. ADuM1412引脚配置

表13. AduM1412引脚功能描述

引脚编号	引脚名称	描述
1	VDD1	隔离器第1侧的电源电压(2.7 V至5.5 V)。
2	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚8内部互连，并且建议将二者均连至GND ₁ 。
3	V _{IA}	逻辑输入A。
4	V _{IB}	逻辑输入B。
5	V _{OC}	逻辑输出C。
6	V _{OD}	逻辑输出D。
7	CTRL ₁	默认输出控制。控制输入电源断开时输出所处的逻辑状态。当CTRL ₁ 为高电平或断开且V _{DD2} 关闭时，V _{OC} 和V _{OD} 输出为高电平。当CTRL ₁ 为低电平且V _{DD2} 关闭时，V _{OC} 和V _{OD} 输出为低电平。当V _{DD2} 电源接通时，此引脚不起作用。
8	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚8内部互连，并且建议将二者均连至GND ₁ 。
9	GND ₂	地2。隔离器第2侧的接地基准点。引脚9与引脚15内部互连，并且建议将二者均连至GND ₂ 。
10	CTRL ₂	默认输出控制。控制输入电源断开时输出所处的逻辑状态。当CTRL ₂ 为高电平或断开且V _{DD1} 关闭时，V _{OA} 和V _{OB} 输出为高电平。当CTRL ₂ 为低电平且V _{DD1} 关闭时，V _{OA} 和V _{OB} 输出为低电平。当V _{DD1} 电源接通时，此引脚不起作用。
11	V _{ID}	逻辑输入D。
12	V _{IC}	逻辑输入C。
13	V _{OB}	逻辑输出B。
14	V _{OA}	逻辑输出A。
15	GND ₂	地2。隔离器第2侧的接地基准点。引脚9与引脚15内部互连，并且建议将二者均连至GND ₂ 。
16	VDD2	隔离器第2侧的电源电压(2.7 V至5.5 V)。

ADuM1410/ADuM1411/ADuM1412

表14. 真值表(正逻辑)

V_{Ix} 输入 ¹	$CTRL_x$ 输入 ²	$V_{DISABLE}$ 状态 ³	V_{DDI} 状态 ⁴	V_{DDO} 状态 ⁵	V_{Ox} 输出 ¹	描述
H	X	L或NC	有电	有电	H	正常工作，数据为高。
L	X	L或NC	有电	有电	L	正常工作，数据为低。
X	H或NC	H	X	有电	H	输入禁用输出处于 $CTRL_x$ 所决定的默认状态。
X	L	H	X	有电	L	输入禁用输出处于 $CTRL_x$ 所决定的默认状态。
X	H或NC	X	无电	有电	H	输入无电。输出处于 $CTRL_x$ 所决定的默认状态。输出在 V_{DDI} 电源恢复后的1 μs 内恢复到输入状态。详情见引脚功能描述(表11、表12和表13)。
X	L	X	无电	有电	L	输入无电。输出处于 $CTRL_x$ 所决定的默认状态。输出在 V_{DDI} 电源恢复后的1 μs 内恢复到输入状态。详情见引脚功能描述(表11、表12和表13)。
X	X	X	有电	无电	Z	输出无电。输出引脚处于高阻态。输出在 V_{DDO} 电源恢复后的1 μs 内恢复到输入状态。详情见引脚功能描述(表11、表12和表13)。

¹ V_{Ix} 和 V_{Ox} 指给定通道(A、B、C或D)的输入和输出信号。

² $CTRL_x$ 指给定通道(A、B、C或D)输入侧的默认输出控制信号。

³ 仅ADuM1410提供。

⁴ V_{DDI} 指给定通道(A、B、C或D)输入侧的电源。

⁵ V_{DDO} 指给定通道(A、B、C或D)输出侧的电源。

典型性能参数

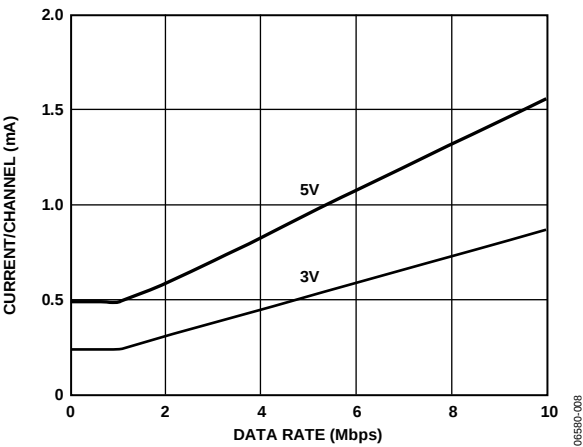


图8. 5 V和3 V电源下每个输入通道的典型电源电流与数据速率的关系

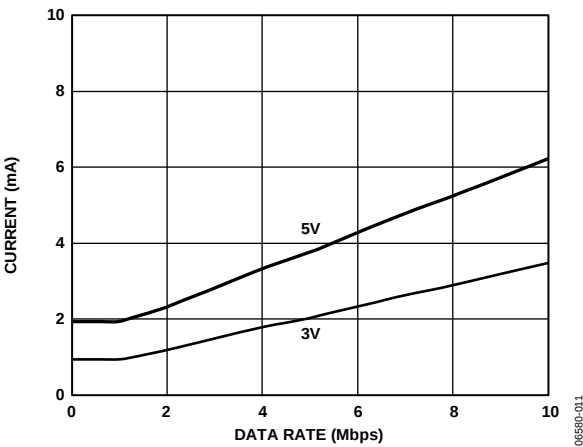


图11. 5 V和3 V电源下ADuM1410典型V_{DD1}电源电流与数据速率的关系

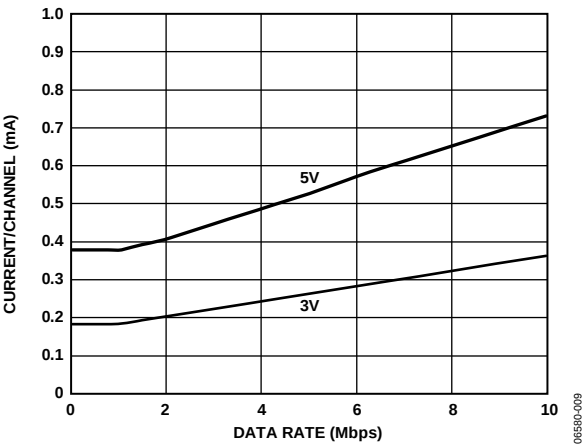


图9. 5 V和3 V电源下每个输出通道的典型电源电流与数据速率的关系(无输出负载)

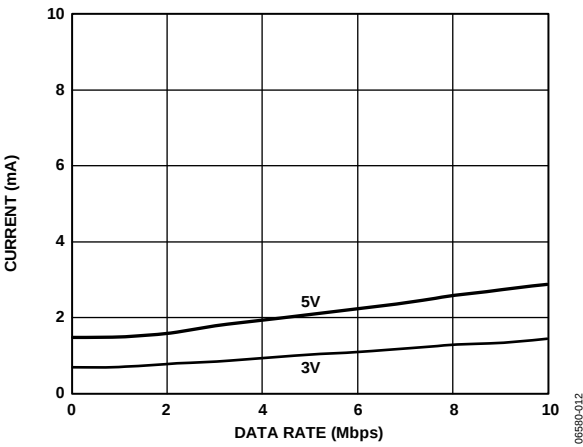


图12. 5 V和3 V电源下ADuM1410典型V_{DD2}电源电流与数据速率的关系

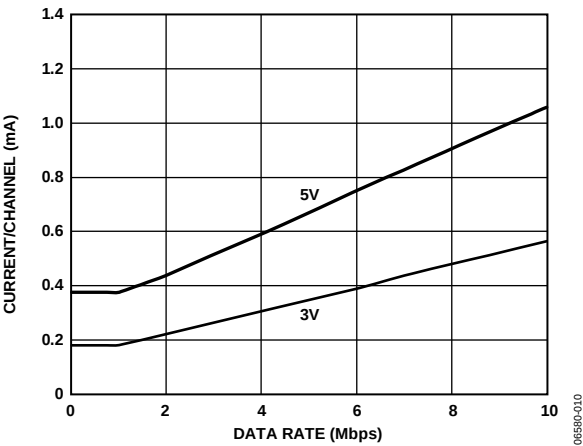


图10. 5 V和3 V电源下每个输出通道的典型电源电流与数据速率的关系(15 pF输出负载)

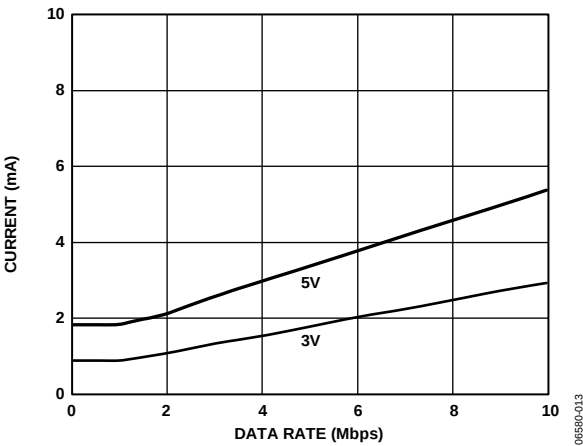


图13. 5 V和3 V电源下ADuM1411典型V_{DD1}电源电流与数据速率的关系

ADuM1410/ADuM1411/ADuM1412

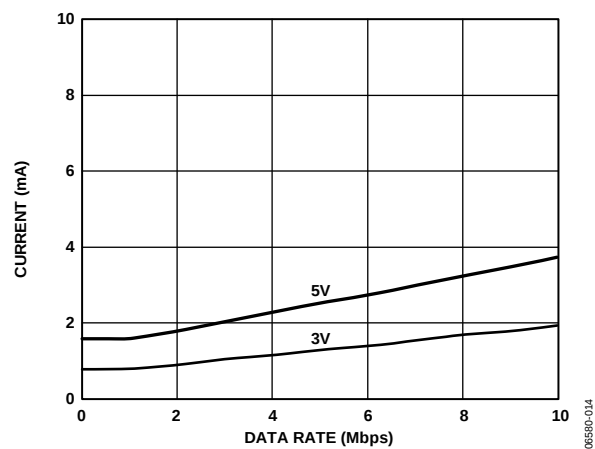


图14. 5 V和3 V电源下ADuM1411典型 V_{DD2} 电源电流与数据速率的关系

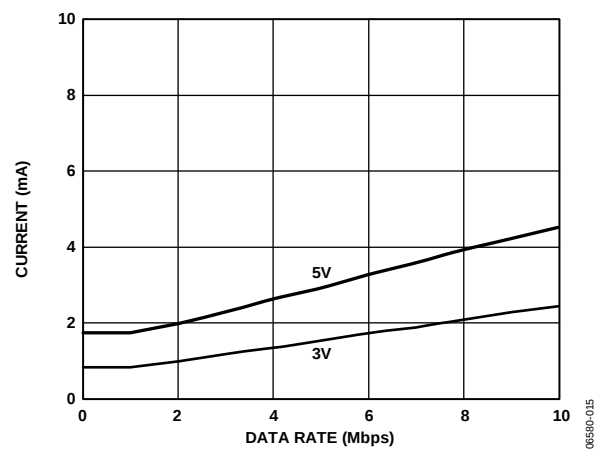


图15. 5 V和3 V电源下ADuM1412典型 V_{DD1} 或 V_{DD2} 电源电流与数据速率的关系

应用信息

PCB布局

ADuM141x数字隔离器的逻辑接口不需要外部接口电路。强烈建议在输入和输出供电引脚上进行电源旁路(见图16)。V_{DD1}的旁路电容可以方便地连接在引脚1和引脚2之间，V_{DD2}的旁路电容可以方便地连接在引脚15和引脚16之间。电容值应该在0.01 μF与0.1 μF之间。电容两端到输入电源引脚的走线总长应该小于20 mm。还应考虑引脚1与引脚8及引脚9与引脚16之间的旁路，除非各封装上的两个接地引脚靠近封装相连。

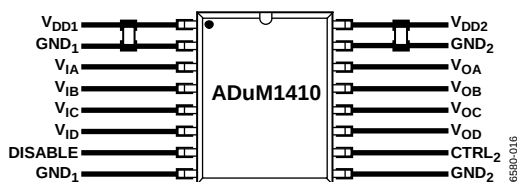


图16. 推荐的印刷电路板布局

在具有高共模瞬变的应用中，必须确保隔离栅两端的电路板耦合最小。此外，用户所设计的电路板布局应使得所出现的任何耦合对给定器件侧的所有引脚产生同等影响。如果不满足设计要求，将会使引脚间的电压差异超过器件的绝对最大额定值，造成器件闩锁或者永久损坏。关于PCB布局原则，请参考AN-1109应用笔记。

传播延迟相关参数

传播延迟是衡量逻辑信号穿过器件所需时间的参数。高到低转换的输入至输出传播延迟时间可能不同于低到高转换的传播延迟时间。

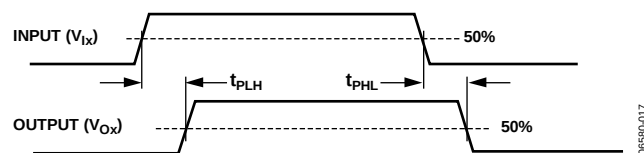


图17. 传播延迟参数

脉冲宽度失真指这两个传播延迟值的最大差异，反映了输入信号时序的保持精度。

通道间匹配指单个ADuM141x器件内各通道的传播延迟之间的最大差异。

传播延迟偏斜指在相同条件下工作的多个ADuM141x器件的传播延迟之间的最大差异。

直流正确性和磁场抗扰度

在隔离器输入端的正负逻辑电平转换会使一个很窄的(约1 ns)脉冲通过变压器被送到解码器。解码器是双稳态的，因此，可以被这个脉冲置位或复位，表示输入逻辑的转换。当输入端没有超过约1 μs的逻辑转换时，会发送一组用以表示正确输入状态的周期性刷新脉冲，以确保输出的直流正确性。如果解码器在大约5 μs内没有接收到内部脉冲，输入侧则认为没有供电或者无效，在这种情况下，隔离器的输出被看门狗计时电路强制设置为默认状态(见表14)。

ADuM141x的磁场抗扰度由变化的磁场决定，它会在变压器接收线圈中产生感应电压，电压足够大就会错误地置位或复位解码器。下面的分析说明此情况发生的条件。检测ADuM141x的3 V工作条件是因为这是最易受干扰的工作模式。

变压器输出端的脉冲幅度大于1.0 V。解码器的检测阈值大约是0.5 V，因此有一个0.5 V的噪声容限。接收线圈上的感应电压由以下公式计算：

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

其中：

β 是磁通量密度(高斯)。

r_n 是接收线圈第n圈的半径(cm)。

N 是接收线圈匝数。

给定ADuM141x接收线圈的几何形状及感应电压，解码器最多能够有0.5 V余量的50%，由此便可计算给定频率时允许的最大磁场。结果如图18所示。

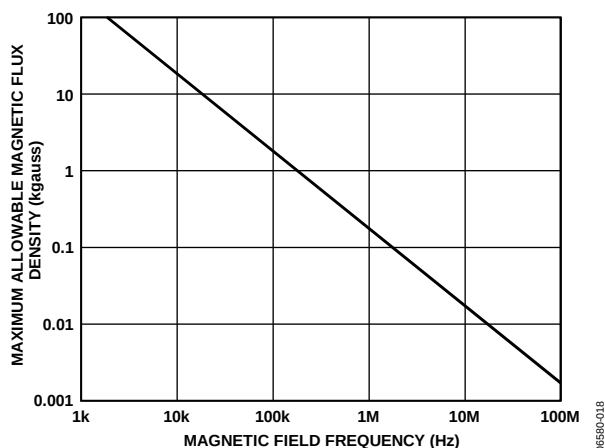


图18. 最大允许外部磁通密度

ADuM1410/ADuM1411/ADuM1412

例如，在1MHz的磁场频率下，最大允许0.2K高斯的磁场在接收线圈可以感应出0.25V的电压。这大约是检测阈值的50%并且不会引起输出转换错误。同样，如果这样的情况在发送脉冲时发生(最差的极性)，这会使接收到的脉冲从大于1.0 V下降到0.75 V，仍然高于解码器检测阈值0.5 V。

先前的磁通密度值对应于与ADuM141x变压器给定距离的额定电流幅度。图19显示这些允许的电流幅度与所选距离条件下频率的函数关系。如图所示，ADuM141x只有在离器件很近的高频大电流下才会受影响。例如在前述1 MHz时，0.5 kA电流必须放置在距离ADuM141x 5 mm以外的时候才不会影响器件的工作。

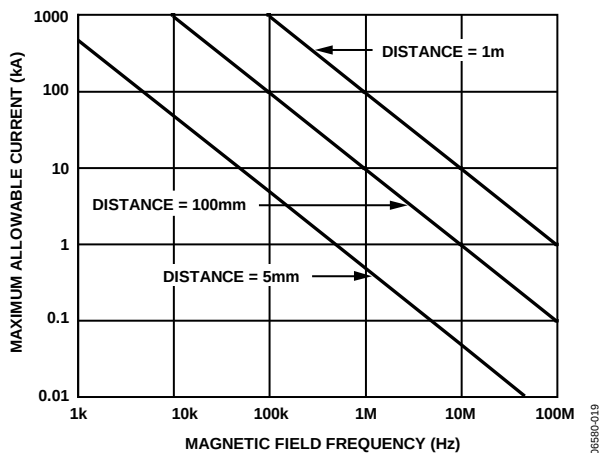


图19. 不同电流至ADuM141x距离下的最大允许电流

请注意,在强磁场和高频率的叠加作用下,印刷电路板走线形成的任何回路都会感应出足够大的错误电压触发后续电路的阈值。在布局的时候需要格外小心以避免发生这种情况。

功耗

ADuM141x隔离器给定通道的电源电流是电源电压、通道数据速率和通道输出负载的函数。

对于每个输入通道，电源电流按照如下方法计算：

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5 f_r$$
$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5 f_r$$

对于每个输出通道，电源电流按照如下方法计算：

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5 f_r$$
$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5 f_r$$

其中：

$I_{DDI(D)}$ 、 $I_{DDO(D)}$ 是每个通道的输入和输出动态电源电流(mA/Mbps)。

C_L 是输出负载电容(pF)。

V_{DDO} 是输出电源电压(V)。

f 是输入逻辑信号频率(MHz)；它是输入数据速率的一半，单位为Mbps。

f_r 是输入级刷新速率(Mbps)。

$I_{DDI(Q)}$ 、 $I_{DDO(Q)}$ 是额定输入和输出静态电源电流(mA)。

为了计算总 V_{DD1} 和 V_{DD2} 电源电流，必须计算与 V_{DD1} 和 V_{DD2} 相对应的各输入和输出通道的电源电流并求和。图8和图9显示无输出负载条件下每个通道的电源电流与数据速率的关系。图10显示15 pF输出负载条件下每个通道的电源电流与数据速率的关系。图11至图15显示ADuM1410/ADuM1411/ADuM1412通道配置的总 V_{DD1} 和 V_{DD2} 电源电流与数据速率的关系。

隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。隔离衰减率由施加在隔离上的电压波形的参数决定。除了监管机构所执行的测试外，ADI公司还进行一系列广泛的评估来确定ADuM141x内部隔离结构的寿命。

ADI公司使用超过额定连续工作电压的电压执行加速寿命测试。确定多种工作条件下的加速系数，利用这些系数可以计算实际工作电压下的失效时间。表10中显示的值总结了双极性交流工作条件下50年工作寿命的峰值电压以及CSA/VDE认可的最大工作电压。许多情况下，认可工作电压高于50年工作寿命电压。某些情况下，在这些高工作电压下工作会导致隔离寿命缩短。

ADuM141x的隔离寿命由施加在隔离栅上的电压波形决定。*iCoupler*结构的隔离度以不同速率衰减，这由波形是否为双极性交流、单极性交流或直流决定。图20、图21和图22显示这些不同隔离电压的波形。

双极性交流电压是最苛刻的环境。在交流双极性条件下工作50年的目标决定ADI推荐的最大工作电压。

在单极性交流或者直流电压的情况下，隔离应力显然低得多。此工作模式在能够获得50年工作时间的的前提下，允许更高的工作电压。表10中列出的工作电压在维持50年最低工作寿命的前提下，提供了符合单极性交流或者直流电压情况下的工作电压。任何与图21和图22中不一致的交叉隔离电压波形都应被认为是双极性交流波形，其峰值电压应限制在表10中列出的50年工作寿命电压以下。

请注意，图21所示的正弦电压波形仅作为示例提供，它代表任何在0 V与某一限值之间变化的电压波形。该限值可以为正值或负值，但电压不能穿过0 V。

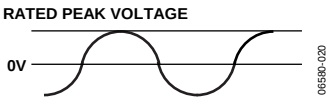


图20. 双极性交流波形

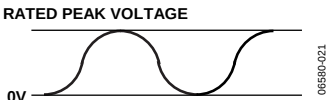


图21. 单极性交流波形

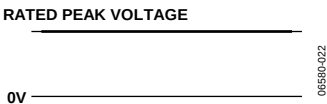
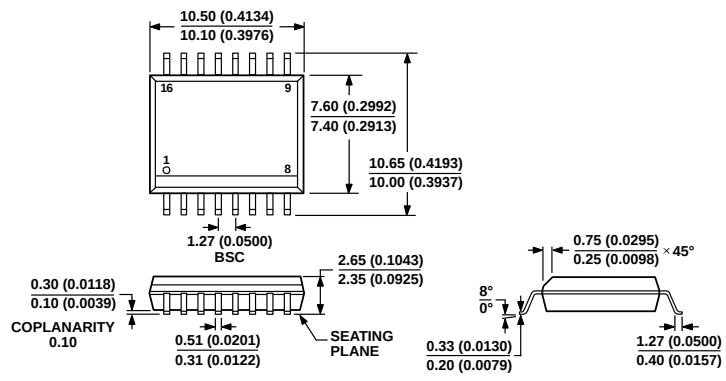


图22. 直流波形

ADuM1410/ADuM1411/ADuM1412

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-04

图23. 16引脚标准小型封装[SOIC_W]
宽体(RW-16)

图示尺寸单位: mm和(inch)

订购指南

型号 ¹	输入数, V _{DD1} 侧	输入数, V _{DD2} 侧	最大数据 速率	最大传播 延迟, 5 V	最大脉冲 宽度失真	温度范围	封装描述	封装选项
ADuM1410ARWZ	4	0	1 Mbps	100 ns	40 ns	-40°C至+105°C	16引脚 SOIC_W	RW-16
ADuM1410ARWZ-RL	4	0	1 Mbps	100 ns	40 ns	-40°C至+105°C	16引脚 SOIC_W, 13"卷带和卷盘	RW-16
ADuM1410BRWZ	4	0	10 Mbps	50 ns	5 ns	-40°C至+105°C	16引脚 SOIC_W	RW-16
ADuM1410BRWZ-RL	4	0	10 Mbps	50 ns	5 ns	-40°C至+105°C	16引脚 SOIC_W, 13"卷带和卷盘	RW-16
ADuM1411ARWZ	3	1	1 Mbps	100 ns	40 ns	-40°C至+105°C	16引脚 SOIC_W	RW-16
ADuM1411ARWZ-RL	3	1	1 Mbps	100 ns	40 ns	-40°C至+105°C	16引脚 SOIC_W, 13"卷带和卷盘	RW-16
ADuM1411BRWZ	3	1	10 Mbps	50 ns	5 ns	-40°C至+105°C	16引脚 SOIC_W	RW-16
ADuM1411BRWZ-RL	3	1	10 Mbps	50 ns	5 ns	-40°C至+105°C	16引脚 SOIC_W, 13"卷带和卷盘	RW-16
ADuM1412ARWZ	2	2	1 Mbps	100 ns	40 ns	-40°C至+105°C	16引脚 SOIC_W	RW-16
ADuM1412ARWZ-RL	2	2	1 Mbps	100 ns	40 ns	-40°C至+105°C	16引脚 SOIC_W, 13"卷带和卷盘	RW-16
ADuM1412BRWZ	2	2	10 Mbps	50 ns	5 ns	-40°C至+105°C	16引脚 SOIC_W	RW-16
ADuM1412BRWZ-RL	2	2	10 Mbps	50 ns	5 ns	-40°C至+105°C	16引脚 SOIC_W, 13"卷带和卷盘	RW-16

¹ Z = 符合RoHS标准的器件。

注释

注释