

产品特性

吞吐速率：2 MSPS（最大值）

INL：±1.0 LSB（±3.8 ppm，最大值）

保证18位无失码

低功耗

9.5 mW（2 MSPS，仅VDD）

80 μW（10 kSPS），16 mW（2 MSPS）（总计）

SNR：100.5 dB（典型值，1 kHz），99 dB（典型值，100 kHz）

THD：-123 dB（典型值，1 kHz），-100 dB（典型值，100 kHz）

易用特性可降低系统功耗和复杂性

输入过压箝位电路

减少了非线性输入电荷反冲

高阻态模式

长采集阶段

输入范围压缩

快速转换时间支持很低的SPI时钟速率

SPI可编程模式、读/写能力、状态字

差分模拟输入范围：±V_{REF}

0 V至V_{REF}（V_{REF}在2.4 V至5.1 V之间）

单电源工作：1.8 V，逻辑接口电压：1.71 V至5.5 V

SAR架构：无延迟/流水线延迟

保证工作：-40°C至125°C

串行接口SPI/QSPI/MICROWIRE/DSP兼容

以菊花链形式连接多个ADC，并能提供繁忙指示

10引脚封装：3 mm × 3 mm LFCSP和3 mm × 4.90 mm MSOP封装

应用

自动测试设备

机器自动化

医疗设备

电池供电设备

精密数据采集系统

概述

AD4003是一款低噪声、低功耗、高速、18位、2 MSPS精密逐次逼近型寄存器（SAR）模数转换器（ADC）。它集成了易用特性，可降低信号链的功耗和复杂性，支持较高的通道密度。高阻态模式与长采集阶段的结合，无需使用专用的高功耗、高速ADC驱动器即可扩展直接驱动此ADC的低功耗精密放大器的范围，同时仍能实现出色的性能。输入范围压缩特性可使ADC驱动放大器和ADC采用公共供电轨供电，而无需采用负电源供电，同时保留完整的ADC代码范围。低串行外设接口（SPI）时钟速率要求降低了数字输入/输出功耗，拓宽了处理器选项并简化了横跨数字隔离发送数据的工作过程。

AD4003采用1.8 V电源供电，具有±V_{REF}全差分输入范围，V_{REF}范围为2.4 V至5.1 V。在turbo模式下，AD4003在2 MSPS时以75 MHz SCK速率（最小值）工作的功耗仅为16 mW，可实现±1.0 LSB INL（±3.8 ppm，最大值）、保证18位无失码和100.5 dB SNR（典型值）。基准电压由外部提供，并且可以独立于电源电压。

SPI兼容型多功能串行接口提供七种不同的模式，包括能够利用SDI输入将几个ADC以菊花链形式连接到一条三线式总线上，并提供可选的繁忙指示。利用独立VIO电源，AD4003可与1.8 V、2.5 V、3 V和5 V逻辑兼容。

AD4003采用10引脚MSOP或10引脚LFCSP封装，工作温度范围为-40°C至+125°C。该器件与16位、2 MSPS AD4000引脚兼容。

功能框图

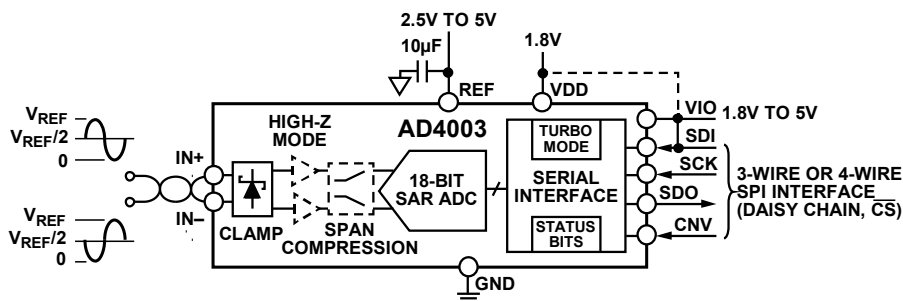


图 1.

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

©2016 Analog Devices, Inc. All rights reserved.

[Technical Support](#)

www.analog.com/cn

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误。ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性.....	1	驱动放大器选择.....	19
应用.....	1	易驱动特性.....	19
概述.....	1	基准电压输入.....	21
功能框图.....	1	电源.....	21
修订历史.....	2	数字接口.....	21
技术规格.....	3	寄存器读/写功能.....	22
时序规格.....	5	状态字.....	24
绝对最大额定值.....	7	CS模式（三线Turbo模式）.....	25
ESD警告.....	7	CS模式（三线式且无繁忙指示）.....	26
引脚配置和功能描述.....	8	CS模式（三线式且有繁忙指示）.....	27
术语.....	9	CS模式（四线Turbo模式）.....	28
典型性能参数.....	10	CS模式（四线式且无繁忙指示）.....	29
工作原理.....	14	CS模式（四线式且有繁忙指示）.....	30
电路信息.....	14	菊花链模式.....	31
转换器操作.....	14	布局布线指南.....	32
传递函数.....	15	评估AD4003性能.....	32
应用信息.....	16	外形尺寸.....	33
典型连接图.....	16	订购指南.....	33
模拟输入.....	17		

修订历史

2016 年 10 月—修订版 0：初始版

技术规格

除非另有说明，VDD = 1.71 V至1.89 V；VIO = 1.71 V至5.5 V；VREF = 5 V；所有规格的温度范围为T_{MIN}至T_{MAX}，禁用高阻态模式，禁用跨度压缩，使能turbo模式 (f_s = 2 MSPS)。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		18			位
模拟输入 电压范围	V _{IN+} - V _{IN-}	-V _{REF}		+V _{REF}	V
工作输入电压	使能跨度压缩 V _{IN+} 、V _{IN-} 至GND	-V _{REF} × 0.8		+V _{REF} × 0.8	V
共模输入范围	使能跨度压缩	-0.1		V _{REF} + 0.1	V
共模抑制比 (CMRR)		0.1 × V _{REF}		0.9 × V _{REF}	V
模拟输入电流	f _{IN} = 500 kHz 采集阶段，T = 25°C 使能高阻态模式，以2 MSPS转换 直流输入	V _{REF} /2 - 0.125	V _{REF} /2	V _{REF} /2 + 0.125	V
吞吐速率					
完整周期		500			ns
转换时间			290	320	ns
采集阶段 ¹		290			ns
吞吐速率 ²		0		2	MSPS
瞬态响应 ³			250		ns
直流精度					
无失码		18			位
积分线性误差		-1.0	±0.4	+1.0	LSB
差分线性误差		-3.8	±1.52	+3.8	ppm
跃迁噪声		-0.75	±0.3	+0.75	LSB
零电平误差			0.8		LSB
零电平误差漂移 ⁴		-7		+7	LSB
增益误差		-0.21		+0.21	ppm/°C
增益误差漂移 ⁴		-26	±3	+26	LSB
电源灵敏度		-1.23		+1.23	ppm/°C
1/f噪声 ⁵	VDD = 1.8 V ± 5% 带宽 = 0.1 Hz至10 Hz		1.5		LSB
交流精度			6		μV p-p
动态范围			101		dB
总RMS噪声			31.5		μV rms
f _{IN} = 1 kHz, -0.5 dBFS, V _{REF} = 5 V					
信噪比 (SNR)		99	100.5		dB
无杂散动态范围 (SFDR)			122		dB
总谐波失真 (THD)			-123		dB
信纳比 (SINAD)		98.5	100		dB
过采样动态范围	过采样比 (OSR) = 256, V _{REF} = 5 V		122		dB
f _{IN} = 1 kHz, -0.5 dBFS, V _{REF} = 2.5 V					
SNR		93.5	94.5		dB
SFDR			122		dB
THD			-119		dB
SINAD		93	94		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
$f_{IN} = 100 \text{ kHz}$, -0.5 dBFS , $V_{REF} = 5 \text{ V}$					
SNR			99		dB
THD			-100		dB
SINAD			96.5		dB
$f_{IN} = 400 \text{ kHz}$, -0.5 dBFS , $V_{REF} = 5 \text{ V}$					
SNR			91.5		dB
THD			-94		dB
SINAD			90		dB
-3 dB输入带宽			10		MHz
孔径延迟			1		ns
孔径抖动			1		ps rms
基准电压源					
电压范围 (V_{REF})		2.4		5.1	V
电流	2 MSPS, $V_{REF} = 5 \text{ V}$		1.1		mA
过压箝位					
I_{IN+}/I_{IN-}	$V_{REF} = 5 \text{ V}$			50	mA
	$V_{REF} = 2.5 \text{ V}$			50	mA
V_{IN+}/V_{IN-} (最大 I_{IN+}/I_{IN-} 时)	$V_{REF} = 5 \text{ V}$		5.4		V
	$V_{REF} = 2.5 \text{ V}$		3.1		V
V_{IN+}/V_{IN-} 箝位开/关阈值	$V_{REF} = 5 \text{ V}$	5.25	5.4		V
	$V_{REF} = 2.5 \text{ V}$	2.68	2.8		V
停用时间			360		ns
REF电流 (最大 I_{IN+}/I_{IN-} 时)	$V_{IN+}/V_{IN-} > V_{REF}$		100		μA
数字输入					
逻辑电平					
输入低电压, V_{IL}	$V_{IO} > 2.7 \text{ V}$	-0.3		$+0.3 \times V_{IO}$	V
	$V_{IO} \leq 2.7 \text{ V}$	-0.3		$+0.2 \times V_{IO}$	V
输入高电压, V_{IH}	$V_{IO} > 2.7 \text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	$V_{IO} \leq 2.7 \text{ V}$	$0.8 \times V_{IO}$		$V_{IO} + 0.3$	V
输入低电流, I_{IL}		-1		+1	μA
输入高电流, I_{IH}		-1		+1	μA
输入引脚电容			6		pF
数字输出					
数据格式			串行18位二进制补码		
流水线延迟			转换完成后转换结果立即可用		
输出低电压, V_{OL}	$I_{SINK} = 500 \mu\text{A}$			0.4	V
输出高电压, V_{OH}	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
电源					
VDD		1.71	1.8	1.89	V
VIO		1.71		5.5	V
待机电流	$VDD = 1.8 \text{ V}$, $VIO = 1.8 \text{ V}$, $T = 25^\circ\text{C}$		1.6		μA
功耗	$VDD = 1.8 \text{ V}$, $VIO = 1.8 \text{ V}$, $V_{REF} = 5 \text{ V}$				
	10 kSPS, 禁用高阻态模式		80		μW
	1 MSPS, 禁用高阻态模式		8		mW
	2 MSPS, 禁用高阻态模式		16	18.5	mW
	1 MSPS, 使能高阻态模式		10		mW
	2 MSPS, 使能高阻态模式		20	24.5	mW
仅VDD	2 MSPS, 禁用高阻态模式		9.5		mW
仅REF	2 MSPS, 禁用高阻态模式		5.5		mW

参数	测试条件/注释	最小值	典型值	最大值	单位
仅VIO 每次转换的能量	2 MSPS, 禁用高阻态模式		1.0 8		mW nJ/采样
温度范围 额定性能	T _{MIN} 至T _{MAX}	−40		+125	°C

¹ 采集阶段是指ADC以2 MSPS的吞吐速率运行时, 可用于输入采样电容采集新输入的时间。

² 要实现2 MSPS的吞吐速率, 必须使能turbo模式且SCK最低速率为75 MHz。不同工作模式下可以实现的最大吞吐速率参见表4。

³ 瞬态响应是指ADC以±1 LSB精度采集一个满量程输入阶跃所需的时间。

⁴ 通过特性保证最小值和最大值, 未经生产测试。

⁵ 参见图18所示的1/f噪声图。

时序规格

除非另有说明, VDD = 1.71 V至1.89 V; VIO = 1.71 V至5.5 V; V_{REF} = 5 V; 所有规格的温度范围为T_{MIN}至T_{MAX}, 禁用高阻态模式, 禁用跨度压缩, 使能turbo模式 (f_s = 2 MSPS)。¹

表2. 数字接口时序

参数	符号	最小值	典型值	最大值	单位
转换时间—CNV上升沿至数据可用	t _{CONV}		290	320	ns
采集阶段 ²	t _{ACQ}	290			ns
转换间隔时间	t _{CYC}	500			ns
CNV脉冲宽度 ($\overline{\text{CS}}$ 模式) ³	t _{CNVH}	10			ns
SCK周期 ($\overline{\text{CS}}$ 模式) ⁴	t _{SCK}				
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
SCK周期 (菊花链模式) ⁵	t _{SCK}				
VIO > 2.7 V		20			ns
VIO > 1.7 V		25			ns
SCK低电平时间	t _{SCKL}	3			ns
SCK高电平时间	t _{SCKH}	3			ns
SCK下降沿至数据仍然有效延迟时间	t _{HSDO}	1.5			ns
SCK下降沿至数据有效延迟时间	t _{DSO}				
VIO > 2.7 V				7.5	ns
VIO > 1.7 V				10.5	ns
CNV或SDI低电平至SDO D17 MSB有效延迟时间 ($\overline{\text{CS}}$ 模式)	t _{EN}				
VIO > 2.7 V				10	ns
VIO > 1.7 V				13	ns
CNV上升沿至第一SCK上升沿延迟时间	t _{QUIET1}	190			ns
最后一个SCK下降沿至CNV上升沿延迟时间 ⁶	t _{QUIET2}	60			ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态 ($\overline{\text{CS}}$ 模式)	t _{DIS}			20	ns
CNV上升沿至SDI有效建立时间	t _{SSDICNV}	2			ns
CNV上升沿至SDI有效保持时间 ($\overline{\text{CS}}$ 模式)	t _{HSDICNV}	2			ns
CNV上升沿至SCK有效保持时间 (菊花链模式)	t _{HSCKCNV}	12			ns
SCK上升沿至SDI有效建立时间 (菊花链模式)	t _{SSDISCK}	2			ns
SCK上升沿至SDI有效保持时间 (菊花链模式)	t _{HSDISCK}	2			ns

¹ 时序电压电平参见图2。

² 采集阶段是指ADC以2 MSPS的吞吐速率运行时, 可用于输入采样电容采集新输入的时间。

³ 针对turbo模式, t_{CNVH}必须与t_{QUIET1}最小值一致。

⁴ 要实现2 MSPS的吞吐速率, 必须使能turbo模式且SCK最低速率为75 MHz。

⁵ 假设SCK为50%占空比。

⁶ SINAD与t_{QUIET2}的关系参见图22。

表3. 寄存器读/写时序

参数	符号	最小值	典型值	最大值	单位
读/写操作					
CNV脉冲宽度 ¹	t_{CNVH}	10			ns
SCK周期	t_{SCK}				
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
SCK低电平时间	t_{SCKL}	3			ns
SCK高电平时间	t_{SCKH}	3			ns
读操作					
CNV低电平至SDO D17 MSB有效延迟时间	t_{EN}			10	ns
VIO > 2.7 V				13	ns
VIO > 1.7 V					
SCK下降沿至数据仍然有效	t_{HSDO}	1.5			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO > 2.7 V				7.5	ns
VIO > 1.7 V				10.5	ns
CNV上升沿到SDO高阻态	t_{DIS}			20	ns
写操作					
SCK上升沿至SDI有效建立时间	$t_{SSDISCK}$	2			ns
SCK上升沿至SDI有效保持时间	$t_{HSDISCK}$	2			ns
CNV上升沿至SCK沿保持时间	$t_{HCNVSCK}$	0			ns
CNV下降沿至SCK有效沿建立时间	$t_{SCNVSCK}$	6			ns

¹ 针对turbo模式, t_{CNVH} 必须与 t_{QUIET1} 最小值一致。

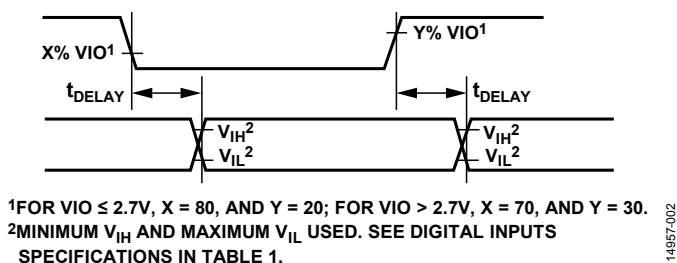


图2. 时序电压电平

表4. 不同工作模式可实现的吞吐速率

参数	测试条件/注释	最小值	典型值	最大值	单位
吞吐速率, CS模式					
三线和四线Turbo模式	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			2	MSPS
三线和四线Turbo模式及六状态位	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.78	MSPS
三线和四线模式	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.75	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.62	MSPS
三线和四线模式及六状态位	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.59	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.44	MSPS

绝对最大额定值

表5.

参数	额定值
模拟输入 IN+、IN-至GND ¹	-0.3 V至V _{REF} + 0.4 V或±50 mA
电源电压 REF、VIO至GND	-0.3 V至+6.0 V
VDD至GND	-0.3 V至+2.1 V
VDD至VIO	-6 V至+2.4 V
数字输入至GND	-0.3 V至VIO + 0.3 V
数字输出至GND	-0.3 V至VIO + 0.3 V
存储温度范围	-65°C至+150°C
结温	150°C
引脚温度, 焊接	260°C回流, 依据JEDEC J-STD-020
ESD额定值	
人体模型	4 kV
机器模型	200 V
场感应充电装置模型	1.25 kV

¹ 有关IN+和IN-的解释, 请参见“模拟输入”部分。

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

注意, 箝位不能无限长时间地承受过压条件。

热阻

热性能与印刷电路板 (PCB) 设计和工作环境直接相关。必须慎重对待PCB散热设计。

表6. 热阻

封装类型	θ _{JA}	θ _{JC}	单位
RM-10 ¹	147	38	°C/W
CP-10-9 ¹	114	33	°C/W

¹ 测试条件1: 热阻仿真值基于2S2P JEDEC PCB。参见“订购指南”部分。

ESD警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

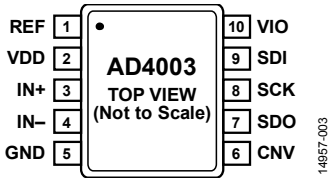
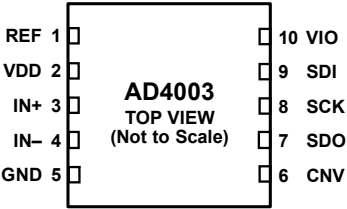


图3. 10引脚MSOP引脚配置



NOTES
1. CONNECT THE EXPOSED PAD TO GND. THIS CONNECTION IS NOT REQUIRED TO MEET THE SPECIFIED PERFORMANCE.

图4. 10引脚LFCSP引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	REF	AI	基准输入电压。V _{REF} 范围为 2.4 V 至 5.1 V。此引脚参考 GND 引脚，必须通过与之靠近的 10 μF、X7R 陶瓷电容去耦至 GND 引脚。
2	VDD	P	1.8 V 电源。VDD 范围为 1.71 V 至 1.89 V。通过一个 0.1 μF 陶瓷电容将 VDD 旁路至 GND。
3	IN+	AI	正向差分模拟输入。
4	IN-	AI	负向差分模拟输入。
5	GND	P	电源地。
6	CNV	DI	转换输入。此输入具有多个功能。它在前沿启动转换并选择器件的接口模式：菊花链模式或 $\overline{CS}$ 模式。在 $\overline{CS}$ 模式下，CNV为低电平时SDO引脚使能。在菊花链模式下，数据在CNV为高电平时读取。
7	SDO	DO	串行数据输出。转换结果通过此引脚输出。它与 SCK 同步。
8	SCK	DI	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
9	SDI	DI	串行数据输入。此输入提供多个功能。如下选择ADC接口模式：如果SDI在CNV上升沿期间为低电平，则选择链模式。此模式下，SDI用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI上的数字数据电平通过SDO输出，延迟 18 个SCK周期。如果SDI在CNV上升沿期间为高电平，则选择 $\overline{CS}$ 模式。此模式下，SDI或CNV在低电平时均可使能串行输出信号。当转换完成时，如果SDI或CNV为低电平，繁忙指示功能被使能。在CNV为低电平时，器件可通过如下方式编程：在SCK上升沿经SDI输入一个 16 位字。
10	VIO	P	输入/输出接口数字电源。此引脚的标称电源与主机接口电源相同（1.8 V、2.5 V、3 V 或 5 V）。通过一个 0.1 μF 陶瓷电容将 VIO 旁路至 GND。
N/A ²	EPAD	P	裸露焊盘（仅限 LFCSP 封装）。裸露焊盘应连接至 GND。此连接无需满足额定性能。

¹ AI表示模拟输入，P表示电源，DI表示数字输入，DO表示数字输出。

² N/A表示不适用。

术语

积分非线性误差 (INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。负满量程点出现在第一个码转换之前的 $1/2$ LSB处。正满量程定义为超出最后一个码转换 $1/2$ LSB的一个电平。从各码的中心到该直线的距离即为偏差（见图30）。

差分非线性误差 (DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

零电平误差

理想中间值电压（即0 V）与产生中间值输出码（即0 LSB）的实际电压之差称为零点误差。

增益误差

当模拟电压高于标称负满量程 $1/2$ LSB时（对于 ± 5 V范围为-4.999981 V），发生第一个码跃迁（从100 ... 00跃迁至100 ... 01）。当模拟电压低于标称正满量程 $1/2$ LSB时（对于 ± 5 V范围为+4.999943 V），发生最后一个码跃迁（从011 ... 10跃迁至011 ... 11）。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

无杂散动态范围 (SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝 (dB) 表示。

有效位数 (ENOB)

ENOB指利用正弦波输入测得的分辨率。与SINAD的关系如下：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ENOB用位表示。

无噪声码分辨率

无噪声码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个编码。其计算公式为：

$$\text{无噪声码分辨率} = \log_2(2^N / \text{峰峰值噪声})$$

无噪声码分辨率用位表示。

有效分辨率

有效分辨率的计算公式如下：

$$\text{有效分辨率} = \log_2(2^N / \text{RMS输入噪声})$$

有效分辨率用位表示。

总谐波失真 (THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝 (dB) 表示。

动态范围

动态范围指满量程的均方根值与测得的总均方根噪声之比，用分贝 (dB) 表示。它使用-60 dBFS的信号测得，因此包括所有噪声源和DNL伪像。

信噪比 (SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝 (dB) 表示。

信纳比 (SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外所有其它频谱成分的均方根和之比，用分贝 (dB) 表示。

孔径延迟

孔径延迟用于衡量采集性能，指从CNV输入的上升沿到输入信号被保持以用于转换的时间。

瞬态响应

瞬态响应是指ADC以 ± 1 LSB精度采集一个满量程输入阶跃所需的时间。

共模抑制比 (CMRR)

共模抑制比是指频率f下ADC输出功率与频率f下施加于共模电压IN+和IN-的200 mV p-p正弦波功率的比值：

$$CMRR (dB) = 10 \log(P_{ADC_IN} / P_{ADC_OUT})$$

其中：

P_{ADC_IN} 为频率f下施加于IN+和IN-输入的共模功率。

P_{ADC_OUT} 为频率f下ADC输出的功率。

电源抑制比 (PSRR)

PSRR指频率f下ADC输出功率与频率f下施加于ADC VDD电源的200 mV p-p正弦波功率的比值。

$$PSRR (dB) = 10 \log(P_{VDD_IN} / P_{ADC_OUT})$$

其中：

P_{VDD_IN} 为频率f下VDD引脚的功率。

P_{ADC_OUT} 为频率f下ADC输出的功率。

典型性能参数

除非另有说明, $V_{DD} = 1.8\text{ V}$; $V_{IO} = 3.3\text{ V}$; $V_{REF} = 5\text{ V}$; $T = 25^\circ\text{C}$, 禁用高阻态模式, 禁用跨度压缩, 使能turbo模式 ($f_s = 2\text{ MSPS}$)。

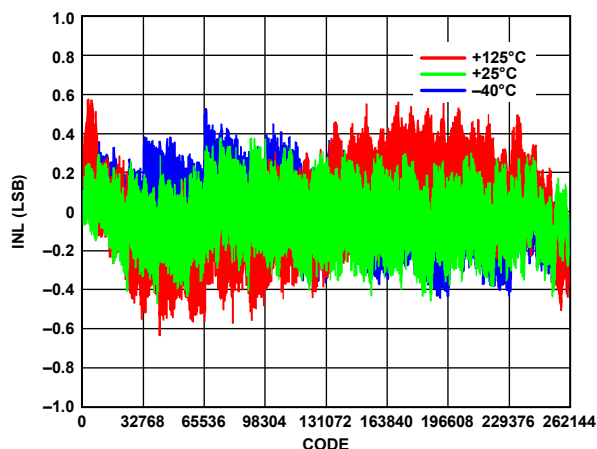


图5. INL与代码和温度的关系, $V_{REF} = 5\text{ V}$

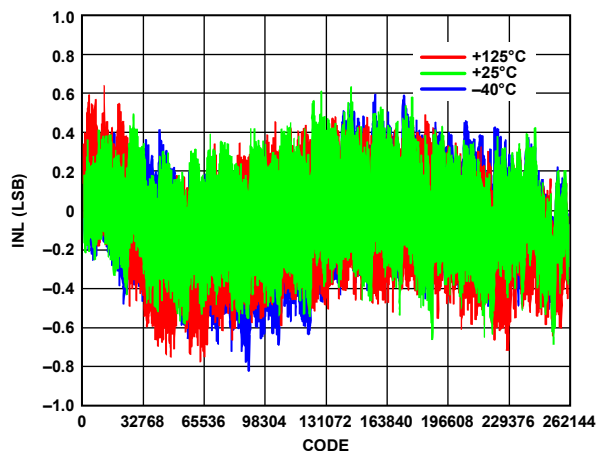


图6. INL与代码和温度的关系, $V_{REF} = 2.5\text{ V}$

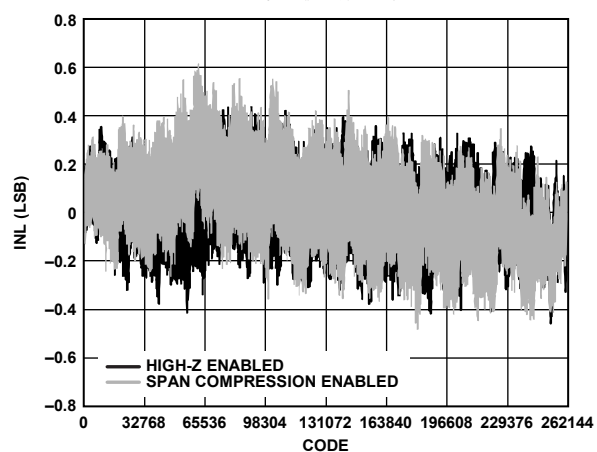


图7. INL与代码的关系, 使能高阻态和跨度压缩, $V_{REF} = 5\text{ V}$

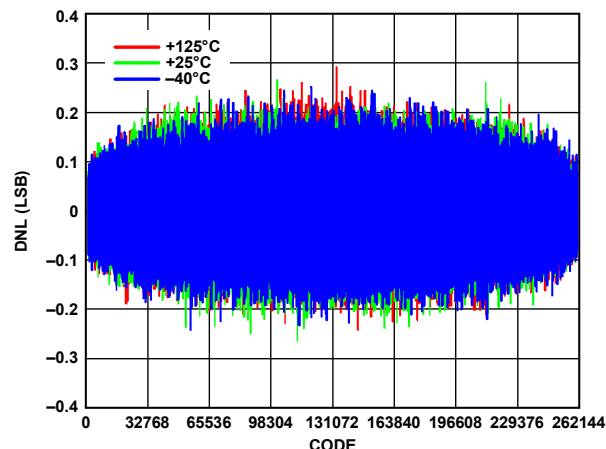


图8. DNL与代码和温度的关系, $V_{REF} = 5\text{ V}$

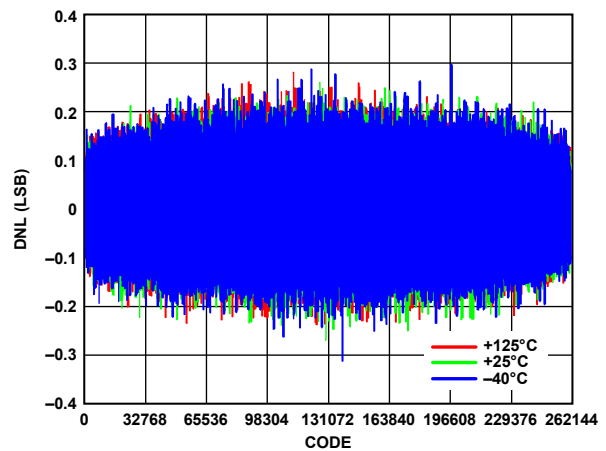


图9. DNL与代码和温度的关系, $V_{REF} = 2.5\text{ V}$

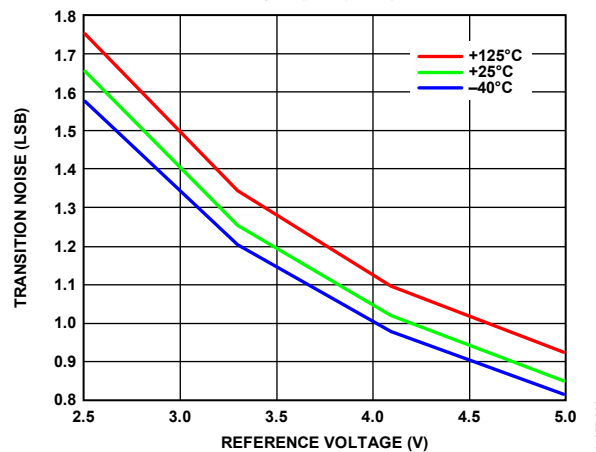


图10. 转换噪声与基准电压的关系

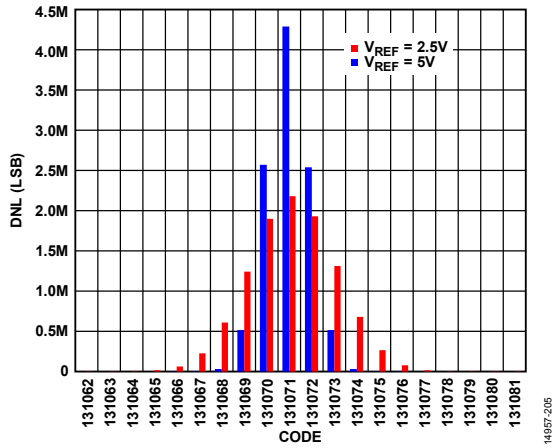
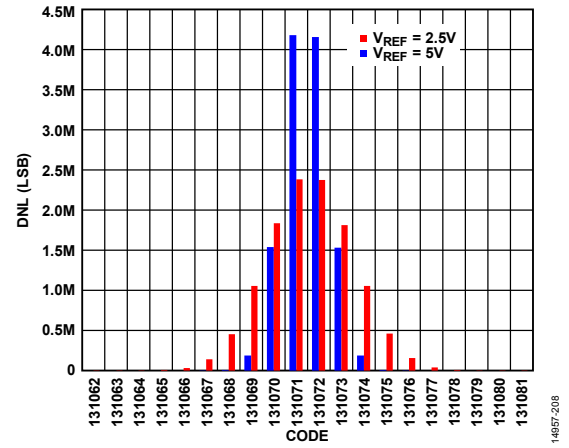
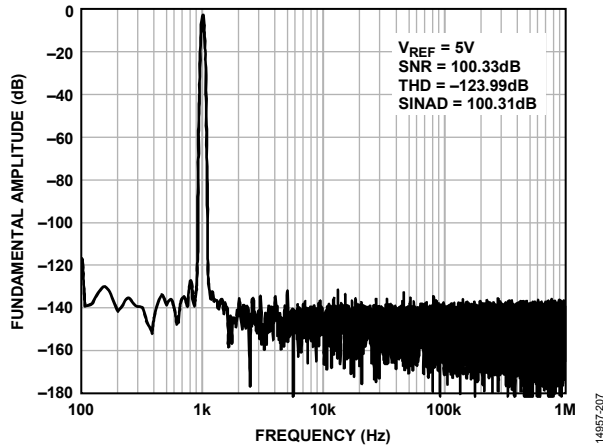
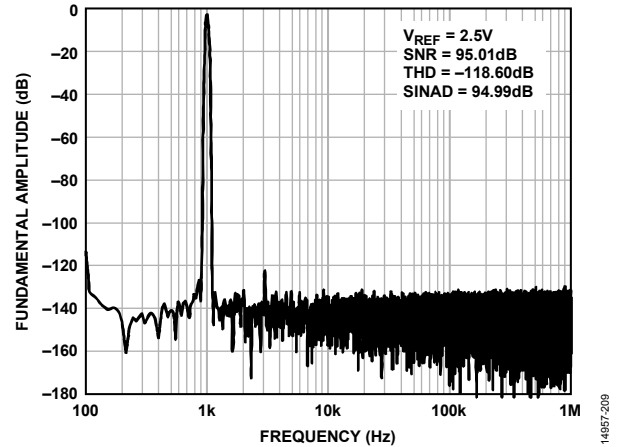
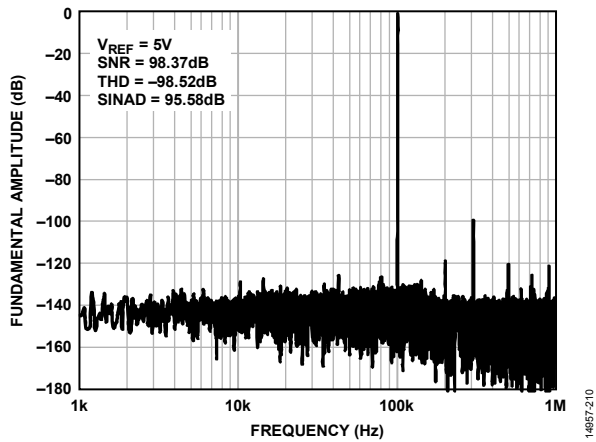
图11. 码中心处的直流输入直方图, $V_{REF} = 2.5\text{ V}$ 、 5 V 图14. 码转换处的直流输入直方图, $V_{REF} = 2.5\text{ V}$ 、 5 V 图12. 1 kHz、-0.5 dBFS输入音FFT, 宽视图, $V_{REF} = 5\text{ V}$ 图15. 1 kHz、-0.5 dBFS输入音FFT, 宽视图, $V_{REF} = 2.5\text{ V}$ 

图13. 100 kHz、-0.5 dBFS输入音FFT, 宽视图

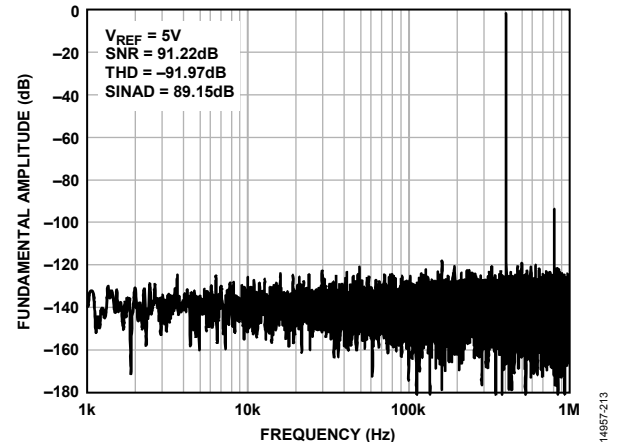


图16. 400 kHz、-0.5 dBFS输入音FFT, 宽视图

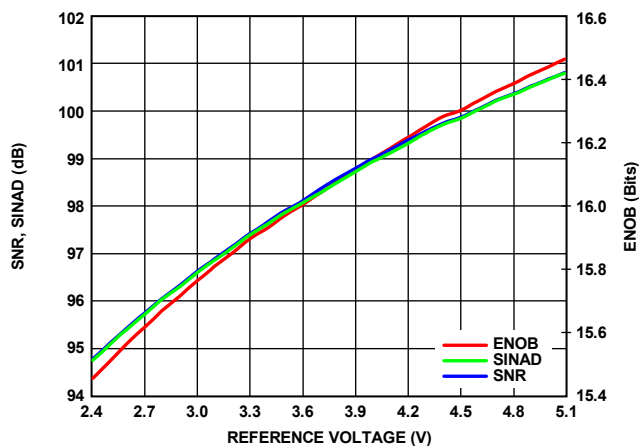


图17. SNR、SINAD和ENOB与基准电压的关系

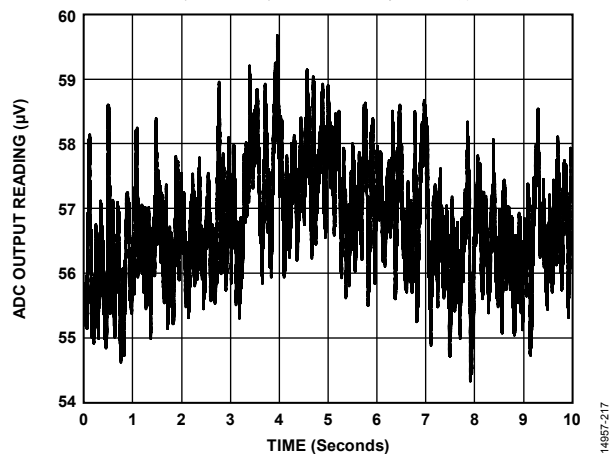


图18. 0.1 Hz至10 Hz带宽的1/f噪声, 50 kSPS, 每次读取对2500样本求均值

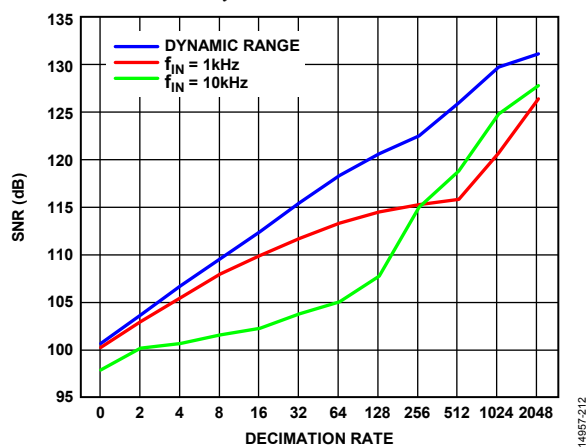


图19. 不同输入频率下SNR与抽取率的关系

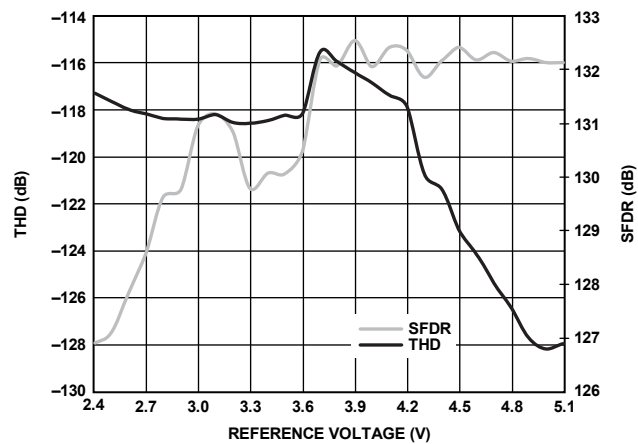


图20. THD和SFDR与基准电压的关系

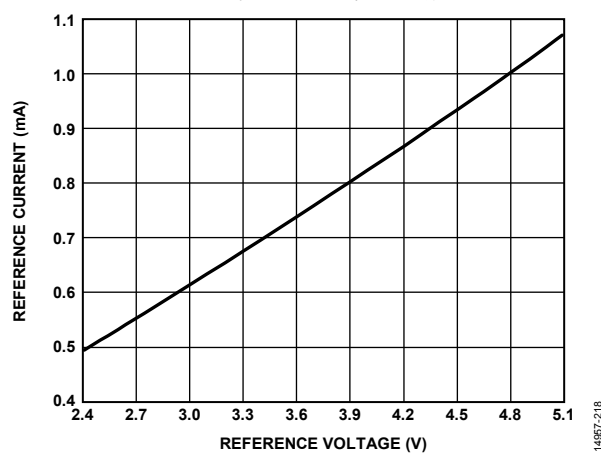
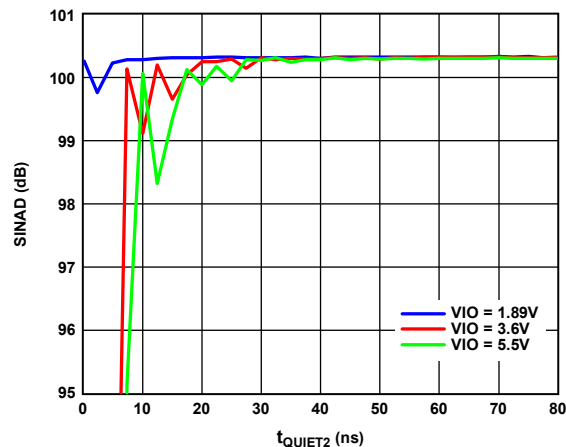


图21. 基准电流与基准电压的关系

图22. SINAD与 t_{QUIET2} 的关系

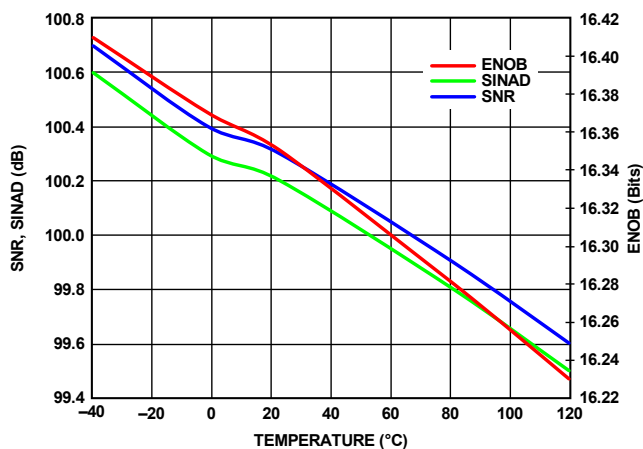
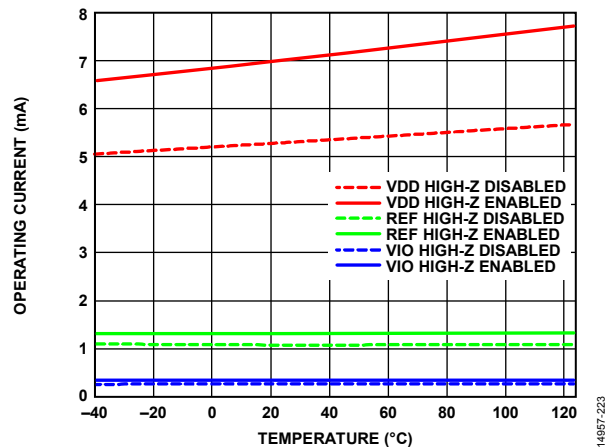
图23. SNR、SINAD和ENOB与温度的关系, $f_{IN} = 1\text{ kHz}$ 

图24. 工作电流与温度的关系

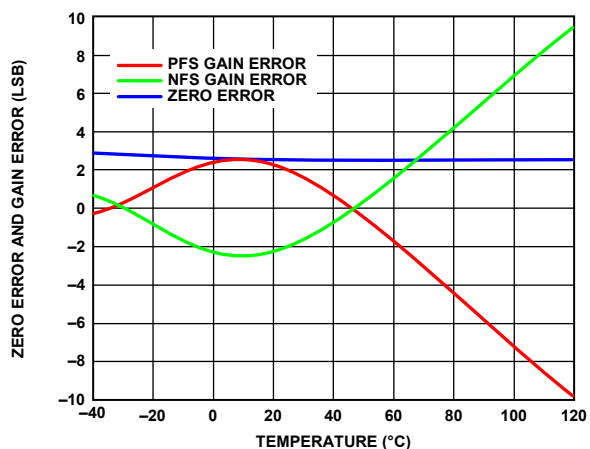


图25. 零电平误差和增益误差与温度的关系 (PFS为正满量程, NFS为负满量程)

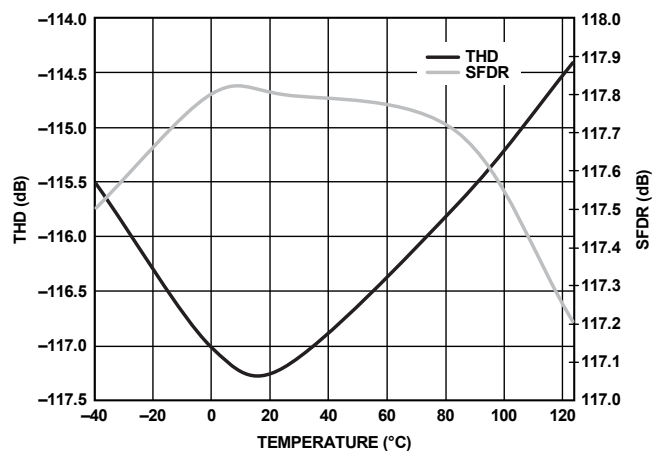
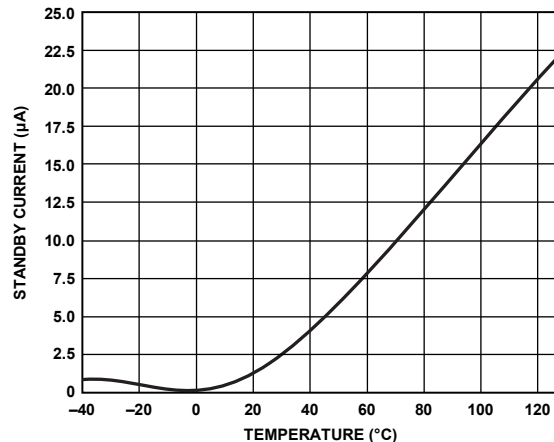
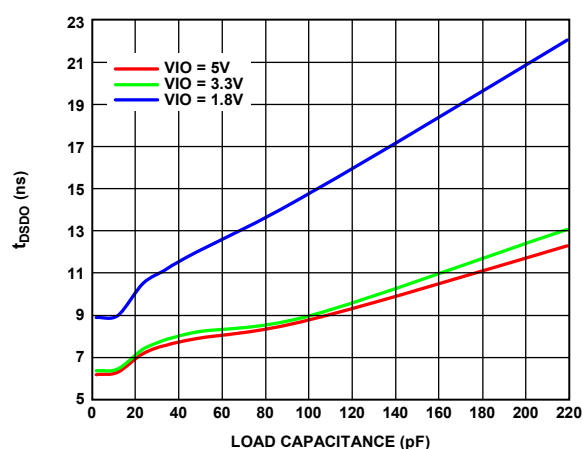
图26. THD和SFDR与温度的关系, $f_{IN} = 1\text{ kHz}$ 

图27. 待机电流与温度的关系

图28. t_{DSO} 与负载电容的关系

工作原理

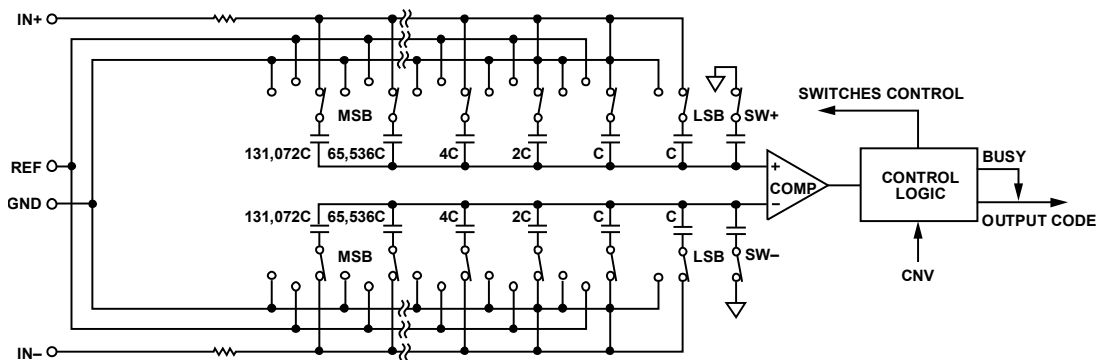


图29. ADC原理示意图

电路信息

AD4003是基于SAR架构的高速、低功耗、单电源、精密18位ADC。

AD4003每秒能够转换2,000,000个样本（2 MSPS），两次转换之间器件进入省电模式。例如，当以10 kSPS速率工作时，其典型功耗为80 μ W，非常适合电池供电的应用，因为其功耗与吞吐速率成线性比例。长时间关断后，**AD4003**提供的首次转换结果是有效的。

AD4003为用户提供片内采样保持功能，没有任何流水线延迟，堪称多路复用应用的理想之选。

AD4003整合了许多独特的易用特性，可减小系统功耗和尺寸。

AD4003内置电压箝位功能，可保护器件免受模拟输入端的过压损坏。

模拟输入整合了降低典型开关电容SAR输入的非线性电荷反冲的电路。较低的反冲与较长的采集阶段相结合，意味着驱动放大器的建立要求得以降低。这种组合使得较低带宽和较低功耗的放大器可用作驱动器。由此还能获得其他好处，那就是输入RC滤波器可以使用较大电阻值，以及使用相应的较小电容，导致放大器的RC负载较小，改善稳定性和功耗。

通过SPI接口对寄存器位进行编程，可使能高阻态模式（见表14）。使能高阻态模式时，ADC输入在输入信号频率较低时具有低输入充电电流，并且在高达100 kHz的宽频率范围内，失真性能得到改善。对于100 kHz以上的频率和多路复用应用，应禁用高阻态模式。

对于单电源应用，跨度压缩特性可为驱动放大器产生更大的上裕量和下裕量，从而使用ADC的完整范围。

AD4003的快速转换时间加上turbo模式，使得利用较低时钟速

率便可回读转换结果，即便器件以2 MSPS的最高吞吐速率运行也无妨。注意，要实现2 MSPS的吞吐速率，必须使能turbo模式且SCK最低速率为75 MHz。

AD4003可与任何1.8 V至5 V数字逻辑系列接口，提供10引脚MSOP封装或小型10引脚LFCSP封装，节省空间，配置灵活。

它与表8中列出的14/16/18位精密SAR ADC引脚兼容。

表8. MSOP、LFCSP 14/16/18位精密SAR ADC

位	100 kSPS	250 kSPS	400 kSPS至500 kSPS	≥ 1000 kSPS
18 ¹	AD7989-1 ²	AD7691 ²	AD7690, ² AD7989-5 ²	AD4003, ² AD7982, ² AD7984 ² AD7915 ²
16 ¹	AD7684	AD7687	AD7688, ² AD7693 ²	AD7915 ²
16 ³	AD7680, AD7683, AD7988-1 ²	AD7685, ² AD7694	AD7686, ² AD7988-5	AD4000
14 ³	AD7940	AD7942 ²	AD7946 ²	AD7980, ² AD7983 ²

¹ 真差分。

² 引脚兼容。

³ 伪差分。

转换器操作

AD4003为SAR型ADC，采用电荷再分配采样数模转换器（DAC）。图29显示了该ADC的简化电路图。容性DAC包含两个相同的18位二进制加权电容阵列，分别连接到比较器输入端。

在采集阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都将各电容的另一端子连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN-输入端的模拟信号。

当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。采集阶段结束时捕获的IN+和IN-输入之间的差分电压施加于比较器输入端，导致比较器不平衡。在GND和 V_{REF} 之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进（ $V_{REF}/2$ 、 $V_{REF}/4$ 、...、 $V_{REF}/262,144$ ）变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，控制逻辑产生ADC输出码和繁忙信号指示。

AD4003具有片上转换时钟，因此转换过程不需要串行时钟SCK。

传递函数

AD4003的理想传递特性如图30和表9所示。

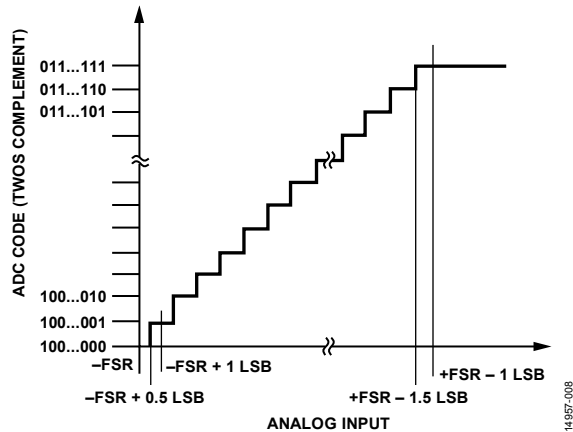


图30. ADC理想传输函数 (FSR表示满量程范围)

表9. 输出码和理想输入电压

描述	模拟输入, $V_{REF} = 5\text{ V}$	$V_{REF} = 5\text{ V}$, 使能跨度压 缩	数字输出码 (十六 进制)
FSR - 1 LSB	+4.999962 V	+3.999969 V	0x1FFFF ¹
中间电平 + 1 LSB	+38.15 μV	+30.5 μV	0x00001
中间电平	0 V	0 V	0x00000
中间电平 - 1 LSB	-38.15 μV	-30.5 μV	0x3FFFF
-FSR + 1 LSB	-4.999962 V	-3.999969 V	0x20001
-FSR	-5 V	-4 V	0x20000 ²

¹ 此输出码也是超量程模拟输入 ($V_{IN+} - V_{IN-}$ 大于 V_{REF}) 对应的码。

² 此输出码也是欠量程模拟输入 ($V_{IN+} - V_{IN-}$ 小于 $-V_{REF}$) 对应的码。

应用信息

典型应用图

图31所示的例子为采用多个电源时AD4003的建议连接图。此配置用于实现最佳性能，因为可以选择放大器电源以提供最大信号范围。

图32显示了采用单电源系统的建议连接图。当系统仅提供数量有限的供电轨且功耗至关重要时，应优先选择此设置。

图33显示了采用全差分放大器时的建议连接图。

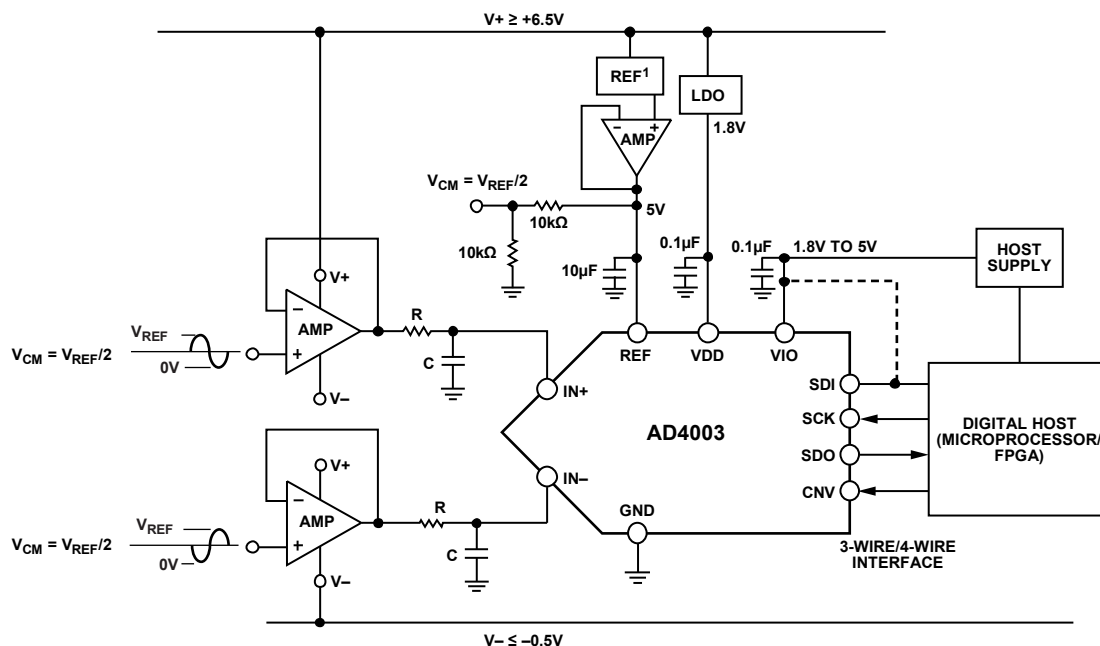
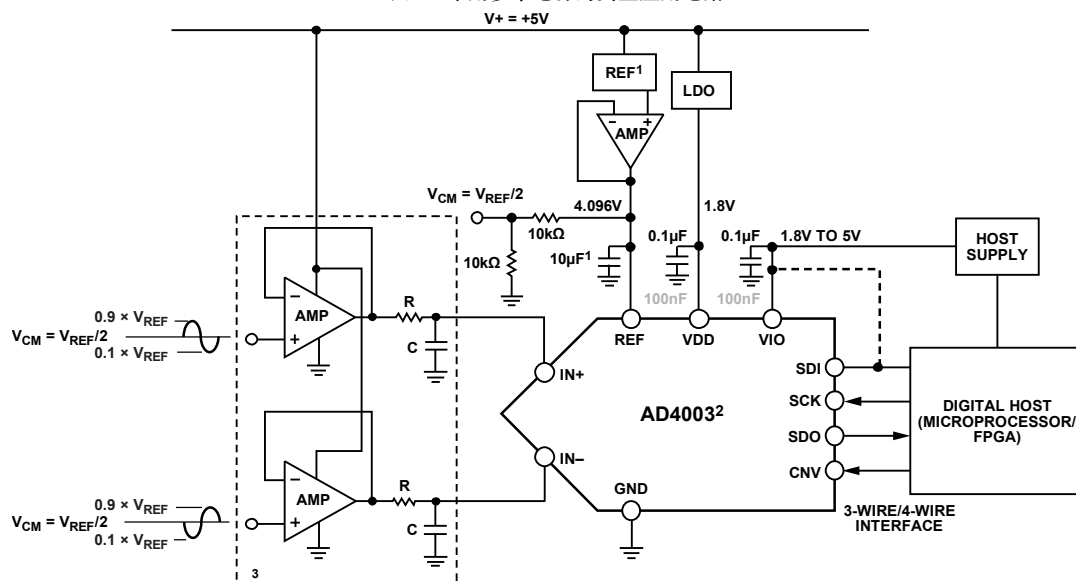


图31. 采用多个电源的典型应用电路



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION. C_{REF} IS USUALLY A 10μF CERAMIC CAPACITOR (X7R).

²SPAN COMPRESSION MODE ENABLED.

³SEE TABLE 9 FOR RC FILTER AND AMPLIFIER SELECTION.

图32. 采用单个电源的典型应用电路

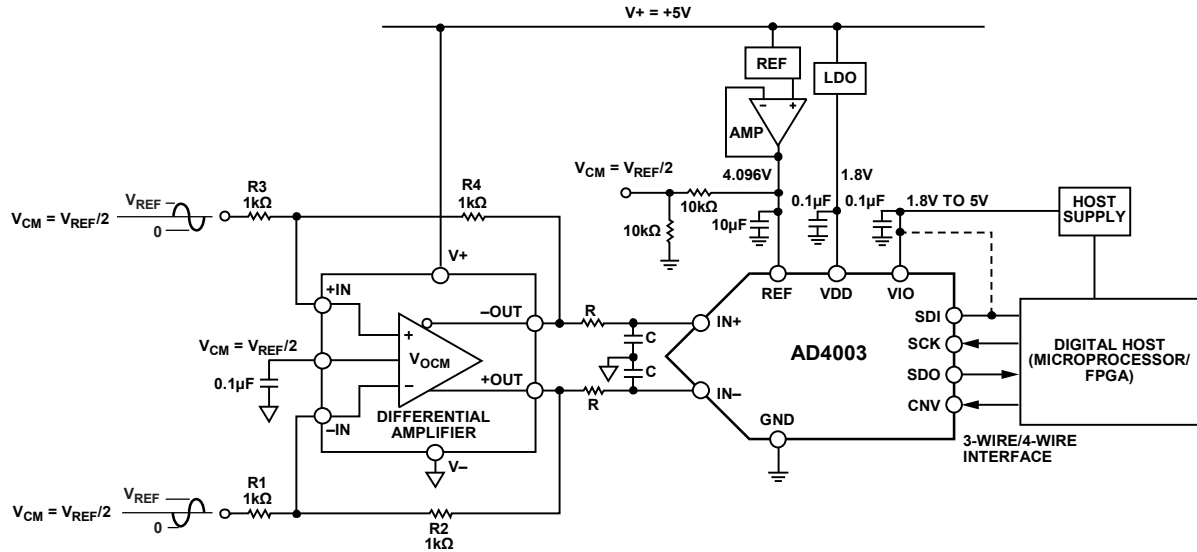


图33. 采用全差分放大器的典型应用电路

14857-011

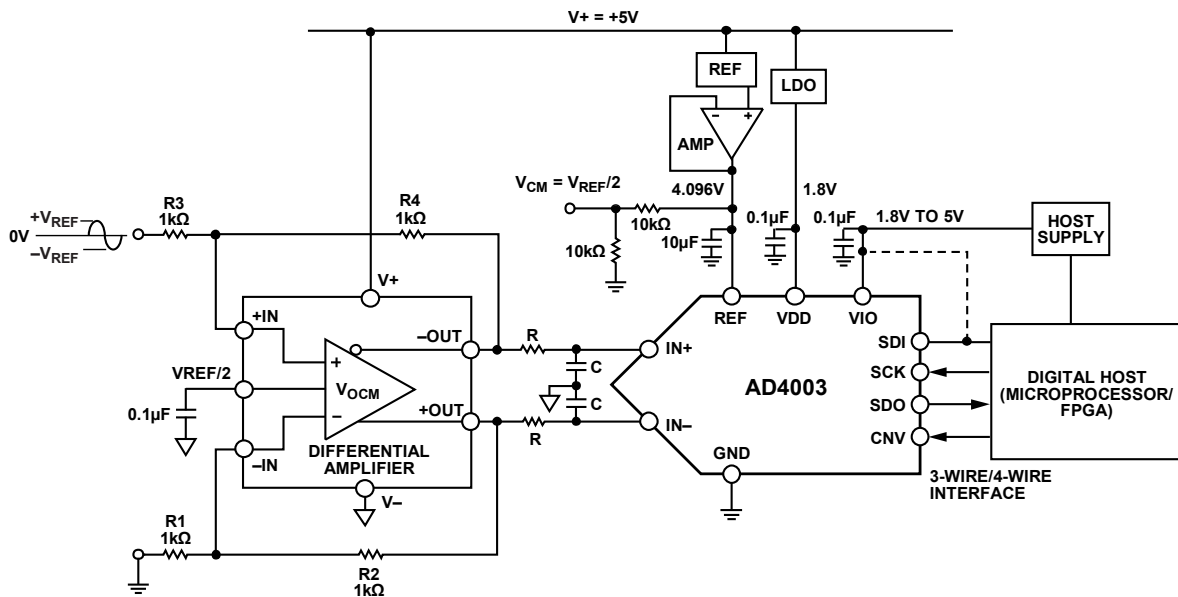


图34. 采用全差分放大器的单端转差分典型应用电路

14857-012

模拟输入

图35显示了模拟输入结构等效电路, 包括AD4003的过压箝位。

输入过压箝位电路

多数ADC模拟输入 (IN+和IN-) 除ESD保护二极管以外没有过压保护电路。在过压事件中, 连接在模拟输入 (IN+或IN-) 引脚和REF之间的ESD保护二极管正偏并将连接REF的输入引脚短路, 这有可能使基准电压源过载或导致器件损毁。AD4003内部过压箝位电路有一个较大的外部电阻 ($R_{EXT} = 200 \Omega$), 可以保护ADC输入免受直流过压影响, 故而无需外部保护二极管。

在放大器电轨大于 V_{REF} 且小于地电压的应用中, 输出可以超出器件的输入电压范围。这种情况下, AD4003内部电压箝位电路确保输入引脚上的电压不超过 $V_{REF} + 0.4 V$, 通过将输入电压箝位在安全工作范围内来防止器件受损, 并且避免干扰基准电压源, 这对多个ADC共享基准电压源的系统尤其重要。

当模拟输入超过基准电压0.4 V时, 内部箝位电路开启, 电流通过箝位电路流入地, 防止输入进一步升高而可能损坏器件。箝位在D1之前开启 (参见图35), 其最大吸电流能力为50 mA。

当箝位有效时，寄存器中的 $\overline{\text{OV}}$ 箝位标志位会置位，可以回读该位（参见表14）；它是一个粘滞位，必须读取才能清零。箝位状态也可利用状态位中的过压箝位标志来检查（参见表15）。在关断状态下，箝位电路无静态功耗。注意，箝位不能无限长时间地承受过压条件。

ADC输入端通常存在外部RC滤波器，用以限制输入信号的频带。过压事件期间， R_{EXT} 上的过大电压会下降， R_{EXT} 成为保护电路的一部分。对于15 V保护， R_{EXT} 值可在200 Ω 至20 k Ω 之间变化。箝位电路正常工作时， C_{EXT} 值可以低至100 pF。输入过压箝位规格参见表1。

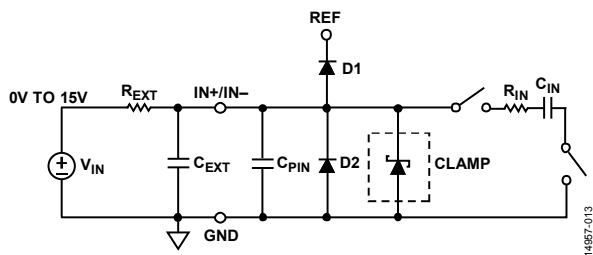


图35. 等效模拟输入电路

差分输入考虑

模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。图36显示了AD4003在全频率范围内的共模抑制能力。必须注意，差分输入信号必须真正反相（即相位相差180°），这是将输入信号的共模电压保持在围绕 $V_{\text{REF}}/2$ 的额定范围内所必需的，如表1所示。

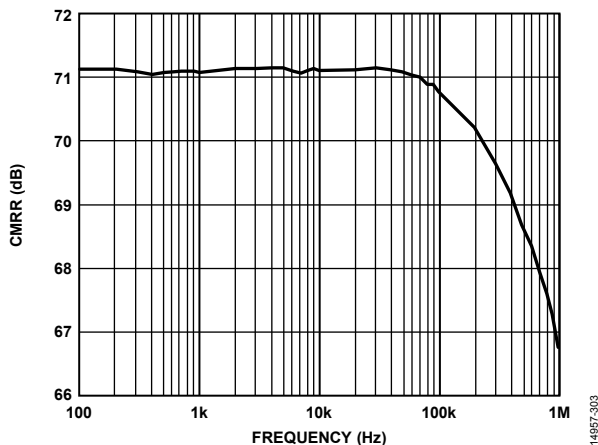


图36. 共模抑制比与频率的关系， $V_{\text{IO}} = 3.3 \text{ V}$ ， $V_{\text{REF}} = 5 \text{ V}$ ， 25°C

开关电容输入

在采集阶段，模拟输入（IN+或IN-）的阻抗可以看成是电容 C_{PIN} 与由 R_{IN} 和 C_{IN} 串联构成的网络的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为400 Ω ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为40 pF，主要包括ADC采样电容。

在转换阶段，开关断开，输入阻抗仅包括 C_{PIN} 。 R_{IN} 和 C_{IN} 构成一个单极点低通滤波器，可以降低不良混叠效应并限制噪声。

RC滤波器值

RC滤波器值及驱动放大器可根据最高2 MSPS吞吐速率时的目标输入信号带宽来选择。较低的输入信号带宽意味着RC截止频率可以较低，从而降低进入转换器的噪声。为在不同吞吐速率下实现最优性能，应使用建议的RC值（200 Ω 、180 pF）和ADA4807-1。

表10所示RC值的选择基于易驱动考虑和更好的ADC输入保护。大R值（200 Ω ）和小C值组合可降低放大器要驱动的动态负载。C值越小，则越不用担心放大器的稳定性和相位裕量问题。当放大器输出超过ADC输入范围时，大R值会限制流入ADC输入端的电流。

表10. 不同输入带宽下RC滤波器和放大器的选择

输入信号带宽 (kHz)	R (Ω)	C (pF)	推荐使用的放大器	推荐全差分放大器
<10			参见“高阻态模式”部分	ADA4940-1
<200	200	180	ADA4807-1	ADA4940-1
>200	200	120	ADA4897-1	ADA4932-1
多路复用	200	120	ADA4897-1	ADA4932-1

驱动放大器选择

虽然AD4003很容易驱动，但驱动放大器必须满足下列要求：

- 驱动放大器所产生的噪声必须尽可能低，以便保持AD4003的SNR和转换噪声性能。来自驱动器的噪声由AD4003模拟输入电路的单极点低通滤波器（由 R_{IN} 和 C_{IN} 构成）进行滤波，或者由外部滤波器（如有）进行滤波。AD4003的典型噪声为 $31.5 \mu V_{rms}$ ，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{31.5}{\sqrt{31.5^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 为AD4003的输入带宽（10 MHz），单位为兆赫，或者是输入滤波器（如有）的截止频率。

N 为放大器的噪声增益（例如，缓冲器配置时为1）。

e_N 为运算放大器的等效输入噪声电压，单位为 $nV/\sqrt{Hz}$ 。

- 对于交流应用，驱动器的THD性能必须与AD4003相当。
- 对于多通道、多路复用应用，驱动放大器和AD4003模拟输入电路必须使电容阵列以18位水平（0.000384%，3.84 ppm）建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与18位水平的建立时间显著不同，因此选择驱动器之前必须进行验证。

单端转差分驱动器

对于使用单端模拟信号（双极性或单极性）的应用，ADA4940-1单端至差分驱动器可以为该器件提供差分输入，原理图见图34。

高频输入信号

在宽频率范围内，AD4003交流性能如图37所示。不同于其他传统SAR型ADC，AD4003交流性能可一直保持到奈奎斯特频率。

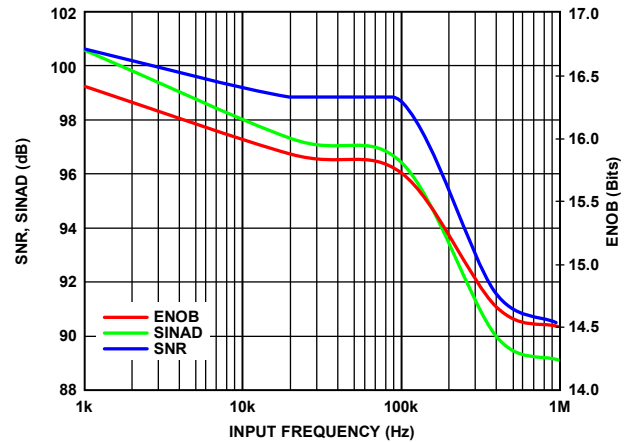


图37. SNR、SINAD和ENOB与输入频率的关系

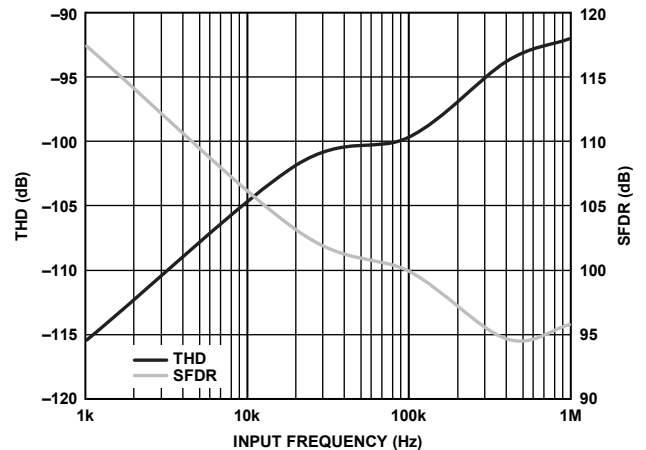


图38. THD和SFDR与输入频率的关系

易驱动特性

输入跨度压缩

在单电源应用中，希望使用ADC的满量程，但放大器可能有一定的上裕量和下裕量要求，这可能是一个问题，哪怕它是轨到轨输入输出放大器。使用跨度压缩时，输入范围的上下限均减小10%，从而增大放大器可用的上裕量和下裕量，同时仍能使用所有可用的ADC码（参见图39）。当使能跨度压缩时，输入范围减小，SNR降低大约1.9 dB（ $20 \times \log(8/10)$ ）。跨度压缩默认禁用，但可通过写入相关寄存器位来使能（参见“数字接口”部分）。

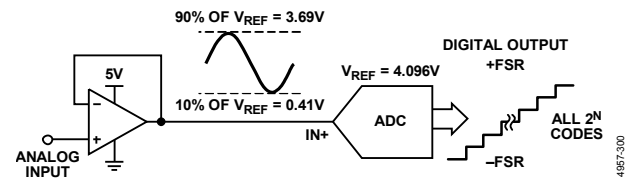


图39. 跨度压缩

高阻态模式

AD4003集成了一种高阻态模式，在采集开始时，它可以在电容DAC切换回输入时减少非线性电荷反冲。图40所示为AD4003在高阻态模式使能/禁用时的输入电流。低输入电流使ADC比市场上现有的传统SAR ADC更易驱动，即便是在高阻态模式禁用的情况下。高阻态模式使能时，输入电流进一步降至亚微安级。高阻态模式默认禁用，但可通过写入寄存器来使能该模式（参见表14）。当输入频率超过100 kHz或在多路复用情况下，应禁用高阻态模式。

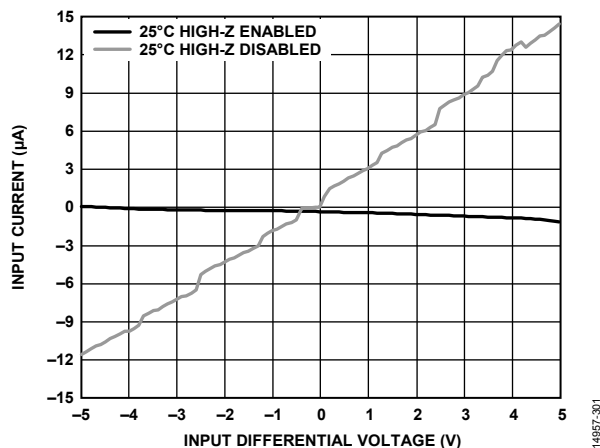


图40. 输入电流与输入差分电压的关系，
 $V_{IO} = 3.3\text{ V}$ ， $V_{REF} = 5\text{ V}$

为了达到高分辨率精密SAR ADC数据手册中列示的最佳性能，系统设计师通常不得不使用专用的高功率、高速放大器来驱动其精密应用中的传统型开关电容SAR ADC输入，这是设计精密数据采集信号链时的一个常见痛点。高阻态模式的优势在于，能在慢速（<10 kHz）或直流类信号条件下支持低输入电流，并且可在高达100 kHz的频率范围内改善失真（THD）性能。高阻态模式允许选择带较低截止频率RC滤波器的低功率和低带宽精密放大器来驱动ADC，而无需使用专用高速ADC驱动器，从而减小精密低带宽应用的系统功耗、尺寸和成本。高阻态模式允许基于目标信号带宽，而非基于开关电容SAR ADC输入的建立要求来选择ADC之前的放大器和RC滤波器。

此外，AD4003可以利用比传统SAR高得多的源阻抗来驱动，这意味着RC滤波器中的电阻值可以比之前的SAR设计高出10倍；若使能高阻态模式，支持的阻抗甚至更高。图40显示了高阻态模式使能/禁用时不同源阻抗对应的THD性能。图42和图43显示了AD4003的SNR和THD性能，使用ADA4077-1（ $I_{QUIESCENT} = 400\text{ μA/放大器}$ ）和ADA4610-1（ $I_{QUIESCENT} = 1.5\text{ mA/}$

放大器）精密放大器，在2 MSPS最高吞吐速率下驱动AD4003，高阻态模式使能和禁用两种情况，并采用不同的RC滤波器值。使能高阻态模式时，这些放大器可实现96 dB至99 dB的典型SNR以及优于-110 dB的THD。使能高阻态模式时，即使R值较大，THD也能改善大约10 dB。即使在超低RC带宽截止频率条件下，最高SNR也接近99dB。

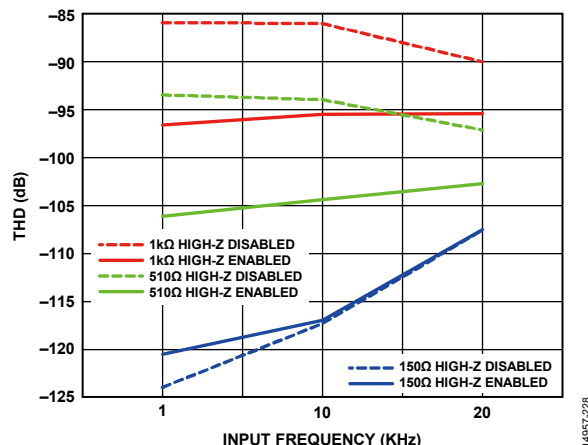


图41. 各种源阻抗下THD与输入频率的关系， $V_{REF} = 5\text{ V}$

高阻态模式使能时，ADC会额外消耗2 mW/MSPS的功率，但这仍然显著低于采用专用ADC驱动器（例如ADA4807-1）的情况。对于任何系统，前端通常会限制信号链的整体交流/直流性能。从图42和图43所示的选定精密放大器的数据手册中可以看出，在一定输入频率下，其自身的噪声和失真性能主导着SNR和THD规格。

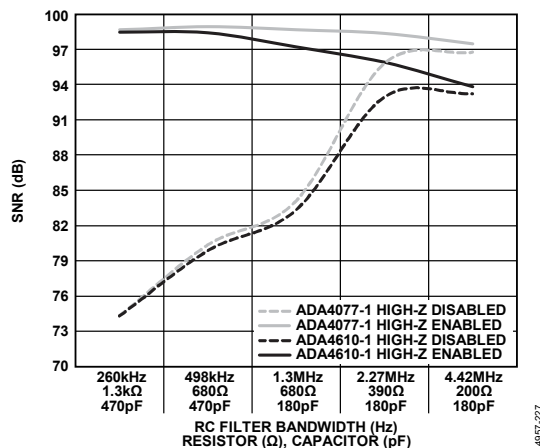


图42. 各种精密ADC驱动器的SNR与RC滤波器带宽的关系，
 $V_{REF} = 5\text{ V}$ ， $f_{IN} = 1\text{ kHz}$ （Turbo模式开启，高阻态使能/禁用）

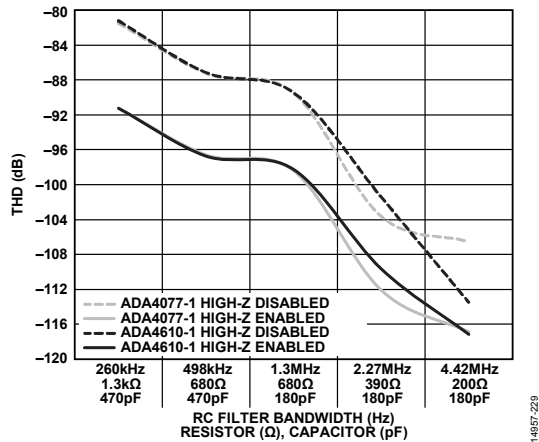


图43. 各种精密ADC驱动器的THD与RC滤波器带宽的关系, $V_{REF} = 5\text{ V}$, $f_{IN} = 1\text{ kHz}$ (Turbo模式开启, 高阻态使能/禁用)

长采集阶段

AD4003的转换时间超快 (290 ns), 故而采集阶段较长。采集时间由AD4003的一个重要特性进一步延长: ADC通常在转换结束前100 ns返回采集阶段。此特性让ADC有更长时间来采集新输入电压。较长的采集阶段可以降低对驱动放大器的建立要求, 并且可以选择较低功率/带宽的放大器。较长的采集阶段意味着可以使用较低的RC滤波器截止频率, 因而也可承受较大的放大器噪声。可以在RC滤波器中使用较大的R值和较小的对应C值, 减少放大器稳定性问题, 同时也不会大幅影响失真性能。较大的R值还能降低放大器中的动态功耗。

有关设置RC滤波器带宽和选择合适放大器的详细信息参见表10。

基准电压输入

10 μF (X7R, 0805尺寸) 陶瓷芯片电容适合用来实现基准输入的最优性能。

如需更高的性能和更低的漂移, 请使用ADR4550等基准电压源。使用ADR3450等低功耗基准源的代价是噪声性能略有下降。建议在基准源和ADC基准输入之间使用一个基准电压缓冲器, 例如ADA4807-1。电容大小务必取最优值, 以使基准电压缓冲器保持稳定, 并且满足本部分之前所述的ADC最低要求。

电源

AD4003使用两个电源引脚: 内核电源 (VDD) 以及数字输入/输出接口电源 (VIO)。VIO可以与1.8 V至5.5 V的任何逻辑直接接口。为减少所需的电源数, VIO和VDD引脚可以连在一起以采用1.8 V电源供电。建议利用ADP7118低噪声、CMOS、低压差 (LDO) 线性稳压器来为VDD和VIO引脚供电。AD4003与VIO和VDD的电源时序无关。此外, AD4003在很宽的频率范围内对电源变化不敏感, 如图44所示。

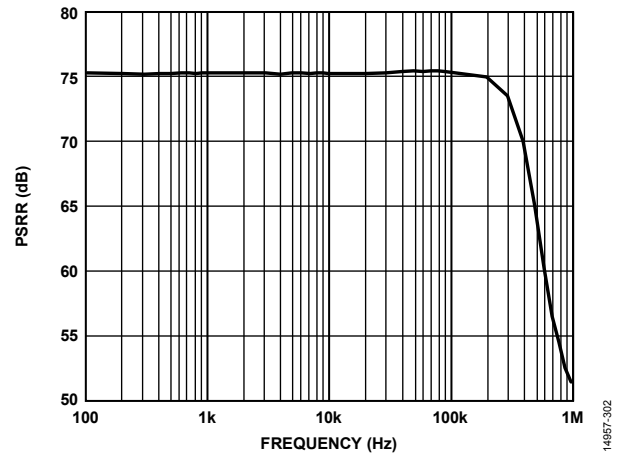


图44. PSRR与频率的关系, $V_{IO} = 3.3\text{ V}$, $V_{REF} = 5\text{ V}$

AD4003在每个转换阶段结束时自动进入省电模式。因此, 功耗与采样速率成线性比例, 此特性使得该器件非常适合低采样速率 (甚至几赫兹) 和电池供电的应用。图45显示了AD4003的总功耗和各轨的功耗。

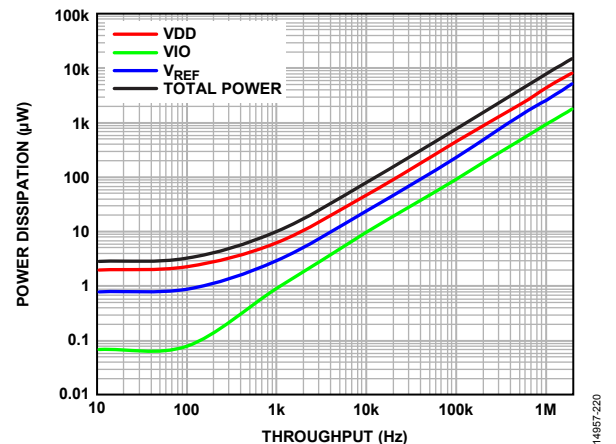


图45. 功耗与吞吐速率的关系, $V_{IO} = 1.8\text{ V}$, $V_{REF} = 5\text{ V}$

数字接口

虽然引脚数很少, 但AD4003在串行接口模式上仍具有灵活性。AD4003也可通过对配置寄存器执行16位SPI写操作来编程。

在CS模式下, AD4003兼容SPI、QSPI™、数字主机和DSP。此模式下, AD4003可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号, 可将线路连接减至最少, 在隔离应用中非常有用。四线式接口使用SDI、CNV、SCK和SDO信号, 使启动转换的CNV独立于回读时序 (SDI)。此接口在低抖动采样或同步采样应用中很有用。

AD4003提供菊花链特性，利用SDI输入在类似移位寄存器的单条数据线上实现多个ADC的级联。

器件工作模式取决于CNV上升沿出现时的SDI电平。如果SDI为高电平，选择CS模式，而如果SDI为低电平，则选择菊花链模式。SDI保持时间是当SDI和CNV连接在一起时，始终选择菊花链模式。

在三线或四线模式下，AD4003提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。如果无繁忙指示，用户必须在回读前等待最大转换时间。

在CS模式下，当ADC转换结束时，若CNV或SDI为低电平，则使能繁忙指示特性。

上电时SDO状态为低电平或高阻态，取决于CNV和SDI的状态，如表11所示。

表11. 上电时SDO状态

CNV	SDI	SDO
0	0	低电平
0	1	高阻态
1	0	低电平
1	1	高阻态

在三线和四线模式下，AD4003均支持turbo模式。Turbo模式通过写入配置寄存器来使能，使能后可取代繁忙指示特性。Turbo模式支持较低SPI时钟速率，因此接口会更简单。要实现2 MSPS的吞吐速率，必须使能turbo模式且SCK最低速率为75 MHz。

如果配置寄存器中使能了状态位，则在转换数据结束时也可输出状态位。总共有6个状态位，如表12所示。

AD4003通过对所需的配置寄存器执行16位SPI写操作来配置。16位字可在CNV保持低电平时通过SDI线路写入。它由8位标头和8位寄存器数据组成。对于隔离系统，建议使用ADuM141D，其最大时钟速率为75 MHz，允许AD4003以2 MSPS速率运行。

寄存器读/写功能

AD4003寄存器位是可编程的，其默认状态详见表12。寄存器

表14. 寄存器映射

ADDR[1:0]	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位
0x0	保留	保留	保留	使能六状态位	跨度压缩	高阻态模式	Turbo 模式	过压 (OV) 箝位标志 (只读粘滞位)	0xE1

映射如表14所示。过压箝位标志是一个只读粘滞位，只有读取寄存器且过压状态不再存在时才能清零。此位置0时指示发生过压状况。

表12. 寄存器位

寄存器位	默认状态
过压 (OV) 箝位标志	1 位 (默认 1: 无效)
跨度压缩	1 位 (默认 0: 禁用)
高阻态模式	1 位 (默认 0: 禁用)
Turbo 模式	1 位 (默认 0: 禁用)
使能六状态位	1 位 (默认 0: 禁用)

所有对寄存器映射的访问都必须从写入SPI接口模块中的8位命令寄存器开始。AD4003会忽略所有1，直至输入第一个0为止；载入命令寄存器的值总是一个0后跟7个命令位。此命令决定相关操作是写还是读。AD4003命令寄存器如表13所示。

表13. 命令寄存器

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
WEN	R/W	0	1	0	1	0	0

所有寄存器读/写操作都必须在CNV为低电平时进行。SDI上的数据在SCK的上升沿逐个输入。SDO上的数据在SCK的下降沿逐个输出。数据传输结束时，如果菊花链模式未使能，则SDO在CNV上升沿被置于高阻态。如果菊花链模式已使能，则SDO在CNV上升沿变为低电平。菊花链模式下不允许进行寄存器读取。

寄存器写操作需要三条信号线：SCK、CNV和SDI。在寄存器写操作期间，要读取SDO上的当前转换结果，必须在转换完成后将CNV引脚拉低。否则，SDO上的转换结果可能不正确。但无论如何，寄存器写操作都会发生。

各配置寄存器的LSB保留，因为用户读取16位转换数据可能受限于16位SPI帧。传输SDI帧中最后一位时SDI的状态，可能就是其随后在CNV上升时持续所处的状态。CNV上升时SDI的状态是用户设置接口模式的一部分，因此在这种情况下，用户可能需要基于此设置最终SDI状态。

图46至图48所示的时序图显示了当AD4003配置为寄存器读取、写入和菊花链模式时，如何读取和写入数据。



4957-0222



14957-023



Rev. 0 | Page 23 of 33

状态字

6位状态字可附加于转换结果的末尾，这些位的默认状态如表15所示。状态位必须在寄存器设置中使能。当过压箝位标志为0时，说明发生过压状况。每转换一次，过压箝位标志状态位更新一次。

表15. 状态位（默认条件）

位 5	位 4	位 3	位 2	位 1	位 0
过压 (OV) 箝位标志	跨度压缩	高阻态模式	Turbo 模式	保留	保留

第6个状态位输出之后，SDO线变为高阻态（菊花链模式除外）。要启动下一转换，用户无需输出所有状态位。 $\overline{\text{CS}}$ 模式（三线式且无繁忙指示）的串行接口时序（包括状态位）如图49所示。

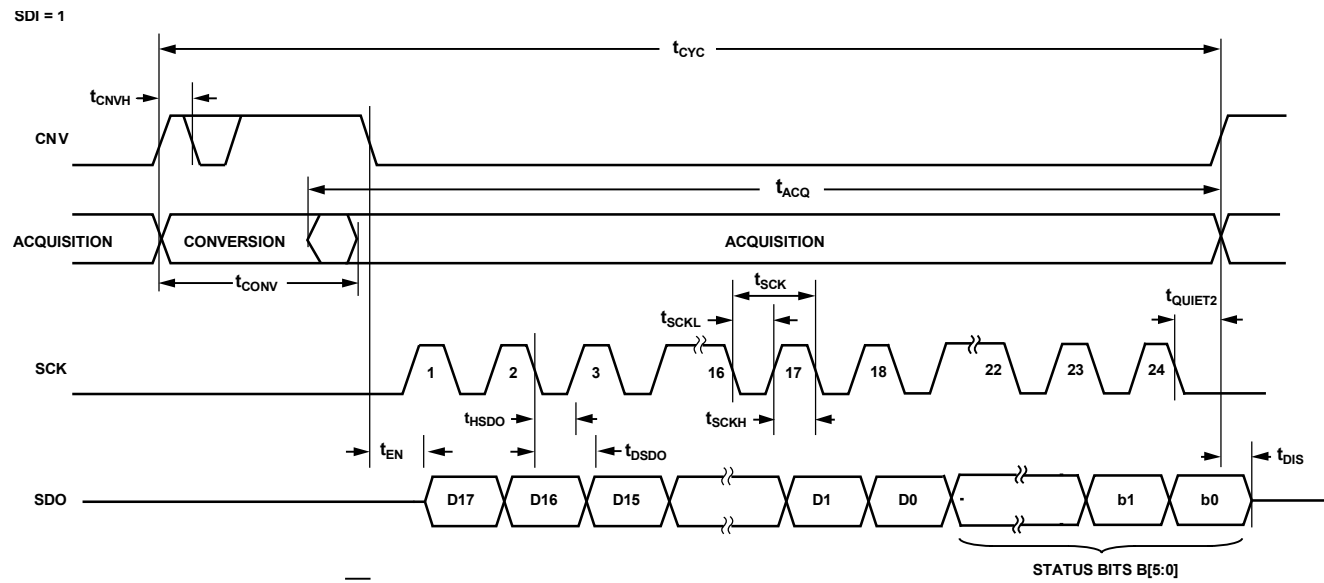


图49. $\overline{\text{CS}}$ 模式（三线式且无繁忙指示）串行接口时序图，包括状态位（SDI高电平）

14857-024

CS模式（三线TURBO模式）

将单个AD4003连接到兼容SPI的数字主机时，通常使用此模式。在ADC转换过程结束时，它提供额外的时间以输出前次转换结果，从而支持较低的SCK速率。要实现2 MSPS的吞吐率，AD4003必须使能turbo模式并使用最低75 MHz的SCK速率。时序图见图50。

通过设置turbo模式位（位1，参见表14），此模式可取代三线式且带繁忙指示模式。

当强制SDI变为高电平时，CNV上的上升沿启动转换。在CNV上升沿结束之后，前次转换数据可供读取。在CNV变为高电

平后到CNV变为低电平前，用户必须等待 t_{QUIET1} 时间以便输出前次转换结果。在SCK最后一个下降沿之后到CNV变为高电平时，用户也必须等待 t_{QUIET2} 时间。

转换完成后，AD4003进入采集阶段并关断。CNV变为低电平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

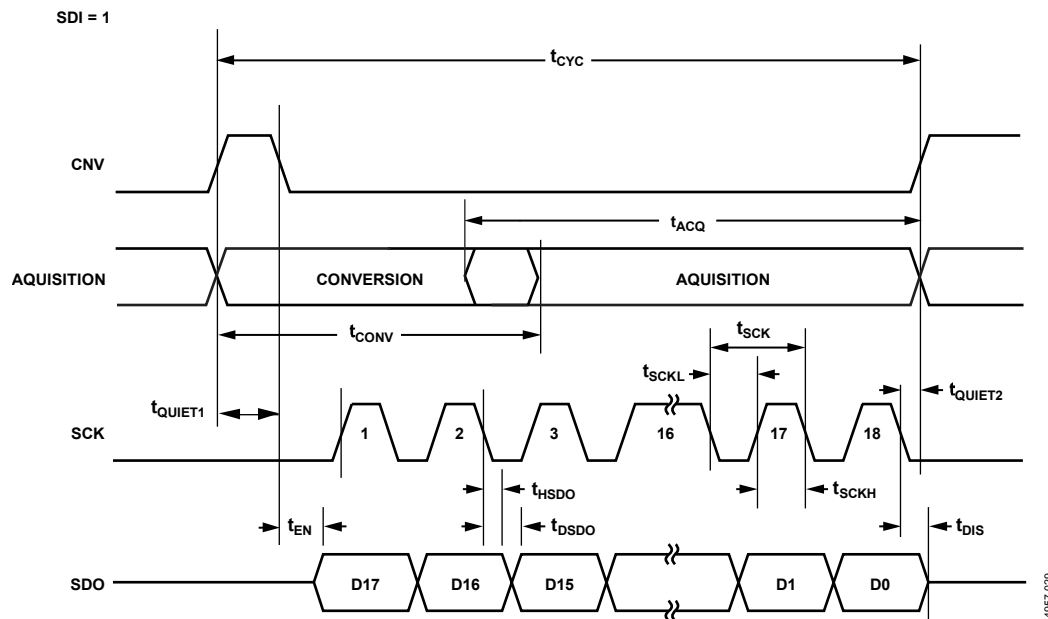


图50. CS模式（三线Turbo模式）串行接口时序图（SDI高电平）

$\overline{\text{CS}}$ 模式（三线式且无繁忙指示）

将单个AD4003连接到兼容SPI的数字主机时，通常使用此模式。连接图如图51所示，相应的时序图如图52所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择 $\overline{\text{CS}}$ 模式，并强制SDO进入高阻态。启动转换后，无论CNV为何状态，转换都会执行到完成为止。此特性可能很有用，例如，可拉低CNV来选择模拟多路复用器等其他SPI器件。不过，在最小转换时间过去之前，CNV必须返回高电平，接着在最大可能的转换时间内保持高电平，以避免生成繁忙信号指示。

转换完成后，AD4003进入采集阶段并关断。CNV变为低电平，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

转换过程中SCK上不得有任何数字活动。

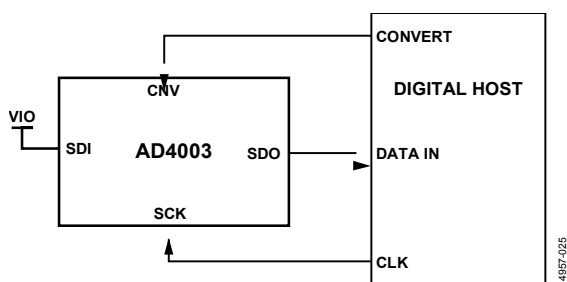


图51. $\overline{\text{CS}}$ 模式（三线式且无繁忙指示）连接图（SDI高电平）

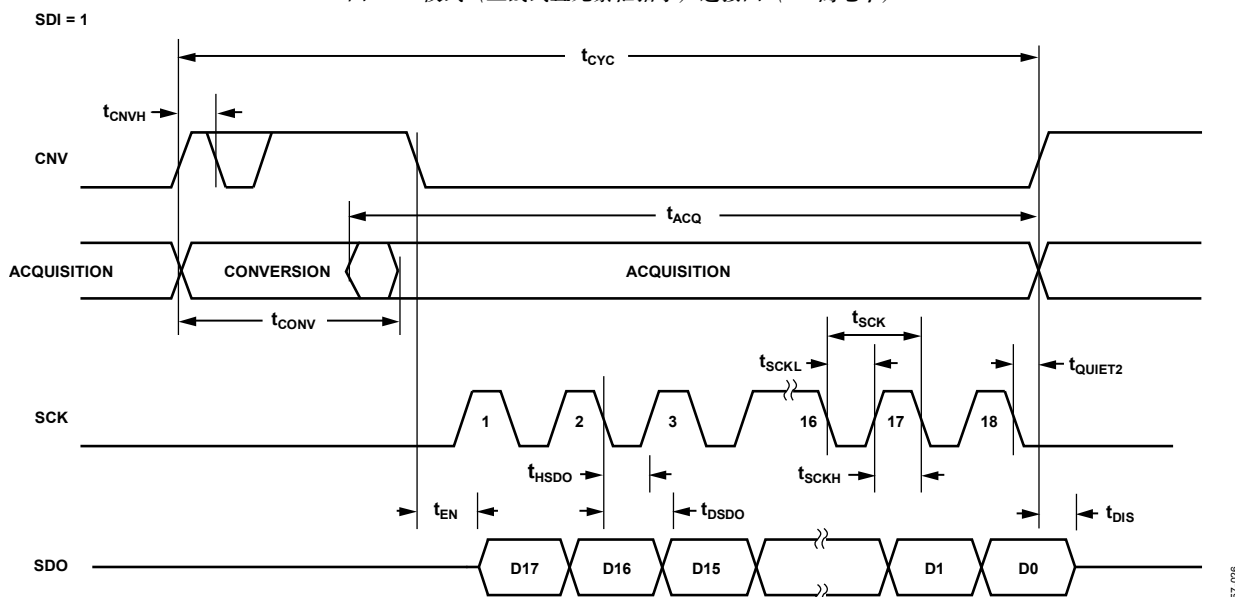


图52. $\overline{\text{CS}}$ 模式（三线式且无繁忙指示）串行接口时序图（SDI高电平）

$\overline{\text{CS}}$ 模式（三线式且有繁忙指示）

将单个AD4003连接到带中断输入（ $\overline{\text{IRQ}}$ ）的SPI兼容数字主机时，通常使用此模式。

连接图如图53所示，相应的时序图如图54所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择 $\overline{\text{CS}}$ 模式，并强制SDO进入高阻态。无论CNV状态如何，SDO都会保持高阻态，直至转换完成。最小转换时间之前，CNV可用于选择其他SPI器件，如模拟多路复用器。不过，在最小转换时间过去之前，CNV必须返回低电平，接着在最大可能的转换时间内保持低电平，以确保生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的

上拉电阻，此转换可用作中断信号，以启动由数字主机控制的数据读取。AD4003接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第19个SCK下降沿之后，

或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

如果同时选择多个AD4003器件，SDO输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时，建议此竞争尽可能短暂，以限制额外功耗。

转换过程中SCK上不得有任何数字活动。

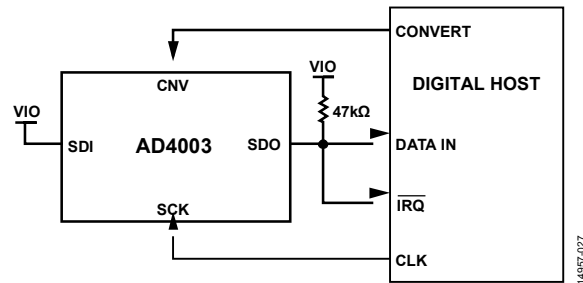


图53. $\overline{\text{CS}}$ 模式（三线式且有繁忙指示）连接图（SDI高电平）

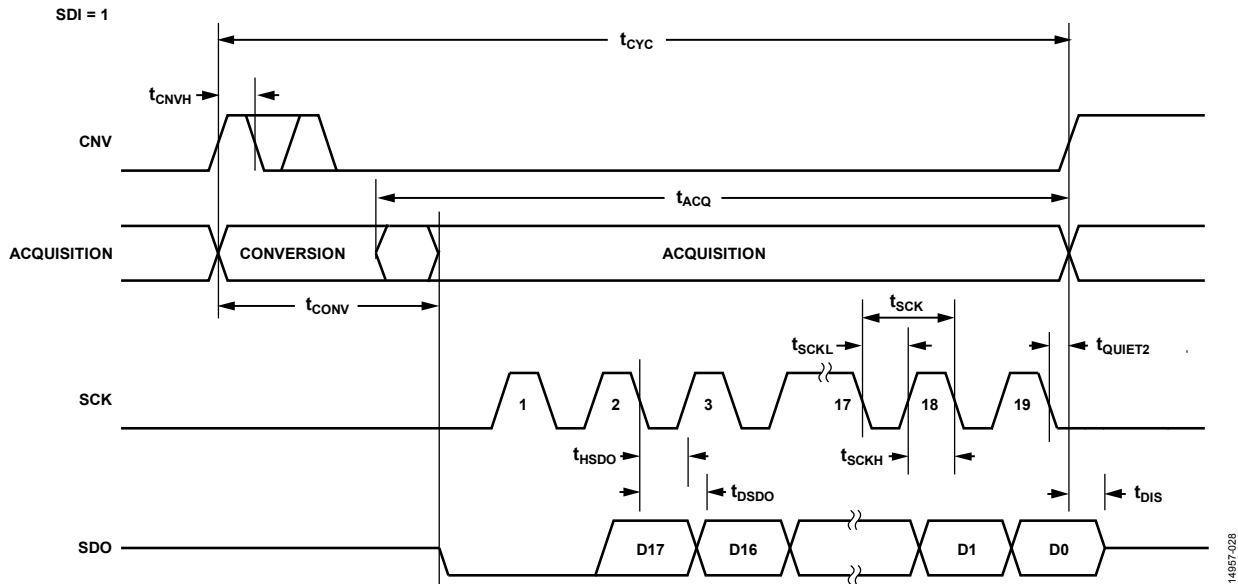


图54. $\overline{\text{CS}}$ 模式（三线式且有繁忙指示）串行接口时序图（SDI高电平）

CS模式（四线TURBO模式）

将单个AD4003连接到兼容SPI的数字主机时，通常使用此模式。在ADC转换过程结束时，它提供额外的时间以输出前次转换结果，从而支持较低的SCK速率。要实现2 MSPS的吞吐速率，AD4003必须使能turbo模式并使用最低75 MHz的SCK速率。时序图见图55。

通过设置turbo模式位（位1，参见表14），此模式可取代四线式且带繁忙指示模式。

在CNV上升沿结束之后，前次转换数据可供读取。在CNV变

为高电平后到SDI变为低电平前，用户必须等待 t_{QUIET1} 时间以便输出前次转换结果。在SCK最后一个下降沿之后到CNV变为高电平时，用户也必须等待 t_{QUIET2} 时间。

转换完成后，AD4003进入采集阶段并关断。ADC结果可通过将SDI输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当SDI变为高电平时（以最先出现者为准），SDO返回高阻态。

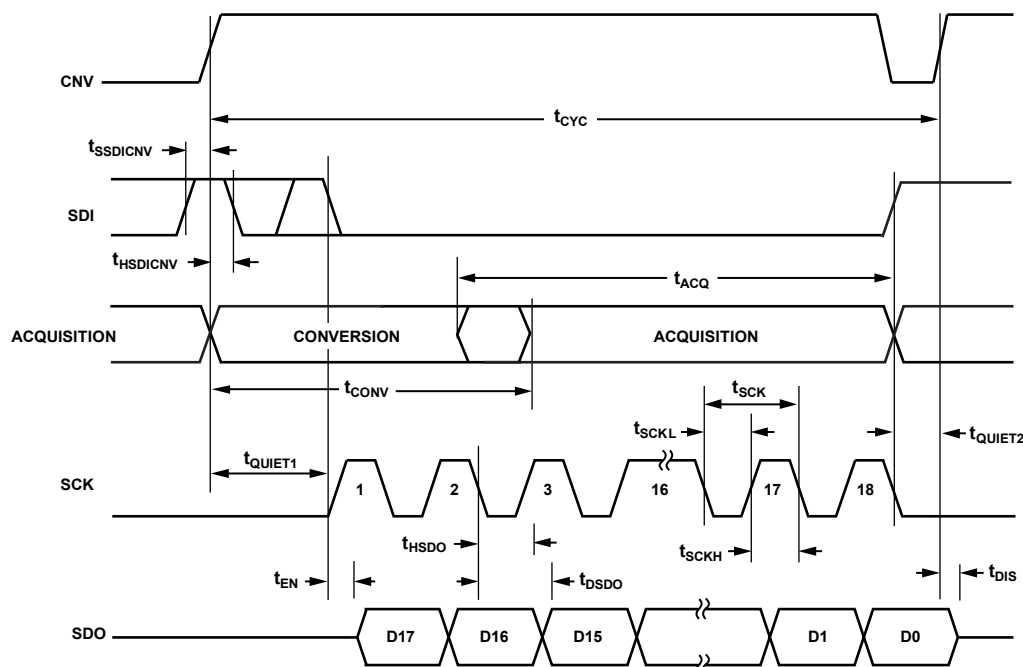


图55. CS模式（四线Turbo模式）时序图

14857-034

$\overline{\text{CS}}$ 模式（四线式且无繁忙指示）

将多个AD4003器件连接到兼容SPI的数字主机时, 通常使用此模式。

使用两个AD4003器件的连接图示例如图56所示, 相应的时序如图57所示。

将SDI置为高电平时, CNV上的上升沿启动转换, 选择 $\overline{\text{CS}}$ 模式, 并强制SDO进入高阻态。此模式下, CNV在转换阶段和随后的数据回读期间保持高电平。如果SDI和CNV为低电平, 则SDO变为低电平。最小转换时间之前, SDI可用于选择其他SPI器件, 如模拟多路复用器。不过, 在最小转换时间过去之前,

SDI必须返回高电平, 接着在最大可能的转换时间内保持高电平, 以避免生成繁忙信号指示。

转换完成后, AD4003进入采集阶段并关断。每个ADC结果可通过将SDI输入拉低来读取, 从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据, 但使用SCK下降沿的数字主机能实现更快的读取速率, 只要它具有合理的保持时间。在第18个SCK下降沿之后, 或者当SDI变为高电平时 (以最先出现者为准), SDO返回高阻态, 可读取另一个AD4003。

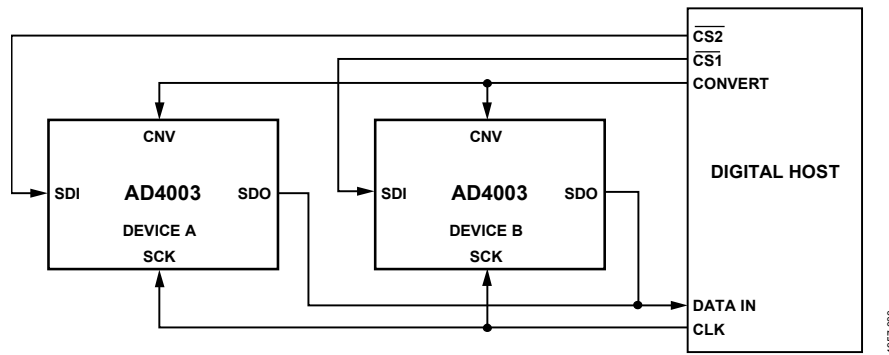


图56. $\overline{\text{CS}}$ 模式（四线式且无繁忙指示）连接图

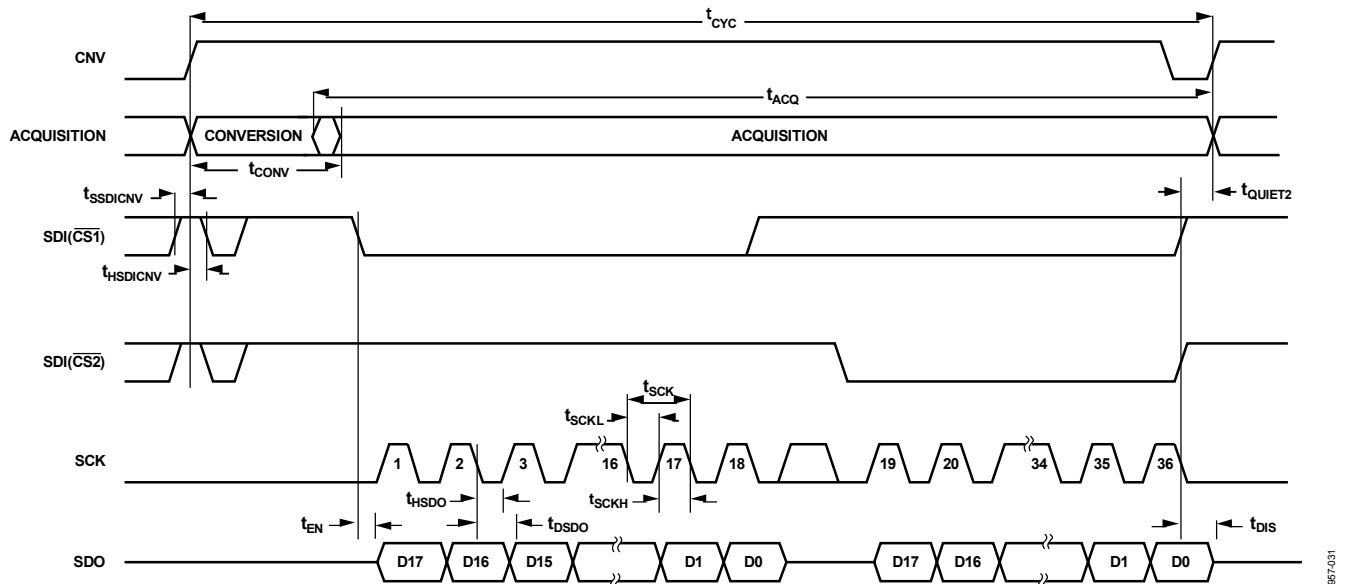


图57. $\overline{\text{CS}}$ 模式（四线式且无繁忙指示）串行接口时序图

CS模式（四线式且有繁忙指示）

在将单个AD4003连接到具有中断输入的SPI兼容数字主机时，以及用于采样模拟输入的CNV与用于选择数据读取的信号需要相互保持独立时，通常会使用此模式。该独立性在需要CNV低抖动的应用中尤其重要。

连接图如图58所示，相应的时序如图59所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。如果SDI和CNV为低电平，则SDO变为低电平。最小转换时间之前，SDI可用于选择其他SPI

器件，如模拟多路复用器。不过，在最小转换时间过去之前，SDI必须返回低电平，接着在最大可能的转换时间内保持低电平，以确保生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉电阻，此转换可用作中断信号，以启动由数字主机控制的数据回读。AD4003接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第19个SCK下降沿之后，或者当SDI变为高电平时（以最先出现者为准），SDO返回高阻态。

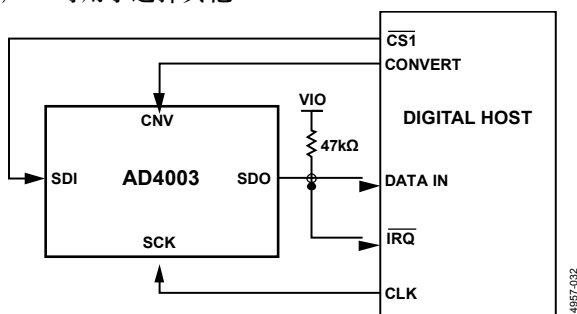


图58. CS模式（四线式且有繁忙指示）连接图

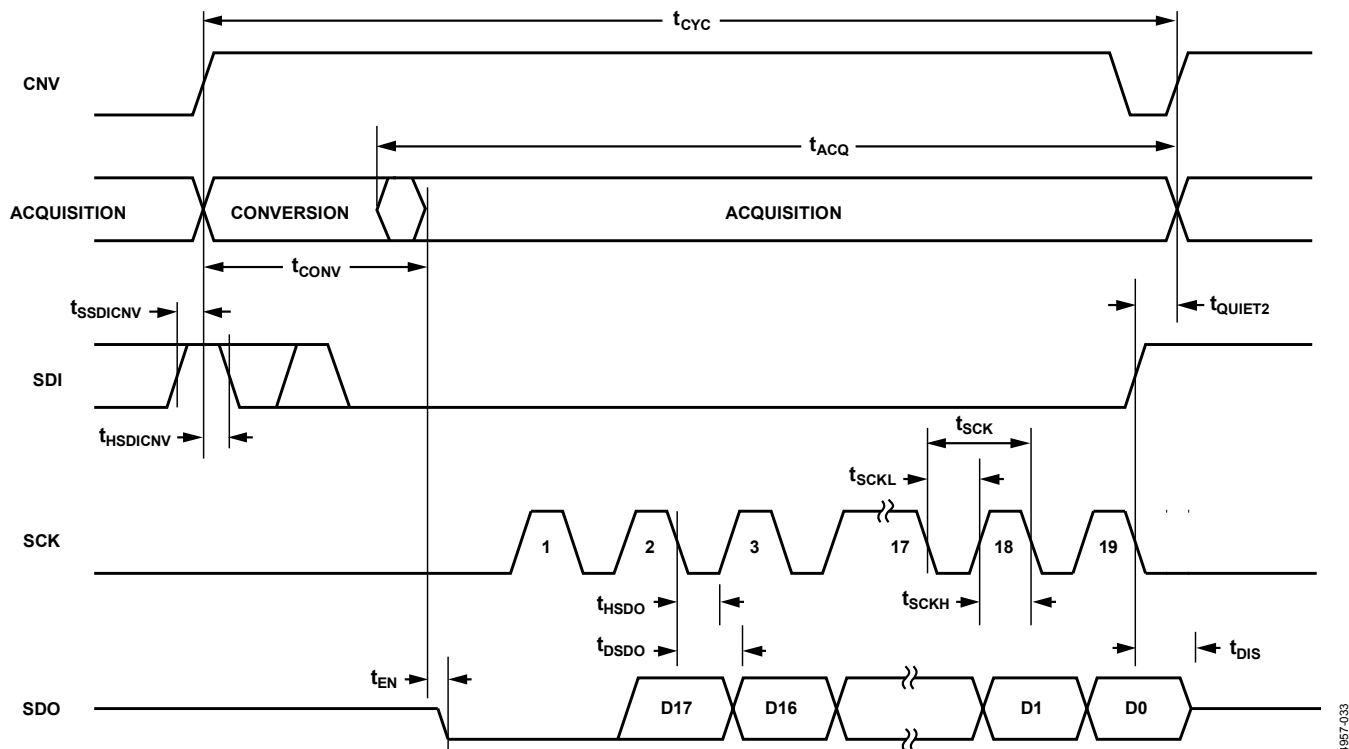


图59. CS模式（四线式且有繁忙指示）串行接口时序图

菊花链模式

使用此模式可将多个AD4003器件以菊花链形式连接到三线或四线式串行接口。这一特性有助于减少器件数量和线路连接，例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用两个AD4003器件的连接图示例如图60所示，相应的时序如图61所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，选择菊花链模式，并禁用繁忙指示。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。转换完成后，MSB输出至SDO，而AD4003进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个从SDO输出。对于每个ADC，SDI馈入内部移位寄存器的输入，并以SCK上升沿为时钟。菊花链内

每个ADC首先输出数据MSB，回读N个ADC需要 $18 \times N$ 个时钟。数据在SCK的上升沿和下降沿均有效。最大转换速率会因总回读时间而降低。

菊花链模式下可写入每个ADC寄存器。时序图见图48。此模式需要四线操作，因为数据在SDI线路上输入，CNV保持低电平。同一命令字节和寄存器数据可通过整个链移动，以使用相同寄存器内容对链中的所有ADC编程，N个ADC需要 $8 \times (N + 1)$ 个时钟。可以将不同寄存器内容写入链中的各ADC，方法如下：先使用 $8 \times (N + 1)$ 个时钟写入链中最远的ADC，再使用 $8 \times N$ 个时钟写入第二远的ADC，以此类推，直至达到链中最近的ADC，其命令和寄存器数据需要16个时钟。菊花链模式下无法读取寄存器内容；但若用户希望知道ADC配置，可以使能6个状态位。注意，使能状态位后，链中的每个ADC都需要6个额外时钟来输出ADC结果和状态位。菊花链模式下无法使用Turbo模式。

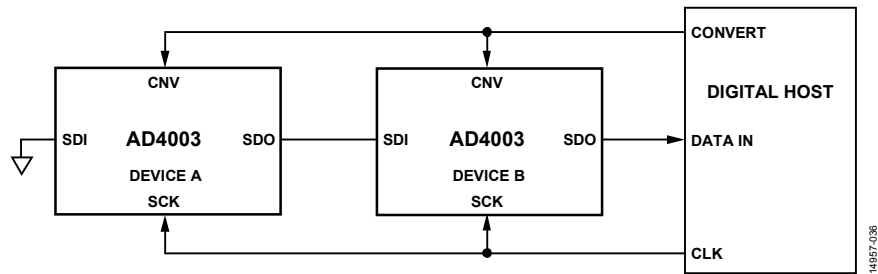


图60. 菊花链模式连接图

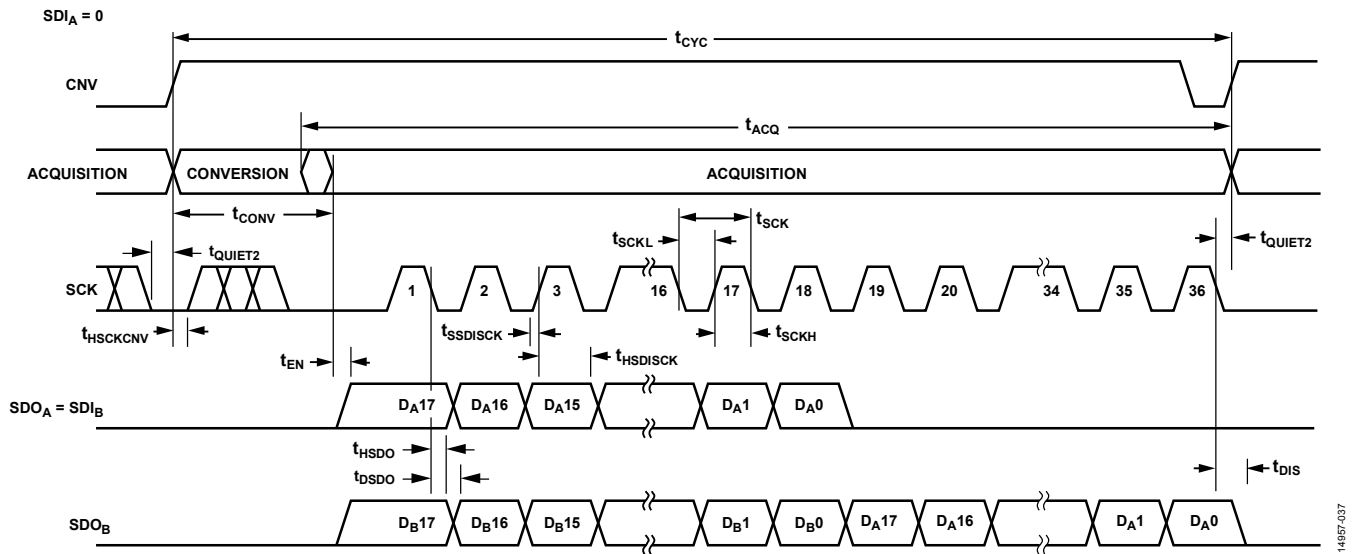


图61. 菊花链模式串行接口时序图

布局布线指南

AD4003所在的PCB必须采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。AD4003的模拟信号位于左侧，数字信号位于右侧，这种引脚排列可以简化设计。

避免在器件下方布设数字走线，否则会将噪声耦合至芯片，除非将AD4003下方的一个地层用作屏蔽。诸如CNV或时钟之类的快速开关信号不得靠近模拟信号路径。避免数字信号与模拟信号交叠。

至少须使用一个接地层。数字和模拟部分可以共用或分割使用接地层。后一情况中，各层应在AD4003器件下方连接。

AD4003基准电压输入 (REF) 具有动态输入阻抗。去耦REF引脚时为使寄生电感最小，应将基准电压源的去耦陶瓷电容靠近（理想情况是正对）REF和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD4003的VDD和VIO电源应通过陶瓷电容去耦，其值通常为100 nF，靠近AD4003放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

图62和图63是遵循这些规则的布局布线示例。

评估AD4003性能

关于AD4003的其他推荐布局，请参阅AD4003评估板 (EVAL-AD4003FMCZ) 文档。评估板套件包括装配完善且经过测试的评估板、文档以及在PC上通过EVAL-SDP-CH1Z控制评估板的软件。

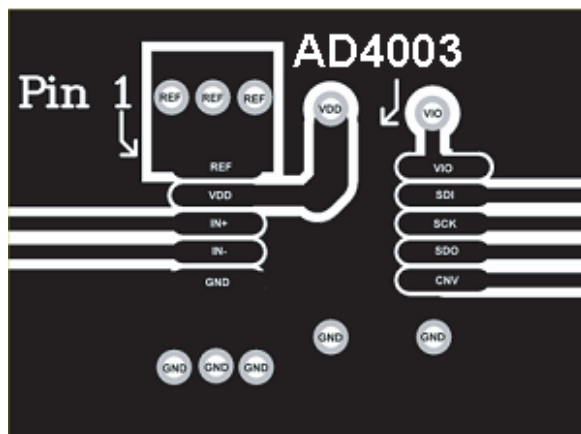


图62. AD4003布局布线示例（顶层）

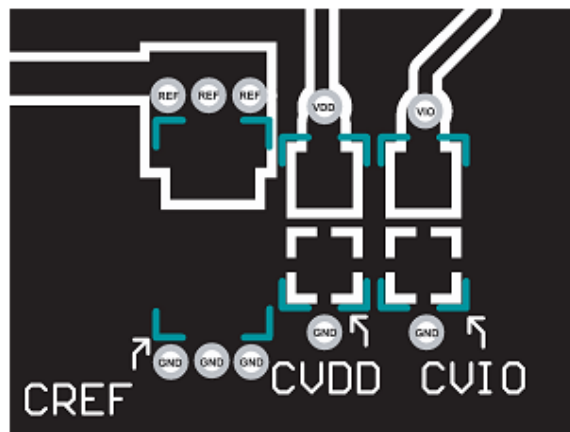
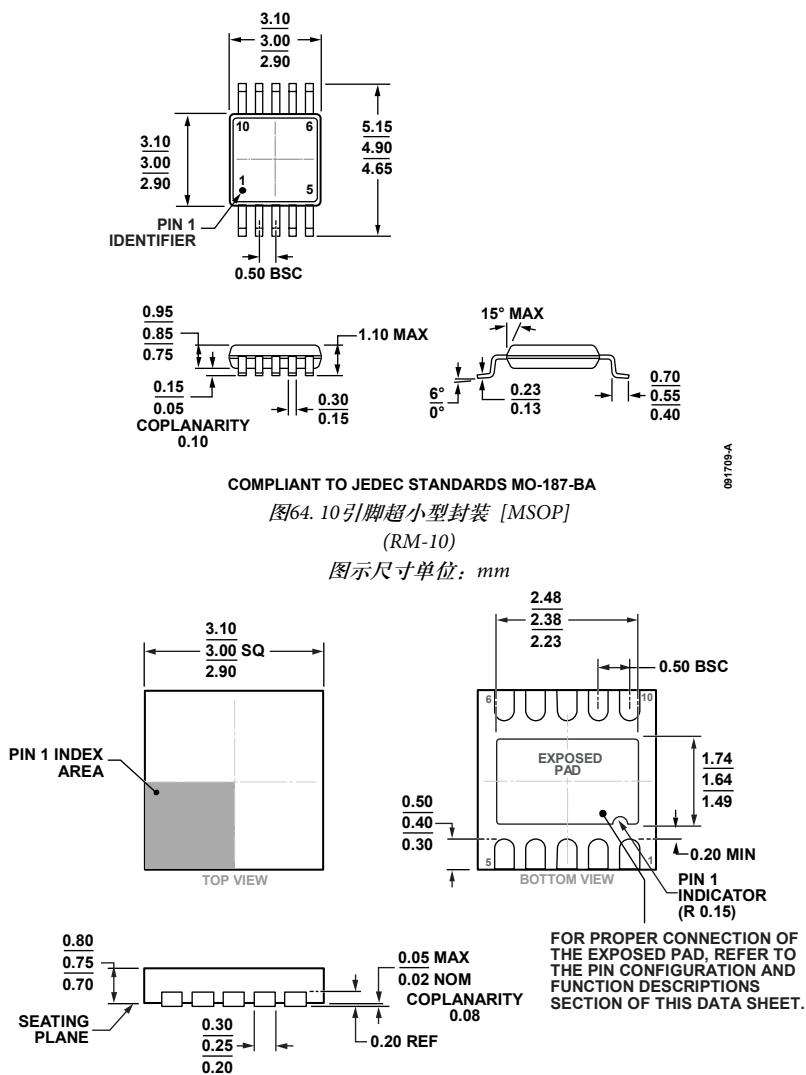


图63. AD4003布局布线示例（底层）

外形尺寸



订购指南

型号 ¹	积分非线性 (INL)	温度范围	订购数量	封装描述	封装选项	标识
AD4003BRMZ	±1.0 LSB	-40°C 至 +125°C	卷带, 50	10 引脚 MSOP	RM-10	C8C
AD4003BRMZ-RL7	±1.0 LSB	-40°C 至 +125°C	卷盘, 1000	10 引脚 MSOP	RM-10	C8C
AD4003BCPZ-RL7	±1.0 LSB	-40°C 至 +125°C	卷盘, 1500	10 引脚 LFCSP	CP-10-9	C8C
EVAL-AD4003FMCZ				AD4003评估板 兼容EVAL-SDP-CH1Z		

¹ Z = 符合RoHS标准的兼容器件。