

产品特性**超低功耗、高性能收发器****频段****862 MHz至928 MHz****431 MHz至464 MHz****支持数据速率****1 kbps至300 kbps****2.2 V至3.6 V电源供电****单端和差分PA****中频带宽可编程的低中频接收机****100 kHz、150 kHz、200 kHz、300 kHz****接收机灵敏度(BER)****-116 dBm(1.0 kbps、2FSK、GFSK)****-107.5 dBm(38.4 kbps、2FSK、GFSK)****-102.5 dBm(150 kbps、GFSK、GMSK)****-100 dBm(300 kbps、GFSK、GMSK)****-104 dBm(19.2 kbps、OOK)****极低功耗****12.8 mA(PHY_RX模式, 最大前端增益)****24.1 mA(PHY_TX模式, 10 dBm输出, 单端PA)****0.75 μ A(PHY_SLEEP模式, 32 kHz RC振荡器有效)****1.28 μ A(PHY_SLEEP模式, 32 kHz XTAL振荡器有效)****0.33 μ A(PHY_SLEEP模式, 深度休眠模式1)****RF输出功率范围: -20 dBm至+13.5 dBm(单端PA)****RF输出功率范围: -20 dBm至+10 dBm(差分PA)****已获专利的快速建立自动频率控制(AFC)****数字接收信号强度指示(RSSI)****集成PLL环路滤波器和Tx/Rx开关****快速自动VCO校准****自动频率合成器带宽优化****片内集成低功耗定制8位处理器****无线电控制****数据包管理****智能唤醒模式****数据包管理支持****高度灵活, 支持广泛的包格式****前同步码/同步字/CRC/地址的插入和检测****曼彻斯特和8b/10b数据编码与解码****数据白化****智能唤醒模式****的低功耗模式支持接收机自主唤醒、载波检测和包接收****可下载的固件模块****完全自动化的镜像抑制校准(正在申请专利)****采用硬件加速的128位AES加密/解密, 密钥大小: 128****位、192位和256位****采用硬件加速的Reed Solomon误差校正****240字节包缓冲器用于缓冲TX/RX数据****支持块读取/写入操作的高效SPI控制接口****集成电池报警和温度传感器****集成RC和32.768 kHz晶体振荡器****片内集成8位ADC****5 mm $\times$ 5 mm、32引脚LFCSP封装****应用****智能计量****IEEE 802.15.4g****无线MBUS****家庭自动化****过程和楼宇控制****无线传感器网络(WSN)****无线医疗保健****Rev. C**

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.**Tel: 781.329.4700****www.analog.com****Fax: 781.461.3113****©2010–2012 Analog Devices, Inc. All rights reserved.**

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	SPORT模式下的中断	53
应用.....	1	ADF7023存储器映射.....	54
修订历史.....	3	BBRAM	54
功能框图.....	4	调制解调器配置RAM (MCR)	54
概述.....	4	程序ROM.....	54
技术规格.....	6	程序RAM.....	54
RF和频率合成器规格	6	包RAM	55
发射机规格	7	SPI接口.....	56
接收机规格	9	通用特性.....	56
时序和数字规格.....	13	命令访问.....	56
辅助模块技术规格	14	状态字	56
通用规格.....	15	命令排队.....	57
时序规格.....	16	存储器访问	58
绝对最大额定值.....	17	低功耗模式.....	61
ESD警告	17	低功耗模式示例.....	64
引脚配置和功能描述	18	低功耗模式时序图	66
典型性能参数	20	WUC设置	67
术语.....	32	固件定时器设置.....	69
无线电控制.....	33	RC振荡器校准	69
无线电状态	33	可下载固件模块.....	71
初始化	35	向程序RAM写入模块.....	71
命令	35	镜像抑制校准模块	71
自动状态跃迁.....	37	Reed Solomon编码模块	71
状态跃迁和命令时序.....	38	AES加密和解密模块	71
数据包模式.....	43	无线电模块.....	73
前同步码.....	43	频率合成器	73
同步字	44	晶振	74
有效载荷.....	45	调制	74
CRC.....	46	RF输出级	74
后同步码.....	47	PA/LNA接口	75
发射包时序	47	接收通道滤波器.....	75
数据白化.....	48	镜像通道抑制	75
曼彻斯特编码.....	48	自动增益控制(AGC)	75
8b/10b编码	48	RSSI.....	76
SPORT模式.....	49	2FSK/GFSK/MSK/GMSK解调	78
SPORT模式下的数据包结构.....	49	时钟恢复.....	80
SPORT发送模式.....	49	OOK解调	80
SPORT接收模式.....	49	针对2FSK/GFSK/MSK/GMSK的建议接收机设置	81
SPORT模式下的发送位延迟.....	49	针对OOK的建议接收机设置.....	82
中断产生.....	52		

外设特性	83
模数转换器	83
温度传感器	83
测试DAC	83
发射测试模式	83
芯片版本回读	83
应用信息	84
应用电路	84

修订历史

2012年7月—修订版B至修订版C

更改特性部分	1
将概述部分的1.8 V改为2.2 V	4
将表1摘要中的1.8 V改为2.2 V	6
将表2的1.8 V改为2.2 V	7
更改表3	9
更改表5	14
更改表6的 V_{DD} 参数	15
更改时序规格部分	16
删除表7、图2和图3中的 t_1	16
更改表9	18
更改图5至图10	20
更改图11、图12标题、图13和图14标题	21
更改图19标题至图21标题	22
更改图26标题	23
更改图34标题	24
更改图图61标题和图64标题	29
更改图72	31
更改PHY_SLEEP部分	33
更改“加电后的初始化”部分、“发出CMD_HW_RESET 命令后的初始化”部分、“从PHY_SLEEP跃迁时的初始化 (CS拉低后)”部分、“WUC超时后的初始化”部分	35
更改CMD_RAM_LOAD_DONE (0xC7)部分	37
删除CMD_SYNC (0xA2)部分	37
更改“状态跃迁和命令时序”部分	38
更改表11和表12	39
更改“寻址”部分	45
更改“地址检查示例”部分、表18和CRC部分	46
更改图79	47
更改图81和图82	50
更改图83和图84	51
更改表24的CMD_FINISHED描述	53
更改“命令访问”部分	56
更改图97	63
更改表29	68

主机处理器接口	85
PA/LNA匹配	85
命令参考	87
寄存器映射	88
BBRAM寄存器描述	90
MCR寄存器描述	100
外形尺寸	109
订购指南	109

增加“RC振荡器校准”部分、“执行RC振荡器精校”部分和 “执行RC振荡器粗校”部分	69
增加图103；重新排序	70
更改“向程序RAM写入模块”部分	71
更改“自动PA斜坡”部分的公式和“镜像通道抑制”部分	75
更改“温度传感器”部分和表43	83
更改图110	84
更改图111和图112	85
更改“支持外部PA和LNA控制”部分和表45	86
更改表46的CMD_SYNC描述栏	87
更改表48	88
更改表49	89
更改表70的SYNTH_LUT_CONTROL_1描述栏	93
更改表78	96
更改表79	97
更改表84和表86	98
更改表94	99
增加表95、表96和表97；重新排序	100
更改表101	101
增加表124和表125	105

2011年3月—修订版A至修订版B

更改RSSI方法3的公式	72
更改RSSI方法4的步骤3	72
更改RSSI方法4的步骤5公式和近似公式	73
表49增加寄存器0x361	85
增加表129，后续重新排序	104

2011年2月—修订版0至修订版A

更改表9的DGUARD描述	18
更改“Sport接收模式”部分	47
更改“晶振”部分、典型晶体负载电容调谐范围值和表31 ..	70
更改RSSI方法3部分	72
更改RSSI方法4部分	73
更改表41、9.6 kbps和1 kbps数据速率设置值	78
更改表108的ADC_PD_N描述	100

2010年8月—修订版0：初始版

功能框图

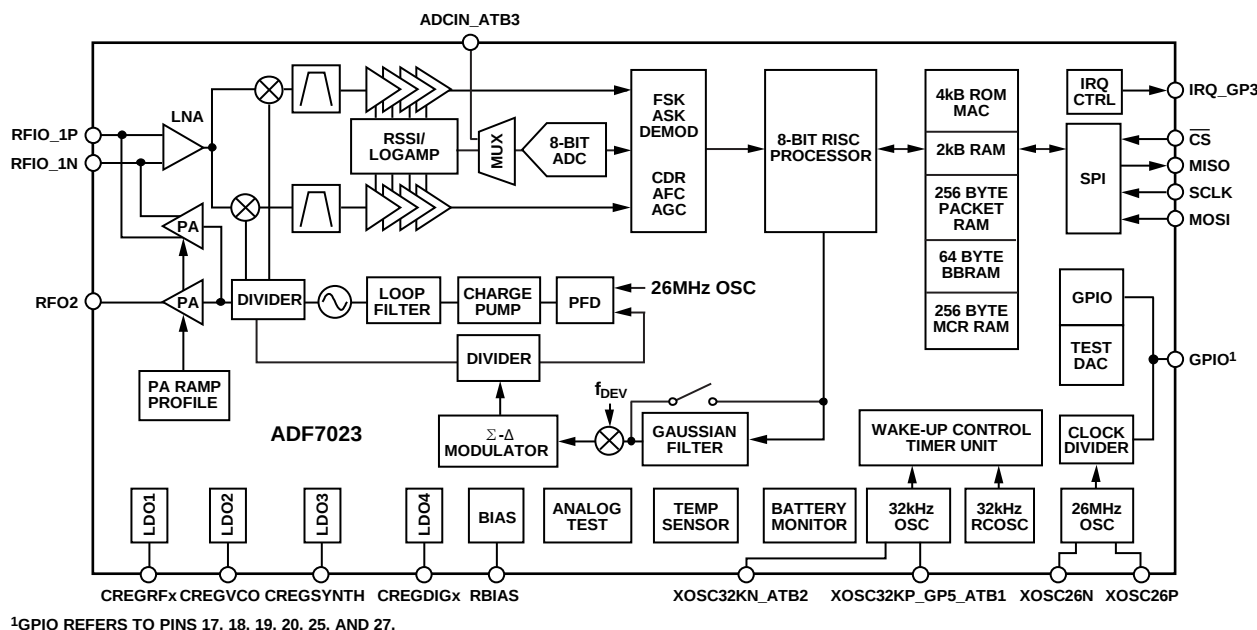


图1.

概述

ADF7023是一款工作在862 MHz至928 MHz和431 MHz至464 MHz频段的极低功耗、高性能、高集成度2FSK/GFSK/OOK/MSK/GMSK收发器，这些频段覆盖免许可的433 MHz、868 MHz和915 MHz ISM频段。它适合欧洲ETSI EN300-220、北美FCC (Part 15)、中国短程无线监管标准或其它类似地区标准下的电路应用。支持1 kbps至300 kbps的数据速率。

发射RF频率合成器包含一个VCO和一个输出通道频率分辨率为400 Hz的低噪声小数N分频锁相环(PLL)。VCO的工作频率为基频的2倍或4倍，可减少杂散发射。接收和发射频率合成器的带宽自动独立配置，以实现最佳的相位噪声、调制质量和建立时间。发射机输出功率可以在-20 dBm至+13.5 dBm范围内进行编程，自动PA斜坡能力可满足瞬时杂散性能要求。该器件同时拥有单端PA和差分PA，支持发射天线分集。

接收机具有极佳的线性度，最大增益和最小增益时的IP3分别为-12.2 dBm和-11.5 dBm，IP2分别为18.5 dBm和27 dBm。 ± 2 MHz偏移时，接收机抗干扰性能为66 dB， ± 10 MHz偏移时为74 dB。因此，该器件对高频谱噪声环境中的干扰信号具有极强的抗扰能力。接收机采用新颖的高速自动频率控制(AFC)环路，PLL能够发现并校正所恢复的数据包中的任何RF频率误差。

通过程序下载可以获得图像抑制校准方案，其专利正在审批中。该算法不需要使用外部RF源，启动后也不需要用户干预。校准结果可以存储在非易失性存储器中，供收发器后续上电使用。

ADF7023的电源电压范围为2.2 V至3.6 V，在Tx和Rx模式下的功耗均非常低，因此电池供电的系统在保持出色RF性能的同时，能够长时间工作。该器件可以进入低功耗休眠模式，此时配置设置保存在BBRAM中。

ADF7023具有一个超低功耗的片内8位RISC通信处理器，用于执行无线电控制、包管理和智能唤醒模式(SWM)功能。通信处理器集成了典型通信协议栈的较低层，可以减轻配套处理器的处理负担。利用通信处理器还能下载和执行一组固件模块，包括镜像抑制(IR)校准、AES加密和Reed Solomon编码。

通信处理器为主机处理器提供一个基于命令的简单无线电控制接口。通过单字节命令就能使无线电在不同状态之间跃迁，或者执行无线电功能。

通信处理器支持通用包格式。包格式极为灵活，并且完全可编程，从而确保能与专有的包定义兼容。在发射模式下，可以将通信处理器配置为向包RAM中存储的有效载荷数据添加前同步码、同步字和CRC。在接收模式下，通信处理器可以在接收到前同步码、同步字、地址和CRC时检测和中断主机处理器，并将所接收的有效载荷存储在包RAM中。ADF7023采用一个高效中断系统，它由可以分别设置的MAC级中断和PHY级中断组成。有效载荷数据加上16位CRC可以利用曼彻斯特或8b/10b编码技术进行编码/解码，或者也可以应用数据白化和去白处理。

智能唤醒模式(SWM)允许ADF7023利用内部唤醒时钟从休眠状态自主唤醒，而无需主机处理器干预。唤醒后，ADF7023由通信处理器控制。利用该功能可以在主机处理器处于休眠时执行载波检测、包嗅探和包接收，从而降低系统总功耗。智能唤醒模式可以利用中断条件唤醒主机处理器。

可以对这些中断条件进行配置，使其包含有效前同步码、同步字、CRC的接收或地址匹配。从休眠模式唤醒也可以由主机处理器触发。对于要求唤醒定时非常精确的系统，可以使用一个32 kHz振荡器来驱动唤醒定时器。另外也可以使用内部RC振荡器，它在休眠模式下的功耗更低。

ADF7023具有一个高级加密标准(AES)引擎，采用硬件加速，提供128位块加密和解密，密钥大小为128位、192位和256位。电子密码本(ECB)和密码块链接模式1(CBC模式1)两种模式均受支持。AES引擎可以用来加密/解密包数据，并且可以用作独立引擎，用于主机处理器的加密/解密。将AES软件模块下载到程序RAM之后，ADF7023即可启用AES引擎。AES软件模块可从ADI公司获得。

片内集成的8位ADC可以回读外部模拟输入、RSSI信号或集成的温度传感器信号。一旦电池电压降至用户定义的阈值以下，集成的电池电压监控器就会向主机处理器发出一个中断标志。

技术规格

除非另有说明， $V_{DD} = V_{DDBAT1} = V_{DDBAT2} = 2.2\text{ V}$ 至 3.6 V ， $GND = 0\text{ V}$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。典型规格的条件： $V_{DD} = 3\text{ V}$ ， $T_A = 25^\circ\text{C}$ 。

RF和频率合成器规格

表1.

参数	最小值	典型值	最大值	单位	测试条件
RF特性					
频率范围	862		928	MHz	
	431		464	MHz	
锁相环					
通道频率分辨率		396.7		Hz	
相位噪声(带内)		-88		dBc/Hz	10 kHz偏移，PA输出功率 = 10 dBm，RF频率 = 868 MHz
下列偏移下的相位噪声					
1 MHz		-126		dBc/Hz	PA输出功率=10dBm，RF频率=868MHz
2 MHz		-131		dBc/Hz	PA输出功率=10dBm，RF频率=868MHz
10 MHz		-142		dBc/Hz	PA输出功率=10dBm，RF频率=868MHz
VCO校准时间		142		μs	
频率合成器建立时间		56		μs	VCO校准、发射和接收之后，频率合成器在此时间内建立到目标频率的±5 ppm以内，2FSK/GFSK/MSK/GMSK
晶振					
晶振频率		26		MHz	并行负载谐振晶体
建议负载电容	7		18	pF	
最大晶振ESR		1800		Ω	26 MHz晶振、18 pF负载电容
引脚电容		2.1		pF	XOSC26P和XOSC26N的电容
启动时间		310		μs	26 MHz晶振、7 pF负载电容
		388		μs	26 MHz晶振、18 pF负载电容
杂散发射					
整数边界杂散					
910.1 MHz		-39		dBc	采用130 kHz频率合成器带宽，910 MHz (26 MHz × 35)下的整数边界杂散，在频率合成器环路带宽内
911.0 MHz		-79		dBc	采用130 kHz频率合成器带宽，910 MHz (26 MHz × 35)下的整数边界杂散，在频率合成器环路带宽外
参考杂散					
868 MHz/915 MHz		-80		dBc	采用130 kHz和92 kHz(PHY_RX的默认值)频率合成器带宽
时钟相关杂散水平		-60		dBc	在±350 MHz范围内测量，条件为：频率合成器带宽 = 92 kHz、RF频率 = 868.95 MHz、PA输出功率 = 10 dBm、 $V_{DD} = 3.6\text{ V}$ 、单端PA

发射机规格

表2.

参数	最小值	典型值	最大值	单位	测试条件
数据速率					
2FSK/GFSK/MSK/GMSK	1		300	kbps	使能曼彻斯特编码(曼彻斯特芯片 速率 = 2 × 数据速率)
OOK	2.4		19.2	kbps	
数据速率分辨率		100		bps	
调制误差率(MER)					RF频率 = 928 MHz, GFSK
10 kbps至49.5 kbps		25.4		dB	调制指数 = 1
49.6 kbps至129.5 kbps		25.3		dB	调制指数 = 1
129.6 kbps至179.1 kbps		23.9		dB	调制指数 = 0.5
179.2 kbps至239.9 kbps		23.3		dB	调制指数 = 0.5
240 kbps至300 kbps		23		dB	调制指数 = 0.5
调制					
2FSK/GFSK/MSK/GMSK	0.1		409.5	kHz	不可编程
频率偏差		100		Hz	
频率偏差分辨率		0.5			
高斯滤波器BT					
OOK					
PA关闭馈通		-94		dBm	数据速率 = 19.2 kbps (38.4 kcps曼彻斯特编码), PA输出 = 10 dBm, PA斜坡速率 = 64 码/位
VCO频率牵引		30		kHz	
				rms	
单端PA					
最大功率 ¹		13.5		dBm	可编程、单独的PA与LNA匹配 ²
最小功率		-20		dBm	
发射功率变化和 温度的关系		±0.5		dB	
发射功率变化与V _{DD} 的关系		±1		dB	从-40°C到+85°C, RF频率 = 868 MHz
发射功率平坦度		±1		dB	从2.2 V至3.6 V, RF频率 = 868 MHz
可编程阶跃信号幅度					902 MHz至928 MHz和863 MHz
-20 dBm至+13.5 dBm		0.5		dB	至870 MHz
差分PA					
最大功率 ¹		10		dBm	可编程
最小功率		-20		dBm	
发射功率变化和 温度的关系		±1		dB	
发射功率变化与V _{DD} 的关系		±2		dB	从-40°C到+85°C, RF频率 = 868 MHz
发射功率平坦度		±1		dB	从2.2 V至3.6 V, RF频率 = 868 MHz
可编程阶跃信号幅度					从863 MHz到870 MHz
-20 dBm至+10 dBm		0.5		dB	可分63个阶跃编程
谐波					868 MHz, 未滤波导通, PA输出功率 = 10 dBm
单端PA					
二次谐波		-15.1		dBc	
三次谐波		-29.3		dBc	
所有其他谐波		-47.6		dBc	
差分PA					
二次谐波		-23.2		dBc	
三次谐波		-25.2		dBc	
所有其他谐波		-24.2		dBc	

ADF7023

参数	最小值	典型值	最大值	单位	测试条件
最佳PA负载阻抗					
单端PA，发射模式					
$f_{RF} = 915 \text{ MHz}$		50.8 + j10.2		Ω	
$f_{RF} = 868 \text{ MHz}$		45.5 + j12.1		Ω	
$f_{RF} = 433 \text{ MHz}$		46.8 + j19.9		Ω	
单端PA，接收模式					
$f_{RF} = 915 \text{ MHz}$		9.4 – j124		Ω	
$f_{RF} = 868 \text{ MHz}$		9.5 – j130.6		Ω	
$f_{RF} = 433 \text{ MHz}$		11.9 – j260.1		Ω	
差分PA，发射模式					RFIO_1P与RFIO_1N之间的负载阻抗， 确保最大输出功率
$f_{RF} = 915 \text{ MHz}$		20.5 + j36.4		Ω	
$f_{RF} = 868 \text{ MHz}$		24.7 + j36.5		Ω	
$f_{RF} = 433 \text{ MHz}$		55.6 + j81.5		Ω	

¹ 按最大未调制功率测定。

² 合并单端PA和LNA匹配可将可实现的最大输出功率降低多达1 dB。

接收机规格

表3.

参数	最小值	典型值	最大值	单位	测试条件
2FSK/GFSK/MSK/GMSK输入灵敏度， 比特误差率(BER)					BER = $1\text{E}-3$ ，RF频率 = 433 MHz、868 MHz、 915 MHz，LNA和PA单独匹配 ¹
1.0 kbps		-116		dBm	频率偏差 = 4.8 kHz， IF滤波器带宽 = 100 kHz
10 kbps		-111		dBm	频率偏差 = 9.6 kHz， IF滤波器带宽 = 100 kHz
38.4 kbps		-107.5		dBm	频率偏差 = 20 kHz， IF滤波器带宽 = 100 kHz
50 kbps		-106.5		dBm	频率偏差 = 12.5 kHz， IF滤波器带宽 = 100 kHz
100 kbps		-105		dBm	频率偏差 = 25 kHz， IF滤波器带宽 = 100 kHz
150 kbps		-104		dBm	频率偏差 = 37.5 kHz， IF滤波器带宽 = 150 kHz
200 kbps		-103		dBm	频率偏差 = 50 kHz， IF滤波器带宽 = 200 kHz
300 kbps		-100.5		dBm	频率偏差 = 75 kHz， IF滤波器带宽 = 300 kHz
2FSK/GFSK/MSK/GMSK输入灵敏度， 包误差率(PER)					PER = 1%，RF频率 = 433 MHz、868 MHz、 915 MHz，LNA和PA单独匹配 ¹ ， 包长度 = 128位，包模式
1.0 kbps		-115.5		dBm	频率偏差 = 4.8 kHz， IF滤波器带宽 = 100 kHz
9.6 kbps		-110.6		dBm	频率偏差 = 9.6 kHz， IF滤波器带宽 = 100 kHz
38.4 kbps		-106		dBm	频率偏差 = 20 kHz， IF滤波器带宽 = 100 kHz
50 kbps		-104.3		dBm	频率偏差 = 12.5 kHz， IF滤波器带宽 = 100 kHz
100 kbps		-102.6		dBm	频率偏差 = 25 kHz， IF滤波器带宽 = 100 kHz
150 kbps		-101		dBm	频率偏差 = 37.5 kHz， IF滤波器带宽 = 150 kHz
200 kbps		-99.1		dBm	频率偏差 = 50 kHz， IF滤波器带宽 = 200 kHz
300 kbps		-97.9		dBm	频率偏差 = 75 kHz， IF滤波器带宽 = 300 kHz
OOK输入灵敏度， 包误差率(PER)					PER = 1%，RF频率 = 433 MHz、868 MHz、 915 MHz，LNA和PA单独匹配 ¹ ， 包长度 = 128位，包模式，IF滤波器带宽 = 100 kHz
19.2 kbps(38.4 kcps， 曼彻斯特编码)		-104.7		dBm	
2.4 kbps(4.8 kcps， 曼彻斯特编码)		-109.7		dBm	
LNA和混频器，输入IP3					接收机LO频率(f_{LO}) = 914.8 MHz， $f_{SOURCE1} = f_{LO} + 0.4\text{ MHz}$ ， $f_{SOURCE2} = f_{LO} + 0.7\text{ MHz}$
最小LNA增益		-11.5		dBm	
最大LNA增益		-12.2		dBm	
LNA和混频器，输入IP2					接收机LO频率(f_{LO}) = 920.8 MHz， $f_{SOURCE1} = f_{LO} + 1.1\text{ MHz}$ ， $f_{SOURCE2} = f_{LO} + 1.3\text{ MHz}$
最大LNA增益，最大混频器增益		18.5		dBm	
最小LNA增益，最小混频器增益		27		dBm	

ADF7023

参数	最小值	典型值	最大值	单位	测试条件
LNA和混频器， 1 dB压缩点 最大LNA增益，最大混频器增益 最小LNA增益，最小混频器增益		-21.9 -21		dBm dBm	RF频率 = 915 MHz
邻道抑制 CW干扰源					所需信号超过输入灵敏度水平 3 dB (BER = 10^{-3})；CW干扰强度 递增直至BER = 10^{-3} ，镜像校准 IF带宽 = 100 kHz，所需信号：F _{DEV} = 12.5 kHz， 数据速率 = 50 kbps
200 kHz通道间隔		38		dB	IF带宽 = 100 kHz，所需信号：F _{DEV} = 25 kHz， 数据速率 = 100 kbps
300 kHz通道间隔		39		dB	IF带宽 = 150 kHz，所需信号：F _{DEV} = 37.5 kHz， 数据速率 = 150 kbps
400 kHz通道间隔		40		dB	IF带宽 = 200 kHz，所需信号：F _{DEV} = 50 kHz， 数据速率 = 200 kbps
600 kHz通道间隔		41		dB	IF带宽 = 300 kHz，所需信号：F _{DEV} = 75 kHz， 数据速率 = 300 kbps
调制干扰源					所需信号超过输入灵敏度水平3 dB (BER = 10^{-3})， 调制干扰源与所需信号的调制相同；干扰强度 递增直至BER = 10^{-3} ，镜像校准
200 kHz通道间隔		38		dB	IF带宽 = 100 kHz，所需信号：F _{DEV} = 12.5 kHz， 数据速率 = 50 kbps
300 kHz通道间隔		36		dB	IF带宽 = 100 kHz，所需信号：F _{DEV} = 25 kHz， 数据速率 = 100 kbps
300 kHz通道间隔		36		dB	IF带宽 = 150 kHz，所需信号：F _{DEV} = 37.5 kHz， 数据速率 = 150 kbps
400 kHz通道间隔		34		dB	IF带宽 = 200 kHz，所需信号：F _{DEV} = 50 kHz， 数据速率 = 200 kbps
600 kHz通道间隔		35		dB	IF带宽 = 300 kHz，所需信号：F _{DEV} = 75 kHz， 数据速率 = 300 kbps
同道抑制		-4		dB	所需信号超过输入灵敏度水平10 dB (BER = 10^{-3})， 数据速率 = 38.4 kbps，频率偏差 = 20 kHz， RF频率 = 868 MHz
阻塞					所需信号超过-107.5 dBm(数据速率 = 38.4 kbps) 的输入灵敏度水平3 dB (BER = 10^{-3})，调制干扰强 度递增直至BER = 10^{-3} (其它偏移和IF带宽下的 阻塞参见“典型工作特性”部分)
RF频率 = 433 MHz ±2 MHz ±10 MHz		68 76		dB dB	
RF频率 = 868 MHz ±2 MHz ±10 MHz		66 74		dB dB	
RF频率 = 915 MHz ±2 MHz ±10 MHz		66 74		dB dB	

参数	最小值	典型值	最大值	单位	测试条件
阻塞, ETSI EN 300 220					测量程序根据ETSI EN 300 220-1 V2.3.1; 所需信号超过-99 dBm的ETSI EN 300 220参考灵敏度水平3 dB, IF带宽 = 100 kHz, 数据速率 = 38.4 kbps, 未调制干扰源; 其它偏移和IF带宽下的阻塞参见“典型工作特性”部分, RF频率 = 868 MHz
±2 MHz		-28		dBm	
±10 MHz		-20.5		dBm	
宽带干扰抑制		75		dB	RF频率 = 868 MHz, 扫描范围从10 MHz到100 MHz, 在RF频率的任一侧
镜像通道衰减					测量IF滤波器输出端的镜像衰减, 载波干扰源低于通道频率400 kHz, 100 kHz IF滤波器带宽
868 MHz, 915 MHz		36/45		dB	未校准/校准
433 MHz		40/54		dB	未校准/校准
自动频率控制 精度 最大捕捉范围		1		kHz	可实现的捕捉范围取决于鉴频器带宽和调制
300 kHz IF滤波器带宽		±150		kHz	
200 kHz IF滤波器带宽		±100		kHz	
150 kHz IF滤波器带宽		±75		kHz	
100 kHz IF滤波器带宽		±50		kHz	
前同步码长度					前同步码最低位数, 确保在整个输入功率范围内实现最低包误差率
AFC关闭, 检测到同步字时 AGC锁定					
38.4 kbps		8		Bits	
300 kbps		24		Bits	
AFC开启, 检测到前同步码时 AFC和AGC锁定					
9.6 kbps		44		Bits	
38.4 kbps		44		Bits	
50 kbps		50		Bits	
100 kbps		52		Bits	
150 kbps		54		Bits	
200 kbps		58		Bits	
300 kbps		64		Bits	
AFC开启, 检测到同步字时 AFC和AGC锁定					
38.4 kbps		14		Bits	
300 kbps		32		Bits	
RSSI					
输入端范围		-97至-26		dBm	
线性度		±2		dB	
绝对精度		±3		dB	
饱和(最大输入电平)					
2FSK/GFSK/MSK/GMSK		12		dBm	
OOK		-13		dBm	OOK调制深度 = 20 dB
		10		dBm	OOK调制深度 = 60 dB

ADF7023

参数	最小值	典型值	最大值	单位	测试条件
LNA输入阻抗					
接收模式					
$f_{RF} = 915\text{ MHz}$		75.9 – j32.3		Ω	
$f_{RF} = 868\text{ MHz}$		78.0 – j32.4		Ω	
$f_{RF} = 433\text{ MHz}$		95.5 – j23.9		Ω	
发射模式					
$f_{RF} = 915\text{ MHz}$		7.6 + j9.2		Ω	
$f_{RF} = 868\text{ MHz}$		7.7 + j8.6		Ω	
$f_{RF} = 433\text{ MHz}$		7.9 + j4.6		Ω	
RX杂散发射 ²					
最大值<1 GHz		–66		dBm	天线输入处，未滤波导通
最大值>1 GHz		–62		dBm	天线输入处，未滤波导通

¹ 合并匹配网络的灵敏度通常比单独匹配网络低1 dB。
² 请遵循匹配和布局布线指南以达到相关的FCC/ETSI规格。

时序和数字规格

表4.

参数	最小值	典型值	最大值	单位	测试条件
RX和TX时序参数					更多信息参见“状态跃迁和命令时序”部分。
PHY_ON至PHY_RX(CMD_PHY_RX时)		300		μs	包括VCO校准和频率合成器建立
PHY_ON至PHY_TX(CMD_PHY_TX时)		296		μs	包括VCO校准和频率合成器建立， 不包括PA斜升
逻辑输入					
输入高电压V _{INH}	0.7 × V _{DD}			V	
输入低电压V _{INL}			0.2 × V _{DD}	V	
输入电流I _{INH} /I _{INL}			±1	μA	
输入电容C _{IN}			10	pF	
逻辑输出					
输出高电压V _{OH}	V _{DD} − 0.4			V	I _{OH} = 500 μA
输出低电压V _{OL}			0.4	V	I _{OL} = 500 μA
GPIO上升/下降			5	ns	
GPIO负载			10	pF	
最大输出电流		5		mA	
ATB输出					用于外部PA和LNA控制
ADCIN_ATB3和ATB4					
输出高电压V _{OH}		1.8		V	
输出低电压V _{OL}		0.1		V	
最大输出电流		0.5		mA	
XOSC32KP_GP5_ATB1和 XOSC32KN_ATB2					
输出高电压V _{OH}		V _{DD}		V	
输出低电压V _{OL}		0.1		V	
最大输出电流		5		mA	

ADF7023

辅助模块技术规格

表5.

参数	最小值	典型值	最大值	单位	测试条件
32 kHz RC振荡器					
频率		32.768		kHz	校准后
频率精度		1.5		%	25°C时校准后
频率漂移					
温度系数		0.14		%/°C	
电压系数		4		%/V	
校准时间		1.25		ms	
32 kHz XTAL振荡器					
频率		32.768		kHz	
启动时间		630		ms	32.768 kHz晶振、7 pF负载电容
唤醒控制器(WUC)					
硬件定时器					
唤醒周期	61×10^{-6}		1.31×10^5	秒	
固件定时器					
唤醒周期	1		2^{16}	硬件周期	固件计数器计数硬件唤醒次数，16位分辨率
ADC					
分辨率		8		位	
微分非线性(DNL)误差		±1		LSB	V_{DD} 从2.2 V到3.6 V， $T_A = 25^\circ\text{C}$
积分非线性(INL)		±1		LSB	V_{DD} 从2.2 V到3.6 V， $T_A = 25^\circ\text{C}$
转换时间		1		μs	
输入电容		12.4		pF	
电池监控器					
绝对精度		±45		mV	
报警电压设定点	1.7		2.7	V	
报警电压阶跃信号幅度		62		mV	5-bit分辨率
启动时间			100	μs	
功耗		30		μA	使能时
温度传感器					
范围	-40		+85	°C	
分辨率		0.3		°C	求平均值
温度回读精度		+7/-4		°C	-40°C至+85°C温度范围内 (校准温度+25°C)

通用规格

表6.

参数	最小值	典型值	最大值	单位	测试条件
温度范围, T_A	-40		+85	°C	
电源电压 V_{DD}	2.2		3.6	V	施加于VDDBAT1和VDDBAT2
发射功耗					PHY_TX状态, 单端PA匹配50 Ω , 差分PA匹配100 Ω , 单独单端PA和LNA匹配, 合并差分PA和LNA匹配
单端PA, 433 MHz					
-10 dBm		8.7		mA	
0 dBm		12.2		mA	
10 dBm		23.3		mA	
13.5 dBm		32.1		mA	
差分PA, 433 MHz					
-10 dBm		7.9		mA	
0 dBm		11		mA	
5 dBm		15		mA	
10 dBm		22.6		mA	
单端PA, 868 MHz/915 MHz					
-10 dBm		10.3		mA	
0 dBm		13.3		mA	
10 dBm		24.1		mA	
13.5 dBm		32.1		mA	
差分PA, 868 MHz/915 MHz					
-10 dBm		9.3		mA	
0 dBm		12		mA	
5 dBm		16.7		mA	
10 dBm		28		mA	
功耗模式					
PHY_SLEEP(深度休眠模式2)		0.18		μ A	休眠模式, 不保留唤醒配置值(BBRAM)
PHY_SLEEP(深度休眠模式1)		0.33		μ A	休眠模式, 保留唤醒配置值(BBRAM)
PHY_SLEEP(RCO唤醒模式)		0.75		μ A	WUC有效, RC振荡器运行, 保留唤醒配置值(BBRAM)
PHY_SLEEP(XTO唤醒模式)		1.28		μ A	WUC有效, 32 kHz晶振运行, 保留唤醒配置值(BBRAM)
PHY_OFF		1		mA	器件处于PHY_OFF状态, 26 MHz振荡器运行, 数字和频率合成器有效, 保留所有寄存器值
PHY_ON		1		mA	器件处于PHY_ON状态, 26 MHz振荡器运行, 数字、频率合成器、VCO和RF调节器有效, 执行基带滤波器校准, 保留所有寄存器值
PHY_RX		12.8		mA	器件处于PHY_RX状态
智能唤醒模式					平均功耗
		21.78		μ A	每隔1秒自主接收, 接收驻留时间为1.25 ms, 使用RC振荡器, 数据速率 = 38.4 kbps
		11.75		μ A	每隔1秒自主接收, 接收驻留时间为0.5 ms, 使用RC振荡器, 数据速率 = 300 kbps

时序规格

除非另有说明， $V_{DD} = V_{DDBAT1} = V_{DDBAT2} = 2.2\text{ V}$ 至 3.6 V ， $V_{GND} = GND = 0\text{ V}$ ， $T_A = T_{MIN}$ 至 T_{MAX} 。

表7. SPI接口时序

参数	限值	单位	测试条件/注释
t_2	85	ns(最小值)	$\overline{CS}$ 低电平到SCLK建立时间
t_3	85	ns(最小值)	SCLK高电平时间
t_4	85	ns(最小值)	SCLK低电平时间
t_5	170	ns(最小值)	SCLK周期
t_6	10	ns(最大值)	SCLK下降沿到MISO延迟时间
t_7	5	ns(最小值)	MOSI到SCLK上升沿建立时间
t_8	5	ns(最小值)	MOSI到SCLK上升沿保持时间
t_9	85	ns(最小值)	SCLK下降沿到 $\overline{CS}$ 保持时间
t_{11}	270	ns(最小值)	$\overline{CS}$ 高电平时间
t_{12}	310	$\mu\text{s typ}$	$\overline{CS}$ 低电平到MISO高电平唤醒时间，带7 pF负载电容的26 MHz晶振， $T_A = 25^\circ\text{C}$
t_{13}	20	ns(最大值)	SCLK上升时间
t_{14}	20	ns(最大值)	SCLK下降时间

时序图

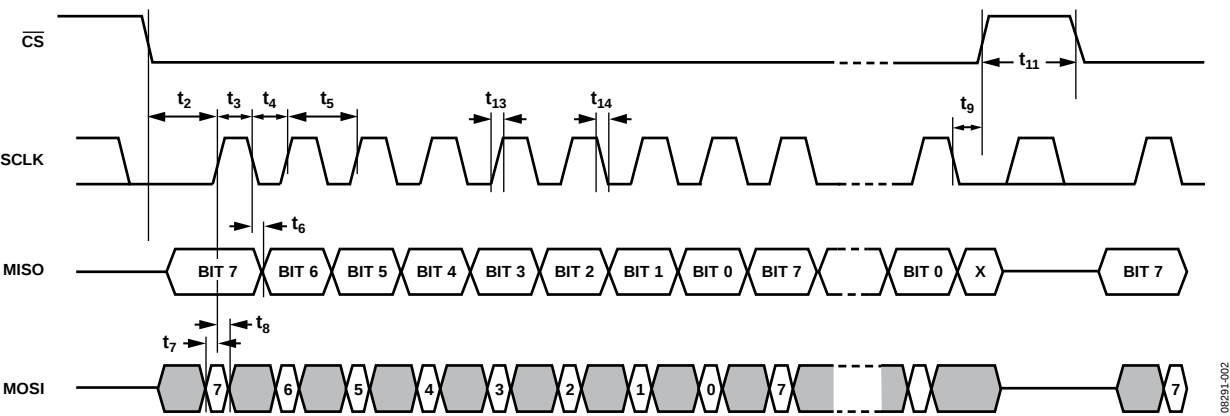


图2. SPI接口时序

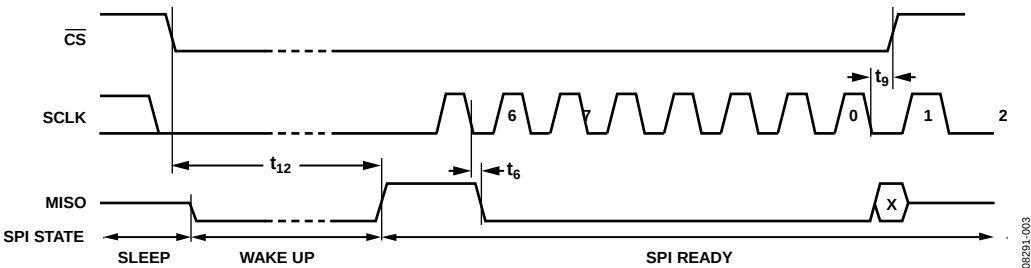


图3. PHY_SLEEP到SPI就绪状态时序($\overline{CS}$ 下降沿后的SPI就绪T12)

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表8.

参数	额定值
VDDBAT1、VDDBAT2至GND	−0.3 V至+3.96 V
工业温度范围	−40°C至+85°C
存储温度范围	−65°C至+125°C
最高结温	150°C
LFCSP封装 θ_{JA} 热阻	26°C/W
回流焊峰值温度	260°C
峰值温度时间	40秒

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

LFCSP封装的底部焊盘应连接到地。

本器件为高性能RF集成电路，ESD额定值小于2 kV，对ESD（静电放电）敏感。搬运和装配时应采取适当的防范措施。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

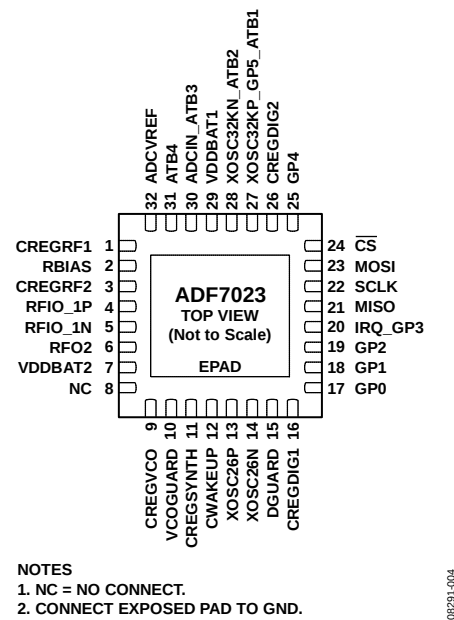


图4. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	功能
1	CREGRF1	RF的调节器电压。在此引脚和接地之间应放置一个220 nF电容以稳定调节器并抑制噪声。
2	RBIAS	外部偏置电阻。应使用2%容差的36 kΩ电阻。
3	CREGRF2	RF的调节器电压。在此引脚和接地之间应放置一个220 nF电容以稳定调节器并抑制噪声。
4	RFIO_1P	接收模式下为LNA正输入。发射模式、差分PA下为PA正输出。
5	RFIO_1N	接收模式下为LNA负输入。发射模式、差分PA下为PA负输出。
6	RFO2	单端PA输出。
7	VDDBAT2	电源引脚2。至地层的去耦电容应尽可能靠近此引脚。
8	NC	不连接。
9	CREGVCO	VCO的调节器电压。在此引脚和接地之间应放置一个220 nF电容以稳定调节器并抑制噪声。
10	VCOGUARD	VCO的防护/屏蔽。此引脚应连接到引脚9。
11	CREGSYNTH	频率合成器的调节器电压。在此引脚和接地之间应放置一个220 nF电容以稳定调节器抑制噪声。
12	CWAKEUP	唤醒控制的外部电容。应在此引脚与接地之间放置一个150 nF电容。
13	XOSC26P	应在此引脚与XOSC26N之间连接26 MHz参考晶振。如果外部参考连接到XOSC26N，此引脚应保持开路。
14	XOSC26N	应在此引脚与XOSC26P之间连接26 MHz参考晶振。或者，也可以将一个外部26 MHz参考信号交流耦合到此引脚。
15	DGUARD	数字电路的内部防护/屏蔽。将此引脚连接到引脚16 CREGDIG1。
16	CREGDIG1	芯片数字部分的调节器电压。在此引脚和接地之间应放置一个220 nF电容以稳定调节器并抑制噪声。
17	GP0	数字GPIO引脚0。
18	GP1	数字GPIO引脚1。
19	GP2	数字GPIO引脚2。
20	IRQ_GP3	中断请求，数字GPIO测试引脚3。
21	MISO	串行端口主机输入/从机输出。

引脚编号	引脚名称	功能
22	SCLK	串行端口时钟。
23	MOSI	串行端口主机输出/从机输入。
24	$\overline{\text{CS}}$	片选(低电平有效)。建议将一个100 k Ω 上拉电阻接到V _{DD} ，以防主机处理器无意中唤醒ADF7023。
25	GP4	数字GPIO测试引脚4。
26	CREGDIG2	芯片数字部分的调节器电压。在此引脚和接地之间应放置一个220 nF电容以稳定调节器并抑制噪声。
27	XOSC32KP_GP5_ATB1	数字GPIO测试引脚5。可以在此引脚与XOSC32KN_ATB2之间连接32 kHz时钟晶振。模拟测试引脚1。
28	XOSC32KN_ATB2	可以在此引脚与XOSC32KP_GP5_ATB1之间连接32 kHz时钟晶振。模拟测试引脚2。
29	VDDBAT1	数字电源引脚1。至地层的去耦电容应尽可能靠近此引脚。
30	ADCIN_ATB3	模数转换器输入。可以配置为外部PA使能信号。模拟测试引脚3。
31	ATB4	模拟测试引脚4。可以配置为外部LNA使能信号。
32	ADCVREF	ADC基准电压输出。在此引脚和接地之间应放置一个220 nF电容以充分抑制噪声。
EPAD	GND	裸露的封装焊盘。连接到GND。

典型性能参数

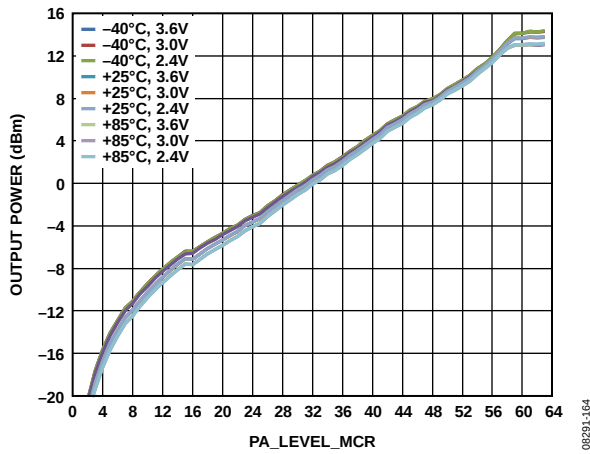


图5. 单端PA (433 MHz): 输出功率与PA_LEVEL_MCR设置、温度和 V_{DD} 的关系

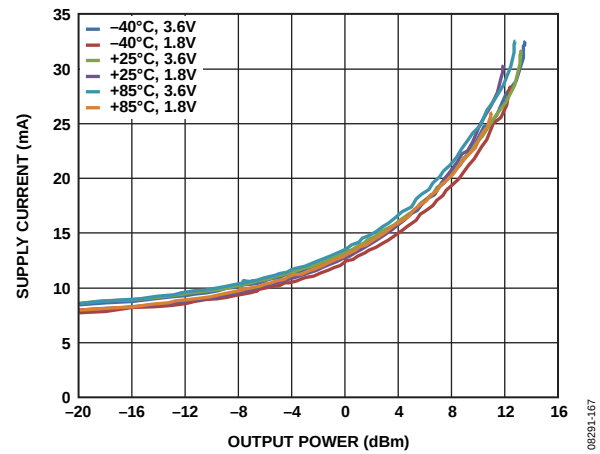


图8. 单端PA (868 MHz): 电源电流与输出功率、温度和 V_{DD} 的关系

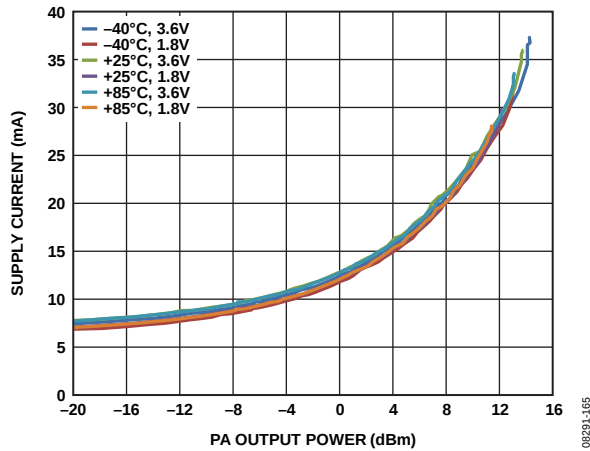


图6. 单端PA (433 MHz): 电源电流与输出功率、温度和 V_{DD} 的关系 (建议最小 $V_{DD} = 2.2$ V, 显示1.8 V操作是为了说明其鲁棒性)

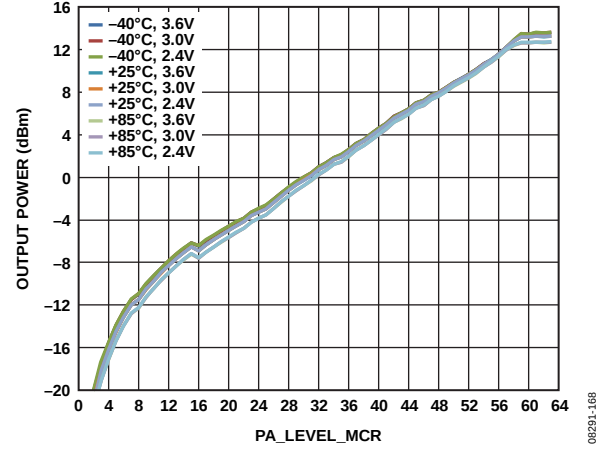


图9. 单端PA (915 MHz): 输出功率与PA_LEVEL_MCR设置、温度和 V_{DD} 的关系

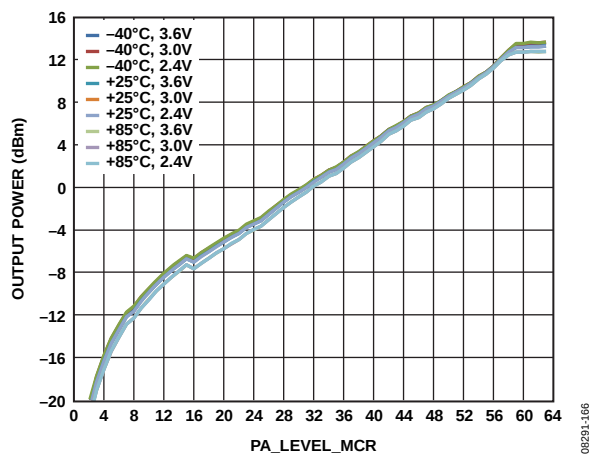


图7. 单端PA (868 MHz): 输出功率与PA_LEVEL_MCR设置、温度和 V_{DD} 的关系

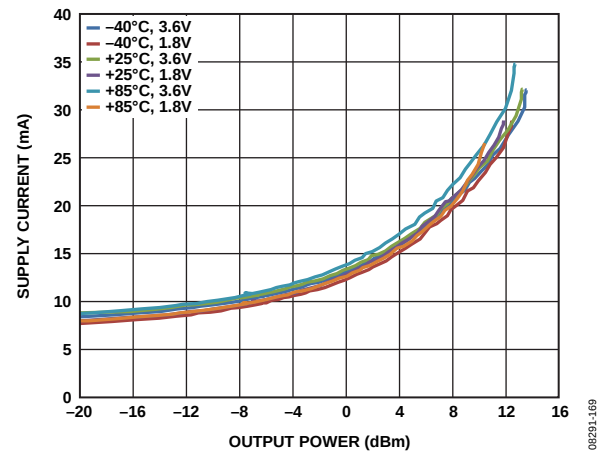


图10. 单端PA (915 MHz): 电源电流与输出功率、温度和 V_{DD} 的关系 (建议最小 $V_{DD} = 2.2$ V, 显示1.8 V操作是为了说明其鲁棒性)

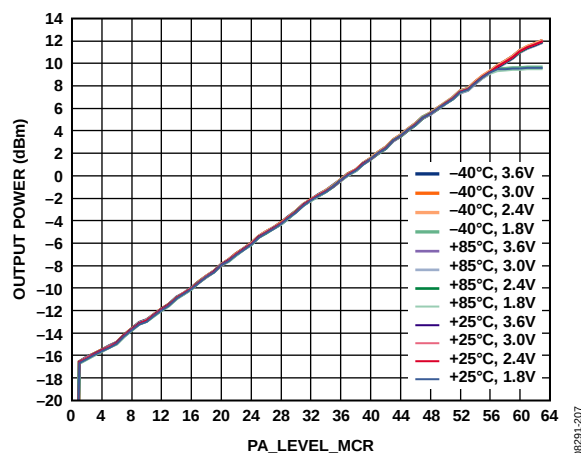


图11. 差分PA (433 MHz): 输出功率与PA_LEVEL_MCR设置、温度和 V_{DD} 的关系(建议最小 $V_{DD} = 2.2$ V, 显示1.8 V操作是为了说明其鲁棒性)

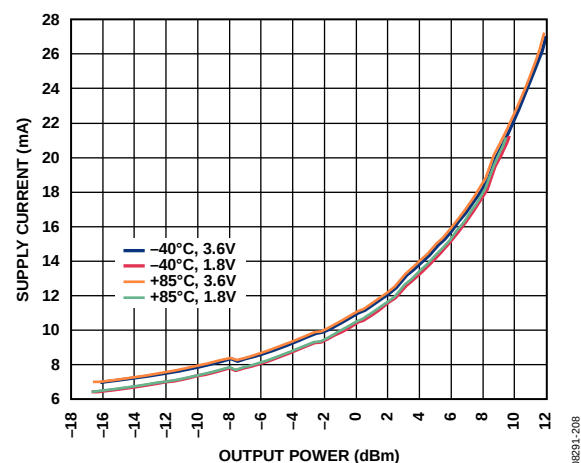


图12. 差分PA (433 MHz): 电源电流与输出功率、温度和 V_{DD} 的关系(建议最小 $V_{DD} = 2.2$ V, 显示1.8 V操作是为了说明其鲁棒性)

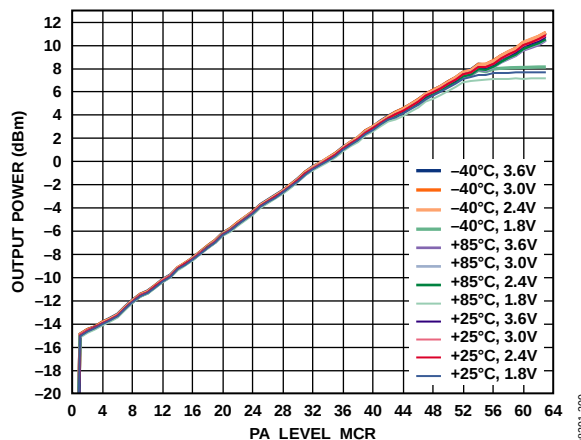


图13. 差分PA (915 MHz): 输出功率与PA_LEVEL_MCR设置、温度和 V_{DD} 的关系(建议最小 $V_{DD} = 2.2$ V, 显示1.8 V操作是为了说明其鲁棒性)

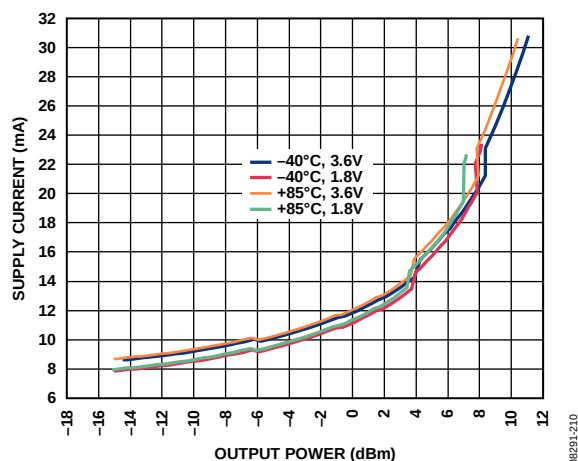


图14. 差分PA (915 MHz): 电源电流与输出功率、温度和 V_{DD} 的关系(建议最小 $V_{DD} = 2.2$ V, 显示1.8 V操作是为了说明其鲁棒性)

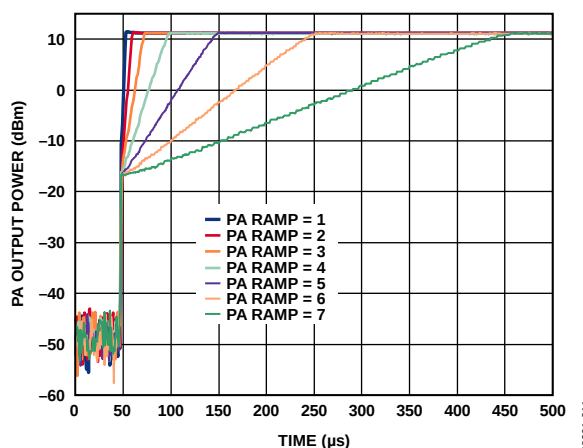


图15. 每个PA_RAMP设置的PA斜升图:
数据速率 = 38.4 kbps, 差分PA

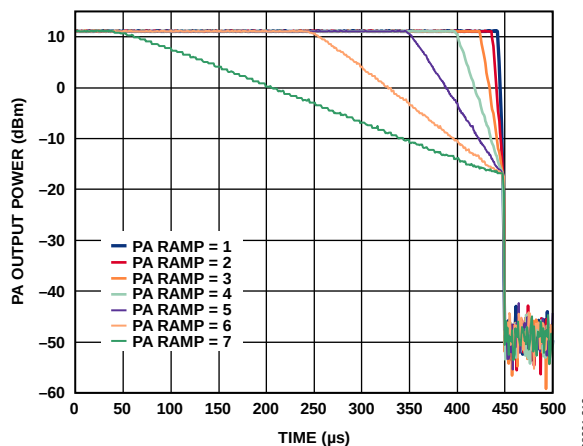


图16. 每个PA_RAMP设置的PA斜降图:
数据速率 = 38.4 kbps, 差分PA

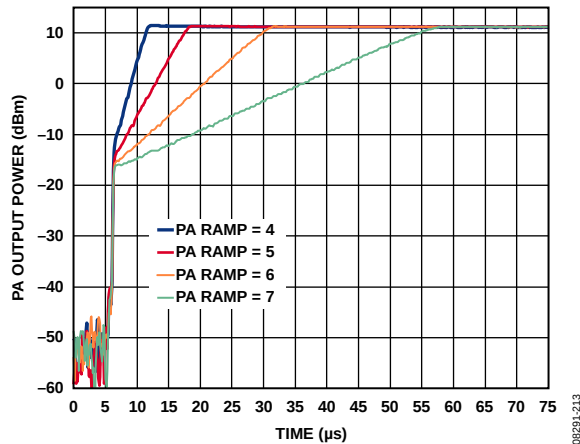


图17. 每个PA_RAMP设置的PA斜升图:
数据速率=300 kbps、差分PA

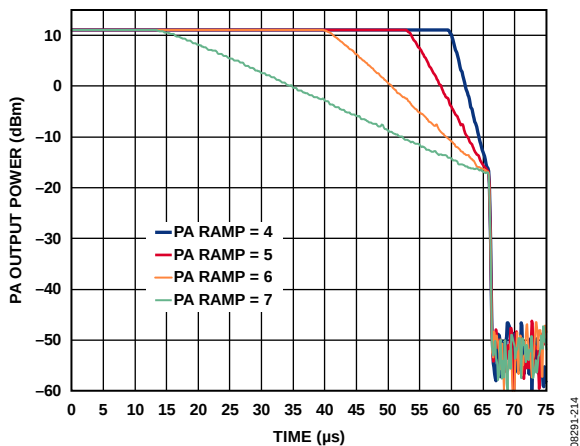


图18. 每个PA_RAMP设置的PA斜降图:
数据速率=300 kbps、差分PA

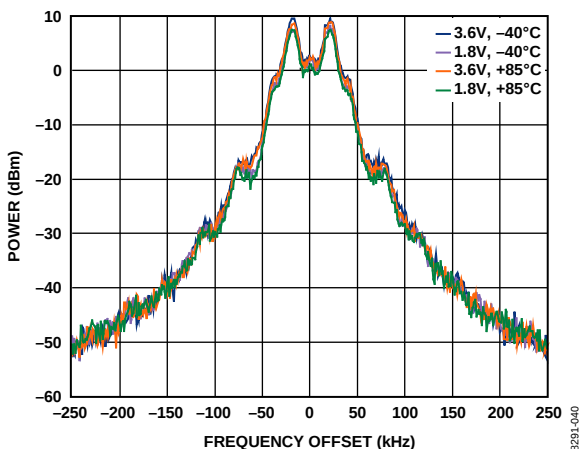


图19. 发射频谱: 868 MHz、FSK、数据速率=38.4 kbps、
频率偏差=20 kHz(建议最小 V_{DD} =2.2 V,
显示1.8 V操作是为了说明其鲁棒性)

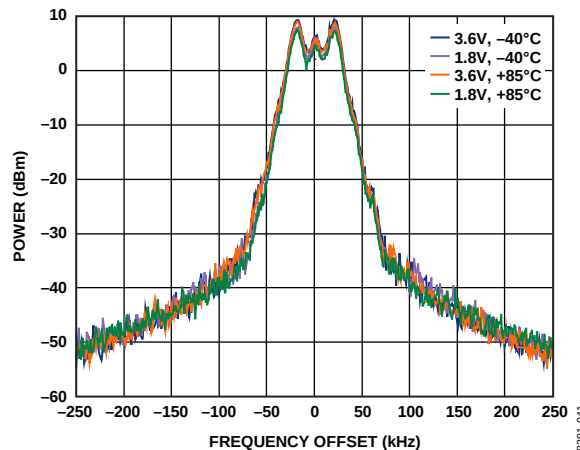


图20. 发射频谱: 868 MHz、GFSK、数据速率=38.4 kbps、
频率偏差=20 kHz(建议最小 V_{DD} =2.2 V,
显示1.8 V操作是为了说明其鲁棒性)

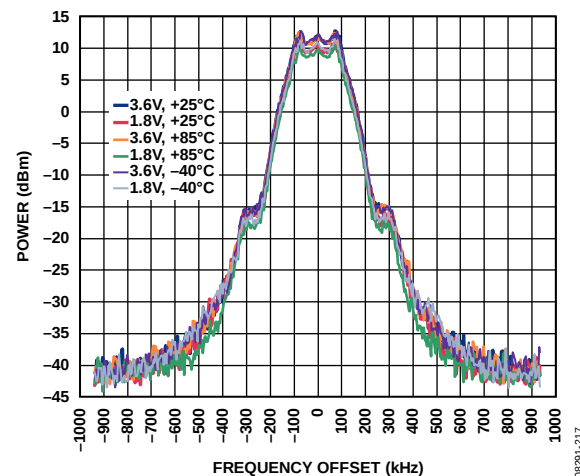


图21. 发射频谱: 928 MHz、GFSK、数据速率=300 kbps、
频率偏差=75 kHz(建议最小 V_{DD} =2.2 V,
显示1.8 V操作是为了说明其鲁棒性)

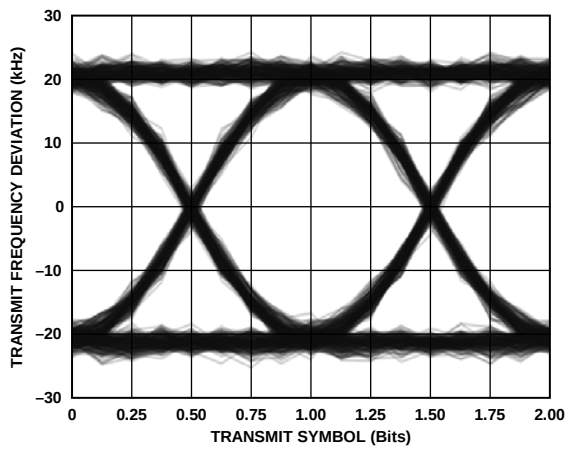


图22. 发射眼图: 868 MHz、GFSK、
数据速率=38.4 kbps、频率偏差=21 kHz

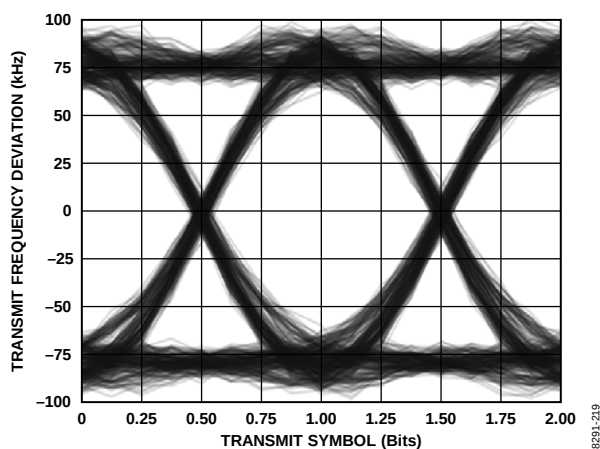


图23. 发射眼图: 868 MHz、GFSK、
数据速率 = 300 kbps、频率偏差 = 75 kHz

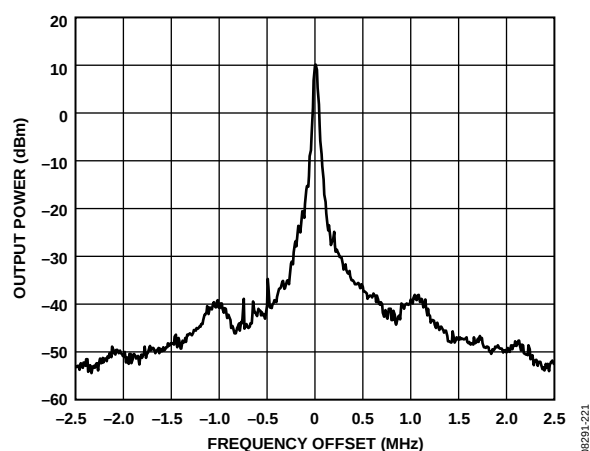


图24. OOK发射频谱: 100次扫描的最大保持、
单端PA、868.95 MHz、数据速率 = 16.4 kbps
(32.8 kcps曼彻斯特编码)、PA_RAMP = 1

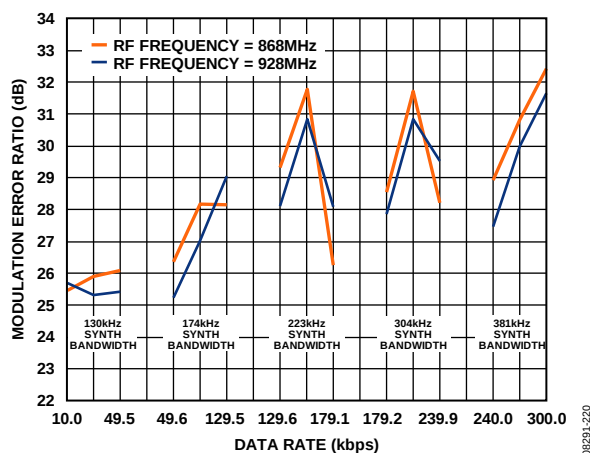


图25. 调制误差比(MER)与数据速率、
频率合成器环路带宽和RF频率的关系, 调制指数 = 1

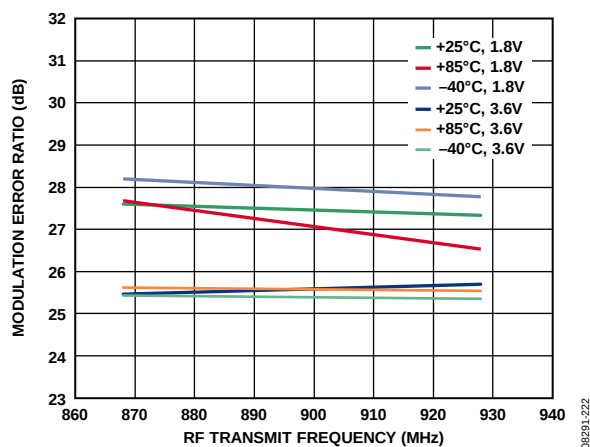


图26. 调制误差比(MER)与RF频率、温度和 V_{DD} 的关系,
调制指数 = 1, 数据速率 = 10 kbps
(建议最小 $V_{DD} = 2.2$ V, 显示1.8 V操作是为了说明其鲁棒性)

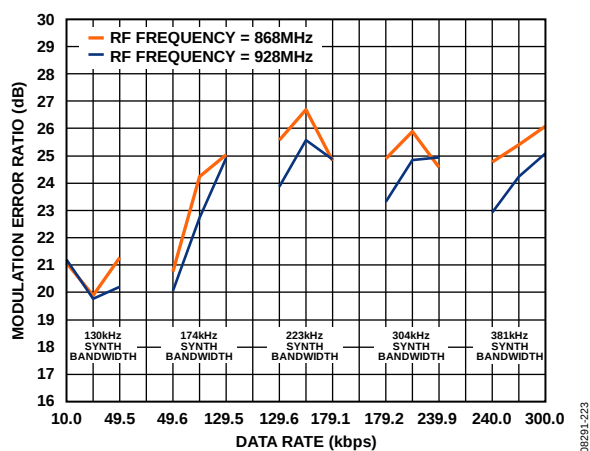


图27. 调制误差比(MER)与数据速率、
频率合成器环路带宽和RF频率的关系, 调制指数 = 0.5

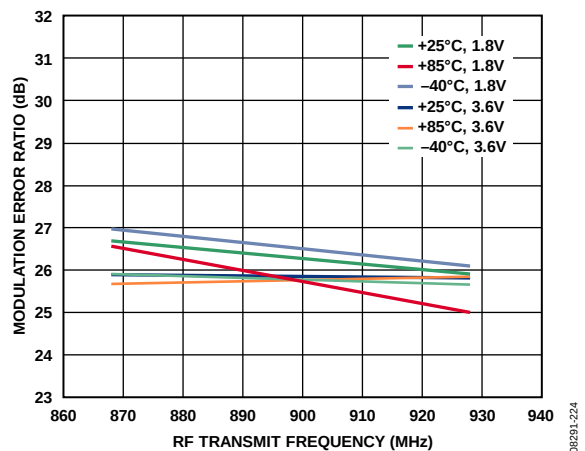


图28. 调制误差比(MER)与RF频率、温度和 V_{DD} 的关系,
调制指数 = 0.5, 数据速率 = 10 kbps

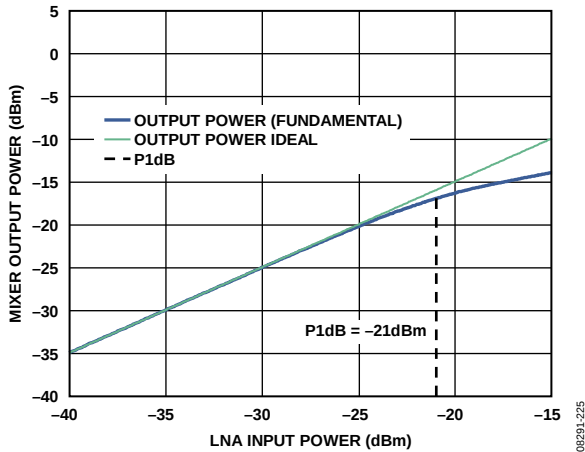


图29. LNA/混频器1 dB压缩点: $V_{DD} = 3.0\text{ V}$, 温度 = 25°C , RF频率 = 915 MHz , LNA增益 = 低, 混频器增益 = 低

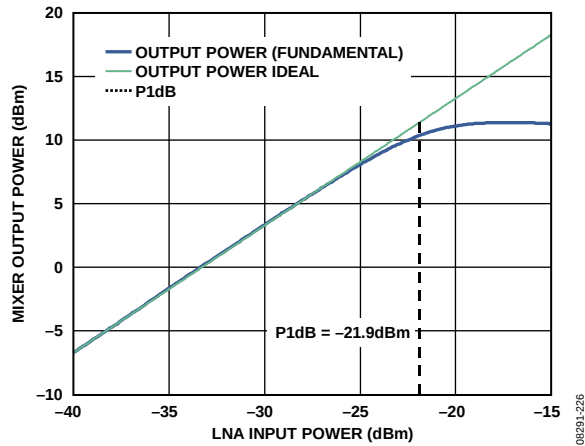


图30. LNA/混频器1 dB压缩点: $V_{DD} = 3.0\text{ V}$, 温度 = 25°C , RF频率 = 915 MHz , LNA增益 = 高, 混频器增益 = 高

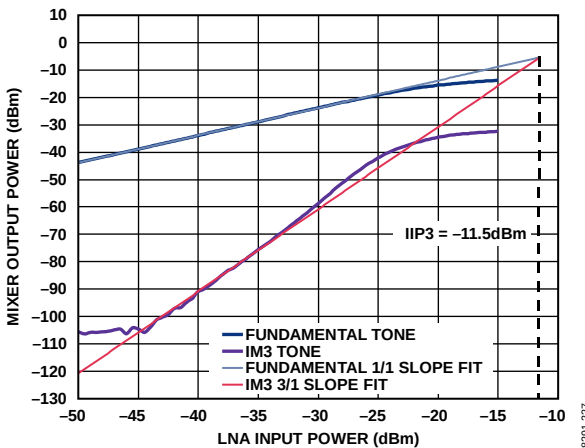


图31. LNA/混频器IIP3: $V_{DD} = 3.0\text{ V}$, 温度 = 25°C , RF频率 = 915 MHz , LNA增益 = 低, 混频器增益 = 低, 信号源1频率 = $(915 + 0.4)\text{ MHz}$, 信号源2频率 = $(915 + 0.7)\text{ MHz}$

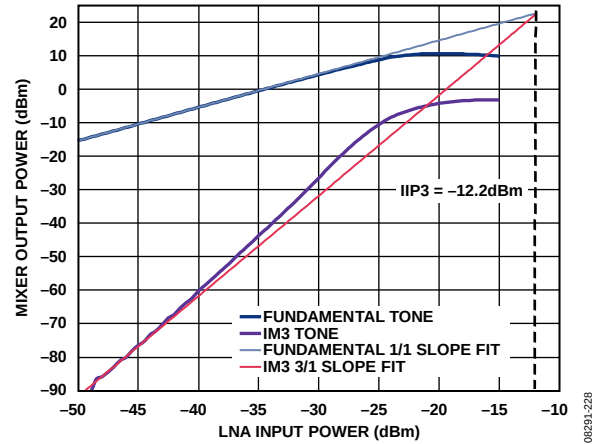


图32. LNA/混频器IIP3: $V_{DD} = 3.0\text{ V}$, 温度 = 25°C , RF频率 = 915 MHz , LNA增益 = 高, 混频器增益 = 高, 信号源1频率 = $(915 + 0.4)\text{ MHz}$, 信号源2频率 = $(915 + 0.7)\text{ MHz}$

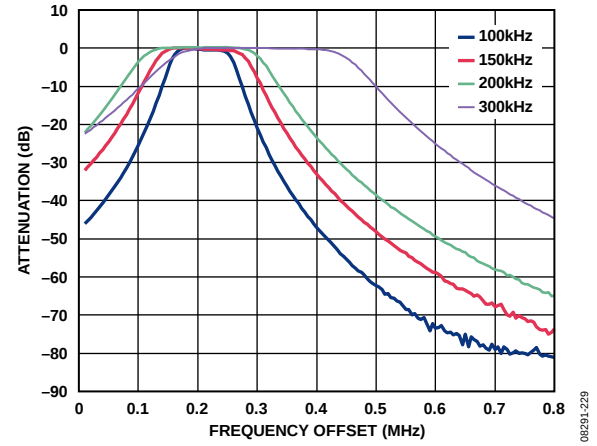


图 33. IF滤波器响应与IF带宽的关系: $V_{DD} = 3.0\text{ V}$, 温度 = 25°C

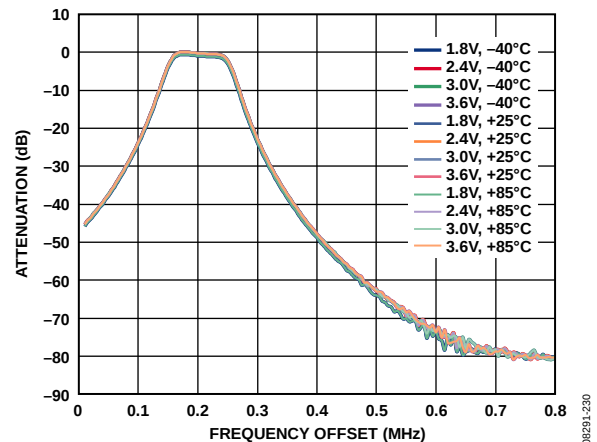


图34. IF滤波器响应与 V_{DD} 和温度的关系: 100 kHz IF滤波器带宽 (建议最小 $V_{DD} = 2.2\text{ V}$, 显示 1.8 V 操作是为了说明其鲁棒性)

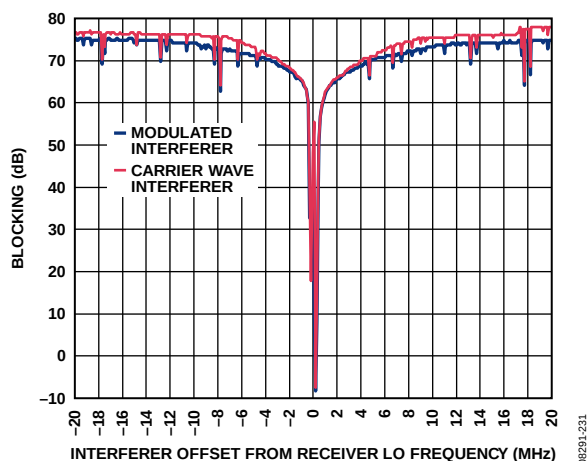


图35. 接收机宽带阻塞：433 MHz、数据速率 = 38.4 kbps

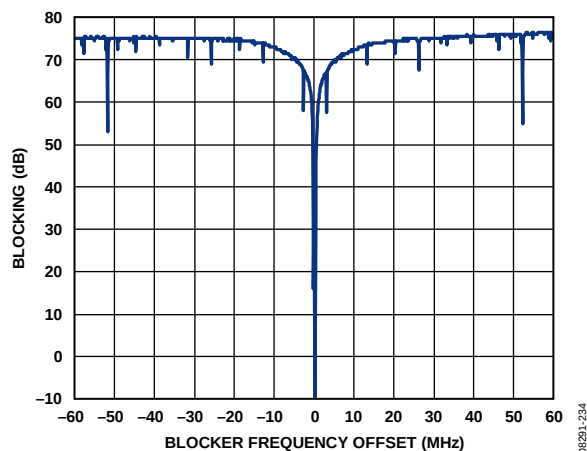


图38. 接收机宽带阻塞至±60 MHz；868 MHz、数据速率 = 38.4 kbps、载波干扰源

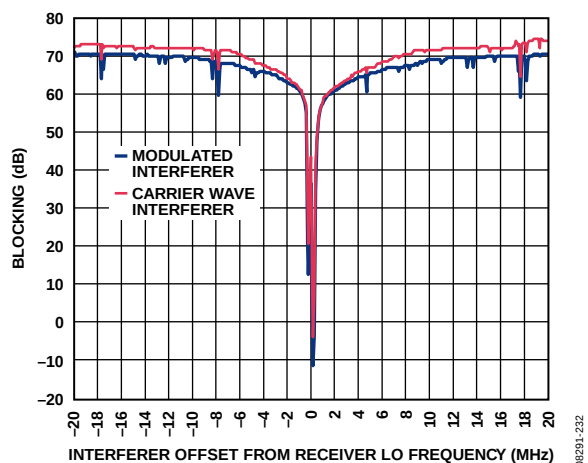


图36. 接收机宽带阻塞：433 MHz、数据速率 = 100 kbps

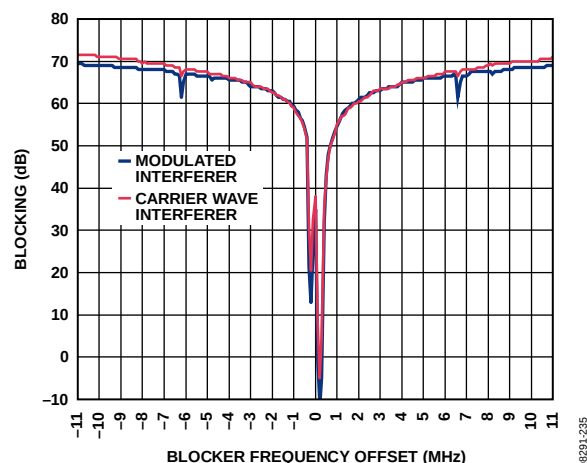


图39. 接收机宽带阻塞：868 MHz、数据速率 = 100 kbps

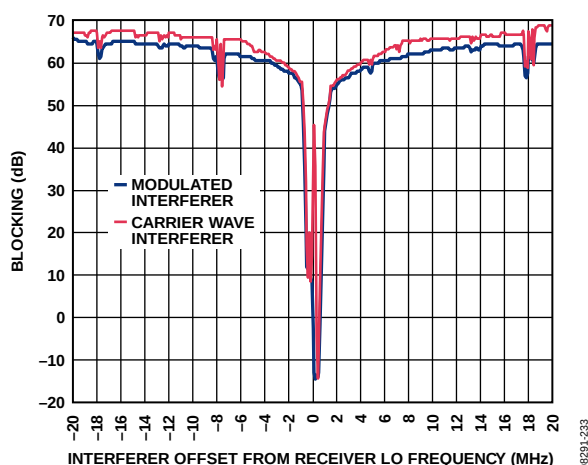


图37. 接收机宽带阻塞：433 MHz、数据速率 = 300 kbps

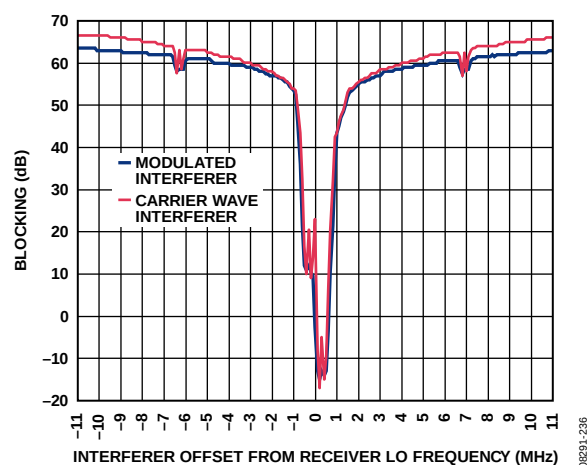


图40. 接收机宽带阻塞：868 MHz、数据速率 = 300 kbps

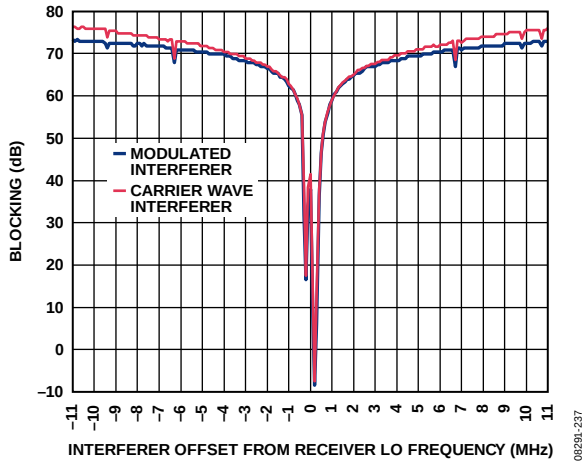


图41. 接收机宽带阻塞: 915 MHz、数据速率 = 38.4 kbps

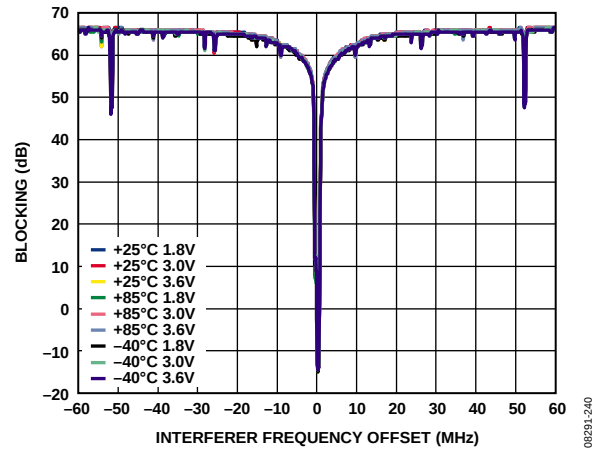


图44. 接收机宽带阻塞与 V_{DD} 和温度的关系:
915 MHz、数据速率 = 300 kbps

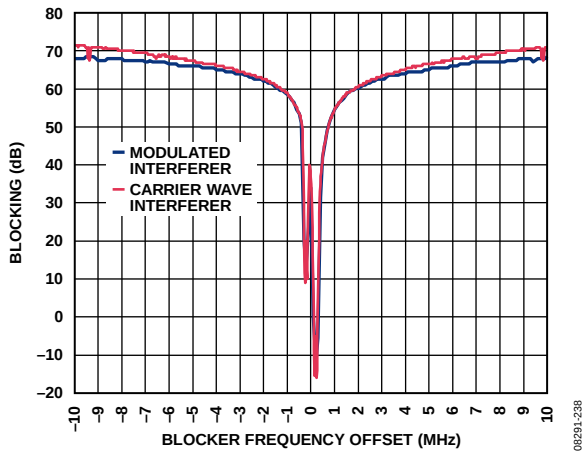


图42. 接收机宽带阻塞: 915 MHz、数据速率 = 100 kbps

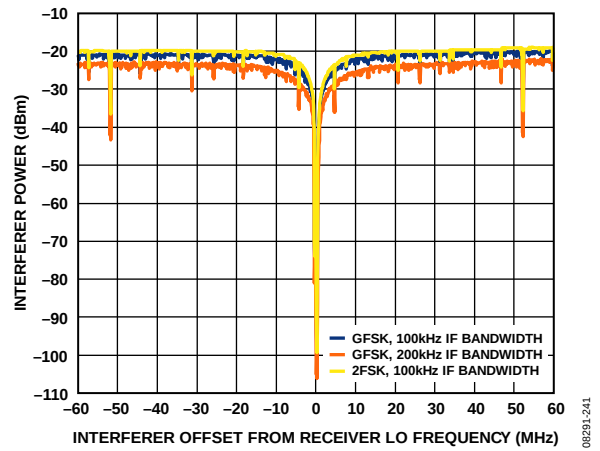


图45. 接收机宽带阻塞: 868 MHz、数据速率 = 38.4 kbps、
根据ETSI EN 300 220进行测量

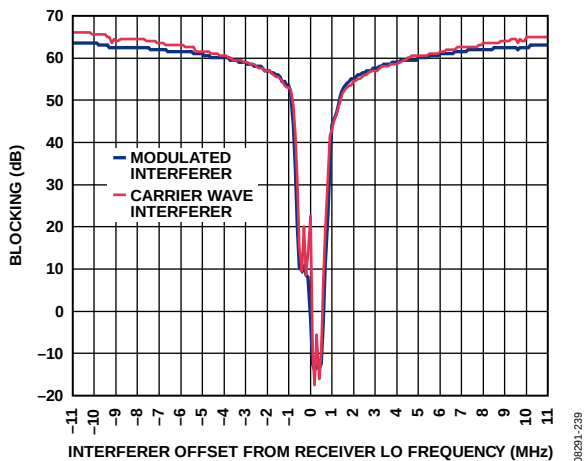


图43. 接收机宽带阻塞: 915 MHz、数据速率 = 300 kbps

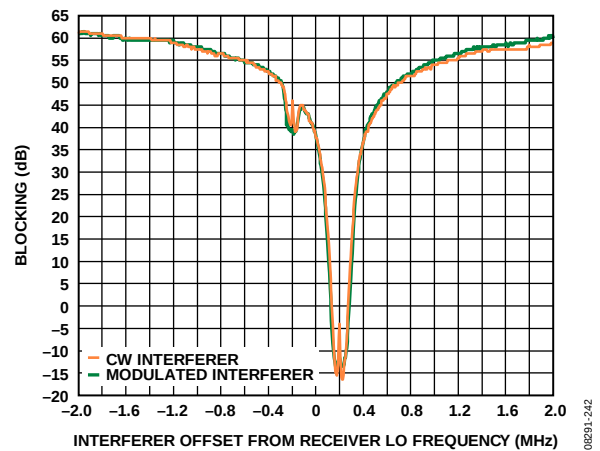


图46. 接收机带内阻塞: 915 MHz、数据速率 = 50 kbps、
IF滤波器带宽 = 100 kHz、镜像校准

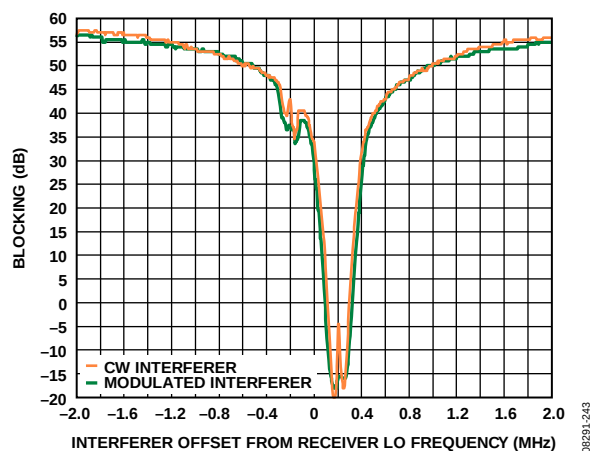


图47. 接收机带内阻塞: 915 MHz、数据速率 = 100 kbps、IF滤波器带宽 = 100 kHz、镜像校准

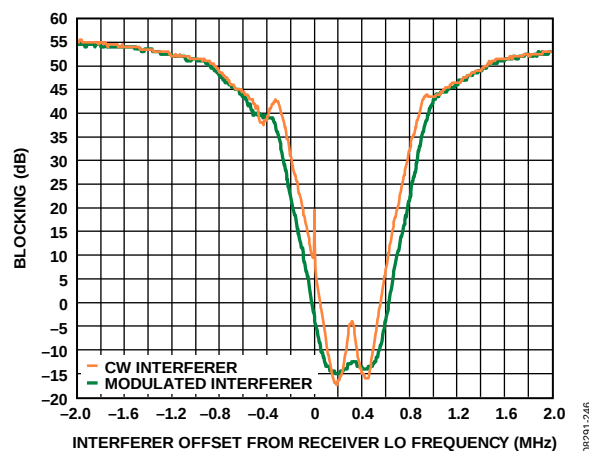


图50. 接收机带内阻塞: 915 MHz、数据速率 = 300 kbps、IF滤波器带宽 = 300 kHz、镜像校准

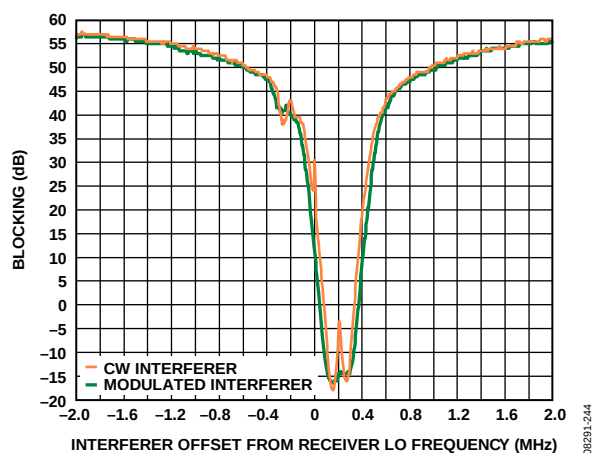


图48. 接收机带内阻塞: 915 MHz、数据速率 = 150 kbps、IF滤波器带宽 = 150 kHz、镜像校准

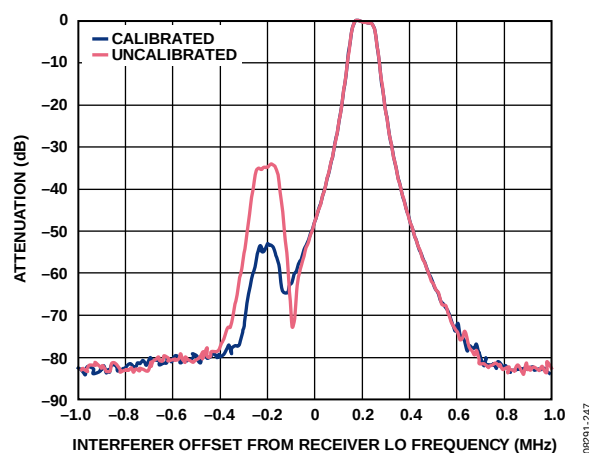


图51. 校准和未校准镜像的镜像抑制: 915 MHz、IF滤波器带宽 = 100 kHz、 $V_{DD} = 3.0$ V、温度 = 25°C

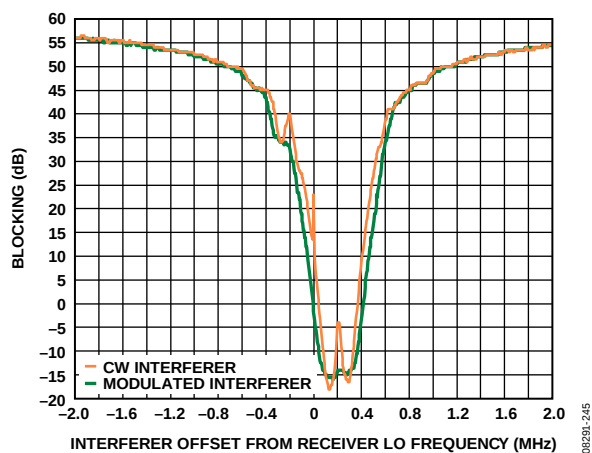


图49. 接收机带内阻塞: 915 MHz、数据速率 = 200 kbps、IF滤波器带宽 = 200 kHz、镜像校准

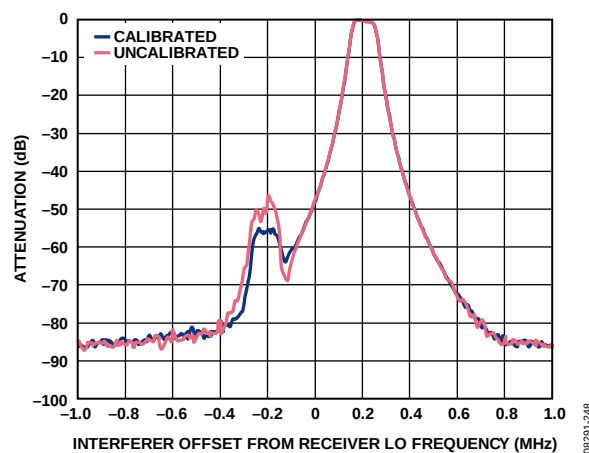


图52. 校准和未校准镜像的镜像抑制: 433 MHz、IF滤波器带宽 = 100 kHz、 $V_{DD} = 3.0$ V、温度 = 25°C

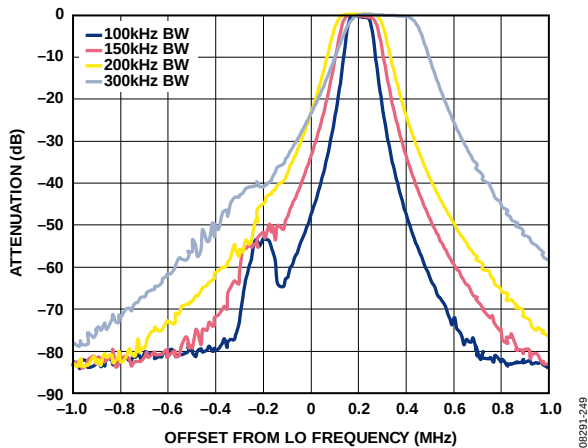


图 53. 含校准镜像的IF滤波器响应与IF滤波器带宽的关系:
921 MHz、 $V_{DD} = 3.0$ V、温度 = 25°C

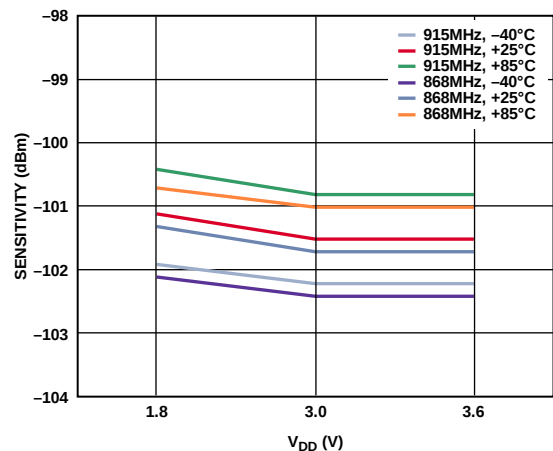


图 54. 接收机灵敏度(比特误差率为 $1E-3$)与 V_{DD} 、
温度和RF频率的关系: 数据速率 = 300 kbps、GFSK、
频率偏差 = 75 kHz、IF带宽 = 300 kHz

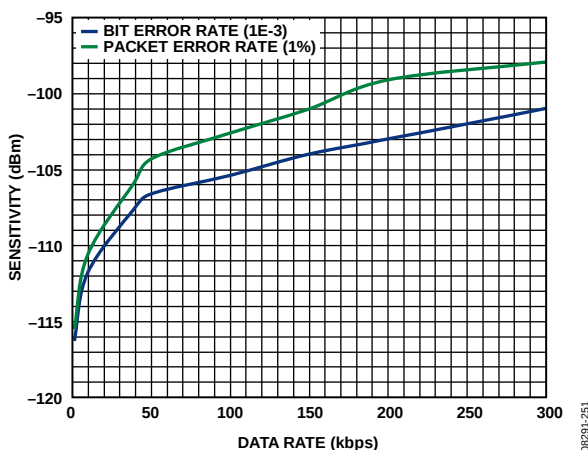


图 55. 比特误差率灵敏度(BER = $1E-3$)和包误差率
灵敏度(PER = 1%)与数据速率的关系:
GFSK、 $V_{DD} = 3.0$ V、温度 = 25°C

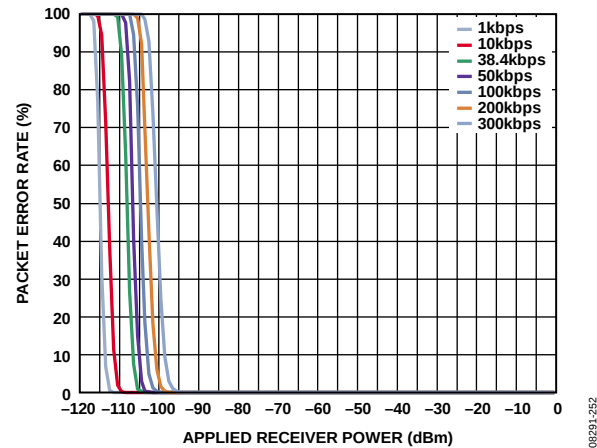


图 56. 包误差率与RF输入功率和数据速率的关系:
FSK/GFSK、928 MHz、前同步码长度 = 64位、 $V_{DD} = 3.0$ V、温度 = 25°C

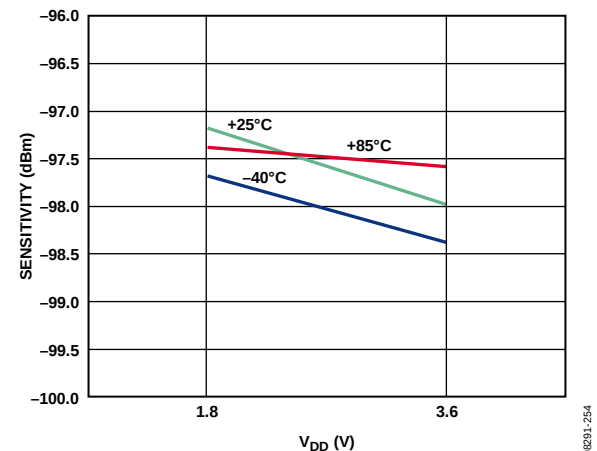


图 57. 接收机灵敏度(包误差率为1%)与 V_{DD} 、温度和RF频率的关系:
数据速率 = 300 kbps、GFSK、频率偏差 = 75 kHz、IF带宽 = 300 kHz

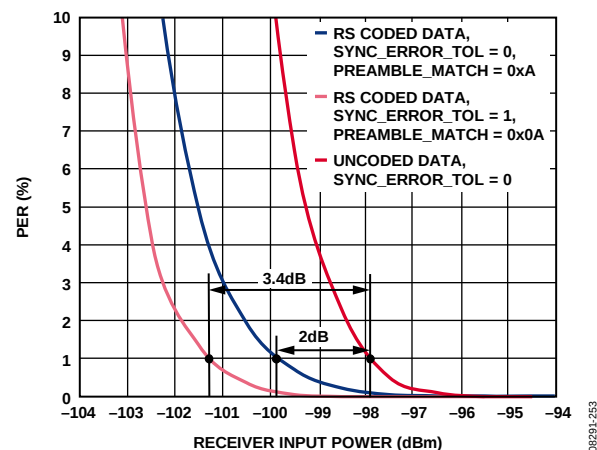


图 58. 采用Reed Solomon (RS)编码时的接收机PER, RF频率 = 915 MHz,
GFSK, 数据速率 = 300 kbps, 频率偏差 = 75 kHz,
包长度 = 28字节(未编码); Reed Solomon配置: $n = 38$, $k = 28$, $t = 5$

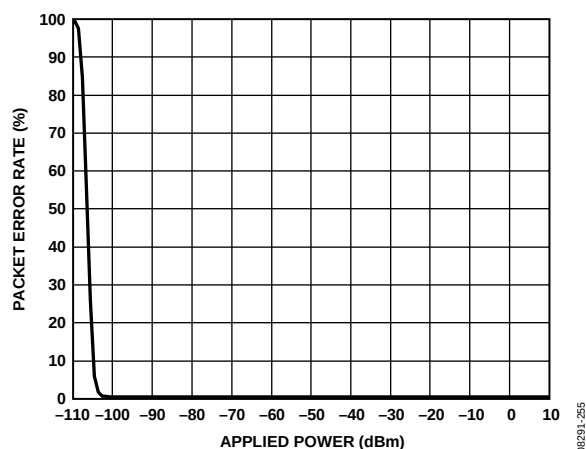


图59. OOK包误差率与RF输入功率的关系:
数据速率 = 19.2 kbps(芯片速率 = 38.4 kcps, 曼彻斯特编码),
IF带宽 = 100 kHz, $V_{DD} = 3.6$ V, 温度 = 25°C, RF频率 = 902 MHz,
前同步码长度 = 100位

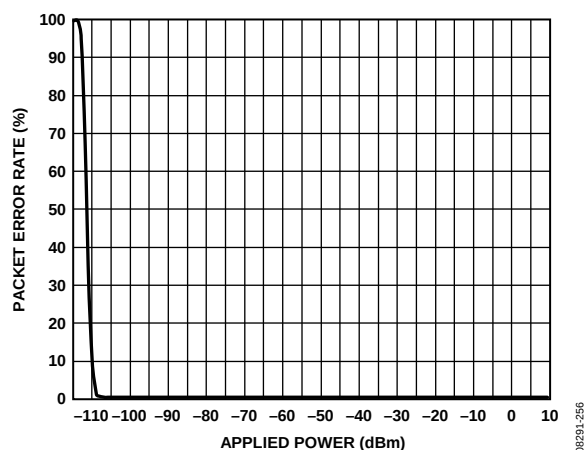


图60. OOK包误差率与RF输入功率的关系:
数据速率 = 2.4 kbps(芯片速率 = 4.8 kcps, 曼彻斯特编码),
IF带宽 = 100 kHz, $V_{DD} = 3.6$ V, 温度 = 25°C, RF频率 = 902 MHz,
前同步码长度 = 100位

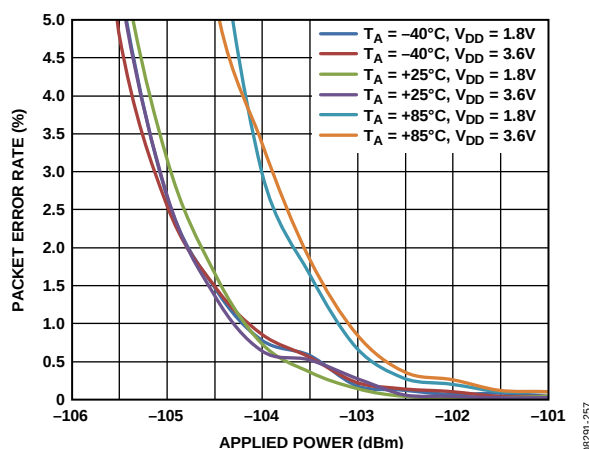


图61. OOK包误差率与RF输入功率、 V_{DD} 和温度的关系:
数据速率 = 19.2 kbps(芯片速率 = 38.4 kcps, 曼彻斯特编码),
IF带宽 = 100 kHz, $V_{DD} = 3.6$ V, 温度 = 25°C, RF频率 = 902 MHz,
前同步码长度 = 100位(建议最小 $V_{DD} = 2.2$ V,
显示1.8 V操作是为了说明其鲁棒性)

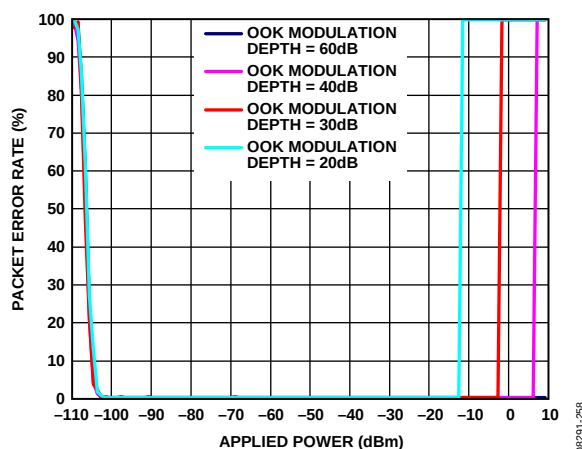


图62. OOK包误差率与RF输入功率和OOK调制深度的关系:
数据速率 = 19.2 kbps(芯片速率 = 38.4 kcps, 曼彻斯特编码),
IF带宽 = 100 kHz, $V_{DD} = 3.6$ V, 温度 = 25°C, RF频率 = 902 MHz,
前同步码长度 = 100位

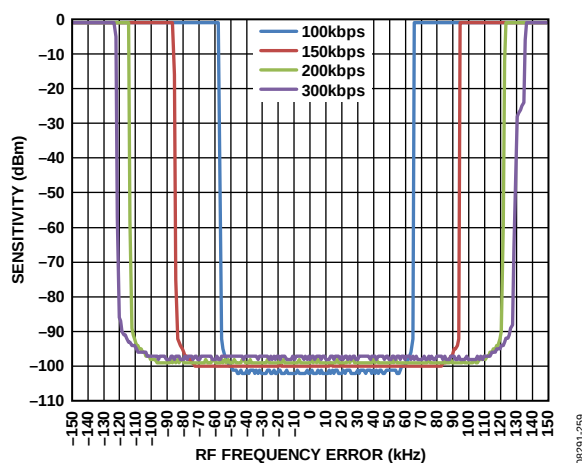


图63. AFC开启: 接收机灵敏度(PER = 1%)与RF频率误差的关系,
GFSK, 915 MHz, AFC使能($K_i = 7$, $K_p = 3$), AFC模式 = 前同步码后锁定,
IF带宽 = 100 kHz(100 kbps时), 150 kHz(150 kbps时),
200 kHz(200 kbps时), 300 kHz(300 kbps时), 前同步码长度 = 64位

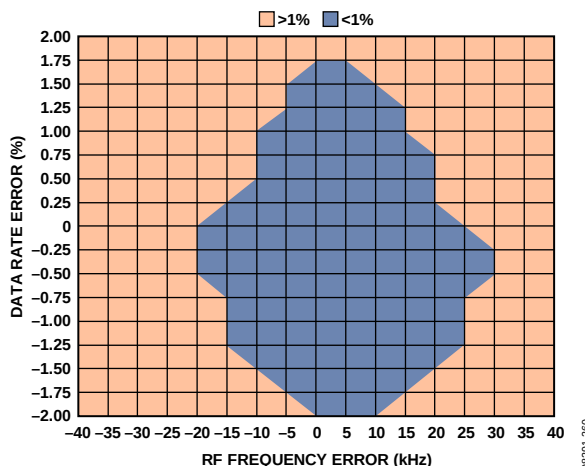


图64. AFC关闭: 包误差率与RF频率误差和数据速率误差的关系,
数据速率 = 300 kbps, 频率偏差 = 75 kHz,
GFSK, AGC_LOCK_MODE = 前同步码后锁定

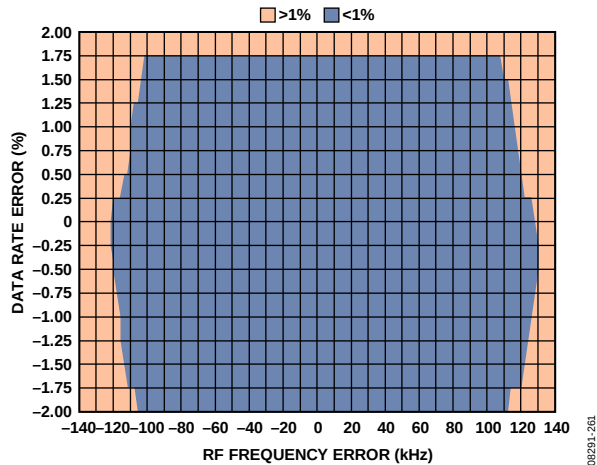


图65. AFC开启：包误差率与RF频率误差和数据速率误差的关系，数据速率=300 kbps，频率偏差 = 75 kHz，GFSK，AGC_LOCK_MODE = 前同步码后锁定

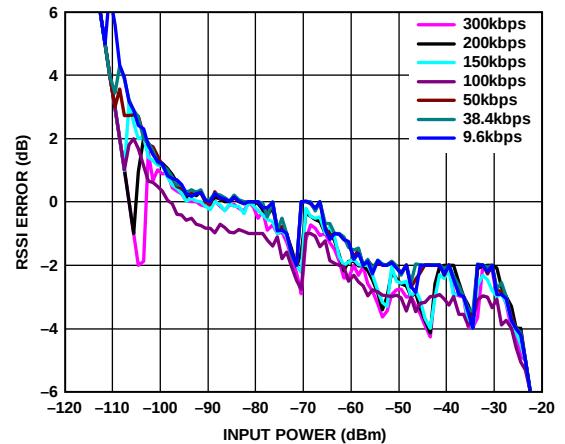


图68. 平均RSSI误差(通过“自动包结束RSSI测量”)与RF输入功率和数据速率的关系：RF频率 = 868 MHz，GFSK，每个输入功率电平进行100次RSSI测量

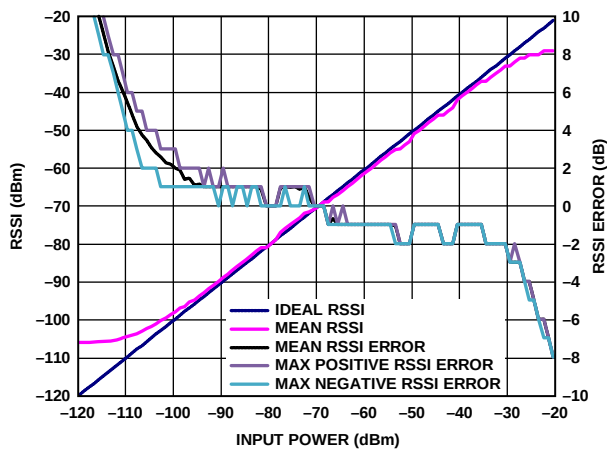


图66. RSSI(通过CMD_GET_RSSI)与RF输入功率的关系：868 MHz，GFSK，数据速率 = 38.4 kbps，频率偏差 = 20 kHz，IF带宽 = 100 kHz，每个输入功率电平进行100次RSSI测量

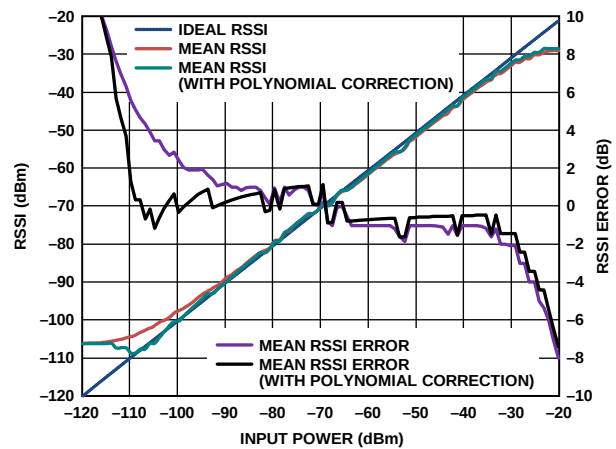


图69. 采用和不采用余弦多项式校正的RSSI(通过“自动包结束RSSI测量”)，每个输入功率电平进行100次RSSI测量

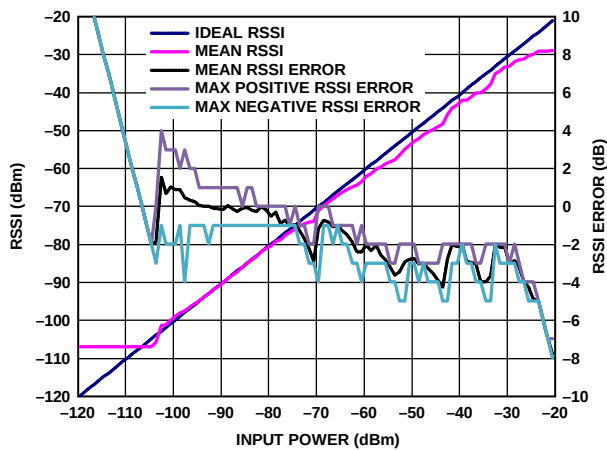


图67. RSSI(通过“自动包结束RSSI测量”)与RF输入功率的关系：868 MHz，GFSK，数据速率 = 300 kbps，频率偏差 = 75 kHz，IF带宽 = 300 kHz，AGC_CLOCK_DIVIDE = 15，每个输入功率电平进行100次RSSI测量

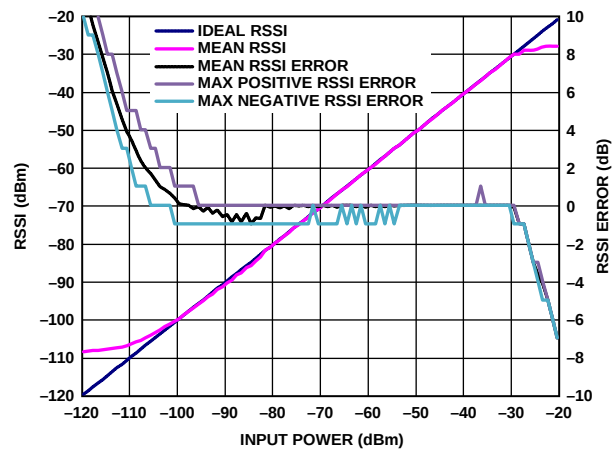


图70. OOK RSSI和OOK RSSI误差与RF输入功率的关系：915 MHz，数据速率 = 19.2 kbps (38.4 kcps)，每个输入功率电平进行200次RSSI测量

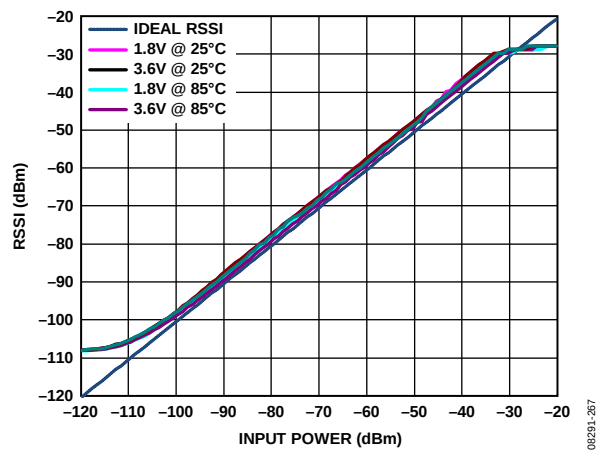


图71. OOK RSSI与RF输入功率、 V_{DD} 和温度的关系：
RF频率 = 915 MHz，数据速率 = 19.2 kbps(38.4 kcps曼彻斯特编码)

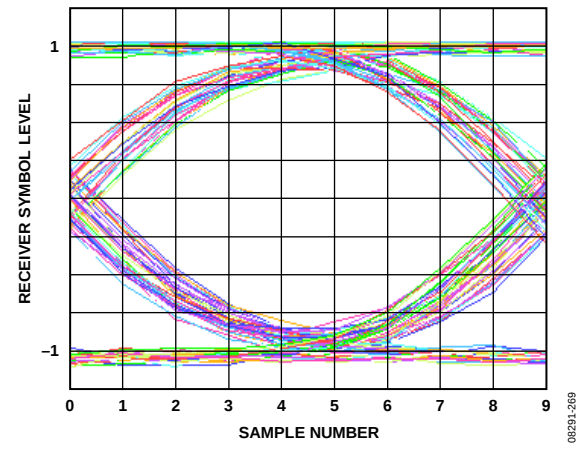


图73. 接收机眼图：采用测试DAC测量，RF频率 = 915 MHz，
RF输入功率 = -80 dBm，数据速率 = 100 kbps，频率偏差 = 50 kHz

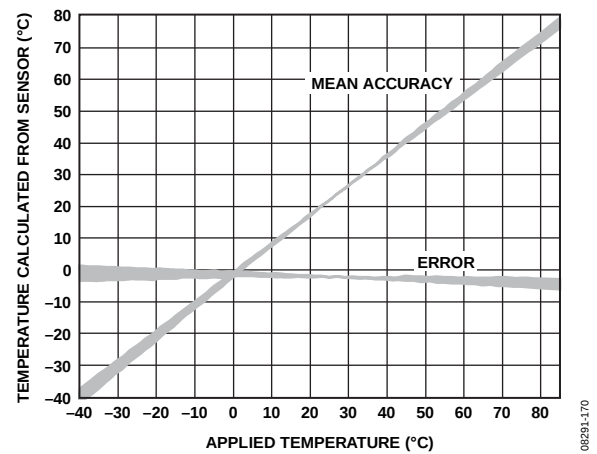


图72. 温度传感器的典型精度范围与所施加温度的关系，
校准温度25°C

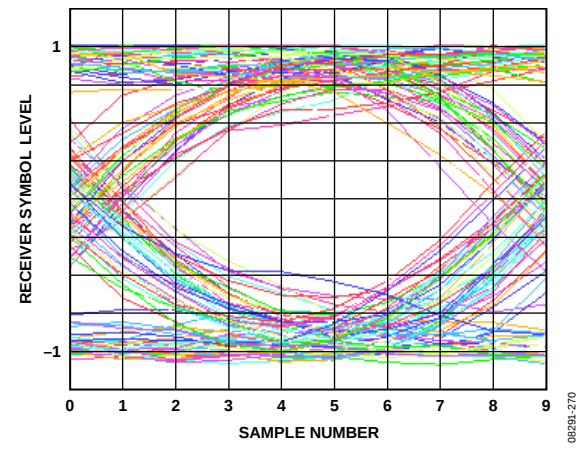


图74. 接收机眼图：采用测试DAC测量，RF频率 = 915 MHz，
RF输入功率 = -105 dBm，数据速率 = 100 kbps，频率偏差 = 50 kHz

术语

ADC

模数转换器

自动增益控制

自动增益控制

自动频率控制

自动频率控制

Battmon

电池监控器

BBRAM

备用电池随机存取存储器

CBC

密码块链接

CRC

循环冗余校验

DR

数据速率

ECB

电子密码本

ECC

差错校验码

2FSK

两级频移键控

GFSK

两级高斯频移键控

GMSK

高斯最小频移键控

LO

本振

MAC

媒体访问控制

MCR

调制解调器配置随机存取存储器

MER

调制误差率

MSK

最小频移键控

无操作(NOP)

无操作

OOK

开关键控

PA

功率放大器

PFD

鉴频鉴相器

PHY

物理层

RCO

RC振荡器

RISC

精简指令集计算机

RSSI

接收信号强度指示器

Rx

接收

SAR

逐次逼近寄存器

SWM

智能唤醒模式

Tx

发射

VCO

电压控制振荡器

WUC

唤醒控制器

XOSC

晶振

无线电控制

ADF7023具有五种无线电状态，分别称为PHY_SLEEP、PHY_OFF、PHY_ON、PHY_RX和PHY_TX。主机处理器可以通过SPI接口发出单字节命令，使ADF7023在不同状态之间跃迁。图75显示了各种命令和状态。通信处理器处理各种无线电电路的序列化和关键时序功能，从而简化无线电操作，减轻主机处理器的负荷。

无线电状态

PHY_SLEEP

在该状态下，器件处于低功耗休眠模式。可以从PHY_OFF或PHY_ON状态进入该状态，方法是发出CMD_PHY_SLEEP命令。要将无线电从该状态唤醒，应将CS引脚拉低，或者使用唤醒控制器(32.768 kHz RC或32.768 kHz晶体)唤醒。唤醒定时器应在进入PHY_SLEEP状态之前设置。如果不需要保留BBRAM内容，可以使用深度休眠模式2，以进一步降低PHY_SLEEP状态下的功耗。要进入深度休眠模式2，需发出CMD_HW_RESET命令。PHY_SLEEP状态的选项详见表10。在PHY_SLEEP状态下，IRQ_GP3中断引脚处于逻辑低电平，其它GPx引脚则处于高阻态。

PHY_OFF

在PHY_OFF状态下，26 MHz晶振、数字调节器和频率合成器调节器上电。所有存储器均可完全访问。退出此状态前，BBRAM寄存器必须有效。

PHY_ON

在PHY_ON状态下，除晶振、数字调节器和频率合成器调节器上电外，VCO和RF调节器也上电。从PHY_OFF状态进入此状态时，如果MODE_CONTROL寄存器(地址0x11A)的BB_CAL位置1，则会执行基带滤波器校准。器件已准备好工作，可以进入PHY_TX和PHY_RX状态。

PHY_TX

在PHY_TX状态下，频率合成器使能并接受校准。功率放大器使能，器件以CHANNEL_FREQ[23:0]设置(地址0x109至0x10B)所定义的通道频率发射信号。要进入该状态，需

发出CMD_PHY_TX命令。器件自动发送包RAM中存储的发送数据包。发送完毕后，PA禁用，器件自动返回PHY_ON状态，此时可以产生一个中断(可选项)。

在Sport模式下，器件发送GP2引脚上的数据，如Sport部分所述。在Sport模式下退出PHY_TX状态时，主机处理器必须发出CMD_PHY_ON命令。

PHY_RX

在PHY_RX状态下，频率合成器使能并执行校准。ADC、RSSI、IF滤波器、混频器和LNA使能。无线电处于接收模式，通道频率由CHANNEL_FREQ[23:0]设置(地址0x109至0x10B)定义。

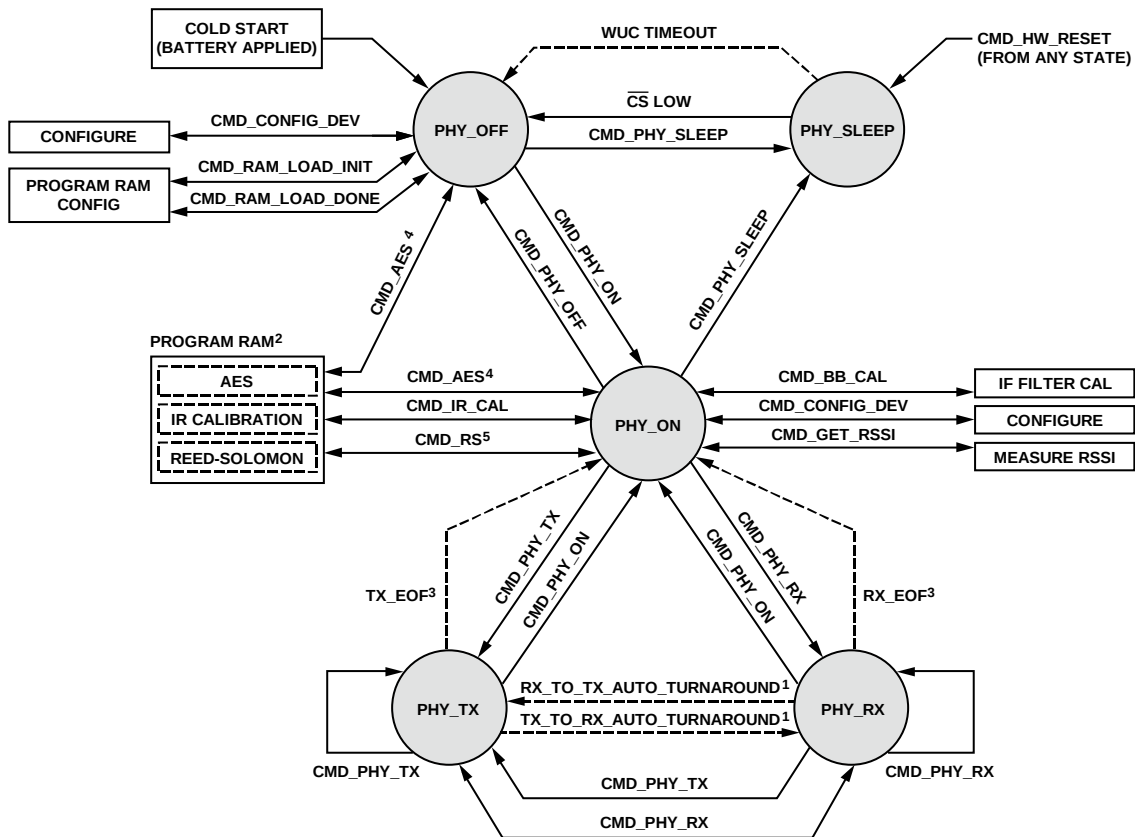
接收到有效数据包后，器件返回PHY_ON状态，此时可以产生一个中断(可选项)。在Sport模式下，器件一直处于PHY_RX状态，直到发出CMD_PHY_ON命令为止。

功耗

每种状态下的典型功耗详见表10。

表10. ADF7023无线电状态的功耗

状态	典型功耗	条件
PHY_SLEEP (深度休眠模式2)	0.18 μ A	唤醒定时器关闭，不保留BBRAM内容，通过发出CMD_HW_RESET进入
PHY_SLEEP (深度休眠模式1)	0.33 μ A	唤醒定时器关闭，保留BBRAM内容
PHY_SLEEP (RCO模式)	0.75 μ A	唤醒定时器开启，使用32 kHz RC振荡器，保留BBRAM内容
PHY_SLEEP (XTO模式)	1.28 μ A	唤醒定时器开启，使用32 kHz XTAL振荡器，保留BBRAM内容
PHY_OFF	1.0 mA	
PHY_ON	1.0 mA	
PHY_TX	24.1 mA	10 dBm，单端PA，868 MHz
PHY_RX	12.8 mA	



¹TRANSMIT AND RECEIVE AUTOMATIC TURNAROUND MUST BE ENABLED BY BITS RX_TO_TX_AUTO_TURNAROUND AND TX TO RX AUTO TURNAROUND (0x11A: MODE CONTROL).

2AES ENCRYPTION/DECRYPTION, IMAGE REJECTION CALIBRATION, AND REED SOLOMON CODING ARE AVAILABLE ONLY IF THE NECESSARY FIRMWARE MODULE HAS BEEN DOWNLOADED TO THE PROGRAM RAM.

³THE END OF FRAME (EOF) AUTOMATIC TRANSITIONS ARE DISABLED IN SPORT MODE.

⁴CMD_AES REFERS TO THE THREE AVAILABLE AES COMMANDS: CMD_AES_ENCRYPT, CMD_AES_DECRYPT, AND CMD_AES_DECRYPT_INIT.

⁵CMD_RS REFERS TO THE THREE AVAILABLE REED SOLOMON COMMANDS: CMD_RS_ENCODE_INIT, CMD_RS_ENCODE, AND CMD_RS_DECODE.

KEY

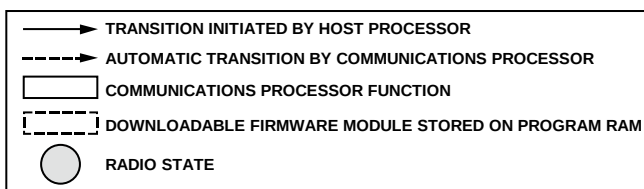


图75. 无线电状态图

初始化

加电后的初始化

通过VDDBAT1/VDDBAT2引脚对ADF7023施加电源后，它记录一个上电复位事件(POR)，并跃迁到PHY_OFF状态。BBRAM存储器为未知值，包RAM存储器清零至0x00，MCR存储器复位为默认值。主机处理器应通过下列步骤完成初始化序列：

1. 将SPI的 $\overline{CS}$ 引脚拉低，等待MISO输出变为高电平。
2. 轮询状态字，等待CMD_READY位变为高电平。
3. 写入所有64个BBRAM寄存器以配置器件。
4. 发出CMD_CONFIG_DEV命令，以便利用BBRAM值更新无线电设置。

ADF7023现已配置为PHY_OFF状态。

发出CMD_HW_RESET命令后的初始化

CMD_HW_RESET命令会使所有硬件完全掉电，器件进入PHY_SLEEP状态。要完成硬件复位，主机处理器应完成下列步骤：

1. 等待1 ms。
2. 将SPI的 $\overline{CS}$ 引脚拉低，等待MISO输出变为高电平。
ADF7023记录一个POR并进入PHY_OFF状态。
3. 轮询状态字，等待CMD_READY位变为高电平。
4. 写入所有64个BBRAM寄存器以配置器件。
5. 发出CMD_CONFIG_DEV命令，以便利用BBRAM值更新无线电设置。

ADF7023现已配置为PHY_OFF状态。

从PHY_SLEEP跃迁时的初始化($\overline{CS}$ 拉低后)

主机处理器可以随时拉低 $\overline{CS}$ ，使ADF7023从PHY_SLEEP状态唤醒。该事件不会作为POR事件记录下来，因为BBRAM内容有效。主机处理器需要完成下列步骤：

1. 将SPI的 $\overline{CS}$ 线拉低，等待MISO输出变为高电平。
ADF7023进入PHY_OFF状态。
2. 轮询状态字，等待CMD_READY位变为高电平。
3. 发出CMD_CONFIG_DEV命令，以便利用BBRAM值更新无线电设置。

ADF7023现在配置就绪，可以跃迁到PHY_ON状态。

WUC超时后的初始化

ADF7023可以利用唤醒控制器从PHY_SLEEP状态自主唤醒。在智能唤醒模式(SWM)下，如果ADF7023在WUC超时后唤醒，它将根据BBRAM中的智能唤醒模式配置执行SWM程序(参见“低功耗模式”部分)。当SWM禁用且固件定时器禁用时，如果ADF7023在WUC超时后唤醒，它将处于PHY_OFF状态，并且主机处理器需要执行下列步骤：

1. 轮询状态字，等待CMD_READY位变为高电平。
2. 发出CMD_CONFIG_DEV命令，以便利用BBRAM值更新无线电设置。

ADF7023现已配置为PHY_OFF状态。

命令

本节详细介绍无线电控制器支持的命令。这些命令用于启动无线电状态跃迁或者执行图75中所示的任务。

CMD_PHY_OFF (0xB0)

此命令使ADF7023跃迁到PHY_OFF状态。可以在PHY_ON状态下发出此命令。它会关断RF和VCO调节器。

CMD_PHY_ON (0xB1)

此命令使ADF7023跃迁到PHY_ON状态。

在PHY_OFF状态下发出此命令时，RF和VCO调节器上电；如果MODE_CONTROL寄存器(地址0x11A)的BB_CAL位置1，则还会执行IF滤波器校准。

如果从PHY_TX状态发出此命令，则主机处理器执行下列步骤：

1. 使PA斜降。
2. 将外部PA信号拉低(如已使能)。
3. 关闭数字发送时钟。
4. 关断频率合成器。
5. 设置FW_STATE = PHY_ON。

如果从PHY_RX状态发出此命令，则通信处理器执行下列步骤：

1. 将测得的RSSI复制到RSSI_READBACK寄存器。
2. 将外部LNA信号拉低(如已使能)。
3. 关闭数字接收时钟。
4. 关断频率合成器和接收机电路(ADC、RSSI、IF滤波器、混频器和LNA)。
5. 设置FW_STATE = PHY_ON。

CMD_PHY_SLEEP (0xBA)

此命令可使ADF7023跃迁到功耗极低的PHY_SLEEP状态，此时WUC运行(如已使能)，BBRAM内容会被保留。可以从PHY_OFF或PHY_ON状态发出此命令。

CMD_PHY_RX (0xB2)

可以在PHY_ON、PHY_RX或PHY_TX状态下发出此命令。如果在PHY_ON状态下发出此命令，则通信处理器执行下列步骤：

1. 使频率合成器上电。
2. 使接收机电路(ADC、RSSI、IF滤波器、混频器和LNA)上电。
3. 根据BBRAM中的CHANNEL_FREQ[23:0]值设置RF通道。
4. 设置频率合成器带宽。
5. 执行VCO校准。
6. 等待频率合成器建立。
7. 使能数字接收机模块。
8. 将外部LNA使能信号拉高(如已使能)。
9. 设置FW_STATE = PHY_RX。

如果在PHY_RX状态下发出此命令，则通信处理器执行下列步骤：

1. 将外部LNA信号拉低(如已使能)。
2. 解除AFC和AGC锁定。
3. 关闭接收模块。
4. 根据BBRAM中的CHANNEL_FREQ[23:0]值设置RF通道。
5. 设置频率合成器带宽。
6. 执行VCO校准。
7. 等待频率合成器建立。
8. 使能数字接收机模块。
9. 将外部LNA使能信号拉高(如已使能)。
10. 设置FW_STATE = PHY_RX。

如果在PHY_TX状态下发出此命令，则通信处理器执行下列步骤：

1. 使PA斜降。
2. 将外部PA信号拉低(如已使能)。
3. 关闭数字发送模块。
4. 使接收机电路(ADC、RSSI、IF滤波器、混频器和LNA)上电。
5. 根据BBRAM中的CHANNEL_FREQ[23:0]值设置RF通道。
6. 设置频率合成器带宽。
7. 执行VCO校准。
8. 等待频率合成器建立。
9. 使能数字接收机模块。
10. 将外部LNA使能信号拉高(如已使能)。
11. 设置FW_STATE = PHY_RX。

CMD_PHY_TX (0xB5)

可以在PHY_ON、PHY_TX或PHY_RX状态下发出此命令。如果在PHY_ON状态下发出此命令，则通信处理器执行下列步骤：

1. 使频率合成器上电。
2. 根据BBRAM中的CHANNEL_FREQ[23:0]值设置RF通道。
3. 设置频率合成器带宽。
4. 执行VCO校准。
5. 等待频率合成器建立。
6. 使能数字发送模块。
7. 将外部PA使能信号拉高(如已使能)。
8. 使PA斜升。
9. 设置FW_STATE = PHY_TX。
10. 发送数据。

如果在PHY_TX状态下发出此命令，则通信处理器执行下列步骤：

1. 使PA斜降。
2. 将外部PA使能信号拉低(如已使能)。
3. 关闭数字发送模块。
4. 根据BBRAM中的CHANNEL_FREQ[23:0]值设置RF通道。
5. 设置频率合成器带宽。
6. 执行VCO校准。
7. 等待频率合成器建立。
8. 使能数字发送模块。
9. 将外部PA使能信号拉高(如已使能)。
10. 使PA斜升。
11. 设置FW_STATE = PHY_TX。
12. 发送数据。

如果在PHY_RX状态下发出此命令，则通信处理器执行下列步骤：

1. 将外部LNA信号拉低(如已使能)。
2. 解除AFC和AGC锁定。
3. 关闭接收模块。
4. 关断接收机电路(ADC、RSSI、IF滤波器、混频器和LNA)。
5. 根据BBRAM中的CHANNEL_FREQ[23:0]值设置RF通道。
6. 设置频率合成器带宽。
7. 等待频率合成器建立。
8. 使能数字发送模块。
9. 将外部PA使能信号拉高(如已使能)。
10. 使PA斜升。
11. 设置FW_STATE = PHY_TX。
12. 发送数据。

CMD_CONFIG_DEV (0xBB)

此命令用于解释BBRAM内容，并根据这些内容配置各无线电参数。可以从PHY_OFF或PHY_ON状态发出此命令。唯一不由此命令配置的无线电参数是CHANNEL_FREQ[23:0]设置，它是在CMD_PHY_TX或CMD_PHY_RX命令中配置的。

用户应写入BBRAM的全部64个字节，然后发出CMD_CONFIG_DEV命令，可以在PHY_OFF或PHY_ON状态下发出该命令。

CMD_GET_RSSI (0xBC)

此命令可开启接收机，对当前通道执行RSSI测量，并使ADF7023返回PHY_ON状态。可以从PHY_ON状态发出此命令。RSSI结果将保存到RSSI_READBACK寄存器(地址0x312)。此命令只能从PHY_ON状态发出。

CMD_BB_CAL (0xBE)

此命令执行IF滤波器校准。只能在PHY_ON状态下发出此命令。许多情况下不必使用此命令，因为从PHY_OFF跃迁到PHY_ON时，如果MODE_CONTROL寄存器(地址0x11A)的BB_CAL = 1，会自动执行IF滤波器校准。

CMD_HW_RESET (0xC8)

此命令会使所有硬件完全掉电，器件进入PHY_SLEEP状态。可以在任何状态下发出此命令，它与通信处理器的状态无关。CMD_HW_RESET命令之后的器件初始化过程详见“初始化”部分。

CMD_RAM_LOAD_INIT (0xBF)

此命令使通信处理器准备就绪，能够将软件模块下载到程序RAM。只能在主机处理器写入程序RAM之前发出此命令。

CMD_RAM_LOAD_DONE (0xC7)

只有将软件模块下载到程序RAM之后才需要发出此命令。它告知通信处理器，已有一个软件模块下载到程序RAM。只能在PHY_OFF状态下发出此命令。它会复位通信处理器和包RAM。

CMD_IR_CAL (0xBD)

此命令用于对ADF7023接收机执行全自动镜像抑制校准。

此命令要求已将IR校准固件模块下载到ADF7023程序RAM。固件模块可从ADI公司获得。更多信息参见“可下载的固件模块”部分。

CMD_AES_ENCRYPT (0xD0)、CMD_AES_DECRYPT (0xD2)和CMD_AES_DECRYPT_INIT (0xD1)

这些命令支持利用128位、192位或256位的密钥对发送和接收数据进行AES 128位块加密和解密。

AES命令要求已将AES固件模块下载到ADF7023程序RAM。AES固件模块可从ADI公司获得。有关AES加密和解密模块的详细信息，参见“可下载的固件模块”部分。

CMD_RS_ENCODE_INIT (0xD1)、CMD_RS_ENCODE (0xD0)和CMD_RS_DECODE (0xD2)

这些命令用于对发送和接收数据执行Reed Solomon编码和解码，因而能够检测并校正接收包中的错误。

这些命令要求已将Reed Solomon固件模块下载到ADF7023程序RAM。Reed Solomon固件模块可从ADI公司获得。有关此模块的详细信息，参见“可下载的固件模块”部分。

自动状态跃迁

发生某些事件时，通信处理器可以使ADF7023在不同状态之间自动跃迁。图75中的虚线所示为自动跃迁，本节将予以详细说明。

TX_EOF

数据包发送完毕时，通信处理器自动使器件从PHY_TX状态跃迁到PHY_ON状态。跃迁时，通信处理器执行下列操作：

1. 使PA斜降。
2. 将外部PA信号拉低。
3. 禁用数字发射机模块。
4. 关断频率合成器。
5. 设置FW_STATE = PHY_ON。

RX_EOF

数据包接收完毕时，通信处理器自动使器件从PHY_RX状态跃迁到PHY_ON状态。跃迁时，通信处理器执行下列操作：

1. 将测得的RSSI复制到RSSI_READBACK寄存器(地址0x312)。
2. 将外部LNA信号拉低。
3. 禁用数字接收机模块。
4. 关断频率合成器和接收机电路(ADC、RSSI、IF滤波器、混频器和LNA)。
5. 设置FW_STATE = PHY_ON。

RX_TO_TX_AUTO_TURNAROUND

如果MODE_CONTROL寄存器(地址0x11A)的RX_TO_TX_AUTO_TURNAROUND位使能，则在有效数据包接收完毕时，器件自动跃迁到PHY_TX状态，RF通道频率不变。跃迁时，通信处理器执行下列操作：

1. 将外部LNA信号拉低。
2. 解除AGC和AFC锁定(如已使能)。
3. 禁用数字接收机模块。
4. 关断接收机电路(ADC、RSSI、IF滤波器、混频器和LNA)。
5. 设置RF通道频率(与先前的接收通道频率相同)。
6. 设置频率合成器带宽。
7. 执行VCO校准。
8. 等待频率合成器建立。
9. 使能数字发射机模块。
10. 将外部PA信号拉高(如已使能)。
11. 使PA斜升。
12. 设置FW_STATE = PHY_TX。
13. 发送数据。

在Sport模式下，禁用RX_TO_TX_AUTO_TURNAROUND跃迁。

TX_TO_RX_AUTO_TURNAROUND

如果MODE_CONTROL寄存器(地址0x11A)的TX_TO_RX_AUTO_TURNAROUND位使能，则在数据包发送完毕时，器件自动跃迁到PHY_RX状态，RF通道频率不变。跃迁时，通信处理器执行下列操作：

1. 使PA斜降。
2. 将外部PA信号拉低。
3. 禁用数字发射机模块。
4. 使接收机电路(ADC、RSSI、IF滤波器、混频器和LNA)上电。
5. 设置RF通道(与先前的发射通道频率相同)。
6. 设置频率合成器带宽。
7. 执行VCO校准。
8. 等待频率合成器建立。
9. 开启AGC和AFC(如已使能)。
10. 使能数字接收机模块。
11. 将外部LNA信号拉高(如已使能)。
12. 设置FW_STATE = PHY_RX。

在Sport模式下，禁用TX_TO_RX_AUTO_TURNAROUND跃迁。

WUC超时

ADF7023可以利用WUC，在硬件定时器超时时唤醒。器件唤醒后进入PHY_OFF状态。更多信息参见“WUC模式”部分。

状态跃迁和命令时序

所有无线电状态跃迁的执行时间详见表11和表12。注意：这些时间是典型值，可能因不同的BBRAM配置而异。如需正常跃迁时间，请将TRANSITION_CLOCK_DIV(位置0x13A)设为0x04。如需快速跃迁时间，请将TRANSITION_CLOCK_DIV设为0x01。建议使能快速跃迁时间以降低系统功耗。

如SPI接口部分所述，命令在命令的最后一个正SCLK沿执行。对于表11和表12给出的值，最后一个正SCLK沿与 $\overline{\text{CS}}$ 上升沿之间存在一个200 ns的额外时间，它与所用的SPI速率有关。

表11. 与PHY_TX或PHY_RX无关的ADF7023命令执行时间和状态跃迁时间

命令/位	命令发出者	当前状态	下一状态	正常跃迁时间(μs), 典型值	快速跃迁时间(μs), 典型值	条件
CMD_HW_RESET	主机	任何	PHY_SLEEP	1	1	从CS上升沿到 CMD_FINISHED中断
CMD_PHY_SLEEP	主机	PHY_OFF	PHY_SLEEP	22.3	22.3	
CMD_PHY_SLEEP	主机	PHY_ON	PHY_SLEEP	24.1	24.1	
CMD_PHY_OFF	主机	PHY_ON	PHY_OFF	24	11	
CMD_PHY_ON	主机	PHY_OFF	PHY_ON	258/73	213/28	从CS上升沿到 CMD_FINISHED中断； IF滤波器校准使能/禁用
CMD_GET_RSSI	主机	PHY_ON	PHY_ON	631/450	523/353	RSSI_WAIT_TIME (地址0x138)= 0xA7/0x37
CMD_CONFIG_DEV	主机	PHY_OFF	PHY_OFF	72	23	从CS上升沿到 CMD_FINISHED中断
CMD_CONFIG_DEV	主机	PHY_ON	PHY_ON	75.5	24.5	从CS上升沿到 CMD_FINISHED中断
CMD_BB_CAL	主机	PHY_ON	PHY_ON	221	204	从CS上升沿到 CMD_FINISHED中断
从PHY_SLEEP唤醒 (WUC超时)	自动	PHY_SLEEP	PHY_OFF	304	304	7 pF负载电容, T _A = 25°C
从PHY_SLEEP唤醒 (CS低电平)	主机	PHY_SLEEP	PHY_OFF	304	304	7 pF负载电容, T _A = 25°C
冷启动	加电	不适用	PHY_OFF	304	304	7 pF负载电容, T _A = 25°C

表12. 与PHY_TX和PHY_RX有关的ADF7023状态跃迁时间

模式	命令/位/ 自动跃迁	当前状态	下一状态	正常跃迁时间(μs) ^{1,2} , 典型值	快速跃迁时间(μs) ^{1,2} , 典型值	条件
包	CMD_PHY_ON	PHY_TX	PHY_ON	T _{EOP} + T _{PARAMP_DOWN} + T _{BYTE} + 43	T _{EOP} + T _{PARAMP_DOWN} + T _{BYTE} + 15	从CS上升沿到CMD_FINISHED中断
包	CMD_PHY_ON	PHY_RX	PHY_ON	T _{BYTE} + 48	T _{BYTE} + 21	从CS上升沿到CMD_FINISHED中断, CMD_PHY_ON于搜索前同步码期间发出
				50.5	23	从CS上升沿到CMD_FINISHED中断, CMD_PHY_ON于前同步码验证期间发出
				50.5	23	从CS上升沿到CMD_FINISHED中断, CMD_PHY_ON于同步字验证期间发出
				T _{EOP} + 62.5	T _{EOP} + 18	从CS上升沿到CMD_FINISHED中断, CMD_PHY_ON于接收数据(同步字之后) 期间发出

ADF7023

模式	命令/ 位/ 自动跃迁	当前 状态	下一 状态	正常跃迁 时间(μs) ^{1,2} , 典型值	快速 跃迁 时间(μs) ^{1,2} , 典型值	条件
包	CMD_PHY_TX	PHY_ON	PHY_TX	306	237	从CS上升沿到CMD_FINISHED中断；PA于中断3.4 μs后开始斜升；用户数据的第一位于中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送
包	CMD_PHY_TX	PHY_RX	PHY_TX	$T_{\text{BYTE}} + 324.5$	$T_{\text{BYTE}} + 248$	从CS上升沿到CMD_FINISHED中断，CMD_PHY_TX于搜索前同步码期间发出；PA于中断3.4 μs后开始斜升；用户数据的第一位于中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送
				322.5	245.5	从CS上升沿到CMD_FINISHED中断，CMD_PHY_TX于前同步码验证期间发出；PA于中断3.4 μs后开始斜升；用户数据的第一位于中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送
				322.5	245.5	从CS上升沿到CMD_FINISHED中断，CMD_PHY_TX于同步字验证期间发出；PA于中断3.4 μs后开始斜升；用户数据的第一位于中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送
				$T_{\text{EOP}} + 281$	$T_{\text{EOP}} + 263$	从CS上升沿到CMD_FINISHED中断，CMD_PHY_TX于接收数据(同步字之后)期间发出；PA于中断3.4 μs后开始斜升；用户数据的第一位于中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送
包	CMD_PHY_TX	PHY_TX	PHY_TX	$T_{\text{EOP}} + T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 310$	$T_{\text{EOP}} + T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 236$	从CS上升沿到CMD_FINISHED中断，CMD_PHY_TX于包发送期间发出；PA于中断3.4 μs后开始斜升；用户数据的第一位于中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送
包	RX_TO_TX_AUTO_TURNAROUND	PHY_RX	PHY_TX	322	234.2	从 INTERRUPT_CRC_CORRECT到CMD_FINISHED中断；PA于中断3.4 μs后开始斜升；用户数据的第一位于中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送
包	CMD_PHY_RX	PHY_ON	PHY_RX	327	241	从CS上升沿到CMD_FINISHED中断
包	CMD_PHY_RX	PHY_TX	PHY_RX	$T_{\text{EOP}} + T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 336$	$T_{\text{EOP}} + T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 241$	从CS上升沿到CMD_FINISHED中断，CMD_PHY_RX于搜索前同步码期间发出
包	CMD_PHY_RX	PHY_RX	PHY_RX	$T_{\text{BYTE}} + 341.5$	$T_{\text{BYTE}} + 249.5$	从CS上升沿到CMD_FINISHED中断，CMD_PHY_RX于搜索前同步码期间发出
				339.5	249	从CS上升沿到CMD_FINISHED中断，CMD_PHY_RX于前同步码验证期间发出
				339.5	249	从CS上升沿到CMD_FINISHED中断，CMD_PHY_RX于同步字验证期间发出
				$T_{\text{EOP}} + 354$	$T_{\text{EOP}} + 246$	从CS上升沿到CMD_FINISHED中断，CMD_PHY_RX于接收数据(同步字之后)期间发出

模式	命令/ 位/ 自动跃迁	当前 状态	下一 状态	正常跃迁 时间(μs) ^{1,2} , 典型值	快速 跃迁 时间(μs) ^{1,2} , 典型值	条件
包	TX_TO_RX_AUTO_TURNAROUND	PHY_TX	PHY_RX	$T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 322$	$T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 232$	从TX_EOF中断到CMD_FINISHED中断
包	TX_EOF	PHY_TX	PHY_ON	$T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 25$	$T_{\text{PARAMP_DOWN}} + T_{\text{BYTE}} + 5$	从TX_EOF中断到CMD_FINISHED中断
包	RX_EOF	PHY_RX	PHY_ON	46	10	从INTERRUPT_CRC_CORRECT到CMD_FINISHED中断
Sport	CMD_PHY_ON	PHY_TX	PHY_ON	$T_{\text{PARAMP_DOWN}} + 51$	$T_{\text{PARAMP_DOWN}} + 22$	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断
Sport	CMD_PHY_ON	PHY_RX	PHY_ON	$T_{\text{BYTE}} + 54$	$T_{\text{BYTE}} + 28$	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_ON于搜索前同步码期间发出
				50.5	23	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_ON于前同步码验证期间发出
				50.5	23	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_ON于同步字验证期间发出
				56	26	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_ON于接收数据(同步字之后)期间发出
Sport	CMD_PHY_TX	PHY_ON	PHY_TX	306	237	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断; PA于中断3.4 μs 后开始斜升
Sport	CMD_PHY_TX	PHY_RX	PHY_TX	$T_{\text{BYTE}} + 325$	$T_{\text{BYTE}} + 250$	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_TX于搜索前同步码期间发出; PA于中断3.4 μs 后开始斜升
				320	245	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_TX于前同步码验证期间发出; PA于中断3.4 μs 后开始斜升
				320	245	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_TX于同步字验证期间发出; PA于中断3.4 μs 后开始斜升
				326	249	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断, CMD_PHY_TX于接收数据(同步字之后)期间发出; PA于中断3.4 μs 后开始斜升
Sport	CMD_PHY_TX	PHY_TX	PHY_TX	$T_{\text{PARAMP_DOWN}} + 315$	$T_{\text{PARAMP_DOWN}} + 243$	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断; PA于中断3.4 μs 后开始斜升
Sport	CMD_PHY_RX	PHY_ON	PHY_RX	327	241	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断
Sport	CMD_PHY_RX	PHY_TX	PHY_RX	$T_{\text{PARAMP_DOWN}} + 345$	$T_{\text{PARAMP_DOWN}} + 250$	从 $\overline{\text{CS}}$ 上升沿到CMD_FINISHED中断

ADF7023

模式	命令/ 位/ 自动跃迁	当前 状态	下一 状态	正常跃迁 时间(μs) ^{1,2} , 典型值	快速 跃迁 时间(μs) ^{1,2} , 典型值	条件
Sport	CMD_PHY_RX	PHY_RX	PHY_RX	T _{BYTE} + 342	T _{BYTE} + 249.5	从CS上升沿到CMD_FINISHED中断， CMD_PHY_RX于搜索前同步码期间发出
				339.5	249	从CS上升沿到CMD_FINISHED中断， CMD_PHY_RX于前同步码验证期间发出
				339.5	249	从CS上升沿到CMD_FINISHED中断， CMD_PHY_RX于同步字验证期间发出
				346	252	从CS上升沿到CMD_FINISHED中断， CMD_PHY_RX于接收数据(同步字之后) 期间发出

¹ $T_{PARAM_DOWN} = T_{PARAM_UP} = \frac{PA_LEVEL_MCR}{2 \times (9 - PA_RAMP) \times DATA_RATE \times 100}$ ，其中PA_LEVEL_MCR用于设置PA最大输出功率(PA_LEVEL_MCR寄存器，地址0x307)，PA_RAMP用于设置PA斜坡率(RADIO_CFG_8寄存器，地址0x114)，DATA_RATE用于设置发送数据速率(RADIO_CFG_0寄存器、地址0x10C和RADIO_CFG_1寄存器、地址0x10D)。

² T_{BIT} = 一位周期(μs)，T_{BYTE} = 一个字节周期(μs)，T_{EOP} = 距离包结束的时间(μs)。

数据包模式

片内通信处理器经过配置，可以与各种采用2FSK/GFSK/MSK/GMSK/OOK调制且基于数据包的无线电协议结合使用。当使用通信处理器的包管理特性时，通用包格式如表14所示。若要使用包管理特性，PACKET_LENGTH_CONTROL寄存器(地址0x126)的DATA_MODE设置应设置为包模式；240字节的专用包RAM可用于存储、发送和接收数据包。在发射模式下，前同步码、同步字和CRC可以由通信处理器添加到包RAM中存储的数据以进行传输。此外，同步字之后的所有包数据可以在发送时进行白化、曼彻斯特编码或8b/10b编码，以及在接收时进行解码。

在接收模式下，通信处理器可以根据前同步码检测、同步字检测、CRC检测或地址匹配验证接收包，并在IRQ_GP3引脚上产生中断。接收到有效数据包时，接收的有效载荷数据载入包RAM存储器中。有关中断的更多信息参见“中断产生”部分。

前同步码

前同步码是包不可缺少的一部分，发送包时通信处理器会自动添加前同步码，接收到包后会自动将其删除。前同步码是一个0x55序列，其长度可编程，范围为1字节到256字节，在PREAMBLE_LEN寄存器(地址0x11D)中设置。包需要以前同步码开始，以便在同步字开始之前，接收机

AGC、AFC、时钟和数据恢复电路有足够的时间来完成建立。所需的前同步码长度取决于无线电配置。更多信息见“无线电模块”部分。

在接收模式下，ADF7023可以使用前同步码验证电路来检测前同步码并中断主机处理器。前同步码验证电路以滑动窗口的形式跟踪接收到的帧。该窗口有三字节长，前同步码固定为0x55。前同步码位以01对的形式进行检查。如果任一位或两位均出错，则视该对为错误对。可能的错误对有00、11和10。前同步码中容许的错误对数可以通过PREAMBLE_MATCH寄存器(地址0x11B)设置，如表13所示。

表13. 前同步码检测容差 (PREAMBLE_MATCH，地址0x11B)

值	描述
0x0C	不容许任何错误。
0x0B	容许12个位对中有有一个错误位对。
0x0A	容许12个位对中有两个错误位对。
0x09	容许12个位对中有三个错误位对。
0x08	容许12个位对中有四个错误位对。
0x00	禁用前同步码检测。

表14. ADF7023包结构描述¹

包格式选项	分组结构						
	前同步码	同步	有效载荷			CRC	后同步码
			长度	地址	有效载荷数据		
域长度	1至256字节	1至24位	1个字节	1至9字节	0至240字节	2字节	2字节
包结构中的可选域	X	X	是	是	是	是	X
通信处理器在发送时添加，在接收时删除	是	是	X	X	X	是	是
主机将这些域写入包RAM	X	X	是	是	是	X	X
白化/去白化(可选)	X	X	是	是	是	是	X
曼彻斯特编码/解码(可选)	X	X	是	是	是	是	X
8b/10b编码/解码(可选)	X	X	是	是	是	是	X
可配置参数	是	是	是	是	是	是	X
域检测有效时产生接收中断	是	是	X	是	X	是	X
可编程域	是	是	X	X	X	X	X
误差容差							
可编程域偏移(见图78)	X	X	X	是	X	X	X

¹“是”表示支持该包格式选项；X表示不支持该包格式选项。

如果PREAMBLE_MATCH设为0x0C，则为了确认是否已检测到有效的前同步码，ADF7023必须接收12个连续的01对(三字节)。用户可以选择在检测到合格前同步码时自动锁定AFC和/或AGC的选项。通过将RADIO_CFG_10寄存器(地址0x116)的AFC_LOCK_MODE设为3，可以使能在前同步码检测时锁定AFC。通过将RADIO_CFG_7寄存器(地址0x113)的AGC_LOCK_MODE设为3，可以使能在前同步码检测时锁定AGC。

检测到前同步码并且达到前同步码结束位置后，通信处理器将搜索同步字。搜索同步字的持续时间等于设置的同步字数、前同步码匹配容差(位数)加16位之和。如果在此期间内检测到同步字，则通信处理器将收到的有效载荷存储到包RAM，并计算CRC(如果已使能)。如果在此期间未检测到同步字，则通信处理器继续搜索前同步码。

设置PREAMBLE_MATCH寄存器为0x00可以禁用前同步码检测。要在检测到前同步码时使能中断，用户必须将INTERRUPT_MASK_0寄存器(地址0x100)的INTERRUPT_PREAMBLE_DETECT设为1。

同步字

接收机使用同步字实现字节同步，同时在检测到同步字时可选择提供中断。在发送模式下，通信处理器会自动将同步字添加到包中，而在接收数据包期间，通信处理器会自动将其删除。

同步字的值在SYNC_BYTE_0、SYNC_BYTE_1和SYNC_BYTE_2寄存器(地址分别为0x121、0x122和0x123)中设置。同步字以MSB优先方式从SYNC_BYTE_0开始发送。接收机的同步字匹配长度通过SYNC_CONTROL寄存器(地址0x120)的SYNC_WORD_LENGTH设置，范围为1位至24位；发送的同步字是8位的倍数。因此，对于非字节长度的同步字，发送的同步码应追加前同步码，如图76和表16所示。

在接收模式下，ADF7023可以在接收到SYNC_BYTE_0、SYNC_BYTE_1和SYNC_BYTE_2寄存器中设置的同步字序列时提供一个中断。此功能可用来提醒主机处理器已收到一个合格同步字。也可将误差容差参数设置为：同步字序列的错误位不超过三位时，接受有效匹配。误差容差值通过SYNC_CONTROL寄存器(地址0x120)的SYNC_ERROR_TOL设置，如表15所示。

表15. 同步字检测容差
(SYNC_ERROR_TOL，地址0x120)

值	描述
00	不容许任何位错误。
01	容许一位错误。
10	容许两位错误。
11	容许三位错误。

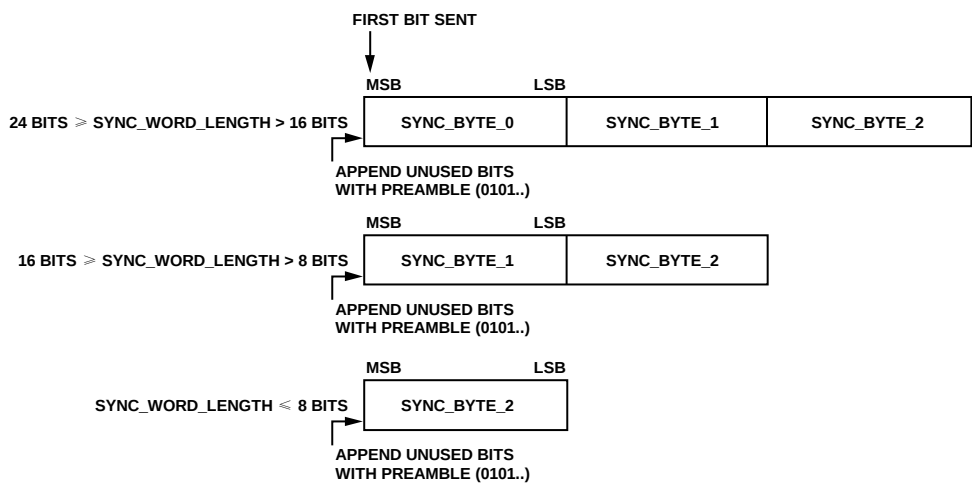


图76. 发送同步字配置

00231-068

表16. 同步字编程示例

所需的同步字(二进制, 第一位指时间上的第一位)	SYNC_CONTROL 寄存器(0x120) 中的 SYNC_WORD LENGTH位	SYNC_BYTE_0 ¹	SYNC_BYTE_1 ¹	SYNC_BYTE_2	发送的同步字(二进制, 第一位指时间上的第一位)	接收机同步字匹配长度(位)
000100100011010001010110	24	0x12	0x34	0x56	0001_0010_0011_0100_0101_0110	24
111010011100101000100	21	0x5D	0x39	0x44	0101_1101_0011_1001_0100_0100	21
0001001000110100	16	0xXX	0x12	0x34	0001_0010_0011_0100	16
011100001110	12	0xXX	0x57	0x0E	0101_0111_0000_1110	12
00010010	8	0xXX	0xXX	0x12	0001_0010	8
011100	6	0xXX	0xXX	0x5C	0101_1100	6

¹X = 无关。

同步字选择

所选的同步字与前同步码应具有较低的相关度，并且具有良好的自相关特性。如果AFC设置为在检测到同步字时锁定(AFC_LOCK_MODE = 3且PREAMBLE_MATCH = 0)，则所选的同步字应无直流，并且其运行长度限值不应大于四位。

有效载荷

主机处理器将发送数据有效载荷写入包RAM。发送数据在包RAM中的位置由TX_BASE_ADR值寄存器(地址0x124)定义。TX_BASE_ADR值是发送有效载荷数据的第一个字节在包RAM中的位置。收到有效同步字后，通信处理器自动将接收有效载荷载入包RAM。RX_BASE_ADR寄存器值(地址0x125)设置所接收到的有效载荷第一个字节在包RAM中的位置。有关包RAM存储器的更多信息，参见ADF7023存储器映射部分。

字节方向

通过PACKET_LENGTH_CONTROL寄存器(地址0x126)的DATA_BYTE设置，可以将包RAM已发送的各字节的无线(over-the-air)配置设置为MSB优先或LSB优先。RF链路的发射和接收侧应使用相同的方向设置。

包长度模式

ADF7023可以用于固定和可变长度包两种系统中。固定或可变长度包模式通过PACKET_LENGTH_CONTROL寄存器(地址0x126)的PACKET_LEN变量设置。

对于固定长度包系统，发送和接收的有效载荷长度由PACKET_LENGTH_MAX寄存器(地址0x127)设置。有效载荷长度指从同步字结束到CRC开始的字节数。

在可变长度包模式下，通信处理器从接收到的有效载荷数据中提取长度域。对于发射模式，长度域必须是发送有效载荷的第一个字节。

通信处理器通过下式计算实际接收的有效载荷长度：

接收有效载荷长度 = 长度 + LENGTH_OFFSET - 4

其中：

“长度”为长度域(接收到的有效载荷的第一个字节)。LENGTH_OFFSET为可编程偏移(在地址为0x126的PACKET_LENGTH_CONTROL寄存器中设置)。

对于有些系统，其专有包中的长度域可能还包括CRC和/或同步字长度，使用LENGTH_OFFSET值即可与这些系统兼容。ADF7023将有效载荷长度定义为从同步字结束到CRC开始的字节数。在可变长度包模式下，PACKET_LENGTH_MAX值用于定义能够接收的最大包长度，如图77所示。

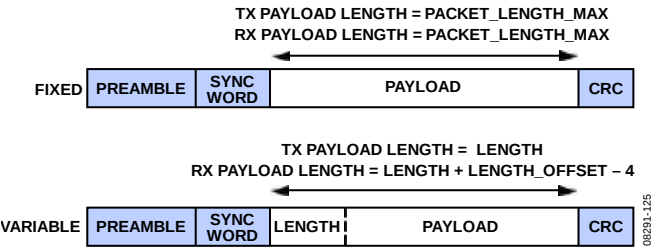


图77. 固定和可变长度包模式下的有效载荷长度

寻址

ADF7023的地址匹配方案非常灵活，允许匹配单个地址、多个地址和广播地址。支持最长32位的地址。地址信息可以包含在发送有效载荷的任何部分中。地址数据起始字节在接收到的有效载荷中的位置由ADDRESS_MATCH_OFFSET寄存器(地址0x129)设置，如图78所示。第一个地址域中的字节数由ADDRESS_LENGTH寄存器(地址0x12A)设置。利用这些设置，通信处理器便能从接收包中提取地址信息。

地址数据随后同BDRAM(地址0x12B至0x137)中存储的一系列已知地址进行比较。所存储的每个地址字节都有一个相关的屏蔽字节，因而能与地址字节的局部进行匹配，这对于检查广播地址或者检查在地址序列中具有唯一标识符的系列地址很有帮助。地址信息在有效载荷数据中的格式和位置应与接收机的地址检查设置一致，以确保精确地检测和验证地址。表17显示了BDRAM中用于设置地址检查的寄存器位置。当寄存器0x12A(第一个地址域中的字节数)设为0x00时，地址检查禁用。注意，如果采用静态寄存器修复(见表91)，则用于地址匹配的空间减少。

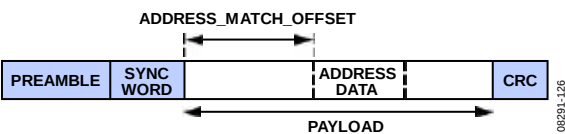


图78. 地址匹配偏移

表17. 地址检查寄存器设置

地址(BDRAM)	描述 ¹
0x129, ADDRESS_MATCH_OFFSET	第一个地址字节在接收包中的位置（同步字后的第一个字节=0）
0x12A, ADDRESS_LENGTH	第一个地址域中的字节数(N _{ADR,1})
0x12B	地址匹配字节0
0x12C	地址屏蔽字节0
0x12D	地址匹配字节1
0x12E	地址屏蔽字节1
...	...
	地址匹配字节N _{ADR,1} - 1
	地址屏蔽字节N _{ADR,1} - 1
	0x00至末尾或另一个地址检查序列的N _{ADR,2}

¹ N_{ADR,1}为第一个地址域中的字节数；N_{ADR,2}为第二个地址域中的字节数。

如果需要在IRQ_GP3引脚上产生中断，主机处理器应将INTERRUPT_SOURCE_0寄存器（地址0x336）的INTERRUPT_ADDRESS_MATCH位置1。有关中断的更多信息参见“中断产生”部分。

地址检查示例

假设一个地址长度为16位的系统，地址的第一个字节位于接收有效载荷数据的第10个字节。该系统还使用广播地址，地址中第一个字节始终是0xAA。要匹配精确地址0xABCD或任何0xAAXX形式的广播地址，ADF7023必须按照表18所示进行配置。

表18. 地址检查配置示例

BDRAM地址	值	描述
0x129	0x09	第一个地址字节在有效载荷中的位置
0x12A	0x02	第一个地址域中的字节数 N _{ADR,1} = 2
0x12B	0xAB	地址匹配字节0
0x12C	0xFF	地址屏蔽字节0
0x12D	0xCD	地址匹配字节1
0x12E	0xFF	地址屏蔽字节1
0x12F	0x02	第二个地址域中的字节数 (N _{ADR,2} = 2)
0x130	0xAA	地址匹配字节0
0x131	0xFF	地址屏蔽字节0
0x132	0x00	地址匹配字节1
0x133	0x00	地址屏蔽字节1
0x134	0x00	地址末尾(用0x00表示)
0x135	0XX	无关
0x136	0XX	无关
0x137	0XX	无关

CRC

将PACKET_LENGTH_CONTROL寄存器(地址0x126)的CRC_EN设为1，可以向数据包追加可选的CRC-16。在接收模式下，此位使能对接收包的CRC检测。如果SYMBOL_MODE寄存器(地址0x11C)的PROG_CRC_EN = 0，则使用默认多项式。默认CRC多项式为：

$$g(x) = x^{16} + x^{12} + x^5 + 1$$

如果PROG_CRC_EN = 1，则可以使用任何其它16位多项式；多项式在CRC_POLY_0和CRC_POLY_1(地址分别为0x11E和0x11F)中设置。CRC的设置如表19所述。CRC初始化为0x0000。

表19.CRC设置

PACKET_LENGTH_CONTROL寄存器的CRC_EN位	SYMBOL_MODE寄存器的PROG_CRC_EN位	描述
0	X ¹	发射中禁用CRC，接收中禁用CRC检测。
1	0	发射中使能CRC，接收中使能CRC检测，采用默认CRC多项式。
1	1	发射中使能CRC，接收中使能CRC检测，采用CRC_POLY_0和CRC_POLY_1所定义的CRC多项式。

¹ X = 无关位。

要将用户定义的多项式转换为2字节值，应将多项式写成二进制格式。 x^{16} 系数假定等于1，因此弃用。其余16位构成CRC_POLY_0(最高有效字节)和CRC_POLY_1(最低有效字节)。表20给出了设置常用16位CRC的两个示例。

表20. 示例：CRC_POLY_0和CRC_POLY_1的编程

多项式	二进制格式	CRC_POLY_0	CRC_POLY_1
$x^{16} + x^{15} + x^2 + 1$ (CRC-16-IBM)	1_1000_0000_0000_0101	0x80	0x05
$x^{16} + x^{13} + x^{12} + x^{11} x^{10} + x^8 + x^6 + x^5 + x^2 + 1$ (CRC-16-DNP)	1_0011_1101_0110_0101	0x3D	0x65

要利用默认CRC或用户定义的16位CRC对接收机进行CRC检测，PACKET_LENGTH_CONTROL寄存器(地址0x126)的CRC_EN应设为1。接收到经过CRC验证的数据包时，可以产生一个中断(参见“中断产生”部分)。

后同步码

通信处理器自动将两个字节的后同步码追加于所发送包的末尾。后同步码的每个字节均为0x55。第一个字节在CRC之后立即发送。PA斜降在第一个后同步码字节后立即开始。第二个字节在PA斜降的同时发送。

在接收机上，如果接收包有效，则会在第一个后同步码字节期间自动测量RSSI，测量结果将存储到RSSI_READBACK寄存器(地址0x312)。通信处理器在最后一个CRC位的17 μ s后测量RSSI。

发送包时序

PA斜坡时序与发送包数据的关系见图79所示。发出CMD_PHY_TX命令后，执行VCO校准，接着是一段延迟时间，以便频率合成器完成建立。频率合成器建立之后，PA斜升。PA斜升至设定的速率之后，在开始调制(前同步码)之前有1个字节的延迟。后同步码的第二个字节开始后，PA斜降。然后，通信处理器跃迁到PHY_ON状态或PHY_RX状态(如果使能TX_AUTO_TURN_AROUND位或发出CMD_PHY_RX命令)。

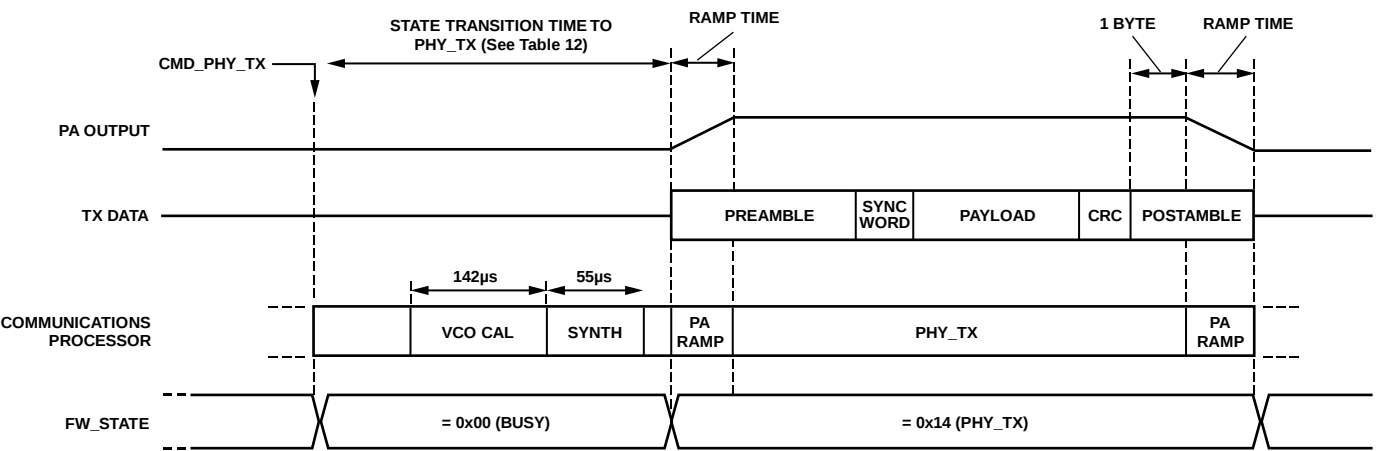


图79. 发送包时序

数据白化

采用数据白化处理可以避免发送数据流中出现长长的1串或0串，从而确保包中发生足够的位跃迁，以帮助接收机进行时钟和数据恢复，因为编码会拆散发送包中的长1串或0串。发送之前，除前同步码和同步字以外的数据会与8位伪随机序列数据进行XOR运算，从而自动白化。在接收机上，数据与同一伪随机序列进行XOR运算，从而消除白化。所用的线性反馈移位寄存器多项式为 $x^7 + x^1 + 1$ 。通过设置SYMBOL_MODE寄存器(地址0x11C)中的DATA_WHITENING = 1，可以使能数据白化和去白化。

曼彻斯特编码

利用曼彻斯特编码可以确保无直流(零均值)发送。经过编码的无线(over-the-air)比特率(芯片速率)是DATA_RATE变量(地址0x10C和0x10D)所设置速率的两倍。二进制0映射为10，二进制1映射为01。曼彻斯特编码和解码应用于有效载荷数据和CRC。对于OOK调制，推荐使用曼彻斯特编码。通过设置SYMBOL_MODE寄存器(地址0x11C)中的MANCHESTER_ENC = 1，可以使能曼彻斯特编码和解码。

8B/10B编码

8b/10b编码是一个面向字节的编码方案，它将8位字节映射为10位数据块，从而确保任意10位发送符号中连续1或0的数量(即游程长度)不超过五位。这种编码方案的好处是：由于采用直流平衡，因此避免了曼彻斯特编码的效率损失。8b/10b编码的速率损失为0.8，曼彻斯特编码则为0.5。编码和解码应用于有效载荷数据和CRC。通过设置SYMBOL_MODE寄存器(地址0x11C)中的EIGHT_TEN_ENC = 1，可以使能8b/10b编码和解码。

SPORT模式

可以旁路ADF7023的所有包管理特性，而使用Sport接口发送和接收数据。Sport接口是一种高速同步串行接口，支持与处理器和DSP直接相连。通过PACKET_LENGTH_CONTROL寄存器(地址0x126)的DATA_MODE设置，可以使能Sport模式，如表21所示。Sport模式接口位于GPIO引脚(GP0、GP1、GP2、GP4和XOSC32KP_GP5_ATB1)。这些GPIO引脚可以通过GPIO_CONFIGURE设置(地址0x3FA)进行配置，如表22所示。

Sport模式在GP4上提供接收中断源。可以将此中断源配置为在检测到前同步码或同步字时提供中断或选通信号。中断类型通过GPIO_CONFIGURE设置进行配置。

SPORT模式下的数据包结构

在Sport模式下，主机处理器全面控制包结构。不过仍然需要前同步码帧，以便为接收机建立提供足够的位数(AGC、AFC和CDR)。在Sport模式下，同步字检测不是必需的，但可以使能该特性，以便通过GP4上的同步字检测中断或选通信号为主机处理器提供字节级同步。Sport模式数据包的一般格式如图80所示。

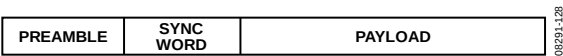


图80. Sport模式通用数据包

SPORT发送模式

图81说明了Sport接口的发送工作原理。在PHY_TX状态下使能Sport模式后，发射机的数据输入便完全由Sport接口(引脚GP1)控制。发送时钟由GP2引脚提供。来自主机处

理器的发送数据应与此时钟同步。状态字或CMD_FINISHED中断中的FW_STATE变量可以用来指示ADF7023何时达到PHY_TX状态，即已准备好开始发送数据。ADF7023不断发送GP1输入端的串行数据，直到主机处理器发出命令要求退出PHY_TX状态。

SPORT接收模式

Sport接口以多种模式支持接收操作，以便适应特殊信号要求。接收数据出现在GP0引脚上，接收同步时钟则出现在GP2引脚上。GP4引脚在检测到前同步码或同步字时提供一个中断或选通信号，如表21和表22所示。一旦使能，则中断和选通信号在PHY_RX状态下仍然有效。选通信号每8位提供一个1位时长的高电平脉冲。选通信号与同步字检测配合使用最有效，因为它会与同步字同步，并选通每个字节中的第一位。

SPORT模式下的发送位延迟

发送位延迟是指从GP2上的发送数据时钟对位进行采样到该位出现在RF输出端的时间。使用2FSK/MSK调制时不存在发送位延迟。使用GFSK/GMSK调制时的延迟为两位。当使用GMSK/GFSK调制时，在数据时钟对最后一个数据位进行采样后，主机处理器必须使ADF7023保持PHY_TX状态两个位周期，以处理此延迟。

表21. SPORT模式设置

PACKET_LENGTH_CONTROL寄存器的DATA_MODE位	描述	GPIO配置
DATA_MODE = 0	使能包模式。包管理由通信处理器控制。	
DATA_MODE = 1	使能Sport模式。Rx数据和Rx时钟在PHY_RX状态中使能(GPIO_CONFIGURE = 0xA0、0xA3、0xA6)。Rx时钟在PHY_RX状态中使能，Rx数据在检测到前同步码时使能(GPIO_CONFIGURE = 0xA1、0xA2、0xA4、0xA5、0xA7、0xA8)。	GP0:Rx数据 GP1:Tx数据 GP2:Tx/Rx时钟 GP4: 中断或选通在检测到前同步码时使能(取决于GPIO_CONFIGURE) XOSC32KP_GP5_ATB1: 取决于GPIO_CONFIGURE
DATA_MODE = 2	使能Sport模式。Rx数据和Rx时钟在PHY_RX状态中使能(GPIO_CONFIGURE = 0xA0、0xA3、0xA6)。Rx时钟在PHY_RX状态中使能，Rx数据在检测到前同步码时使能(GPIO_CONFIGURE = 0xA1、0xA2、0xA4、0xA5、0xA7、0xA8)。	GP0:Rx数据 GP1:Tx数据 GP2:Tx/Rx时钟 GP4: 中断或选通在检测到同步字时使能(取决于GPIO_CONFIGURE) XOSC32KP_GP5_ATB1: 取决于GPIO_CONFIGURE

表22. Sport模式中的GPIO功能

GPIO_CONFIGURE	GP0	GP1	GP2	GP4	XOSC32KP_GP5_ATB1
0xA0	Rx数据	Tx数据	Tx/Rx时钟	不用	不用
0xA1	Rx数据	Tx数据	Tx/Rx时钟	中断	不用
0xA2	Rx数据	Tx数据	Tx/Rx时钟	选通	不用
0xA3	Rx数据	Tx数据	Tx/Rx时钟	不用	32.768 kHz XTAL输入
0xA4	Rx数据	Tx数据	Tx/Rx时钟	中断	32.768 kHz XTAL输入
0xA5	Rx数据	Tx数据	Tx/Rx时钟	选通	32.768 kHz XTAL输入
0xA6	Rx数据	Tx数据	Tx/Rx时钟	不用	EXT_UC_CLK输出
0xA7	Rx数据	Tx数据	Tx/Rx时钟	中断	EXT_UC_CLK输出
0xA8	Rx数据	Tx数据	Tx/Rx时钟	选通	EXT_UC_CLK输出

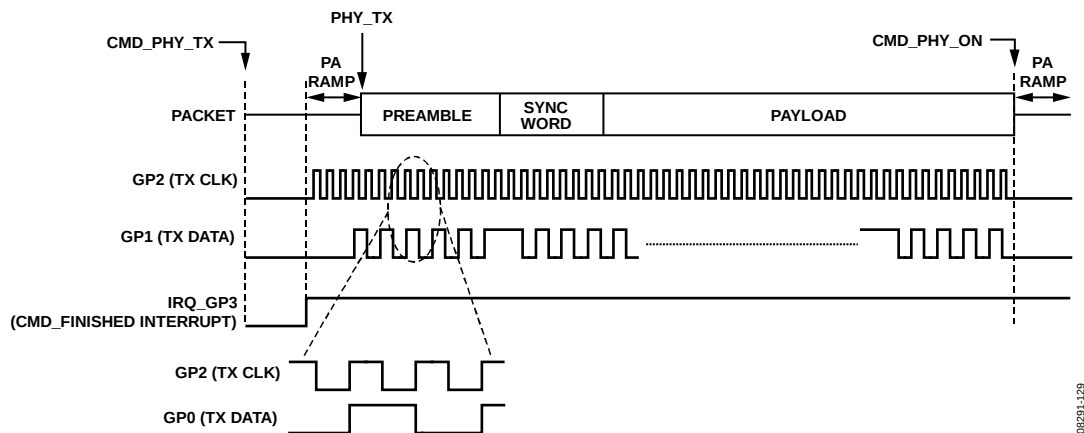


图81. Sport模式发送

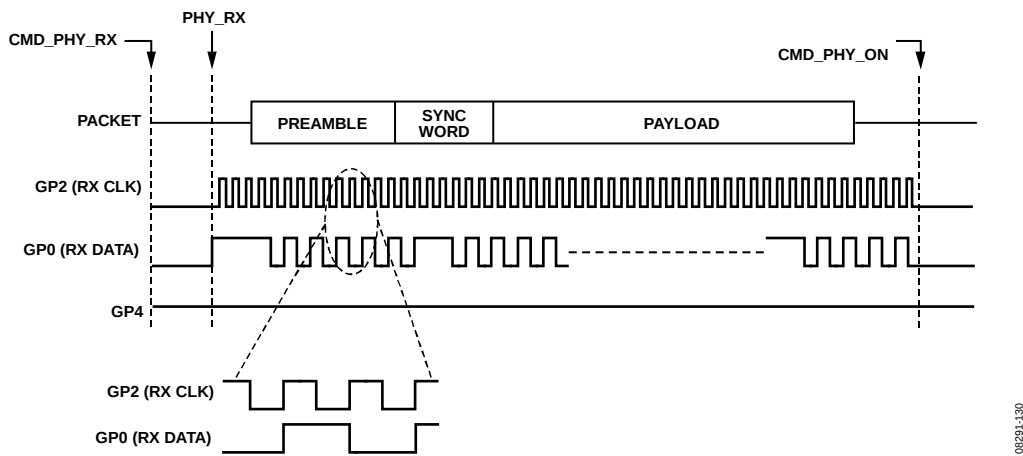
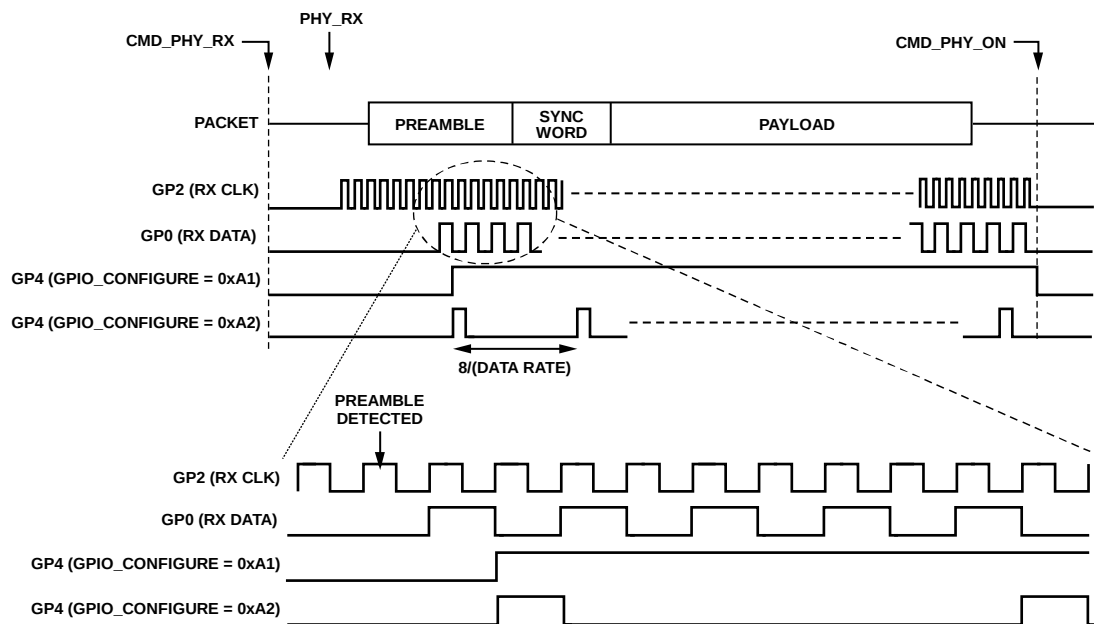
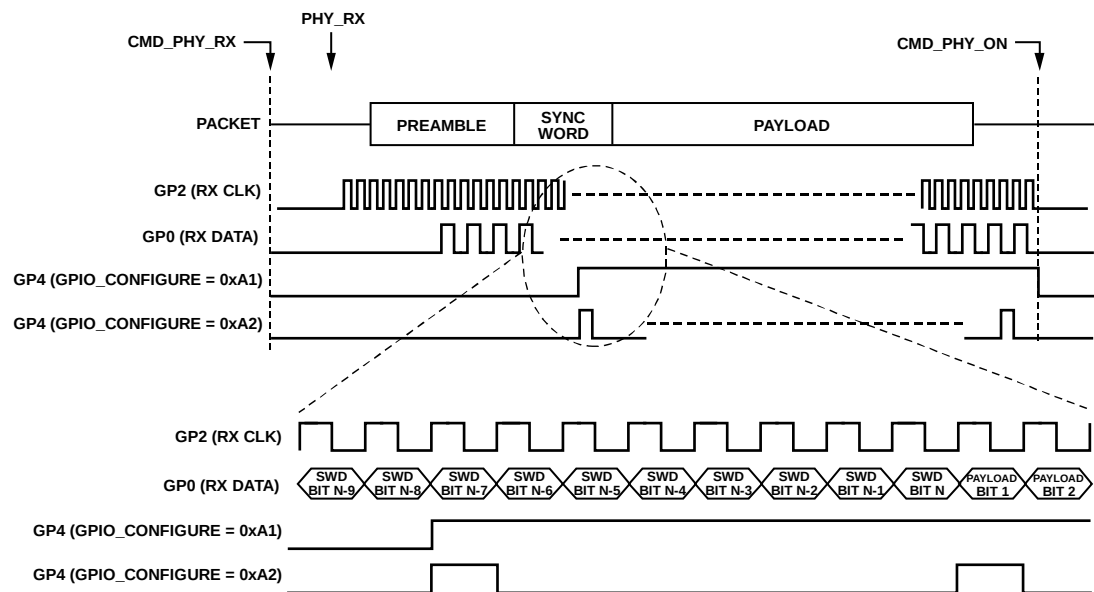


图82. Sport模式接收， DATA_MODE = 1、2且GPIO_CONFIGURE = 0xA0、0xA3、0xA6



06291-131

图83. Sport模式接收， $DATA_MODE = 1$ 且 $GPIO_CONFIGURE = 0xA1, 0xA2, 0xA4, 0xA5, 0xA7, 0xA8$



06291-132

图84. Sport模式接收， $DATA_MODE = 2$ 且 $GPIO_CONFIGURE = 0xA1, 0xA2, 0xA4, 0xA5, 0xA7, 0xA8$

中断产生

ADF7023采用高度灵活且强大的中断系统，支持MAC级中断和PHY级中断。要使能一个中断源，必须设置相应的屏蔽位。当发生已使能的中断时，IRQ_GP3引脚变为高电平，状态字的中断位设置为逻辑1。主机处理器可以通过IRQ_GP3引脚或状态字来检查有无中断。中断置位后，ADF7023继续不受影响地工作，除非主机处理器指示它进行其它操作。中断源和屏蔽系统的说明见表23。

将逻辑1写入INTERRUPT_MASK_0寄存器(地址0x100)的相应位，可以使能MAC级中断；将逻辑1写入INTERRUPT_MASK_1寄存器(地址0x101)的相应位，可以使能PHY级中断。这些存储器位置的结构如表23所述。

发生中断条件时，中断源可以通过读取INTERRUPT_SOURCE_0寄存器(地址0x336)和INTERRUPT_SOURCE_1寄存器(地址0x337)来确定。与相关中断条件对应的位为高电平。这两个寄存器的结构如表24所述。

发生中断条件后，主机处理器可以将相关的中断标志位清零，以便后续中断能够置位IRQ_GP3引脚。这是通过将逻辑1写入INTERRUPT_SOURCE_0或INTERRUPT_SOURCE_1寄存器中的高电平位来完成的。如果中断源寄存器中有多个位处于高电平，则可以分别或同时将逻辑1写入其中进行清零。当所有中断源位均清零时，IRQ_GP3引脚变为低电平。

举例来说，假设发生电池报警(INTERRUPT_SOURCE_1寄存器中)中断，那么主机处理器应当：

- 1. 读取中断源寄存器。对于本例，如果INTERRUPT_SOURCE_0中的所有中断标志位均未使能，则只须读取INTERRUPT_SOURCE_1。
- 2. 将0x80(或0xFF)写入INTERRUPT_SOURCE_1，清除中断。
- 3. 响应中断条件。

表23. 中断屏蔽寄存器的结构

寄存器	位	名称	描述
INTERRUPT_MASK_0, 地址0x100	7	INTERRUPT_NUM_WAKEUPS	当WUC唤醒次数(NUMBER_OF_WAKEUPS[15:0])达到阈值(NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:0])时中断 1:使能中断；0:禁用中断
	6	INTERRUPT_SWM_RSSI_DET	当智能唤醒模式下测得的RSSI超过RSSI阈值(SWM_RSSI_THRESH, 地址0x108)时中断 1:使能中断；0:禁用中断
	5	INTERRUPT_AES_DONE	当AES加密或解密命令完成时中断；仅当AES固件模块已载入ADF7023程序RAM时可用 1:使能中断；0:禁用中断
	4	INTERRUPT_TX_EOF	当数据包完成发送时中断 1:使能中断；0:禁用中断
	3	INTERRUPT_ADDRESS_MATCH	当接收包具有有效的地址匹配时中断 1:使能中断；0:禁用中断
	2	INTERRUPT_CRC_CORRECT	当接收包具有正确的CRC时中断 1:使能中断；0:禁用中断
	1	INTERRUPT_SYNC_DETECT	当在接收包中检测到合格同步字时中断 1:使能中断；0:禁用中断
	0	INTERRUPT_PREAMBLE_DETECT	当在接收包中检测到合格前同步码时中断 1:使能中断；0:禁用中断

寄存器	位	名称	描述
INTERRUPT_MASK_1, 地址0x101	7	BATTERY_ALARM	当电池电压降至阈值(BATTERY_MONITOR_THRESHOLD_VOLTAGE, 地址0x32D)以下时中断 1: 使能中断; 0: 禁用中断
	6	CMD_READY	当通信处理器准备好加载新命令时中断; 镜像状态字的 CMD_READY位
	5	保留	1: 使能中断; 0: 禁用中断
	4	WUC_TIMEOUT	当WUC超时时中断 1: 使能中断; 0: 禁用中断
	3	保留	
	2	保留	
	1	SPI_READY	当SPI准备好进行访问时中断 1: 使能中断; 0: 禁用中断
	0	CMD_FINISHED	当通信处理器执行完命令时中断 1: 使能中断; 0: 禁用中断

表24. 中断源寄存器的结构

寄存器	位	名称	中断描述
INTERRUPT_SOURCE_0, 地址0x336	7	INTERRUPT_NUM_WAKEUPS	当WUC唤醒次数(NUMBER_OF_WAKEUPS[15:0])达到阈值 (NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:0])时置位
	6	INTERRUPT_SWM_RSSI_DET	当智能唤醒模式下测得的RSSI超过RSSI阈值(SWM_RSSI_THRESH, 地址0x108)时置位
	5	INTERRUPT_AES_DONE	当AES加密或解密命令完成时置位; 仅当AES固件模块已载入 ADF7023程序RAM时可用
	4	INTERRUPT_TX_EOF	当数据包完成发送时置位(仅包模式)
	3	INTERRUPT_ADDRESS_MATCH	当接收包具有有效的地址匹配时置位(仅包模式)
	2	INTERRUPT_CRC_CORRECT	当接收包具有正确的CRC时置位(仅包模式)
	1	INTERRUPT_SYNC_DETECT	当在接收包中检测到合格同步字时置位
	0	INTERRUPT_PREAMBLE_DETECT	当在接收包中检测到合格前同步码时置位
INTERRUPT_SOURCE_1, 地址0x337	7	BATTERY_ALARM	当电池电压降至阈值(BATTERY_MONITOR_THRESHOLD_VOLTAGE, 地址0x32D)以下时置位
	6	CMD_READY	当通信处理器准备好加载新命令时置位; 镜像状态字的 CMD_READY位
	5	保留	
	4	WUC_TIMEOUT	当WUC超时时置位
	3	保留	
	2	保留	
	1	SPI_READY	当SPI准备好进行访问时置位
	0	CMD_FINISHED	当通信处理器执行完命令时置位。如果CMD_FINISHED中断使能, CMD_PHY_TX发出后, 用户数据的第一位在中断 $1.5 \times T_{\text{BIT}} + 2.3 \mu\text{s}$ 后发送。PA在中断 $3.4 \mu\text{s}$ 后开始斜升。(T _{BIT} 表示发送一位所需的时间)

SPORT模式下的中断

在Sport模式下, INTERRUPT_SOURCE_1中的中断全都可以使用, INTERRUPT_SOURCE_0中则只有INTERRUPT_PREAMBLE_DETECT和INTERRUPT_SYNC_DETECT可供

使用。GP4提供第二个中断, 它在检测到前同步码或同步字时提供专用Sport模式中断。更多信息参见“Sport模式”部分。

ADF7023存储器映射

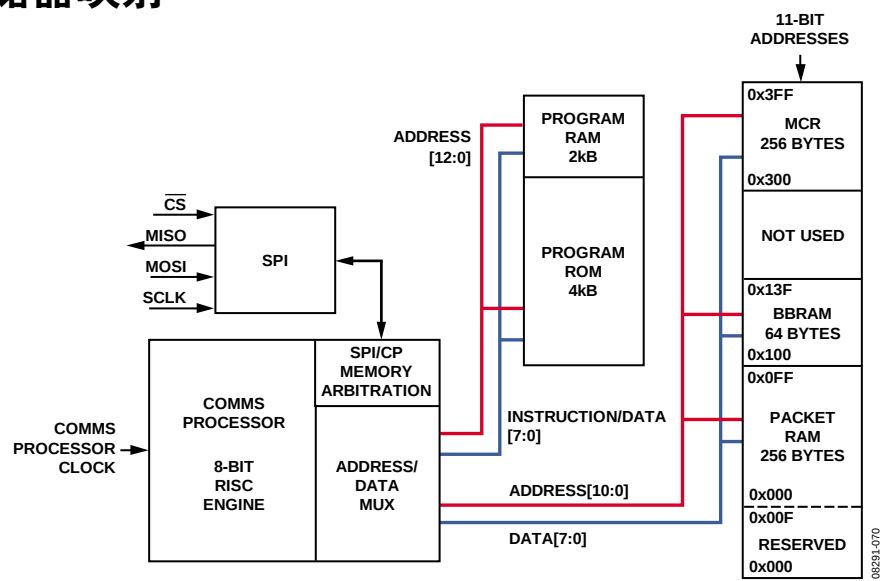


图85. ADF7023存储器映射

本节介绍ADF7023所用的各种存储器位置。器件的无线电控制、包管理和智能唤醒模式通过一个集成的RISC处理器来实现，该处理器执行嵌入式程序ROM中存储的指令。此外还有一个本地RAM，它分为三部分，分别是用于存储发送和接收数据的数据包缓冲器(数据包RAM)，以及用于存储无线电和数据包管理配置的BBRAM和MCR。这些存储库的RAM地址为11位长。

BBRAM

备用电池RAM (BBRAM)含有用于配置无线电的主要无线电和包管理寄存器。首次将电池电源施加于ADF7023时，主机处理器应利用适当的设置初始化整个BBRAM。初始化BBRAM后，应发出CMD_CONFIG_DEV命令，以将无线电和通信处理器更新为当前的BBRAM设置。CMD_CONFIG_DEV命令只能在PHY_OFF或PHY_ON状态下发出。

BBRAM用于保存唤醒控制器将器件从休眠模式唤醒时所需的设置。器件在智能唤醒模式下唤醒时，片内处理器读取BBRAM内容，用以恢复包管理和无线电参数。

调制解调器配置RAM (MCR)

256字节的调制解调器配置RAM (MCR)包含用于直接控制或观察ADF7023物理层无线电模块的各种寄存器。PHY_SLEEP状态下不会保存MCR的内容。

程序ROM

程序ROM包括4 kB的非易失性存储器，用于存储无线电控制、数据包管理和智能唤醒模式所需的固件代码。

程序RAM

程序RAM包括2 kB的易失性存储器，用于存储ADI公司提供的软件模块，如AES加密、IR校准和Reed Solomon编码等。这些软件模块由主机处理器通过SPI下载到程序RAM存储空间。有关加载固件模块到程序RAM的详细信息，参见“可下载的固件模块”部分。

数据包RAM

包RAM包括256字节的存储器空间，前16个字节供片内处理器使用，其余240字节用于存储来自有效接收包的数据和待发送的包数据。通信处理器将接收的有效载荷数据存储在RX_BASE_ADR寄存器(地址0x125)的值(接收地址指针)所指示的位置。TX_BASE_ADR寄存器(地址0x124)的值

(发送地址指针)决定通信处理器要发送的数据的起始地址。此存储器可以任意指定用于以重叠或不重叠方式存储单个或多个发送或接收包。选择RX_BASE_ADR值时，应确保所分配的包RAM空间足以容纳最长的接收机有效载荷。

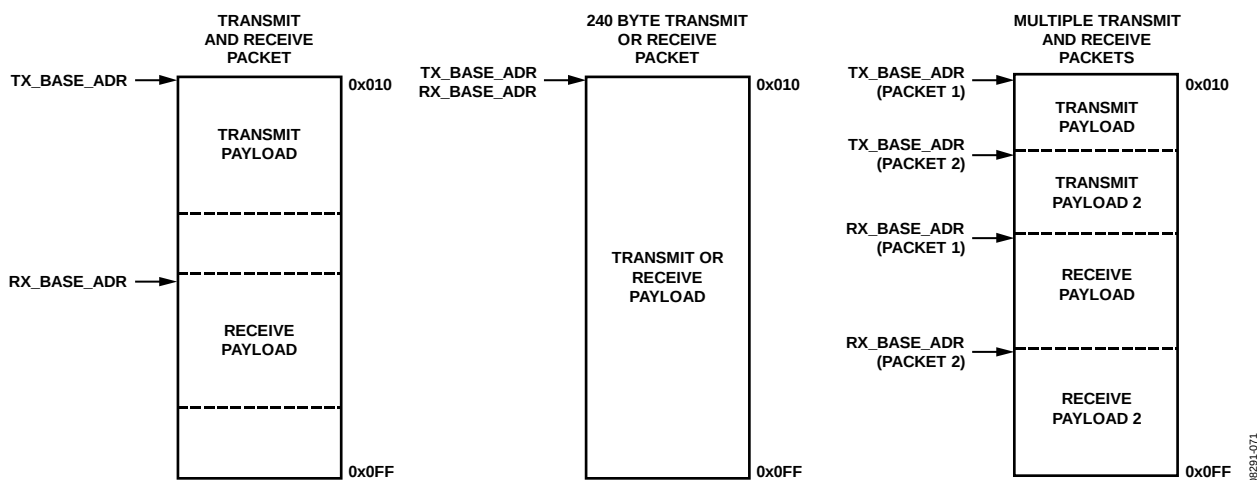


图86. 使用发送包和接收包地址指针的包RAM配置示例

SPI接口

通用特性

ADF7023配有一个4线式SPI接口，该接口使用SCLK、MISO、MOSI和CS引脚。相对于主机处理器，ADF7023始终是一个从机。图87显示了主机处理器与ADF7023之间的连接示例。该图还显示了各引脚的信号流方向。要使SPI接口有效，并且使能MISO输出，CS输入必须为低电平。该接口使用8位字长，与大多数处理器的SPI硬件兼容。通过SPI接口的数据传输以MSB优先方式进行。MOSI输入在SCLK的上升沿进行采样。当命令或数据在SCLK上升沿从MOSI输入移入时，状态字或数据在SCLK时钟的下降沿于MISO引脚上同步移出。如果CS被拉低，则无需等待SCLK输入上出现上升时钟沿，状态字的MSB就会出现在MISO输出上。

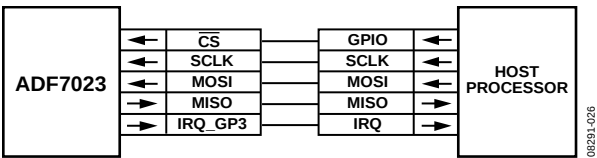


图87. SPI接口连接

命令访问

ADF7023通过命令进行控制。命令字为单8位字节指令，用于控制通信处理器的状态跃迁，以及寄存器和包RAM的访问。命令参考部分给出了有效命令的完整列表。带有CMD前缀的命令由通信处理器处理。存储器访问命令带有SPI前缀，由独立的控制器处理。因此，SPI命令的发出与通信处理器的状态无关。

将CS拉低并通过SPI移入命令字，即可启动命令，如图88所示。所有命令都是在命令的最后一个正SCLK沿执行。命令移入ADF7023之后，必须将CS输入再次拉高，以便识别后续命令字。这是因为单命令只能在CS低电平期间发出（双NOP命令除外）。

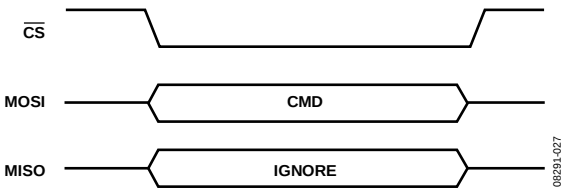


图88. 命令写操作(无参数)

状态字

每次通过MOSI传输一个字节时，ADF7023的状态字都会通过MISO自动返回。移入双SPI_NOP命令(见表27)会导致状态字移出，如图89所示。表25说明了各位域的含义。FW_STATE变量可用于读取通信处理器的当前状态，参见表26所述。如果器件正忙于执行一个操作或状态跃迁，则FW_STATE为繁忙状态。FW_STATE变量还能指示无线电的当前状态。

SPI_READY变量用于指示SPI何时准备好进行访问。CMD_READY变量用于指示通信处理器何时准备好接受新的命令。发出命令之前，应轮询状态字并检查CMD_READY位，确保通信处理器已准备好接受新的命令。发出SPI存储器访问命令之前，需要检查CMD_READY位。当通信处理器繁忙时，可以让一个命令排队等待，详见“命令排队”部分所述。

也可以对ADF7023中断处理器进行配置，使其在通信处理器准备好接受新命令时(INTERRUPT_SOURCE_1寄存器(地址0x337)的CMD_READY)，或者当它执行完一个命令时(INTERRUPT_SOURCE_1寄存器(地址0x337)的CMD_FINISHED)，在IRQ_GP3上产生一个中断。

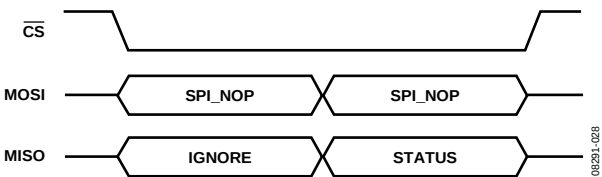


图89. 使用双SPI_NOP命令读取状态字

表25. 状态字

位	名称	描述
[7]	SPI_READY	0: SPI未准备好进行访问。 1: SPI已准备好进行访问。
[6]	IRQ_STATUS	0: 无未决中断条件。 1: 有未决中断条件 (镜像IRQ_GP3位)。
[5]	CMD_READY	0: 无线电控制器未准备好接受无线电控制器命令。 1: 无线电控制器已准备好接受无线电控制器命令。
[4:0]	FW_STATE	指示ADF7023的状态(见表26)。

表26. FW_STATE描述

值	状态
0x0F	初始化
0x00	繁忙，执行状态跃迁
0x11	PHY_OFF
0x12	PHY_ON
0x13	PHY_RX
0x14	PHY_TX
0x06	PHY_SLEEP
0x05	执行CMD_GET_RSSI
0x07	执行CMD_IR_CAL
0x08	执行CMD_AES_DECRYPT_INIT
0x09	执行CMD_AES_DECRYPT
0x0A	执行CMD_AES_ENCRYPT

命令排队

CMD_READY状态字用于指示通信处理器所用的命令队列为空。该队列的深度为一个命令。FW_STATUS位用于指示通信处理器的状态。在PHY_OFF状态下发出

CMD_PHY_ON命令时，状态字和这些位的操作见图90。

在PHY_OFF状态下先发出CMD_PHY_ON命令，然后立即发出CMD_PHY_RX命令时，状态字的操作和命令排队情况见图91。CMD_PHY_RX命令在FW_STATE繁忙(即从PHY_OFF跃迁到PHY_ON状态)时发出，但CMD_READY位处于高电平，表示命令队列为空。发出CMD_PHY_RX命令后，CMD_READY位跃迁到逻辑低电平，表示命令队列已满。PHY_OFF到PHY_ON的状态跃迁完成后，通信处理器立即处理PHY_RX命令，而CMD_READY位变为高电平，表示命令队列为空，可以发出另一个命令。

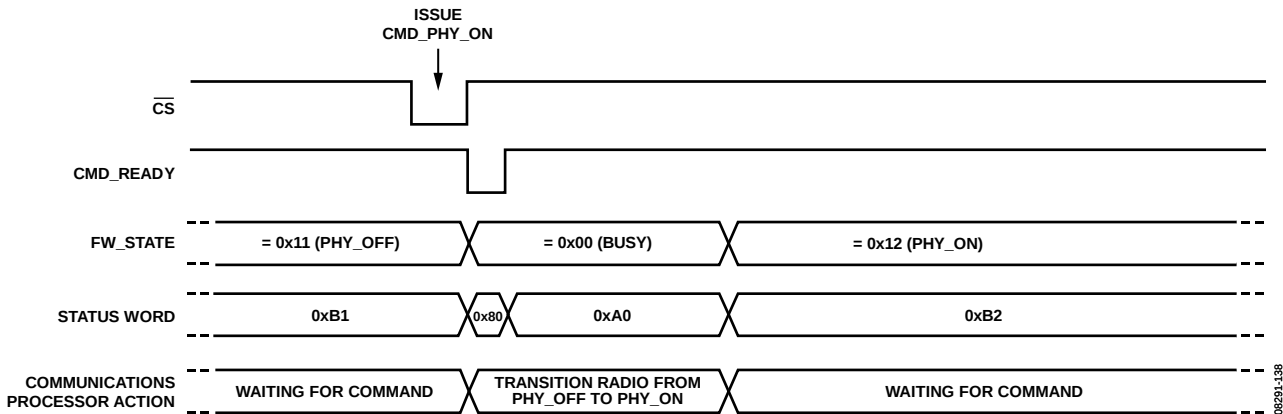


图90. ADF7023从PHY_OFF状态跃迁到PHY_ON状态时CMD_READY和FW_STATE位的操作

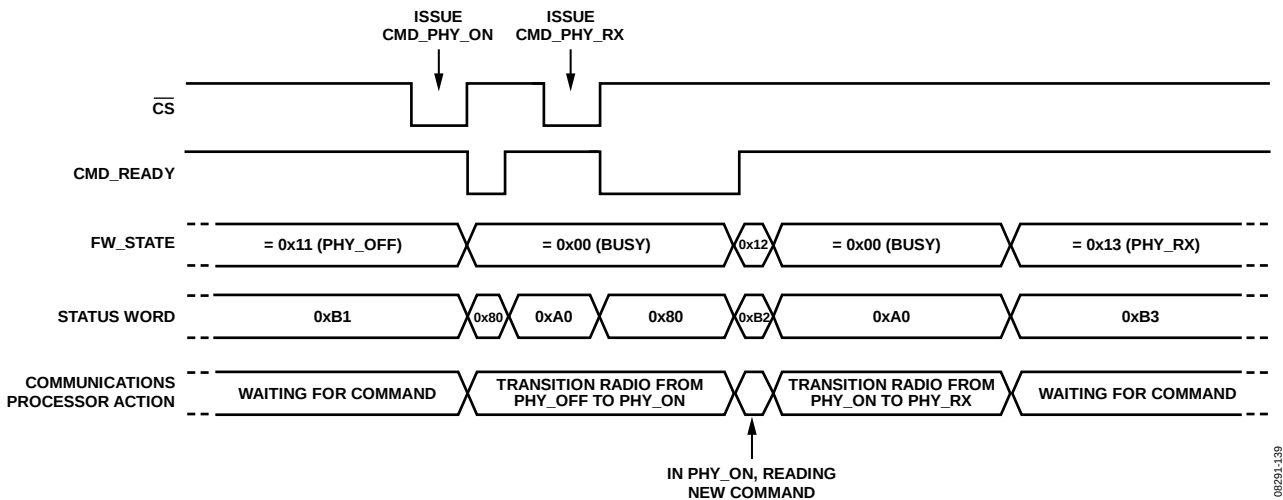


图91. ADF7023从PHY_OFF状态跃迁到PHY_ON状态，然后跃迁到PHY_RX状态时的命令队列以及CMD_READY和FW_STATE位的操作

存储器访问

存储器位置通过调用相关的SPI命令来访问。识别存储空间中的寄存器或位置时，会使用一个11位地址。地址的3个MSB会纳入SPI命令中，追加为命令字的LSB。图92显示了命令、地址和数据划分情况。各种SPI存储器访问命令因所访问的存储器位置不同而异(见表27)。

SPI命令只应在INTERRUPT_SOURCE_1寄存器(地址0x337)的SPI_READY位(状态字位)为高电平时发出。ADF7023中断处理器也可以进行配置，以在SPI_READY位为高电平时在IRQ_GP3上产生一个中断信号。

当通信处理器正在初始化时(FW_STATE = 0x0F)，不应发出SPI命令。当通信处理器处于任何其它状态时，包括繁忙状态(FW_STATE = 0x00)，都可以发出SPI命令。因此，当无线电在不同状态之间跃迁时，可以访问ADF7023存储器。

块写入

利用SPI_MEM_WR命令能够以块格式写入MCR、BBRAM和包RAM存储器位置。SPI_MEM_WR命令代码为00011xxx_b，其中xxx_b表示第一个11位地址的位[10:8]。如果写入一个以上的数据字节，则对于每个发送的字节，写入地址会自动递增，直到CS变为高电平而终止存储器访问命令(更多信息见图93)。MCR、包RAM和BBRAM存储器的最大块写入长度分别为256字节、256字节和64字节。块写入长度不得超过这些最大值。

示例

将0x00写入ADC_CONFIG_HIGH寄存器(位置0x35A)。

- SPI_MEM_WR命令的前5位为00011。
- ADC_CONFIG_HIGH的11位地址为01101011010。
- 发送的第一个字节为00011011或0x1B。
- 发送的第二个字节为01011010或0x5A。
- 发送的第三个字节为0x00。

因此，写入器件的是0x1B、0x5A、0x00。

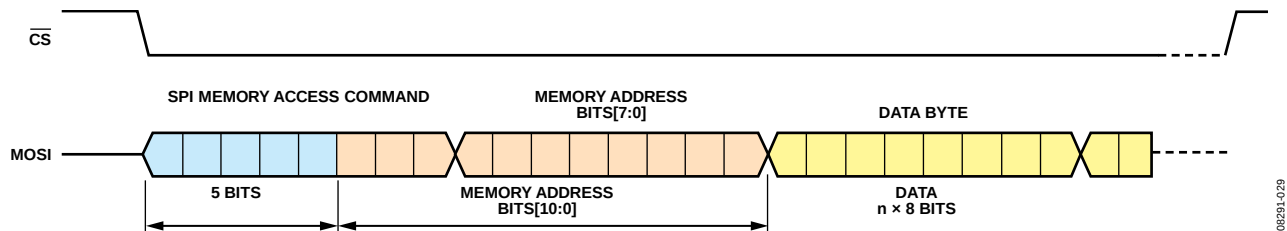


图92. SPI存储器访问命令/地址格式

表27. SPI存储器访问命令汇总

SPI命令	命令值	描述
SPI_MEM_WR	0x18(包RAM) 0x19 (BBRAM) 0x1B (MCR) 0x1E(程序RAM)	按顺序将数据写入BBRAM、MCR或包RAM。使用11位地址来识别存储器位置。地址的3个MSB纳入命令中(xxx _b)。地址的其余8位跟在命令之后。
SPI_MEM_RD	0x38(包RAM) 0x39 (BBRAM) 0x3B (MCR)	按顺序从BBRAM、MCR或包RAM读取数据。使用11位地址来识别存储器位置。地址的3个MSB纳入命令中(xxx _b)。地址的其余8位跟在命令之后，再后面是适当数量的SPI_NOP命令。
SPI_MEMR_WR	0x08(包RAM) 0x09 (BBRAM) 0x0B (MCR)	将数据以非顺序方式写入BBRAM、MCR或包RAM。
SPI_MEMR_RD	0x28(包RAM) 0x29 (BBRAM) 0x2B (MCR)	以非顺序方式从BBRAM、MCR或包RAM读取数据。
SPI_NOP	0xFF	无操作。轮询状态字时，用于伪写操作。读取存储器时，用作MOSI线上的伪数据。

随机地址写入

利用SPI_MEMR_WR命令能够以非顺序方式写入MCR、BBRAM和包RAM存储器位置。SPI_MEMR_WR命令代码为00001xxx_b，其中xxx_b表示11位地址的位[10:8]。地址的低8位应跟在此命令之后，再后面是待写入该地址的数据字节。然后输入下一个地址的低8位，接着输入该地址的数据，直到该块之内的全部所需地址都已写入，如图94所示。

程序RAM写入

程序RAM只能利用存储器块写入命令写入，如图93所示。应将SPI_MEM_WR设为0x1E。有关加载固件模块到程序RAM的详细信息，参见“可下载的固件模块”部分。

块读取

利用SPI_MEM_RD命令能够以块格式读取MCR、BBRAM和包RAM存储器位置。SPI_MEM_RD命令代码为00111xxx_b，其中xxx_b表示第一个11位地址的位[10:8]。读取地址的其余8位跟在命令之后，再后面是两个SPI_NOP命令(伪字节)。写入地址后的第一个可用字节应予以忽略，第二个字节才构成有效数据。如果要读取一个以上的数据字节，则对于后续发送的SPI_NOP命令，写入地址会自动递增。更多信息参见图95。

随机地址读取

利用SPI_MEMR_RD命令能够以非顺序方式读取MCR、BBRAM和包RAM存储器位置。SPI_MEMR_RD命令代码为00101xxx_b，其中xxx_b表示11位地址的位[10:8]。待写入地址的其余8位跟在命令之后，然后写入随后的各地址字节。写入最后一个地址字节后应发出两个SPI_NOP命令，如图96所示。存储器中从第一个地址位置起始的数据字节出现在第二个状态字节之后。

示例

读取ADC_CONFIG_HIGH寄存器中的值。

- SPI_MEM_RD命令的前5位为00111。
- ADC_CONFIG_HIGH的11位地址为01101011010。
- 发送的第一个字节为00111011或0x3B。
- 发送的第二个字节为01011010或0x5A。
- 发送的第三个字节为0xFF (SPI_NOP)。
- 发送的第四个字节为0xFF。

因此，写入器件的是0x3B5AFFFF。

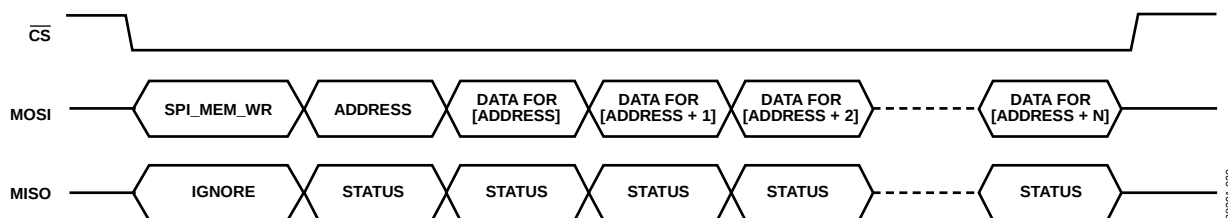


图93. 存储器(MCR、BBRAM或包RAM)块写入

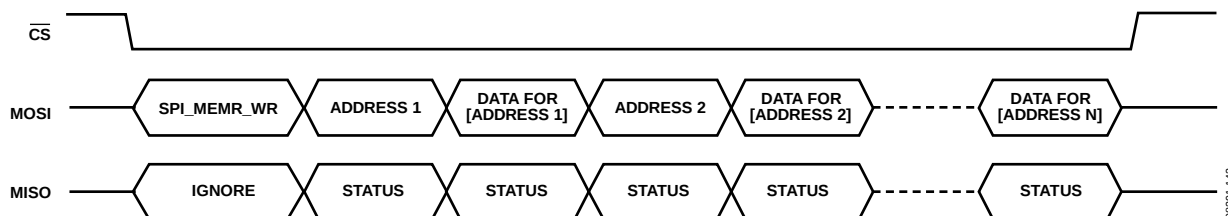


图94. 存储器(MCR、BBRAM或包RAM)随机地址写入

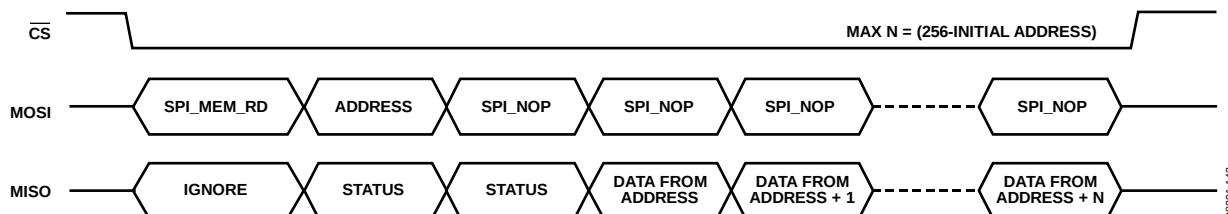


图95. 存储器(MCR、BBRAM或包RAM)块读取

ADF7023

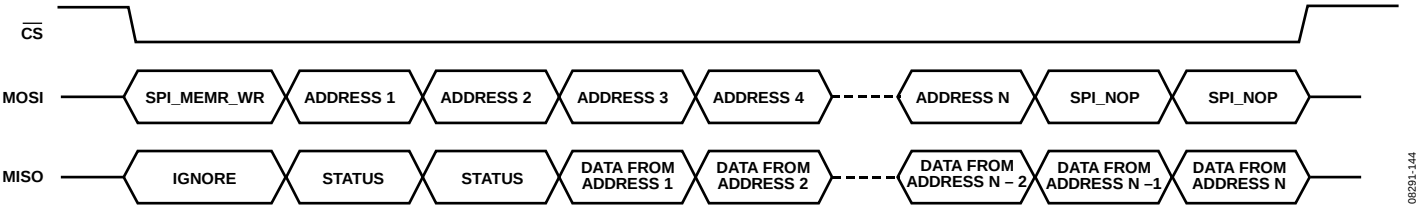


图96. 存储器(MCR、BBRAM或包RAM)随机地址读取

06291-144

低功耗模式

ADF7023可以用于各种对电池寿命要求极为严格的电能敏感型应用，包括支持需要在全自主模式下工作的应用，以及主机处理器在低功耗工作模式下控制收发器的应用。这些低功耗模式利用硬件唤醒控制器(WUC)、固件定时器和片内通信处理器的智能唤醒模式功能来实现。硬件WUC是一个低功耗唤醒控制器(WUC)，包括一个16位唤醒定时器和一个可编程预分频器。该定时器的时钟源由32.768 kHz RCOSC或XOSC提供。

固件定时器是一个驻留在ADF7023中的软件定时器，用于计数WUC超时次数，因而也可以用来计数ADF7023唤醒次数。WUC和固件定时器提供实时时钟能力。

利用低功耗WUC和固件定时器，SWM固件允许ADF7023自主唤醒，而无需主机处理器的干预。在唤醒期间，ADF7023由通信处理器控制。利用该功能可以在主机处理器处于休眠时执行载波检测、包嗅探和包接收，从而大幅降低系统总功耗。智能唤醒模式可以利用中断条件唤醒主机处理器。图97概述了低功耗模式配置，表28说明了各种低功耗模式所用的寄存器设置。

表28. 低功耗模式的设置

低功耗模式	存储器访问	寄存器名称	位	描述
深度休眠模式	0x30D ¹	WUC_CONFIG_LOW	WUC_BBRAM_EN	0: PHY_SLEEP期间不保留BBRAM内容。 1: PHY_SLEEP期间保留BBRAM内容。
WUC	0x30C ¹	WUC_CONFIG_HIGH	WUC_PRESCALER[2:0]	设置WUC的预分频器值。
WUC	0x30D ¹	WUC_CONFIG_LOW	WUC_RCOSC_EN	使能32.768 kHz RC振荡器。
WUC	0x30D ¹	WUC_CONFIG_LOW	WUC_XOSC32K_EN	使能32.768 kHz外部振荡器。
WUC	0x30D ¹	WUC_CONFIG_LOW	WUC_CLKSEL	设置WUC时钟源。 1: 选择RC振荡器。 2: 选择XOSC。
WUC	0x30D ¹	WUC_CONFIG_LOW	WUC_ARM	使能以确保器件在WUC超时从PHY_SLEEP状态唤醒。
WUC	0x30E ² , 0x30F	WUC_VALUE_HIGH WUC_VALUE_LOW	WUC_TIMER_VALUE[15:0]	WUC定时器值。 $WUC\text{间隔}(s) = \frac{2^{(WUC_PRESCALER + 1)} \times WUC_TIMER_VALUE}{32,768}$
WUC	0x101	INTERRUPT_MASK_1	WUC_TIMEOUT	使能WUC超时中断。
固件定时器	0x100	INTERRUPT_MASK_0	INTERRUPT_NUM_WAKEUPS	使能此中断以使能固件定时器。当NUMBER_OF_WAKEUPS数超过阈值时，中断置位。
固件定时器	0x102, 0x103	NUMBER_OF_WAKEUPS_0 NUMBER_OF_WAKEUPS_1	NUMBER_OF_WAKEUPS[15:0]	ADF7023唤醒次数。
固件定时器	0x104, 0x105	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_0 NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_1	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:0]	ADF7023唤醒次数的阈值。超过阈值时，ADF7023退出低功耗模式。
SWM	0x11A	MODE_CONTROL	SWM_EN	使能智能唤醒模式。
SWM	0x11A	MODE_CONTROL	SWM_RSSI_QUAL	使能智能唤醒模式下的RSSI预验证。

ADF7023

低功耗模式	存储器访问	寄存器名称	位	描述
SWM	0x108	SWM_RSSI_THRESH	SWM_RSSI_THRESH[7:0]	RSSI预验证的RSSI阈值。 RSSI阈值(dBm) = SWM_RSSI_THRESH – 107。
SWM	0x107	PARMTIME_DIVIDER	PARMTIME_DIVIDER[7:0]	Rx驻留定时器的节拍率。
SWM	0x106	RX_DWELL_TIME	RX_DWELL_TIME[7:0]	SWM期间ADF7023保持唤醒的时间。 接收驻留时间 = $RX_DWELL_TIME \times \frac{6.5 \text{ MHz}}{128 \times PARMTIME_DIVIDER}$
SWM	0x100	INTERRUPT_MASK_0	INTERRUPT_SWM_RSSI_DET INTERRUPT_PREAMBLE_DETECT INTERRUPT_SYNC_DETECT INTERRUPT_ADDRESS_MATCH	SWM下可以使用的各种中断。

¹ 需要按照以下顺序写入0x30C和0x30D寄存器：先写入WUC_CONFIG_HIGH(地址0x30C)，紧接着写入WUC_CONFIG_LOW(地址0x30D)。

² 需要按照以下顺序写入0x30E和0x30F寄存器：先写入WUC_VALUE_HIGH(地址0x30E)，紧接着写入WUC_VALUE_LOW(地址0x30F)。

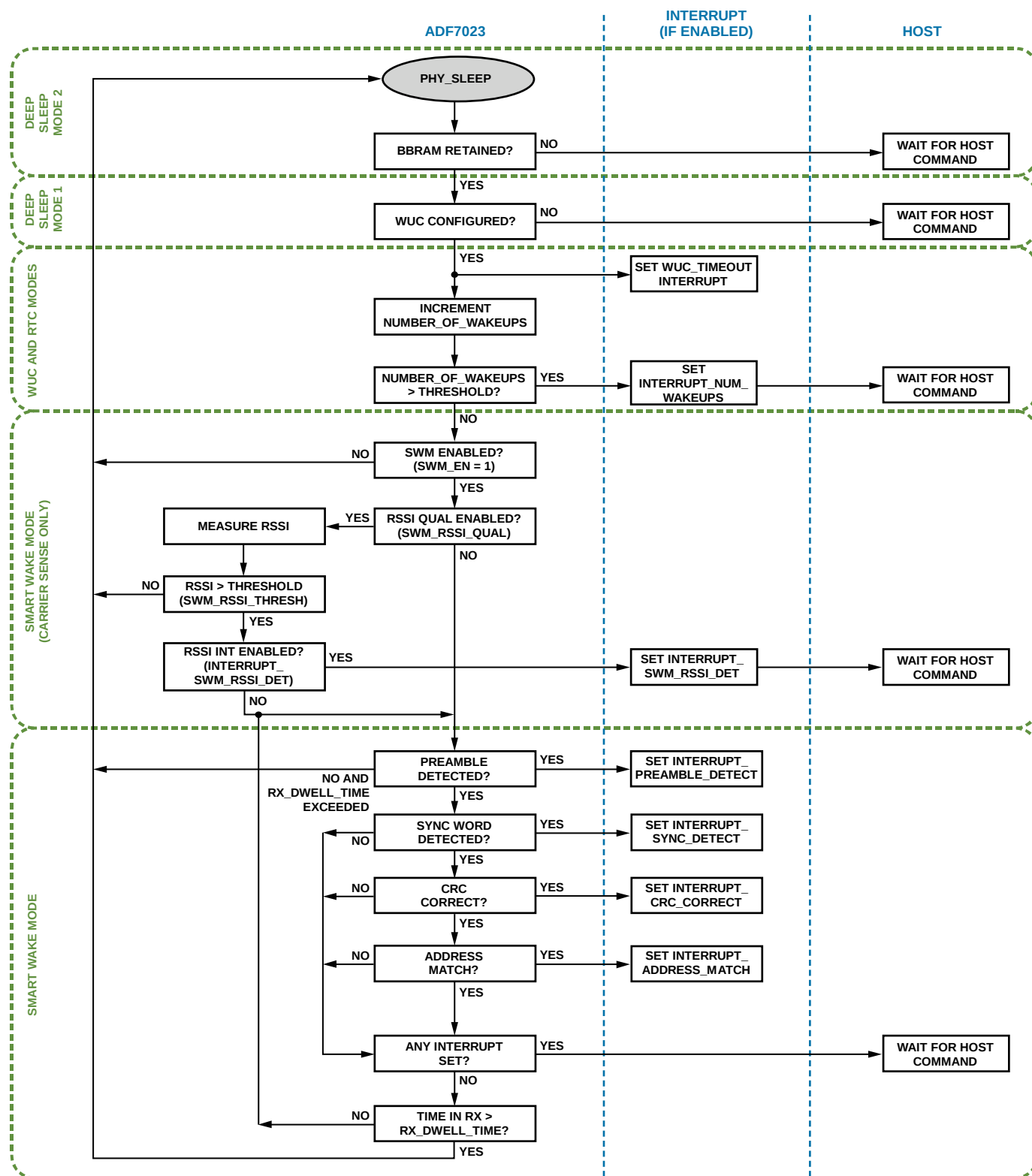


图97. 低功耗模式操作

00291345

低功耗模式示例

深度休眠模式2

对于由主机处理器控制低功耗模式时序并要求ADF7023休眠功耗最低的应用，适合使用深度休眠模式2。

在该低功耗模式下，ADF7023处于PHY_SLEEP状态，不保留BBRAM内容。从任何无线电状态发出CMD_HW_RESET命令，都可以进入该低功耗模式。要使器件从PHY_SLEEP状态唤醒，应将CS引脚拉低。CMD_HW_RESET命令之后的初始化程序应按照“无线电控制”部分的详细说明加以执行。

深度休眠模式1

对于由主机处理器控制低功耗模式时序并要求ADF7023在PHY_SLEEP状态下保留器件配置的应用，适合使用深度休眠模式1。

在该低功耗模式下，ADF7023处于PHY_SLEEP状态，BBRAM内容得以保留。进入PHY_SLEEP状态之前，应将WUC_BBRAM_EN(地址0x30D)置1，确保BBRAM内容得到保留。从PHY_OFF或PHY_ON状态发出CMD_PHY_SLEEP命令，可以进入该低功耗模式。要退出PHY_SLEEP状态，可以将CS引脚拉低，然后执行CS低电平初始化程序，详见“无线电控制”部分。

WUC模式

在该低功耗模式下，经过用户定义的时间后，会使用硬件WUC将ADF7023从PHY_SLEEP状态唤醒。在该期间结束时，ADF7023可以向主机处理器提供中断。当ADF7023处于PHY_SLEEP状态时，主机处理器也可以选择进入深度休眠状态，以节省功耗。

发出CMD_PHY_SLEEP命令之前，主机处理器应配置WUC并将固件定时器阈值设置为0(NUMBER_OF_WAKEUPS_IRQ_THRESHOLD = 0，地址0x104和0x105)。应将WUC_BBRAM_EN(地址0x30D)置1，确保BBRAM内容得到保留。发出CMD_PHY_SLEEP命令后，器件进入休眠状态，直到硬件定时器超时。此时器件唤醒；如果使能了WUC_TIMEOUT或INTERRUPT_NUM_WAKEUPS中断(地址0x100)，器件还会在IRQ_GP3引脚上置位中断。

该低功耗模式的操作参见图98。

采用固件定时器的WUC模式

在该低功耗模式下，WUC用于定期将ADF7023从PHY_SLEEP状态唤醒，固件定时器用于计数WUC超时的次数。WUC和固件定时器共同提供实时时钟(RTC)能力。

进入PHY_SLEEP状态之前，主机处理器应设置WUC和固件定时器。应将WUC_BBRAM_EN(地址0x30D)置1，确保BBRAM内容得到保留。WUC的超时时间可以配置为标准时间间隔(如1秒、60秒等)。发出CMD_PHY_SLEEP命令后，器件进入PHY_SLEEP状态，直到硬件定时器超时。此时器件唤醒，16位固件定时器(NUMBER_OF_WAKEUPS，地址0x102和0x103)递增；如果使能了WUC_TIMEOUT中断(地址0x101)，器件还会在IRQ_GP3引脚上置位中断。如果16位固件计数小于或等于用户设置的阈值(NUMBER_OF_WAKEUPS_IRQ_THRESHOLD，地址0x104和0x105)，器件返回PHY_SLEEP状态。利用这种方法，固件计数(NUMBER_OF_WAKEUPS)相当于一个实时间隔。

当固件计数超过用户设置的阈值(NUMBER_OF_WAKEUPS_IRQ_THRESHOLD)时，如果INTERRUPT_NUM_WAKEUPS位(地址0x100)置1，ADF7023将置位IRQ_GP3引脚，并进入PHY_OFF状态。该低功耗模式的操作参见图99。

智能唤醒模式(仅载波检测)

在该低功耗模式下，WUC、固件定时器和智能唤醒模式用于实现对特定通道的定期RSSI测量(即载波检测)。要使能这种模式，应在进入PHY_SLEEP状态之前配置WUC和固件定时器。应将WUC_BBRAM_EN(地址0x30D)置1，确保BBRAM内容得到保留。RSSI测量通过设置SWM_RSSI_QUAL = 1和SWM_EN = 1(地址0x11A)来使能。还应使能INTERRUPT_SWM_RSSI_DET(地址0x100)。如果测得的RSSI值低于SWM_RSSI_THRESH寄存器(地址0x108)中设置的用户自定义阈值，则器件返回PHY_SLEEP状态。如果RSSI测量结果大于SWM_RSSI_THRESH值，则器件设置INTERRUPT_SWM_RSSI_DET中断以提醒主机处理器，并进入PHY_ON状态以等待主机命令。该低功耗模式的操作参见图100。

智能唤醒模式

在该低功耗模式下，WUC、固件定时器和智能唤醒模式用于定期侦听数据包。要使能这种模式，应在进入PHY_SLEEP状态之前配置WUC和固件定时器，并使能智能唤醒模式(SWM)(SWM_EN，地址0x11A)。应将WUC_BBRAM_EN(地址0x30D)置1，确保BBRAM内容得到保留。此外还可以使能RSSI预验证(SWM_RSSI_QUAL=1，地址0x11A)。当使能RSSI预验证时，只有RSSI测量结果大于用户自定义阈值，ADF7023才会开始搜索前同步码。

ADF7023处于PHY_RX状态的时间由RX_DWELL_TIME设置(地址0x106)决定。如果ADF7023在接收驻留时间内检测到前同步码，它将搜索同步字。如果检测到同步字，则ADF7023将接收数据载入包RAM，并检查CRC和地址是否匹配(如已使能)。如果设置了任何一个接收包中断，则ADF7023返回PHY_ON状态并等待主机命令。

如果ADF7023在接收驻留时间内收到前同步码检测，但接收包的其余部分超出了驻留时间，则ADF7023会延长驻留时间，直到整个包接收完毕或者被确认为无效(例如同步字不正确)。

当接收到有效的包中断时，该低功耗模式终止。此外，也可以通过固件定时器超时终止该低功耗模式。如果必须在低功耗模式下定期执行某些无线电任务(如IR校准)或处理器任务，这种方法很有帮助。

该低功耗模式的操作参见图101。

退出低功耗模式

如图97所示，ADF7023退出任何一种低功耗模式的条件是发出主机命令。也可以采用如下步骤执行异步退出：

1. 将SPI的 $\overline{\text{CS}}$ 引脚拉低，等待MISO输出变为高电平。
2. 发出CMD_HW_RESET命令。

CMD_HW_RESET命令之后，主机处理器应执行“初始化”部分所述的初始化程序。

低功耗模式时序图

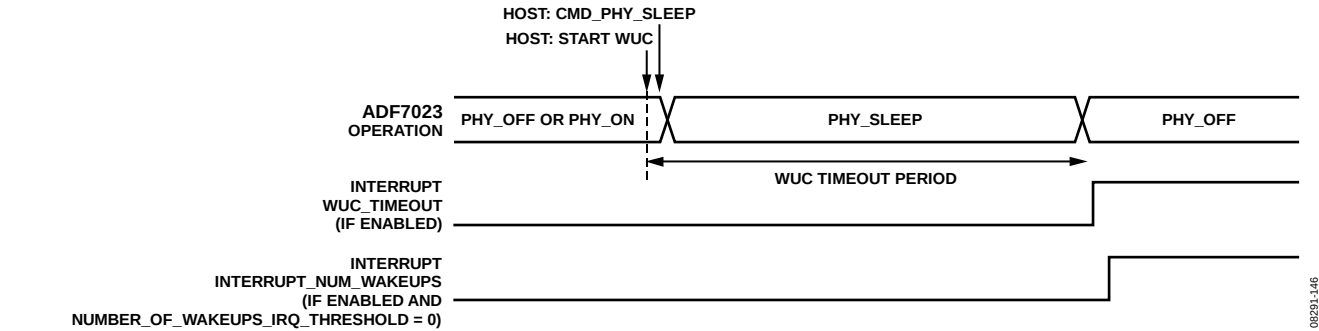


图98. 使用WUC时的低功耗模式时序

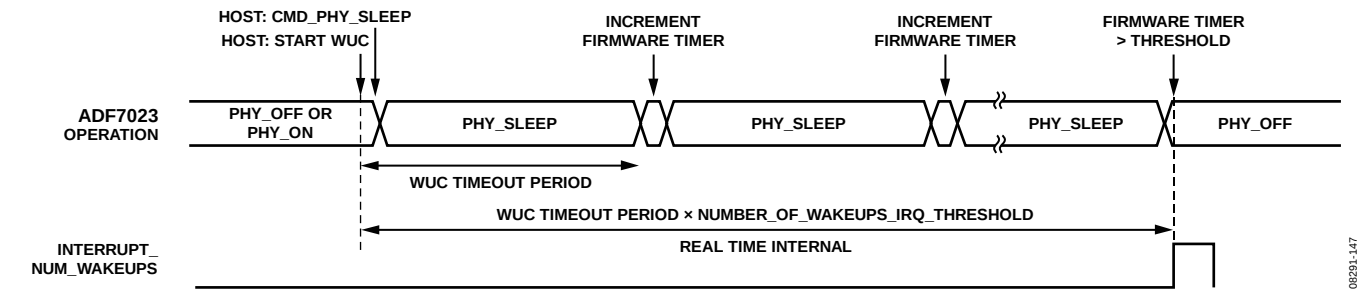


图99. 使用WUC和固件定时器时的低功耗模式时序

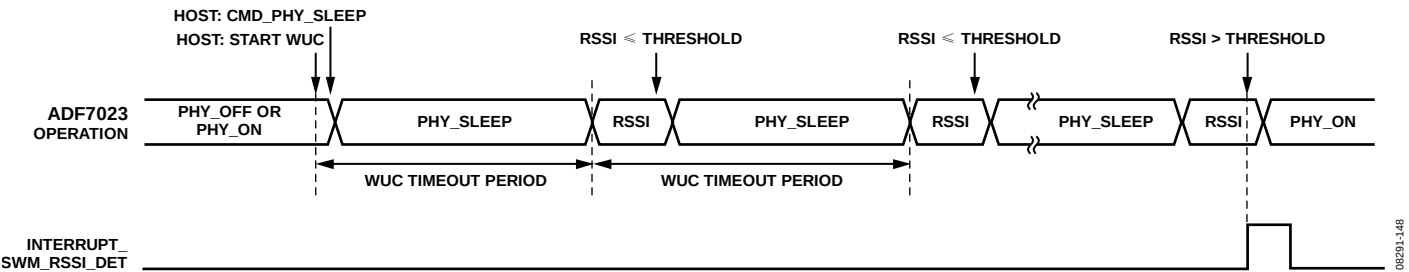


图100. 使用WUC、固件定时器和带载波检测的SWM时的低功耗模式时序

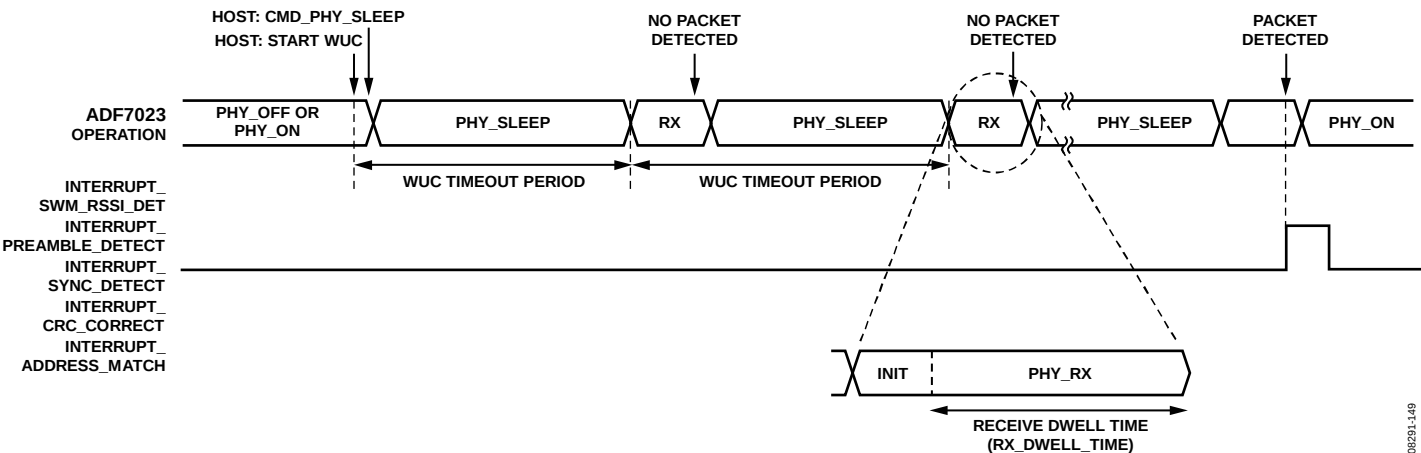


图101. 使用WUC、固件定时器和SWM时的低功耗模式时序

WUC设置

电路描述

ADF7023具有一个低功耗唤醒控制器(WUC)，它包括一个16位唤醒定时器和一个3位可编程预分频器，如图102所示。预分频器时钟源可以使用32.76 kHz内部RC振荡器(RCOSC)或32.76 kHz外部振荡器(XOSC)。可编程预分频器和16位递减计数器的组合可实现30.52 μs至36.4小时的总硬件定时范围。

配置和操作

硬件WUC通过下列寄存器进行配置：

- WUC_CONFIG_HIGH(地址0x30C)
- WUC_CONFIG_LOW(地址0x30D)
- WUC_VALUE_HIGH(地址0x30E)
- WUC_VALUE_LOW(地址0x30F)

各寄存器的相关域详见表29。所有四个寄存器都是只写寄存器。

WUC应按如下步骤进行配置：

1. 清除所有中断。
2. 设置所需的中断。
3. 写入WUC_CONFIG_HIGH和WUC_CONFIG_LOW。
确保WUC_ARM =1。确保WUC_CONFIG_BBRAM_EN =1(PHY_SLEEP期间保留BBRAM)。需要按照以下顺序写入这两个寄存器：先写入WUC_CONFIG_HIGH，紧接着写入WUC_CONFIG_LOW。
4. 写入WUC_VALUE_HIGH和WUC_VALUE_LOW。此操作可配置WUC_TIMER_VALUE[15:0]，即WUC超时周期。写入这些寄存器后，计时器从配置值开始计时。需要按照以下顺序写入这两个寄存器：先写入WUC_TIMER_VALUE_HIGH，紧接着写入WUC_VALUE_LOW。

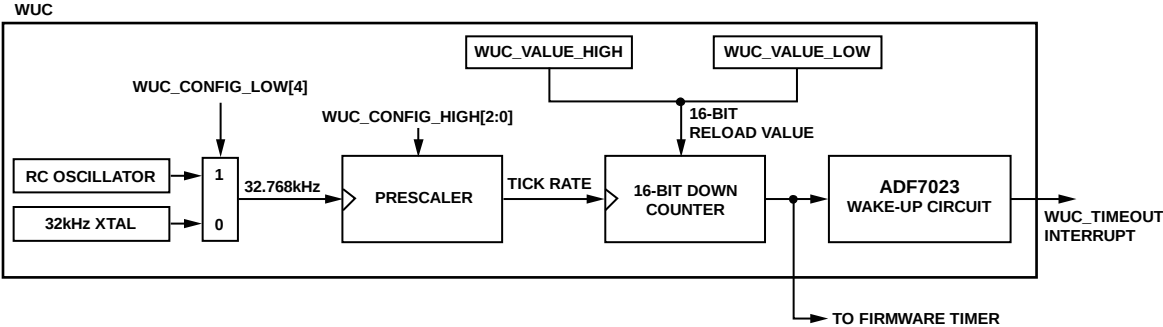


图102. 硬件唤醒控制器(WUC)

表29. WUC寄存器设置

WUC设置	名称	描述		
WUC_VALUE_HIGH [7:0]	WUC_TIMER_VALUE[15:8]	WUC定时器值。 $WUC\ Interval(s) = WUC_TIMER_VALUE \times \frac{2^{(WUC_PRESCALER + 1)}}{32,768}$		
WUC_VALUE_LOW[7:0]	WUC_TIMER_VALUE[7:0]	WUC定时器值。		
WUC_CONFIG_HIGH[7]	保留	置0。		
WUC_CONFIG_HIGH[6:3]	RCOSC_COARSE_CAL_VALUE	RCOSC_COARSE_CAL_VALUE	RC振荡器频率变化	粗调状态
		0000	+83%	状态10
		0001	+66%	状态9
		1000	+50%	状态8
		1001	+33%	状态7
		1100	+16%	状态6
		1101	0%	状态5
		1110	-16%	状态4
		1111	-33%	状态3
		0110	-50%	状态2
		0111	-66%	状态1
WUC_CONFIG_HIGH[2:0]	WUC_PRESCALER	WUC_PRESCALER	32.768 kHz分频器	节拍周期
		000	1	30.52 μs
		001	4	122.1 μs
		010	8	244.1 μs
		011	16	488.3 μs
		100	128	3.91 ms
		101	1024	31.25 ms
		110	8192	250 ms
		111	65,536	2000 ms
WUC_CONFIG_LOW[7]	保留	置0。		
WUC_CONFIG_LOW[6]	WUC_RCOSC_EN	1: 使能。 0: 禁用RCOSC32K。		
WUC_CONFIG_LOW[5]	WUC_XOSC32K_EN	1: 使能。 0: 禁用XOSC32K。		
WUC_CONFIG_LOW[4]	WUC_CLKSEL	1: 32.768 kHz RC振荡器。 0: 外部晶振。		
WUC_CONFIG_LOW [3]	WUC_BBRAM_EN	1: PHY_SLEEP期间使能BBRAM的电源。 0: PHY_SLEEP期间禁用BBRAM的电源。		
WUC_CONFIG_LOW[2:1]	保留	置0。		
WUC_CONFIG_LOW[0]	WUC_ARM	1: 使能发生WUC超时事件时唤醒。 0: 禁用发生WUC超时事件时唤醒。		

固件定时器设置

ADF7023以WUC设置的频率从PHY_SLEEP状态唤醒。可以使用一个由片内处理器实现的固件定时器来计数硬件唤醒次数，并向主机处理器产生中断。因此，ADF7023可以用来处理主机处理器的唤醒定时，降低系统整体功耗。

要设置固件定时器，主机处理器必须设置NUMBER_OF_WAKEUPS_IRQ_THRESHOLD [15:0]寄存器(地址0x104和0x105)的值。此16位值表示器件向主机处理器产生中断之前的器件唤醒次数。每次唤醒时，ADF7023都会递增NUMBER_OF_WAKEUPS[15:0]寄存器(地址0x103)的值。如果此值超过NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:0]寄存器所设置的值，则NUMBER_OF_WAKEUPS[15:0]值清0。此时，如果INTERRUPT_MASK_0寄存器(地址0x100)的INTERRUPT_NUM_WAKEUPS位置1，则器件置位IRQ_GP3引脚并进入PHY_OFF状态。

RC振荡器校准

RC振荡器校准有两类：精校和粗校。从PHY_SLEEP唤醒和冷启动时，自动执行RC振荡器的精校。用户也可以手动启动精校。

为满足技术规格部分给出的RC振荡器频率精度，需要对RC振荡器执行粗校。

RC振荡器精校

步骤如下：

1. 写入WUC_CONFIG_HIGH和WUC_CONFIG_LOW寄存器，将WUC_RCOSC_EN位设为高电平。
2. 写入0到WUC_FLAG_RESET寄存器的WUC_RCOSC_CAL_EN。
3. 写入1到WUC_FLAG_RESET寄存器的WUC_RCOSC_CAL_EN。

校准期间，主机可以写入和回读存储器位置，以及向ADF7023发送命令。RC振荡器校准状态可以通过WUC_STATUS寄存器(位置0x311)查看。

精校的结果可以从RCOSC_CAL_READBACK_HIGH(位置0x34F)和RCOSC_CAL_READBACK_LOW(位置0x350)寄存器回读。精校通常需要1.5 ms。

RC振荡器粗校

此校准是针对不同的RCOSC_COARSE_CAL_VALUE值对RC振荡器执行精校，从而确定要写入WUC_CONFIG_HIGH(位置0x30C[6:3])的最佳值。

粗校程序如图103所示。最佳粗调状态通常是状态5，算法从该状态开始，以将迭代次数降至最少。

一般而言，最佳RCOSC_COARSE_CAL_VALUE在25°C时确定一次，结果存储在主机微处理器中。对RC振荡器执行精校前，可以将此结果整合到写入WUC_CONFIG_HIGH的值中。

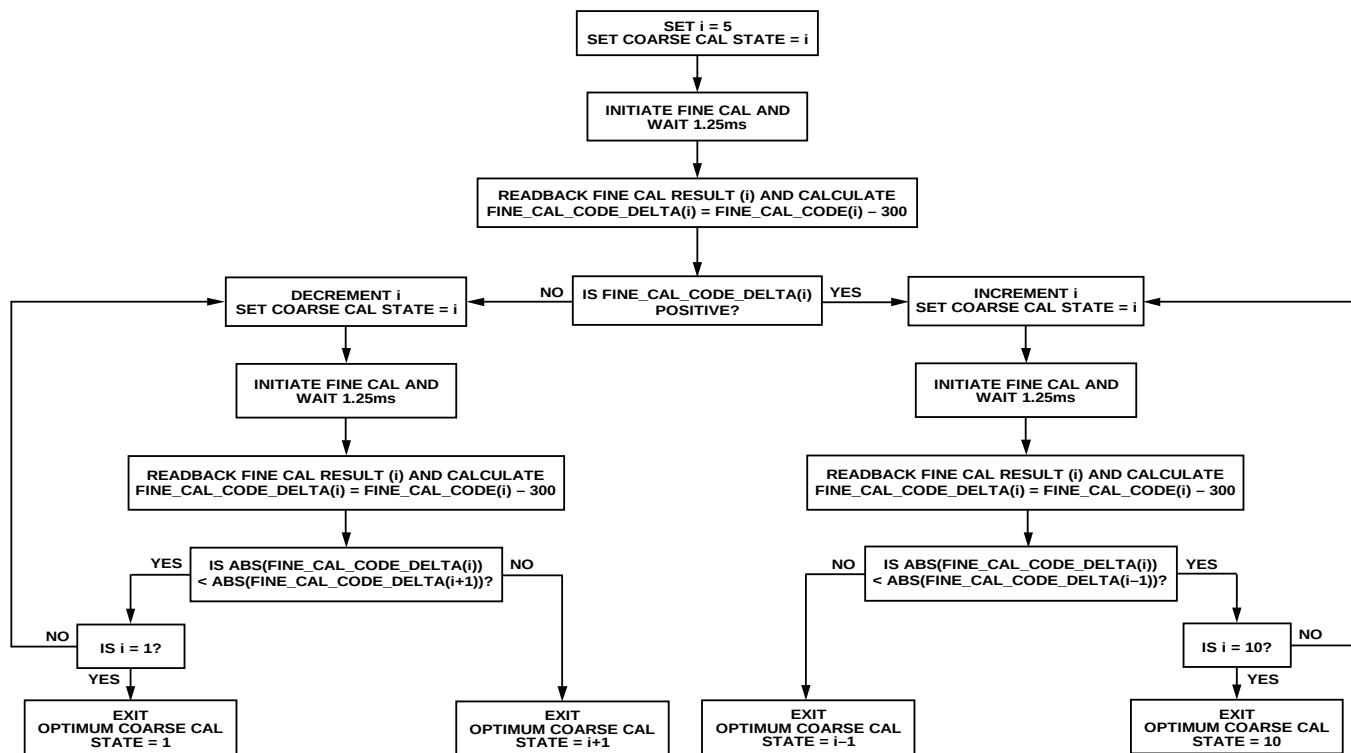


图103. RC振荡器粗校算法

08/29/103

可下载的固件模块

ADF7023的程序RAM存储器可用于存储通信处理器的固件模块，以便提供额外功能。如需这些固件模块的二进制代码及其功能的详细信息，请联系ADI公司。本节将简要说明这些模块，包括镜像抑制校准、AES加密和解密以及Reed Solomon编码。

向程序RAM写入模块

将固件模块写入程序RAM的操作序列如下：

1. 确保ADF7023处于PHY_OFF状态。
2. 发出CMD_RAM_LOAD_INIT命令。
3. 利用SPI存储器块写入功能将模块写入程序RAM(参见SPI接口部分)。
4. 发出CMD_RAM_LOAD_DONE命令。

固件模块现已存储到程序RAM。

镜像抑制校准模块

校准系统首先禁用ADF7023接收机，将一个内部RF源以镜像频率施加于RF输入端。然后，该算法反复最小化多相滤波器的正交增益和相位误差，以最大程度地提高接收机的镜像抑制性能。

校准算法对正交相位校正(地址0x118)和正交增益校正(地址0x119)的初始估计来自于BBRAM。校准后，再将新的优化相位和增益值载入这些位置。休眠模式下，BBRAM会保存这些校准值；器件唤醒时，会自动重新应用这些值，这样所需的校准次数可降至最少。

根据正交增益和相位校正的初始值不同，校准算法可能需要大约20 ms才能找到最佳的镜像抑制性能。不过，如果增益和相位校正所用的种子值接近最优值，校准时间可能远少于上述时间。

镜像抑制性能还取决于温度。为了保持最佳镜像抑制性能，只要温度变化超过10°C，就应启动校准程序。ADF7023片内温度传感器可以用来确定温度何时超过此限值。

Reed Solomon编码模块

该编码模块利用Reed Solomon块编码来检测和校正接收包中的差错。k字节长的发送消息追加n-k字节长的差错校验码(ECC)，得到总长度为n字节的消息，如图104所示。

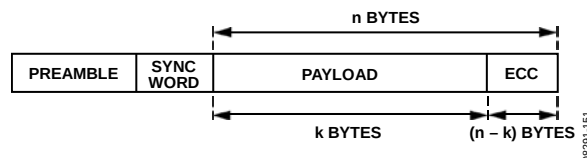


图104. 追加Reed Solomon差错校验码(ECC)的包结构

接收机解码ECC以检测并校正最多t个错误字节，其中 $t = (n - k)/2$ 。固件支持校正n字节域中的多达5个字节。要校正t个错误字节，需要2t字节长的ECC；字节差错可以随机分布在有效载荷和ECC域范围内。

Reed Solomon编码具有出色的突发差错校正能力，常用来提高无线电链路的稳定性，避免受到瞬态干扰影响，防止因信号快速衰减而导致消息有效载荷的某些部分受损。

Reed Solomon编码还能将接收机的灵敏度提高数dB，从而解决低信噪比(SNR)条件下随机错误占主导地位 and 接收机包误差率性能受限于热噪声的问题。

可以100%校正的连续错误位数为 $\{(t - 1) \times 8 + 1\}$ 。如果错误码开始并结束于字节边界，则还能校正更长的随机位错误码。

固件也可以利用片内硬件加速模块来增大吞吐量，并将Reed Solomon处理的延迟时间降至最短。

AES加密和解密模块

可下载的AES固件模块支持密钥大小为128位、192位和256位的128位块加密和解密。它支持两种模式：ECB模式和CBC模式1。ECB模式只是利用一个密钥逐块地加密和解密128位数据，如图105所示。CBC模式1则是先做一次加法运算(模2，用户提供的128位初始化向量)再加密，所得的密文用作下一个块的初始化向量，依此类推，如图106所示。解密过程正好相反。固件也可以利用片内硬件加速模块来增大吞吐量，并将AES处理的延迟时间降至最短。

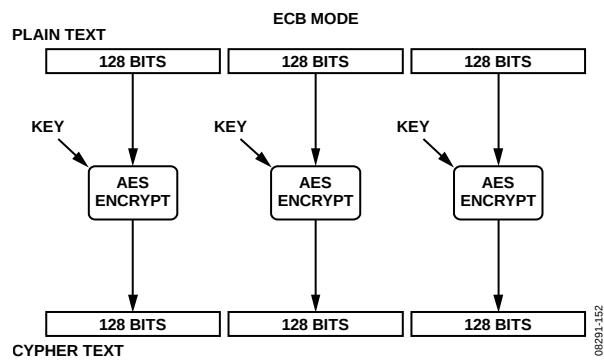


图105. ECB模式

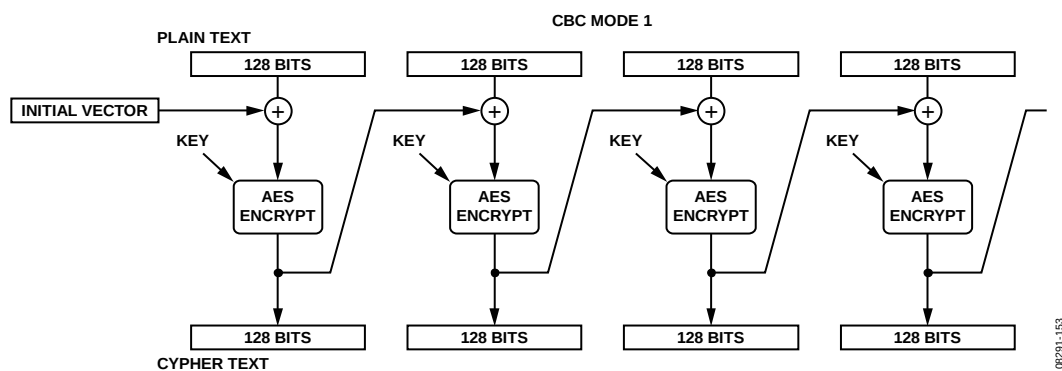


图106. CBC模式1

无线电模块

频率合成器

ADF7023使用一个完全集成的RF频率合成器来产生发射信号和接收机的本振(LO)信号。该频率合成器的架构如图107所示。

接收机利用小数N分频频率合成器来产生混频器的LO，以下变频到200 kHz或300 kHz的中频(IF)频率。在发射模式下，当发送FSK数据时，使用一个高分辨率Σ-Δ调制器来在RF输出端产生所需的频率偏差。为降低所占用的FSK带宽，可以利用一个数字高斯滤波器对发送位流进行滤波，该滤波器通过RADIO_CFG_9寄存器(地址0x115)使能。该高斯滤波器使用的带宽时间(BT)为0.5。

ADF7023的VCO和PLL环路滤波器均完全集成。为了减小PA上电时的VCO牵引效应，并尽量降低杂散发射，VCO以2倍或4倍的RF频率工作。然后将VCO信号二分频或四分频，以提供发射机所需的频率和接收机所需的LO频率。

该器件采用一种高速、完全自动化的校准方案来确保VCO的频率和幅度特性不随温度、电源电压和工艺变化而改变。

发出CMD_PHY_RX或CMD_PHY_TX命令时，会自动执行校准。校准持续时间为142 μs；需要时，可以轮询CALIBRATION_STATUS寄存器(地址0x339)，以判断VCO自校准是否完成。VCO校准完毕后，频率合成器在56 μs内建立至目标频率的±5 ppm范围内。

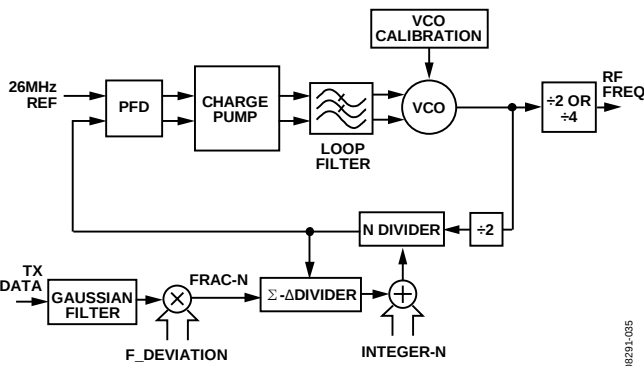


图107. RF频率合成器架构

频率合成器带宽

频率合成器环路滤波器完全集成于片内，具有可编程的带宽。当器件进入PHY_TX或PHY_RX状态时，通信处理器自动设置频率合成器的带宽。进入PHY_TX状态时，通信处理器根据所设置的调制方案(2FSK、GFSK或OOK)和数据速率选择带宽，这样能确保每种数据速率下的调制质量

最佳。进入PHY_RX状态时，通信处理器设置一个较窄的带宽，以确保接收机抑制性能最佳。带宽配置共有8种。表30列出了频率合成器的所有带宽设置。

表30. 频率合成器带宽自动选择

描述	数据速率 (kbps)	闭环频率合成器带宽 (kHz)
Rx 2FSK/GFSK/MSK/GMSK	全部	92
Tx 2FSK/GFSK/MSK/GMSK	1至49.5	130
Tx 2FSK/GFSK/MSK/GMSK	49.6至99.1	174
Tx 2FSK/GFSK/MSK/GMSK	99.2至129.5	174
Tx 2FSK/GFSK/MSK/GMSK	129.6至179.1	226
Tx 2FSK/GFSK/MSK/GMSK	179.2至239.9	305
Tx 2FSK/GFSK/MSK/GMSK	240至300	382
Tx OOK	全部	185

频率合成器建立

VCO校准之后有56 μs的延迟时间，以便频率合成器完成建立。默认情况下，此延迟时间固定在56 μs，目的是确保在使用任何默认频率合成器带宽时，频率合成器都能完全建立。

但在某些情况下，可能需要使用自定义的频率合成器建立延迟时间。要使用自定义延迟时间，需将MODE_CONTROL寄存器(地址0x11A)的CUSTOM_TRX_SYNTH_LOCK_TIME_EN位置1。PHY_RX和PHY_TX状态跃迁的频率合成器建立延迟时间可以分别在RX_SYNTH_LOCK_TIME寄存器(地址0x13E)和TX_SYNTH_LOCK_TIME寄存器(地址0x13F)中独立设置。建立时间可以在2 μs到512 μs的范围内以2 μs阶跃进行设置。

旁路VCO校准

为了实现超快速发射或接收跳频，可以旁路VCO校准。各RF通道的校准数据应存储在主机处理器存储器中。校准数据包括两个值：VCO频段选择值和VCO幅度水平。

读取和存储校准数据

1. 进入PHY_TX或PHY_RX状态，不旁路VCO校准。
2. 读取下列MCR寄存器，将校准数据存储在主机处理器的存储器中：
 - a.VCO_BAND_READBACK(地址0x3DA)
 - b.VCO_AMPL_READBACK(地址0x3DB)

发出CMD_PHY_TX或CMD_PHY_RX命令时旁路VCO校准

- 1. 确保BBRAM已配置。
- 2. 设置VCO_OVRW_EN(地址0x3CD)= 0x3。
- 3. 设置VCO_CAL_CFG(地址0x3D0)= 0x0F。
- 4. 设置VCO_BAND_OVRW_VAL(地址0x3CB)= 针对该通道而存储的VCO_BAND_READBACK(地址0x3DA)。
- 5. 设置VCO_AMPL_OVRW_VAL(地址0x3CC)= 针对该通道而存储的VCO_AMPL_READBACK(地址0x3DB)。
- 6. 设置SYNTH_CAL_EN = 0(CALIBRATION_ CONTROL寄存器中，地址0x338)。
- 7. 设置SYNTH_CAL_EN = 1(CALIBRATION_ CONTROL寄存器中，地址0x338)。
- 8. 发出CMD_PHY_TX或CMD_PHY_RX命令，进入PHY_TX或PHY_RX状态而不进行VCO校准。

晶振

必须在XOSC26P与XOSC26N引脚之间连接一个以并行模式工作的26 MHz晶振。在正确频率下进行振荡需要两个并联负载电容，其值取决于晶振规格。挑选时应确保电容串联值加上ADF7023的PCB走线电容和输入引脚电容等于晶振的额定负载电容走线电容和输入引脚电容等于晶体的额定负载电容(通常10 pF至20 pF)。走线电容值在2 pF至5 pF之间变化，具体视电路板布局布线而定。总负载电容计算如下：

C_LOAD = 1 / (1/C1 + 1/C2) + C_PIN/2 + C_PCB

其中：

- C_LOAD为总负载电容。
- C1和C2为外部晶体负载电容。
- C_PIN为ADF7023 XOSC26P和XOSC26N引脚的输入电容，等于2.1pF。
- C_PCB为PCB走线电容。

尽量挑选温度系数低的电容，以确保在各种条件下获得稳定的工作频率。

晶振频率误差可以利用集成的数字调谐变容二极管校正。对于10 pF的典型晶振负载电容，通过对3位DAC进行编程，可以获得+15 ppm至-11.25 ppm的调谐范围，如表31所示。该3位值应写入OSC_CONFIG寄存器(地址0x3D2)的XOSC_CAP_DAC。

另外，利用BBRAM存储器中的RF通道频率设置，通过偏移RF通道频率也可以调整晶振误差引起的任何RF频率误差。

表31. 晶振频率牵引编程

XOSC_CAP_DAC	牵引(ppm)
000	+15
001	+11.25
010	+7.5
011	+3.75
100	0
101	-3.75
110	-7.5
111	-11.25

调制

ADF7023支持的调制方案有：二进制频移键控(2FSK)、最小频率键控(MSK)、二进制高斯滤波2FSK (GFSK)、高斯滤波MSK (GMSK)和开关键控(OOK)。所需的发射和接收调制格式通过RADIO_CFG_9寄存器(地址0x115)设置。

使用2FSK/GFSK/MSK/GMSK调制时，频率偏差可以通过RADIO_CFG_1寄存器(地址0x10D)和RADIO_CFG_1寄存器(地址0x10E)中的FREQ_DEVIATION[11:0]参数设置。数据速率可以通过RADIO_CFG_0寄存器(地址0x10C)和RADIO_CFG_1寄存器(地址0x10D)中的DATA_RATE[11:0]参数设置，范围为1 kbps至300 kbps。对于GFSK/GMSK调制，高斯滤波器使用固定的带宽时间(BT)积0.5。

使用OOK调制时，建议使能曼彻斯特编码(MANCHESTER_ENC = 1，地址0x11C)。数据速率可以通过RADIO_CFG_0寄存器(地址0x10C)和RADIO_CFG_1寄存器(地址0x10D)中的DATA_RATE[11:0]参数设置，范围为2.4 kbps至19.2 kbps (4.8 kcps至38.4 kcps曼彻斯特编码)。

RF输出级

功率放大器(PA)

利用RADIO_CFG_8寄存器(地址0x114)的PA_SINGLE_DIFF_SEL位，可以将ADF7023 PA配置为单端或差分输出工作模式。PA水平通过RADIO_CFG_8寄存器的PA_LEVEL位设置，范围为0到15。若要更精密地控制输出功率电平，可以使用PA_LEVEL_MCR寄存器(地址0x307)。它可提供更高分辨率，设置范围为0到63。PA_LEVEL与PA_LEVEL_MCR设置的关系如下：

PA_LEVEL_MCR = 4 × PA_LEVEL + 3

单端配置可提供13.5 dBm输出功率。差分PA可提供10 dBm输出功率，支持与偶极天线直接接口。两种PA配置均具备发射天线分集能力。注意二者不能同时使能。

对于单端和差分PA，ADF7023均有内置的上下PA斜坡。共有8个斜坡率设置，斜坡率定义为每个数据位周期所含的特定数量的PA功率电平设置。RADIO_CFG_8寄存器(地址0x114)中的PA_RAMP变量用于设置该PA斜坡率，如图108所示。


$$Ramp\ Rate\ (Codes/Bit) \leq 10,000 \times \frac{PA_LEVEL_MCR\ 5:0]}{DATA\ RATE\ 11:0]}$$

ADF7023支持单端和差分两种PA输出。一次只能激活一种PA输出。差分PA和LNA共享同样的引脚：RFIO_1P和RFIO_1N，这有利于简化天线接口。单端PA输出通过RFO2引脚提供。PA/LNA天线匹配有多个可能的选项，详见“PA/LNA”部分所述。

接收机的通道滤波器是一个四阶有源多相巴特沃兹滤波器，具有可编程的带宽：100 kHz、150 kHz、200 kHz和300 kHz。该四阶滤波器能够很好地抑制邻道干扰和镜像通道；在100 kHz IF带宽和868 MHz或915 MHz的RF频率下，镜像可降低大约36 dB。

AGC默认使能，它根据RSSI测量结果选择LNA、混频器和滤波器增益设置，从而使接收机增益保持在正确的级别。LNA具有三个增益级，混频器具有两个增益级，滤波器具有三个增益级。AGC共有六级，如表32所示。

增益模式	LNA增益	混频器增益	滤波器增益
1	高	高	高
2	高	低	高
3	中	低	高
4	低	低	高
5	低	低	中
6	低	低	低

AGC在各增益级停留的时间由AGC_CLK_DIVIDE寄存器(地址0x32F)确定。AGC_CLK_DIVIDE的默认值为0x28,表示AGC延迟时间为25 μs。当RSSI超过AGC_HIGH_THRESHOLD(地址0x35F)时,增益降低。当RSSI低于AGC_LOW_THRESHOLD(地址0x35E)时,增益提高。

AGC可以配置为在PHY_RX状态下保持激活,或者在检测到前同步码时锁定。也可以将AGC设置为手动模式,此时主机处理器必须通过写入AGC_MODE寄存器(地址0x35D)来设置LNA、滤波器和混频器增益。AGC操作由RADIO_CFG_7寄存器(地址0x113)的AGC_LOCK_MODE设置,如表33所示。

通过AGC_GAIN_STATUS寄存器(地址0x360)可以回读LNA、滤波器和混频器增益。

表33. AGC操作

RADIO_CFG_7寄存器的AGC_LOCK_MODE位	描述
0	AGC自由运行。
1	AGC禁用。必须手动设置增益。
2	AGC保持当前增益级别。
3	检测到前同步码时锁定AGC。

RSSI

RSSI基于一个位于模拟通道滤波器之后的逐次压缩对数放大器架构。模拟RSSI值由8位SAR ADC进行数字化处理,以供用户回读和数字AGC控制器使用。

ADF7023总共有四种RSSI测量功能,支持多种应用。这些功能可用来实现载波检测(CS)或空闲通道评估(CCA)。在包模式下,RSSI自动记录在MCR存储器中,可供用户在接收到包后进行回读。

表36详细列出了四种RSSI测量方法。

RSSI方法1

在包模式下,当接收到有效的数据包时,通信处理器会将后同步码期间的RSSI值自动载入RSSI_READBACK寄存器(地址0x312)。RSSI_READBACK寄存器包含一个二进制补码值,可以通过下式转换为输入功率(单位dBm):

$$RSSI(dBm) = RSSI_READBACK - 107$$

要将RSSI测量的线性范围向下扩展到-110 dBm的输入功率(见图69),可以利用下式进行余弦调整:

$$RSSI(dBm) = \cos\left(\frac{8}{RSSI_READBACK}\right) \times RSSI_READBACK - 106$$

其中,COS(X)为角度X(弧度)的余弦。

RSSI方法2

可以从PHY_ON状态发出CMD_GET_RSSI命令,以读取RSSI。这种RSSI测量方法使用额外的低通滤波,因此RSSI读数更精确。RSSI结果由通信处理器载入RSSI_READBACK寄存器(地址0x312)。RSSI_READBACK寄存器包含一个二进制补码值,可以通过下式转换为输入功率(单位dBm):

$$RSSI(dBm) = RSSI_READBACK - 107$$

RSSI方法3

此方法支持主机处理器在PHY_RX状态下随时进行RSSI测量。接收机输入功率可以通过下列步骤进行计算:

- 1. 设置AGC_MODE寄存器(地址0x35D)= 0x40,使AGC处于保持状态(只有AGC未在检测到前同步码或同步字时锁定的情况下,才需要进行此项设置)。
- 2. 回读AGC增益设置(AGC_GAIN_STATUS寄存器,地址0x360)。
- 3. 读取ADC_READBACK[7:0]值(地址0x327和0x328,参见“模数转换器”部分)。
- 4. 设置AGC_MODE寄存器(地址0x35D)= 0x00,重新使能AGC(只有AGC未在检测到前同步码或同步字时锁定的情况下,才需要进行此项设置)。
- 5. 通过下式计算RSSI(单位dBm):

$$RSSI(dBm) = \left(ADC_READBACK[7:0] \cdot \frac{1}{7} + Gain_Correction \right) - 109$$

其中,Gain_Correction由AGC_GAIN_STATUS寄存器(地址0x360)的值决定,如表34所示。

表34. 2FSK/GFSK/MSK/GMSK RSSI的增益模式校正

AGC_GAIN_STATUS (Address 0x360)	GAIN_CORRECTION
0x00	44
0x01	35
0x02	26
0x0A	17
0x12	10
0x16	0

为了简化RSSI计算,主机处理器可以使用如下近似计算方法:

$$\frac{1}{7} \approx \frac{1}{8} \left(1 + \frac{1}{64} \right)$$

RSSI方法4

在PHY_RX状态下使用OOK调制时，可以使用此方法来提供RSSI回读结果。接收机输入功率可以通过下列步骤进行计算：

- 1. 设置AGC_MODE寄存器(地址0x35D)= 0x40，使AGC处于保持状态(只有AGC未在检测到前同步码或同步字时锁定的情况下，才需要进行此项设置)。
- 2. 回读AGC增益设置(AGC_GAIN_STATUS寄存器，地址0x360)。
- 3. 读取AGC_ADC_WORD[6:0]值(地址0x361)。
- 4. 设置AGC_MODE寄存器(地址0x35D)= 0x00，重新使能AGC(只有AGC未在检测到前同步码或同步字时锁定的情况下，才需要进行此项设置)。
- 5. 通过下式计算RSSI(单位dBm)：

$$RSSI(dBm) = (AGC_ADC_WORD[6:0] \times \frac{2}{7} + Gain_Correction) - 110$$

其中，Gain_Correction由AGC_GAIN_STATUS寄存器(地址0x360)的值决定，如表35所示。

表35. OOK RSSI的增益模式校正

AGC_GAIN_STATUS (地址0x360+)	GAIN_CORRECTION
0x00	47
0x01	37
0x02	28
0x0A	19
0x12	10
0x16	0

为了简化RSSI计算，主机处理器可以使用如下近似计算方法：

$$\frac{2}{7} - \frac{2}{8} \left(1 - \frac{1}{8} + \frac{1}{64} \right)$$

表36. RSSI测量方法总结

RSSI方法	RSSI类型	调制	包模式下可用	SPORT模式下可用	描述
1	包结束时自动获得的RSSI	2FSK/GFSK/MSK/GMSK	是	否	在包模式下接收后同步码期间进行的自动RSSI测量。RSSI结果通过RSSI_READBACK寄存器(地址0x312)提供。
2	从PHY_ON状态发出CMD_GET_RSSI命令	2FSK/GFSK/MSK/GMSK	是	是	在PHY_ON状态下利用CMD_GET_RSSI命令进行的自动RSSI测量。RSSI结果通过RSSI_READBACK寄存器(地址0x312)提供。
3	通过ADC和AGC回读获得的RSSI，FSK	2FSK/GFSK/MSK/GMSK	是	是	基于ADC和AGC增益回读值的RSSI测量。主机处理器计算RSSI(单位dBm)。
4	通过ADC和AGC回读获得的RSSI，OOK	OOK	是	是	基于ADC和AGC增益回读值的RSSI测量。主机处理器计算RSSI(单位dBm)。

2FSK/GFSK/MSK/GMSK解调

相关器解调器用于2FSK、GFSK、MSK和GMSK解调。先对中频滤波器的正交输出进行限幅，然后将其馈送到数字频率相关器，对2FSK/GFSK/MSK/GMSK频谱进行滤波和鉴频。数据恢复通过比较两个相关器的输出电平来进行。此鉴频器的性能近似于一个匹配滤波器检波器，后者可在存在加性白高斯噪声(AWGN)的情况下提供最佳检波。这种2FSK/GFSK/MSK/GMSK解调方法的灵敏度比线性鉴频器高大约3 dB至4 dB。2FSK/GFSK/MSK/GMSK解调器的架构如图109所示。通过设置RADIO_CFG_9寄存器(地址0x115)的DEMOD_SCHEME = 0，可以将ADF7023配置为2FSK/GFSK/MSK/GMSK解调。

如需优化接收机灵敏度，必须根据特定偏差频率、数据速率，以及发射机与接收机之间的最大预期频率误差，对相关器带宽和相位进行优化。鉴频器的带宽和相位必须通过RADIO_CFG_3寄存器(地址0x10F)的DISCRIM_BW位和RADIO_CFG_6寄存器(地址0x112)的DISCRIM_PHASE[1:0]位设置。鉴频器设置分三步进行。

第1步：计算鉴频器带宽系数K

鉴频器带宽系数K取决于调制指数(MI)，调制指数通过下式确定：

MI = (FSK_Dev / Datarate)

其中，FSK_Dev为2FSK/GFSK/MSK/GMSK频率偏差(单位Hz)，测量范围是从载波到+1符号频率(正频率偏差)或-1符号频率(负频率偏差)；Datarate为数据速率，单位为每秒位数(bps)。

然后通过如下方法确定K值：

MI ≥ 1, AFC off: K = Floor[IF_Freq / FSK_Dev]

MI < 1, AFC off: K = Floor[IF_Freq / (Datarate / 2)]

MI ≥ 1, AFC on: K = Floor[IF_Freq / (FSK_Dev + Freq_Error_Max)]

MI < 1, AFC on: K = Floor[IF_Freq / ((Datarate / 2) + Freq_Error_Max)]

其中：

MI为调制指数。

K为鉴频器系数。

Floor[]为向下舍入到最接近整数的函数。

IF_Freq为IF频率(单位Hz，200 kHz或300 kHz)。

FSK_Dev为2FSK/GFSK/MSK/GMSK频率偏差(单位Hz)。

Freq_Error_Max为Tx与Rx之间的最大预期频率误差(单位Hz)。

第2步：计算DISCRIM_BW设置

鉴频器的带宽设置是根据鉴频器系数K和IF频率计算的。带宽通过DISCRIM_BW(地址0x10F)设置，计算公式如下：

DISCRIM_BW[7:0] = Round[(K × 3.25 MHz) / IF_Freq]

第3步：计算DISCRIM_PHASE设置

鉴频器的相位设置根据鉴频器系数K计算，如表37所示。相位通过RADIO_CFG_6寄存器(地址0x112)的DISCRIM_PHASE[1:0]值设置。

表37. 根据K设置DISCRIM_PHASE[1:0]值

钟	K/2	(K + 1)/2	DISCRIM_PHASE[1:0]
偶数	奇数		0
奇数		偶数	1
偶数	偶数		2
奇数		奇数	3

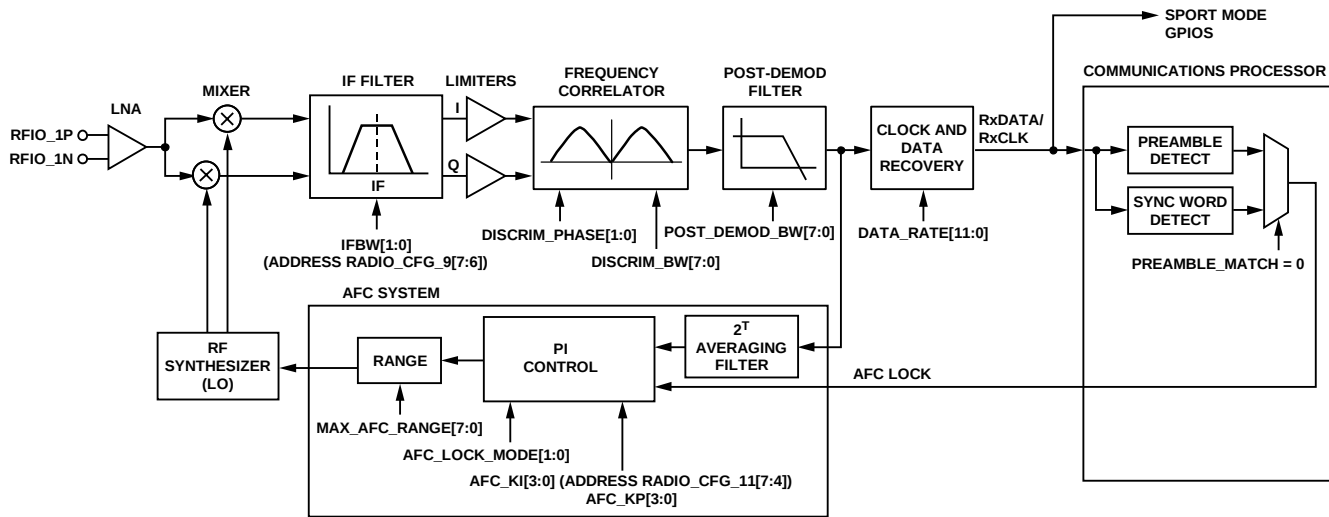


图109. 2FSK/GFSK/MSK/GMSK解调和AFC架构

自动频率控制

ADF7023内置一个实时自动频率控制(AFC)环路。接收时，控制环路自动监控包的前同步码序列期间的频率误差，并利用比例积分(PI)控制来调节接收机频率合成器本振(LO)。AFC频率误差测量带宽专门针对包的前同步码序列而设置(无直流)。2FSK/GFSK/MSK/GMSK解调期间支持AFC。

AFC可以配置为在检测到合格前同步码或合格同步字时锁定。要在检测到合格前同步码时锁定AFC，应设置AFC_LOCK_MODE = 3(地址0x116)，并确保通过PREAMBLE_MATCH寄存器(地址0x11B)使能前同步码检测。在前同步码结束之后，如果没有立即检测到同步字，AFC锁定就会被解除。在包模式下，如果在合格的前同步码结束后检测到合格的同步字，AFC将在整个包期间保持锁定。在Sport模式下，当跃迁回PHY_ON状态时，或者在PHY_RX状态下发出CMD_PHY_RX命令时，AFC锁定就会被解除。

要在检测到合格同步字时锁定AFC，应设置AFC_LOCK_MODE = 3，并确保通过PREAMBLE_MATCH寄存器(地址0x11B)禁用前同步码检测。如果选择了此模式，必须注意同步字的选择。同步字应无直流，游程长度较短，并且与前同步码序列的相关度较低。更多信息参见“数据包模式”部分中的同步字描述。检测到合格同步字而锁定后，AFC将在整个包期间保持锁定。在Sport模式下，当跃迁回PHY_ON状态时，或者在PHY_RX状态下发出CMD_PHY_RX命令时，AFC锁定就会被解除。

通过RADIO_CFG_10寄存器(地址0x116)的AFC_LOCK_MODE设置，可以使能AFC模式，如表38所示。

表38. AFC模式

AFC_LOCK_MODE[1:0]	模式
0	自由运行：AFC自由运行。
1	禁用：AFC禁用。
2	保持：AFC暂停。
3	锁定：AFC在前同步码或同步字后锁定。

AFC环路的带宽可以通过RADIO_CFG_11寄存器(地址0x117)的AFC_KI和AFC_KP参数进行控制。

最大AFC捕捉范围根据所设置的IF滤波器带宽(RADIO_CFG_9寄存器的IFBW，地址0x115)自动设置。

表39. 最大AFC捕捉范围

IF带宽	最大AFC捕捉范围
100 kHz	±50 kHz
150 kHz	±75 kHz
200 kHz	±100 kHz
300 kHz	±150 kHz

AFC和前同步码长度

AFC需要一定数量的接收前同步码位来校正发射机与接收机之间的频率误差。所需的前同步码位数取决于数据速率以及AFC是否在检测到合格前同步码或合格同步字时锁定。关于这一主题的讨论详见“针对2FSK/GFSK/MSK/GMSK的建议接收机设置”部分。

AFC回读

接收载波与接收机本振之间的频率误差可以在AFC使能时进行测量。误差值可以从FREQUENCY_ERROR_READBACK寄存器(地址0x372)读取,每个LSB相当于1 kHz。该值为二进制补码数值。AFC锁定后,FREQUENCY_ERROR_READBACK值在PHY_RX状态下有效。恢复数据包并跃迁回PHY_ON状态后,FREQUENCY_ERROR_READBACK寄存器会保留该值。

后置解调器滤波器

在解调器输出端,一个二阶数字低通滤波器消除解调位流的过量噪声。这个后置解调器滤波器的带宽可编程,并且必须针对用户的数据速率和接收调制类型加以优化。如果带宽设置过窄,则性能会由于符号间干扰(ISI)而降低。如果设置过宽,则会产生过量噪声,降低接收机性能。为获得最佳性能,后置解调器滤波器的带宽应设置为接近于数据速率的0.75倍(当使用FSK/GFSK/MSK/GMSK调制时)。后置解调器滤波器的实际带宽通过下式计算:

$$\text{后置解调器滤波器带宽(kHz)} = \text{POST_DEMODO_BW} \times 2$$

其中,POST_DEMOD_BW在RADIO_CFG_4寄存器(地址0x110)中设置。

时钟恢复

所有调制模式都采用过采样数字时钟和数据恢复(CDR)PLL来对接收位流和本地时钟进行再同步。CDR PLL的最大符号速率容差取决于发送位流中的位跃迁数。例如,接收010101前同步码期间,CDR实现的最大数据速率容差为 $\pm 3.0\%$ 。不过,在包其余部分的恢复期间,可能无法保证符号跃迁能在有效载荷数据期间以规则间隔出现,因此该容差会降低。为使接收机CDR的数据速率容差最大,应使能8b/10b编码或曼彻斯特编码,以保证发送位流中的连续位数最大。也可以使能ADF7023的数据白化,以打破长序列的连续数据位码。

使用2FSK/GFSK/MSK/GMSK调制时,如果数据速率容差和包长度均受限,也可容许使用未编码的有效载荷数据域以及具有较长游程长度编码约束的有效载荷数据域。有关使用未编码包格式的CDR操作的详细信息,请参见应用笔记AN-915。

ADF7023的CDR PLL经过优化,可在前同步码期间快速采集恢复符号,该PLL一般在前同步码的5个符号跃迁内实现位同步。

OOK解调

通过设置RADIO_CFG_9寄存器(地址0x115)的DEMOD_SCHEME = 2,可以将ADF7023配置为OOK解调。OOK调制应与曼彻斯特编码一起使用,确保获得最佳性能。OOK解调是利用接收机的RSSI信号和完全自动化的阈值检测电路实现的,该电路能够在前同步码期间提取最佳OOK阈值,并在整个输入功率范围内保持稳定的包误差性能。阈值检测电路的带宽通过RADIO_CFG_11寄存器(地址0x117)的AFC_KI和AFC_KP参数设置。通过设置OOK_AGC_CLK_ACQ和OOK_AGC_CLK_TRK(地址0x35B),可以在OOK接收期间针对采集和跟踪模式分别优化AGC环路带宽。在OOK模式下,这种解调方案可提供高接收机饱和性能。接收机还支持高达20 dB的OOK调制深度。

为获得最佳性能,应设置RADIO_CFG_7寄存器(地址0x113)的AGC_LOCK_MODE = 3且RADIO_CFG_10寄存器(地址0x116)的AFC_LOCK_MODE = 3,使AGC和阈值检测电路在检测到前同步码后锁定。

使用OOK解调时,建议将后置解调器滤波器带宽设置为芯片速率的1.6倍。该值可以通过RADIO_CFG_4寄存器(地址0x110)的POST_DEMOD_BW参数进行配置。

针对2FSK/GFSK/MSK/GMSK的建议接收机设置

为了优化ADF7023接收机性能并确保包误差率尽可能最低，建议采用如下配置：

- 设置推荐的AGC上下限和AGC时钟分频。
- 设置推荐的AFC Ki和Kp参数。
- 前同步码长度应大于或等于建议的最小前同步码长度。
- 当数据速率大于200 kbps时，如果AGC被配置为在检测到同步字时锁定，建议将同步字误差容差设为一位。

AGC、AFC、前同步码长度和同步字的推荐设置参见表41。

推荐AGC设置

为使接收机的包误差率性能最佳，当在整个输入功率范围内使用最小前同步码长度时，建议覆盖MCR存储器中的默认AGC设置。推荐设置如下：

- AGC_HIGH_THRESHOLD(地址0x35F)= 0x78
- AGC_LOW_THRESHOLD(地址0x35E)= 0x46

AGC_CLOCK_DIVIDE(地址0x32F)= 0x0F或0x19(取决于数据速率，见表41)

在PHY_SLEEP状态下不会保留MCR存储器值，因此，为了在低功耗模式应用中使用这些优化AGC设置，可以使用静态寄存器修复。表40举例说明了一个可AGC设置(MCR存储器中)的静态寄存器修复。

表40. 用于AGC设置的静态寄存器修复示例

BBRAM寄存器	数据	描述
0x128 (STATIC_REG_FIX)	0x2B	BBRAM地址0x12B的指针
0x12B	0x5E	MCR地址0x35E
0x12C	0x46	写入MCR地址0x35E的数据(设置AGC下限)
0x12D	0x5F	MCR地址0x35F
0x12E	0x78	写入MCR地址0x35F的数据(设置AGC上限)
0x12F	0x2F	MCR地址0x32F
0x130	0x0F	写入MCR地址0x32F的数据(设置AGC时钟分频)
0x131	0x00	静态MCR寄存器修复结束

推荐AFC设置

AFC环路的带宽通过RADIO_CFG_11寄存器(地址0x117)的AFC_KI和AFC_KP参数进行控制。为确保AFC精度最高，同时AFC建立时间最短(所需的前同步码长度因而也最短)，AFC_KI和AFC_KP参数应按照表41所示进行设置。

推荐前同步码长度

如果AFC在检测到前同步码时锁定，则最小前同步码长度在40位到60位之间，具体取决于数据速率。如果AFC在检测到同步字时锁定，则最小前同步码长度在14位到32位之间，具体取决于数据速率。如果AFC和前同步码检测禁用，则最小前同步码长度与AGC建立时间和CDR采集时间相关，范围为8位到24位，具体取决于数据速率。各种数据速率和接收机配置所需的前同步码长度参见表41。

推荐同步字容差

当数据速率大于200 kbps时，如果AGC被配置为在检测到同步字时锁定，建议将同步字误差容差设为1位(SYNC_ERROR_TOL = 1)。这样可以防止AGC增益在同步字接收期间改变，导致数据包丢失。

表41. 针对2FSK/GFSK/MSK/GMSK的AGC、AFC、前同步码长度和同步字误差容差推荐设置汇总

数据速率(kbps)	频率偏差(kHz)	IF带宽(kHz)	设置 ¹	AGC ²			AFC ³			最小前同步码长度(位) ⁴	同步字误差容差(位) ⁵
				上限	下限	时钟分频	开/关	Ki	Kp		
300	75	300	1	0x78	0x46	0x0F	开	7	3	64	0
			2	0x78	0x46	0x19	开	8	3	32	1
			3	0x78	0x46	0x19	关			24	1
200	50	200	1	0x78	0x46	0x19	开	7	3	58	0
150	37.5	150	1	0x78	0x46	0x19	开	7	3	54	0
100	25	100	1	0x78	0x46	0x19	开	7	3	52	0
50	12.5	100	1	0x78	0x46	0x19	开	7	3	50	0
38.4	20	100	1	0x78	0x46	0x19	开	7	3	44	0
			2	0x78	0x46	0x19	开	7	3	14	0
			3	0x78	0x46	0x19	关			8	0
9.6	10	100	1	0x78	0x46	0x19	开	7	3	46	0
			3	0x78	0x46	0x19	关			8	0
1	10	100	1	0x78	0x46	0x19	开	7	3	40	0
			3	0x78	0x46	0x19	关			8	0

¹ 设置1：AFC和AGC配置为在检测到前同步码时锁定：设置AFC_LOCK_MODE=3和AGC_LOCK_MODE=3。设置2：AFC和AGC配置为在检测到同步字时锁定：设置AFC_LOCK_MODE=3、AGC_LOCK_MODE=3和PREAMBLE_MATCH=0。设置3：AFC禁用，AGC配置为在检测到同步字时锁定：设置AFC_LOCK_MODE=1、AGC_LOCK_MODE=3和PREAMBLE_MATCH=0。

² AGC上限通过写入AGC_HIGH_THRESHOLD寄存器(地址0x35F)进行配置。AGC下限通过写入AGC_LOW_THRESHOLD寄存器(地址0x35E)进行配置。AGC时钟分频通过写入AGC_CLOCK_DIVIDE寄存器(地址0x32F)进行配置。

³ AFC通过写入RADIO_CFG_10寄存器(地址0x116)的AFC_LOCK_MODE设置而使能或禁用。AFC Ki和Kp参数通过写入RADIO_CFG_11寄存器(地址0x117)的AFC_KP和AFC_KI设置进行配置。

⁴ 发送前同步码长度(单位字节)通过写入PREAMBLE_LEN寄存器(地址0x11D)进行设置。

⁵ 同步字误差容差(单位位)通过写入SYNC_CONTROL寄存器(地址0x120)的SYNC_ERROR_TOL设置进行配置。

针对OOK的建议接收机设置

为确保获得稳定的OOK接收性能，AGC阈值检测、前同步码长度和后置解调器滤波器带宽应按照42所示的推荐值进行设置。

表42. 针对OOK解调的AGC、AFC和前同步码长度推荐设置汇总

数据速率(kbps)	芯片速率(kcps)	IF带宽(kHz)	AGC ¹					阈值检测 ²			最小前同步码长度(位)	后置解调器滤波器
			上限	上限	AGC_LOCK_MODE	OOK_AGC_CLK_ACQ	OOK_AGC_CLK_TRK	AFC_KI	AFC_KP	AFC_LOCK_MODE		
2.4至19.2	4.8至38.4	100	0x69	0x2D	3	1	2	6	3	3	64	1.6×芯片速率

¹ AGC上限(AGC_HIGH_THRESHOLD)、OOK_AGC_CLK_ACQ和OOK_AGC_CLK_TRK的推荐值与默认值相同，不需要由主机处理器设置。AGC下限通过写入AGC_LOW_THRESHOLD寄存器(地址0x35E)进行配置。AGC配置为在检测到前同步码时锁定：设置RADIO_CFG_7寄存器(地址0x113)的AGC_LOCK_MODE=3。

² 在OOK解调中，AFC_KI和AFC_KP参数用于控制阈值检测环路的带宽。这些参数通过写入RADIO_CFG_11寄存器(地址0x117)进行配置。设置AFC_LOCK_MODE=3可将OOK阈值检测配置为在检测到前同步码时锁定。

外设特性

模数转换器

ADF7023集成一个SAR ADC，用于对模拟温度传感器、模拟RSSI值和外部模拟输入信号(引脚30)等模拟信号进行数字化处理。转换时间通常为1 μs。转换结果可以从ADC_READBACK_HIGH寄存器(地址0x327)和ADC_READBACK_LOW寄存器(地址0x328)读取。ADC回读结果为8位值。

ADC输入信号源通过ADC_CONFIG_LOW寄存器(地址0x359)进行选择。在PHY_RX状态下，信号源自动设置为模拟RSSI。ADC在PHY_RX下会自动使能。在其它无线电状态下，主机处理器必须通过设置POWERDOWN_RX(地址0x324)= 0x10来使能ADC。

要执行ADC回读，应完成下列步骤：

1. 读取ADC_READBACK_HIGH。此操作将初始化ADC回读值。
2. 读取ADC_READBACK_LOW。此操作将返回ADC采样点的ADC_READBACK[1:0]。
3. 读取ADC_READBACK_HIGH。此操作将返回ADC采样点的ADC_READBACK[7:2]。

温度传感器

集成温度传感器的工作范围为-40°C至+85°C。要在PHY_OFF、PHY_ON或PHY_TX状态下使能温度传感器回读，必须设置下列寄存器：

1. 设置POWERDOWN_RX(地址0x324)= 0x10 = 0x10。此操作将使能ADC。
2. 设置POWERDOWN_AUX(地址0x325)= 0x02。此操作将使能温度传感器。
3. 设置ADC_CONFIG_LOW(地址0x359)= 0x08。此操作将把ADC输入设置为温度传感器。

温度根据ADC回读值确定，计算公式如下：

$$\text{温度} (^{\circ}\text{C}) = 0.9474 \times (\text{ADC_READBACK}[7:0] - \text{校正值}[7:0]) + \text{TCALIBRATION}$$

校正值[7:0]可以通过在某一已知温度TCALIBRATION执行ADC回读来确定。采用该校正措施后，温度传感器在整个工作温度范围内的精度达到+7°C至-4°C。

测试DAC

测试DAC允许从外部查看后置解调器滤波器的输出。它获取16位滤波器输出，并利用一个二阶Σ-Δ转换器将它转换为高频1位输出。可以在GP0引脚上查看该输出。经过适当滤波后，此信号可以用来：

- 监控后置解调器滤波器输出端的信号
- 测量解调器输出SNR
- 构造所接收位流的眼图，以便测量接收信号质量
- 实现模拟FM解调

若要使能测试DAC，应将GPIO_CONFIGURE参数(地址0x3FA)设置为0xC9。TEST_DAC_GAIN参数(地址0x3FD)应设置为0x00。GP0引脚上的测试DAC信号可以通过一个三级低通RC滤波器来滤波，以便重构解调信号。更多信息请参阅应用笔记AN-852。

发射测试模式

有两种发射测试模式，使能方法是设置VAR_TX_MODE参数(包RAM存储器中的地址0x00D)，如表43所示。VAR_TX_MODE应在进入PHY_TX状态前设置。

表43. 发射测试模式

VAR_TX_MODE	模式
0	默认；无发射测试模式
1	连续发送随机数据
2	连续发送前同步码
3	连续发送载波
4至255	保留

芯片版本回读

产品代码和芯片版本可以从包RAM存储器读取，如表44所示。产品代码和芯片版本的值仅在上电或从PHY_SLEEP状态唤醒时有效，因为从PHY_ON状态跃迁时，通信处理器会覆盖这些值。

表44. 产品代码和芯片版本代码

包RAM位置	描述
0x001	产品代码，最高有效字节 = 0x70
0x002	产品代码，最低有效字节 = 0x23
0x003	芯片版本代码，最高有效字节
0x004	芯片版本代码，最低有效字节

ADF7023

应用信息

应用电路

ADF7023的典型应用电路如图110所示。除电源去耦电容外，图中显示了器件操作所需的所有外部元件。

该示例电路使用合并的单端PA和LNA匹配。有关匹配拓扑和不同主机处理器接口的信息，详见以下部分。

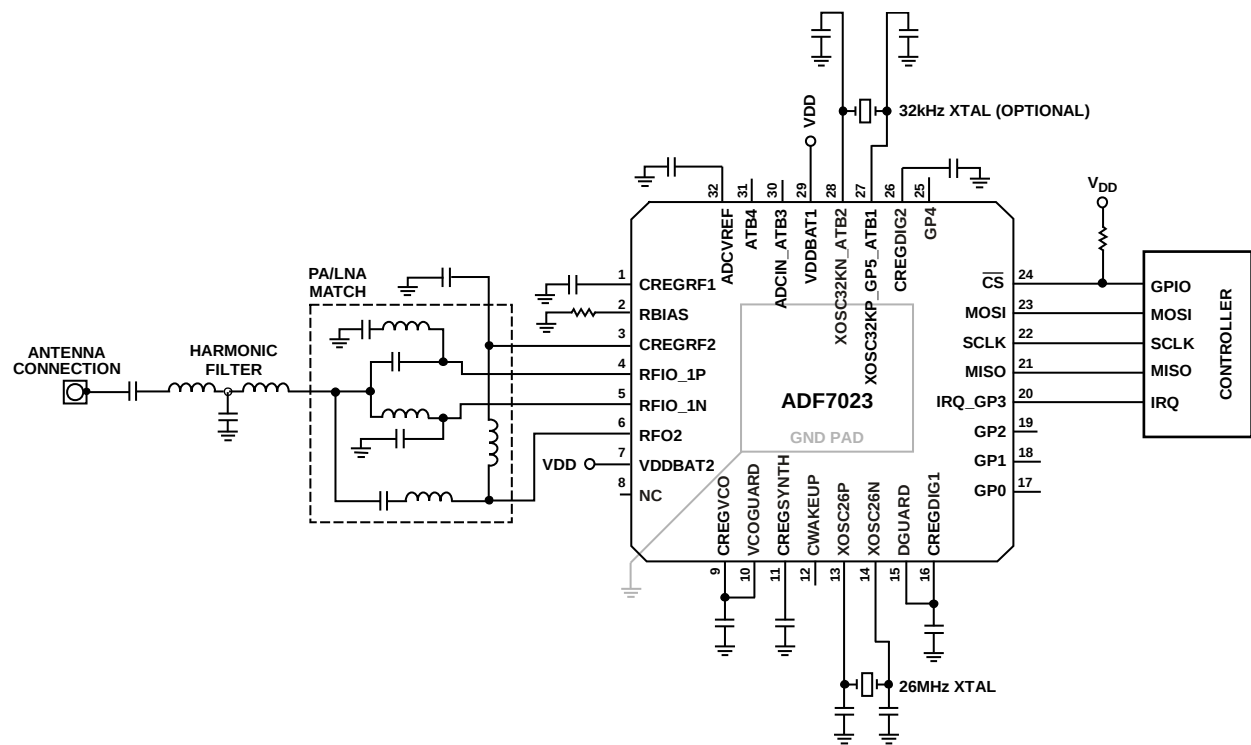


图110. ADF7023典型应用电路图

08231-039

主机处理器接口

使用包模式时，ADF7023与主机处理器之间的接口如图111所示。在包模式下，主机处理器与ADF7023之间的所有通信都发生在SPI接口和IRQ_GP3引脚上。使用Sport模式时，ADF7023与主机处理器之间的接口如图112所示。在Sport模式下，发射和接收数据接口由GP0、GP1和GP2引脚组成，中断由GP4引脚提供，SPI接口则用于存储器访问和发出命令。

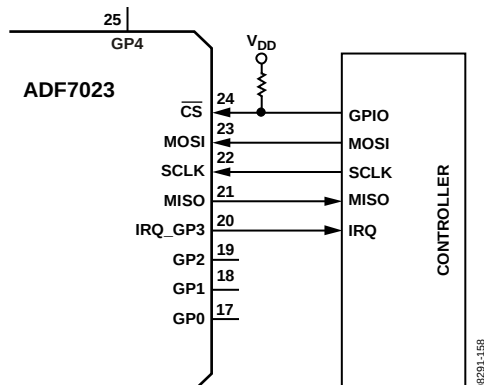


图111. 包模式下的处理器接口

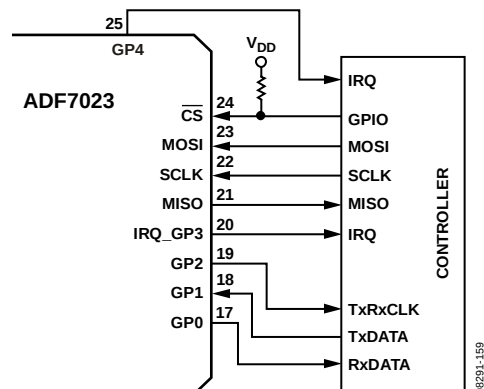


图112. Sport模式下的处理器接口

PA/LNA匹配

ADF7023有一个差分LNA、一个单端PA和一个差分PA。这种灵活性为ADF7023与天线的接口提供了许多可能性。

合并单端PA和LNA匹配

合并单端PA和LNA匹配允许将发射路径和接收路径加以合并，而无需使用外部发射/接收开关。匹配网络设计如图113所示。差分LNA匹配是一个五元件分立巴伦，具有一个单端输入。单端PA输出是一个三元件匹配，由CREGRF2调节电源的扼流电感和一个电感与电容的串联组合构成。

LNA和PA路径合并，T级谐波滤波器用于衰减发射谐波。在合并匹配中，必须考虑PA和LNA的关断阻抗。与单独的单端PA和LNA匹配相比，这会导致发射功率有所损失且接收机灵敏度下降。不过，若达到最佳匹配效果，发射功率的损失通常小于1 dB，灵敏度下降幅度小于1 dB。

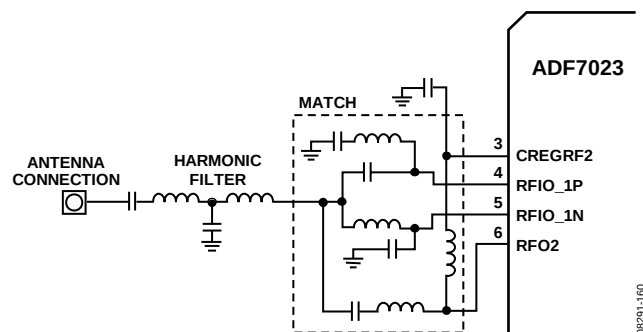


图113. 合并单端PA和LNA匹配

单独单端PA/LNA匹配

单独的单端PA和LNA匹配配置如图114所示。除了发射路径和接收路径是分开的，该网络与图113所示的合并匹配网络相同。可以使用一个外部发射/接收天线开关来合并发射和接收路径，以便连接到天线。设计这种匹配网络时，不必考虑PA和LNA的关断阻抗。因此，相比于合并单端PA和LNA匹配，能够更轻松地实现最佳匹配。

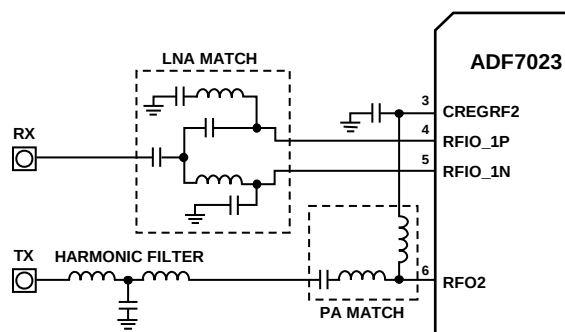


图114. 单独单端PA和LNA匹配

合并差分PA/LNA匹配

这种匹配拓扑不使用单端PA。差分PA和LNA匹配是一个五元件分立巴伦，具有一个单端输入/输出，如图115所示。谐波滤波器用于降低来自差分PA的RF谐波。

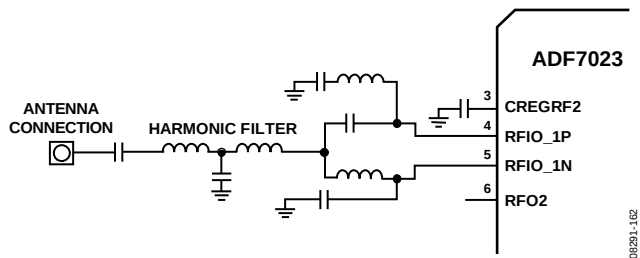


图115. 合并差分PA和LNA匹配

发射天线分集

利用差分PA和单端PA，可以实现发射天线分集。所需的匹配网络如图116所示。

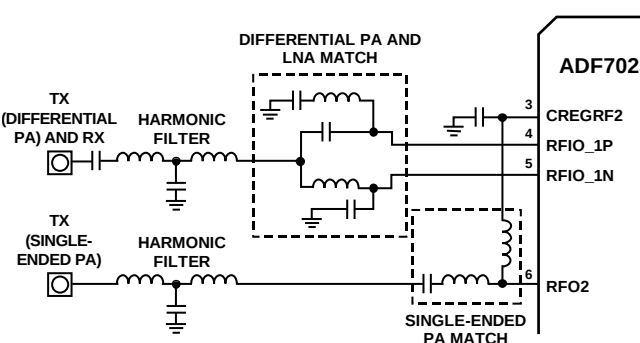


图116. 发射天线分集的匹配拓扑

支持外部PA和LNA控制

ADF7023能够为外部PA或LNA提供独立的控制信号。如果MODE_CONTROL寄存器(地址0x11A)的EXT_PA_EN位置1，当ADF7023处于PHY_TX状态时，外部PA控制信号为逻辑高电平；在其它状态下，外部PA控制信号为逻辑低电平。如果MODE_CONTROL寄存器(地址0x11A)的EXT_LNA_EN位置1，当ADF7023处于PHY_RX状态时，外部LNA控制信号为逻辑高电平；在其它状态下，外部LNA控制信号为逻辑低电平。

外部PA和LNA控制信号可以通过EXT_PA_LNA_ATB_CONFIG设置(地址0x139的位[7])进行配置，如表45所示。

表45. 外部PA和LNA控制信号的配置

EXT_PA_LNA_ATB_CONFIG	配置
1	ADCIN_ATB3和ATB4分别用于控制外部PA和外部LNA(1.8 V逻辑输出)。
0	XOSC32KP_GP5_ATB1和XOSC32KN_ATB2分别用于控制外部PA和外部LNA(VDD逻辑输出)。

命令参考

表46. 无线电控制器命令

命令	代码	描述
CMD_SYNC	0xA2	这是一个可选命令，器件初始化期间无需使用。
CMD_PHY_OFF	0xB0	使器件跃迁到PHY_OFF状态。
CMD_PHY_ON	0xB1	使器件跃迁到PHY_ON状态。
CMD_PHY_RX	0xB2	使器件跃迁到PHY_RX状态。
CMD_PHY_TX	0xB5	使器件跃迁到PHY_TX状态。
CMD_PHY_SLEEP	0xBA	使器件跃迁到PHY_SLEEP状态。
CMD_CONFIG_DEV	0xBB	根据BBRAM值配置无线电参数。
CMD_GET_RSSI	0xBC	执行RSSI测量。
CMD_BB_CAL	0xBE	执行IF滤波器校准。
CMD_HW_RESET	0xC8	执行全硬件复位。器件进入PHY_SLEEP状态。
CMD_RAM_LOAD_INIT	0xBF	使程序RAM准备好进行固件模块下载。
CMD_RAM_LOAD_DONE	0xC7	将固件模块下载到程序RAM之后复位通信处理器。
CMD_IR_CAL ¹	0xBD	初始化镜像抑制校准程序。
CMD_AES_ENCRYPT ²	0xD0	对包RAM中存储的发送有效载荷数据执行AES加密。
CMD_AES_DECRYPT ²	0xD2	对包RAM中存储的接收有效载荷数据执行AES解密。
CMD_AES_DECRYPT_INIT	0xD1	初始化AES解密所需的内部变量。
CMD_RS_ENCODE_INIT ³	0xD1	初始化Reed Solomon编码所需的内部变量。
CMD_RS_ENCODE ³	0xD0	计算Reed Solomon校验字节并将其追加到包RAM中存储的发送有效载荷数据。
CMD_RS_DECODE ³	0xD2	对包RAM中存储的接收有效载荷数据执行Reed Solomon纠错。

¹ 为使此命令发挥作用，必须将镜像抑制校准固件模块载入程序RAM。

² 为使此命令发挥作用，必须将AES固件模块载入程序RAM。

³ 为使此命令发挥作用，必须将Reed Solomon编码固件模块载入程序RAM。

表47. SPI命令

命令	代码	描述
SPI_MEM_WR	00011xxxb = 0x18 (包 RAM) 0x19 (BBRAM) 0x1B (MCR) 0x1E (程序 RAM)	按顺序将数据写入BBRAM、MCR或包RAM存储器。 使用11位地址来识别存储器位置。地址的3个MSB纳入命令中(xxxb)。 地址的其余8位跟在命令之后，再后面是要写入的数据字节。
SPI_MEM_RD	00111xxxb = 0x38 (包 RAM) 0x39 (BBRAM) 0x3B (MCR)	按顺序从BBRAM、MCR或包RAM存储器读取数据。 使用11位地址来识别存储器位置。地址的3个MSB纳入命令中(xxxb)。 地址的其余8位跟在命令之后，再后面是适当数量的SPI_NOP命令。
SPI_MEMR_WR	00001xxxb = 0x08 (包 RAM) 0x09 (BBRAM) 0x0B (MCR)	将数据以非顺序方式写入BBRAM、MCR或包RAM存储器。
SPI_MEMR_RD	00101xxxb = 0x28 (包 RAM) 0x29 (BBRAM) 0x2B (MCR)	以非顺序方式从BBRAM、MCR或包RAM存储器读取数据。
SPI_NOP	0xFF	无操作。轮询状态字时，用于伪写操作；读取存储器时，也用作伪数据。

寄存器映射

表48. 备用电池存储器(BBRAM)

地址(十六进制)	寄存器	PHY_SLEEP状态下保留	R/W	组
0x100	INTERRUPT_MASK_0	是	R/W	MAC
0x101	INTERRUPT_MASK_1	是	R/W	MAC
0x102	NUMBER_OF_WAKEUPS_0	是	R/W	MAC
0x103	NUMBER_OF_WAKEUPS_1	是	R/W	MAC
0x104	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_0	是	R/W	MAC
0x105	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_1	是	R/W	MAC
0x106	RX_DWELL_TIME	是	R/W	MAC
0x107	PARMTIME_DIVIDER	是	R/W	MAC
0x108	SWM_RSSI_THRESH	是	R/W	PHY
0x109	CHANNEL_FREQ_0	是	R/W	PHY
0x10A	CHANNEL_FREQ_1	是	R/W	PHY
0x10B	CHANNEL_FREQ_2	是	R/W	PHY
0x10C	RADIO_CFG_0	是	R/W	PHY
0x10D	RADIO_CFG_1	是	R/W	PHY
0x10E	RADIO_CFG_2	是	R/W	PHY
0x10F	RADIO_CFG_3	是	R/W	PHY
0x110	RADIO_CFG_4	是	R/W	PHY
0x111	RADIO_CFG_5	是	R/W	PHY
0x112	RADIO_CFG_6	是	R/W	PHY
0x113	RADIO_CFG_7	是	R/W	PHY
0x114	RADIO_CFG_8	是	R/W	PHY
0x115	RADIO_CFG_9	是	R/W	PHY
0x116	RADIO_CFG_10	是	R/W	PHY
0x117	RADIO_CFG_11	是	R/W	PHY
0x118	IMAGE_REJECT_CAL_PHASE	是	R/W	PHY
0x119	IMAGE_REJECT_CAL_AMPLITUDE	是	R/W	PHY
0x11A	MODE_CONTROL	是	R/W	PHY
0x11B	PREAMBLE_MATCH	是	R/W	包
0x11C	SYMBOL_MODE	是	R/W	包
0x11D	PREAMBLE_LEN	是	R/W	包
0x11E	CRC_POLY_0	是	R/W	包
0x11F	CRC_POLY_1	是	R/W	包
0x120	SYNC_CONTROL	是	R/W	包
0x121	SYNC_BYTE_0	是	R/W	包
0x122	SYNC_BYTE_1	是	R/W	包
0x123	SYNC_BYTE_2	是	R/W	包
0x124	TX_BASE_ADR	是	R/W	包
0x125	RX_BASE_ADR	是	R/W	包
0x126	PACKET_LENGTH_CONTROL	是	R/W	包
0x127	PACKET_LENGTH_MAX	是	R/W	包
0x128	STATIC_REG_FIX	是	R/W	PHY
0x129	ADDRESS_MATCH_OFFSET	是	R/W	包
0x12A 至 0x137	地址过滤	是	R/W	包
0x138	RSSI_WAIT_TIME	是	R/W	PHY
0x139	TESTMODES	是	R/W	MAC
0x13A	TRANSITION_CLOCK_DIV	是	R/W	PHY
0x13B 至 0x13D	保留, 设为0x00	不适用	R/W	不适用
0x13E	RX_SYNTH_LOCK_TIME	是	R/W	PHY
0x13F	TX_SYNTH_LOCK_TIME	是	R/W	PHY

表49. 调制解调器配置存储器(MCR)

地址(十六进制)	寄存器	PHY_SLEEP状态下保留	R/W
0x307	PA_LEVEL_MCR	否	R/W
0x30C	WUC_CONFIG_HIGH	否	W
0x30D	WUC_CONFIG_LOW	否	W
0x30E	WUC_VALUE_HIGH	否	W
0x30F	WUC_VALUE_LOW	否	W
0x310	WUC_FLAG_RESET	否	R/W
0x311	WUC_STATUS	否	R
0x312	RSSI_READBACK	否	R
0x315	MAX_AFC_RANGE	否	R/W
0x319	IMAGE_REJECT_CAL_CONFIG	否	R/W
0x322	CHIP_SHUTDOWN	否	R/W
0x324	POWERDOWN_RX	否	R/W
0x325	POWERDOWN_AUX	否	R/W
0x327	ADC_READBACK_HIGH	否	R
0x328	ADC_READBACK_LOW	否	R
0x32D	BATTERY_MONITOR_THRESHOLD_VOLTAGE	否	R/W
0x32E	EXT_UC_CLK_DIVIDE	否	R/W
0x32F	AGC_CLK_DIVIDE	否	R/W
0x336	INTERRUPT_SOURCE_0	否	R/W
0x337	INTERRUPT_SOURCE_1	否	R/W
0x338	CALIBRATION_CONTROL	否	R/W
0x339	CALIBRATION_STATUS	否	R
0x345	RXBB_CAL_CALWRD_READBACK	否	R
0x346	RXBB_CAL_CALWRD_OVERWRITE	否	RW
0x34F	RCOSC_CAL_READBACK_HIGH	否	R
0x350	RCOSC_CAL_READBACK_LOW	否	R
0x359	ADC_CONFIG_LOW	否	R/W
0x35A	ADC_CONFIG_HIGH	否	R/W
0x35B	AGC_OOK_CONTROL	否	R/W
0x35C	AGC_CONFIG	否	R/W
0x35D	AGC_MODE	否	R/W
0x35E	AGC_LOW_THRESHOLD	否	R/W
0x35F	AGC_HIGH_THRESHOLD	否	R/W
0x360	AGC_GAIN_STATUS	否	R
0x361	AGC_ADC_WORD	否	R
0x372	FREQUENCY_ERROR_READBACK	否	R
0x3CB	VCO_BAND_OVRW_VAL	否	R/W
0x3CC	VCO_AMPL_OVRW_VAL	否	R/W
0x3CD	VCO_OVRW_EN	否	R/W
0x3D0	VCO_CAL_CFG	否	R/W
0x3D2	OSC_CONFIG	否	R/W
0x3DA	VCO_BAND_READBACK	否	R
0x3DB	VCO_AMPL_READBACK	否	R
0x3F8	ANALOG_TEST_BUS	否	R/W
0x3F9	RSSI_TSTMUX_SEL	否	R/W
0x3FA	GPIO_CONFIGURE	否	R/W
0x3FD	TEST_DAC_GAIN	否	R/W

ADF7023

表50. 包RAM存储器

地址	寄存器	R/W
0x000	VAR_COMMAND	R/W
0x001 ¹	产品代码，最高有效字节 = 0x70	R
0x002 ¹	产品代码，最低有效字节 = 0x23	R
0x003 ¹	芯片版本代码，最高有效字节	R
0x004 ¹	芯片版本代码，最低有效字节	R
0x005 to 0x00B	保留	R
0x00D	VAR_TX_MODE	R/W
0x00E to 0x00F	保留	R

¹ 仅在上电或从PHY_SLEEP状态唤醒时有效，因为退出PHY_ON状态时，通信处理器会覆盖这些值。

BBRAM寄存器描述

表51. 0x100: INTERRUPT_MASK_0

位	名称	R/W	描述
[7]	INTERRUPT_NUM_WAKEUPS	R/W	当WUC唤醒次数(NUMBER_OF_WAKEUPS[15:0])达到阈值(NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:0])时中断 1: 使能中断；0: 禁用中断
[6]	INTERRUPT_SWM_RSSI_DET	R/W	当智能唤醒模式下测得的RSSI超过RSSI阈值(SWM_RSSI_THRESH，地址0x108)时中断 1: 使能中断；0: 禁用中断
[5]	INTERRUPT_AES_DONE	R/W	当AES加密或解密命令完成时中断； 仅当AES固件模块已载入ADF7023程序RAM时可用 1: 使能中断；0: 禁用中断
[4]	INTERRUPT_TX_EOF	R/W	当数据包完成发送时中断 1: 使能中断；0: 禁用中断
[3]	INTERRUPT_ADDRESS_MATCH	R/W	当接收包具有有效的地址匹配时中断 1: 使能中断；0: 禁用中断
[2]	INTERRUPT_CRC_CORRECT	R/W	当接收包具有正确的CRC时中断 1: 使能中断；0: 禁用中断
[1]	INTERRUPT_SYNC_DETECT	R/W	当在接收包中检测到合格同步字时中断 1: 使能中断；0: 禁用中断
[0]	INTERRUPT_PREMABLE_DETECT	R/W	当在接收包中检测到合格前同步码时中断 1: 使能中断；0: 禁用中断

表52. 0x101: INTERRUPT_MASK_1

位	名称	R/W	描述
[7]	BATTERY_ALARM	R/W	当电池电压降至阈值(BATTERY_MONITOR_THRESHOLD_VOLTAGE，地址0x32D)以下时中断 1: 使能中断；0: 禁用中断
[6]	CMD_READY	R/W	当通信处理器准备好加载新命令时中断； 镜像状态字的CMD_READY位 1: 使能中断；0: 禁用中断
[5]	保留	R/W	
[4]	WUC_TIMEOUT	R/W	当WUC超时时中断 1: 使能中断；0: 禁用中断
[3]	保留	R/W	
[2]	保留	R/W	
[1]	SPI_READY	R/W	当SPI准备好进行访问时中断 1: 使能中断；0: 禁用中断
[0]	CMD_FINISHED	R/W	当通信处理器执行完命令时中断 1: 使能中断；0: 禁用中断

表53. 0x102: NUMBER_OF_WAKEUPS_0

位	名称	R/W	描述
[7:0]	NUMBER_OF_WAKEUPS[7:0]	R/W	内部16位计数[15:0]的[7:0]，表示器件所经历的唤醒次数(WUC超时数)。可以初始化为0x0000。

表54. 0x103: NUMBER_OF_WAKEUPS_1

位	名称	R/W	描述
[7:0]	NUMBER_OF_WAKEUPS[15:8]	R/W	内部16位计数[15:0]的[15:8]，表示器件所经历的WUC唤醒次数。可以初始化为0x0000。

表55. 0x104: NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_0

位	名称	R/W	描述
[7:0]	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[7:0]	R/W	位[15:0]的[7:0](见表56)。唤醒次数的阈值(WUC超时数)。它是一个16位计数阈值，将与NUMBER_OF_WAKEUPS参数进行对比。超过此阈值时，器件唤醒进入PHY_OFF状态，可选择产生INTERRUPT_NUM_WAKEUPS中断。

表56. 0x105: NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_1

位	名称	R/W	描述
[7:0]	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:8]	R/W	位[15:0]的[15:8](见表55)。

表57. 0x106: RX_DWELL_TIME

位	名称	R/W	描述
[7:0]	RX_DWELL_TIME	R/W	当使用WUC并使能SWM时，无线上电并在BDRAM所定义的通道上使能接收机，侦听此参数所定义的时间。如果在此期间内没有检测到前同步码，则器件返回休眠状态。 接收驻留时间 (s) = $\frac{RX_DWELL_TIME \times 6.5 \text{ MHz}}{128 \times PARMTIME_DIVIDER}$

表58. 0x107: PARMTIME_DIVIDER

位	名称	R/W	描述
[7:0]	PARMTIME_DIVIDER	R/W	用于定义RX_DWELL_TIME时间周期的时间单位。 定时器节拍率 = $\frac{128 \times PARMTIME_DIVIDER}{6.5 \text{ MHz}}$ 值0x33表示995.7 Hz的时钟或1.004 ms的周期。

表59. 0x108: SWM_RSSI_THRESH

位	名称	R/W	描述
[7:0]	SWM_RSSI_THRESH	R/W	设置智能唤醒模式下使能RSSI检测时的RSSI阈值。 阈值 $Threshold (dBm) = SWM_RSSI_THRESH - 107$

表60. 0x109: CHANNEL_FREQ_0

位	名称	R/W	描述
[7:0]	CHANNEL_FREQ[7:0]	R/W	RF通道频率(单位Hz)根据下式设置： $Frequency (Hz) = F_{PFD} \times \frac{(CHANNEL_FREQ[23 : 0])}{2^{16}}$ 其中， F_{PFD} 为PFD频率，等于26 MHz。

ADF7023

表61. 0x10A: CHANNEL_FREQ_1

位	名称	R/W	描述
[7:0]	CHANNEL_FREQ[15:8]	R/W	参见表60中的CHANNEL_FREQ_0描述。

表62. 0x10B: CHANNEL_FREQ_2

位	名称	R/W	描述
[7:0]	CHANNEL_FREQ[23:16]	R/W	参见表60中的CHANNEL_FREQ_0描述。

表63. 0x10C: RADIO_CFG_0

位	名称	R/W	描述
[7:0]	DATA_RATE[7:0]	R/W	数据速率(单位bps)根据下式设置: $\text{数据速率} = \text{DATA_RATE}[11:0] \times 100$

表64. 0x10D: RADIO_CFG_1

位	名称	R/W	描述
[7:4]	FREQ_DEVIATION[11:8]	R/W	参见RADIO_CFG_2(表65)中的FREQ_DEVIATION描述。
[3:0]	DATA_RATE[11:8]	R/W	参见RADIO_CFG_0(表63)中的DATA_RATE描述。

表65. 0x10E: RADIO_CFG_2

位	名称	R/W	描述
[7:0]	FREQ_DEVIATION[7:0]	R/W	二进制2FSK/GFSK/MSK/GMSK频率偏差 (单位Hz, 定义为载波频率与1/0信号音的频率差) 根据下式设置: $\text{频率偏差 (Hz)} = \text{FREQ_DEVIATION}[11 : 0] \times 100$

表66. 0x10F: RADIO_CFG_3

位	名称	R/W	描述
[7:0]	DISCRIM_BW[7:0]	R/W	DISCRIM_BW值用于设置相关器解调器的带宽。 设置DISCRIM_BW值的步骤参见“2FSK/GFSK/MSK/GMSK解调”部分。

表67. 0x110: RADIO_CFG_4

位	名称	R/W	描述
[7:0]	POST_DEMOD_BW[7:0]	R/W	为获得最佳性能, 后置解调器滤波器的带宽应设置为接近于 数据速率的0.75倍。后置解调器滤波器的实际带宽通过下式计算: $\text{后置解调器滤波器带宽 (kHz)} = \text{POST_DEMOD_BW} \times 2$ POST_DEMOD_BW的范围是1到255。

表68. 0x111: RADIO_CFG_5

位	名称	R/W	描述
[7:0]	保留	R/W	置0。

表69. 0x112: RADIO_CFG_6

位	名称	R/W	描述
[7:2]	SYNTH_LUT_CONFIG_0	R/W	如果SYNTH_LUT_CONTROL(地址0x113, 表70)= 0或2, 则设置SYNTH_LUT_CONFIG_0 = 0。 如果SYNTH_LUT_CONTROL = 1或3, 则此设置允许改变接收机PLL环路带宽以优化接收机本振相位噪声。
[1:0]	DISCRIM_PHASE[1:0]	R/W	DISCRIM_PHASE值用于设置相关器解调器的相位。 设置DISCRIM_PHASE值的步骤参见“2FSK/GFSK/MSK/GMSK解调”部分。

表70.0x113: RADIO_CFG_7

位	名称	R/W	描述										
[7:6]	AGC_LOCK_MODE	R/W	设置为 0: 自由运行 1: 手动 2: 保持 3: 前同步码/同步字后锁定 (如果PREAMBLE_MATCH = 0, 则仅在同步字后锁定)										
[5:4]	SYNTH_LUT_CONTROL	R/W	默认情况下, 自动从ROM存储器中的查找表(LUT)中选择频率合成器环路带宽。接收时选择窄带宽, 以确保干扰抑制性能最佳; 发射时的带宽则根据数据速率和调制设置进行选择。对于大多数应用, 自动选择的PLL环路带宽是最佳值。但在某些应用中, 可能需要使用自定义的发射或接收带宽, 此时有多种选项可供使用, 如下所示。										
			<table><tr><th>SYNTH_LUT_CONTROL</th><th>描述</th></tr><tr><td>0</td><td>使用预定义的发射和接收LUT。跃迁到PHY_TX或PHY_RX状态时, 自动从ROM存储器选择LUT。</td></tr><tr><td>1</td><td>根据SYNTH_LUT_CONFIG_0和SYNTH_LUT_CONFIG_1使用自定义接收LUT。发射时, 使用ROM中的预定义LUT。</td></tr><tr><td>2</td><td>使用自定义发射LUT。必须将自定义发射LUT写入0x10至0x18包RAM位置。接收时, 使用ROM中的预定义LUT。</td></tr><tr><td>3</td><td>根据SYNTH_LUT_CONFIG_0和SYNTH_LUT_CONFIG_1使用自定义接收LUT, 并使用自定义发射LUT。必须将自定义发射LUT写入0x10至0x18包RAM位置。</td></tr></table>	SYNTH_LUT_CONTROL	描述	0	使用预定义的发射和接收LUT。跃迁到PHY_TX或PHY_RX状态时, 自动从ROM存储器选择LUT。	1	根据SYNTH_LUT_CONFIG_0和SYNTH_LUT_CONFIG_1使用自定义接收LUT。发射时, 使用ROM中的预定义LUT。	2	使用自定义发射LUT。必须将自定义发射LUT写入0x10至0x18包RAM位置。接收时, 使用ROM中的预定义LUT。	3	根据SYNTH_LUT_CONFIG_0和SYNTH_LUT_CONFIG_1使用自定义接收LUT, 并使用自定义发射LUT。必须将自定义发射LUT写入0x10至0x18包RAM位置。
			SYNTH_LUT_CONTROL	描述									
			0	使用预定义的发射和接收LUT。跃迁到PHY_TX或PHY_RX状态时, 自动从ROM存储器选择LUT。									
			1	根据SYNTH_LUT_CONFIG_0和SYNTH_LUT_CONFIG_1使用自定义接收LUT。发射时, 使用ROM中的预定义LUT。									
2	使用自定义发射LUT。必须将自定义发射LUT写入0x10至0x18包RAM位置。接收时, 使用ROM中的预定义LUT。												
3	根据SYNTH_LUT_CONFIG_0和SYNTH_LUT_CONFIG_1使用自定义接收LUT, 并使用自定义发射LUT。必须将自定义发射LUT写入0x10至0x18包RAM位置。												
由于在PHY_SLEEP状态下包RAM存储器内容会丢失, 因此从PHY_SLEEP状态唤醒后, 必须将自定义发射LUT重新载入包RAM。													
[3:0]	SYNTH_LUT_CONFIG_1	R/W	如果SYNTH_LUT_CONTROL = 0或2, 则设置SYNTH_LUT_CONFIG_1 = 0。如果SYNTH_LUT_CONTROL = 1或3, 则此设置允许改变接收机PLL环路带宽以优化接收机本振相位噪声。										

ADF7023

表71.0x114: RADIO_CFG_8

位	名称	R/W	描述	
[7]	PA_SINGLE_DIFF_SEL	R/W	PA_SINGLE_DIFF_SEL	PA
			0 1	使能单端PA 使能差分PA
[6:3]	PA_LEVEL	R/W	设置PA输出功率。值0设置最小RF输出功率，值15设置最大PA输出功率。也可以利用PA_LEVEL_MCR设置(地址0x307)以更高分辨率设置PA电平。 PA_LEVEL设置与PA_LEVEL_MCR设置的关系如下： $PA_LEVEL_MCR = 4 \times PA_LEVEL + 3$	
			PA_LEVEL	PA Level (PA_LEVEL_MCR)
			0 1 2 ... 15	设置3 设置7 设置11 ... 设置63
[2:0]	PA_RAMP	R/W	设置PA斜坡率。PA以设置的斜坡率变化，直至达到PA_LEVEL_MCR(地址0x307)设置所表示的电平。 斜坡率取决于所设置的数据速率。	
			PA_RAMP	斜坡率
			0 1 2 3 4 5 6 7	保留 每个数据位256个代码 每个数据位128个代码 每个数据位64个代码 每个数据位32个代码 每个数据位16个代码 每个数据位8个代码 每个数据位4个代码
			为确保PA斜升和斜降时序正确，PA斜坡率有一个基于数据速率和PA_LEVEL或PA_LEVEL_MCR设置的最小值。此最小值可表述为： $Ramp\ Rate(Codes/Bit) < 10,000 \times \frac{PA_LEVEL_MCR[5:0]}{DATA_RATE[11:0]}$ 其中，PA_LEVEL_MCR与PA_LEVEL设置的关系是 $PA_LEVEL_MCR = 4 \times PA_LEVEL + 3。$	

表72.0x115: RADIO_CFG_9

位	名称	R/W	描述	
[7:6]	IFBW	R/W	设置接收机IF滤波器带宽。注意：如果将IF滤波器带宽设置为300 kHz，接收机IF频率将自动从200 kHz变为300 kHz。	
			IFBW	IF带宽
			0 1 2 3	100 kHz 150 kHz 200 kHz 300 kHz
[5:3]	MOD_SCHEME	R/W	设置发射机调制方案。	
			MOD_SCHEME	调制方案
			0 1 2 3 4至7	两级2FSK/MSK 两级GFSK/GSMK OOK 仅限载波 保留

位	名称	R/W	描述	
[2:0]	DEMOD_SCHEME	R/W	设置接收机解调方案。	
			DEMOD_SCHEME	解调方案
			0	2FSK/GFSK/MSK/GMSK
			1	保留
			2	OOK
			3至7	保留

表73.0x116: RADIO_CFG_10

位	名称	R/W	描述	
[7:5]	保留	R/W	置0。	
[4]	AFC_POLARITY	R/W	置0。	
[3:2]	AFC_SCHEME	R/W	置2。	
[1:0]	AFC_LOCK_MODE	R/W	设置AFC模式。	
			AFC_LOCK_MODE	模式
			0	自由运行：AFC自由运行。
			1	禁用：AFC禁用。
			2	保持AFC：AFC暂停。
	3	锁定：AFC在前同步码或同步字后锁定 (如果PREAMBLE_MATCH=0, 则仅在同步字后锁定)		

表74.0x117: RADIO_CFG_11

位	名称	R/W	描述	
[7:4]	AFC_KP	R/W	设置2FSK/GFSK/MSK/GMSK下的AFC PI控制器比例增益； 推荐值为0x3。在OOK解调中，此设置用于控制OOK阈值环路； 推荐值为0x3。	
			AFC_KP	比例增益
			0	2 ⁰
			1	2 ¹
			2	2 ²
			...	...
15	2 ¹⁵			
[3:0]	AFC_KI	R/W	设置2FSK/GFSK/MSK/GMSK下的AFC PI控制器积分增益； 推荐值为0x7。在OOK调制中，此设置用于控制OOK阈值环路； 推荐值为0x6。	
			AFC_KI	积分增益
			0	2 ⁰
			1	2 ¹
			2	2 ²
			...	...
15	2 ¹⁵			

表75.0x118: IMAGE_REJECT_CAL_PHASE

位	名称	R/W	描述
[7]	保留	R/W	置0
[6:0]	IMAGE_REJECT_CAL_PHASE	R/W	设置I/Q相位调整

表76.0x119: IMAGE_REJECT_CAL_AMPLITUDE

位	名称	R/W	描述
[7]	保留	R/W	置0
[6:0]	IMAGE_REJECT_CAL_AMPLITUDE	R/W	设置I/Q幅度调整

ADF7023

表77. 0x11A: MODE_CONTROL

位	名称	R/W	描述
[7]	SWM_EN	R/W	1: 使能智能唤醒模式。 0: 禁用智能唤醒模式。
[6]	BB_CAL	R/W	1: 使能IF滤波器校准。 0: 禁用IF滤波器校准。 如果此位置1, 则从PHY_OFF状态跃迁到PHY_ON状态时会自动执行IF滤波器校准。
[5]	SWM_RSSI_QUAL	R/W	1: 使能低功耗模式下的RSSI验证。 0: 禁用低功耗模式下的RSSI验证。
[4]	TX_TO_RX_AUTO_TURNAROUND	R/W	如果TX_TO_RX_AUTO_TURNAROUND = 1, 则在数据包发送完毕时, 器件自动跃迁到PHY_RX状态, RF通道频率不变。 如果TX_TO_RX_AUTO_TURNAROUND = 0, 此操作禁用。 TX_TO_RX_AUTO_TURNAROUND只能在包模式下使用。
[3]	RX_TO_TX_AUTO_TURNAROUND	R/W	如果RX_TO_TX_AUTO_TURNAROUND = 1, 则在有效包接收完毕时, 器件自动跃迁到PHY_TX状态, RF通道频率不变。 如果RX_TO_TX_AUTO_TURNAROUND = 0, 此操作禁用。 RX_TO_TX_AUTO_TURNAROUND只能在包模式下使用。
[2]	CUSTOM_TRX_SYNTH_LOCK_TIME_EN	R/W	1: 使用寄存器0x13E和0x13F所定义的自定义频率合成器锁定时间。 0: 默认频率合成器锁定时间。
[1]	EXT_LNA_EN	R/W	1: 使能ATB4上的外部LNA使能信号。当ADF7023处于PHY_RX状态时, 此信号为逻辑高电平; 在任何其它非休眠状态下, 此信号为逻辑低电平。 0: 禁用ATB4上的外部LNA使能信号。
[0]	EXT_PA_EN	R/W	1: 使能ATB3上的外部PA使能信号。当ADF7023处于PHY_TX状态时, 此信号为逻辑高电平; 在任何其它非休眠状态下, 此信号为逻辑低电平。 0: 禁用ADCIN_ATB3上的外部PA使能信号。

表78. 0x11B: PREAMBLE_MATCH

位	名称	R/W	描述	
[7:4]	保留	R/W	置0	
[3:0]	PREAMBLE_MATCH	R/W	PREAMBLE_MATCH	描述
			12	容许0个错误。
			11	容许12个位对中有有一个错误位对。
			10	容许12个位对中有两个错误位对。
			9	容许12个位对中有三个错误位对。
			8	容许12个位对中有四个错误位对。
			0	禁用前同步码检测。
			1至7	不推荐使用。
			13至15	保留。

表79. 0x11C: SYMBOL_MODE

位	名称	R/W	描述
[7]	保留	R/W	置0。
[6]	MANCHESTER_ENC	R/W	1: 使能曼彻斯特编码和解码。 0: 禁用曼彻斯特编码和解码。
[5]	PROG_CRC_EN	R/W	1: 选择可编程CRC。 0: 选择默认CRC。
[4]	EIGHT_TEN_ENC	R/W	1: 使能8b/10b编码和解码。 0: 禁用8b/10b编码和解码。
[3]	DATA_WHITENING	R/W	1: 使能数据白化和去白化。 0: 禁用数据白化和去白化。
[2:0]	SYMBOL_LENGTH	R/W	SYMBOL_LENGTH 描述
			0 8位(推荐值, 使用8b/10b时除外)。
			1 10位(用于8b/10b编码)。
			2至7 保留。

表80. 0x11D: PREAMBLE_LEN

位	名称	R/W	描述
[7:0]	PREAMBLE_LEN	R/W	前同步码长度(单位字节)。示例: 十进制3表示前同步码为24位长。

表81. 0x11E: CRC_POLY_0

位	名称	R/W	描述
[7:0]	CRC_POLY[7:0]	R/W	设置CRC多项式的CRC_POLY[15:0]的低字节。

表82. 0x11F: CRC_POLY_1

位	名称	R/W	描述
[7:0]	CRC_POLY[15:8]	R/W	设置CRC多项式的CRC_POLY[15:0]的高字节。 有关配置CRC多项式的详细信息, 参见“数据包模式”部分。

表83. 0x120: SYNC_CONTROL

位	名称	R/W	描述
[7:6]	SYNC_ERROR_TOL	R/W	设置同步字误差容差位数。
			SYNC_ERROR_TOL 位错误容差
			0 容许0位错误。
			1 容许一位错误。
			2 容许两位错误。
[5]	保留	R/W	3 容许三位错误。
			置0。
[4:0]	SYNC_WORD_LENGTH	R/W	设置同步字长度(单位为位); 最长24位。 注意: 同步字匹配长度可以是24位及以下的任意值, 但发送同步字码为8位的倍数。因此, 对于非字节长度的同步字, 发送的同步码应利用前同步码填充。
			SYNC_WORD_LENGTH 长度(位)
			0 0
			1 1
			
			24 24

ADF7023

表84. 0x121: SYNC_BYTE_0

位	名称	R/W	描述
[7:0]	SYNC_BYTE[23:16]	R/W	同步字码的高字节。同步字码以MSB优先方式从SYNC_BYTE_0开始发送。对于非字节长度的同步字，最低有效字节的其余部分应利用前同步码填充。 如果SYNC_WORD_LENGTH长度大于16位，则会发送所有三个字节SYNC_BYTE_0、SYNC_BYTE_1和SYNC_BYTE_2，总共24位。 如果SYNC_WORD_LENGTH在8到15之间，则发送SYNC_BYTE_1和SYNC_BYTE_2。 如果SYNC_WORD_LENGTH在1到7之间，则发送SYNC_BYTE_2，总共8位。 如果SYNC_WORD_LENGTH为0，则不会发送任何同步字节。

表85. 0x122: SYNC_BYTE_1

位	名称	R/W	描述
[7:0]	SYNC_BYTE[15:8]	R/W	同步字码的中间字节。

表86. 0x123: SYNC_BYTE_2

位	名称	R/W	描述
[7:0]	SYNC_BYTE[7:0]	R/W	同步字码的低字节。

表87. 0x124: TX_BASE_ADR

位	名称	R/W	描述
[7:0]	TX_BASE_ADR	R/W	发送数据包在包RAM中的地址。此地址告知通信处理器发送包第一个字节的地址。

表88. 0x125: RX_BASE_ADR

位	名称	R/W	描述
[7:0]	RX_BASE_ADR	R/W	接收数据包在包RAM中的地址。通信处理器从该存储器位置开始，向包RAM写入所有合格的接收包。

表89. 0x126: PACKET_LENGTH_CONTROL

位	名称	R/W	描述
[7]	DATA_BYTE	R/W	发送的各包RAM字节的无线(Over-the-air)配置。字节以MSB或LSB优先方式发送。链路的发射和接收侧应使用相同的设置。 1: 数据字节MSB优先。 0: 数据字节LSB优先。
[6]	PACKET_LEN	R/W	1: 固定包长度模式。Tx和Rx模式下的固定包长度，由PACKET_LENGTH_MAX给出。 0: 可变包长度模式。接收模式下，包长度由包RAM的第一个字节给出。发射模式下，包长度由PACKET_LENGTH_MAX给出。
[5]	CRC_EN	R/W	1: 发射模式下追加CRC。接收模式下检查CRC。 0: 发射模式下不追加CRC。接收模式下不检查CRC。
[4:3]	DATA_MODE	R/W	设置ADF7023为包模式或Sport模式以发送和接收数据。
			DATA_MODE 描述
			0 使能包模式
			1 使能Sport模式。检测到前同步码时使能GP4中断。检测到前同步码时使能接收数据。
			2 使能Sport模式。检测到同步字时使能GP4中断。检测到前同步码时使能接收数据。
			3 未用

位	名称	R/W	描述
[2:0]	LENGTH_OFFSET	R/W	偏移值(以字节为单位)与接收包长度域值(可变长度包模式下)相加,以便通信处理器知道要读取的正确字节数。 通信处理器通过下式计算实际接收的有效载荷长度: $\text{接收有效载荷长度} = \text{长度} + \text{LENGTH_OFFSET} - 4$ 其中“长度”为长度域(接收有效载荷的第一个字节)。

表90. 0x127:PACKET_LENGTH_MAX

位	名称	R/W	描述
[7:0]	PACKET_LENGTH_MAX	R/W	如果使用可变包长度模式(PACKET_LENGTH_CONTROL = 0),则PACKET_LENGTH_MAX可设置最大接收包长度(单位字节)。如果使用固定包长度模式(PACKET_LENGTH_CONTROL = 1),则PACKET_LENGTH_MAX可设置固定发送和接收包的长度(单位字节)。注意,包长度指从同步字结束到CRC开始的字节数。它不包括LENGTH_OFFSET值。

表91. 0x128:STATIC_REG_FIX

位	名称	R/W	描述																					
[7:0]	STATIC_REG_FIX	R/W	ADF7023能够实现从BBRAM存储器到MCR存储器的自动静态寄存器修复。该功能可通过BBRAM存储器为多达9个MCR寄存器编程。在低功耗模式下，当MCR寄存器必须配置为最佳接收机性能时，此功能非常有用。STATIC_REG_FIX值是一个地址指针，可指向0x12A与0x13D之间的任何BBRAM存储器地址。例如，若要指向BBRAM地址0x12B，可设置STATIC_REG_FIX= 0x2B。 - 如果STATIC_REG_FIX = 0x00，则禁用静态寄存器修复。 - 如果STATIC_REG_FIX为非零值，则通信处理器从BBRAM地址STATIC_REG_FIX开始查找MCR地址和相应示例：将0x46写入到MCR寄存器0x35E，并将0x78写入到MCR寄存器0x35F。设置STATIC_REG_FIX = 0x2B。																					
			<table><tr><th>BBRAM寄存器</th><th>数据</th><th>描述</th></tr><tr><td>0x128 (STATIC_REG_FIX)</td><td>0x2B</td><td>BBRAM地址0x12B的指针</td></tr><tr><td>0x12B</td><td>0x5E</td><td>MCR地址1</td></tr><tr><td>0x12C</td><td>0x46</td><td>写入MCR地址1的数据</td></tr><tr><td>0x12D</td><td>0x5F</td><td>MCR地址2</td></tr><tr><td>0x12E</td><td>0x78</td><td>写入MCR地址2的数据</td></tr><tr><td>0x12F</td><td>0x00</td><td>静态MCR寄存器修复结束</td></tr></table>	BBRAM寄存器	数据	描述	0x128 (STATIC_REG_FIX)	0x2B	BBRAM地址0x12B的指针	0x12B	0x5E	MCR地址1	0x12C	0x46	写入MCR地址1的数据	0x12D	0x5F	MCR地址2	0x12E	0x78	写入MCR地址2的数据	0x12F	0x00	静态MCR寄存器修复结束
BBRAM寄存器	数据	描述																						
0x128 (STATIC_REG_FIX)	0x2B	BBRAM地址0x12B的指针																						
0x12B	0x5E	MCR地址1																						
0x12C	0x46	写入MCR地址1的数据																						
0x12D	0x5F	MCR地址2																						
0x12E	0x78	写入MCR地址2的数据																						
0x12F	0x00	静态MCR寄存器修复结束																						

表92. 0x129:ADDRESS_MATCH_OFFSET

位	名称	R/W	描述
[7:0]	ADDRESS_MATCH_OFFSET	R/W	包RAM中地址信息的第一个字节的位置

表93. 0x12A:ADDRESS_LENGTH

位	名称	R/W	描述
[7:0]	ADDRESS_LENGTH	R/W	第一个地址域中的字节数(N_{ADR_1})。不使用地址过滤时置0。

表94. 0x12B至0x137:地址过滤(或静态寄存器修复)

地址	位	R/W	描述
0x12B	[7:0]	R/W	地址1匹配字节0。
0x12C	[7:0]	R/W	地址1屏蔽字节0。
0x12D	[7:0]	R/W	地址1匹配字节1。
0x12E	[7:0]	R/W	地址1屏蔽字节1。
...			...
	[7:0]	R/W	地址1匹配字节 N_{ADR_1} 。
	[7:0]	R/W	地址1屏蔽字节 N_{ADR_1} 。
	[7:0]	R/W	0x00至末尾或第二个地址域(N_{ADR_2})中的字节数

ADF7023

表95. 0x138:RSSI_WAIT_TIME

位	名称	R/W	描述
[7:0]	RSSI_WAIT_TIME	R/W	在SWM下进行RSSI测量前或使用CMD_GET_RSSI时的建立时间(单位 μ s)。值0xA7可以安全地用在所有情况下；对于特定实施方案，可以降低此值。

表96. 0x139:TESTMODES

位	名称	R/W	描述
[7]	EXT_PA_LNA_ATB_CONFIG	R/W	1: ATB3和ATB4分别用于控制extPA和extLNA(1.8 V逻辑输出) 0: ATB1和ATB2分别用于控制extPA和extLNA(V_{DD} 逻辑输出) 还必须使能外部PA/LNA(寄存器0x11A)。
[6:4]	保留	R/W	置0。
[3]	PER_IRQ_SELF_CLEAR	R/W	1: INTERRUPT_TX_EOF和INTERRUPT_CORRECT_CRC自动清零。 0: 正常工作。
[2]	PER_ENABLE	R/W	1: 分组差错速率使能。 0: 分组差错速率禁用。
[1]	CONTINUOUS_TX	R/W	1: 发送一个包后重新启动TX。 0: TX正常结束。
[0]	CONTINUOUS_RX	R/W	1: 发送一个包后重新启动RX。 0: RX正常结束。

表97. 0x13A:TRANSITION_CLOCK_DIV

位	名称	R/W	描述
[7:0]	TRANSITION_CLOCK_DIV	R/W	0x00:正常跃迁时间。 0x01:快速跃迁时间。 0x04:正常跃迁时间。 Else:保留。

表98. 0x13E:RX_SYNTH_LOCK_TIME

位	名称	R/W	描述
[7:0]	RX_SYNTH_LOCK_TIME	R/W	允许在接收模式下使用自定义频率合成器锁定时间计数器，与MODE_CONTROL寄存器的CUSTOM_TRX_SYNTH_LOCK_TIME_EN设置一起使用。VCO校准完毕后使用。每位相当于2 μ s的增量。

表99. 0x13F:TX_SYNTH_LOCK_TIME

位	名称	R/W	描述
[7:0]	TX_SYNTH_LOCK_TIME	R/W	允许在发射模式下使用自定义频率合成器锁定时间计数器，与MODE_CONTROL寄存器的CUSTOM_TRX_SYNTH_LOCK_TIME_EN设置一起使用。VCO校准完毕后使用。每位相当于2 μ s的增量。

MCR寄存器描述

当器件进入PHY_SLEEP状态时，不会保留MCR寄存器的设置。

表100. 0x307:PA_LEVEL_MCR

位	名称	R/W	复位	描述
[5:0]	PA_LEVEL_MCR	R/W	0	功率放大器电平。如果使能了PA斜坡，则PA将沿斜坡达到此目标电平。PA电平可以在0到63的范围内设置。PA电平也可以通过BBRAM设置(分辨率较低)；因此，仅当需要较高分辨率时才应使用MCR设置。

表101. 0x30C:WUC_CONFIG_HIGH

位	名称	R/W	复位	描述		
[7]	保留	W	0	置0。		
[6:3]	RCOSC_COARSE_CAL_VALUE	W	0	RCOSC_COARSE_CAL_VALUE	RC振荡器频率变化	粗调状态
				0000	+83%	状态10
				0001	+66%	状态9
				1000	+50%	状态8
				1001	+33%	状态7
				1100	+16%	状态6
				1101	0%	状态5
				1110	-16%	状态4
				1111	-33%	状态3
				0110	-50%	状态2
				0111	-66%	状态1
[2:0]	WUC_PRESCALER	W	0	WUC_PRESCALER	32.768 kHz分频器	节拍周期
				0	1	30.52 μ s
				1	4	122.1 μ s
				2	8	244.1 μ s
				3	16	488.3 μ s
				4	128	3.91 ms
				5	1024	31.25 ms
				6	8192	250 ms
				7	65,536	2000 ms

写入寄存器WUC_CONFIG_LOW之前，务必先更新寄存器WUC_CONFIG_HIGH。

表102. 0x30D:WUC_CONFIG_LOW

位	名称	R/W	复位	描述
[7]	保留	W	0	置0。
[6]	WUC_RCOSC_EN	W	0	1: 使能RCOSC32K。 0: 禁用RCOSC32K。
[5]	WUC_XOSC32K_EN	W	0	1: 使能XOSC32K。 0: 禁用XOSC32K。
[4]	WUC_CLKSEL	W	0	选择WUC定时器时钟源。 1: 32.768 kHz RC振荡器。 0: 外部晶振。
[3]	WUC_BBAM_EN	W	0	1: PHY_SLEEP期间使能BBAM的电源。 0: PHY_SLEEP期间禁用BBAM的电源。
[2:1]	保留	W	0	置0。
[0]	WUC_ARM	W	0	1: 使能发生WUC超时事件时唤醒。 0: 禁用发生WUC超时事件时唤醒。

对寄存器WUC_VALUE_HIGH的更新只有在写入寄存器WUC_VALUE_LOW之后才有效。

表103. 0x30E:WUC_VALUE_HIGH

位	名称	R/W	复位	描述
[7:0]	WUC_TIMER_VALUE[15:8]	W	0	WUC定时器重载值，[15:0]的Bits[15:8]。当WUC单元已使能并且定时器已倒数至0时，唤醒事件即被触发。定时器以预分频器输出速率计时。对此寄存器的更新只有在写入WUC_VALUE_LOW之后才有效。

写入寄存器WUC_VALUE_LOW之前，务必先更新寄存器WUC_VALUE_HIGH。

表104. 0x30F:WUC_VALUE_LOW

位	名称	R/W	复位	描述
				WUC定时器重载值，[15:0]的位[7:0]。当WUC单元已使能并且定时器已倒数至0时，唤醒事件即被触发。定时器以预分频器输出速率计时。

ADF7023

表105. 0x310:WUC_FLAG_RESET

位	名称	R/W	复位	描述
[1]	WUC_RCOSC_CAL_EN	R/W	0	1: 使能。 0: 禁用RCOSC32K校准。
[0]	WUC_FLAG_RESET	R/W		1: 复位WUC_TMR_PRIM_TOFLAG和WUC_PORFLAG位(地址0x311, 表106)。 0: 正常工作。

表106. 0x311:WUC_STATUS

位	名称	R/W	复位	描述
[7]	保留	R	0	保留
[6]	WUC_RCOSC_CAL_ERROR	R	0	1: RCOSC32K校准因出错而退出。 0: 无错误(仅当WUC_RCOSC_CAL_EN = 1时有效)。
[5]	WUC_RCOSC_CAL_READY	R	0	1: RCOSC32K校准已完成。 0: 进行中(仅当WUC_RCOSC_CAL_EN = 1时有效)。
[4]	XOSC32K_RDY	R	0	1: XOSC32K振荡器已建立。 0: 未建立(仅当WUC_XOSC32K_EN = 1时有效)。
[3]	XOSC32K_OUT	R	0	XOSC32K振荡器的输出信号(瞬时)
[2]	WUC_PORFLAG	R	0	1: 芯片冷启动事件已记录。 0: 未注册。
[1]	WUC_TMR_PRIM_TOFLAG	R	0	1: WUC超时事件已记录。 0: 未记录(超时事件触发的锁存输出)。
[0]	WUC_TMR_PRIM_TOEVENT	R	0	1: 存在WUC超时事件。 0: 不存在(当计数器达到0时, 此位置1; 它不会被锁存)。

表107. 0x312:RSSI_READBACK

位	名称	R/W	复位	描述
[7:0]	RSSI_READBACK	R	0	接收输入功率。接收到包后, RSSI_READBACK值有效。 $RSSI(dBm) = RSSI_READBACK - 107$

表108. 0x315:MAX_AFC_RANGE

位	名称	R/W	复位	描述
[7:0]	MAX_AFC_RANGE	R/W	50	限制AFC捕捉范围。跃迁到PHY_RX状态时, 由通信处理器自动设置。范围设置为IF带宽的一半。示例: IF带宽 = 200 kHz, AFC捕捉范围 = ± 100 kHz (MAX_AFC_RANGE = 100)。

表109. 0x319:IMAGE_REJECT_CAL_CONFIG

位	名称	R/W	复位	描述
[7:6]	保留	R/W	0	
[5]	IMAGE_REJECT_CAL_OVWRT_EN	R/W	0	镜像抑制校准结果的覆盖控制。
[4:3]	IMAGE_REJECT_FREQUENCY	R/W	0	设置IR校准信号源的基频。此频率的谐波可以用作镜像抑制校准的内容RF信号源。 0: XTAL分频器中禁用IR校准源 1: IR校准源基频 = XTAL/4 2: IR校准源基频 = XTAL/8 3: IR校准源基频 = XTAL/16
[2:0]	IMAGE_REJECT_POWER	R/W	0	设置IR校准源的功率电平。 0: 混频器输出端禁用IR校准源 1: 功率电平 = 最小值 2: 功率电平 = 最小值 3: 功率电平 = 最小值 $\times 2$ 4: 功率电平 = 最小值 $\times 2$ 5: 功率电平 = 最小值 $\times 3$ 6: 功率电平 = 最小值 $\times 3$ 7: 功率电平 = 最小值 $\times 4$

表110. 0x322:CHIP_SHUTDOWN

位	名称	R/W	复位	描述
[7:1]	保留	R/W	0	
[0]	CHIP_SHTDN_REQ	R/W	0	WUC芯片状态控制标志。 1: 保持激活状态。 0: 调用芯片关断程序。 $\overline{CS}$ 也必须为高电平才能启动关断。

表111. 0x324:POWERDOWN_RX

位	名称	R/W	复位	描述
[7:5]	保留	R/W	0	
[4]	ADC_PD_N	R/W	0	1: 使能ADC 0: 禁用ADC
[3]	RSSI_PD_N	R/W	0	1: 使能RSSI 0: 禁用RSSI
[2]	RXBBFILT_PD_N	R/W	0	1: 使能IF滤波器 0: 禁用IF滤波器
[1]	RXMIXER_PD_N	R/W	0	1: 使能混频器 0: 禁用混频器
[0]	LNA_PD_N	R/W	0	1: 使能LNA 0: 禁用LNA

表112. 0x325:POWERDOWN_AUX

位	名称	R/W	复位	描述
[7:2]	保留	R/W	0	
[1]	TEMPMON_PD_EN	R/W	0	1: 使能 0: 禁用温度传感器
[0]	BATTMON_PD_EN	R/W	0	1: 使能 0: 禁用电池监控器

表113. 0x327:ADC_READBACK_HIGH

位	名称	R/W	复位	描述
[7:6]	保留	R	0	
[5:0]	ADC_READBACK[7:2]	R	0	ADC回读值的MSB

表114. 0x328:ADC_READBACK_LOW

位	名称	R/W	复位	描述
[7:6]	ADC_READBACK[1:0]	R	0	ADC回读值的LSB
[5:0]	保留	R	0	

表115. 0x32D:BATTERY_MONITOR_THRESHOLD_VOLTAGE

位	名称	R/W	复位	描述
[7:5]	保留	R/W	0	
[4:0]	BATTMON_VOLTAGE	R/W	0	电池监控器阈值电压可设置电池监控器的报警电平。报警由中断触发。 电池监控器跳变电压: $V_{TRIP} = 1.7\text{ V} + 62\text{ mV} \times \text{BATTMON_VOLTAGE}$ 。

表116. 0x32E:EXT_UC_CLK_DIVIDE

位	名称	R/W	复位	描述
[7:4]	保留	R/W	0	
[3:0]	EXT_UC_CLK_DIVIDE	R/W	4	XOSC32KP_GP5_ATB1的可选输出时钟频率。 输出频率 = XTAL/EXT_UC_CLK_DIVIDE。 要禁用, 设置EXT_UC_CLK_DIVIDE = 0。

ADF7023

表117. 0x32F: AGC_CLK_DIVIDE

位	名称	R/W	复位	描述
[7:0]	AGC_CLOCK_DIVIDE	R/W	40	2FSK/GFSK/MSK/GMSK模式的AGC时钟分频器。AGC速率为(26 MHz/(16 × AGC_CLK_DIVIDE))。

表118. 0x336: INTERRUPT_SOURCE_0

位	名称	R/W	复位	描述
[7]	INTERRUPT_NUM_WAKEUPS	R/W	0	当WUC唤醒次数(NUMBER_OF_WAKEUPS[15:0])达到阈值(NUMBER_OF_WAKEUPS_IRQ_THRESHOLD[15:0])时置位
[6]	INTERRUPT_SWM_RSSI_DET	R/W	0	当智能唤醒模式下测得的RSSI超过RSSI阈值(SWM_RSSI_THRESH, 地址0x108)时置位
[5]	INTERRUPT_AES_DONE	R/W	0	当智能唤醒模式下测得的RSSI超过RSSI阈值(SWM_RSSI_THRESH, 地址0x108)时置位
[4]	INTERRUPT_TX_EOF	R/W	0	当数据包完成发送时置位(仅包模式)
[3]	INTERRUPT_ADDRESS_MATCH	R/W	0	当接收包具有有效的地址匹配时置位(仅包模式)
[2]	INTERRUPT_CRC_CORRECT	R/W	0	当接收包具有正确的CRC时置位(仅包模式)
[1]	INTERRUPT_SYNC_DETECT	R/W	0	当在接收包中检测到合格同步字时置位
[0]	INTERRUPT_PREAMBLE_DETECT	R/W	0	当在接收包中检测到合格前同步码时置位

表119. 0x337: INTERRUPT_SOURCE_1

位	名称	R/W	复位	描述
[7]	BATTERY_ALARM	R/W	0	电池电压降至用户设定的阈值以下。
[6]	CMD_READY	R/W	0	通信处理器准备好接受新命令。
[5]	未用	R/W	0	
[4]	WUC_TIMEOUT	R/W	0	唤醒定时器超时。
[3]	未用	R/W	0	
[2]	未用	R/W	0	
[1]	SPI_READY	R/W	0	SPI已准备好进行访问。
[0]	CMD_FINISHED	R/W	0	命令已完成。

表120. 0x338: CALIBRATION_CONTROL

位	名称	R/W	复位	描述
[7:2]	保留	R/W	0	
[1]	SYNTH_CAL_EN	R/W	0	1: 使能频率合成器校准状态机。 0: 禁用频率合成器校准状态机。
[0]	RXBB_CAL_EN	R/W	0	1: 使能接收机基带滤波器(RXBB)校准。 0: 禁用接收机基带滤波器(RXBB)校准。

表121. 0x339: CALIBRATION_STATUS

位	名称	R/W	复位	描述
[7:3]	保留	R	0	
[2]	PA_RAMP_FINISHED	R	0	
[1]	SYNTH_CAL_READY	R	0	1: 频率合成器校准已完成。 0: 频率合成器校准进行中。
[0]	RXBB_CAL_READY	R	0	接收IF滤波器校准。 1: 完成。 0: 进行中(当RXBB_CAL_EN = 1时有效)。

表122. 0x345:RXBB_CAL_CALWRD_READBACK

位	名称	R/W	复位	描述
[5:0]	RXBB_CAL_CALWRD	R	0	RXBB参考振荡器校准字；RXBB校准周期完成后有效。

表123. 0x346:RXBB_CAL_CALWRD_OVERWRITE

位	名称	R/W	复位	描述
[6:1]	RXBB_CAL_DCALWRD_OVWRT_IN	RW	0	RXBB参考振荡器校准覆盖字。
[0]	RXBB_CAL_DCALWRD_OVWRT_EN	RW	0	1: 使能RXBB参考振荡器校准字覆盖模式。 0: 禁用RXBB参考振荡器校准字覆盖模式。

表124. 0x34F:RCOSC_CAL_READBACK_HIGH

位	名称	R/W	复位	描述
[7:0]	RCOSC_CAL_READBACK[15:8]	R	0x0	RC振荡器精校结果，Bits[15:8]

表125. 0x350:RCOSC_CAL_READBACK_LOW

位	名称	R/W	复位	描述
[7:0]	RCOSC_CAL_READBACK[7:0]	R	0x0	RC振荡器精校结果，位[7:0]

表126. 0x359:ADC_CONFIG_LOW

位	名称	R/W	复位	描述
[7:4]	保留	R/W	0	置0。
[3:2]	ADC_REF_CHSEL	R/W	0	0: RSSI(默认) 1: 外部模拟输入 2: 温度传感器 3: 未用
[1:0]	ADC_REFERENCE_CONTROL	R/W	0	下列基准电压值适用于3 V电源： 0: 1.85 V(默认) 1: 1.95 V 2: 1.75 V 3: 1.65 V

表127. 0x35A:ADC_CONFIG_HIGH

位	名称	R/W	复位	描述
[7]	保留	R/W	0	
[6:5]	FILTERED_ADC_MODE	R/W	0	滤波模式。 00: 正常工作(不滤波)。 01: 无滤波AGC环路，有滤波回读(读取MCR时更新)。 02: 无滤波AGC环路，有滤波回读(以AGC时钟速率更新)。 03: 无滤波AGC环路，有滤波回读。
[4]	ADC_EXT_REF_ENB	R/W	1	拉低可关断ADC基准电压源。
[3:0]	保留	R/W	1	置1。

表128. 0x35B:AGC_OOK_CONTROL

位	名称	R/W	复位	描述
[5:3]	OOK_AGC_CLK_TRK	R/W	2	跟踪阶段的AGC更新速率 $\text{AGC更新速率} = \frac{F_{MAN}}{2^{(\text{OOK_AGE_CLK_TRK} + 1)}}$ 其中 F_{MAN} 为曼彻斯特符号速率。OOK推荐使用曼彻斯特编码；OOK_AGC_CLK_TRK必须大于或等于OOK_AGC_CLK_ACQ。

ADF7023

位	名称	R/W	复位	描述
[2:0]	OOK_AGC_CLK_ACQ	R/W	1	采集阶段的AGC更新速率 $\text{AGC更新速率} = \frac{F_{\text{MAN}}}{2^{(\text{OOK_AGE_CLK_ACQ} + 1)}}$ 其中 F_{MAN} 为曼彻斯特符号速率。OOK推荐使用曼彻斯特编码； OOK_AGC_CLK_TRK必须大于或等于OOK_AGC_CLK_ACQ。

表129. 0x35C:AGC_CONFIG

位	名称	R/W	复位	描述
[7:6]	LNA_GAIN_CHANGE_ORDER	R/W	2	LNA增益改变顺序
[5:4]	MIXER_GAIN_CHANGE_ORDER	R/W	1	混频器增益改变顺序
[3:2]	FILTER_GAIN_CHANGE_ORDER	R/W	3	滤波器增益改变顺序
[1]	ALLOW_EXTRA_LO_LNA_GAIN	R/W	0	允许极低LNA增益设置
[0]	DISALLOW_MAX_GAIN	R/W	0	不允许最大AGC增益设置

表130. 0x35D:AGC_MODE

位	名称	R/W	复位	描述
[7]	保留	R/W	0	
[6:5]	AGC_OPERATION_MCR	R/W	0	0: 自由运行AGC 1: 手动AGC 2: 保持AGC 3: 前同步码后锁定AGC
[4:3]	LNA_GAIN	R/W	0	0: 低 1: 中 2: 高 3: 保留
[2]	MIXER_GAIN	R/W	0	0: 低 1: 高
[1:0]	FILTER_GAIN	R/W	0	0: 低 1: 中 2: 高 3: 保留

表131. 0x35E:AGC_LOW_THRESHOLD

位	名称	R/W	复位	描述
[7:0]	AGC_LOW_THRESHOLD	R/W	55	AGC下限

表132. 0x35F:AGC_HIGH_THRESHOLD

位	名称	R/W	复位	描述
[7:0]	AGC_HIGH_THRESHOLD	R/W	105	AGC上限

表133. 0x360:AGC_GAIN_STATUS

位	名称	R/W	复位	描述
[7:5]	保留	R	0	
[4:3]	LNA_GAIN_READBACK	R	0	0: 低 1: 中 2: 高 3: 保留
[2]	MIXER_GAIN_READBACK	R	0	0: 低 1: 高
[1:0]	FILTER_GAIN_READBACK	R	0	0: 低 1: 中 2: 高 3: 保留

表134. 0x361:AGC_ADC_WORD

位	名称	R/W	复位	描述
[7]	保留	R	0	保留
[6:0]	AGC_ADC_WORD	R	0	计算OOK信号的RSSI时使用的辅助ADC采样字。详见“RSSI方法4”部分。

表135. 0x372:FREQUENCY_ERROR_READBACK

位	名称	R/W	复位	描述
[7:0]	FREQUENCY_ERROR_READBACK	R	0	接收信号频率与接收通道频率之间的频率误差 = FREQUENCY_ERROR_READBACK × 1 kHz。FREQUENCY_ERROR_READBACK值为二进制补码格式。

表136. 0x3CB:VCO_BAND_OVRW_VAL

位	名称	R/W	复位	描述
[7:0]	VCO_BAND_OVRW_VAL	R/W	0	VCO频段的覆盖值；当VCO_BAND_OVRW_EN = 1时有效。

表137. 0x3CC:VCO_AMPL_OVRW_VAL

位	名称	R/W	复位	描述
[7:0]	VCO_AMPL_OVRW_VAL	R/W	0	VCO偏置电流DAC的覆盖值；当VCO_AMPL_OVRW_EN = 1时有效。

表138. 0x3CD:VCO_OVRW_EN

位	名称	R/W	复位	描述
[7:6]	保留	R/W	0	保留
[5:2]	VCO_Q_AMP_REF	R/W	0	Q阶段的VCO幅度控制参考DAC。
[1]	VCO_AMPL_OVRW_EN	R/W	0	1: 使能VCO偏置电流DAC覆盖。 0: 禁用VCO偏置电流DAC覆盖。
[0]	VCO_BAND_OVRW_EN	R/W	0	1: 使能VCO频段覆盖。 0: 禁用VCO频段覆盖。

表139. 0x3D0:VCO_CAL_CFG

位	名称	R/W	复位	描述
[7:4]	保留	R/W	0	保留
[3:0]	VCO_CAL_CFG	R/W	1	VCO校准状态机配置。如果设置VCO_CAL_CFG = 0xF，则在PHY_TX和PHY_RX跃迁时旁路VCO校准。如果设置VCO_CAL_CFG = 0x1，则使能跃迁时的VCO校准。

表140. 0x3D2:OSC_CONFIG

位	名称	R/W	复位	描述
[7:6]	保留	R/W	0	写入0。
[5:3]	XOSC_CAP_DAC	R/W	0	26 MHz晶振(XOSC26N)调谐电容控制字。
[2:0]	保留	R/W	0	写入0。

表141. 0x3DA:VCO_BAND_READBACK

位	名称	R/W	复位	描述
[7:0]	VCO_BAND_READBACK	R	0	校准后VCO偏置电流DAC回读

表142. 0x3DB:VCO_AMPL_READBACK

位	名称	R/W	复位	描述
[7:0]	VCO_AMPL_READBACK	R	0	校准后VCO偏置电流DAC回读

表143. 0x3F8:ANALOG_TEST_BUS

位	名称	R/W	复位	描述
[7:0]	ANALOG_TEST_BUS	R/W	0	要使能ATB3上的模拟RSSI，应设置ANALOG_TEST_BUS = 0x64和RSSI_TSTMUX_SEL = 0x3。

ADF7023

表144. 0x3F9: RSSI_TSTMUX_SEL

位	名称	R/W	复位	描述
[7]	保留	R/W	0	
[6:2]	保留	R/W	0	
[1:0]	RSSI_TSTMUX_SEL	R/W	0	要使用ATB3上的模拟RSSI，应设置RSSI_TSTMUX_SEL=0x3和ANALOG_TEST_BUS=0x64。

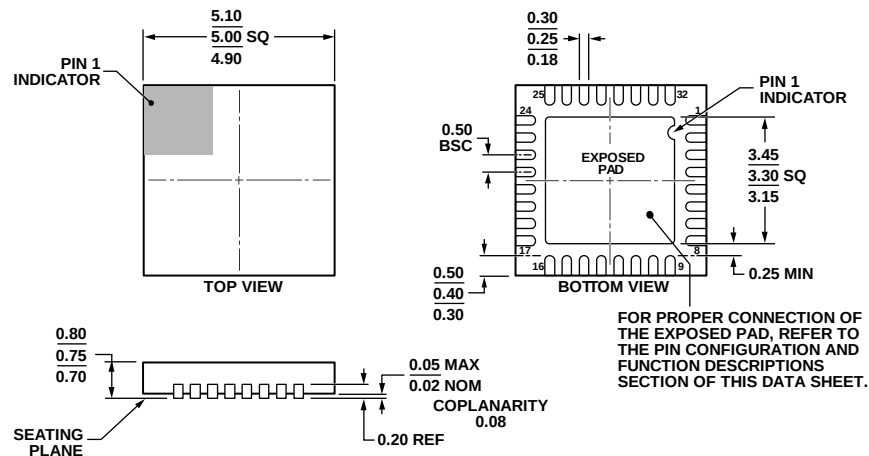
表145. 0x3FA: GPIO_CONFIGURE

位	名称	R/W	复位	描述
[7:0]	GPIO_CONFIGURE	R/W	0	0x00:默认 0x21:GP5上提供限幅器输出(即旁路CDR) 0x40:GP0(Q)和GP1(I)上提供限幅器输出 0x41:GP0(Q)和GP1(I)上提供滤波限幅器输出， GP2(Q)和IRQ_GP3(I)上提供无滤波限幅器输出 0x50:GP0提供来自通信处理器的包发送数据 0x53:PA斜坡完成于GP0 0xA0:Sport模式0 0xA1:Sport模式1 0xA2:Sport模式2 0xA3:Sport模式3 0xA4:Sport模式4 0xA5:Sport模式5 0xA6:Sport模式6 0xA7:Sport模式7 0xA8:Sport模式8 0xC9:GP0提供测试DAC输出(还必须设置TEST_DAC_GAIN)

表146. 0x3FD: TEST_DAC_GAIN

位	名称	R/W	复位	描述
[7:4]	保留	R/W	0	保留。
[3:0]	TEST_DAC_GAIN	R/W	4	使用测试DAC时，设置TEST_DAC_GAIN = 0。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

图117. 32引脚引脚架构芯片级封装[LFCSP_WQ]
5 mm x 5 mm, 超薄体
(CP-32-13)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADF7023BCPZ	−40°C至+85°C	32引脚引脚架构芯片级封装[LFCSP_WQ]	CP-32-13
ADF7023BCPZ-RL	−40°C至+85°C	32引脚引脚架构芯片级封装[LFCSP_WQ]	CP-32-13
EVAL-ADF7XXMB3Z		评估板(USB母板)	
EVAL-ADF7023DB1Z		评估板(RF子板, 868 MHz/915 MHz, 单独匹配)	
EVAL-ADF7023DB2Z		评估板(RF子板, 868 MHz/915 MHz, 合并匹配)	
EVAL-ADF7023DB3Z		评估板(RF子板, 433 MHz, 单独匹配)	
EVAL-ADF7023DB4Z		评估板(RF子板, 433 MHz, 合并匹配)	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释