

产品特性

高性能

- 高相对精度(INL): 16位时最大 ± 3 LSB
- 总不可调整误差(TUE): $\pm 0.14\%$ FSR(最大值)
- 失调误差: ± 1.5 mV(最大值)
- 增益误差: $\pm 0.06\%$ FSR(最大值)
- 低漂移2.5 V基准电压源: 2 ppm/°C(典型值)

宽工作范围

- 温度范围: -40°C 至 $+125^{\circ}\text{C}$
- 2.7 V至5.5 V电源

易于实现

- 用户可选增益: 1或2(GAIN引脚)
- 1.8 V逻辑兼容

带回读或菊花链的50 MHz SPI

鲁棒的HBM(额定值为2 kV)和FICDM ESD(额定值为1.5 kV)性能
20引脚TSSOP封装, 符合RoHS标准

应用

- 光收发器
- 基站功率放大器
- 过程控制(PLC输入/输出卡)
- 工业自动化
- 数据采集系统

概述

AD5672R/AD5676R分别是低功耗、8通道、12/16位缓冲电压输出数模转换器(DAC), 内置2.5 V、2 ppm/°C内部基准电压源(默认使能)和增益选择引脚, 满量程输出为2.5 V(增益=1)或5 V(增益=2)。采用2.7 V至5.5 V单电源供电, 通过设计保证单调性。AD5672R/AD5676R采用20引脚TSSOP封装, 内置一个上电复位电路和一个RSTSEL引脚, 确保DAC输出上电至零电平或中间电平, 直到执行一次有效的写操作为止。AD5672R/AD5676R具有关断模式, 此模式下的功耗典型值降至1 μA 。

表1. 8通道 *nano* DAC+® 器件

接口	基准源	16位	12位
SPI	内部	AD5676R	AD5672R
	外部	AD5676	不适用
PC	内部	AD5675R	AD5671R

产品特色

- 高相对精度(INL)。
 - AD5672R(12位): ± 1 LSB(最大值)。
 - AD5676R(16位): ± 3 LSB(最大值)。
- 低漂移2.5 V片内基准电压源。

功能框图

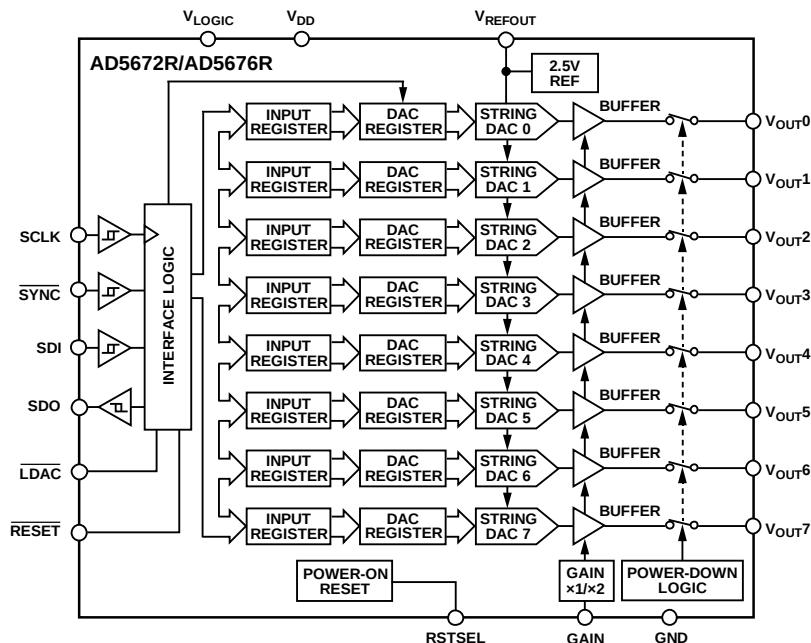


图1.

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014–2015 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	写命令和更新命令	26
应用	1	菊花链操作	26
概述	1	回读操作	27
产品特色	1	关断工作模式	27
功能框图	1	加载DAC(硬件 $\overline{\text{LDAC}}$ 引脚)	28
修订历史	2	$\overline{\text{LDAC}}$ 屏蔽寄存器	28
技术规格	3	硬件复位($\overline{\text{RESET}}$)	29
AD5672R技术规格	3	复位选择引脚(RSTSEL)	29
AD5676R技术规格	5	内部基准电压源设置	29
交流特性	7	回流焊	29
时序特性	8	长期温度漂移	29
菊花链和回读时序特性	9	热滞	30
绝对最大额定值	11	应用信息	31
ESD警告	11	电源建议	31
引脚配置和功能描述	12	微处理器接口	31
典型性能参数	13	AD5672R/AD5676R与ADSP-BF531的接口	31
术语	22	AD5672R/AD5676R与SPORT的接口	31
工作原理	24	布局布线指南	31
数模转换器	24	电流隔离接口	32
传递函数	24	外形尺寸	33
DAC架构	24	订购指南	33
串行接口	25		
独立操作	26		

修订历史

2015年2月—修订版0至修订版A

增加“AD5672R技术规格”部分	3
更改表2	3
增加“AD5676R技术规格”部分和表3；重新排序	5
更改表5中的 $\overline{\text{RESET}}$ 脉冲激活参数	8
更改“术语”部分	22
更改“传递函数”部分和“输出放大器”部分	24
更改“硬件复位($\overline{\text{RESET}}$)”部分	29
更改“订购指南”部分	33

2014年10月—修订版0：初始版

技术规格

AD5672R技术规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$, $R_L = 2\text{ k}\Omega$, $C_L = 200\text{ pF}$, 所有规格对应 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能 ¹					
分辨率	12			位	
相对精度(INL)		± 0.12	± 1	LSB	增益 = 1
		± 0.12	± 1	LSB	增益 = 2
差分非线性(DNL)		± 0.01	± 0.1	LSB	增益 = 1
		± 0.01	± 0.1	LSB	增益 = 2
零代码误差		0.8	1.6	mV	增益 = 1或增益 = 2
失调误差		-0.75	± 2	mV	增益 = 1
		-0.1	± 1.5	mV	增益 = 2
满量程误差		-0.018	± 0.14	% FSR	增益 = 1
		-0.013	± 0.07	% FSR	增益 = 2
增益误差		+0.04	± 0.12	% FSR	增益 = 1
		-0.02	± 0.06	% FSR	增益 = 2
TUE		± 0.03	± 0.18	% FSR	增益 = 1
		± 0.006	± 0.14	% FSR	增益 = 2
失调误差漂移 ²		± 1		$\mu\text{V}/^\circ\text{C}$	
直流电源抑制比(PSRR) ²		0.25		mV/V	DAC代码 = 中间电平; $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰 ²		± 2		μV	单通道、满量程输出变化引起
		± 3		$\mu\text{V}/\text{mA}$	负载电流变化引起
		± 2		μV	(各通道)关断引起
输出特性 ²					
输出电压范围	0		2.5	V	增益 = 1
	0		5	V	增益 = 2
输出电流驱动			15	mA	
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
阻性负载 ³	1			k Ω	
负载调整率		183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC代码 = 中间电平, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC代码 = 中间电平, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
短路电流 ⁴		40		mA	
供电轨上的负载阻抗 ⁵		25		Ω	
上电时间		2.5		μs	退出关断模式, $V_{DD} = 5\text{ V}$
基准输出					
输出电压 ⁶	2.4975		2.5025	V	
基准电压温度系数 ^{7,8}		2	5	ppm/ $^\circ\text{C}$	参见“术语”部分
输出阻抗 ²		0.04		Ω	
输出电压噪声 ²		13		$\mu\text{V p-p}$	0.1 Hz至10 Hz
输出电压噪声密度 ²		240		nV/ $\sqrt{\text{Hz}}$	环境温度, $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$, 增益 = 1或2
负载调整率(源电流) ²		29		$\mu\text{V}/\text{mA}$	环境温度
负载调整率(吸电流) ²		74		$\mu\text{V}/\text{mA}$	环境温度
输出电流负载能力 ²		± 20		mA	$V_{DD} \geq 3\text{ V}$
电压调整率 ²		43		$\mu\text{V}/\text{V}$	环境温度
长期稳定性/漂移 ²		12		ppm	处于 125°C 下1000小时后
热滞 ²		125		ppm	第一个周期
		25		ppm	其它周期

AD5672R/AD5676R

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输入 ²					
输入电压			±1	μA	每引脚
低(V_{INL})			$0.3 \times V_{\text{LOGIC}}$	V	
高(V_{INH})	$0.7 \times V_{\text{LOGIC}}$			V	
引脚电容		3		pF	
逻辑输出(SDO) ²					
输出电压			0.4	V	$I_{\text{SINK}} = 200 \mu\text{A}$
低(V_{OL})	$V_{\text{LOGIC}} - 0.4$			V	$I_{\text{SOURCE}} = 200 \mu\text{A}$
高(V_{OH})				pF	
浮空态输出电容		4			
电源要求					
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}			1	μA	上电, -40°C至+105°C
			1.3	μA	上电, -40°C至+125°C
			0.5	μA	关断, -40°C至+105°C
			1.3	μA	关断, -40°C至+125°C
V_{DD}	2.7		5.5	V	增益 = 1
	$V_{\text{REF}} + 1.5$		5.5	V	增益 = 2
I_{DD}					$V_{\text{IH}} = V_{\text{DD}}$, $V_{\text{IL}} = \text{GND}$, $V_{\text{DD}} = 2.7\text{V}$ 至5.5V
正常模式 ⁹		1.1	1.26	mA	内部基准电压源关闭, -40°C至+85°C
		1.8	2.0	mA	内部基准电压源开启, -40°C至+85°C
		1.1	1.3	mA	内部基准电压源关闭
		1.8	2.1	mA	内部基准电压源开启
全关断模式 ¹⁰		1	1.7	μA	三态至1 kΩ, -40°C至+85°C
		1	1.7	μA	关断至1 kΩ, -40°C至+85°C
		1	2.5	μA	三态, -40°C至+105°C
		1	2.5	μA	关断至1 kΩ, -40°C至+105°C
		1	5.5	μA	三态至1 kΩ, -40°C至+125°C
		1	5.5	μA	关断至1 kΩ, -40°C至+125°C

¹ 除非另有说明,直流规格均在输出端无负载的情况下测得。上行死区 = 10 mV,仅存在于 $V_{\text{REF}} = V_{\text{DD}}$ 且增益 = 1时或 $V_{\text{REF}}/2 = V_{\text{DD}}$ 且增益 = 2时。线性度计算使用缩减的代码范围: 12至4080。

² 通过设计和特性保证,但未经生产测试。

³ 通道0、通道1、通道2和通道3总共可流出/流入40 mA。同样,通道4、通道5、通道6和通道7总共可流出/流入40 mA,结温最高可达125°C。

⁴ $V_{\text{DD}} = 5\text{V}$ 。器件包含限流功能,旨在保护器件免受暂时性过载条件影响。限流期间可能会超过结温。在规定的最大结温以上工作可能会影响器件的可靠性。

⁵ 从任一供电轨吸取负载电流时,相对于该供电轨的输出电压裕量受输出器件的25 Ω典型通道电阻限制。例如,当吸电流为1 mA时,最小输出电压 = $25 \Omega \times 1 \text{mA} = 25 \text{mV}$ 。

⁶ 初始精度预焊回流为±750 μV;输出电压包括预调理漂移的影响。参见“内部基准电压源设置”部分。

⁷ 基准电压源在两个温度上进行调整和测试,且表征温度范围为-40°C至+125°C。

⁸ 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

⁹ 接口未启用。所有DAC启用。DAC输出端无负载。

¹⁰ 所有DAC关断。

AD5676R技术规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$, $R_L = 2\text{ k}\Omega$, $C_L = 200\text{ pF}$, 所有规格对应 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表3.

参数	A级			B级			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
静态性能 ¹								
分辨率	16			16			位	
相对精度(INL)		± 1.8	± 8		± 1.8	± 3	LSB	增益 = 1
		± 1.7	± 8		± 1.7	± 3	LSB	增益 = 2
差分非线性(DNL)		± 0.7	± 1		± 0.7	± 1	LSB	增益 = 1
		± 0.5	± 1		± 0.5	± 1	LSB	增益 = 2
零代码误差		0.8	3		0.8	1.6	mV	增益 = 1或增益 = 2
失调误差		-0.75	± 6		-0.75	± 2	mV	增益 = 1
		-0.1	± 4		-0.1	± 1.5	mV	增益 = 2
满量程误差		-0.018	± 0.28		-0.018	± 0.14	% FSR	增益 = 1
		-0.013	± 0.14		-0.013	± 0.07	% FSR	增益 = 2
增益误差		$+0.04$	± 0.24		$+0.04$	± 0.12	% FSR	增益 = 1
		-0.02	± 0.12		-0.02	± 0.06	% FSR	增益 = 2
TUE		± 0.03	± 0.3		± 0.03	± 0.18	% FSR	增益 = 1
		± 0.006	± 0.25		± 0.006	± 0.14	% FSR	增益 = 2
失调误差漂移 ²		± 1			± 1		$\mu\text{V}/^\circ\text{C}$	
直流电源抑制比(PSRR) ²		0.25			0.25		mV/V	DAC代码 = 中间电平; $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰 ²		± 2			± 2		μV	单通道、满量程输出变化引起
		± 3			± 3		$\mu\text{V}/\text{mA}$	负载电流变化引起
		± 2			± 2		μV	(各通道)关断引起
输出特性 ²								
输出电压范围	0		2.5	0		2.5	V	增益 = 1
	0		5	0		5	V	增益 = 2
输出电流驱动			15			15	mA	
容性负载稳定性		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
阻性负载 ³	1			1			k Ω	
负载调整率		183			183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC代码 = 中间电平, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		177			177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC代码 = 中间电平, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
短路电流 ⁴		40			40		mA	
供电轨上的负载阻抗 ⁵		25			25		Ω	
上电时间		2.5			2.5		μs	退出关断模式, $V_{DD} = 5\text{ V}$
基准输出								
输出电压 ⁶	2.4975		2.5025	2.4975		2.5025	V	
基准电压温度系数 ^{7,8}		5	20		2	5	ppm/ $^\circ\text{C}$	参见“术语”部分
输出阻抗 ²		0.04			0.04		Ω	
输出电压噪声 ²		13			13		$\mu\text{V p-p}$	0.1 Hz至10 Hz
输出电压噪声密度 ²		240			240		nV/ $\sqrt{\text{Hz}}$	环境温度, $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$, 增益 = 1或2
负载调整率(源电流) ²		29			29		$\mu\text{V}/\text{mA}$	环境温度
负载调整率(吸电流) ²		74			74		$\mu\text{V}/\text{mA}$	环境温度
输出电流负载能力 ²		± 20			± 20		mA	$V_{DD} \geq 3\text{ V}$
电压调整率 ²		43			43		$\mu\text{V}/\text{V}$	环境温度
长期稳定性/漂移 ²		12			12		ppm	处于 125°C 下1000小时后
热滞 ²		125			125		ppm	第一个周期
		25			25		ppm	其它周期

AD5672R/AD5676R

参数	A级			B级			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
逻辑输入 ²								
输入电流			±1			±1	μA	每引脚
输入电压 低(V _{INL})			0.3 × V _{LOGIC}			0.3 × V _{LOGIC}	V	
高(V _{INH})	0.7 × V _{LOGIC}			0.7 × V _{LOGIC}			V	
引脚电容		3			3		pF	
逻辑输出(SDO) ²								
输出电压 低(V _{OL})			0.4			0.4	V	I _{SINK} = 200 μA
高(V _{OH})	V _{LOGIC} − 0.4			V _{LOGIC} − 0.4			V	I _{SOURCE} = 200 μA
浮空态输出电容		4			4		pF	
电源要求								
V _{LOGIC}	1.8		5.5	1.8		5.5	V	
I _{LOGIC}			1			1	μA	上电, −40°C至+105°C
			1.3			1.3	μA	上电, −40°C至+125°C
			0.5			0.5	μA	关断, −40°C至+105°C
			1.3			1.3	μA	关断, −40°C至+125°C
V _{DD}	2.7		5.5	2.7		5.5	V	增益 = 1
	V _{REF} + 1.5		5.5	V _{REF} + 1.5		5.5	V	增益 = 2
I _{DD}								V _{IH} = V _{DD} , V _{IL} = GND, V _{DD} = 2.7 V至5.5 V
正常模式 ⁹		1.1	1.26		1.1	1.26	mA	内部基准电压源关闭, −40°C至+85°C
		1.8	2.0		1.8	2.0	mA	内部基准电压源开启, −40°C至+85°C
		1.1	1.3		1.1	1.3	mA	内部基准电压源关闭
		1.8	2.1		1.8	2.1	mA	内部基准电压源开启
全关断模式 ¹⁰		1	1.7		1	1.7	μA	三态至1 kΩ, −40°C至+85°C
		1	1.7		1	1.7	μA	关断至1 kΩ, −40°C至+85°C
		1	2.5		1	2.5	μA	三态, −40°C至+105°C
		1	2.5		1	2.5	μA	关断至1 kΩ, −40°C至+105°C
		1	5.5		1	5.5	μA	三态至1 kΩ, −40°C至+125°C
		1	5.5		1	5.5	μA	关断至1 kΩ, −40°C至+125°C

¹ 除非另有说明, 直流规格均在输出端无负载的情况下测得。上行死区 = 10 mV, 仅存在于V_{REF} = V_{DD}且增益 = 1时或V_{REF}/2 = V_{DD}且增益 = 2时。线性度计算使用缩减的代码范围: 256至65,280。

² 通过设计和特性保证, 但未经生产测试。

³ 通道0、通道1、通道2和通道3总共可流出/流入40 mA。同样, 通道4、通道5、通道6和通道7总共可流出/流入40 mA, 结温最高可达125°C。

⁴ V_{DD} = 5 V。器件包含限流功能, 旨在保护器件免受暂时性过载条件影响。限流期间可能会超过结温。在规定的最大结温以上工作可能会影响器件的可靠性。

⁵ 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的25 Ω典型通道电阻限制。例如, 当吸电流为1 mA时, 最小输出电压 = 25 Ω × 1 mA = 25 mV。

⁶ 初始精度预焊回流为±750 μV; 输出电压包括预调理漂移的影响。参见“内部基准电压源设置”部分。

⁷ 基准电压源在两个温度上进行调整和测试, 且表征温度范围为−40°C至+125°C。

⁸ 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

⁹ 接口未启用。所有DAC启用。DAC输出端无负载。

¹⁰ 所有DAC关断。

交流特性

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 5.5 V ， $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ， $R_L = 2\text{ k}\Omega$ 至GND， $C_L = 200\text{ pF}$ 至GND，所有规格对应 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。通过设计和特性保证，未经生产测试。

表4.

参数	最小值	典型值	最大值	单位	测试条件/备注 ¹
输出电压建立时间 ²					
AD5672R	5	8		μs	¼到¾量程建立到±2 LSB
AD5676R	5	8		μs	¼到¾量程建立到±2 LSB
压摆率	0.8			$\text{V}/\mu\text{s}$	
数模转换毛刺脉冲 ²	1.4			$\text{nV}\cdot\text{sec}$	主进位1 LSB变化(内部基准电压源，增益 = 1)
数字馈通 ²	0.13			$\text{nV}\cdot\text{sec}$	
串扰 ²					
数字	0.1			$\text{nV}\cdot\text{sec}$	
模拟	-0.25			$\text{nV}\cdot\text{sec}$	
	-1.3			$\text{nV}\cdot\text{sec}$	内部基准电压源，增益 = 2
DAC至DAC	-2.0			$\text{nV}\cdot\text{sec}$	内部基准电压源，增益 = 2
总谐波失真 ³	-80			dB	T_A 时，带宽 = 20 kHz， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
输出噪声频谱密度 ²	300			$\text{nV}/\sqrt{\text{Hz}}$	DAC代码 = 中间电平，10 kHz，增益 = 2
输出噪声 ²	6			$\mu\text{V p-p}$	0.1 Hz至10 Hz，增益 = 1
信噪比(SNR)	90			dB	$T_A = 25^\circ\text{C}$ 时，带宽 = 20 kHz， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
无杂散动态范围(SFDR)	83			dB	$T_A = 25^\circ\text{C}$ 时，带宽 = 20 kHz， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
信纳比(SINAD)	80			dB	$T_A = 25^\circ\text{C}$ 时，带宽 = 20 kHz， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$

¹ 工作温度范围为 -40°C 至 $+125^\circ\text{C}$ ； $T_A = 25^\circ\text{C}$ 。
² 参见术语部分。利用内部基准电压源测量，增益 = 1，除非另有说明。
³ 以数字方式生成频率为1 kHz的正弦波。

AD5672R/AD5676R

时序特性

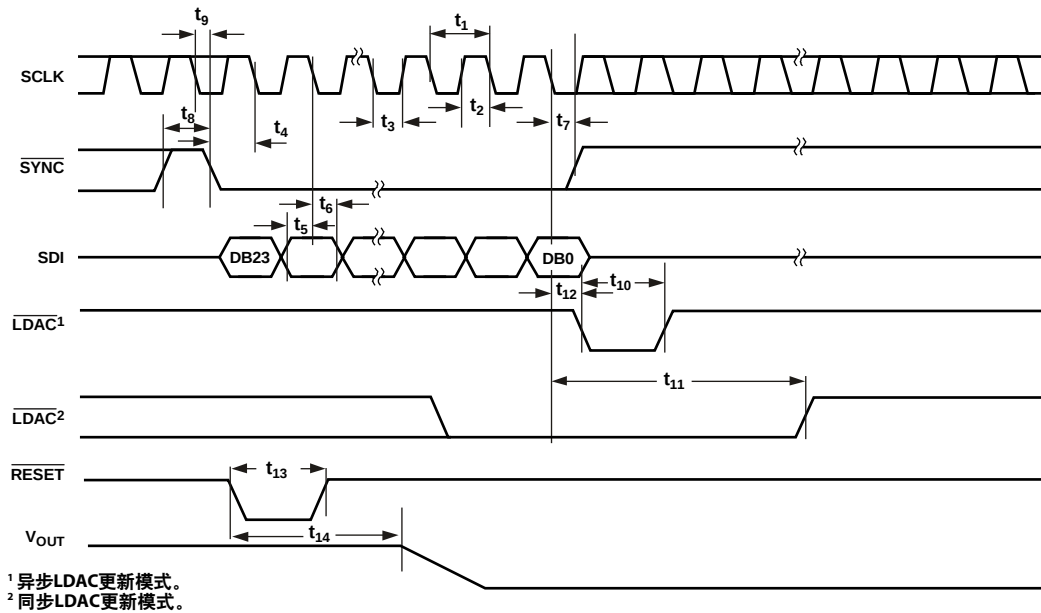
所有输入信号均指定 $t_R = t_F = 1 \text{ ns/V}$ (10%至90%的 V_{DD})并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。见图2。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V , $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$, $V_{REFIN} = 2.5 \text{ V}$ 。所有规格对应 -40°C 至 $+125^\circ\text{C}$ 的温度范围, 除非另有说明。

表5.

参数 ¹	符号	$1.8 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$		$2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$		单位
		最小值	最大值	最小值	最大值	
SCLK周期时间	t_1	20		20		ns
SCLK高电平时间	t_2	4		1.7		ns
SCLK低电平时间	t_3	4.5		4.3		ns
SYNC到SCLK下降沿建立时间	t_4	15.1		10.1		ns
数据建立时间	t_5	0.8		0.8		ns
数据保持时间	t_6	0.1		-0.8		ns
SCLK下降沿到SYNC上升沿	t_7	0.95		1.25		ns
最短SYNC高电平时间(单通道、组合通道或所有通道更新)	t_8	9.65		6.75		ns
SYNC下降沿到SCLK下降沿忽略	t_9	4.75		9.7		ns
LDAC低电平脉冲宽度	t_{10}	4.85		5.45		ns
SCLK下降沿到LDAC上升沿	t_{11}	41.25		25		ns
SCLK下降沿到LDAC下降沿	t_{12}	26.35		20.3		ns
RESET低电平最小脉冲宽度	t_{13}	4.8		6.2		ns
RESET脉冲激活时间	t_{14}	132		80		ns
上电时间 ²		5.15		5.18		μs

¹ $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 且 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ 时, 最大SCLK频率为50 MHz。通过设计和特性保证, 未经生产测试。

² AD5672R/AD5676R退出关断模式进入正常工作模式所需的时间, 第32个时钟沿到DAC中间电平值的90%, 且输出端无负载。



菊花链和回读时序特性

所有输入信号均指定 $t_R = t_F = 1 \text{ ns/V}$ (10%至90%的 V_{DD}) 并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。见图4和图5。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V , $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$, $V_{REF} = 2.5 \text{ V}$ 。所有规格对应 -40°C 至 $+125^\circ\text{C}$ 的温度范围, 除非另有说明。

表6.

参数 ¹	符号	1.8 V ≤ V _{LOGIC} < 2.7 V		2.7 V ≤ V _{LOGIC} ≤ 5.5 V		单位
		最小值	最大值	最小值	最大值	
SCLK周期时间	t ₁	120		83.3		ns
SCLK高电平时间	t ₂	33		25.3		ns
SCLK低电平时间	t ₃	2.8		3.25		ns
SYNC到SCLK下降沿	t ₄	75		50		ns
数据建立时间	t ₅	1.2		0.5		ns
数据保持时间	t ₆	0.3		0.4		ns
SCLK下降沿到SYNC上升沿	t ₇	16.2		13		ns
最短SYNC高电平时间	t ₈	55.1		45		ns
SCLK上升沿到SDO数据有效时间	t ₁₀	21.5		22.7		ns
SCLK下降沿到SYNC上升沿	t ₁₁	24.4		20.3		ns
SYNC上升沿到SCLK上升沿	t ₁₂	85.5		54		ns

¹ $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 且 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ 时, 最大SCLK频率为25 MHz或15 MHz。通过设计和特性保证, 未经生产测试。

电路图以及菊花链和回读时序图

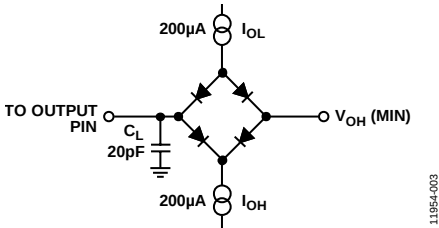


图3. 数字输出(SDO)时序规格的负载电路

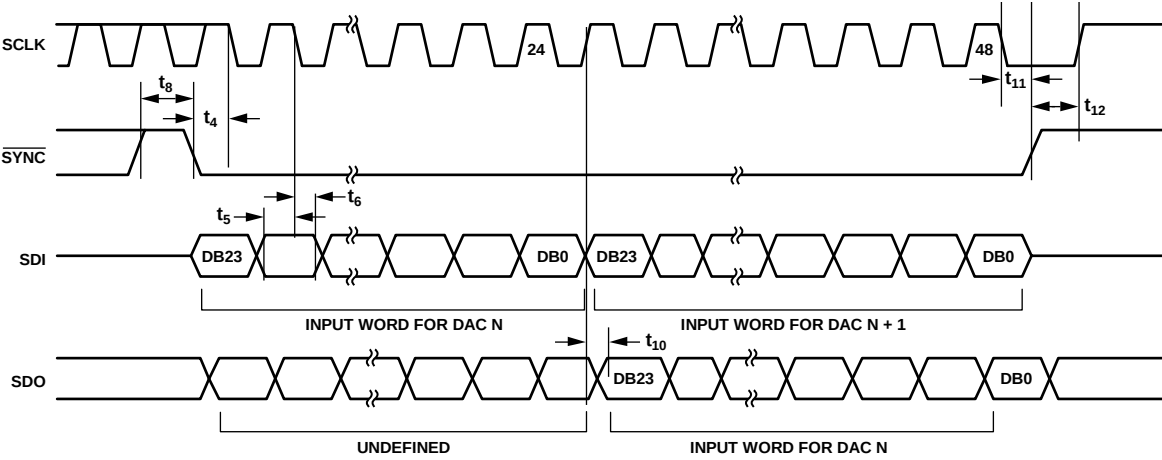
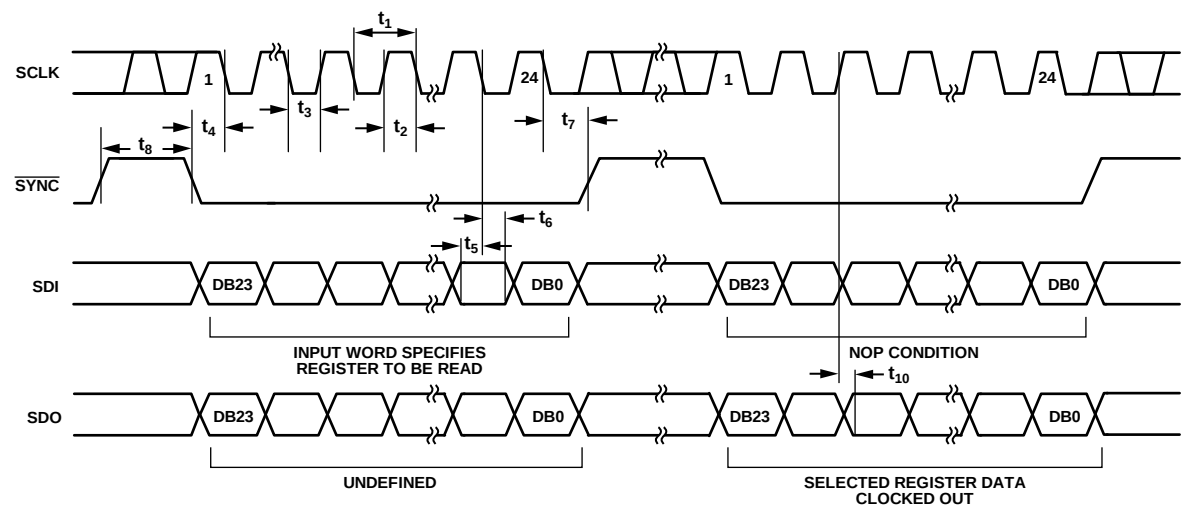


图4. 菊花链时序图

AD5672R/AD5676R



11954-005

图5. 回读时序图

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表7.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7 V
V_{LOGIC} 至 GND	-0.3 V 至 +7 V
V_{OUTX} 至 GND	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
V_{REFOUT} 至 GND	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
数字输入电压至 GND	-0.3 V 至 $V_{LOGIC} + 0.3\text{ V}$
工作温度范围	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
结温	125°C
20 引脚 TSSOP, θ_{JA} 热阻, 零气流(4 层板)	112.6°C/W
回流焊峰值温度, 无铅(J-STD-020) ESD	260°C
人体模型(HBM)	2 kV
场感应充电器件模型(FICDM)	1.5 kV

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD5672R/AD5676R

引脚配置和功能描述

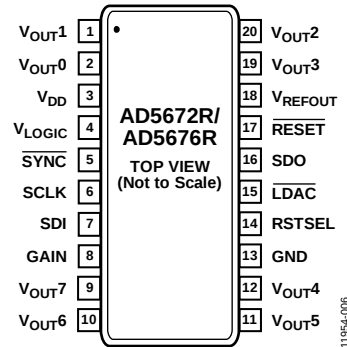


图6. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	描述
1	V _{OUT1}	DAC 1的模拟输出电压。输出放大器能以轨到轨方式工作。
2	V _{OUT0}	DAC 0的模拟输出电压。输出放大器能以轨到轨方式工作。
3	V _{DD}	电源输入引脚。这些器件采用2.7 V至5.5 V电源供电。V _{DD} 电源应通过并联的10 μF电容和0.1 μF电容去耦至GND。
4	V _{LOGIC}	数字电源。此引脚的电压范围为1.8 V至5.5 V。
5	SYNC	低电平有效控制输入。这是输入数据的帧同步信号。当SYNC变为低电平时，数据在后续24个时钟的下降沿读入。
6	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入输入移位寄存器。数据传输速率最高可达50 MHz。
7	SDI	串行数据输入。该器件有一个24位输入移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
8	GAIN	范围设置引脚。当该引脚与GND相连时，所有8个DAC的输出范围均为0 V至V _{REF} 。如果该引脚与V _{LOGIC} 相连，则所有8个DAC的输出范围为0 V至2 × V _{REF} 。
9	V _{OUT7}	DAC 7的模拟输出电压。输出放大器能以轨到轨方式工作。
10	V _{OUT6}	DAC 6的模拟输出电压。输出放大器能以轨到轨方式工作。
11	V _{OUT5}	DAC 5的模拟输出电压。输出放大器能以轨到轨方式工作。
12	V _{OUT4}	DAC 4的模拟输出电压。输出放大器能以轨到轨方式工作。
13	GND	器件上所有电路的接地基准点。
14	RSTSEL	上电复位引脚。将该引脚连接至GND时，可使所有8个DAC上电至零电平。将该引脚连接至V _{LOGIC} 时，可使所有8个DAC上电至中间电平。
15	LDAC	加载DAC。LDAC支持两种工作模式：异步和同步。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器，使得所有DAC输出可以同时更新。也可以将该引脚永久接为低电平。
16	SDO	串行数据输出。此引脚可用于菊花链形式将多个器件连接在一起，或用于回读。串行数据在SCLK上升沿传输，并在其下降沿有效。
17	RESET	异步复位输入。RESET输入对下降沿敏感。当RESET为低电平时，所有LDAC脉冲都被忽略。当RESET有效时，输入寄存器和DAC寄存器更新为零电平或中间电平，具体取决于RSTSEL引脚的状态。
18	V _{REFOUT}	基准输出电压。使用内部基准电压源时，此引脚为基准输出。
19	V _{OUT3}	DAC 3的模拟输出电压。输出放大器能以轨到轨方式工作。
20	V _{OUT2}	DAC 2的模拟输出电压。输出放大器能以轨到轨方式工作。

典型性能参数

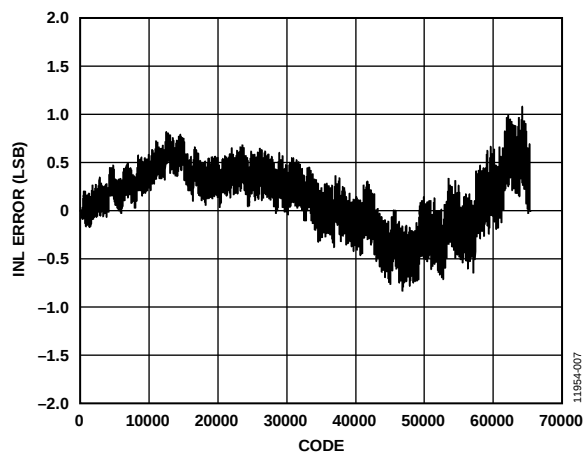


图7. AD5676R INL误差与代码的关系

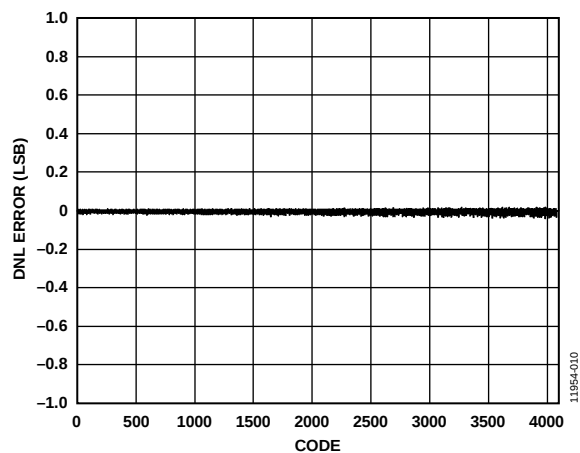


图10. AD5672R DNL误差与代码的关系

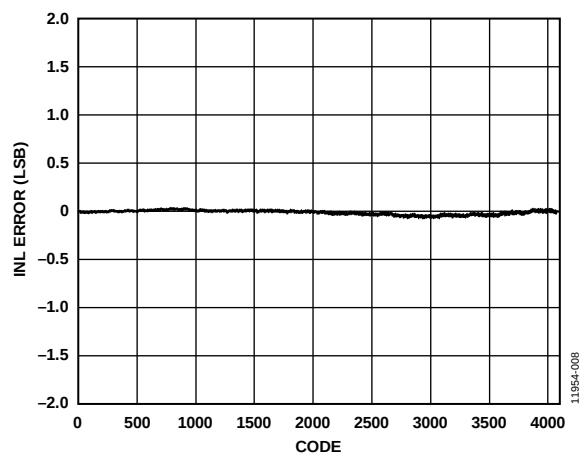


图8. ADAD5672R INL误差与代码的关系

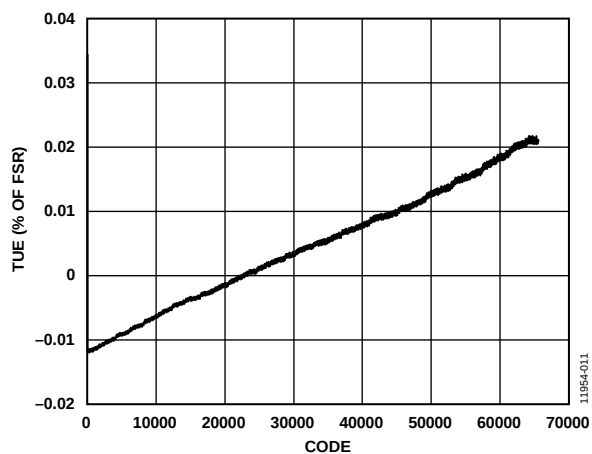


图11. AD5676R TUE与代码的关系

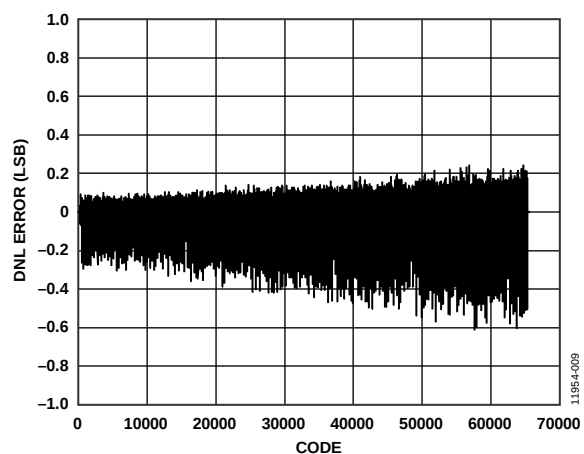


图9. AD5676R DNL误差与代码的关系

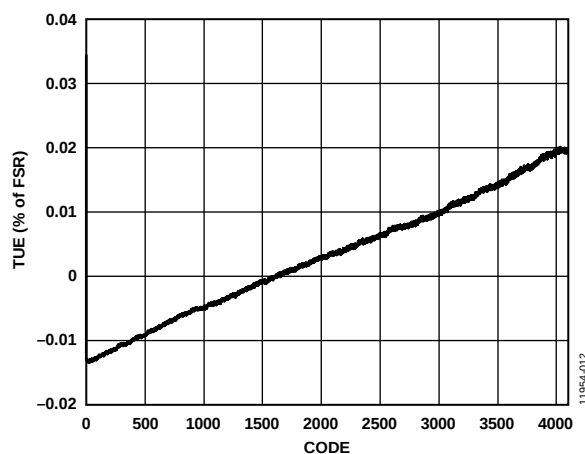


图12. AD5672R TUE与代码的关系

AD5672R/AD5676R

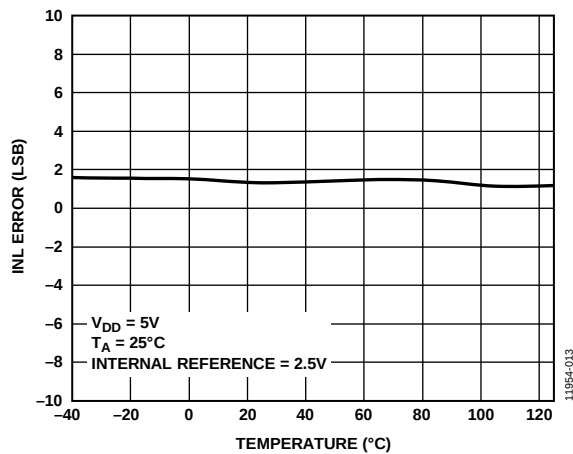


图13. AD5676R INL误差与温度的关系

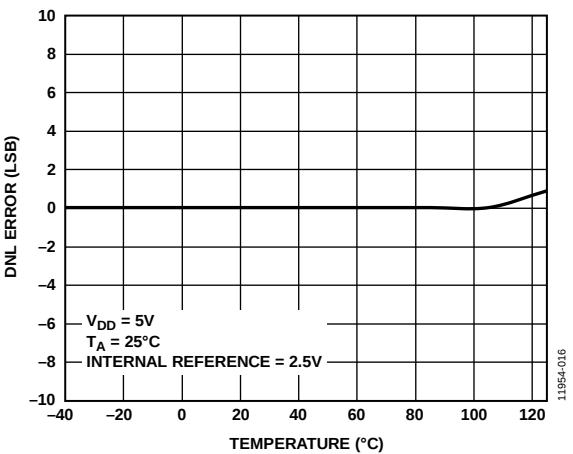


图16. AD5672R DNL误差与温度的关系

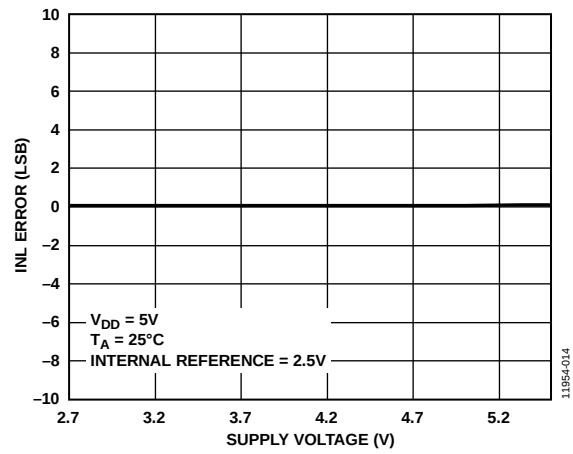


图14. AD5672R INL误差与电源电压的关系

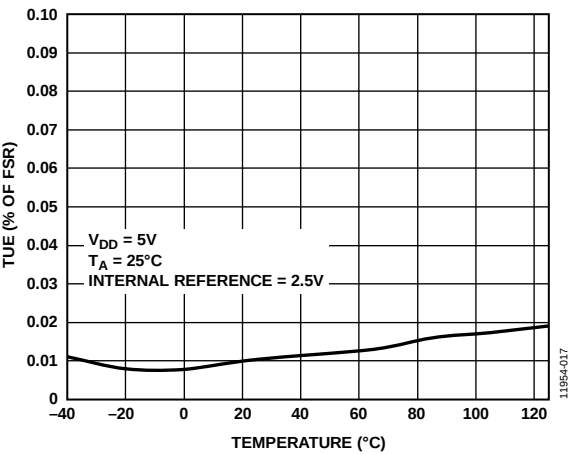


图17. AD5676R TUE与温度的关系

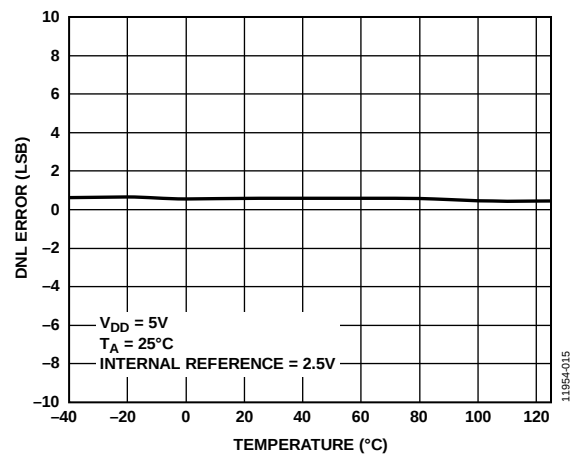


图15. AD5676R DNL误差与温度的关系

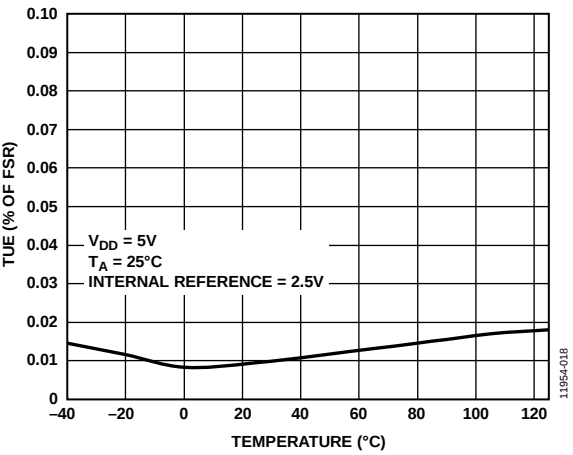


图18. AD5672R TUE与温度的关系

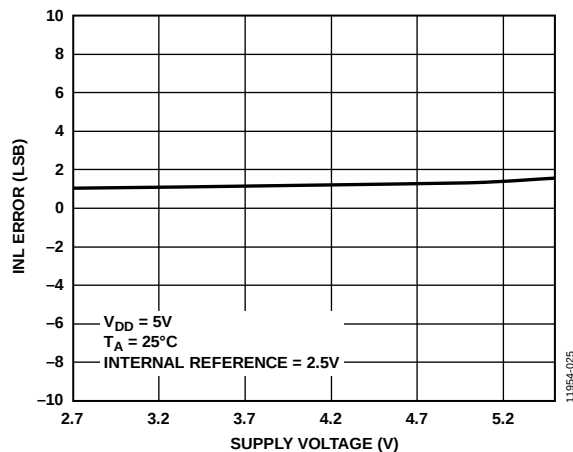


图19. AD5676R INL误差与电源电压的关系

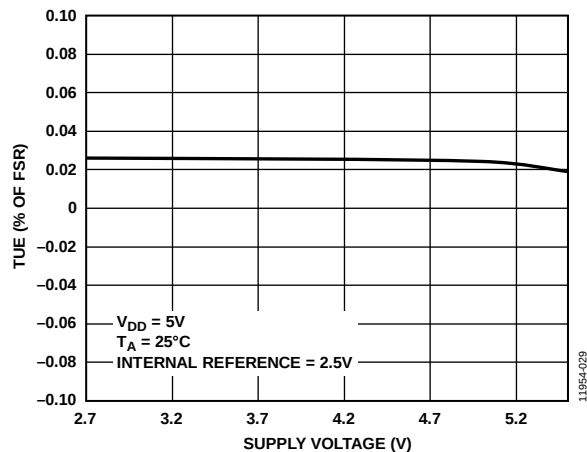


图22. AD5676R TUE与电源电压的关系

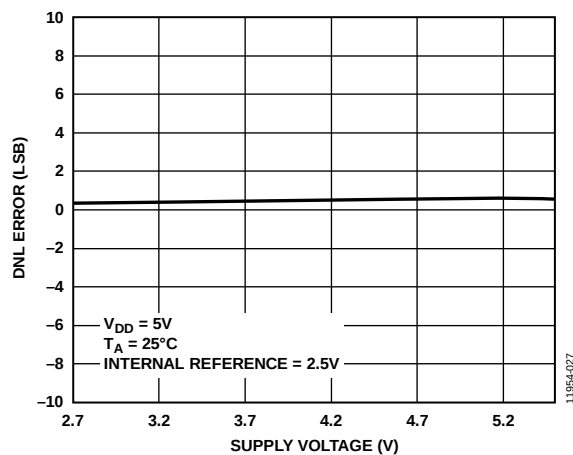


图20. AD5676R DNL误差与电源电压的关系

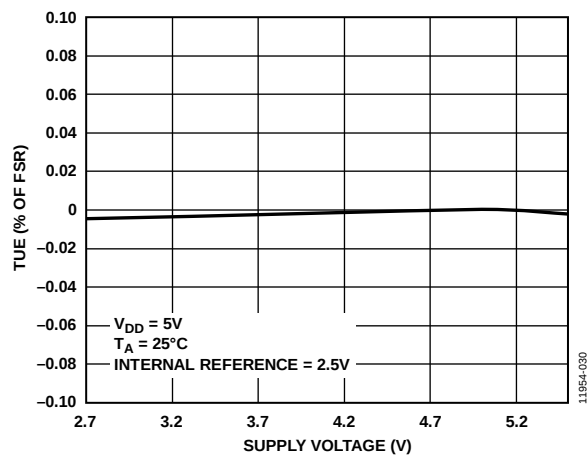


图23. AD5672R TUE与电源电压的关系

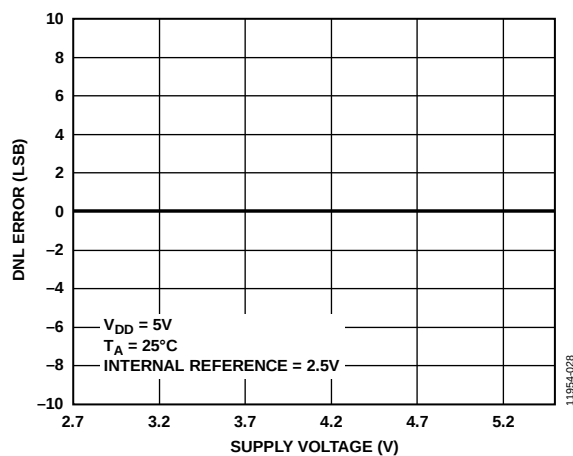


图21. AD5672R DNL误差与电源电压的关系

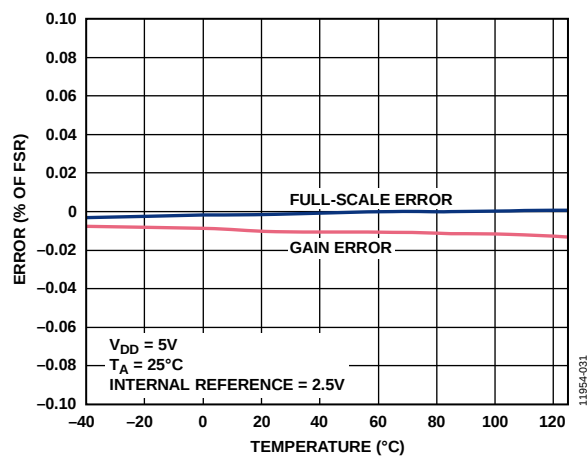


图24. AD5676R增益误差和满量程误差与温度的关系

AD5672R/AD5676R

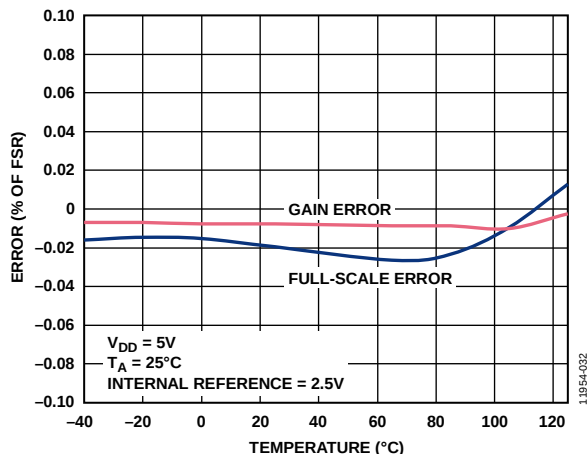


图25. AD5672R增益误差和满量程误差与温度的关系

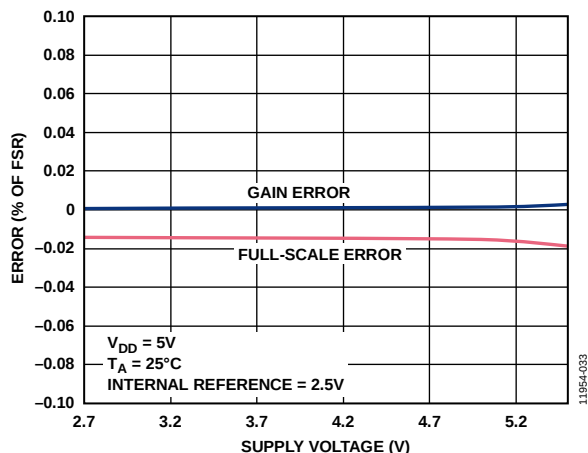


图26. AD5676R增益误差和满量程误差与电源电压的关系

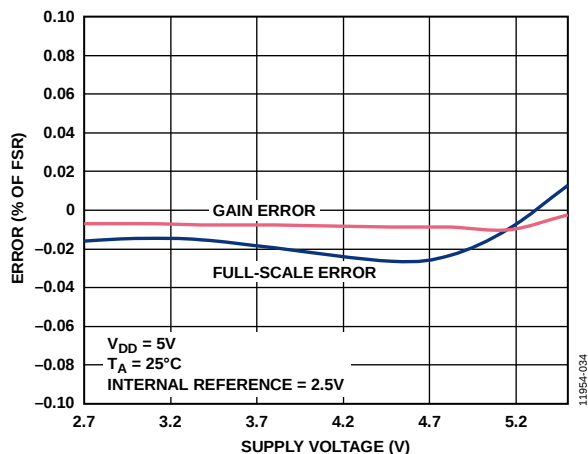


图27. AD5672R增益误差和满量程误差与电源电压的关系

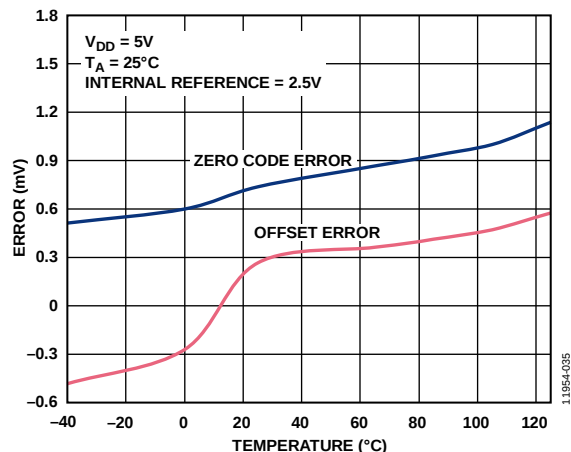


图28. AD5676R零代码误差和失调误差与温度的关系

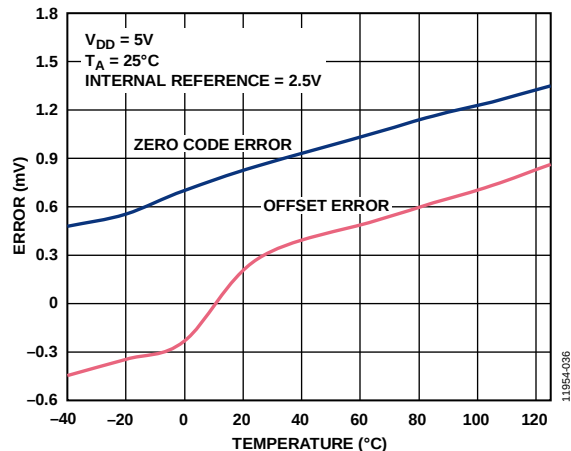


图29. AD5672R零代码误差和失调误差与温度的关系

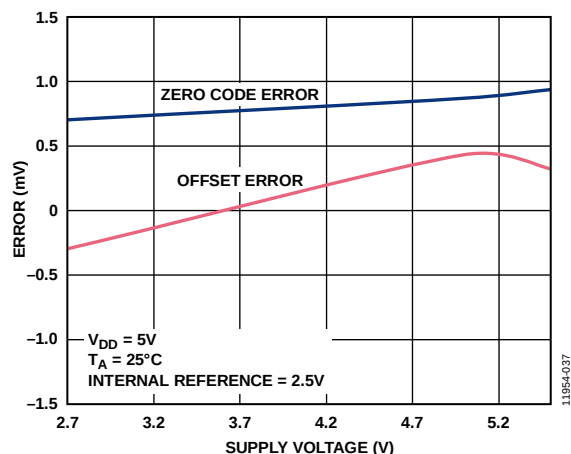


图30. AD5676R零代码误差和失调误差与电源电压的关系

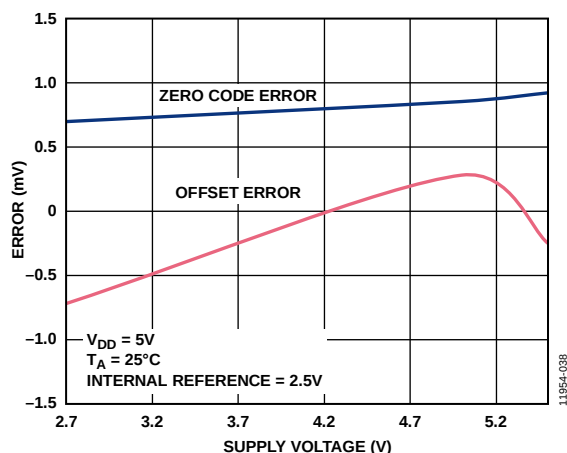


图31. AD5672R零代码误差和失调误差与电源电压的关系

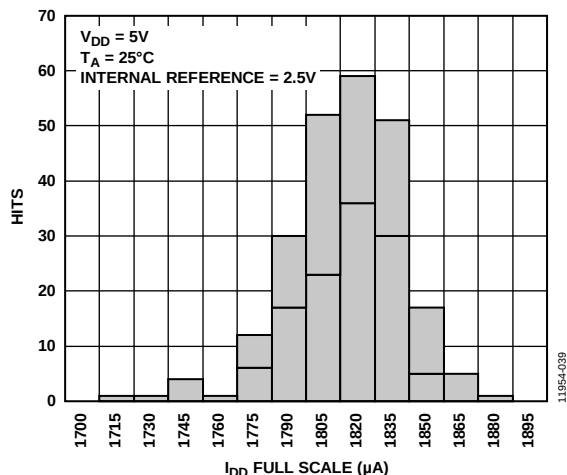
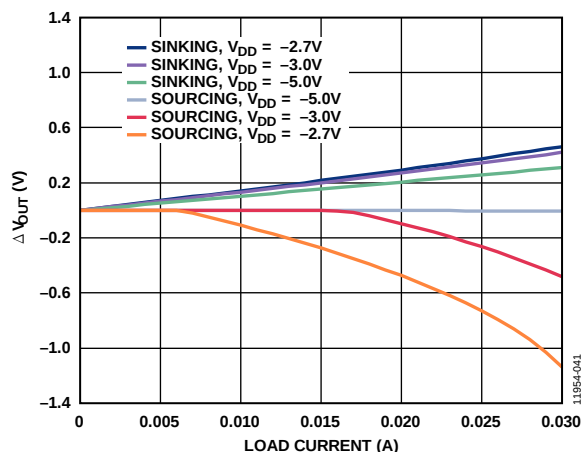
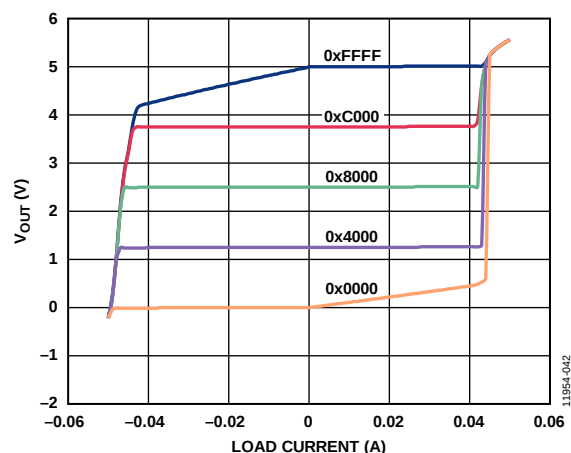
图32. 采用内部基准电压源时的电源电流(I_{DD})直方图图33. 上裕量/下裕量(ΔV_{OUT})与负载电流的关系

图34. 5 V时的源电流和吸电流能力

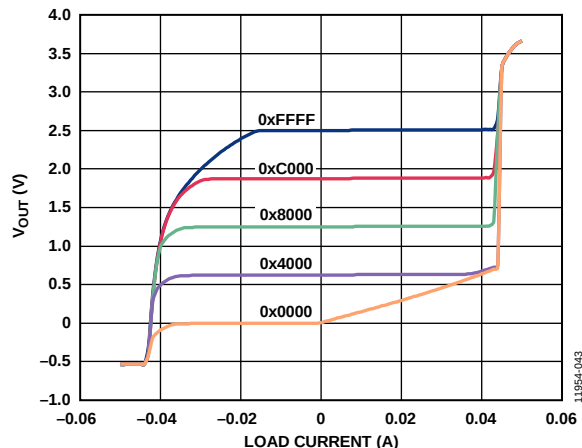
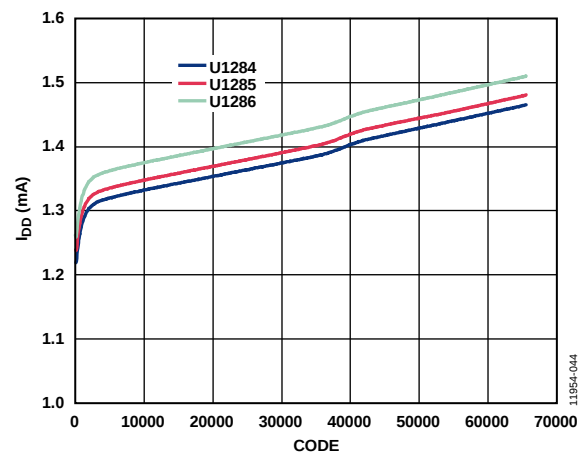


图35. 3 V时的源电流和吸电流能力

图36. 电源电流(I_{DD})与代码的关系

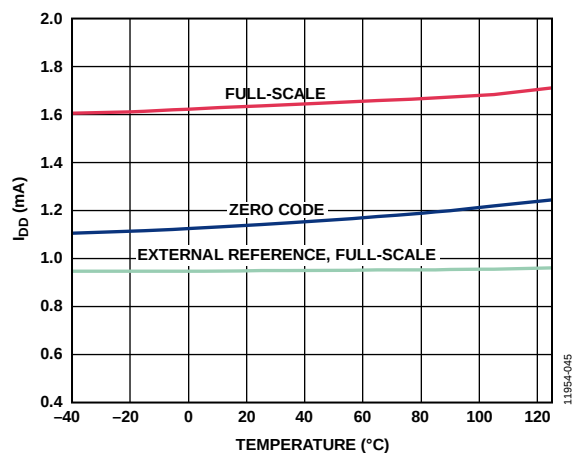


图37. 电源电流(I_{DD})与温度的关系

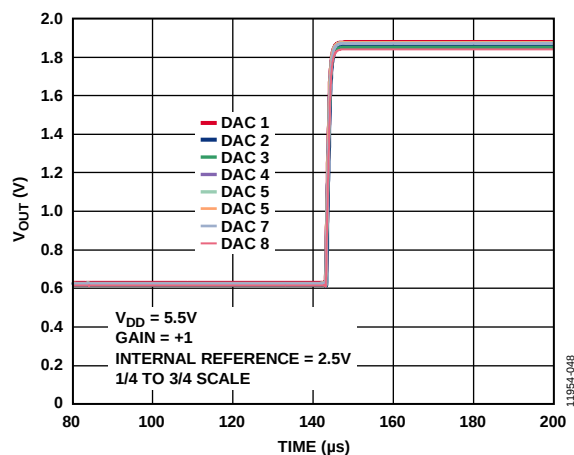


图40. 满量程建立时间

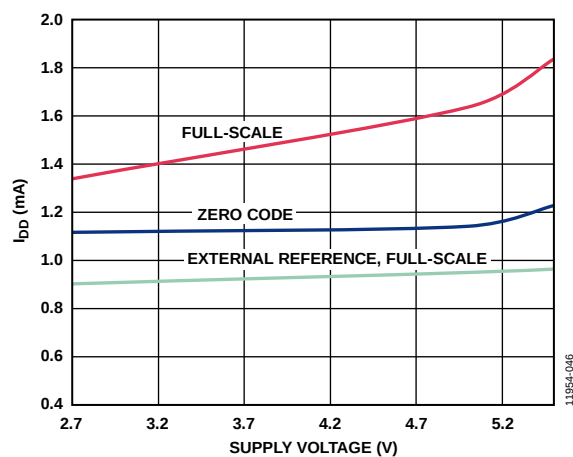


图38. 电源电流(I_{DD})与电源电压的关系

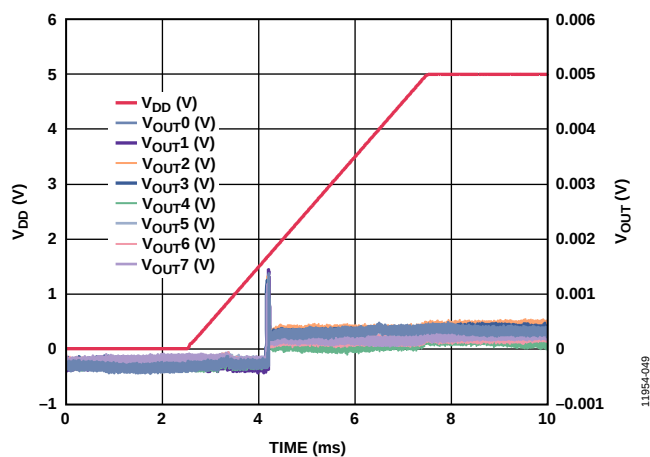


图41. 上电复位至0 V和中间电平

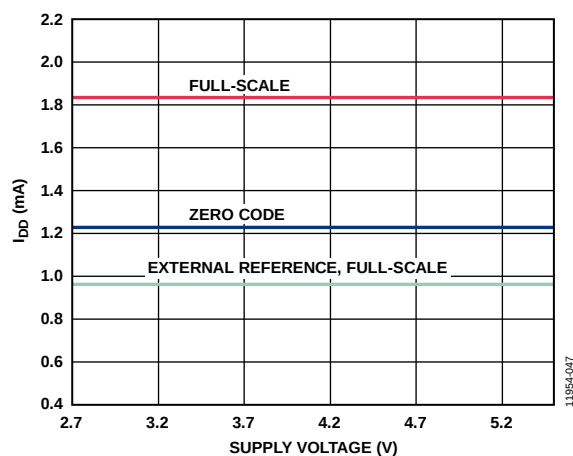


图39. 电源电流(I_{DD})与零代码和满量程的关系

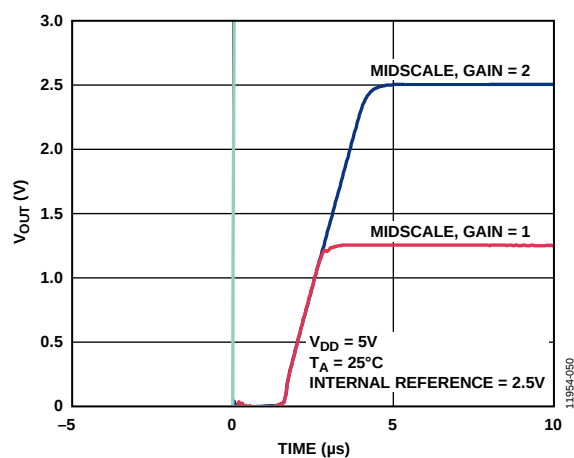


图42 退出关断模式进入中间电平

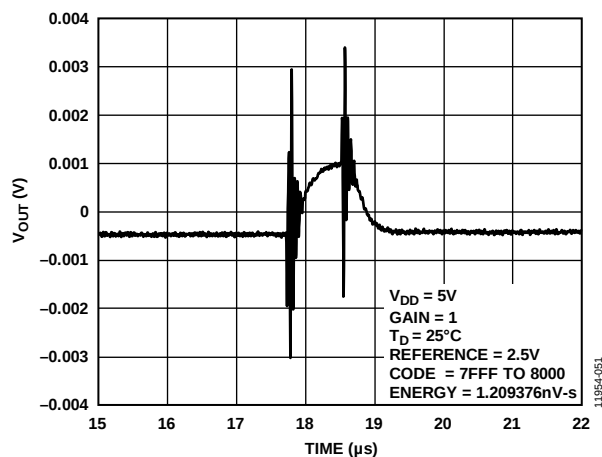


图43. 数模转换毛刺脉冲

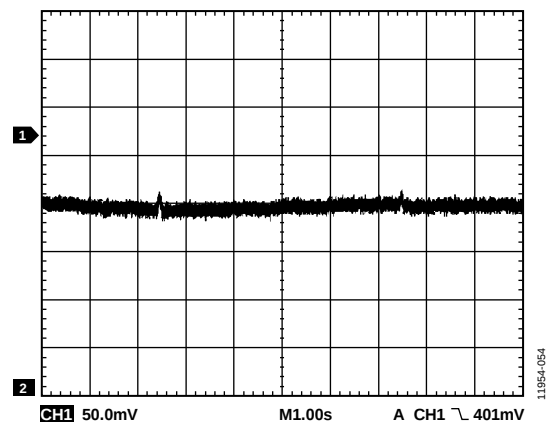


图46. 0.1 Hz至10 Hz输出噪声

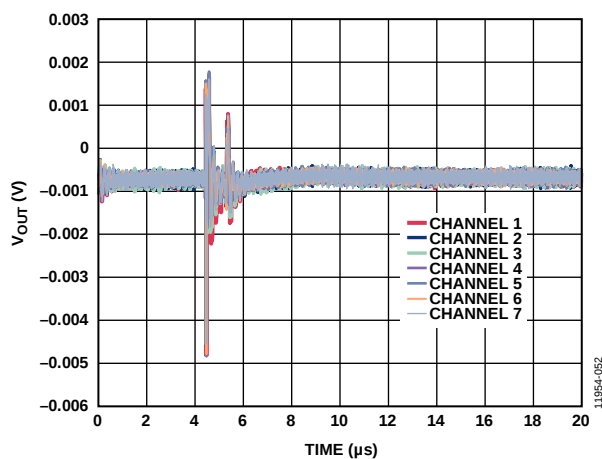


图44. 模拟串扰

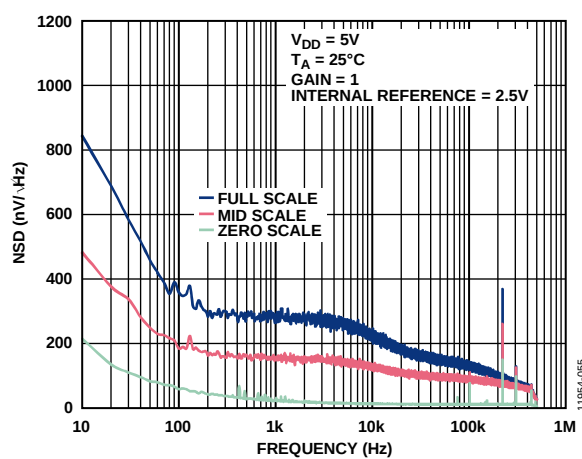


图47. 噪声频谱密度(NSD)

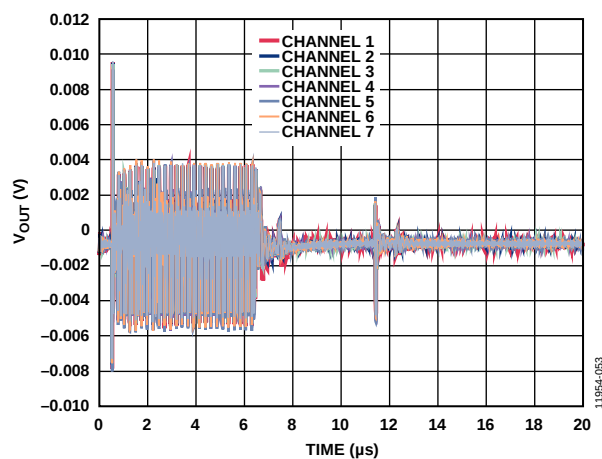


图45. DAC间串扰

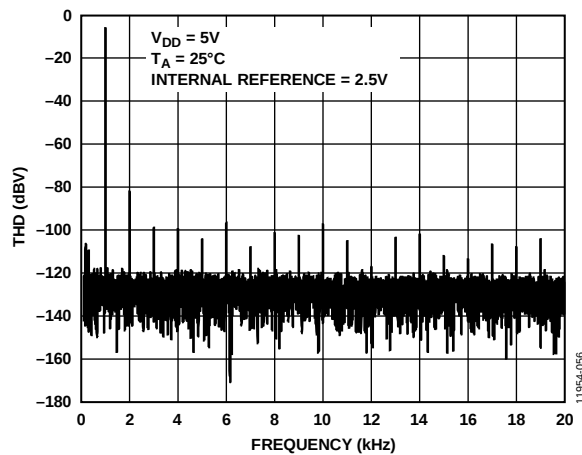


图48. 1 kHz时的总谐波失真(THD)

AD5672R/AD5676R

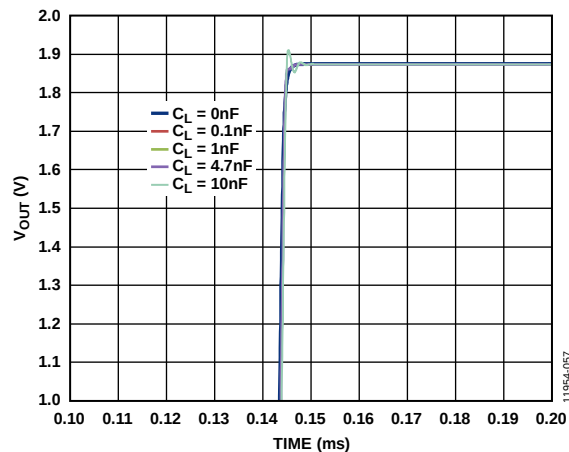


图49. 建立时间与容性负载的关系

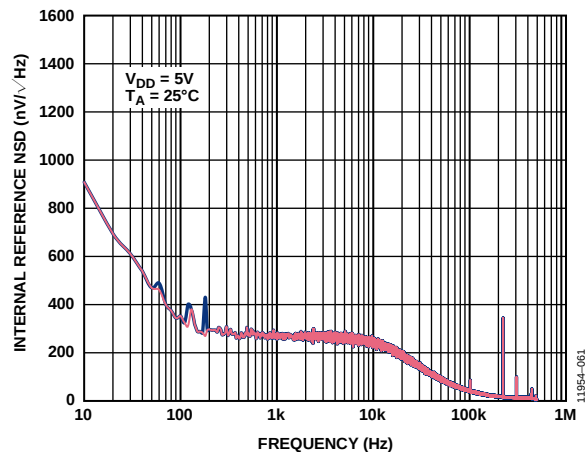


图52. 内部基准电压源NSD与频率的关系

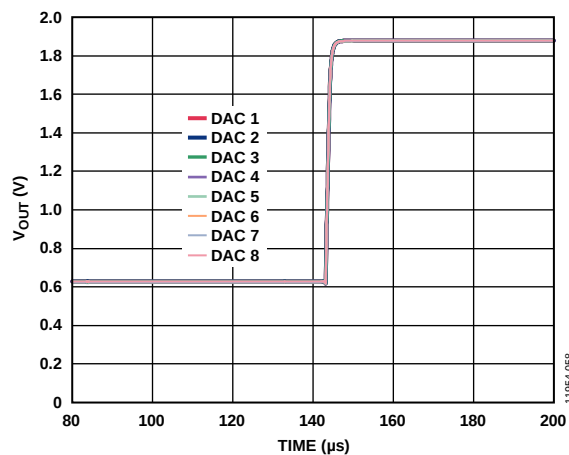


图50. 建立时间(5.5 V)

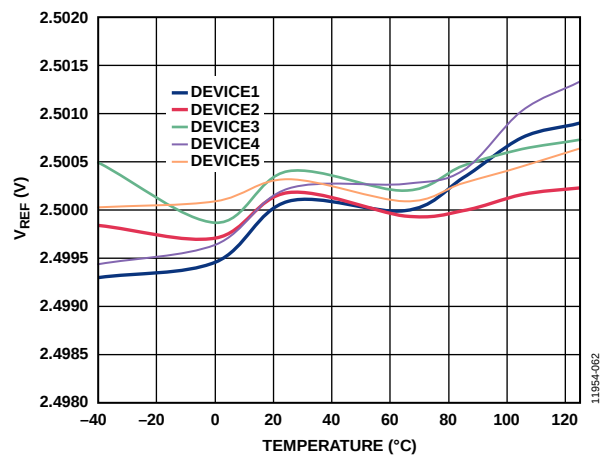


图53. 内部基准电压(V_{REF})与温度的关系 (A级)

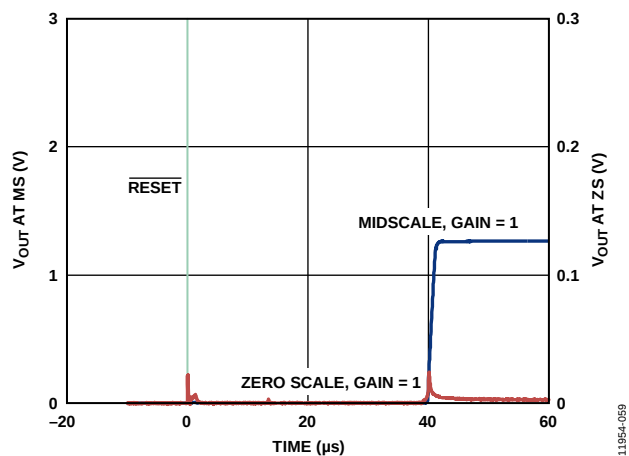


图51. 硬件复位

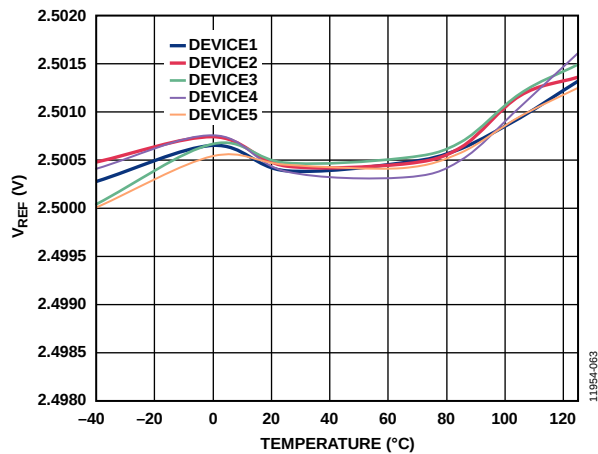


图54. 内部基准电压(V_{REF})与温度的关系 (B级)

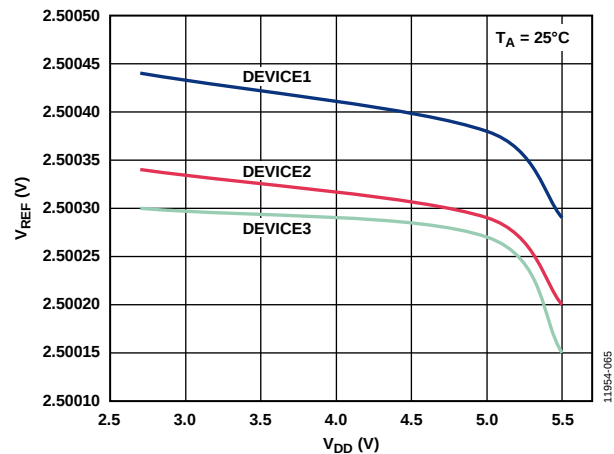


图56. 内部基准电压(V_{REF})与电源电压(V_{DD})的关系

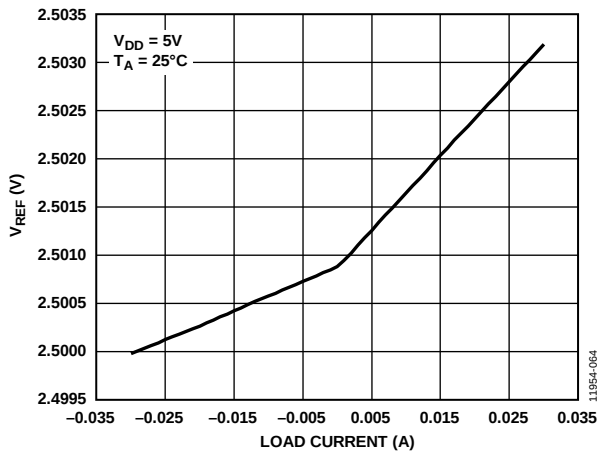


图55. 内部基准电压(V_{REF})与负载电流和电源电压(V_{DD})的关系

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。

差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定微分非线性可确保单调性。这些DAC通过设计保证单调性。

零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想输出为0 V。零编码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。

满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想输出为 $V_{DD} - 1$ LSB。满量程误差用满量程范围的百分比(% FSR)表示。

增益误差

增益误差衡量DAC的量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

偏置误差漂移

失调误差漂移衡量失调误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

失调误差

失调误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，用mV表示。失调误差是通过将代码256载入DAC寄存器测得的。该值可以为正，也可为负。

直流电源抑制比(PSRR)

直流电源抑制比表示DAC的输出受电源电压变化影响的程度。PSRR指DAC满量程输出的条件下 V_{OUT} 变化量与 V_{DD} 变化量之比，用mV/V表示。 V_{REF} 保持在2 V，而 V_{DD} 的变化范围为 $\pm 10\%$ 。

输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间。该时间从 $\overline{\text{SYNC}}$ 上升沿开始测量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB(0x7FFF至0x8000)时进行测量。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，用dB表示。

噪声频谱密度

噪声频谱密度衡量内部产生的随机噪声。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$)。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。

直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 μV 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。单位为 $\mu\text{V}/\text{mA}$ 。

数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化(全0至全1或相反)而引起的毛刺脉冲，该值在独立模式下进行测量，用nV-sec表示。

模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，它的测量方法是：先向一个DAC加载满量程代码变化(全0至全1或相反)，然后执行软件LDAC并监控数字编码未改变的DAC输出。毛刺面积用nV-sec表示。

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，其测量方法是使用写入和更新命令让一个通道发生满量程编码变化(全0到全1，或相反)，同时监控处于中间电平的一个通道的输出。毛刺的能量用nV-sec表示。

乘法带宽

乘法带宽衡量DAC内放大器的有限带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

基准电压温度系数(TC)

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，该方法将温度系数(TC)定义为基准电压输出在给定温度范围内的最大变化，用ppm/°C表示，计算公式如下：

$$TC = \left[\frac{V_{REF(MAX)} - V_{REF(MIN)}}{V_{REF(NOM)} \times Temp\ Range} \right] \times 10^6$$

其中：

$V_{REF(MAX)}$ 是在整个温度范围内测量的最大基准电压输出。

$V_{REF(MIN)}$ 是在整个温度范围内测量的最小基准电压输出。

$V_{REF(NOM)}$ 是2.5 V的标称基准输出电压。

Temp Range为额定温度范围-40°C至+125°C。

工作原理

数模转换器

AD5672R/AD5676R分别为8通道、12/16位、串行输入、电压输出DAC，内置基准电压源，采用2.7 V至5.5 V电源供电。数据通过三线式串行接口以24位字格式写入AD5672R/AD5676R。AD5672R/AD5676R内置一个上电复位电路，确保DAC输出上电至已知的输出状态。这些器件还有软件关断模式，可以将典型功耗降至1 μ A。

传递函数

内部基准电压源默认使能。

输出放大器的增益默认设置为1。可使用增益选择引脚(GAIN)将其设置为 $\times 1$ 或 $\times 2$ 。当该引脚与GND相连时，所有8个DAC的输出范围均为0 V至 V_{REF} 。如果该引脚与 V_{LOGIC} 相连，则所有8个DAC的输出范围为0 V至 $2 \times V_{REF}$ 。

DAC架构

AD5672R/AD5676R采用分段式串DAC架构，内置输出缓冲器。图57显示了内部功能框图。

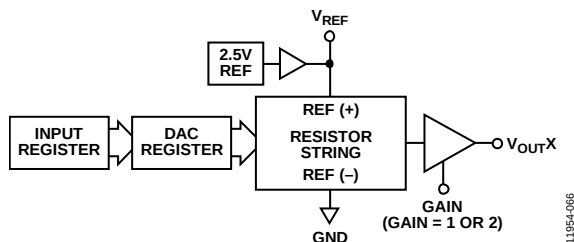


图57. DAC单通道架构框图

电阻串结构如图58所示。载入DAC寄存器的代码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将开关之一闭合并将电阻串连接到放大器。串中的各电阻具有相同的值R，因此串DAC必定是单调的。

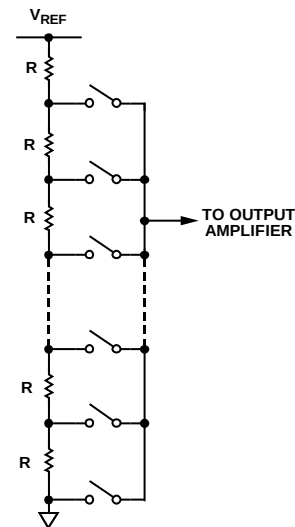


图58. 电阻串结构

内部基准电压源

AD5672R/AD5676R的片内基准电压源在上电时使能，可以通过写入控制寄存器予以禁用。详见“内部基准电压源设置”部分。

AD5672R/AD5676R内置一个2.5 V、2 ppm/°C基准电压源，满量程输出为2.5 V或5 V，具体取决于GAIN引脚的状态。器件的内部基准电压通过 V_{REFOUT} 引脚提供。该经过缓冲的基准电压源能够驱动高达15 mA的外部负载。

输出放大器

输出缓冲放大器在其输出端产生轨到轨电压，输出范围为0 V至 V_{REF} 。实际范围取决于 V_{REF} 的值、GAIN引脚、偏置误差和增益误差。GAIN引脚选择输出的增益。如果GAIN引脚连接到GND，则所有8路输出的增益均为1，且输出范围为0 V至 V_{REF} 。如果GAIN引脚连接到 V_{LOGIC} ，则所有8路输出的增益均为2，且输出范围为0 V至 $2 \times V_{REF}$ 。

它们能将并联的1 k Ω 和10 nF负载驱动至GND。压摆率为0.8 V/ μ s， $\frac{1}{4}$ 至 $\frac{3}{4}$ 量程建立时间为5 μ s。

串行接口

AD5672R/AD5676R的三线式串行接口(SYNC、SCLK和SDI)与SPI、QSPI™和MICROWIRE接口标准以及大多数DSP兼容。典型写序列的时序图参见图2。AD5672R/AD5676R带有一个SDO引脚，允许用户以菊花链形式将多个器件连接在一起(参见“菊花链操作”部分)或进行回读。

输入移位寄存器

AD5672R/AD5676R的输入移位寄存器为24位宽。数据以MSB优先方式载入(DB23)，并且前四位为命令位C3至C0(见表9)，然后是4位DAC地址A3至A0(见表10)，最后是数据字位。

AD5672R和AD5676R的数据字分别包括12位和16位输入编码，其后是4个和0个无关位(参见图59和图60)。这些数据位在SCLK的24个下降沿传送至输入寄存器，并在SYNC上升沿进行更新。

命令在个别DAC通道、DAC组合通道或所有DAC上执行，具体取决于所选的地址位。

表9. 命令定义

命令				描述
C3	C2	C1	C0	
0	0	0	0	无操作
0	0	0	1	写入输入寄存器n，其中n=1至8，取决于表10中的地址位所选择的DAC(与LDAC相关)
0	0	1	0	以输入寄存器n的内容更新DAC寄存器n
0	0	1	1	写入并更新DAC通道n
0	1	0	0	DAC关断/上电
0	1	0	1	硬件LDAC屏蔽寄存器
0	1	1	0	软件复位(上电复位)
0	1	1	1	内部基准电压源设置寄存器
1	0	0	0	设置DCEN寄存器(菊花链使能)
1	0	0	1	设置回读寄存器(回读使能)
1	0	1	0	用输入数据同时更新所有通道的输入寄存器
1	0	1	1	用输入数据同时更新所有通道的DAC寄存器和输入寄存器
1	1	0	0	保留
...	...	...	...	
1	1	1	1	保留

表10. 地址命令

通道地址[3:0]				选定的通道 ¹
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4
0	1	0	1	DAC 5
0	1	1	0	DAC 6
0	1	1	1	DAC 7

¹ 可使用地址位来选择任意组合的DAC通道。

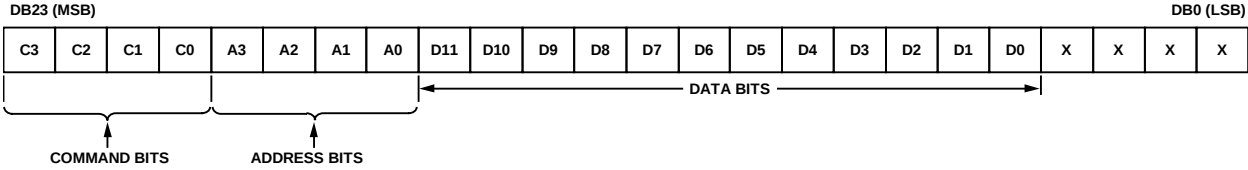


图59. AD5672R输入移位寄存器内容

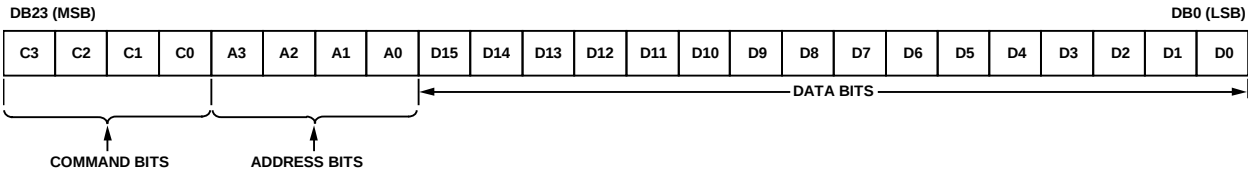


图60. AD5676R输入移位寄存器内容

AD5672R/AD5676R

独立操作

拉低SYNC线即开始写序列。来自SDI线的数据在SCLK的下降沿进入24位输入移位寄存器。输入24个数据位的最后一位后，应将SYNC拉高。接着执行编程功能，即DAC寄存器内容会根据LDAC发生变化和/或工作模式会改变。如果SYNC在第24个时钟之前变为高电平，则会被视为有效帧，进而可能向DAC中载入无效数据。必须在下一个写序列之前至少将SYNC拉高20 ns(单通道，见图2中的 t_{g})，这样才能用SYNC下降沿启动下一个写序列。在写序列之间空闲时，SYNC应处于电轨电平，以进一步降低功耗。SYNC线在24个SCLK的下降沿保持为低电平，DAC则会在SYNC的上升沿更新。

当数据传送至寻址DAC的输入寄存器后，在SYNC线为高电平时拉低LDAC，所有DAC寄存器和输出端都会更新。

写命令和更新命令

写入输入寄存器n(取决于LDAC)

命令0001允许用户逐个写入各个DAC的专用输入寄存器。当LDAC为低电平时，输入寄存器是透明的(如果不由LDAC屏蔽寄存器控制)。

以输入寄存器n的内容更新DAC寄存器n

命令0010会在DAC寄存器和输出中加载选定输入寄存器的内容并直接更新DAC输出。

写入和更新DAC通道n(与LDAC无关)

命令0011允许用户写入DAC寄存器并直接更新DAC输出。

菊花链操作

对于包含数个DAC的系统，可使用SDO引脚来将多个器件以菊花链形式连接在一起；该功能通过软件可执行菊花链使能(DCEN)命令来使能。命令1000保留用于该DCEN功能(见表9)。通过将DCEN寄存器的位DB0置1可以使能菊花链模式。默认设置为独立模式，其中DB0 = 0。表11列出了该位的状态与器件工作模式的对应关系。

表11. 菊花链使能(DCEN)寄存器

DB0	描述
0	独立模式(默认)
1	DCEN模式

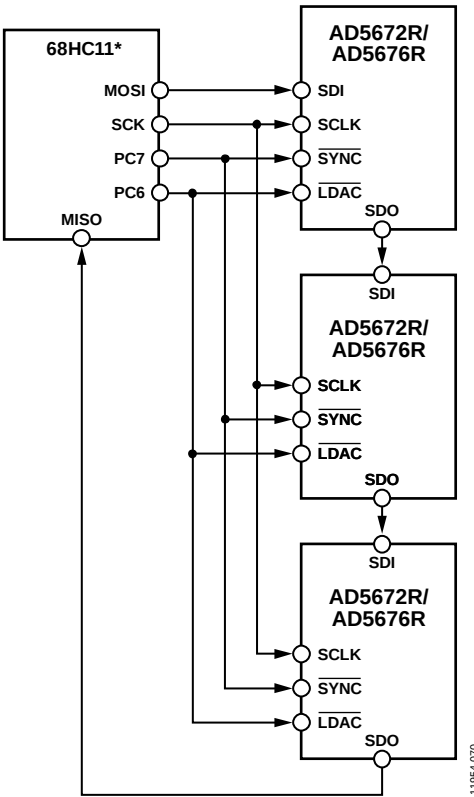


图61. 以菊花链方式连接AD5672R/AD5676R

当SYNC为低电平时，SCLK引脚不断施加到输入移位寄存器。如果施加24个以上的时钟脉冲，数据将溢出输入移位寄存器，而出现在SDO线上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。通过将该线路连接到菊花链中下一个DAC的SDI输入，即可构成菊花链接口。系统中的每个DAC都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为要更新的器件总数。如果SYNC在并非24倍数的时钟周期上变为高电平，则会被视为有效帧，进而可能向DAC中载入无效数据。当所有器件的串行传输都完成时，SYNC变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以是连续时钟或选通时钟。如果SYNC在正确的时钟周期数内保持为低电平，则使用连续的SCLK时钟源。在门控时钟模式下，应采用包含确切时钟周期数的连续时钟，在最后一个时钟周期结束后必须拉高SYNC以锁存数据。

回读操作

回读模式通过软件可执行回读命令来调用。如果通过控制寄存器中的菊花链模式禁用位禁用了SDO输出，则读操作期间会自动启用该输出，之后再次禁用。命令1001保留用于回读功能。该命令与DAC A至DAC D地址位之一配合使用来选择要读取的寄存器。注意，回读期间只能选择一个DAC寄存器。余下的三个地址位应设为逻辑0。写序列中的余下数据位都是无关位。如果选择了多个位或未选择任何位，则默认回读DAC通道0。在下一SPI写操作期间，SDO输出端的数据包含之前寻址寄存器的数据。

例如，回读通道0的DAC寄存器时，执行以下序列：

- 1. 将0x900000写入AD5672R/AD5676R输入寄存器。这会将器件配置为读取模式，同时选中通道0的DAC寄存器。注意，从DB15至DB0的所有数据位都是无关位。
- 2. 然后执行第二个写操作，写入无操作(NOP)条件0x000000。在此写入期间，来自寄存器的数据在SDO线路上逐个输出。DB23至DB20包含未定义的数据，后16位则包含DB19至DB4 DAC寄存器内容。

关断工作模式

AD5672R/AD5676R支持两种独立的关断模式。命令0100用于关断功能(见表9)。这些关断模式可通过软件编程，方法是设置输入移位寄存器中的16个位(位DB15至位DB0)。每个DAC通道对应两个位。表12列出了这两个位的状态与器件工作模式的对应关系。

通过设置相应位，可以关断任意或所有DAC(DAC A至DAC D)，使其进入选定模式。表13列出了关断/上电期间输入移位寄存器的内容。

表12. 工作模式

工作模式	PD1	PD0
正常工作	0	0
关断模式		
1 kΩ接GND	0	1
三态	1	1

当输入移位寄存器中的PD1和PD0两位均设为0时，器件正常工作，5 V时正常模式功耗为1 mA。但在两种关断模式下，5 V时电源电流典型值降至1 μA。此外，输出级从放大器输出切换为已知值的电阻网络，这是有好处的，因为在关断模式下器件的输出阻抗是已知的。有两种不同的关断选项：输出通过1 kΩ电阻内部连接到GND，或者保持开路状态(三态)。图62显示了输出级。

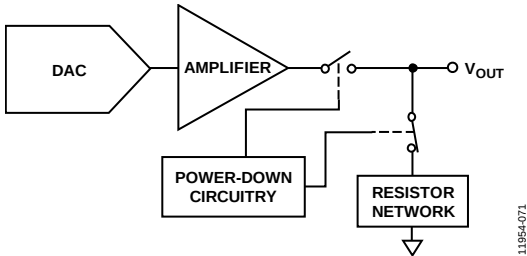


图62. 关断期间的输出级

在关断模式有效时，偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而，关断期间DAC寄存器的内容不受影响。器件处于关断模式时，DAC寄存器可以更新。当V_{DD} = 5 V时，退出关断模式所需时间通常为2.5 μs。

要进一步降低功耗，可以关闭片内基准电压源。参见“内部基准电压源设置”部分。

表13. 关断/上电操作的24位输入移位寄存器内容

			DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0
[DB23:DB20]	DB19	[DB18:DB16]	[DB15: B14]	[DB13: B12]	[DB11: B10]	[DB9:DB8]	[DB7:DB6]	[DB5:DB4]	[DB3:DB2]	[DB1:DB0]
0100	0	XXX ¹	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]

¹ X表示无关。

AD5672R/AD5676R

加载DAC(硬件LDAC引脚)

AD5672R/AD5676R DAC具有由两个寄存器库组成的双缓冲接口：输入寄存器和DAC寄存器。用户可以写入任意组合的输入寄存器。DAC寄存器更新由LDAC引脚控制。

DAC即时更新(LDAC保持低电平)

利用命令0001将数据输入输入寄存器时，LDAC保持低电平。被寻址的输入寄存器和DAC寄存器均会在SYNC的上升沿更新，并且输出开始发生变化(见表15)。

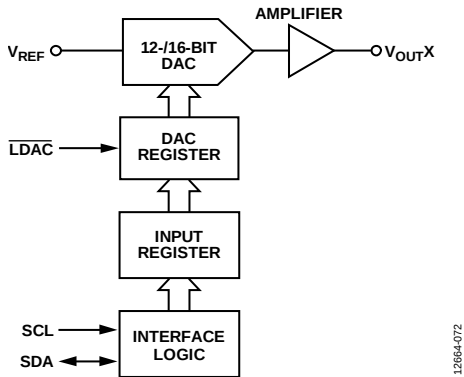


图63. 单个DAC的输入加载电路示意图

DAC迟延更新(LDAC变为低电平)

利用命令0001将数据输入输入寄存器时，LDAC保持高电平。在SYNC变为高电平后通过拉低LDAC，异步更新所有DAC输出。此时在LDAC的下降沿进行更新。

LDAC屏蔽寄存器

命令0101保留用于该软件LDAC功能。地址位被忽略。使用命令0101写入DAC将加载4位LDAC寄存器(DB3至DB0)。各通道的默认值为0，即LDAC引脚正常工作。将这些位设为1时，可强制该DAC通道忽略LDAC引脚上发生的高低跃迁，不管硬件LDAC引脚的状态如何。在用户希望选择由哪个通道来响应LDAC引脚的应用中，这种灵活性非常有用。

利用LDAC寄存器，用户可以更加灵活地控制硬件LDAC引脚(见表14)。如果将某一DAC通道的LDAC位(DB0至DB3)设为0，则意味着该通道的更新受硬件LDAC引脚的控制。

表14. LDAC覆写定义

加载LDAC寄存器		LDAC操作
LDAC位(DB3至DB0)	LDAC引脚	
0000	1 或 0	由LDAC引脚决定。
1111	X ¹	DAC通道更新并覆盖LDAC引脚。DAC通道视LDAC为1。

¹ X表示无关。

表15. 写命令和LDAC引脚真值表¹

命令	描述	硬件LDAC引脚状态	输入寄存器内容	DAC寄存器内容
0001	写入输入寄存器n (取决于LDAC)	V _{LOGIC} GND ²	数据更新 数据更新	无变化(无更新) 数据更新
0010	以输入寄存器n的内容 更新DAC寄存器n	V _{LOGIC} GND	无变化 无变化	用输入寄存器内容更新 用输入寄存器内容更新
0011	写入并更新DAC通道n	V _{LOGIC} GND	数据更新 数据更新	数据更新 数据更新

¹ 当硬件LDAC引脚上发生高电平至低电平转换时，始终会以LDAC屏蔽寄存器未屏蔽(阻止)的通道上输入寄存器的内容来更新DAC寄存器的内容。

² 当LDAC永久接为低电平时，LDAC屏蔽位会被忽略。

硬件复位(RESET)

RESET引脚是低电平有效复位引脚，可用于将输出清零至零电平或中间电平。用户可通过RESET选择引脚来选择清零代码值。RESET引脚必须至少保持一定时间(见表5)的低电平才能完成该操作。当RESET信号变回高电平后，输出会保持为清零值，直到设置新值。当RESET引脚为低电平时，无法用新值更新输出。还有一个软件可执行的复位功能，它可将DAC复位至上电复位代码。命令0110用于该软件复位功能(见表9)。上电复位期间，LDAC或RESET引脚上的所有事件都会被忽略。

复位选择引脚(RSTSEL)

AD5672R/AD5676R具有上电复位电路，可以在上电时控制输出电压。通过将RSTSEL引脚与低电平相连，输出会上电至零电平。请注意，这在DAC的线性区域之外；通过将RSTSEL引脚与高电平相连，VOUTx会上电至中间电平。输出一直保持该电平，直到对DAC执行有效的写序列。

内部基准电压源设置

片内基准电压源在上电时默认开启。要降低功耗，可通过设置控制寄存器中的软件可编程位DB0来关闭此基准电压源。表16列出了该位的状态与工作模式的对应关系。命令0111用于内部基准电压源的设置(参见表9)。表16列出了内部基准电压源设置期间输入移位寄存器中各位的状态与器件工作模式的对应关系。

表16. 基准电压源设置寄存器

内部基准电压源设置寄存器(DB0)	操作
0	基准电压源开启(默认)
1	基准电压源关闭

表17. 内部基准电压源设置命令的24位输入移位寄存器内容¹

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB1	DB0 (LSB)
0	1	1	1	X	X	X	X	X	1/0
命令位(C3至C0)				地址位(A3至A0)				无关	基准电压源设置寄存器

¹ X表示无关。

回流焊

与所有IC基准电压电路一样，基准电压值存在焊接工艺引入的偏移。ADI公司执行称为预调理的可靠性测试，以最大程度地减少将器件焊接到电路板而造成的影响。上文引用的输出电压规格包含此可靠性测试的影响。

图64显示了通过可靠性测试(预调理)测得的回流焊(SHR)影响。

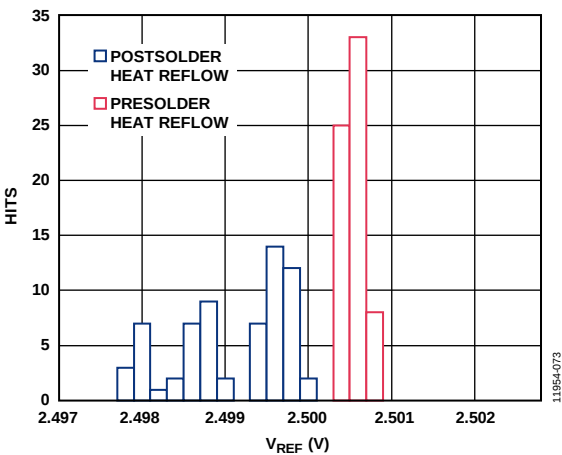


图64. 焊接热回流基准电压偏移

长期温度漂移

图65显示在150℃下经过1000小时使用寿命测试后VREF值的变化情况。

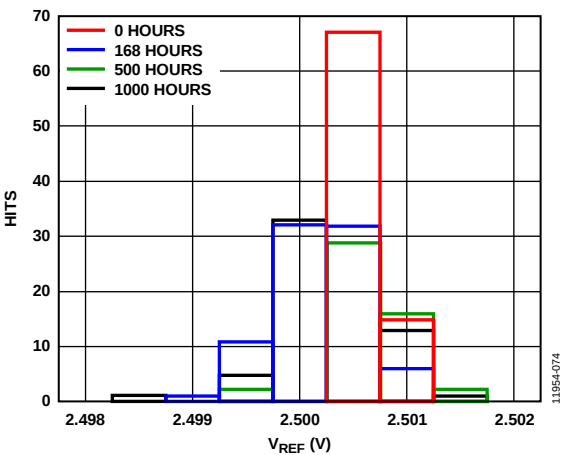


图65. 1000小时后的基准电压漂移

AD5672R/AD5676R

热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。

热滞数据如图66所示。其测量条件是从环境温度变为-40℃，然后变为+125℃，再回到环境温度。然后，测得两次环境温度下测量结果之间的偏差 V_{REF} ，如图66中的蓝色部分所示。接着，立即重复相同的温度切换和测量，其结果如图66中的红色部分所示。

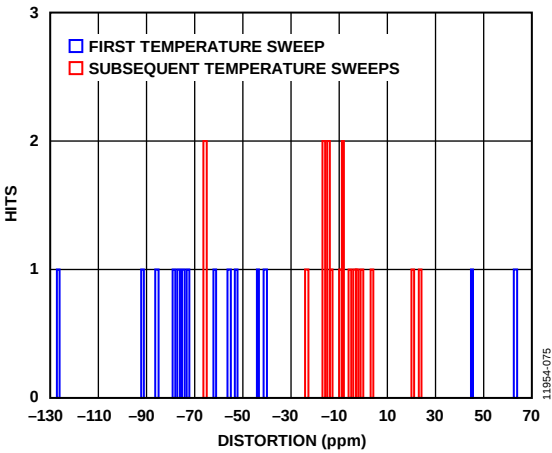


图66. 热滞

应用信息

电源建议

AD5672R/AD5676R通常由以下电源供电： $V_{DD} = 3.3\text{ V}$ 和 $V_{LOGIC} = 1.8\text{ V}$ 。

ADP7118可用来为 V_{DD} 引脚供电。ADP160可用来为 V_{LOGIC} 引脚供电。该设置如图67所示。ADP7118可采用最高20 V的输入电压工作。ADP160可采用最高5.5 V的输入电压工作。

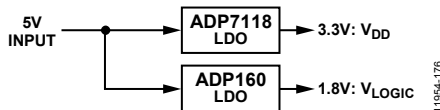


图67. AD5672R/AD5676R的低噪声电源解决方案

微处理器接口

AD5672R/AD5676R的微处理器接口是通过串行总线实现的，使用与DSP处理器和微控制器兼容的标准协议。通信通道需要一个三线或四线接口，该接口包含一个时钟信号、一个数据信号和一个同步信号。这些器件需要24位数据字，数据在SYNC的上升沿有效。

AD5672R/AD5676R与ADSP-BF531的接口

AD5672R/AD5676R的SPI接口能够轻松连接到业界标准DSP和微控制器。图68显示AD5672R/AD5676R连接到ADI公司的Blackfin® DSP。该Blackfin处理器集成了一个SPI端口，可直接与AD5672R/AD5676R的SPI引脚相连。

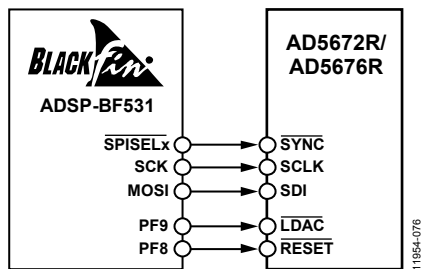


图68. ADSP-BF531接口

AD5672R/AD5676R与SPORT的接口

ADI公司的ADSP-BF527有一个SPORT串行端口。图69显示如何利用一个SPORT接口来控制AD5672R/AD5676R。

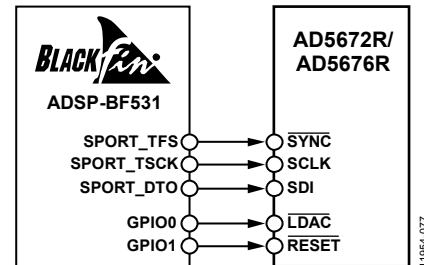


图69. SPORT接口

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5672R/AD5676R所用的印刷电路板(PCB)应经过专门设计，使其<http://www.analog.com/AD5697R?scr=AD5697R.pdf>位于模拟平面。

AD5672R/AD5676R必须具有足够大的10 μF 电源旁路电容，与每个电源上的0.1 μF 电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF 电容应为钽珠型电容。0.1 μF 电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

可以扩大器件上的GND平面(如图70所示)，以提供自然散热效应。

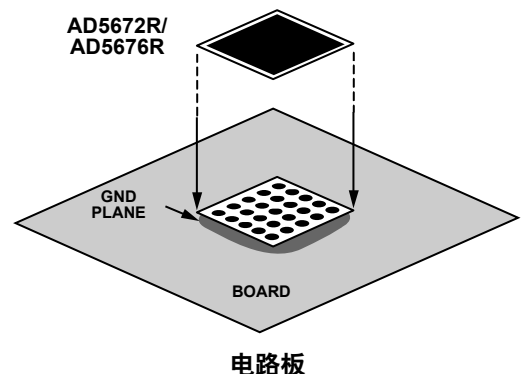
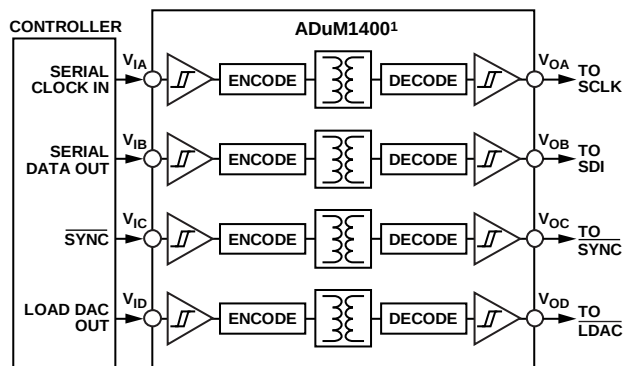


图70. 焊盘与电路板的连接

AD5672R/AD5676R

电流隔离接口

在很多过程控制应用中，都需要在控制器和被控制单元之间放置一个隔离栅，以保护和隔离控制电路，防止危险的共模电压破坏电路。ADI公司的iCoupler®产品可隔离高于2.5 kV的电压。AD5672R/AD5676R具有串行负载结构，其接口线保持在最低数量，因此非常适合做隔离接口。图71显示使用ADuM1400¹与AD5672R/AD5676R的4通道隔离接口。欲了解更多信息，请访问<http://www.analog.com/icoupler>。

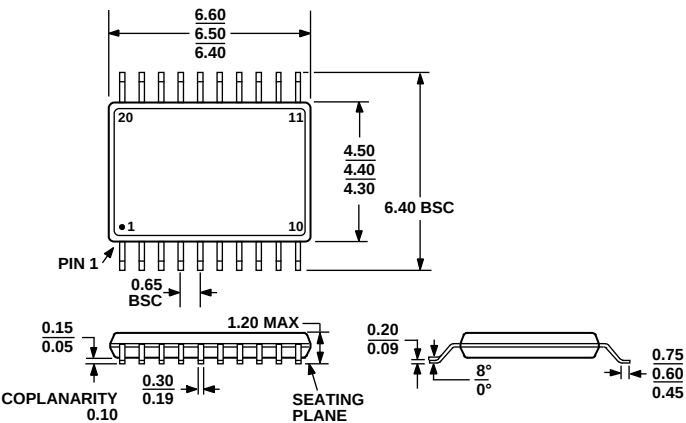


¹为清楚起见略去其它引脚。

图71. 隔离接口

11954-079

外形尺寸



符合JEDEC标准MO-153-AC

图72. 20引脚超薄紧缩小型封装[TSSOP]
(RU-20)

图示尺寸单位: mm

订购指南

型号 ¹	分辨率	温度范围	精度	基准源温度系数(ppm/°C)	封装描述	封装选项
AD5672RBRUZ	12位	−40°C至+125°C	±1 LSB INL	2(典型值)	20引脚 TSSOP	RU-20
AD5672RBRUZ-REEL7	12位	−40°C至+125°C	±1 LSB INL	2(典型值)	20引脚 TSSOP	RU-20
AD5676RARUZ	16位	−40°C至+125°C	±8 LSB INL	5(典型值)	20引脚 TSSOP	RU-20
AD5676RARUZ-REEL7	16位	−40°C至+125°C	±8 LSB INL	5(典型值)	20引脚 TSSOP	RU-20
AD5676RBRUZ	16位	−40°C至+125°C	±3 LSB INL	2(典型值)	20引脚 TSSOP	RU-20
AD5676RBRUZ-REEL7	16位	−40°C至+125°C	±3 LSB INL	2(典型值)	20引脚 TSSOP	RU-20
EVAL-AD5676RSDZ	16位				AD5676R评估板	

¹ Z = 符合RoHS标准的器件。

¹²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。