

双通道 2 A 高速、低边栅极驱动器

FAN3226, FAN3227, FAN3228, FAN3229

说明

FAN3226–29 系列双通道 2 A 栅极驱动器设计为通过在短开关闭间隔内提供高峰值电流脉冲，驱动低边开关应用中的 N 沟道增强 MOSFET。驱动器可提供 TTL 或 CMOS 输入阈值。内部电路可使输出保持低电平状态，直到电源电压进入工作范围，从而提供欠压闭锁功能。此外，此类驱动器在 A 和 B 通道之间提供了匹配的内部传播延迟，适用于要求具有严格计时的双门驱动应用，如同步整流器。这样可并联两个驱动器，从而有效地使驱动单 MOSFET 的电流能力增加一倍。

FAN322X 驱动器内置用于最终输出级的 MillerDrive™ 架构。这一双极 MOSFET 组合可在 MOSFET 开/关过程的米勒平台效应电场期间提供高电流，以最大限度地减少开关损耗，同时提供轨到轨电压摆幅和反向电流能力。

FAN3226 配有两个反相驱动器，而 FAN3227 配有两个同相驱动器。每个器件都具有双独立使能引脚，而且如果未连接的话，默认为“开启”。在 FAN3228 和 FAN3229 中，各通道具有极性相反的双通道输入，允许通过使用第二输入的可选使能功能配置为同相或反相。如果一个或两个输入端均未连接，则内部电阻会偏置输入端，以便将输出端拉至低电平，以保持功率 MOSFET 关断。

特性

- 业界标准引脚排列
- 4.5 V 到 18 V 工作电压范围
- 3 A 峰值灌电流/源电流，需 $V_{DD} = 12\text{ V}$
- 2.4 A 灌电流/1.6 A 源电流，需 $V_{OUT} = 6\text{ V}$
- 可选择 TTL 或 CMOS 输入阈值
- 双独立驱动器的四个版本：
 - ◆ 双通道反相 + 使能 (FAN3226)
 - ◆ 双通道同相 + 使能 (FAN3227)
 - ◆ 双输入，具有两种引脚输出配置：
 - 兼容 FAN3225x (FAN3228)
 - 兼容 TPS2814D (FAN3229)
- 无输入时内部电阻关闭驱动器
- MillerDrive 技术
- 1 nF 负载时具有 12 ns/9 ns (典型值) 的上升/下降时间
- 20 ns 典型传输延迟，1 ns 内匹配到另一通道
- 并联使用通道可使电流能力增加一倍
- 8 引脚 3x3 毫米 MLP 或 8 引脚 SOIC 封装
- 额定环境温度为 -40°C 到 $+125^{\circ}\text{C}$



ON Semiconductor®

www.onsemi.cn

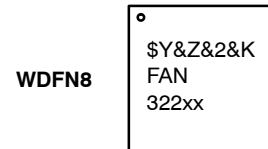


WDFN8 3x3, 0.65P
CASE 511CD



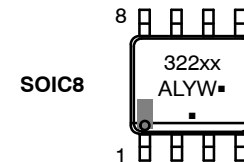
SOIC8
CASE 751EB

MARKING DIAGRAMS



WDFN8

\$Y = ON Semiconductor Logo
&Z = Assembly Location
&2 = Data Code (Year & Week)
&K = Lot Code



SOIC8

A = Assembly Location
L = Wafer Lot
YW = Assembly Start Week
▪ = Pb-Free Package

(Note: Microdot may be in either location)

ORDERING INFORMATION

See detailed ordering and shipping information on page 20 of this data sheet.

应用

- 开关电源
- 高效 MOSFET 开关
- 同步整流电路
- DC-DC 转换器
- 电机控制
- 服务器

FAN3226, FAN3227, FAN3228, FAN3229

引脚布局

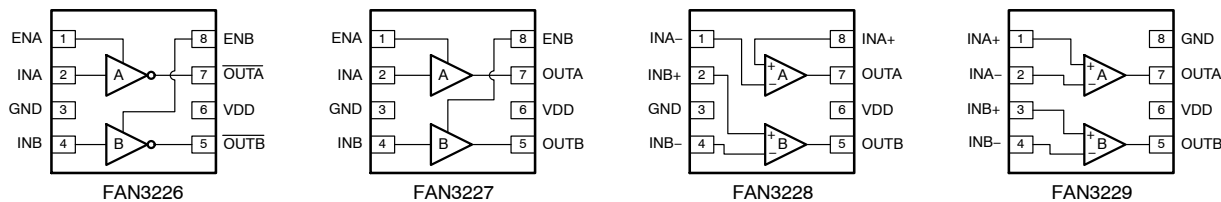


图 1. 引脚布局

封装外形

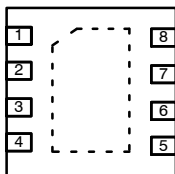


图 2. 3x3 mm MLP-8 (俯视图)

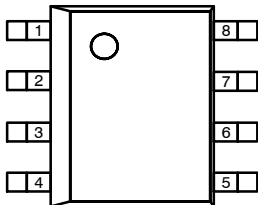


图 3. SOIC-8 (俯视图)

热特性 (Note 1)

封装	θ_{JL} (Note 2)	θ_{JT} (Note 3)	θ_{JA} (Note 4)	Ψ_{JB} (Note 5)	Ψ_{JT} (Note 6)	单位
8 引脚, 3x3 mm 模塑无铅封装 (MLP)	1.6	68	43	3.5	0.8	°C/W
8 引脚, 小尺寸集成电路 (SOIC)	40	31	89	43	3.0	°C/W

- 估计值来自于热模拟实验；实际值取决于实际应用。
- θ_{JL} (θ_{JL}): 半导体结与焊接在 PCB 板上的所有引脚(包括所有的散热盘)底层之间的热电阻。
- θ_{JT} (θ_{JT}): 假定顶层散热器能够保持其温度恒定时, 半导体结与封装顶层之间的热电阻。
- θ_{JA} (θ_{JA}): 半导体结与外界环境之间的热电阻, 阻值取决于 PCB 设计、散热器和气流。给定值对应无散热器的自然对流条件, 在适用的 JEDEC 标准 JESD51-2、JESD51-5 和 JESD51-7 中给出了有关的详细说明。
- Ψ_{JB} (Ψ_{JB}): 热特性参数, 表示在说明4中定义的热环境下半导体结温与应用电路板参考点之间的相关性。对于 MLP-8 封装, 电路板参考被定义为与散热盘相连接、从封装的任意一端延伸出的 PCB 覆铜。对于 SOIC-8 封装, 电路板参考被定义为与引脚 6 相毗邻的 PCB 覆铜。
- Ψ_{JT} (Ψ_{JT}): 热特性参数, 表示在说明4中定义的热环境下半导体结温与封装顶部中心之间的相关性。

FAN3226, FAN3227, FAN3228, FAN3229

引脚说明

名称	引脚描述
ENA	通道 A 的使能输入端。将引脚拉至低电平以禁用驱动器 A。ENA 具有 TTL 阈值 (对于 TTL 和 CMOS INx 阈值)。
ENB	通道 B 的使能输入端。将引脚拉至低电平以禁用驱动器 B。ENB 具有 TTL 阈值 (对于 TTL 和 CMOS INx 阈值)。
GND	接地。输入与输出电路的公共参考地。
INA	通道 A 的输入端。
INA+	通道 A 的同相输入端。与 V _{DD} 连接时使能输出。
INA-	通道 A 的反相输入端。与 GND 连接时使能输出。
INB	通道 B 的输入端。
INB+	通道 B 的同相输入端。与 V _{DD} 连接时使能输出。
INB-	通道 B 的反相输入端。与 GND 连接时使能输出。
OUTA	栅极驱动输出端 A: 保持低电平, 除非出现所需输入端且 V _{DD} 高于 UVLO 阈值。
OUTB	栅极驱动输出端 B: 保持低电平, 除非出现所需输入端且 V _{DD} 高于 UVLO 阈值。
$\overline{\text{OUTA}}$	栅极驱动输出端 A (从输入端反相): 保持低电平, 除非出现所需输入端且 V _{DD} 高于 UVLO 阈值。
$\overline{\text{OUTB}}$	栅极驱动输出端 B (从输入端反相): 保持低电平, 除非出现所需输入端且 V _{DD} 高于 UVLO 阈值。
P1	散热盘端 (仅限于 MLP 封装)。封装底部外露金属; 可以悬浮或与 GND 连接; 不适合承载电流。
VDD	电源电压端。IC 的供电电源。

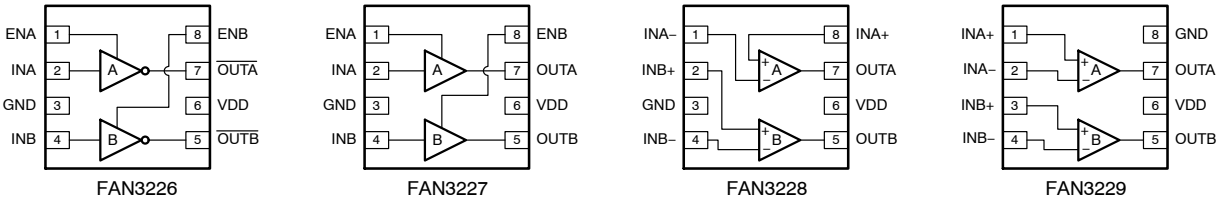


图 4. 引脚布局 (重复)

输出逻辑

FAN3226 (x = A 或 B)		
ENx	INx	$\overline{\text{OUTx}}$
0	0	0
0	1 (Note 7)	0
1 (Note 7)	0	1
1 (Note 7)	1 (Note 7)	0

FAN3228 & FAN3229 (x = A 或 B)		
INx+	INx-	OUTx
0 (Note 7)	0	0
0 (Note 7)	1 (Note 7)	0
1	0	1
1	1 (Note 7)	0

FAN3227 (x = A 或 B)		
ENx	INx	OUTx
0	0 (Note 7)	0
0	1	0
1 (Note 7)	0 (Note 7)	0
1 (Note 7)	1	1

7. 如果没有外部接线时的缺省输入信号。

FAN3226, FAN3227, FAN3228, FAN3229

框图

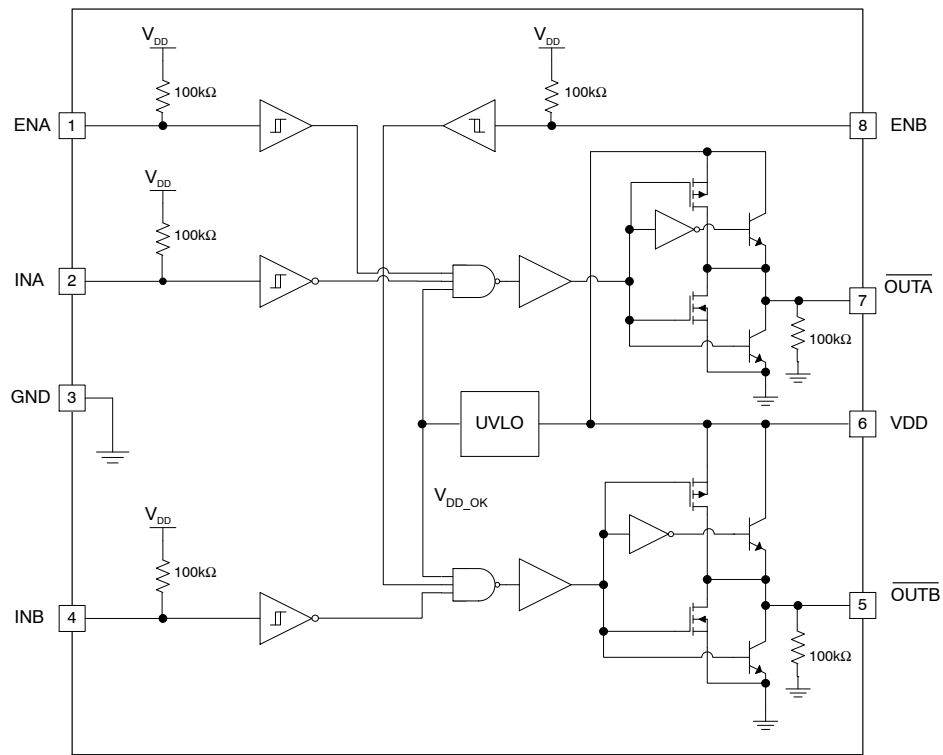


图 5. FAN3226 框图

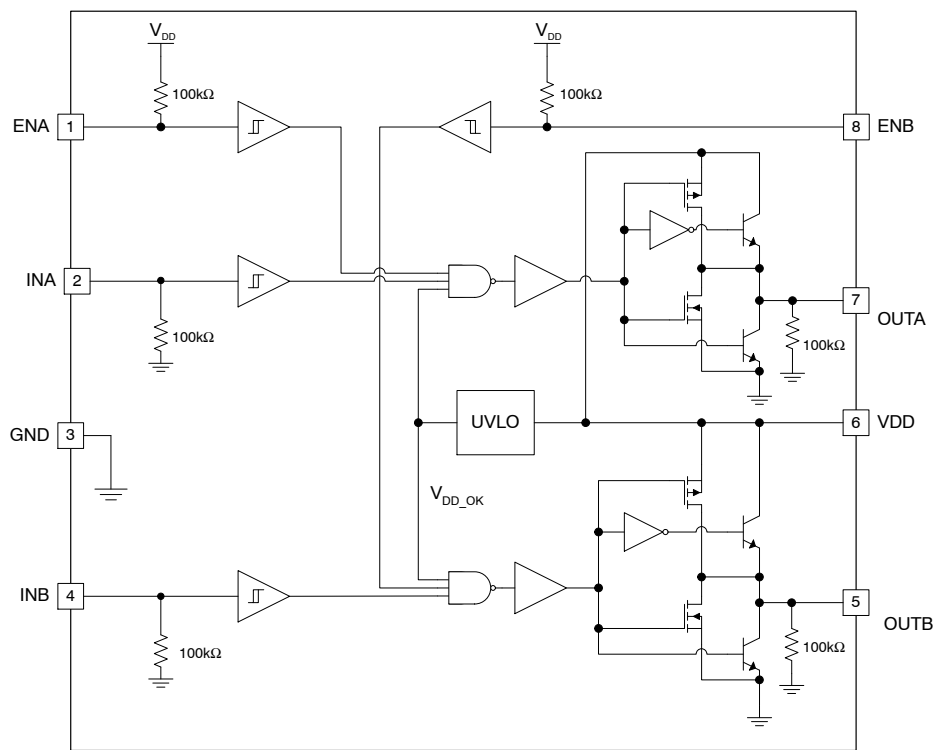


图 6. FAN3227 框图

FAN3226, FAN3227, FAN3228, FAN3229

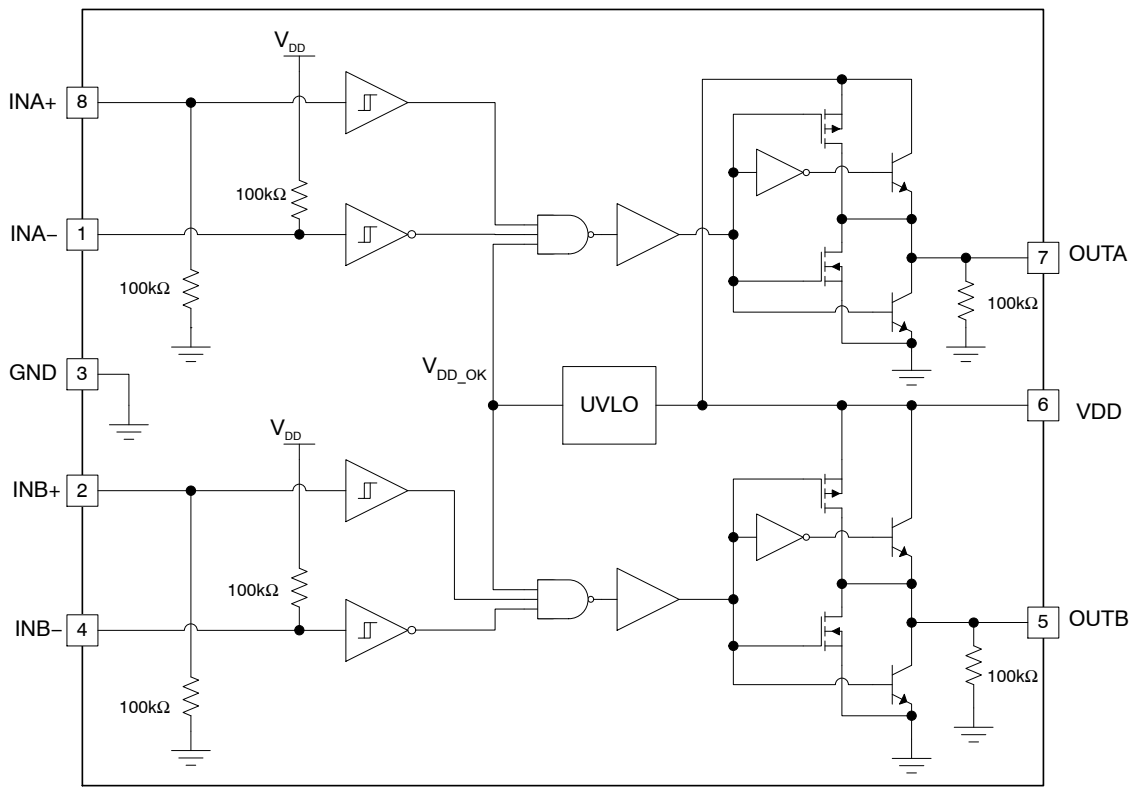


图 7. FAN3228 框图

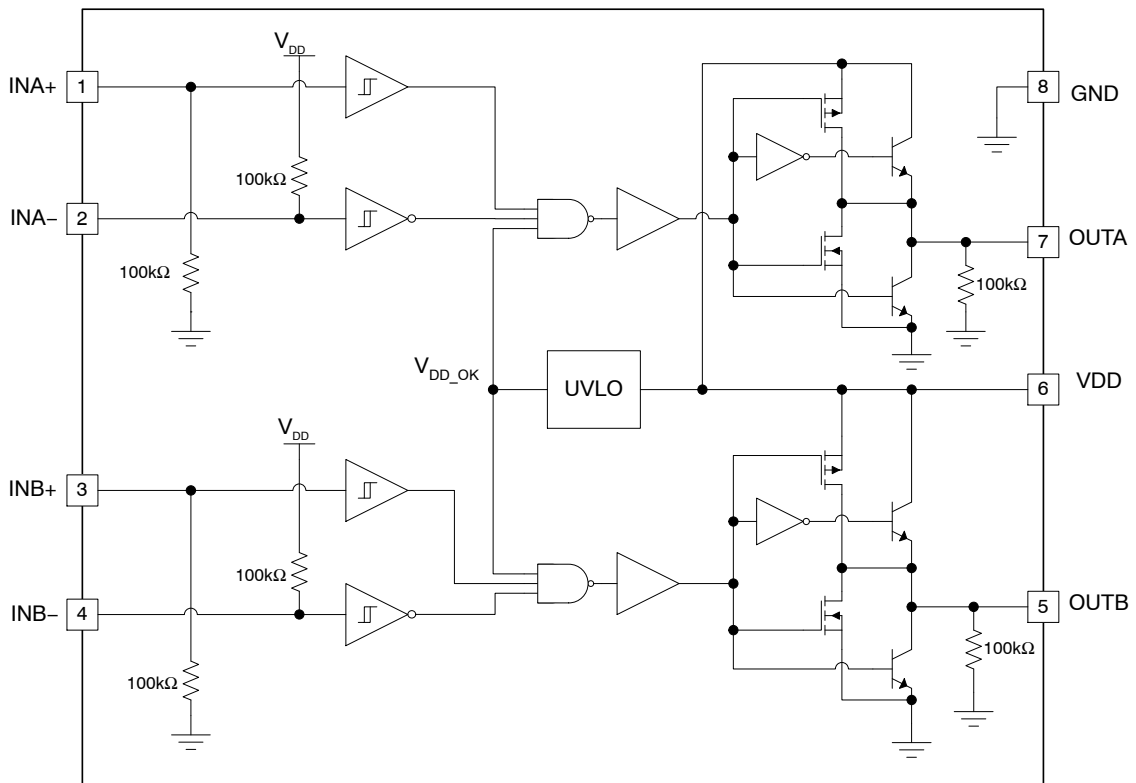


图 8. FAN3229 框图

FAN3226, FAN3227, FAN3228, FAN3229

绝对最大额定值

符号	参数	最小值	最大值	单位
V_{DD}	VDD 至 GND	-0.3	20.0	V
V_{EN}	ENA 和 ENB 至 GND	GND - 0.3	$V_{DD} + 0.3$	V
V_{IN}	INA, INA+, INA-, INB, INB+ 和 INB- 至 GND	GND - 0.3	$V_{DD} + 0.3$	V
V_{OUT}	OUTA 和 OUTB 至 GND	GND - 0.3	$V_{DD} + 0.3$	V
T_L	引脚焊接温度, 10秒	-	+260	°C
T_J	结温	-55	+150	°C
T_{STG}	存储温度	-65	+150	°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考译文)

如果电压超过最大额定值表中列出的值范围, 器件可能会损坏。如果超过任何这些限值, 将无法保证器件功能, 可能会导致器件损坏, 影响可靠性。

推荐工作条件

符号	参数	最小值	最大值	单位
V_{DD}	电源电压范围	4.5	18.0	V
V_{EN}	使能电压 ENA 和 ENB	0	V_{DD}	V
V_{IN}	输入电压 INA, INA+, INA-, INB, INB+ 和 INB-	0	V_{DD}	V
T_A	操作环境温度	-40	+125	°C

Functional operation above the stresses listed in the Recommended Operating Ranges is not implied. Extended exposure to stresses beyond the Recommended Operating Ranges limits may affect device reliability.

(参考译文)

高于推荐工作范围表格中所列电压时, 不保证能够正常运行。长时间在推荐工作范围表格中规定范围以外的电压下运行, 可能会影响器件的可靠性。

电气特性 (除非另有说明, $V_{DD} = 12\text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。电流在流入内部定义为正, 流出器件外部定义为负。)

符号	参数	工作条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

电源

V_{DD}	工作范围		4.5	-	18.0	V
I_{DD}	电源电流输入端/EN 未连接	TTL	-	0.75	1.20	mA
		CMOS (Note 8)	-	0.65	1.05	
V_{ON}	导通电压	INA = ENA = V_{DD} , INB = ENB = 0 V	3.5	3.9	4.3	V
V_{OFF}	关断电压	INA = ENA = V_{DD} , INB = ENB = 0 V	3.3	3.7	4.1	V

输入端 (FAN322xT) (Note 9)

V_{INL_T}	INx 逻辑低电平阈值		0.8	1.2	-	V
V_{INH_T}	INx 逻辑高电平阈值		-	1.6	2.0	V
V_{HYS_T}	TTL 逻辑滞回电压		0.2	0.4	0.8	V

FAN322xT

I_{IN+}	同相输入电流	IN 从 0 至 V_{DD}	-1	-	175	μA
I_{IN-}	反相输入电流	IN 从 0 至 V_{DD}	-175	-	1	μA

输入端 (FAN322xC) (Note 9)

V_{INL_C}	INx 逻辑低电平阈值		30	38	-	% V_{DD}
V_{INH_C}	INx 逻辑高电平阈值		-	55	70	% V_{DD}
V_{HYS_C}	CMOS 逻辑滞回电压		-	17	-	% V_{DD}

FAN3226, FAN3227, FAN3228, FAN3229

电气特性 (除非另有说明, $V_{DD} = 12\text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。电流在流入内部定义为正, 流出器件外部定义为负。) (continued)

符号	参数	工作条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

FAN322xC

I_{IN+}	同相输入电流	IN 从 0 至 V_{DD}	-1	-	175	μA
I_{IN-}	反相输入电流	IN 从 0 至 V_{DD}	-175	-	1	μA

ENABLE (FAN3226C, FAN3226T, FAN3227C, FAN3227T)

V_{ENL}	使能逻辑低电平阈值	EN 从 5 V 至 0 V	0.8	1.2	-	V
V_{ENH}	使能逻辑高电平阈值	EN 从 0 V 至 5 V	-	1.6	2.0	V
V_{HYS_T}	TTL 逻辑滞回电压 (Note 10)		-	0.4	-	V
R_{PU}	使能上拉电阻 (Note 10)		-	100	-	$k\Omega$
t_{D3}	EN 至输入传输延迟 (Note 11)	0 V 至 5 V EN, 1 V/ns 爬升率	10	19	34	ns
t_{D4}		5 V 至 0 V EN, 1 V/ns 爬升率	10	18	32	ns

输出

I_{SINK}	OUT 电流, 中压, 灌电流 (Note 10)	OUT 需 $V_{DD}/2$, $C_{LOAD} = 0.1\text{ }\mu\text{F}$, $f = 1\text{ kHz}$	-	2.4	-	A
I_{SOURCE}	OUT 电流, 中压, 源电流 (Note 10)	OUT 需 $V_{DD}/2$, $C_{LOAD} = 0.1\text{ }\mu\text{F}$, $f = 1\text{ kHz}$	-	-1.6	-	A
I_{PK_SINK}	OUT 电流, 峰值, 灌电流 (Note 10)	$C_{LOAD} = 0.1\text{ }\mu\text{F}$, $f = 1\text{ kHz}$	-	3	-	A
I_{PK_SOURCE}	OUT 电流, 峰值, 源电流 (Note 10)	$C_{LOAD} = 0.1\text{ }\mu\text{F}$, $f = 1\text{ kHz}$	-	-3	-	A
t_{RISE}	输出上升时间 (Note 12)	$C_{LOAD} = 1000\text{ pF}$	-	12	22	ns
t_{FALL}	输出下降时间 (Note 12)	$C_{LOAD} = 1000\text{ pF}$	-	9	17	ns
I_{RVS}	输出反向耐受电流 (Note 10)		-	500	-	mA

FAN322xT, FAN322xC

t_{D1}	输出传输延迟, CMOS 输入 (Note 12)	CMOS 输入	7	15	30	ns
t_{D2}		CMOS 输入	6	15	29	ns
t_{D1}	输出传输延迟, TTL 输入 (Note 12)	TTL 输入	10	19	34	ns
t_{D2}		TTL 输入	10	18	32	ns
$t_{DEL.MATCH}$	通道间的传输匹配度	INA = INB, OUTA and OUTB at 50% Point	-	1	2	ns

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考译文)

除非另有说明, “电气特性” 表格中列出的是所列测试条件下的产品性能参数。如果在不同条件下运行, 产品性能可能与 “电气特性” 表格中所列性能参数不一致。

8. 电源电流较低, 源于 TTL 电路处于休止状态。

9. EN 输入具有TTL阈值; 参照 ENABLE 一节。

10. 未经生产测试。

11. 请参见图 11 和图 12 的时序图。

12. 请参见图 9 和图 10 的时序图。

时序图

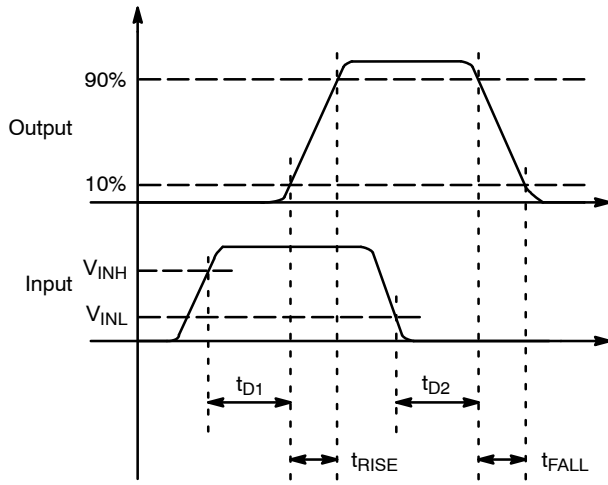


图 9. 同相 (EN 高电平或悬浮)

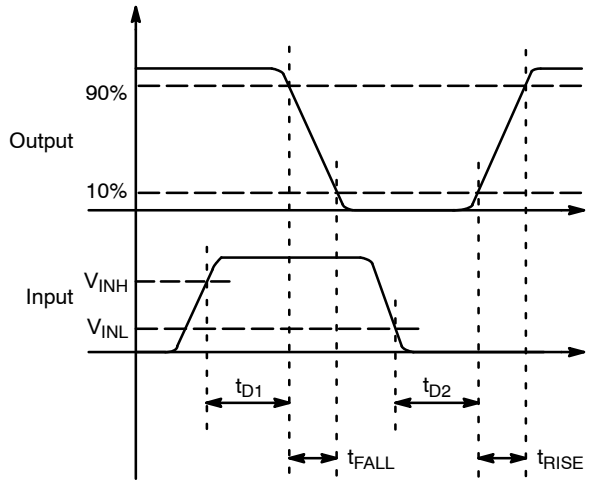


图 10. 反相 (EN 高电平或悬浮)

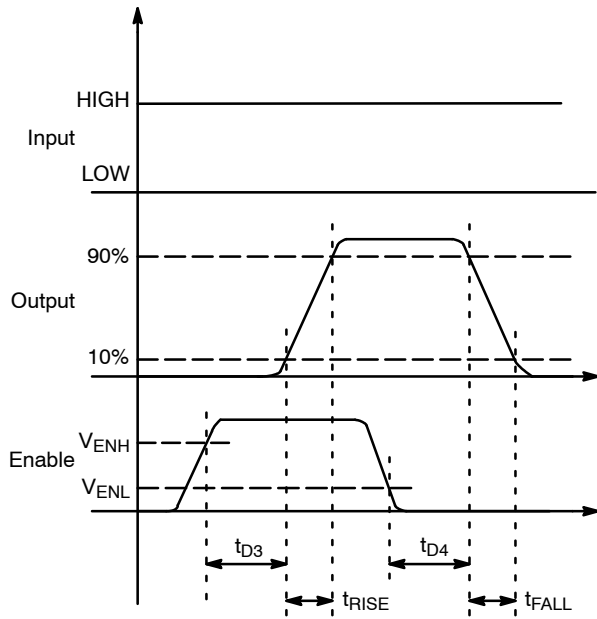


图 11. 同相 (IN 高电平)

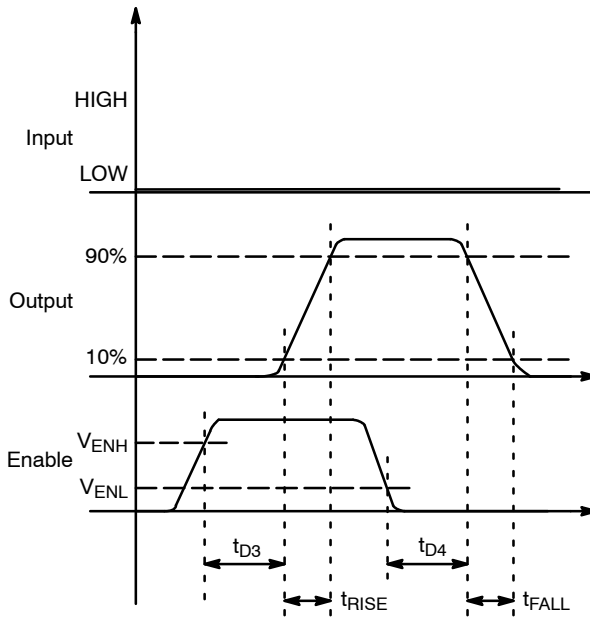


图 12. 反相 (IN 低电平)

FAN3226, FAN3227, FAN3228, FAN3229

典型性能特征

(典型特性条件为 25°C, 且 $V_{DD} = 12\text{ V}$, 除非另有说明。)

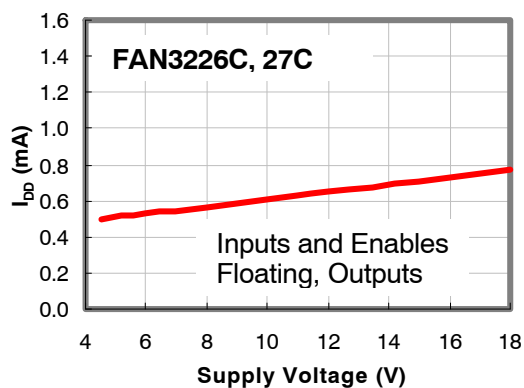


图 13. I_{DD} (静态) 与电源电压的关系 (Note 13)

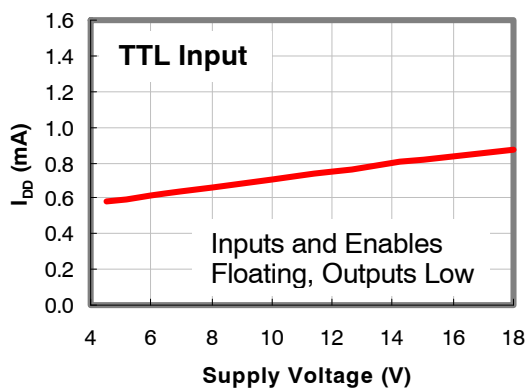


图 14. I_{DD} (静态) 与电源电压的关系 (Note 13)

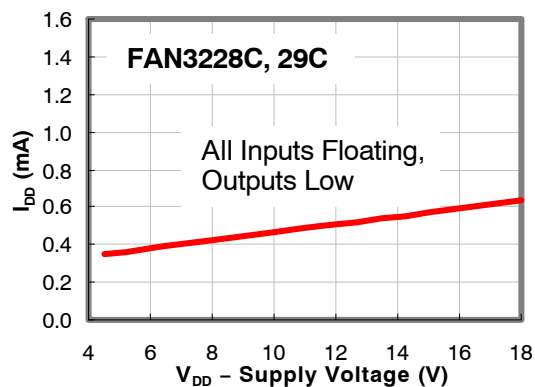


图 15. I_{DD} (静态) 相对电源电压的曲线 (Note 13)

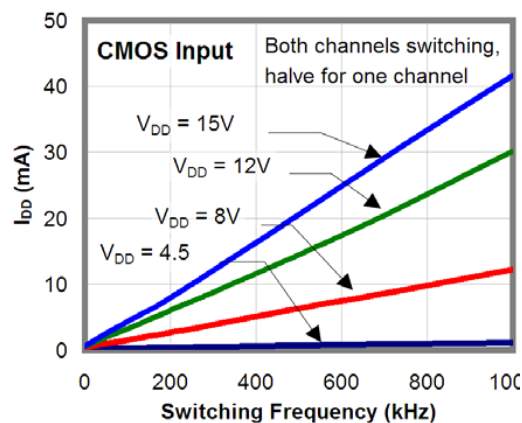


图 16. I_{DD} (无负载) 与频率的关系

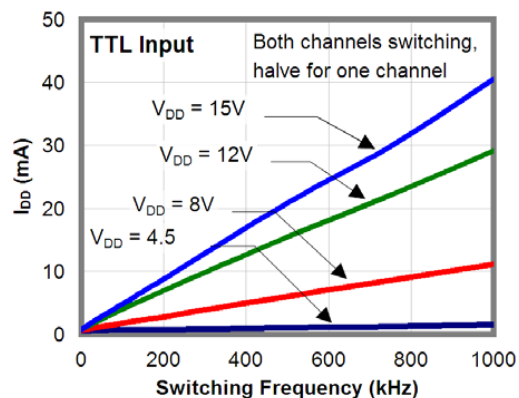


图 17. I_{DD} (无负载) 与频率的关系

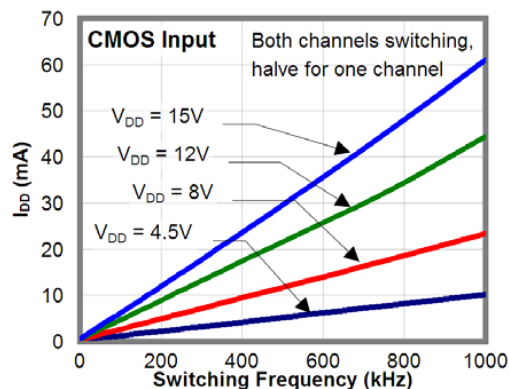


图 18. I_{DD} (1 nF 负载) 与频率的关系

FAN3226, FAN3227, FAN3228, FAN3229

典型性能特征 (continued)

(典型特性条件为 25°C, 且 $V_{DD} = 12\text{ V}$, 除非另有说明。)

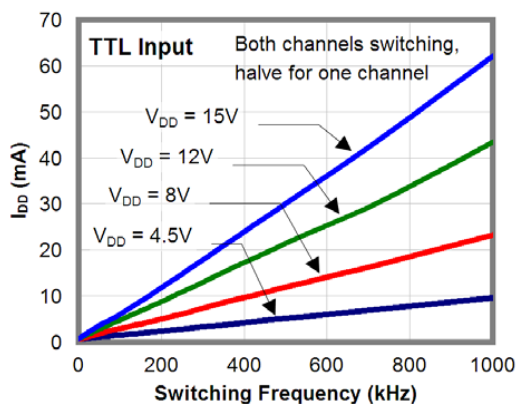


图 19. I_{DD} (1 nF 负载) 与频率的关系

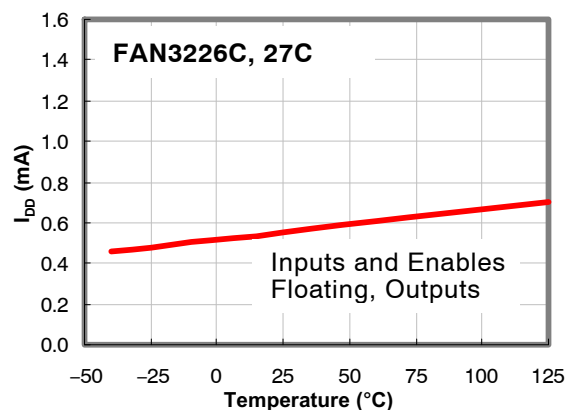


图 20. I_{DD} (静态) 与温度的关系 (Note 13)

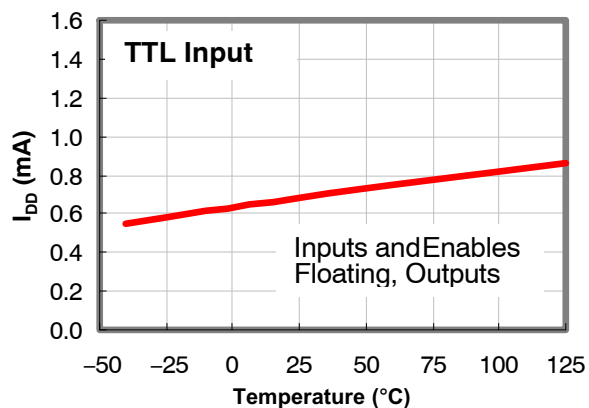


图 21. I_{DD} (静态) 与温度的关系 (Note 13)

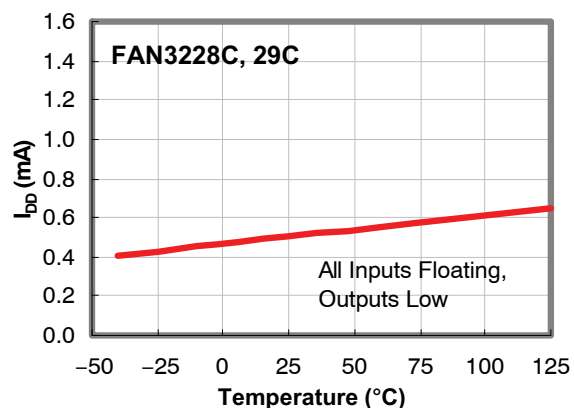


图 22. I_{DD} (静态) 与温度的关系 (Note 13)

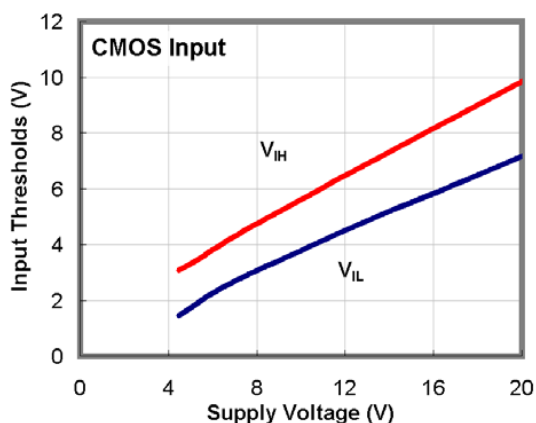


图 23. 输入阈值与电源电压的关系

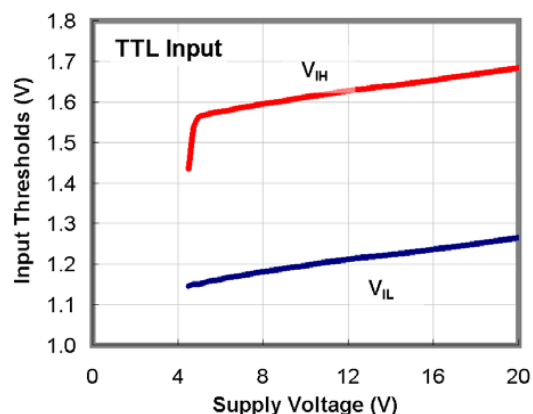


图 24. 输入阈值与电源电压的关系

FAN3226, FAN3227, FAN3228, FAN3229

典型性能特征 (continued)

(典型特性条件为 25°C, 且 $V_{DD} = 12\text{ V}$, 除非另有说明。)

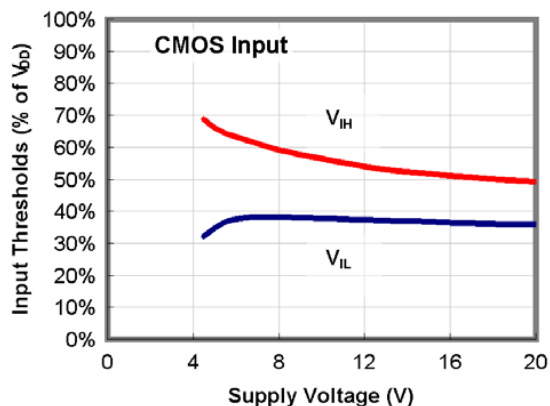


图 25. 输入阈值 (%) 与电源电压的关系

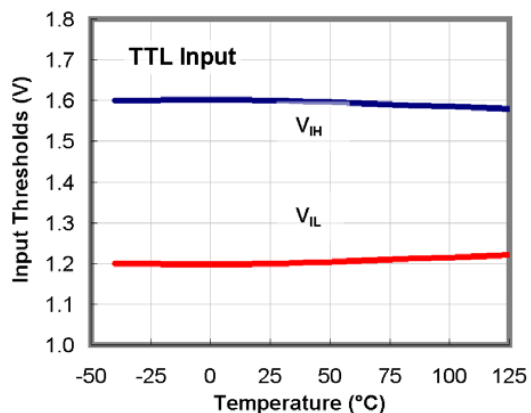
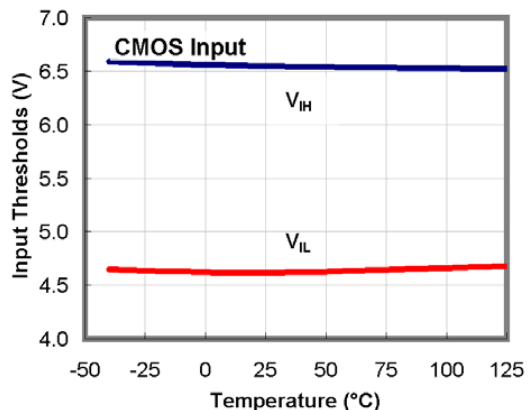


图 26. 输入阈值与温度的关系

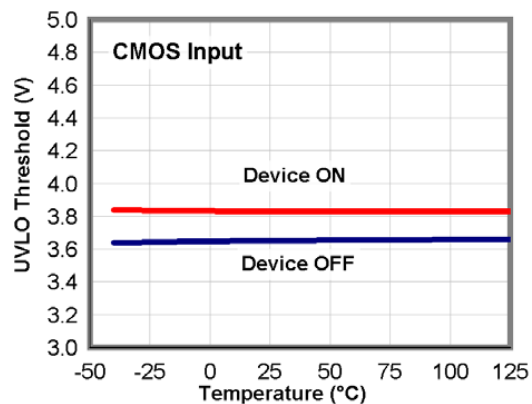


图 27. UVLO 阈值与温度的关系

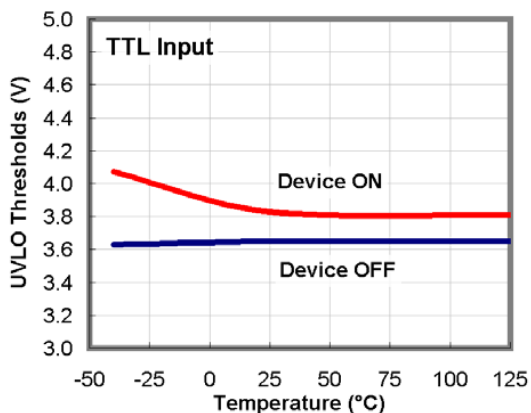


图 28. UVLO 阈值与温度的关系

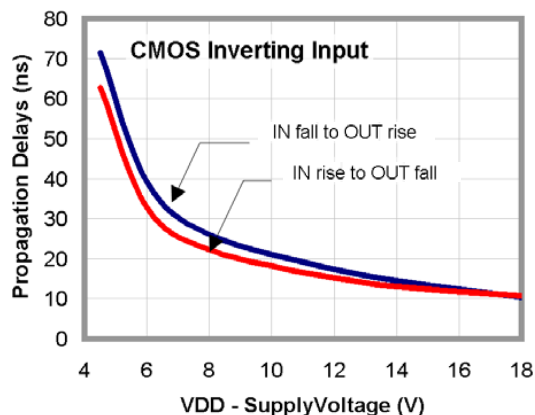


图 29. 传输延迟与电源电压的关系

FAN3226, FAN3227, FAN3228, FAN3229

典型性能特征 (continued)

(典型特性条件为 25°C, 且 $V_{DD} = 12\text{ V}$, 除非另有说明。)

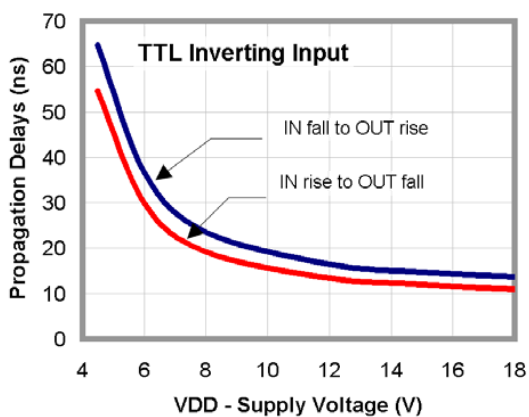


图 30. 传输延迟与电源电压的关系

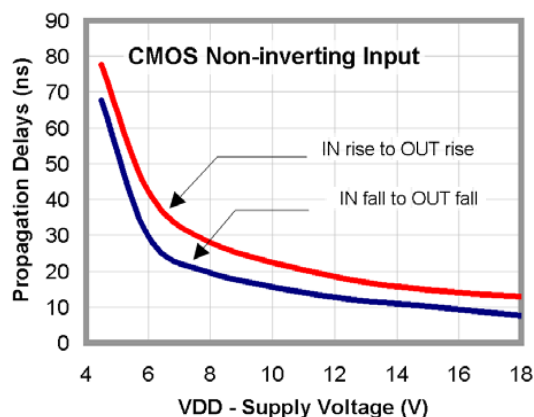


图 31. 传输延迟与电源电压的关系

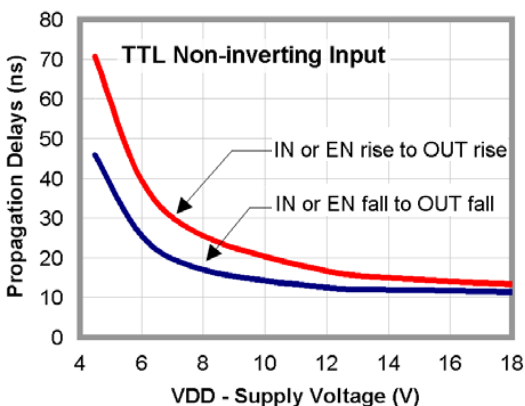


图 32. 传输延迟与电源电压的关系

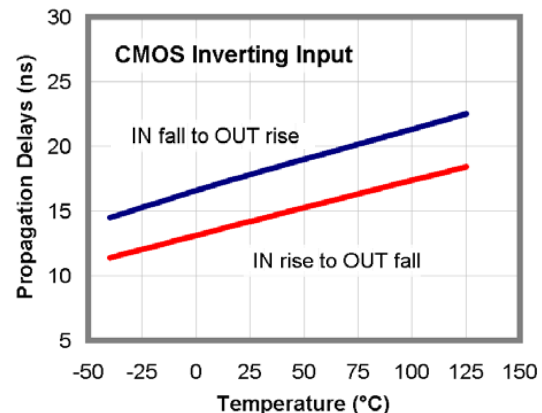


图 33. 传输延迟与温度的关系

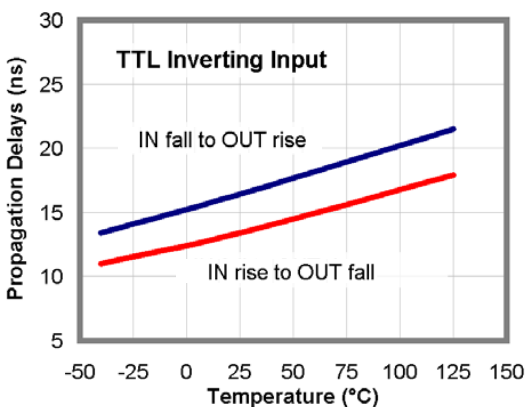


图 34. 传输延迟与温度的关系

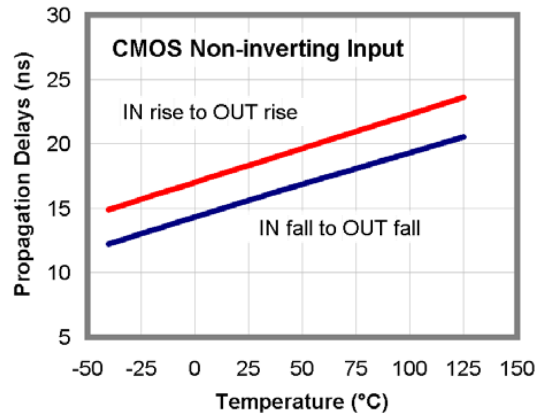


图 35. 传输延迟与温度的关系

FAN3226, FAN3227, FAN3228, FAN3229

典型性能特征 (continued)

(典型特性条件为 25°C, 且 $V_{DD} = 12\text{ V}$, 除非另有说明。)

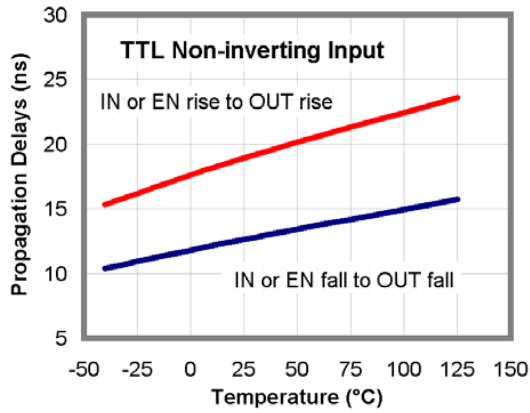


图 36. 传输延迟与温度的关系

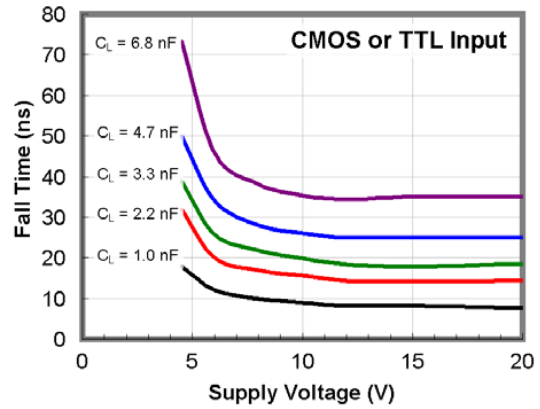


图 37. 传输延迟与温度的关系

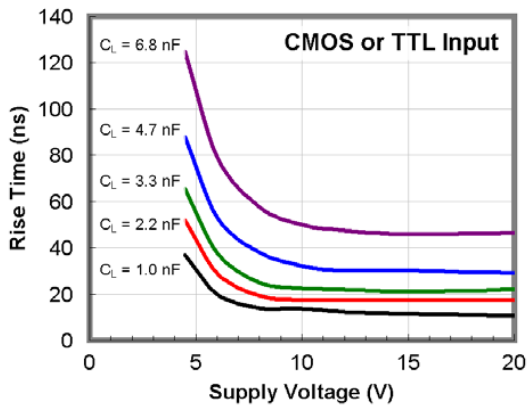


图 38. 上升时间与电源电压的关系

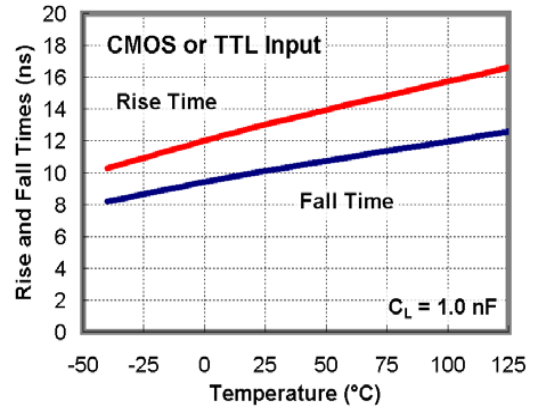


图 39. 上升/下降时间与温度的关系

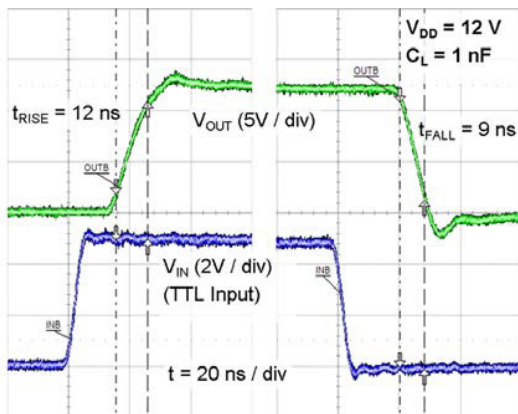


图 40. 1 nF 负载时的上升/下降波形

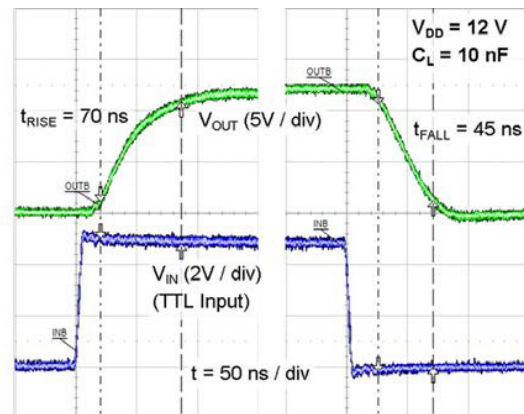


图 41. 10 nF 负载时的上升/下降波形

FAN3226, FAN3227, FAN3228, FAN3229

典型性能特征 (continued)

(典型特性条件为 25°C, 且 $V_{DD} = 12\text{ V}$, 除非另有说明。)

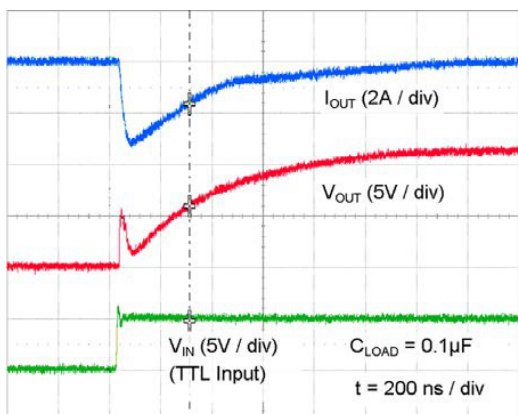


图 42. $V_{DD} = 12\text{ V}$ 时的准静态源电流

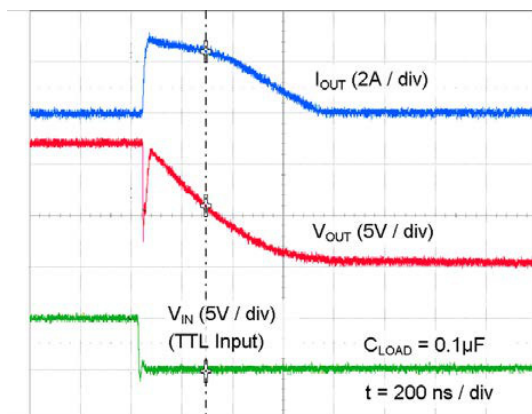


图 43. $V_{DD} = 12\text{ V}$ 时的准静态灌电流

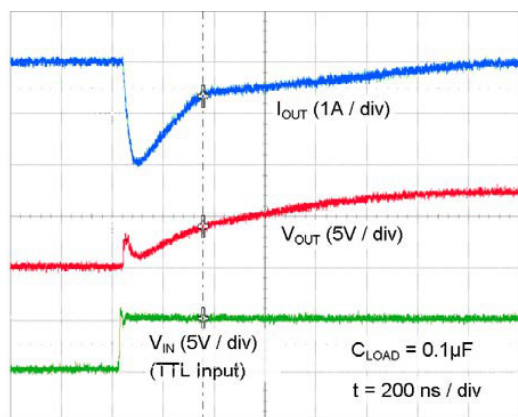


图 44. $V_{DD} = 8\text{ V}$ 时的准静态源电流

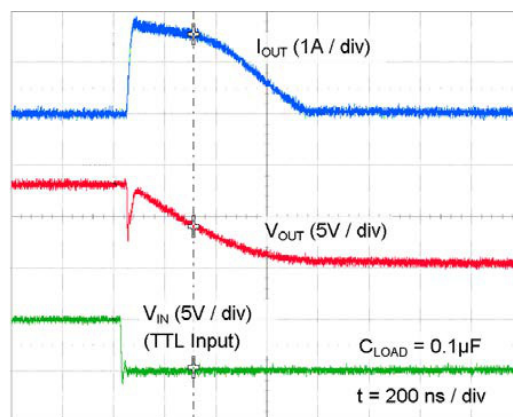


图 45. $V_{DD} = 8\text{ V}$ 时的准静态灌电流

13. 如果任一反相输入端拉低、同相输入端拉高或者输出端驱动高, 在流过相应上拉/下拉电阻的电流作用下, 静态 I_{DD} 都将增大, 如框图所示。

测试电路

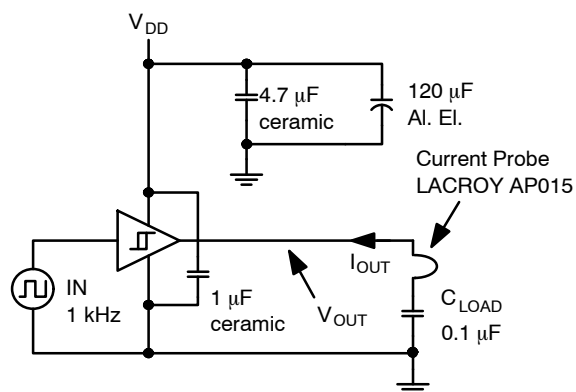


图 46. 准静态 I_{OUT} / V_{OUT} 测试电路

应用信息

输入阈值

FAN322x 驱动器系列的每一种产品均由两个相同通道构成，在额定电流下每个通道可以独立使用，并联使用时可以倍增驱动电流能力。在 FAN3226 和 FAN3227 中，可分别使用 ENA 和 ENB 端子，使能或禁用通道 A 与通道 B。EN 引脚具有 TTL 阈值，部分具有 CMOS 或者 TTL 输入阈值。如果 ENA 和 ENB 没有接线，缺省条件下，内部上拉电阻可以使能驱动器通道。如果通道 A 和通道 B 通过输入与输出并联来提高驱动电流能力，ENA 与 ENB 应该接线并同时驱动。

FAN322x 系列包括多种产品，能够提供 TTL 和 CMOS 两种输入阈值。在 FAN322xT 系列中，输入阈值符合行业标准，TTL 逻辑阈值依赖于 V_{DD} 电压，有一个约为 0.4 V 的滞回电压。这些电平使能输入端可由一系列输入逻辑电平驱动，其中高于 2 V 的电压视为逻辑高电平。TTL 输入的驱动信号应有快速上升沿和下降沿，爬升率为 6 V/ μ s 或更快，所以，从 0 到 0.3 V 的上升时间应为 550 ns 或更短。转换速率较低时，电路噪声会导致驱动电压超过滞回电压，并再次触发驱动器输入，引起工作不稳定。

在 FAN322xC 系列中，逻辑输入阈值依赖于 V_{DD} 电平，并且当 V_{DD} 为 12 V 时，逻辑上升沿阈值约为 V_{DD} 的 55%，逻辑下降沿阈值约为 V_{DD} 的 38%。CMOS 输入配置提供了一个约为 17% V_{DD} 大小的滞回电压。如果在系统设计中得到良好耦合和旁路技术，能够防止噪声破坏输入电压滞回窗口，则 CMOS 输入可使用较慢的边沿（接近直流）。这样就容许通过调节位于控制信号和驱动器 IN 引脚之间的一个 RC 电路，精确设置定时间隔。驱动器 IN 引脚上的慢速上升沿将在控制信号和驱动器输出引脚之间引入了一个延时。

静态电源电流

在 I_{DD} (静态) 典型性能特性中 (参见图 13 – 图 15 和图 20 – 图 22)，波形曲线是在所有输入端/使能端浮置 (输出为低电平) 的条件下产生的，显示了测试配置下静态 I_{DD} 电流的最小值。对于其它状态，流过输入端和输出端 100 k Ω 电阻的附加电流如方框图所示 (参见图 5 – 图 8)。在这些情况下，静态 I_{DD} 电流的实际值为曲线值与附加电流之和。

MillerDrive 栅极驱动技术

FAN322x 栅极驱动器引入了 MillerDrive 结构，如图 47 所示。对于输出级，在较宽的电源电压与温度变化范围内，双极性器件和 MOS 器件的结合可提供大电流。当输出级在 1/3 和 2/3 V_{DD} 之间摆动时，

双极性器件能够承载较大电流，MOS 器件将输出轨到轨拉高或拉低。

MillerDrive 结构旨在通过提供米勒平台阶段大电流来加快开关速度，这期间 MOSFET 的漏栅电容充电或放电，这也是导通/关断过程的一部分。

对于 MOSFET 导通/关断期间需要零电压切换功能的应用而言，即使米勒平台不会出现，驱动器也能够为快速开关过程提供足够高的峰值电流。这种情况常常出现在同步整流器的应用中，因为体二极管通常在 MOSFET 导通之前就已经导通。

输出引脚爬升率由 V_{DD} 电压决定，负载位于输出端。用户不可调，但如果 MOSFET 栅级需要更慢的上升或下降时间，则可添加串联电阻来实现。

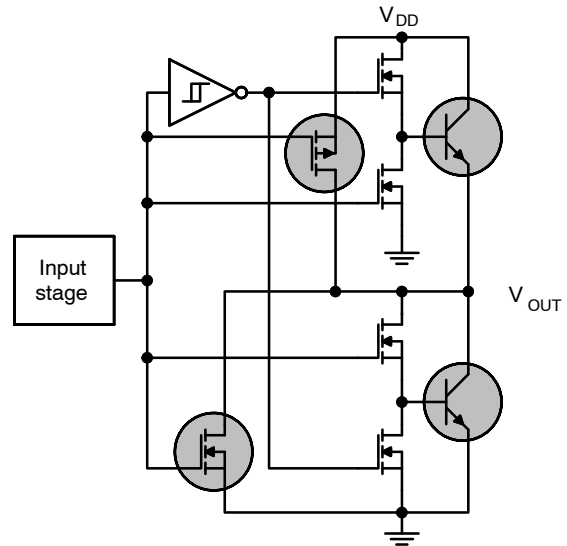


图 47. MillerDrive 输出结构

欠压锁定

采用欠压闭锁 (UVLO) 功能，可以保证该 IC 正常启动，这样 FAN322x 系列的启动逻辑就得到了优化，可以驱动以地为参考的 N-沟道 MOSFET。当 V_{DD} 处于上升阶段，但是低于 3.9 V 的工作电压时，电路保持输出为低电平，不受输入引脚状态的影响。在该器件有效后，在该器件关断之前电源电压必须跌落 0.2 V。当低 V_{DD} 电源电压因功率切换而产生噪音时，该滞回有利于防止抖动。这种配置并不适用于驱动高端 P-沟道 MOSFET，原因是，在 V_{DD} 低于 3.9 V 时，驱动器较低的输出电压也会导通 P-沟道 MOSFET。

V_{DD} 旁路电容指南

为了使 IC 能快速地导通器件，需要在 V_{DD} 和 GND 引脚之间按最短路径连接一个低 ESR 和 ESL 的就地高频旁路电容 C_{BYP}。这种电容一般附加到 10 μF 到 47 μF 的电解电容上，在驱动器和控制器的偏压电路中属于常见。

确定 C_{BYP} 值的一个典型原则为：保持 V_{DD} 电源的纹波电压 ≤5%。这样常常会得到一个大于或等于等效负载电容 C_{EQV} 20 倍的电容值，此处定义为 Q_{GATE}/V_{DD}。通常选择 0.1 μF 至 1 μF 或者更大的陶瓷电容，它们是电介质，例如 X5R 和 X7R，拥有良好温度特性和高脉冲电流能力。

如果电路噪声影响了正常工作，C_{BYP} 值可提高至 C_{EQV} 的 50–100 倍，或者 C_{BYP} 分解为两个电容。基于等效负载电容，一个值稍大。另外一个值稍小，如紧凑连接在 V_{DD} 和 GND 引脚上的 1–10 nF 电容，它流过电流脉冲中的高频成分。旁路电容必须能够为驱动器的两个通道提供脉冲电流，如果驱动器同时开关动作，来自 C_{BYP} 的综合峰值电流将为单通道开关动作时的两倍。

布线与连接指南

FAN3226–26 系列栅极驱动引入了快速反应输入电路，传输延时短，并且拥有大功率输出电路，能够传输 2 A 以上的电流峰值，缩短了电压转换时间，时间范围从低于 10 ns 到高于 150 ns。强烈推荐下述布线与连接指南。

- 保持大电流输出和功率地路径在逻辑上分离，使能输入信号和信号地路径分离。当处理驱动输入和使能引脚的 TTL-电平逻辑阈值时，这点显得尤为关键。
- 保持驱动器尽可能地靠近负载，以使大电流导线的长度最小化。这样可减少串联电感，改善高速开关过程，同时减少了可对驱动器输入和周边电路产生电磁干扰的环路面积。
- 如果一个通道的输入端外部没有接线，则方框图中所示的内部 100 kΩ 电阻控制输出低电平。在嘈杂的环境中，将一个未使用通道的输入与 V_{DD} 或 GND 用短导线相连是很有必要的，可防止噪声造成开关错误输出。
- 许多高速功率电路都容易受噪声的影响，噪声一般来自于其自身输出或者其它外部源，有可能导致输出再触发。如果用面包板测试电路或者用带有长输入、使能或输出引脚的不理想电路板，这些现象会

很明显。为了获得最佳效果，引脚连线越短越直接越好。

- FAN322x 系列兼容许多其它工业标准的驱动器。在带有使能引脚的单输入器件中，内部有一个 100 kΩ 电阻与 V_{DD} 相连，缺省条件为使能该驱动器；这一点需要在 PCB 布局时得到考虑。
- 导通和关断电流通路应该被最短化，相关讨论参见下面一节。

图 48 显示了 MOSFET 导通时的脉冲栅极驱动电流通路，驱动器为栅极充电可导通 MOSFET。这个电流由局部旁路电容 C_{BYP} 产生，流经驱动器到 MOSFET 栅极，再到地。为了尽可能地实现高峰值电流，通路上的电阻和电感应该最小化。这个局部电容 C_{BYP} 在驱动器 MOSFET 电路中的作用是吸收高峰值电流脉冲，防止其干扰 PWM 控制器的敏感模拟电路。

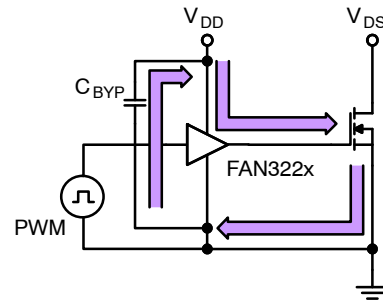


图 48. MOSFET 导通时的电路通路

图 49 显示了 MOSFET 关断时的电流通路。理想地，通过一个较小的环路，驱动器直接将电流分流到 MOSFET 的源极。为了实现快速关断，通路上的电阻和电感应该最小化。

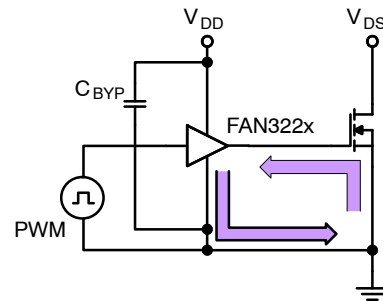


图 49. MOSFET 关断时的电流通路

逻辑操作真值表

FAN3228/FAN3229 真值表显示了双输入配置下的工作状态。在同相驱动器配置中，IN- 引脚应为逻辑低电平。若 IN- 引脚接逻辑高电平，会导致器件功能禁用，而且驱动器的输出总是保持低电平，不受 IN+ 引脚状态的影响。

表 1. 逻辑操作真值表

IN+	IN-	OUT
0	0	0
0	1	0
1	0	1
1	1	0

图 50 中所示的同相驱动器配置中，IN- 引脚与地相连，IN+ 引脚外接输入信号 (PWM)。IN- 引脚接逻辑高电平时，驱动器禁用，并且输出维持低电平，不受 IN+ 引脚状态的影响。

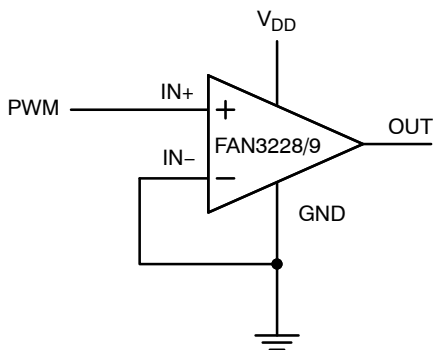


图 50. 使能的双输入驱动器，同相配置

图 51 中所示的反相驱动器应用中，IN+ 引脚为高电平。IN+ 与 GND 相连时输出低电平，不受 IN- 引脚状态的影响。

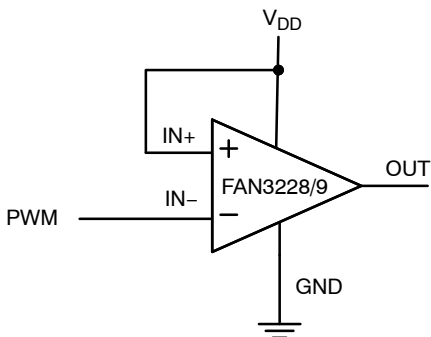


图 51. 使能的双输入驱动器，反相配置

工作波形

上电时，驱动器的输出保持低电平，直到 V_{DD} 电压达到导通阈值。输出脉冲电流幅值随着 V_{DD} 的上升而上升，直到 V_{DD} 达到稳态。图 52 中的同相工作波形显示出输出保持为低电平，直到达到 UVLO 阈值，并且输出与输入保持相位同步。

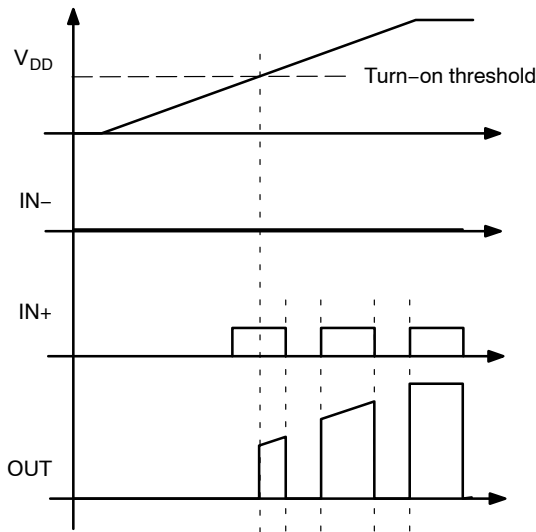


图 52. 同相启动波形

对于图 51 的反相配置，启动波形如图 53 所示。当 IN+ 与 V_{DD} 相连且 IN- 与输入信号相连时，输出脉冲与输入反相。上电时，反相输出端保持低电平，直到 V_{DD} 电压达到导通阈值，其后它与输入保持反相。

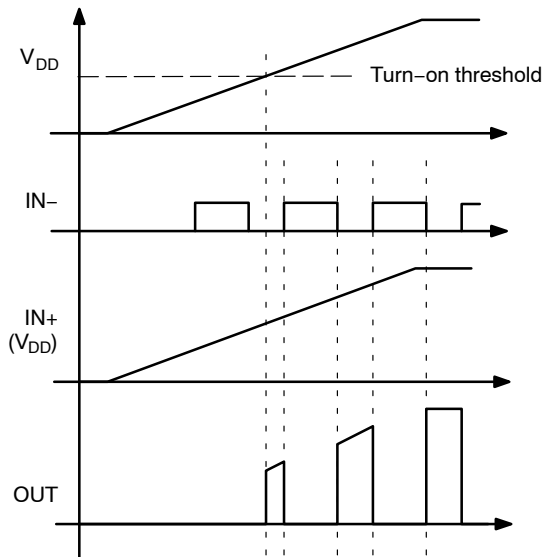


图 53. 同相启动波形

热指南

栅极驱动器驱动高频率开关 MOSFET 和 IGBT 时，会产生显著的功耗。在应用中重要的是，确定栅极驱动器的功耗及其引起的结温，确保器件在可接受的温度范围内工作。

栅极驱动器的总功耗为 P_{GATE} 和 P_{DYNAMIC} 两部分之和：

$$P_{\text{TOTAL}} = P_{\text{GATE}} + P_{\text{DYNAMIC}} \quad (\text{eq. 1})$$

栅极驱动损耗：发生在提供栅极电流、按照开关频率驱动负载 MOSFET 的过程中最主要的功耗。MOSFET 的驱动功耗依赖于给定的栅源电压 V_{GS} 、栅极电荷 Q_{G} 、开关频率 f_{SW} 下对 MOSFET 的驱动，计算式如下：

$$P_{\text{GATE}} = Q_{\text{G}} \cdot V_{\text{GS}} \cdot f_{\text{SW}} \cdot n \quad (\text{eq. 2})$$

n 表示所用驱动器通道的数量 (1 或 2)。

动态预驱动/击穿电流：动态工作条件下，内部电流消耗引起的功耗，包括引脚上拉/下拉电阻，可通过使用典型性能特性中的“ I_{DD} (无负载) 与频率的关系”图确定电流 I_{DYNAMIC} (在实际工作条件下来自 V_{DD}) 得出，计算式如下：

$$P_{\text{DYNAMIC}} = I_{\text{DYNAMIC}} \cdot V_{\text{DD}} \cdot n \quad (\text{eq. 3})$$

一旦确定了驱动器的功耗，相对电路板的驱动器结的温升可以采用以下热公式进行估算，这里假定 ψ_{JB} 是出于一个类似的热设计 (散热和气流) 而确定：

$$T_{\text{J}} = P_{\text{TOTAL}} \cdot \psi_{\text{JB}} + T_{\text{B}} \quad (\text{eq. 4})$$

其中：

T_{J} = 驱动器结温

ψ_{JB} = (psi) 热特性参数 (与温升和总功耗相关)

T_{B} = 指南2中热阻表下方定义的就地电路板温度。

在带有同步整流器的正激转换器中，如典型应用图所示，FDMS8660S 为 MOSFET 的一个合理选择。 $V_{\text{GS}} = V_{\text{DD}} = 7 \text{ V}$ 时，每个 SR MOSFET 的栅极电荷为 60 nC。开关频率为 500 kHz 时，总功耗为：

$$P_{\text{GATE}} = 60 \text{ nC} \cdot 7 \text{ V} \cdot 500 \text{ kHz} \cdot 2 = 0.42 \text{ W} \quad (\text{eq. 5})$$

$$P_{\text{DYNAMIC}} = 3 \text{ mA} \cdot 7 \text{ V} \cdot 2 = 0.042 \text{ W} \quad (\text{eq. 6})$$

$$P_{\text{TOTAL}} = 0.46 \text{ W} \quad (\text{eq. 7})$$

SOIC-8 的结至电路板热特性参数为 $\psi_{\text{JB}} = 43^\circ\text{C/W}$ 。在系统应用中，器件就地环境温度为 PCB 布局 and 结构以及表面气流的函数。为确保可靠运行，必须防止器件的最大结温超过 150°C 的最大额定值；80% 降额时， T_{J} 限制为 120°C 。重置方程式 4 确定所需的电路板温度以保持结温低于 120°C ：

$$T_{\text{B}} = T_{\text{J}} - P_{\text{TOTAL}} \cdot \psi_{\text{JB}} \quad (\text{eq. 8})$$

$$T_{\text{B}} = 120^\circ\text{C} - 0.46 \text{ W} \cdot 43^\circ\text{C/W} = 100^\circ\text{C} \quad (\text{eq. 9})$$

作为比较，将前例中的 SOIC-8 封装替换为 3x3 mm MLP 封装， $\psi_{\text{JB}} = 3.5^\circ\text{C/W}$ 。3x3 mm MLP 可在 118°C 的 PCB 温度下运行，同时保持结温为 120°C 。这表明物理尺寸更小的 MLP 封装，其热焊盘提供了更多的传导路径以消散驱动器的热量。要求在减少电路总体尺寸与降低结温提高可靠性之间做出权衡。

应用电路图

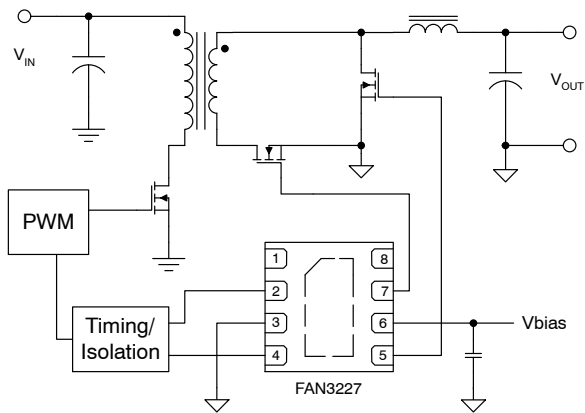


图 54. 具有同步整流器的正激式转换器

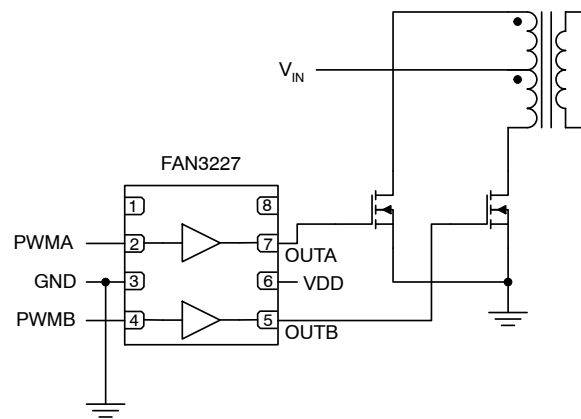


图 55. 推挽转换器中的初级端双通道驱动器

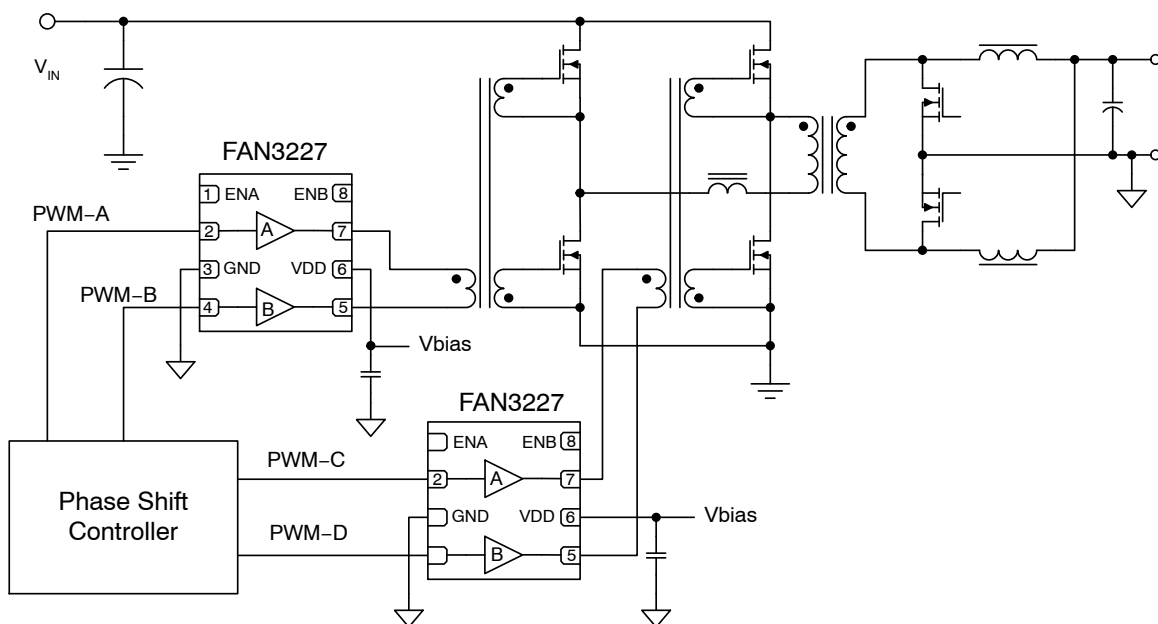


图 56. 具有两个栅极驱动变压器的移相全桥简图

FAN3226, FAN3227, FAN3228, FAN3229

订购信息

器件编号	逻辑	输入阈值	封装	每卷盘数量 / 包装方法 [†]
FAN3226CMPX	双反相通道 + 双使能	CMOS	3x3 mm MLP-8	3,000 / 卷带和卷盘
FAN3226CMX			SOIC-8	2,500 / 卷带和卷盘
FAN3226TMPX		TTL	3x3 mm MLP-8	3,000 / 卷带和卷盘
FAN3226TMX			SOIC-8	2,500 / 卷带和卷盘
FAN3227CMPX	双同相通道 + 双使能	CMOS	3x3 mm MLP-8	3,000 / 卷带和卷盘
FAN3227CMX			SOIC-8	2,500 / 卷带和卷盘
FAN3227TMPX		TTL	3x3 mm MLP-8	3,000 / 卷带和卷盘
FAN3227TMX			SOIC-8	2,500 / 卷带和卷盘
FAN3229CMPX	双输入/单输入驱动器的双通道, 引脚布局 2	CMOS	3x3 mm MLP-8	3,000 / 卷带和卷盘
FAN3229CMX			SOIC-8	2,500 / 卷带和卷盘
FAN3229TMPX		TTL	3x3 mm MLP-8	3,000 / 卷带和卷盘
FAN3229TMX			SOIC-8	2,500 / 卷带和卷盘

[†]For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

FAN3226, FAN3227, FAN3228, FAN3229

表 2. 相关产品

类型	器件编号	栅极驱动 (Note 14) (Sink/Src)	输入阈值	逻辑	封装
单通道 1 A	FAN3111C	+1.1 A / -0.9 A	CMOS	双输入/单输出的单通道	SOT23-5, MLP6
单通道 1 A	FAN3111E	+1.1 A / -0.9 A	外部 (Note 15)	单同相通道, 外部参考	SOT23-5, MLP6
单通道 2 A	FAN3100C	+2.5 A / -1.8 A	CMOS	双输入/单输出的单通道	SOT23-5, MLP6
单通道 2 A	FAN3100T	+2.5 A / -1.8 A	TTL	双输入/单输出的单通道	SOT23-5, MLP6
单通道 2 A	FAN3180	+2.4 A / -1.6 A	TTL	单同相通道 + 3.3 V LDO	SOT23-5
双通道 2 A	FAN3216T	+2.4 A / -1.6 A	TTL	双反相通道	SOIC8
双通道 2 A	FAN3217T	+2.4 A / -1.6 A	TTL	双同相通道	SOIC8
双通道 2 A	FAN3226C	+2.4 A / -1.6 A	CMOS	双反相通道 + 双使能	SOIC8, MLP8
双通道 2 A	FAN3226T	+2.4 A / -1.6 A	TTL	双反相通道 + 双使能	SOIC8, MLP8
双通道 2 A	FAN3227C	+2.4 A / -1.6 A	CMOS	双同相通道 + 双使能	SOIC8, MLP8
双通道 2 A	FAN3227T	+2.4 A / -1.6 A	TTL	双同相通道 + 双使能	SOIC8, MLP8
双通道 2 A	FAN3228C	+2.4 A / -1.6 A	CMOS	双输入/单输出的双通道, 引脚配置 1	SOIC8, MLP8
双通道 2 A	FAN3228T	+2.4 A / -1.6 A	TTL	双输入/单输出的双通道, 引脚配置 1	SOIC8, MLP8
双通道 2 A	FAN3229C	+2.4 A / -1.6 A	CMOS	双输入/单输出的双通道, 引脚配置 2	SOIC8, MLP8
双通道 2 A	FAN3229T	+2.4 A / -1.6 A	TTL	双输入/单输出的双通道, 引脚配置 2	SOIC8, MLP8
双通道 2 A	FAN3268T	+2.4 A / -1.6 A	TTL	20 V 同相通道 (NMOS) 和反相通道 (PMOS) + 双使能	SOIC8
双通道 2 A	FAN3278T	+2.4 A / -1.6 A	TTL	30 V 同相通道 (NMOS) 和反相通道 (PMOS) + 双使能	SOIC8
双通道 4 A	FAN3213T	+2.5 A / -1.8 A	TTL	双反相通道	SOIC8
双通道 4 A	FAN3214T	+2.5 A / -1.8 A	TTL	双同相通道	SOIC8
双通道 4 A	FAN3223C	+4.3 A / -2.8 A	CMOS	双反相通道 + 双使能	SOIC8, MLP8
双通道 4 A	FAN3223T	+4.3 A / -2.8 A	TTL	双反相通道 + 双使能	SOIC8, MLP8
双通道 4 A	FAN3224C	+4.3 A / -2.8 A	CMOS	双同相通道 + 双使能	SOIC8, MLP8
双通道 4 A	FAN3224T	+4.3 A / -2.8 A	TTL	双同相通道 + 双使能	SOIC8, MLP8
双通道 4 A	FAN3225C	+4.3 A / -2.8 A	CMOS	双输入/单输出的双通道	SOIC8, MLP8
双通道 4 A	FAN3225T	+4.3 A / -2.8 A	TTL	双输入/单输出的双通道	SOIC8, MLP8
单通道 9 A	FAN3121C	+9.7 A / -7.1 A	CMOS	单反相通道 + 使能	SOIC8, MLP8
单通道 9 A	FAN3121T	+9.7 A / -7.1 A	TTL	单反相通道 + 使能	SOIC8, MLP8
单通道 9 A	FAN3122C	+9.7 A / -7.1 A	CMOS	单同相通道 + 使能	SOIC8, MLP8
单通道 9 A	FAN3122T	+9.7 A / -7.1 A	TTL	单同相通道 + 使能	SOIC8, MLP8
双通道 12 A	FAN3240	+12.0 A	TTL	双线圈继电器驱动器, 时序配置 0	SOIC8
双通道 12 A	FAN3241	+12.0 A	TTL	双线圈继电器驱动器, 时序配置 1	SOIC8

14. OUTx 为 6 V、 $V_{DD} = 12\text{ V}$ 时的典型电流。

15. 与外部提供的参考电压成比例的阈值。

MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS

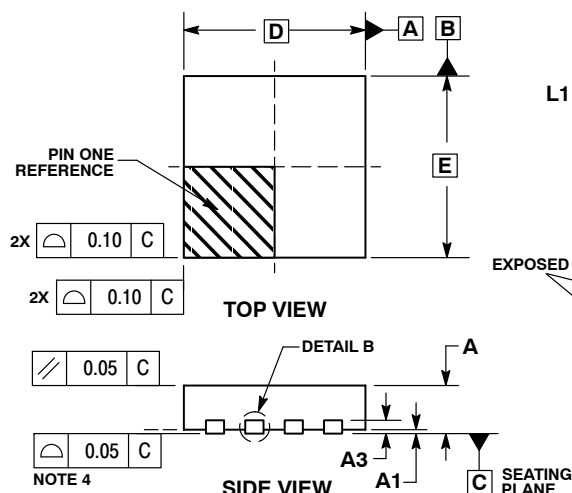
ON Semiconductor®



SCALE 2:1

WDFN8 3x3, 0.65P
CASE 511CD
ISSUE O

DATE 29 APR 2014

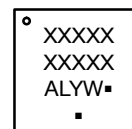


NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30 MM FROM TERMINAL TIP.
4. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.

DIM	MILLIMETERS	
	MIN	MAX
A	0.70	0.80
A1	0.00	0.05
A3	0.20	REF
b	0.25	0.35
D	3.00	BSC
D2	2.05	2.25
E	3.00	BSC
E2	1.10	1.30
e	0.65	BSC
K	0.20	
L	0.30	0.50
L1	0.00	0.15

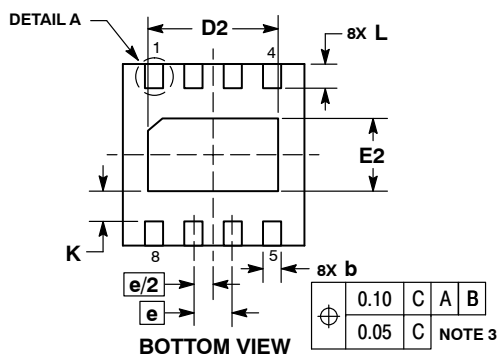
GENERIC MARKING DIAGRAM*



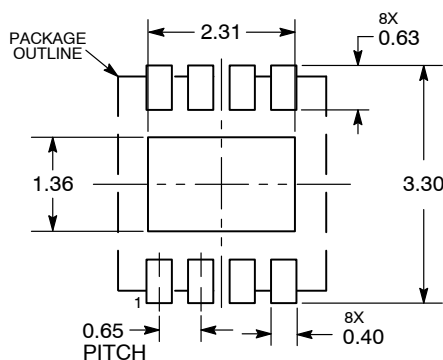
- A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

(Note: Microdot may be in either location)

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.



RECOMMENDED SOLDERING FOOTPRINT*



DIMENSIONS: MILLIMETERS

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

DOCUMENT NUMBER:	98AON84944F	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	WDFN8, 3X3, 0.65P	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

MECHANICAL CASE OUTLINE

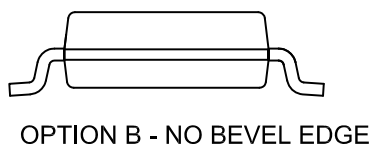
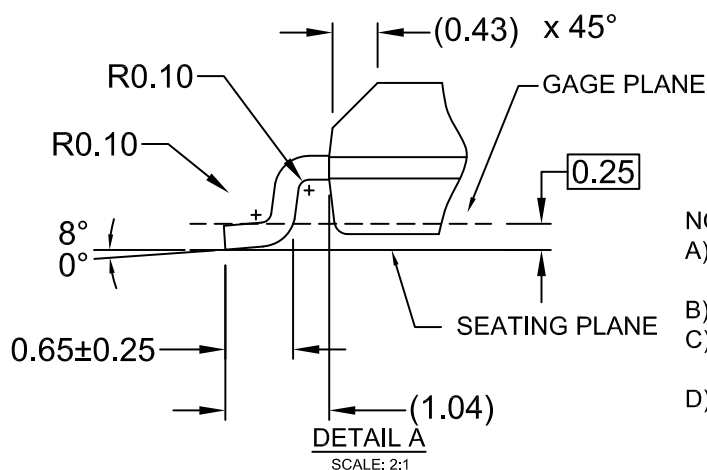
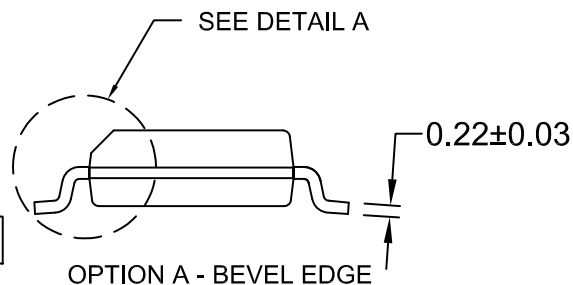
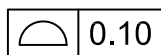
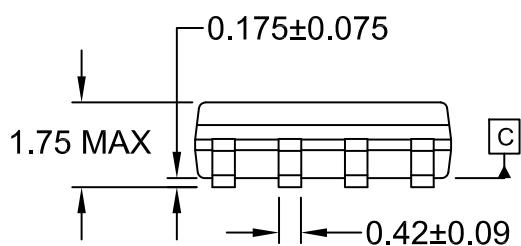
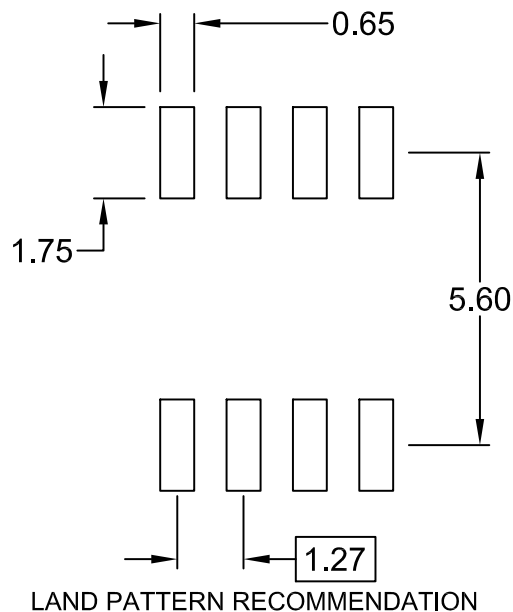
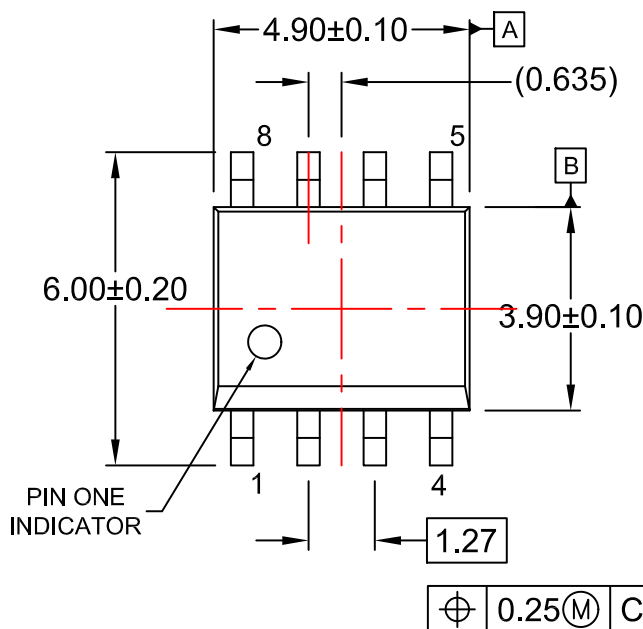
PACKAGE DIMENSIONS

ON Semiconductor®



SOIC8
CASE 751EB
ISSUE A

DATE 24 AUG 2017



NOTES:

- A) THIS PACKAGE CONFORMS TO JEDEC MS-012, VARIATION AA.
- B) ALL DIMENSIONS ARE IN MILLIMETERS.
- C) DIMENSIONS DO NOT INCLUDE MOLD FLASH OR BURRS.
- D) LANDPATTERN STANDARD: SOIC127P600X175-8M

DOCUMENT NUMBER:	98AON13735G	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC8	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Email Requests to: orderlit@onsemi.com

onsemi Website: www.onsemi.com

TECHNICAL SUPPORT

North American Technical Support:

Voice Mail: 1 800-282-9855 Toll Free USA/Canada

Phone: 011 421 33 790 2910

Europe, Middle East and Africa Technical Support:

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative