无滤波,25W单声道D类功放

概要

CS8625C 是一款25W单声道高效D 类音频功率放大电路。先进的EMI抑制技术使得在输出端口采用廉价的铁氧体磁珠滤波器就可以满足EMC 要求。内部包括一个功率可调限制器和直流检测电路来对扬声器进行保护。功率可调限制器允许用户设定一个比电源电压低的虚拟电压来限制流过扬声器的总电流，直流检测电路在输入电容损坏或者输入短路时关断输出级。

CS8625C内置了过流保护,短路保护和过热保护,有效的保护芯片在异常的工作条件下不被损坏。CS8625C可以驱动低至4Ω 负载的扬声器，具有高达90%的效率，使得在播放音乐的时候不需要额外的散热器。

CS8625C提供纤小的TSSOP24-PP封装形式供客户选择,可以为客户节省可观的PCB面积，其额定的工作温度范围为-40℃至85℃。

封装

- TSSOP24-PP

描述

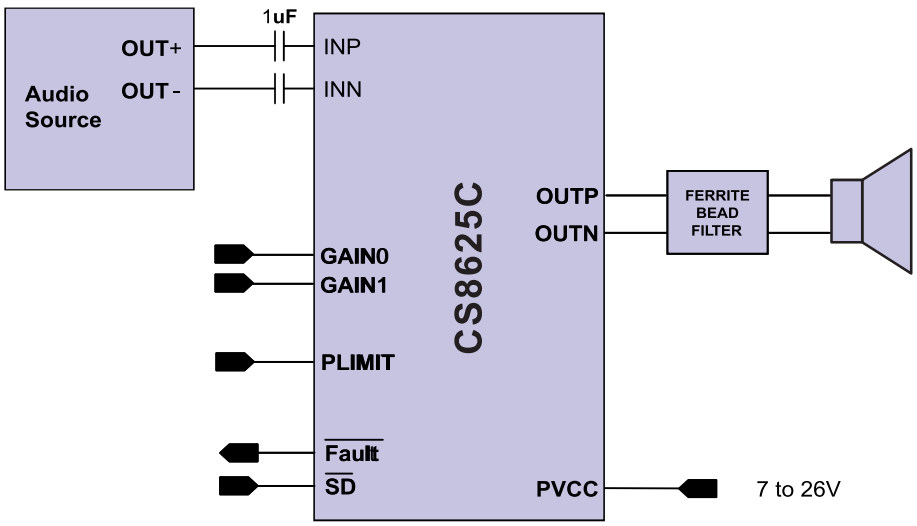
- 输出功率
  PO at 10% THD+N, VDD = 12V
  RL = 4 Ω 17W(典型值)
  PO at 10% THD+N, VDD = 14V
  RL = 4 Ω 24W/CH(典型值)
  PO at 10% THD+N, VDD = 24V
  RL = 8Ω 25W(典型值)

- 效率高达90%，无需散热片
- 较大的电源电压范围7V~26V
- 免滤波功能
- 扬声器保护包括可调功率限制器加直流保护
- 输出管脚方便布线布局
- 良好短路保护和具备自动恢复功能的温度保护
- 良好的失真和防噗声功能
- 差分输入
- 4级增益可调

应用:

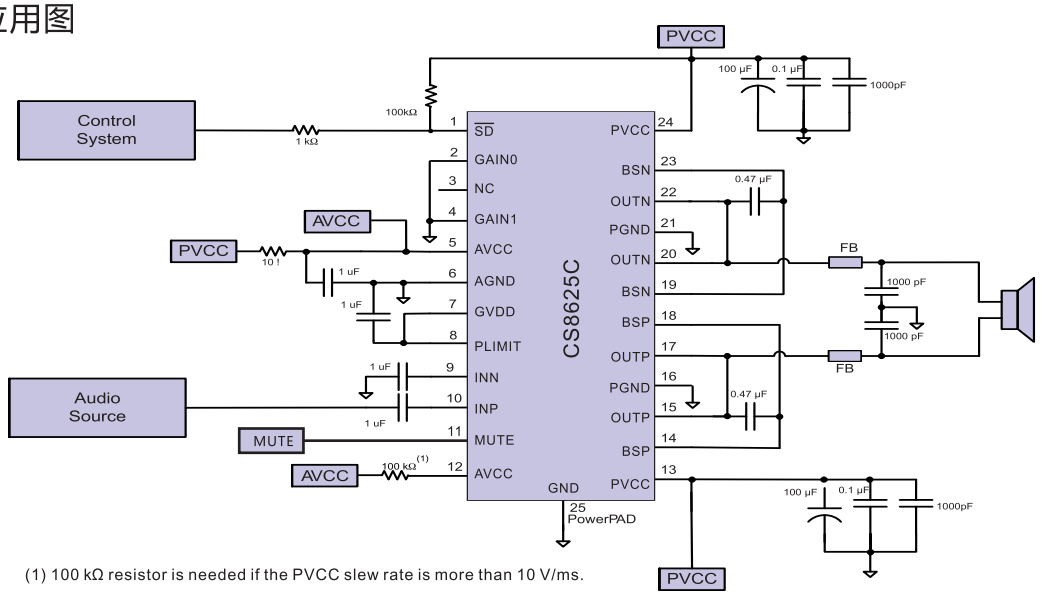
- LCD TV
- 家庭音响系统

典型应用图



差分输入应用线路图

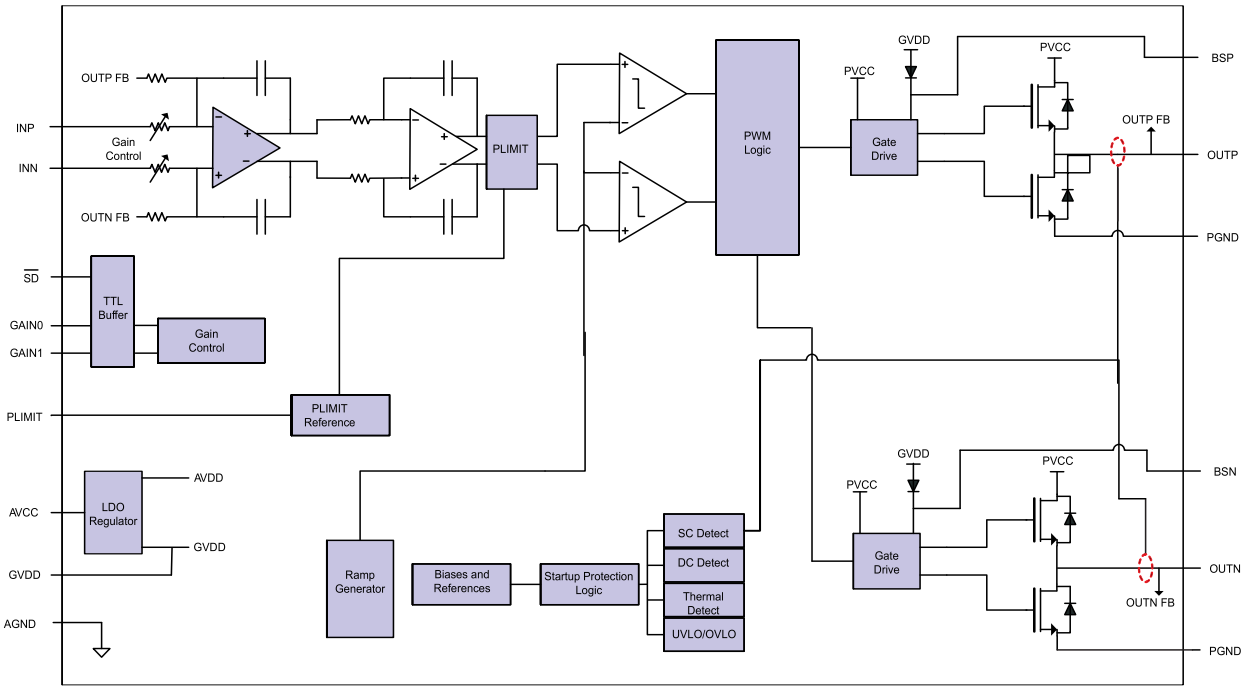
典型应用图



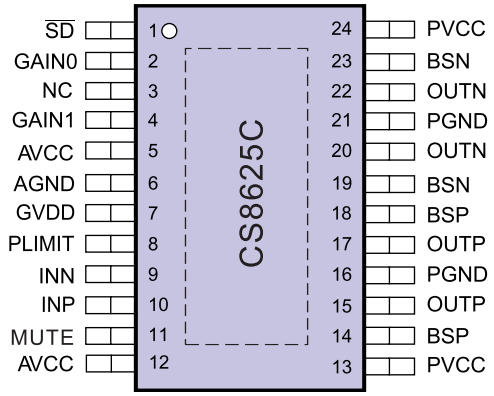
(1) 100 kΩ resistor is needed if the PVCC slew rate is more than 10 V/ms.

单端输入应用线路图

功能框图



引脚排列



(TSSOP24-PP)PACKAGE
(TOPVIEW)

引脚定义

序号	说明	属性	功能
1	/SD	I	待机逻辑输入，TTL 逻辑电压允许到AVCC
2	GAIN0	I	增益选择低位，TTL 逻辑电压允许到AVCC
3	NC	P	空脚
4	GAIN1	I	增益选择高位，TTL 逻辑电压允许到AVCC
5	AVCC	P	模拟电源
6	AGND	P	模拟地，连接到散热片
7	GVDD	P	上管栅驱动电压，同时作PLIMIT 端电源
8	PLIMIT	I	功率限制电平调整，通过在GVDD 和GND 之的电阻分压来设置限制功率大小；连接到GVDD 则无功率限制功能
9	INN	I	音源负端输入
10	INP	I	音源正端输入
11	MUTE	I	静音控制脚
12	AVCC	P	模拟电源
13	PVCC	P	功率电源
14	BSP	I	正输出上管自举
15	OUTP	O	声道正输出
16	PGND		功率地
17	OUTP	O	声道正输出
18	BSP	I	正输出上管自举
19	BSN	I	负输出上管自举
20	OUTN	O	声道负输出
21	PGND	P	功率地
22	OUTN	O	声道负输出
23	BSN	I	负输出上管自举
24	PVCC	I	功率电源

极限参数表[1]

			单位
V_{CC}	供电电源	AVCC,PVCC	0.3Vto30V
V_I	输入管脚电压	$\overline{SD}$,GAIN0,GAIN1,$\overline{FAULT}$	0.3VtoV_{CC}+0.3V
		PLIMIT	0.3VtoGVDD+0.3V
		INN,INP	0.3Vto6.3V
T_A	工作温度范围		-40℃ to 85℃
T_J	结工作温度范围		-40℃to150℃
T_{stg}	存储温度范围		-65℃ to150℃
R_L	负载	BTL:PVCC>15V	4.8
		BTL:PVCC ≤15V	3.2

热效应信息[2]

参数	描述	数值	单位
θ_{JA}	封装热阻---芯片到环境热阻	4.3	℃/W
θ_{JC}	封装热阻---芯片到封装表面热阻	56	℃/W
θ_{JB}	封装热阻---芯片到PCB板热阻	17.5	℃/W

订购信息

产品型号	封装形式	器件标识	包装尺寸	卷带宽度	数量
CS8615C	TSSOP24-PP	XXXXX CS8625C	13''	16mm	3000 units

ESD 范围

ESD 范围HBM(人体静电模式) ---------- ±2kV

ESD 范围 MM(机器静电模式) ----------±400V

1. 上述参数仅仅是器件工作的极限值，不建议器件的工作条件超过此极限值，否则会对器件的可靠性及寿命产生影响，甚至造成永久性损坏。

2. 当使用CS8615C时,PCB板放置的地方,需要有散热设计.使得CS8615C底部的散热片和PCB板的散热区域相连，并通过过孔和地相连。

推荐的工作条件

描述		测试条件	最小值	最大值	单位
V_{CC}	供电电源	PVCC,AVCC	8	26	V
V_{IH}	输入高电平	$\overline{SD}$,GAIN0,GAIN1,PBTL	2		V
V_{IL}	输入低电平	$\overline{SD}$,GAIN0,GAIN1,PBTL		0.8	V
V_{OL}	输出高电平	$\overline{FAULT}$,$R_{PULL-UP}$=100k,V_{CC}=26V		0.8	V
I_{IH}	高电平输入电流	$\overline{SD}$,GAIN0,GAIN1,PBTL,V_I =2V,V_{CC}=18V		50	uA
I_{IL}	低电平输入电流	$\overline{SD}$,GAIN0,GAIN1,PBTL,V_I=0.8V,V_{CC}=18V		5	uA

直流参数 T_A=25°C,V_{CC} = 24 V, RL = 8 Ω (除非特殊说明)

描述		测试条件		最小值	典型值	最大值	单位
$\|V_{OS}\|$	输出失调电压	V_I =0V,Gain=36dB			1.5	15	mV
I_{CC}	静态电流	$\overline{SD}$=2V,无负载,PV_{CC}=24V			32	50	mA
$I_{CC(SD)}$	待机电流	$\overline{SD}$=0.8V,无负载,PV_{CC}=24V			250	400	uA
$r_{DS(on)}$	漏源导通电阻	V_{CC} =12V,I_O=500mA, T_J =25°C	上管		240		mΩ
			下管		240		
G	增益	GAIN1=0.8V	GAIN0=0.8V	19	20	21	dB
			GAIN0=2V	25	26	27	
		GAIN1=2V	GAIN0=0.8V	31	32	33	dB
			GAIN0=2V	35	36	37	
t_{on}	开启时间	$\overline{SD}$=2V			14		ms
t_{OFF}	关断时间	$\overline{SD}$=0.8V			2		us
GVDD	栅驱动电压	I_{GVDD} =100 mA		6.4	6.9	7.4	V
t_{DCDET}	直流检测时间	$V_{(RINN)}$ =6V,VRINP=0V			420		ms

T_A=25°C,V_{CC} = 12 V, RL = 8 Ω (除非特殊说明)

描述		测试条件		最小值	典型值	最大值	单位
$\|V_{OS}\|$	输出失调电压	V_I =0V,Gain=36dB			1.5	15	mV
I_{CC}	静态电流	$\overline{SD}$=2V,无负载,PV_{CC}=12V			25	35	mA
$I_{CC(SD)}$	待机电流	$\overline{SD}$=0.8V,无负载,PV_{CC}=12V			200		uA
$r_{DS(on)}$	漏源导通电阻	V_{CC} =12V,I_O=500mA, T_J =25°C	上管		240		mΩ
			下管		240		
G	增益	GAIN1=0.8V	GAIN0=0.8V	19	20	21	dB
			GAIN0=2V	25	26	27	
		GAIN1=2V	GAIN0=0.8V	31	32	33	dB
			GAIN0=2V	35	36	37	
t_{on}	开启时间	$\overline{SD}$=2V			14		ms
t_{OFF}	关断时间	$\overline{SD}$=0.8V			2		us
GVDD	栅驱动电压	I_{GVDD} =2mA		6.4	6.9	7.4	V
Vo	功率限制下最大输出电压	$V_{(PLIMIT)}$ = 2V; V_I = 1Vrms		6.75	7.90	8.75	V

交流参数 T_A=25°C,Vcc = 24 V, RL = 8 Ω (除非特殊说明)

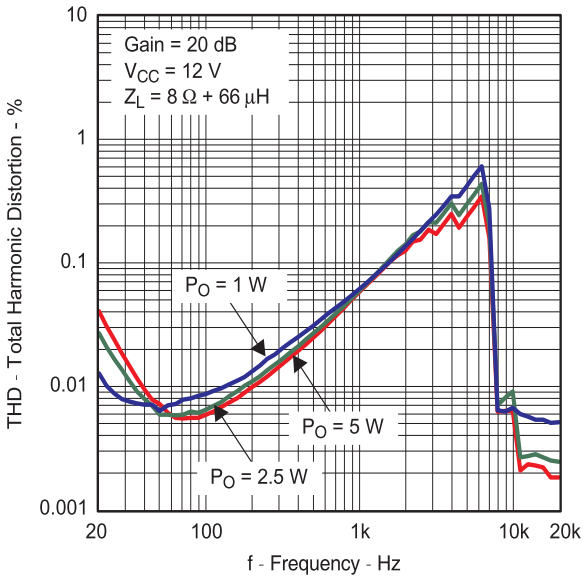
描述		测试条件	最小值	典型值	最大值	单位
K_{SVR}	电源纹波抑制比	1kHz，200mVpp 纹波 Gain=20dB，输入交流耦合到地		70		dB
P_O	输出功率	THD+N≤0.1%,f=1kHz,VCC=24V		25		W
THD+N	总谐波失真加噪声	VCC=24V，f=1kHz Po=12W（半功率）		0.05		%
V_n	输出噪声	20~22kHz，加滤波器 Gain=20dB		65		uV
				-80		dBV
	串扰	Vo=1Vrms,Gain=20dB,f=1kHz		-100		dB
SNR	信噪比	Gain=20dB 时最大输出 THD+N＜1%，f=1kHz		102		dB
f_{OSC}	振荡频率		250	310	350	kHz
	热保护温度			150		℃
	迟滞温度			15		℃

T_A=25°C,Vcc = 12 V, RL = 8 Ω (除非特殊说明)

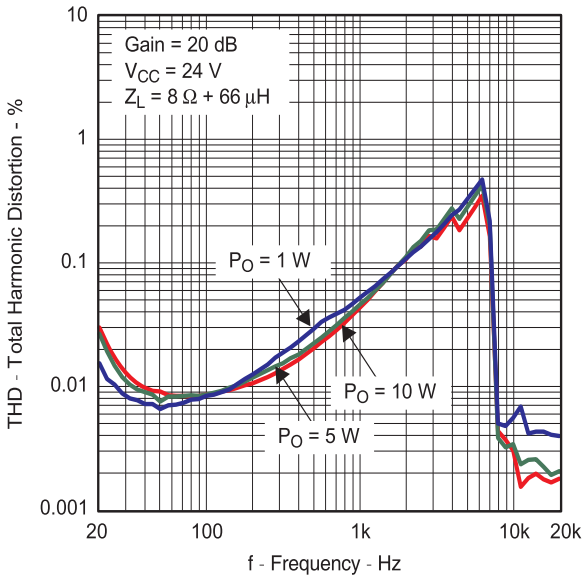
描述		测试条件	最小值	典型值	最大值	单位
K_{SVR}	电源纹波抑制比	1kHz，200mVpp 纹波 Gain=20dB，输入交流耦合到地		-70		dB
P_O	输出功率	THD+N=10%,f=1kHz,VCC=16V		10		W
THD+N	总谐波失真加噪声	VCC=16V，f=1kHz Po=7.5W（半功率）		0.06		%
V_n	输出噪声	20~22kHz，加滤波器 Gain=20dB		65		uV
				-80		dBV
	串扰	Vo=1Vrms,Gain=20dB,f=1kHz		-100		dB
SNR	信噪比	Gain=20dB 时最大输出 THD+N＜1%，f=1kHz		102		dB
f_{OSC}	振荡频率		250	310	350	kHz
	热保护温度			150		℃
	迟滞温度			20		℃

典型特征曲线 所有测试都基于1KHz信号(除非特殊说明)

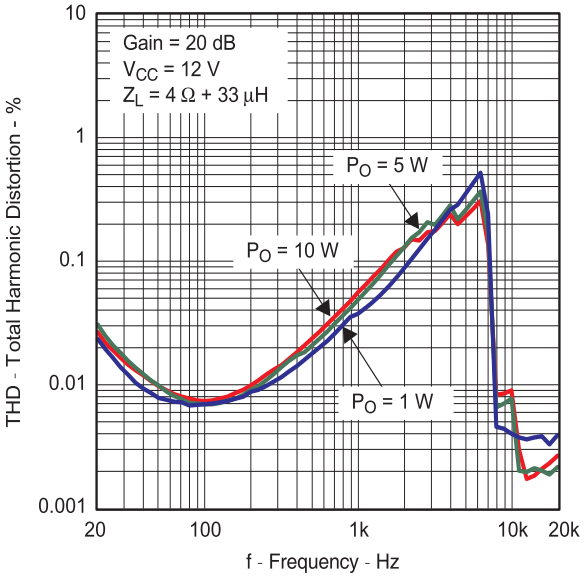
TOTALHARMONICDISTORTION vs FREQUENCY



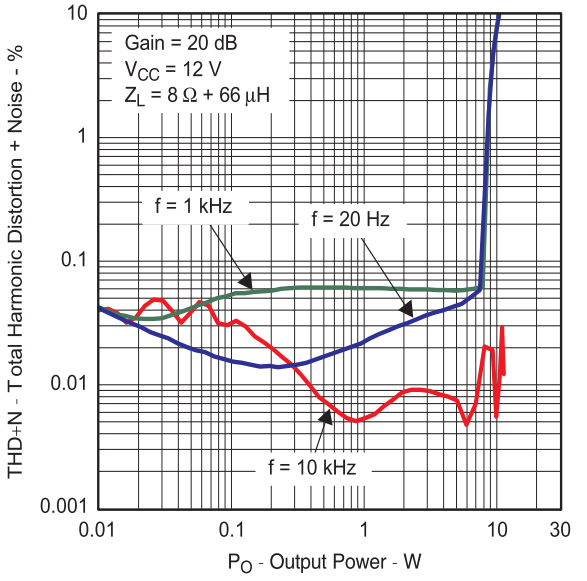
TOTALHARMONICDISTORTION vs FREQUENCY



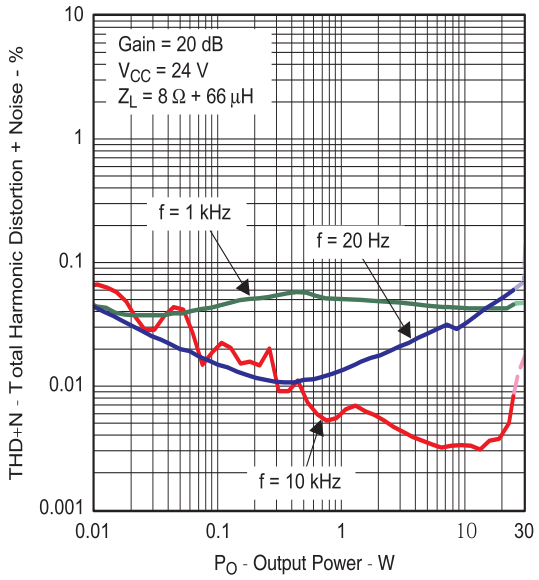
TOTALHARMONICDISTORTION vs FREQUENCY



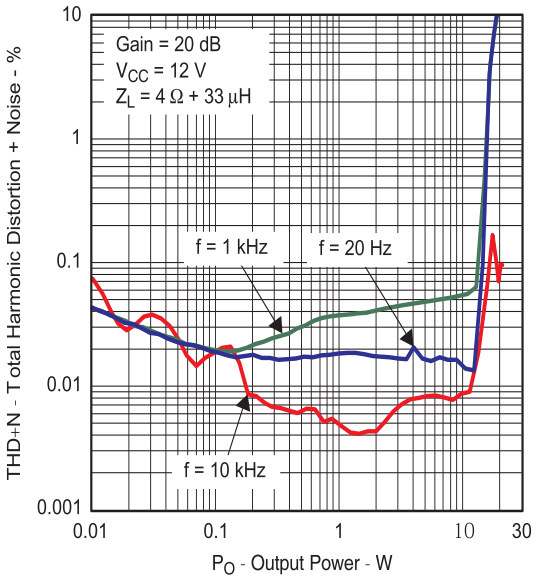
TOTALHARMONICDISTORTION+NOISE vs OUTPUTPOWER



TOTALHARMONICDISTORTION+NOISE vs OUTPUTPOWER

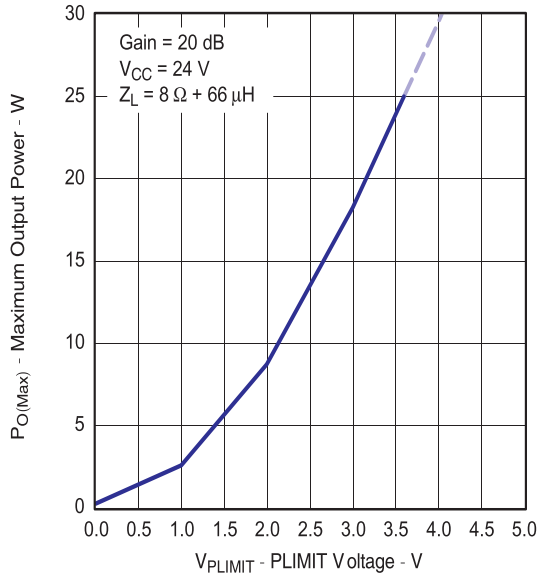


TOTALHARMONICDISTORTION+NOISE vs OUTPUTPOWER

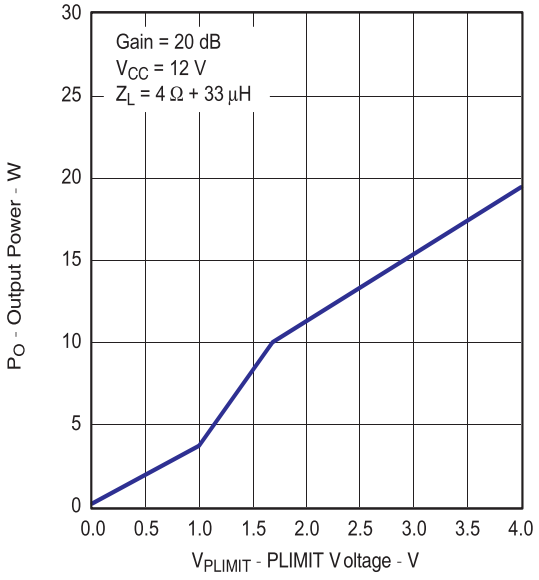


Note:Dashedlinesrepresentthermallylimitedregion.

MAXIMUMOUTPUTPOWER vs PLIMITVOLTAGE

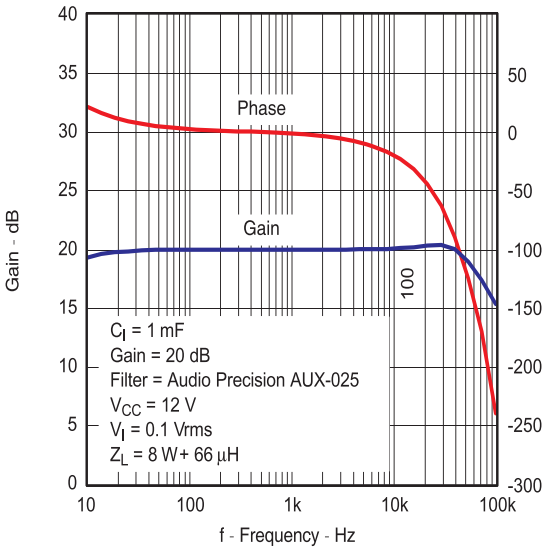


OUTPUTPOWER vs PLIMITVOLTAGE

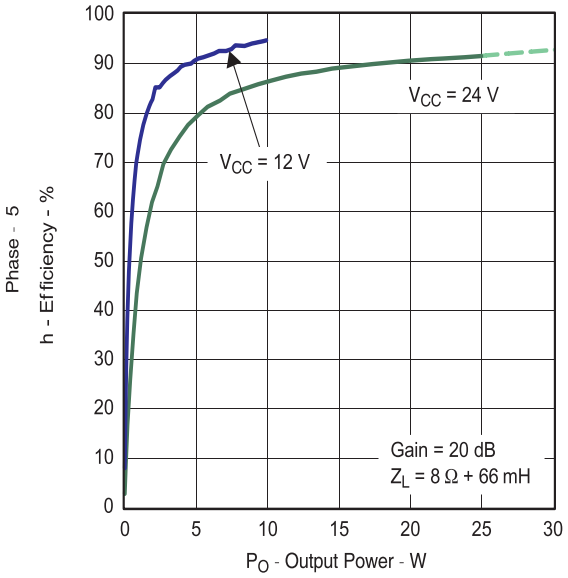


Note:Dashedlinerepresentsthermallylimitedregion.

GAIN/PHASE vs FREQUENCY

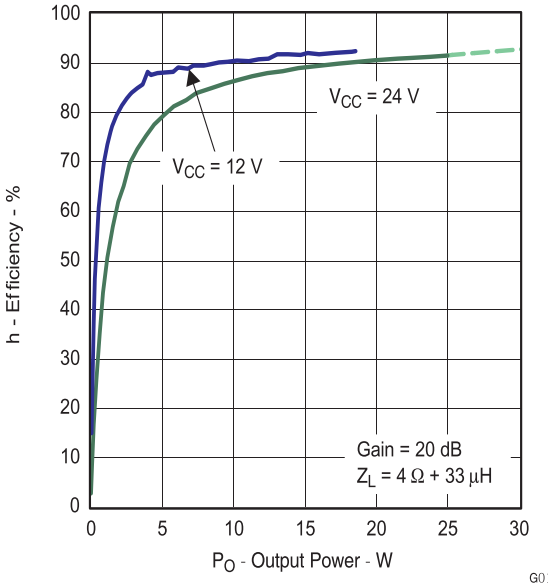


EFFICIENCY vs OUTPUTPOWER



Note:Dashedlinerepresentsthermallylimitedregion.

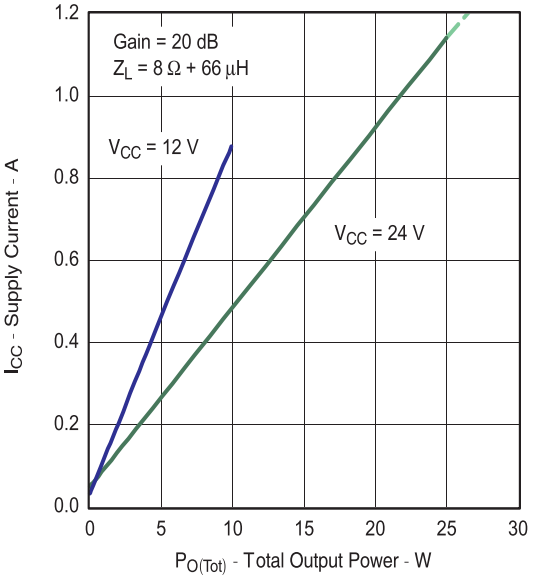
EFFICIENCY vs OUTPUTPOWER



G013

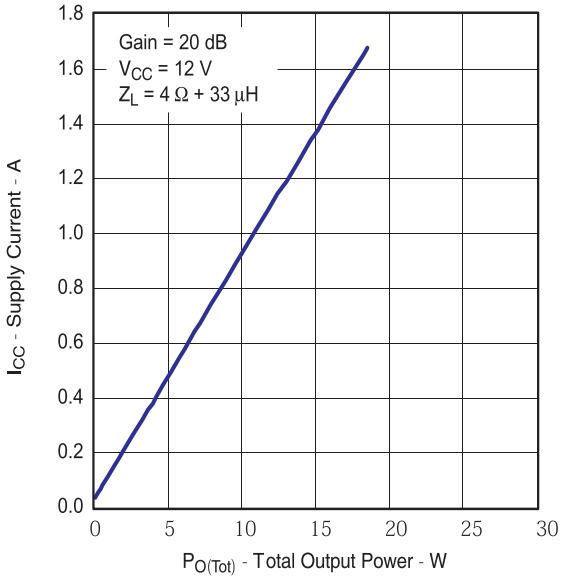
Note:Dashedlinerepresentsthermallylimitedregion.

SUPPLYCURRENT vs TOTALOUTPUTPOWER

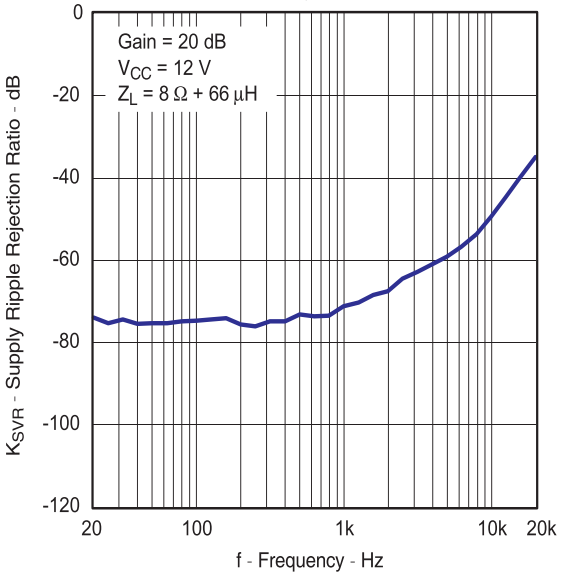


Note:Dashedlinerepresentsthermallylimitedregion.

SUPPLYCURRENT vs TOTALOUTPUTPOWER



SUPPLYRIPPLEREJECTIONRATIO vs FREQUENCY



应用说明

待机模式

/SD 输入端口在运放正常工作时应该是高电位，/SD 拉向低电位时输出关断，电路进入待机模式。不能让/SD 悬空不连接，因为这样将使得运放出现不可预知状态。为了实现最佳的关断性能，在关断电源之前将运放置于待机模式。

功率限制

功率限制功能的原理为限制功放输出PWM的最大占空比（Duty Cycle），从而限制最大输出功率。用户可通过设定PLIMIT 引脚上的电压来控制最大占空比的值，从而决定了最大功率的设定值。限制最大占空比的功率限制方式得到的结果如同降低PVCC 供电电压一样，输出的波形是带有失真的Clipping 波形，如图3所示。功率限制时，若输入模拟信号进一步加大，输出波形的失真会增加，功率会缓慢上升。

可以在GVDD到地之间加入分压电阻来设置3脚(PLIMIT)电压，用来限制输出功率，3脚分到的电压越高，允许输出的功率越大，在3脚到地添加一个1uF的电容。

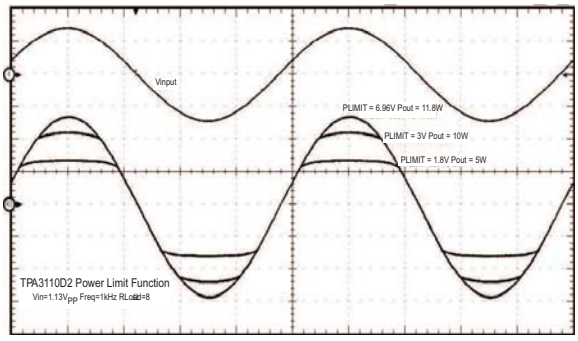


图3 CS8625C功率限制波形

实际应用中，因为占空比被限制，无论是启动时还是工作过程中的瞬态输入过大都会由于PWM被限制而被抑制住。所以Power Limiter 还可以提供瞬间的过流控制功能。

增益设置

GAIN0、GAIN1 用于选择增益，共有4 种增益设置，见下表。是通过改变放大器内部的输入和反馈电阻来实现的。这使得输入阻抗（Zi）取决于增益的设定。实际的增益设定由电阻比率来决定，所以增益随各元件本身的变化很小。

GAIN1	GAIN0	典型增益（dB）	典型输入阻抗（kΩ）	反馈电阻（kΩ）
0	0	20	60	600
0	1	26	30	
1	0	32	15	
1	1	36	9	

短路保护和自动恢复

CS8625C 对输出端短路引起的过流状态进行了保护。当短路保护时/FAULT 脚输出低电平，且短路保护状态是被锁定的，该锁定可以通过将/SD 管脚置为低态来解除。

如果想自动恢复短路锁定状态，直接连接/FAULT 管脚到/SD 管脚，这将使/FAULT 管脚自动驱动/SD 管脚为低，从而解除短路保护的锁定状态。

温度保护

CS8625C 的温度保护是防止当温度超过150°C 时器件的损坏。在此温度点器件间有±15°C 的上下容许范围。一旦温度超过设定的温度点，器件进入关闭状态，无输出，当温度下降20°C 后温度保护就会消除，器件开始正常工作。温度保护故障不会反应到/FAULT 端口。

启动和关闭时序

为了优化开关机的POP 声和避免DC Detect 功能的误触发，在系统设计时需要注意主芯片和CS8625C器件的启动时序。启动时序分为电源时序和使能时序两种，电源时序是指系统中各种芯片电源供电或断电的时序。而使能时序可理解为系统供电稳定后由系统主控决定的器件功能使能的先后次序。对于电源时序来说，由于多数主芯片的音频输出在上电和断电过程中不太稳定，理想的上电次序是系统主芯片先于CS8625C上电。然后CS8625C的PVCC再供电。断电的理想时序正好相反，为CS8625C的电源先切断，然后再切断主控芯片的供电。但是通常CS8625C的PVCC 取自于系统的主电源，该电源一般在开机后最先输出。随后再通过DC/DC 或LDO 降压给主芯片供电。所以CS8625C 一般在主芯片稳定前已经供电并启动。这种设计中，上电时必须保证CS8625C 的/SD 脚处于拉低状态，避免主芯片上电过程中的POP 声输出。掉电时，也需要将CS8625C置于standby 状态，避免主芯片掉电时的POP 声输出。通常上电过程的POP 声较容易解决， 但系统掉电时需要使用掉电检测电路来强制将CS8625C的/SD 快速拉低来解决掉电POP 声的问题。

使能时序：由于主芯片音频模拟输出的偏置电压一般在输出使能后建立，此时需要保持CS8625C的/SD 拉低，等待主芯片模拟输出的偏置电压稳定后才可以将/SD 置高开启功放。相反，需要关闭主芯片音频模拟输出功能时，需要先拉低/SD 将功放关闭后，再关闭主芯片的模拟输出信号。这样的时序是为了保证主芯片模拟输出的偏置电压掉电时不会引起POP 声。

输入级模型

CS8625C 是单电源供电的模拟输入Class D 功放，这类功放的模拟输入必须工作在直流偏置（DC BIAS）点上才可以正常传输交流音频信号，简化的输入级模型如图4 所示。CS8625C 的直流偏置电压设定在3V。

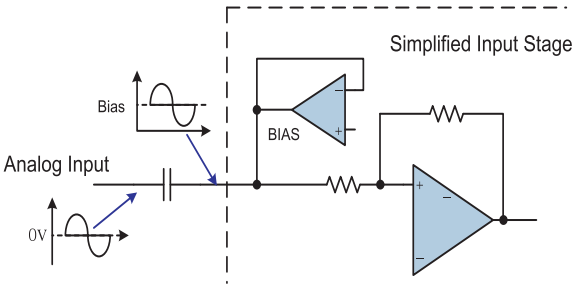


图4 模拟输入级等效模型

功放在启动时，偏置电压会从0V 上升到额定的偏置电压，该过程的时间长短取决于内部偏置电压源对外部阻抗网络的充电速度。

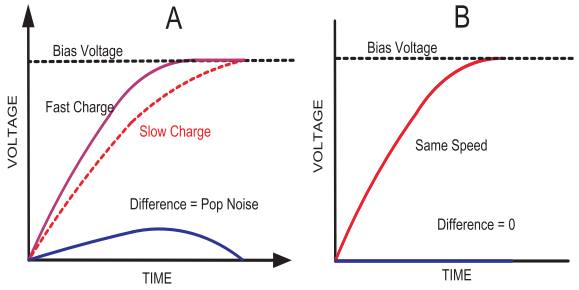


图5 差分输入偏置电压建立过程

CS8625C 差分输入INN 和INP 的输入偏置电压建立的过程如上图所示，若差分输入N 和P 端的输入偏置电压建立速度不一样（如上图5A 所示）则两者之差会形成差分信号输入功放并被放大输出，形成启动时的POP 声。差分输入端偏置电压建立过程的不平衡通常是因为输入级INN 和INP外部的阻抗不匹配所致。这种情况最容易出现在差分输入用作单端输入状态。

CS8625C 的单端输入方式

CS8625C器件的模拟输入是标准的差分输入接口。在系统设计中，推荐使用差分输入方式来接驳主芯片的音频输出。使用差分输入方式可以不仅POP 声的控制相对简单、信号抗干扰能力强，而且不会引起DC Detection 功能的误动作。差分输入方式和单端输入方式的对比如下表所示：

差分、单端输入方式对比表

	差分输入方式	单端输入方式
抗噪声干扰能力	差分输入有较强的共模噪声抑制性能	无抑制功能，需要在PCB 走线布局方面多加注意。
启动/关闭时POP 声性能	差分输入的对称性保证了最优的开关机POP 声性能	单端输入需仔细设计输入网络及控制电路，避免输入不平衡引起POP 声。
DC Detect 误触发	平衡的差分输入一般不会引起DC Detection 误动作	需注意输入网络的设计，避免启动时误触发DC Detect

不过在实际应用中，由于多数主芯片的音频模拟输出是单端模式， CS8625C的差分输入必须配置为单端接法才能使用。如下图6所示，单端输入时，主芯片输出通过耦合电容连接功放INP 脚。INN 输入通过电容耦合到地即可。

使用单端输入模式时需注意以下几点：

- 单端输入模式应用时需要更加注意音频信号的走线和地平面的分布，因为单端输入模式没有能力抑制系统中的公模干扰信号。
- 相比差分信号输入模式下，单端输入，需要输入两倍的输入信号电平来达到相同的输出功率。
- 单端输入模式必须注意P/N 脚电路网络的阻抗匹配，尽量不要在输入级使用复杂的滤波网络。不合适的阻抗网络不仅会引起开关机的POP 声，也有可能引起DC Detection 功能的误触发，导致功放锁死。
-

输入阻抗网络的匹配

若使用单端输入的方式连接CS8625C，则必须注意输入阻抗网络的匹配问题。如图6 所示，功放的INN 输入端外部阻抗为Zn，通常Zn 为耦合电容。主芯片输出阻抗一般很小，可认为输出阻抗为零，则INP 输入端外部阻抗约为Zp。功放启动时内部的偏置电压会逐步建立，其过程即为向Zn 和Zp 阻抗网络充电的过程。若Zn 和Zp 阻抗相差太大，INN 和INP 之间就会形成较大的差分信号，该差分信号被功放放大之后则形成POP 声。CS8625C功放设计的启动时间为14mS，该时间是从/SD 被拉高到功放输出声音的时间。若上述启动时对输入阻抗网络的充电稳定时间少于14mS，则因阻抗不匹配引起的差分输入也不会被放大而带来POP 声的问题。减小Zn 和Zp 中的电容参数可以缩短输入级稳定时间，但减小电容会使得低频增益降低，用户需酌情考虑。

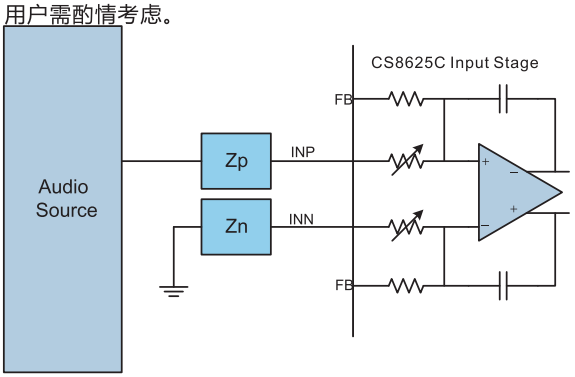


图6 匹配输入阻抗

使用运放建立隔离系统

在某些系统中，主芯片的音频信号输出不仅需要连接到功放输入，还要输出到Line Out（线路输出），或者其他的芯片进行处理。该种情况下输入级的网络比较复杂，单端输入模式的阻抗匹配不容易实现。为了解决这个问题，可以使用运放接成一个简单的跟随器来建立一个隔离的阻抗输入系统。跟随器的输入阻抗很高，对源信号没有影响。其输出阻抗非常低，可良好匹配CS8625C的输入阻抗网络。图 7 给出了使用跟随器来建立一个隔离的输入阻抗网络的电路。需要时，还可将运放用来调节信号增益及滤波。

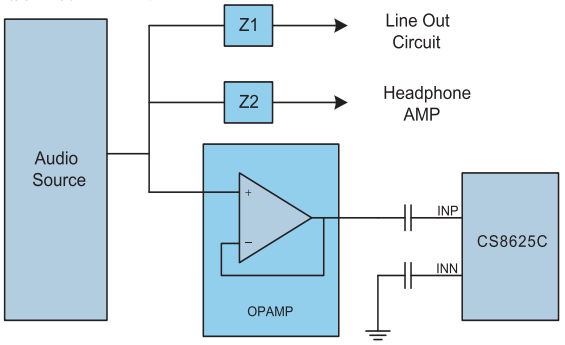


图 7 使用运放建立隔离的阻抗网络

POP 的原因及调试方法

CS8625C的Pop 声有两种可能的原因：输入阻抗不匹配及不合理的系统时序.

- 输入阻抗不匹配：输入阻抗不匹配会引起器件启动和关闭时差分输入端产生电压差，这种POP 声是在/SD 电压变化时产生的，发生在CS8625C 输入端的Bias（偏置电压）的建立过程中。遵从匹配输入级阻抗网络的方法即可解决该种POP 声。
- 不合理的系统时序:主芯片启动或关闭时，模拟输出的偏置电压也需要一个建立的过程，而且主芯片上电过程中也有可能输出不可控的POP 声。所以在上电过程中，必须保证功放处于Standby 状态下。避免将前级芯片产生的POP 声放大输出到喇叭。

POP 声的最终表现一样，但根本原因可能有不同，以下是推荐的查找POP 声原因的调试方法：

- 隔离功放输入和主芯片输出；出现POP 声后，首先要将主芯片的输出断开，并将功放输入电路部分通过电容交流短路到地。此时可以控制/SD 脚电平模拟开关机过程。若POP 声仍然存在，则说明功放启动时P/N 脚对外部网络的充电速度不一致，导致差分输入存在压差所致。若POP 消失，则可进行下一步验证。
- 确认功放无输入情况下开关无POP 声之后，可使用外部电源给主芯片供电。保持主芯片电源不切断是为了排除主芯片输出在掉电时产生POP 声的影响。此时进行整个系统正常的开关机验证POP 声。若POP 声消除，则可判断主芯片掉电时序和功放的掉电时序不匹配，导致主芯片掉电时产生的POP 声被功放放大输出。部分系统中电源并未完全关闭，系统有待机模式时可用待机芯片的I/O 口进行时序的控制，若系统的开关机是电源硬关断模式则需要进行系统电源时序的优化。部分情况下需要添加上电掉电检测电路来控制POP声。

掉电检测电路

在使用硬件开关直接关闭主电源的系统中，掉电时POP 声控制较为困难。因为该类系统无法提前预知系统掉电，无法在掉电之前使用控制器I/O 口静音或关闭功放。这时就必须使用如图8 所示的掉电检测电路来解决该问题。该电路可在系统电压跌落初期提供控制信号，使用该控制信号拉低/SD 脚即可在掉电初期快速关闭功放。掉电检测电路在正常供电时PVCC 会通过二极管D1 和电阻R1 向C1 大电容充电。掉电初期，Q1 的基极电压将随着PVCC 的跌落降低，直到跌落到Q1 三极管打开后，C1 的电压将通过Q1送给Q2 的基极，Q2 导通，/SD 被拉低。根据上述原理，可由以下计算出电压跌落的位置Vdrop：

$$V_{drop} = PVCC \times \frac{2}{R_1 + R_2} - V_f - V_{EB}$$

V_f ： 二极管 D1 的导通压降

V_{EB}: PNP三极管Q1的饱和导通时基极-集电极压降

该例中，PVCC 为12V， Vf 和Veb 为0.7V， 则掉电保护点约在10.3V 左右，与波形图9 吻合。

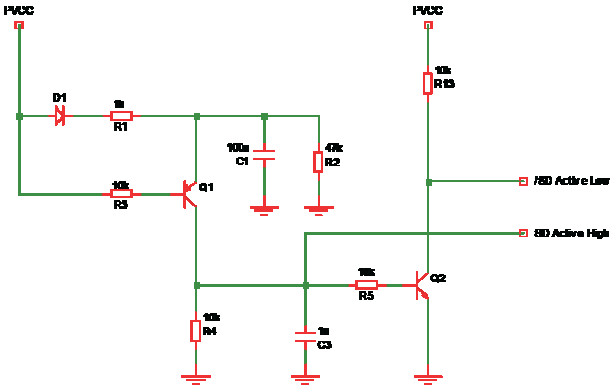


图8 掉电检测电路

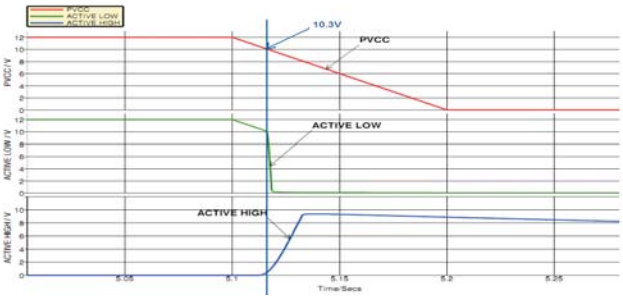
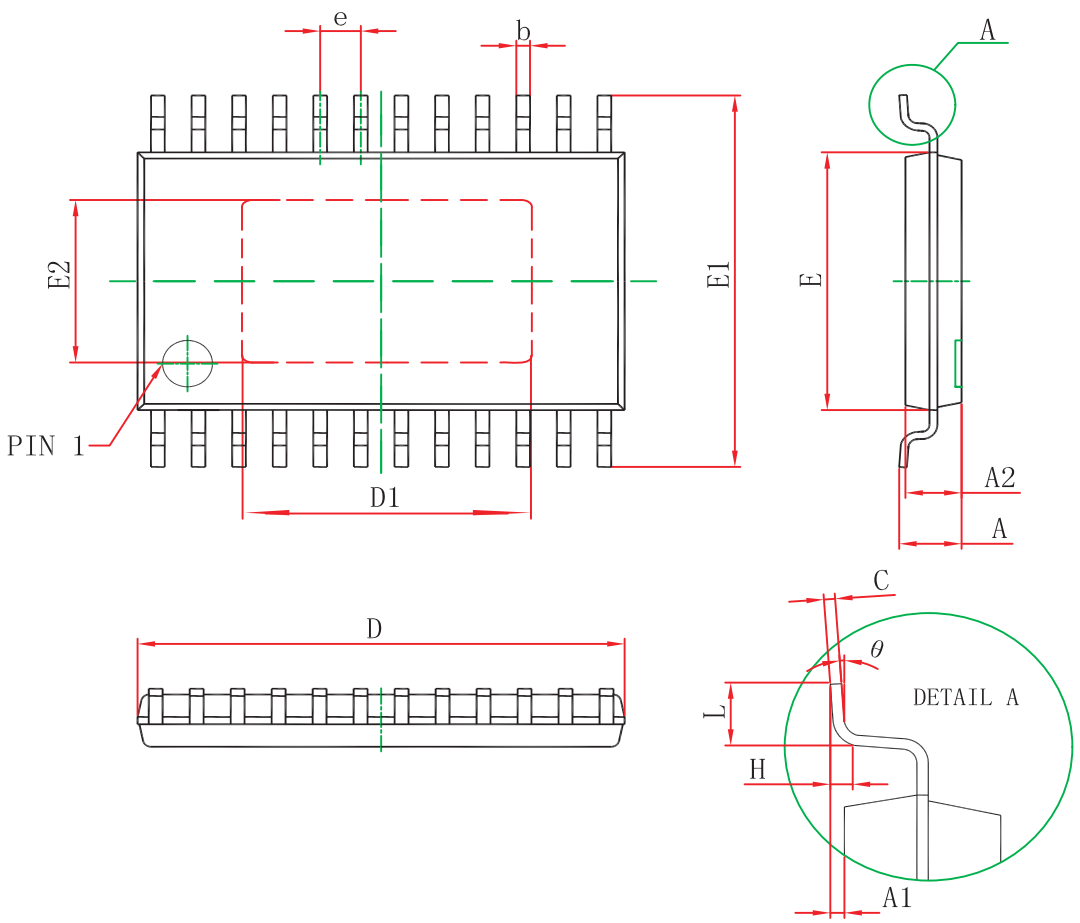


图9 掉电检测电路示例波形

掉电检测电路在应用时需要注意调整R1 和R2 的数值，选择合适的掉电保护点。避免电源的纹波触发掉电保护电路导致误触发静音。电路中给出了Active High 和Active Low 两种逻辑供用户选择。可以根据功放所需的逻辑自行选用。

封装信息



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
D	7.700	7.900	0.303	0.311
D1	4.700	4.900	0.185	0.188
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
E2	2.700	2.900	0.106	0.122
A		1.100		0.043
A2	0.800	1.000	0.031	0.039
A1	0.020	0.150	0.001	0.006
e	0.65 (BSC)		0.026(BSC)	
L	0.500	0.700	0.02	0.028
H	0.25(TYP)		0.01(TYP)	

Notes:

(1) 所有尺寸都为毫米；