

SN74LVC1G3157-Q1 汽车单极双投模拟开关

1 特性

- 提供功能安全
 - 可帮助进行功能安全系统设计的文档
- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C， T_A
- ESD 保护超过 2000V（根据 MIL-STD-883 方法 3015）；超过 200V（使用机器模型， $C = 200\text{pF}$ ， $R = 0$ ）
- 1.65V 至 5.5V V_{CC} 运行
- 可用于模拟和数字应用
- 指定的先断后合开关
- 轨到轨信号处理
- 高度线性
- 高速，典型值为 0.5ns（ $V_{CC} = 3\text{V}$ ， $C_L = 50\text{pF}$ ）
- 低导通电阻，典型值 $\approx 6\Omega$ （ $V_{CC} = 4.5\text{V}$ ）
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范

2 应用

- 高级驾驶辅助系统 (ADAS)

3 说明

SN74LVC1G3157-Q1 器件是一种单极双投 (SPDT) 模拟开关，设计工作电压范围为 1.65V 至 5.5V V_{CC} 。

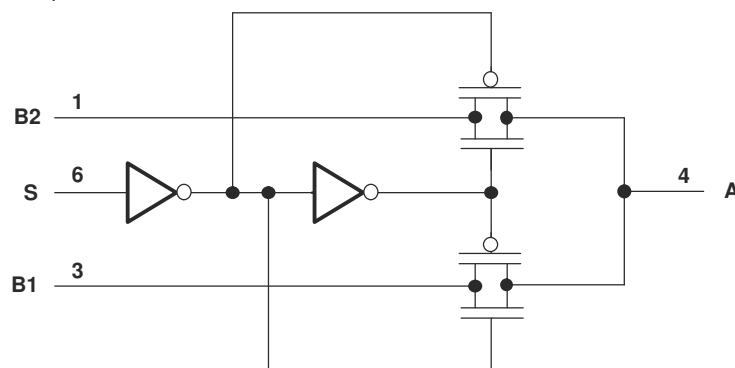
SN74LVC1G3157 器件可处理模拟信号和数字信号。该器件允许在任意方向传输振幅高达 V_{CC} （峰值）的信号。

应用包括信号选通、斩波、调制或者解调 (modem)，以及针对模数和数模转换系统的信号复用。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
SN74LVC1G3157-Q1	SOT-23 (6)	2.90mm × 1.60mm
	SC70 (6)	2.00mm × 1.25mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



逻辑图 (正逻辑)



内容

1 特性	1	8.3 特性说明	15
2 应用	1	8.4 器件功能模式	15
3 说明	1	9 应用和实现	16
4 修订历史记录	2	9.1 应用信息.....	16
5 引脚配置和功能	3	9.2 典型应用.....	16
6 规格	4	10 电源相关建议	17
6.1 绝对最大额定值.....	4	11 布局	18
6.2 ESD 等级.....	4	11.1 布局指南.....	18
6.3 建议的操作条件.....	5	11.2 布局示例.....	18
6.4 热性能信息.....	5	12 器件和文档支持	19
6.5 电气特性.....	6	12.1 文档支持.....	19
6.6 开关特性.....	7	12.2 接收文档更新通知.....	19
6.7 模拟开关特性.....	7	12.3 支持资源.....	19
6.8 典型特性.....	8	12.4 商标.....	19
7 参数测量信息	9	12.5 Electrostatic Discharge Caution.....	19
8 详细说明	15	12.6 术语表.....	19
8.1 概述.....	15	13 机械、封装和可订购信息	19
8.2 功能框图.....	15		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (April 2019) to Revision H (December 2021)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 向数据表添加了功能安全文本.....	1
Changes from Revision F (March 2015) to Revision G (April 2019)	Page
• 更改了汽车类特性	1
• 更改了 引脚配置图片.....	3
• 更改了 ESD 等级表.....	4
Changes from Revision E (April 2008) to Revision F (March 2015)	Page
• 添加了 ESD 等级表、特性说明 部分、器件功能模式、应用和实现 部分、电源相关建议 部分、布局 部分、器件和文档支持 部分以及 机械、封装和可订购信息 部分.....	1

5 引脚配置和功能

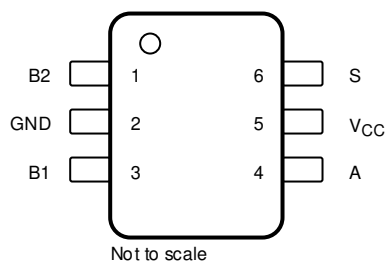


图 5-1. DBV 封装
6 引脚 SOT-23
顶视图

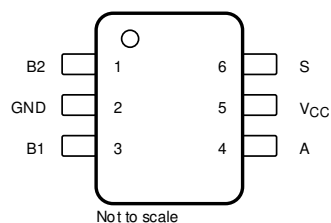


图 5-2. DCK 封装
6 引脚 SC70
顶视图

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
A	4	I/O	普通端子
B1	3	I/O	第一个端子
B2	1	I/O	第二个端子
GND	2	—	接地
S	6	I	选择
V _{CC}	5	I	电源

(1) I = 输入, O = 输出, G = 接地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压 ⁽²⁾	-0.5	6.5	V
V_{IN}	控制输入电压 ^{(2) (3)}	-0.5	6.5	V
$V_{I/O}$	开关 I/O 电压 ^{(2) (3) (4) (5)}	-0.5	$V_{CC}+0.5$	V
I_{IK}	控制输入钳位电流	$V_{IN} < 0$	-50	mA
I_{IOK}	I/O 端口二极管电流	$V_{I/O} < 0$	-50	mA
$I_{I/O}$	导通状态开关电流	$V_{I/O} = 0$ 至 V_{CC} ⁽⁶⁾	± 128	mA
	通过 V_{CC} 或 GND 的持续电流		± 100	mA
θ_{JA}	封装热阻 ⁽⁷⁾	DBV 封装	165	°C/W
		DCK 封装	258	
T_{stg}	存储温度	-65	150	°C

(1) 超出绝对最大额定值下列出的值的应力可能会对器件造成损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 除非另有说明，否则所有电压均以接地为基准。

(3) 如果遵守输入和输出钳位电流额定值，则可能会超过输入和输出负电压额定值。

(4) 该值被限制为最大 5.5V。

(5) V_I 、 V_O 、 V_A 和 V_{Bn} 用于表示 $V_{I/O}$ 的特定条件。

(6) I_I 、 I_O 、 I_A 和 I_{Bn} 用于表示 $I_{I/O}$ 的特定条件。

(7) 封装热阻抗根据 JESD 51-7 计算。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 1C	± 2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	± 1000	
		CDM ESD 分类等级 C6 其他引脚 转角引脚 (B2、B1、S 和 A)	± 1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议的操作条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	标称值	最大值	单位
V _{CC}		1.65		5.5	V
V _{I/O}		0		V _{CC}	V
V _{IN}		0		5.5	V
V _{IH}	高电平输入电压，控制输入	V _{CC} =1.65V 至 1.95V		V _{CC} × 0.75	V
		V _{CC} = 2.3V 至 5.5V		V _{CC} × 0.7	
V _{IL}	低电平输入电压，控制输入	V _{CC} =1.65V 至 1.95V		V _{CC} × 0.25	V
		V _{CC} = 2.3V 至 5.5V		V _{CC} × 0.3	
Δ t/ Δ v	输入转换上升/下降时间	V _{CC} =1.65V 至 1.95V		20	ns/V
		V _{CC} =2.3V 至 2.7V		20	
		V _{CC} =3V 至 3.6V		10	
		V _{CC} = 4.5V 至 5.5V		10	
T _A		-40		125	℃

(1) 器件所有的未使用输入必须被保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 [慢速或浮点 CMOS 输入的影响, SCBA004](#)。

6.4 热性能信息

热指标 ⁽¹⁾		SN74LVC1G3157-Q1		单位
		DBV (SOT-23)	DCK (SC70)	
		6 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	201.8	233.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	103.7	107.9	
$R_{\theta JB}$	结至电路板热阻	51.8	52.7	
Ψ_{JT}	结至顶部特征参数	12	4.9	
Ψ_{JB}	结至电路板特征参数	51.4	52.4	

(1) 有关新旧热指标的更多信息, 请参阅 [IC 封装热指标](#) 应用报告 [SPRA953](#)。

6.5 电气特性

在推荐的自然通风条件下的工作温度范围 (除非另外注明)

参数	测试条件	V _{CC}	最小值	典型值 (1)	最大值	单位
r _{on} 导通状态开关电阻(2)	请参阅图 7-1 和图 6-1	V _I = 0V , I _O = 4 mA	1.65V	11	20	Ω
		V _I = 1.65V , I _O = -4 mA		15	50	
		V _I = 0V , I _O = 8 mA	2.3V	8	12	
		V _I = 2.3V , I _O = -8 mA		11	30	
		V _I = 0V , I _O = 24 mA	3V	7	9.5	
		V _I = 3V , I _O = -24 mA		9	20	
		V _I = 0V , I _O = 30 mA	4.5V	6	7.5	
		V _I = 2.4V , I _O = -30 mA		7	12	
		V _I = 4.5 , I _O = -30 mA		7	15	
r _{range} 信号范围内(2) (3)的导通状态开关电阻	0 ≤ V _{Bn} ≤ V _{CC} (请参阅图 7-1 和图 6-1)	I _A = -4mA	1.65V		140	Ω
		I _A = -8mA	2.3V		45	
		I _A = -24mA	3V		18	
		I _A = -30mA	4.5V		10	
Δ r _{on} 开关之间导通状态电阻的差异(2) (4) (5)	请参阅图 7-1	V _{Bn} = 1.15V , I _A = -4mA	1.65V	0.5		Ω
		V _{Bn} = 1.6V , I _A = -8mA	2.3V	0.1		
		V _{Bn} = 2.1V , I _A = -24mA	3V	0.1		
		V _{Bn} = 3.15V , I _A = -30mA	4.5V	0.1		
r _{on(flat)} 导通状态电阻平坦度(2) (4) (6)	0 ≤ V _{Bn} ≤ V _{CC}	I _A = -4mA	1.65V	110		Ω
		I _A = -8mA	2.3V	26		
		I _A = -24mA	3V	9		
		I _A = -30mA	4.5V	4		
I _{off} (7) 关断状态开关漏电流	0 ≤ V _I , V _O ≤ V _{CC} (请参阅图 7-2)	1.65V 至 5.5V		±1 ±0.05	±1(1)	μA
I _{S(on)} 导通状态开关漏电流	V _I = V _{CC} 或 GND , V _O = 开 (请参阅图 7-3)	5.5V		±1 ±0.1(1)		μA
I _{IN} 控制输入电流	0 ≤ V _{IN} ≤ V _{CC}	0V 至 5.5V		±1 ±0.05	±1(1)	μA
I _{CC} 电源电流	V _{IN} = V _{CC} 或 GND	5.5V		1	10	μA
Δ I _{CC} 电源电流变化	V _{IN} = V _{CC} - 0.6V	5.5V			500	μA
C _{in} 控制输入电容	S	5V		2.7		pF
C _{io(off)} 开关 I/O 电容	Bn	5V		5.2		pF
C _{io(on)} 开关 I/O 电容	Bn	5V		17.3		pF
	A			17.3		

(1) T_A = 25°C

(2) 在通过开关的指示电流下由 I/O 引脚之间的电压降测量。通态电阻由两个 (A 或 B) 端口上的较低电压决定。

(3) 由设计指定

(4) Δ r_{on} = r_{on(max)} - r_{on(min)} , 在相同的 V_{CC}、温度或电压电平下测得

(5) 此参数已表征, 但未经量产测试。

(6) 平坦度定义为在指定条件范围内导通状态电阻的最大值和最小值之间的差异。

(7) I_{off} 与 I_{S(off)} 相同 (关断状态开关漏电流) 。

6.6 开关特性

在建议的自然通风条件下的工作温度范围内（除非另有说明）（请参阅图 7-4 和图 7-10）

参数	FROM (输入)	TO (输出)	$V_{CC} = 1.8V \pm 0.15V$		$V_{CC} = 2.5V \pm 0.2V$		$V_{CC} = 3.3V \pm 0.3V$		$V_{CC} = 5V \pm 0.5V$		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{pd}^{(1)}$	A 或 Bn	Bn 或 A	2		1.2		0.8		0.3		ns
$t_{en}^{(2)}$	S	Bn	7	24	3.5	14	2.5	7.6	1.7	5.7	ns
$t_{dis}^{(3)}$			3	13	2	7.5	1.5	5.3	0.8	3.8	
$t_{B-M}^{(4)}$			0.5		0.5		0.5		0.5		ns

- (1) t_{pd} 为 t_{PLH} 或 t_{PHL} 的较低者。当由一个理想电压源（零输出阻抗）驱动时，传播延迟是使用此开关导通状态电阻典型值和额定负载电容计算得出的 RC 时间常数。
- (2) t_{en} 为 t_{PZL} 或 t_{PZH} 的较低者。
- (3) t_{dis} 为 t_{PLZ} 或 t_{PHZ} 的较低者。
- (4) 由设计指定

6.7 模拟开关特性

$T_A = 25^\circ C$

参数	FROM (输入)	TO (输出)	测试条件	V_{CC}	典型值	单位
频率响应 (开关导通) ⁽¹⁾	A 或 Bn	Bn 或 A	$R_L = 50\Omega$, $f_{in} =$ 正弦波 (请参阅图 7-5)	1.65V	300	MHz
				2.3V	300	
				3V	300	
				4.5V	300	
串扰 (开关间) ⁽²⁾	B1 或 B2	B2 或 B1	$R_L = 50\Omega$, $f_{in} = 10MHz$ (正弦波) (请参阅图 7-6)	1.65V	-54	dB
				2.3V	-54	
				3V	-54	
				4.5V	-54	
馈通衰减 (开关关闭) ⁽²⁾	A 或 Bn	Bn 或 A	$C_L = 5pF$, $R_L = 50\Omega$, $f_{in} = 10MHz$ (正弦波) (请参阅图 7-7)	1.65V	-57	dB
				2.3V	-57	
				3V	-57	
				4.5V	-57	
电荷注入 ⁽³⁾	S	A	$C_L = 0.1nF$, $R_L = 1M\Omega$ (请参阅图 7-8)	3.3V	3	pC
				5V	7	
总谐波失真	A 或 Bn	Bn 或 A	$V_I = 0.5V_{p-p}$, $R_L = 600\Omega$, $f_{in} = 600Hz$ 至 $20kHz$ (正弦波) (请参阅图 7-9)	1.65V	0.1%	V
				2.3V	0.025%	
				3V	0.015%	
				4.5V	0.01%	

- (1) 调整 f_{in} 电压以在输出端获得 0dBm。增加 f_{in} 频率，直到 dB 计读数为 -3dB。
- (2) 调整 f_{in} 电压以在输入端获得 0dBm。
- (3) 由设计指定

6.8 典型特性

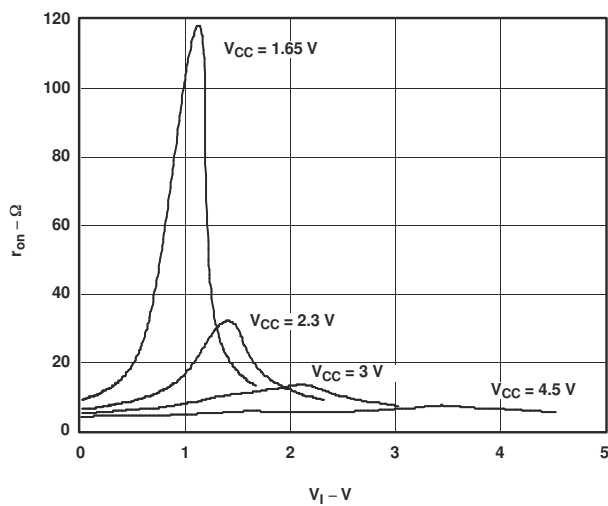


图 6-1. 典型 R_{on} 与输入电压 (V_I) 之间的函数关系 ($V_I = 0$ 至 V_{CC})

7 参数测量信息

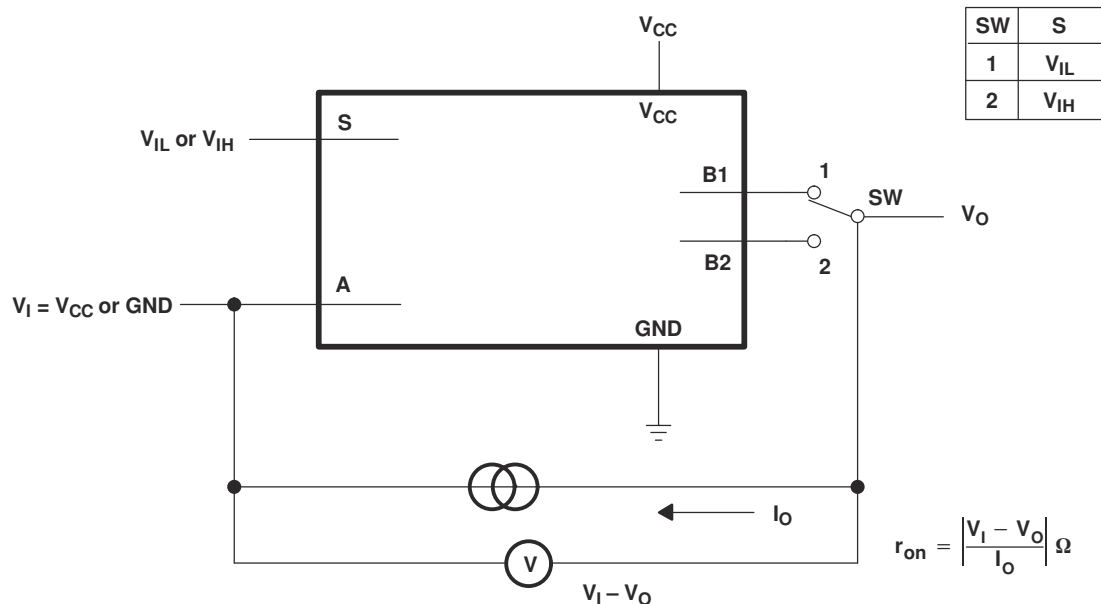


图 7-1. 导通电阻测试电路

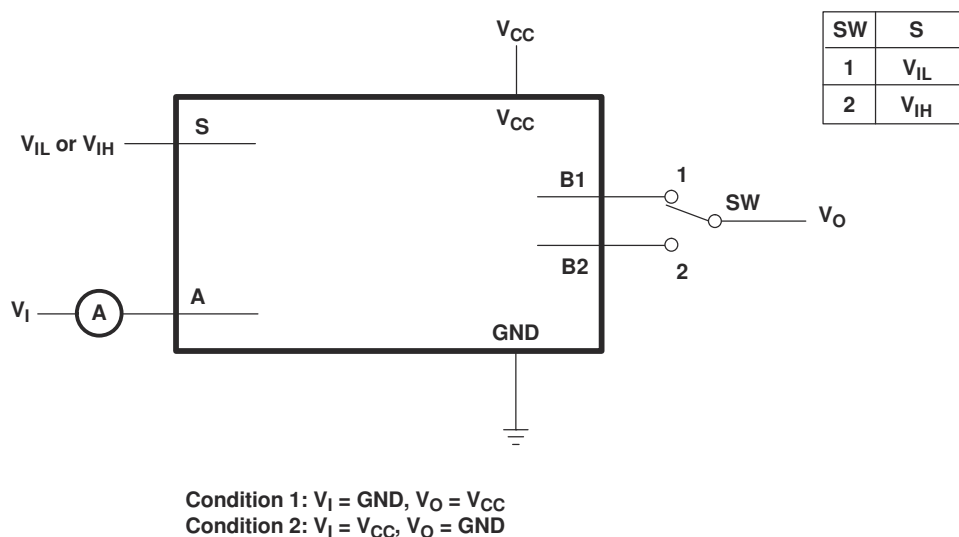


图 7-2. 关断状态开关漏电流测试电路

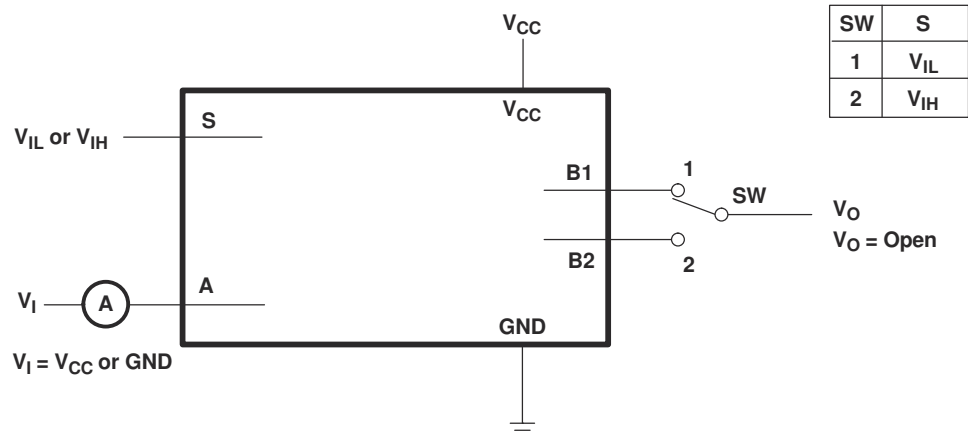
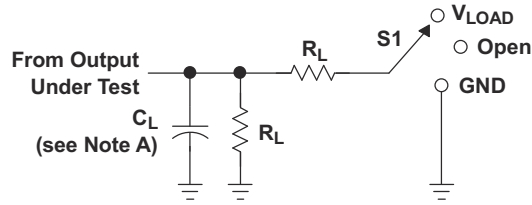


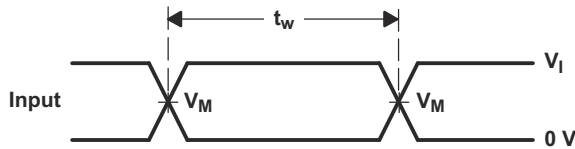
图 7-3. 导通状态开关漏电流测试电路



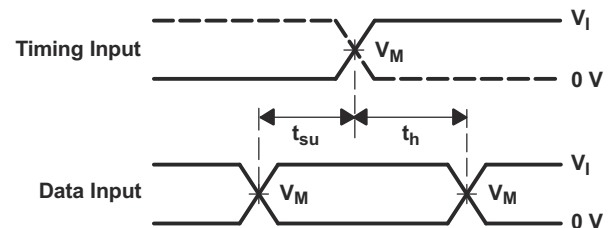
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

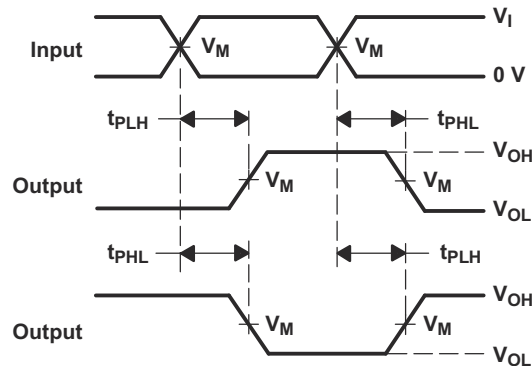
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_r/t_f					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V
$3.3\text{ V} \pm 0.3\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V



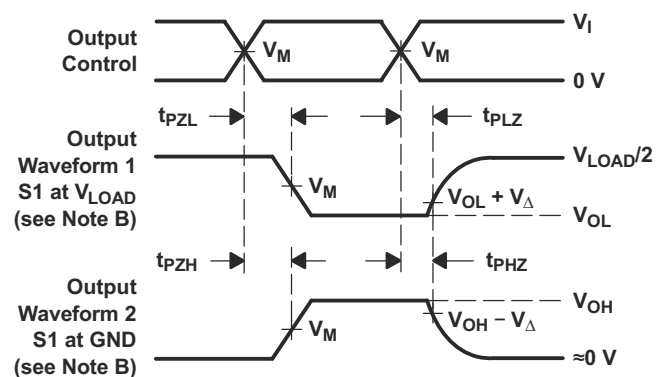
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- C_L includes probe and jig capacitance.
 - Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - All input pulses are supplied by generators having the following characteristics: PRR $\leq 10\text{ MHz}$, $Z_O = 50\text{ }\Omega$.
 - The outputs are measured one at a time, with one transition per measurement.
 - t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - t_{PZL} and t_{PZH} are the same as t_{en} .
 - t_{PLH} and t_{PHL} are the same as t_{pd} .
 - All parameters and waveforms are not applicable to all devices.

图 7-4. 负载电路和电压波形

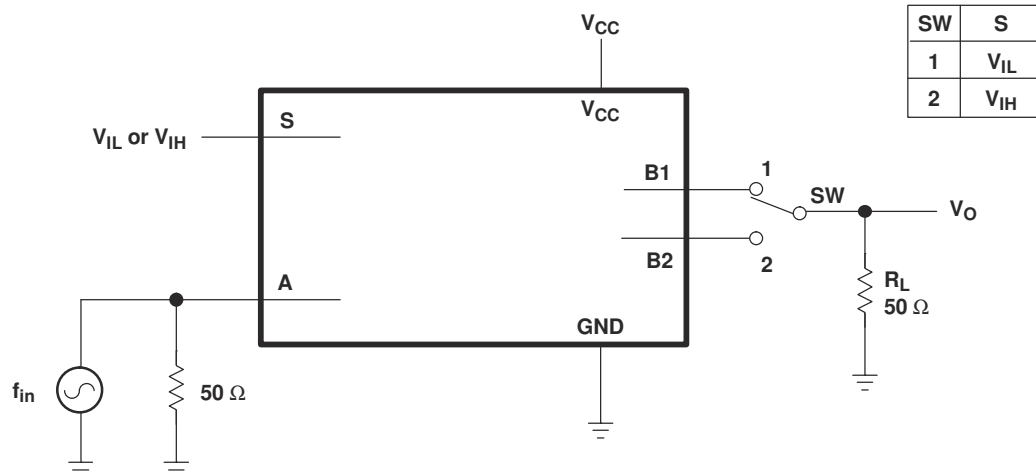


图 7-5. 频率响应 (开关导通)

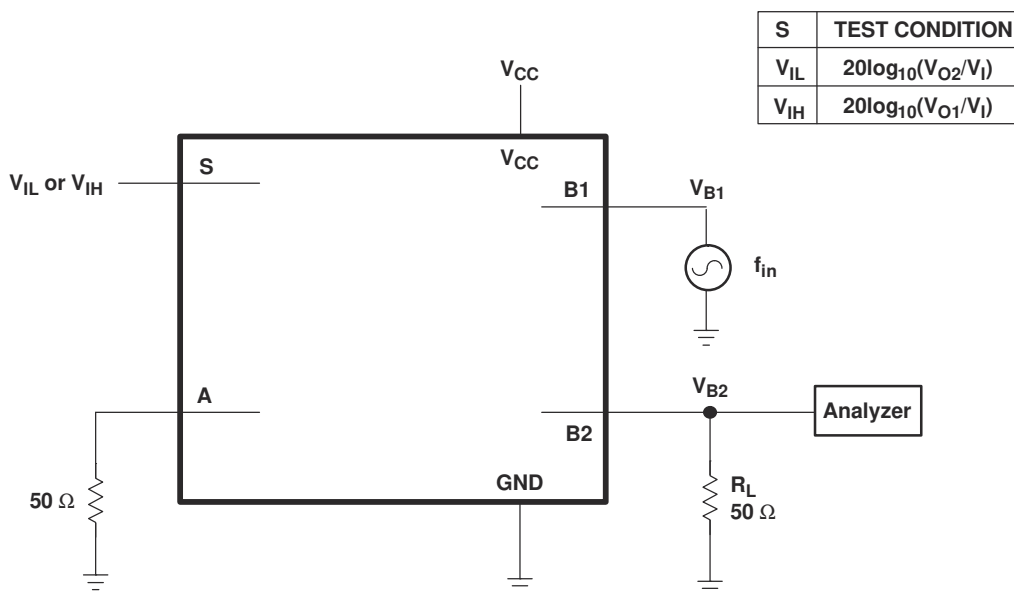


图 7-6. 串扰 (开关间)

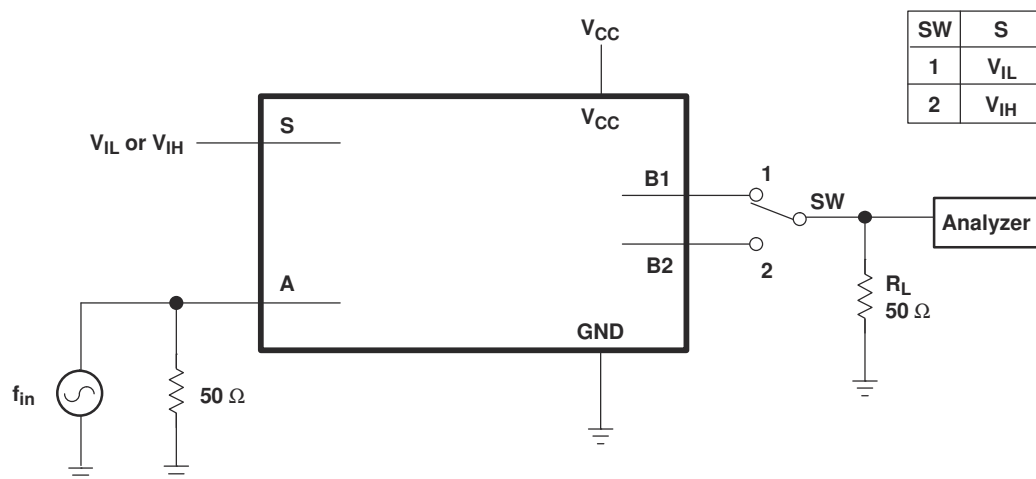


图 7-7. 馈通

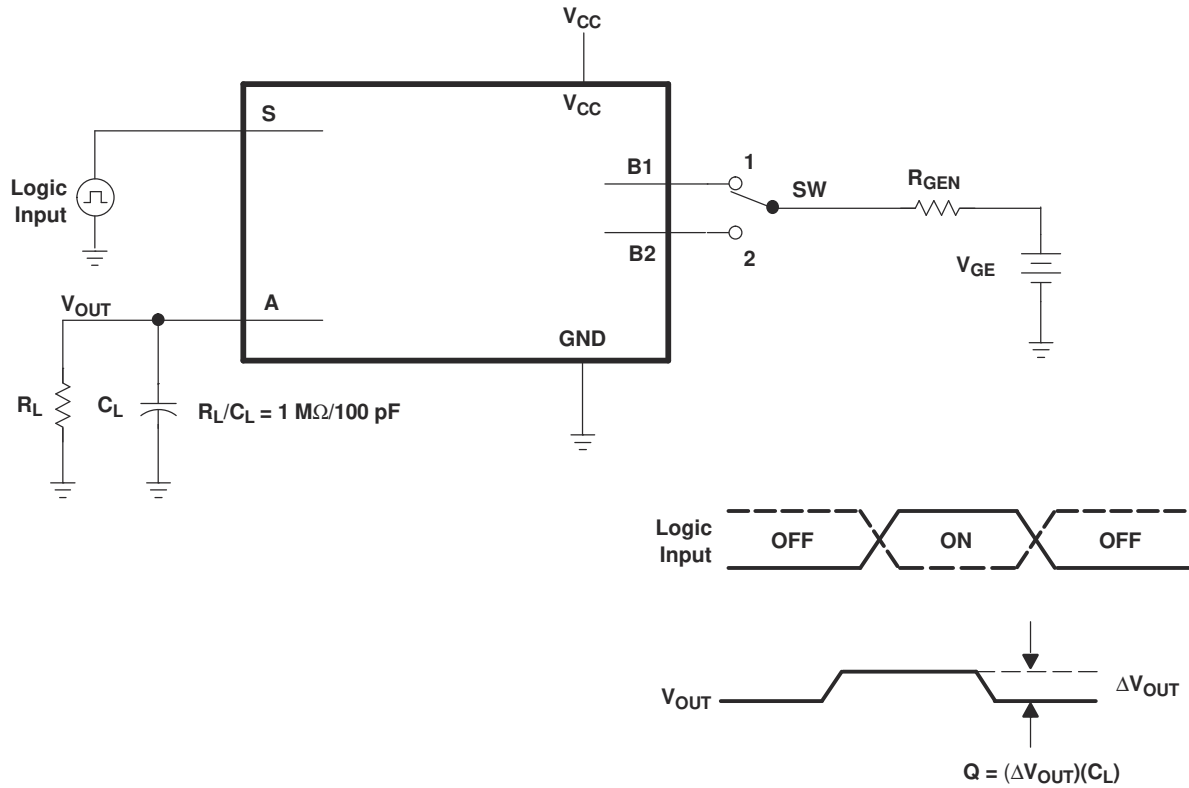


图 7-8. 电荷注入测试

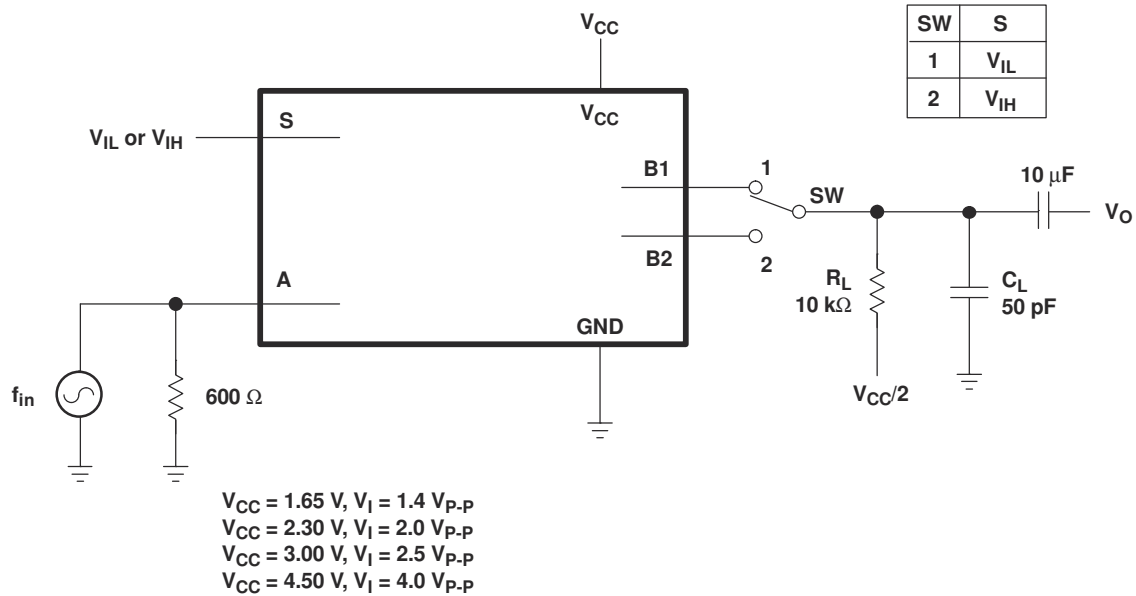


图 7-9. 总谐波失真

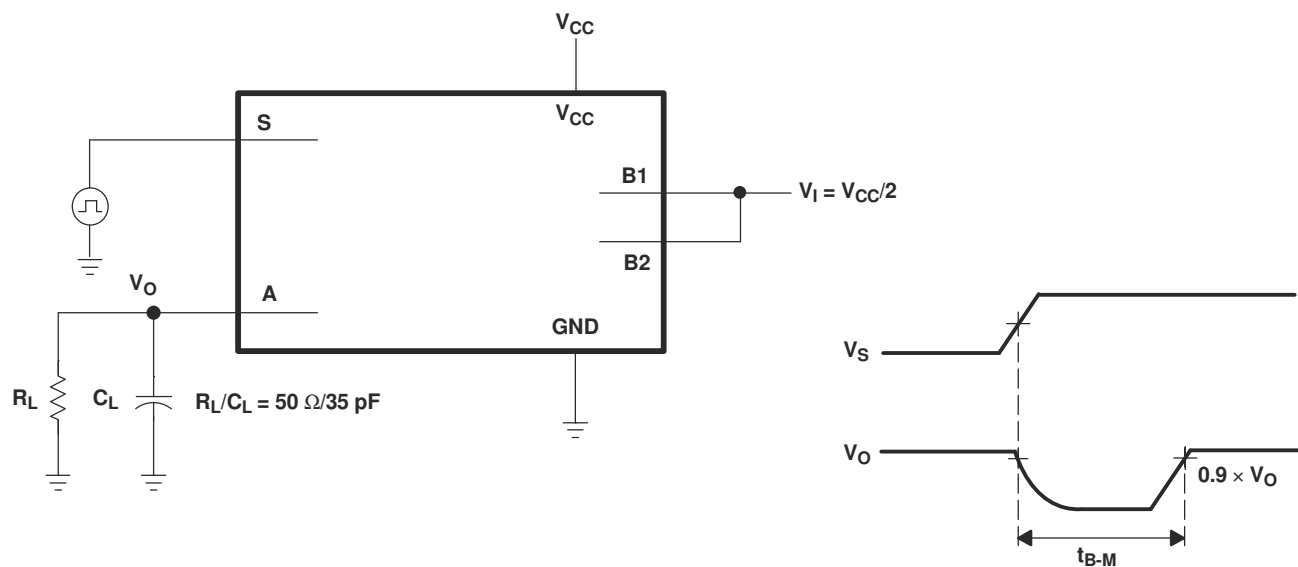


图 7-10. 先断后合内部时序

8 详细说明

8.1 概述

SN74LVC1G3157-Q1 器件是一种单极双投 (SPDT) 模拟开关，设计工作电压范围为 1.65V 至 5.5V V_{CC} 。SN74LVC1G3157-Q1 器件可处理模拟信号和数字信号。该器件允许在任意方向传输振幅高达 V_{CC} (峰值) 的信号。

8.2 功能框图

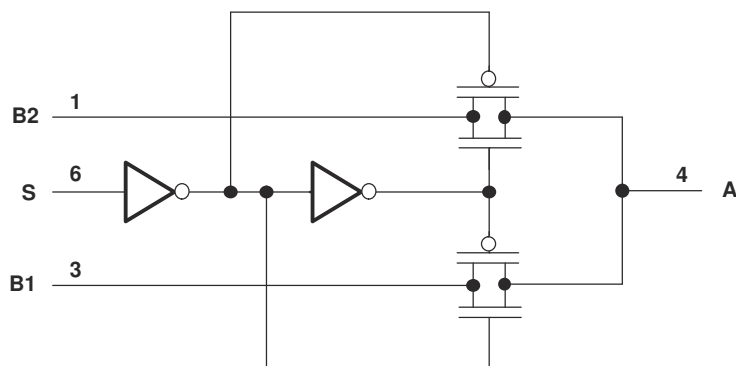


图 8-1. 逻辑图 (正逻辑)

8.3 特性说明

这些器件符合汽车应用要求。由 1.65V 至 5.5V 电源供电允许该器件在由不同逻辑电平组成的许多不同系统中运行，从而实现轨到轨信号切换。根据控制输入激活 B1 通道或 B2 通道。如果控制输入为低电平，则选择 B1 通道。如果控制输入为高电平，则选择 B2 通道。

8.4 器件功能模式

表 8-1 列出了选择其中一个控制输入时的导通通道。

表 8-1. 功能表

控制输入	导通通道
L	B1
H	B2

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

SN74LVC1G3157-Q1 SPDT 模拟开关足够灵活，可用于各种电路，例如模拟音频路由、加电监视器、内存共享等。有关应用的详细信息，您还可以查看 [SCYB014](#)。

9.2 典型应用

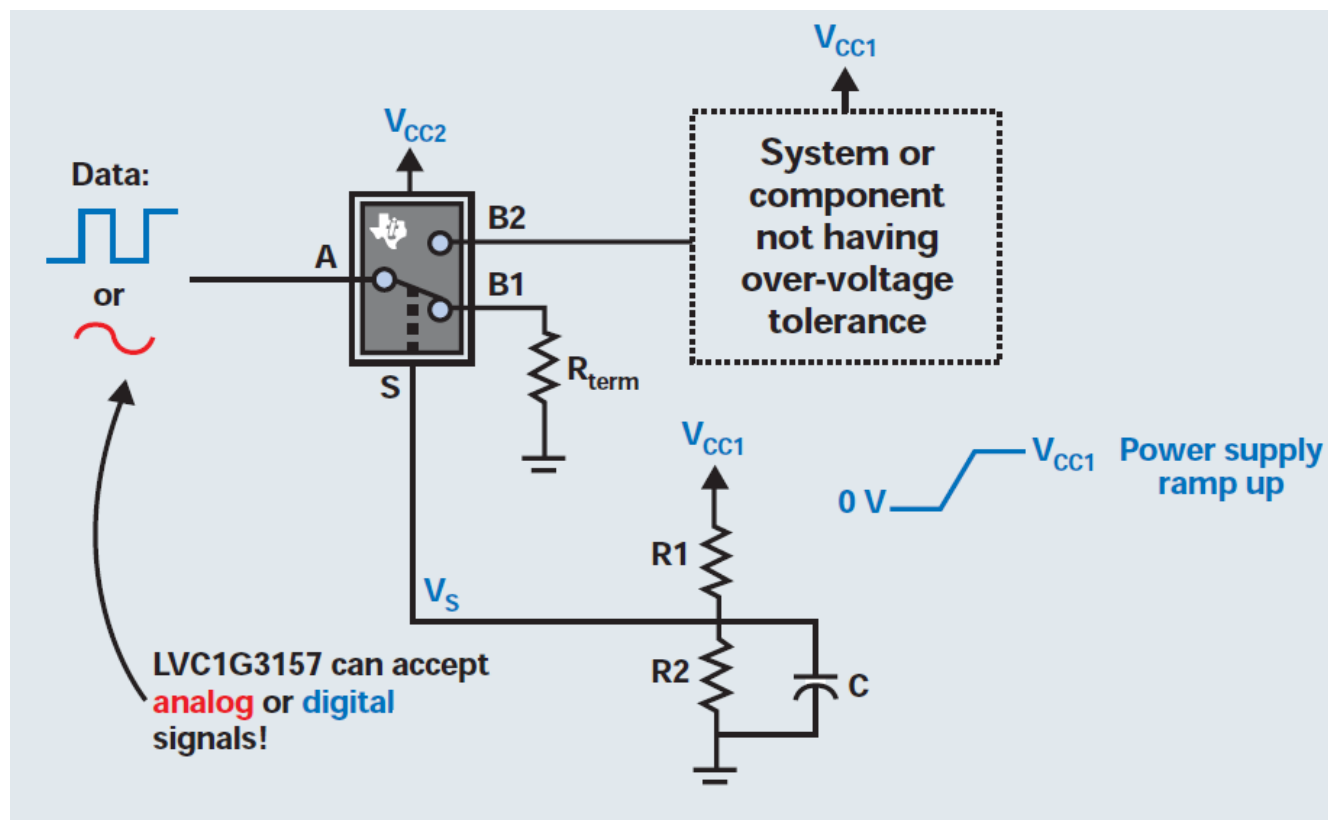


图 9-1. 典型应用原理图

9.2.1 设计要求

输入可以是模拟输入或数字输入，但 TI 建议在施加任何信号之前等待 VCC 上升到 [节 6.3](#) 中的电平。应根据信号类型和规格使用适当的终端电阻器。选择引脚不应悬空；上拉或下拉时使用可由 GPIO 驱动的电容器。

9.2.2 详细设计过程

使用此电路创意，系统设计人员可以确保组件或子系统电源在允许信号施加到其输入之前斜升。这对于没有过压耐受输入的集成电路很有用。基本思路是在 VCC1 电源轨上使用电阻分压器，该分压器正在斜升。电阻分压器的 RC 时间常数进一步延迟了 SPDT 总线开关选择引脚上的电压斜坡。通过仔细选择 R1、R2 和 C 的值，可以确保 VCC1 在从 A 到 B2 的路径建立之前达到其标称值，从而防止在器件/系统上电之前 I/O 上出现信号通电。为了确保实现所需的极低延迟，设计人员应使用方程式 1 来计算从接地转换 (0V) 到电源电压 (VCC1/2) 一半所需的时间。

$$\text{Set} \left(\frac{R2}{R1 + R2} \times V_{CC1} > V_{IH} \right) \text{ of the select pin} \quad (1)$$

选择 Rs 和 C 以获得所需的延迟。

当 Vs 变为高电平时，信号将被传递。

9.2.3 应用曲线

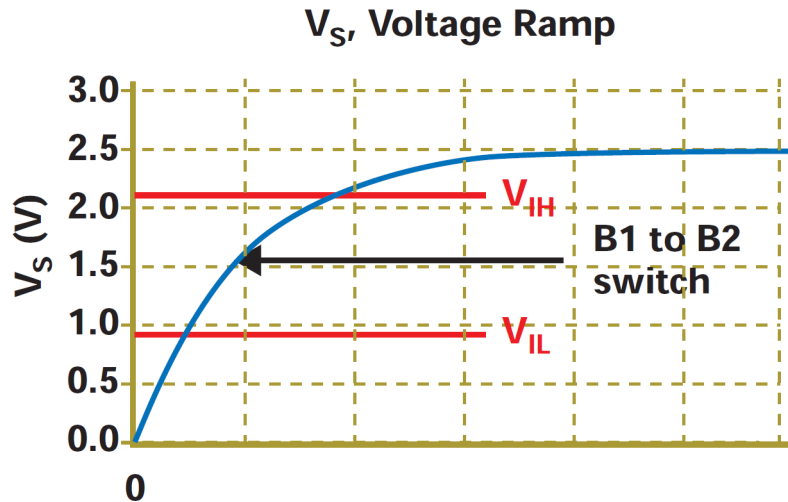


图 9-2. Vs 电压斜坡

10 电源相关建议

大多数系统有一个常见的 3.3V 或 5V 电源轨，可为该器件的 VCC 引脚供电。如果这不可用，则可以使用开关模式电源 (SMPS) 或线性压差稳压器 (LDO) 从另一个电压轨为该器件供电。

11 布局

11.1 布局指南

TI 建议使信号线路尽可能短。TI 还建议在信号线长度大于 1 英寸时采用微带线或带状线技术。根据应用的要求，这些布线的特征阻抗必须设计为 $50\ \Omega$ 或 $75\ \Omega$ 。不要将此器件放置在离高压开关元件太近的地方，因为它们可能会干扰器件。

11.2 布局示例

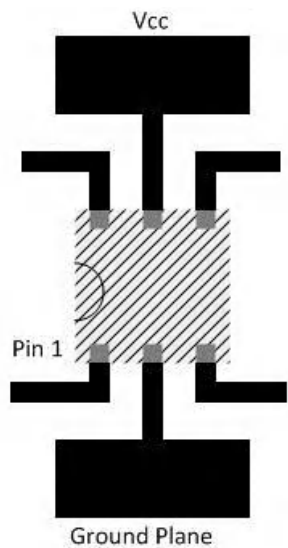


图 11-1. 推荐布局示例

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [SN74LVC1G3157 和 SN74LVC2G53 SPDT 模拟开关产品概览](#)
- 德州仪器 (TI), [SN74LVC1G3157-Q1 功能安全时基故障率、FMD 和引脚 FMA 报告](#)

12.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
1P1G3157QDBVRQ1	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CC5O	Samples
1P1G3157QDCKRQ1	ACTIVE	SC70	DCK	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C5O	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G3157-Q1 :

- Catalog : [SN74LVC1G3157](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
1P1G3157QDBVRQ1	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
1P1G3157QDCKRQ1	SC70	DCV	6	3000	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS

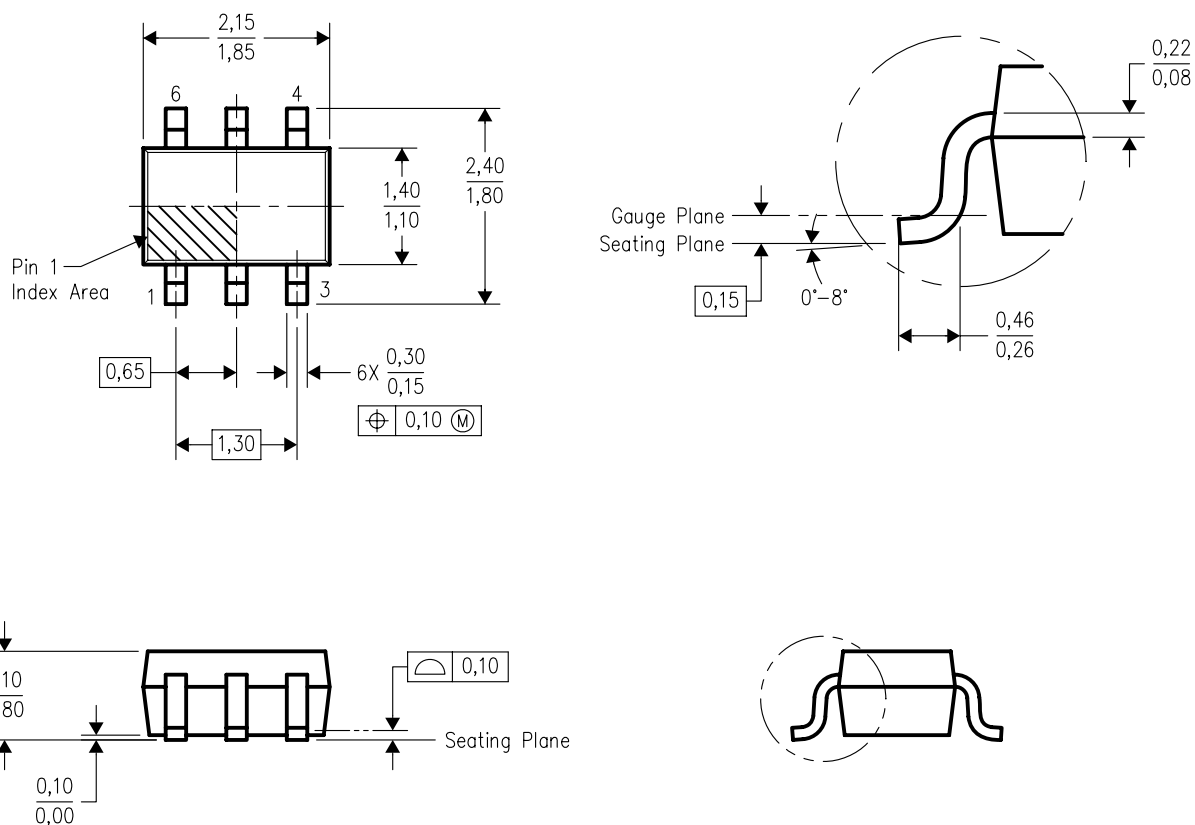


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
1P1G3157QDBVRQ1	SOT-23	DBV	6	3000	200.0	183.0	25.0
1P1G3157QDCKRQ1	SC70	DCK	6	3000	200.0	183.0	25.0

DCK (R-PDSO-G6)

PLASTIC SMALL-OUTLINE PACKAGE

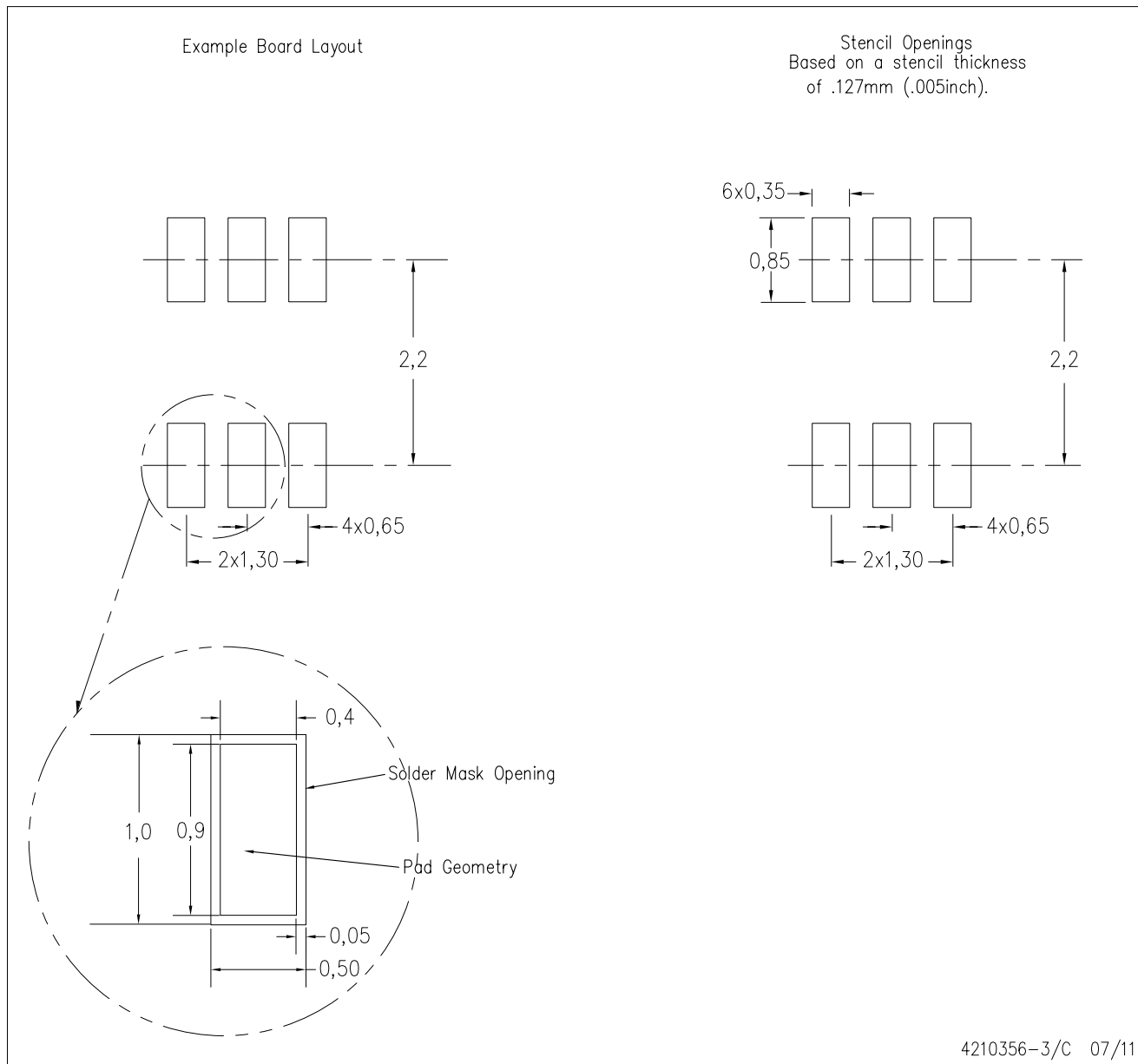


4093553-4/G 01/2007

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
 - Falls within JEDEC MO-203 variation AB.

DCK (R-PDSO-G6)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - D. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.

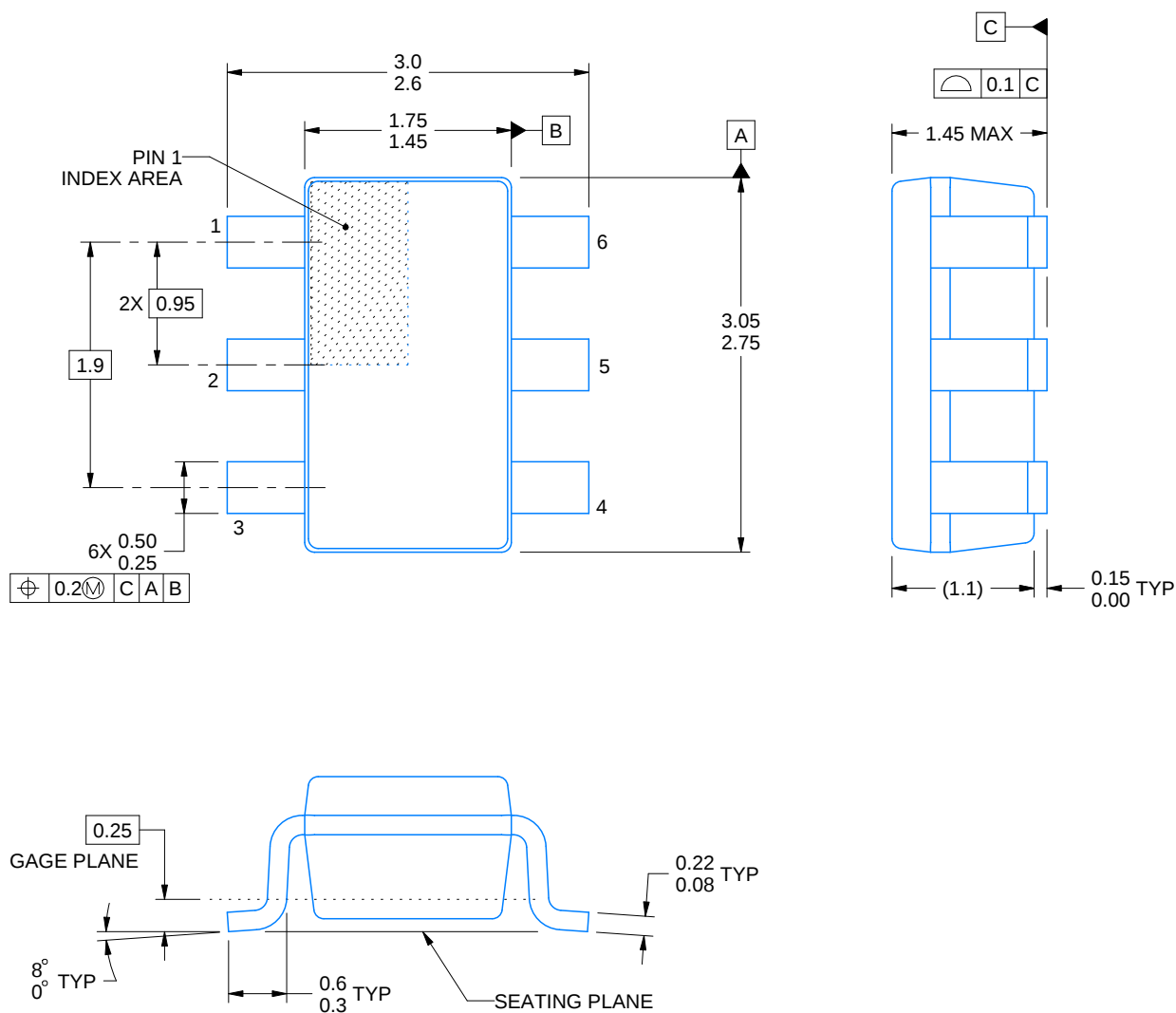


DBV0006A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/C 06/2021

NOTES:

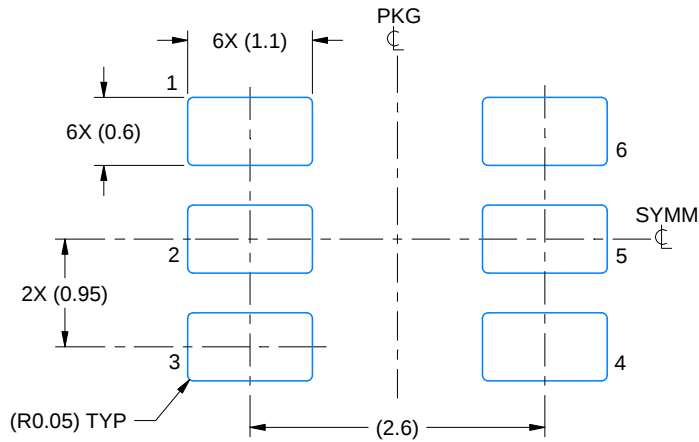
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

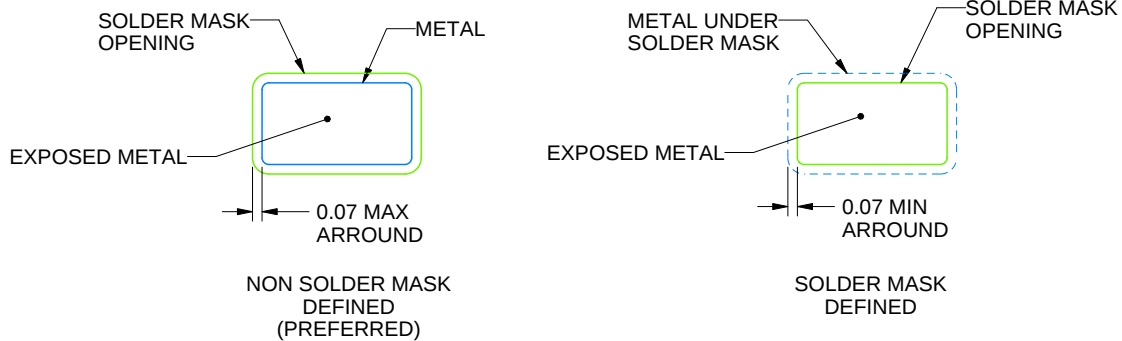
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/C 06/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

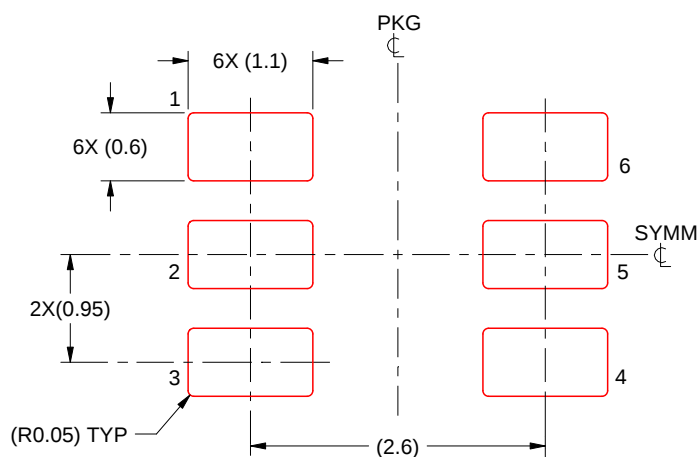
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/C 06/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司