TC5124B (文件编号：S&CIC1395) 16 路双缓存恒流输出 LED 驱动芯片

概述

TC5124B 是一款专为 LED 模块和显示器设计的驱动 IC，具有 16 路恒定的电流输出驱动能力。TC5124B 采用了“Noise Free™”技术，具有极佳的抗干扰特性，恒流及低灰效果不受 PCB 板的影响。并可选用不同的外接电阻对输出级电流大小进行任意调节，精确控制 LED 的发光亮度。

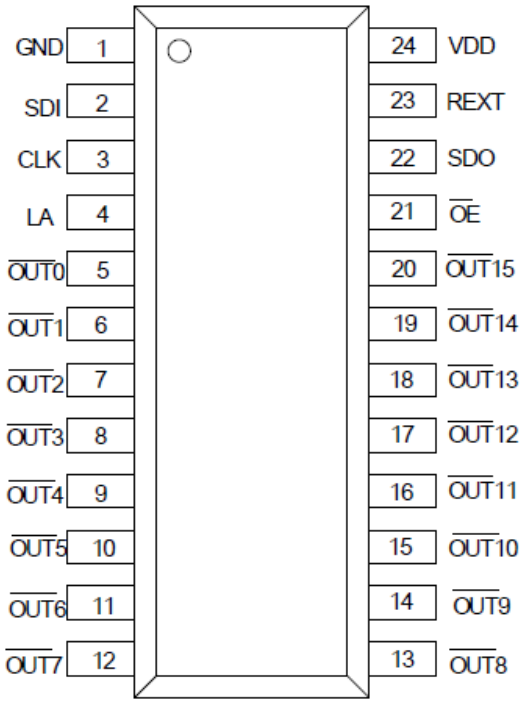
TC5124B 在显示过程中(OE=0)会缓存 16bit 显示数据，所以系统在 TC5124B 显示的过程中可以再继续存入 16bit 串行数据，相比通用恒流源芯片，刷新率可以提高 50%以上。

TC5124B 内部采用了电流精确控制技术，可使片间误差低于±2.5%，通道间误差低于±1.3%。

特点

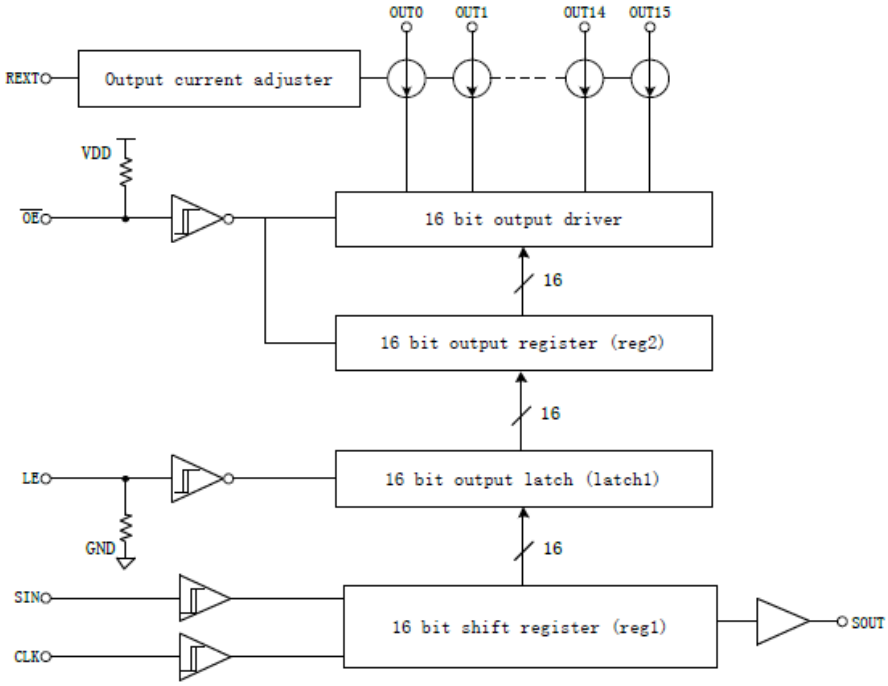
- 16 路等电流输出通道
- 输出电流设定范围：
  0.5～35mA×16@V_{DD}=5V 路恒定电流输出
  0.5～25mA×16@V_{DD}=3.3V 路恒定电流输出
- 电流精度
  通道间的电流非一致性：±1.25%(一般值)
  ±2%(最大值)
  芯片间的电流非一致性：±1.25%(一般值)
  ±2.5%(最大值)
- 快速输出电流响应（最小值）：30ns@V_{DD}=5VOE
- I/O 施密特触发器触发输入
- 数据传输频率：f_{MAX}=35MHz(最大)
- ESD HBM PASS 4KV
- 供电电压：V_{DD}=3.3～6V
- 工作温度范围：T_{opr}=-40～85℃
- 具有改善灯珠损坏功能
- 具有消隐功能
- 具有极佳的抗干扰能力和低灰度效果
- 改善因灯珠损坏产生的毛毛虫现象
- 集成双缓存，刷新率比通用恒流芯片提高 50%以上
- 封装形式：SSOP-24

引脚定义及说明

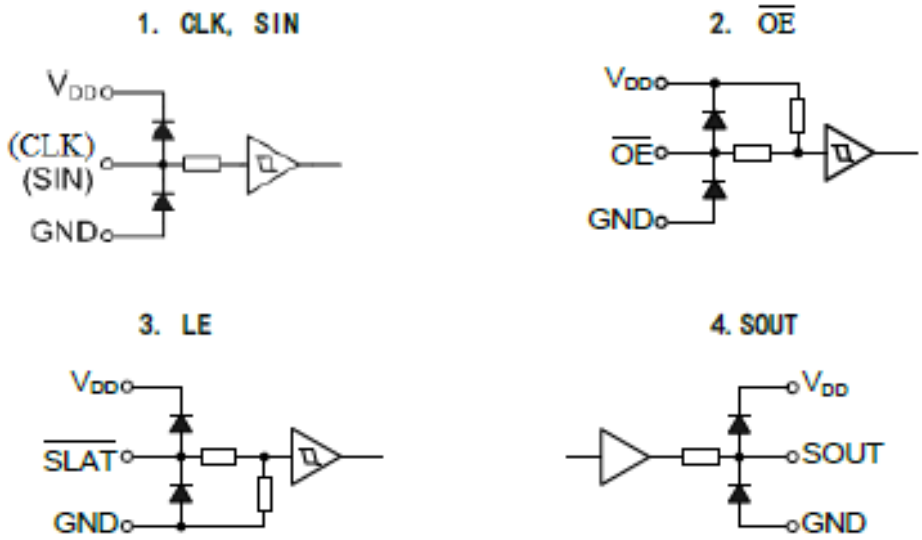


引脚序号	引脚定义	引脚名称
1	GND	芯片接地引脚
2	SDI	输入到移位寄存器的串行数据输入端
3	CLK	时钟信号输入端
4	LA	数据缓存输入端 LE 高电平时，数据被传入到缓存器中；LE 低电平时，数据被缓存到缓存器中。
5-20	$\overline{OUT0}$—$\overline{OUT15}$	等电流输入端
21	$\overline{OE}$	输出使能信号输入端，并在低电平时缓存数据 OE 高电平时，关断 OUT0-OUT15 OE 低电平时，打开 OUT0-OUT15
22	SDO	串行数据输出端，可接到下一个驱动芯片的 SIN 端
23	REXT	外接调节电阻的输出端，可调节所有通道的输出电流大小
24	VDD	3.3V/5V 电源输入端

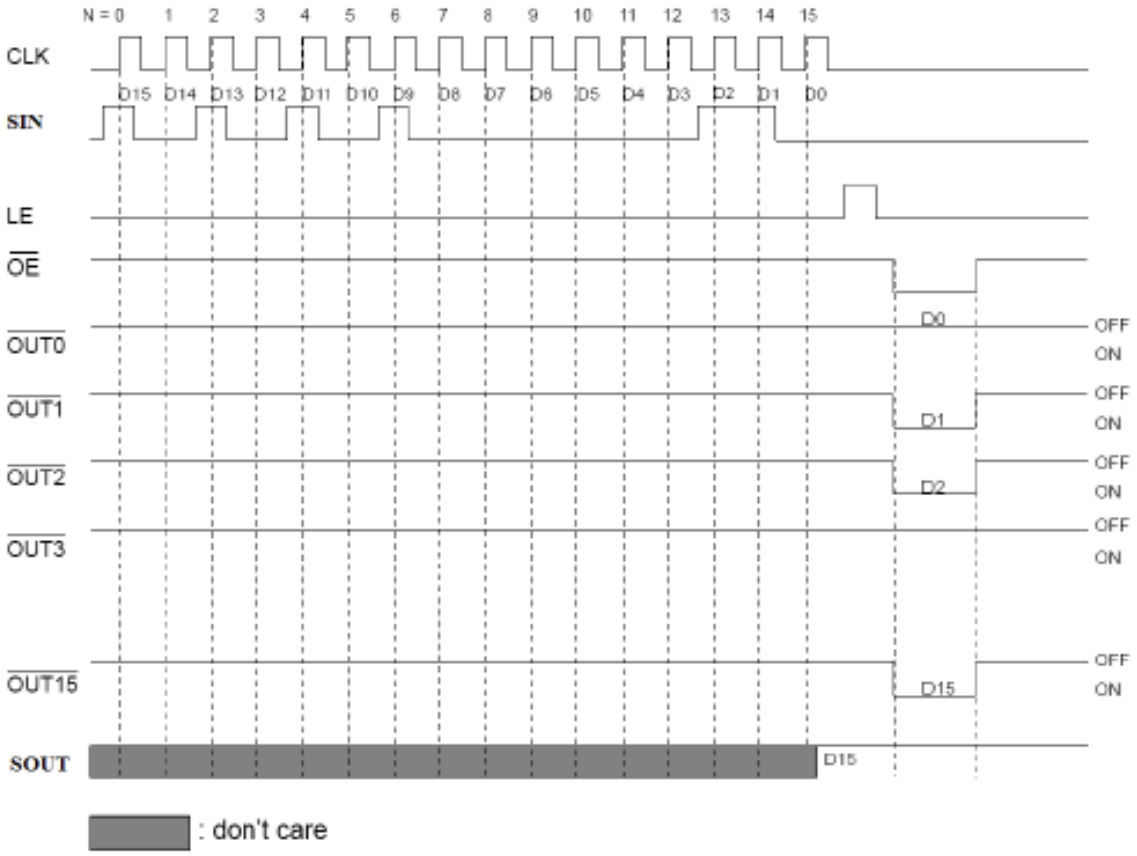
内部框图



I/O 等效电路

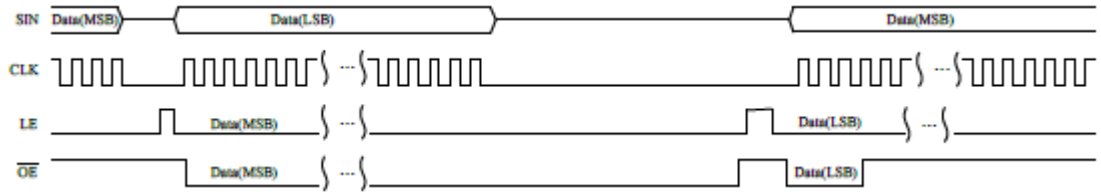

1. CLK, SIN
VDD
(CLK)
(SIN)
GND
2. OE
VDD
OE
GND
3. LE
VDD
SLAT
GND
4. SOUT
VDD
SOUT
GND

时序图


N = 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15
CLK
D15 D14 D13 D12 D11 D10 D9 D8 D7 D6 D5 D4 D3 D2 D1 D0
SIN
LE
OE
OUT0
OUT1
OUT2
OUT3
OUT15
SOUT
D0
D1
D2
D15
OFF
ON
: don't care

提高刷新率的原理

通用恒流源驱动芯片数据传送及数据显示时序图

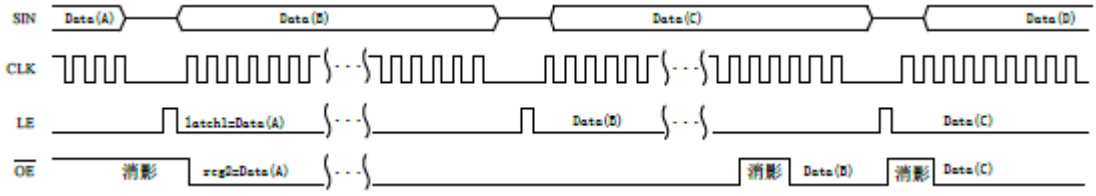


通用恒流芯片在数据传输及数据显示如上图所示，数据传输及数据显示利用率低的原因：

1. 当显示一个高位数据的时候，数据显示的时间可能会比数据传输的时间大得多，在数据显示多余的时间内不能进行数据传输。

2. 当显示一个低位数据的时候，数据显示的时间可能会比数据传输的时间小得多，在数据传输多余的时间内不能进行数据显示。

数据传送及数据显示时序图



TC5124B 数据传送及数据显示时序见上图所示，data(A)和 data(C)为高位数据，data(B)和 data(D)为低位数据。将显示数据高低位按时间进行组合，使显示高位数据多余时间可以利用起来进行数据传送，或者说利用传数据的时间来进行高位的显示，将传数据和显示数据完美的配合起来，可以有效的提高显示刷新率，基本步骤如下：

1. 当 data(A)传送完成后，在 LE 上产生一个 latch 信号，锁存 data(A)
2. 完成 data(A) 锁存后，由 1~>0，寄存 data(A)并显示 data(A)OE
3. 在显示 data(A)的同时，对 data(B)进行传送
4. data(B)传送完成后，由 LE 产生 latch 信号，锁存 data(B)，并接着传送 data(C)
5. 完成 data(A)的显示后，寄存 data(B)并显示 data(B)
6. 完成 data(C)的传送，完成 data(B)的显示
7. 寄存 data(C)和传送 data(D)，(同步骤 1)

真值表

CLK	LE	$\overline{OE}$	SIN	$\overline{OUT0}$ ... $\overline{OUT7}$ ... $\overline{OUT15}$	SOUT
	H	L	Dn	DN`…DN-7…DN-15	DN-15
	L	L	Dn+1	无变化	DN-14
	H	L	Dn+2	DN+2…DN-5…DN-13	DN-13
	X	L	Dn+3	DN+2…DN-5…DN-13	DN-13
	X	H	Dn+3	OFF	DN-13

绝对最大额定值(TA=25℃)

特性	符号	额定值	单位
电源电压	VDD	0-7.0	V
输出电流	IO	35	mA
输入电压	VIN	-0.4—VDD+0.4	V
输出耐受电压	VOUT	30	V
时钟频率	FCLK	35	MHZ
接地端电流	IGND	+600	mA
消耗功耗	PD	3	W
热阻抗	RTH(j-a)	39.15	℃/W
工作温度	TOPR	-40—85	℃
存储温度	TSTG	-55—150	℃

直流特性(如不另外说明，TA=40℃—85℃)

特性	符号	测试条件	最小值	典型值	最大值	单位
电源电压	VDD	-	3.3	5	6.0	V
ON 时的输出电压	VO(ON)	$\overline{OUTn}$	0.6	-	4	V
高电平逻辑输入电压	VIH	-	0.7*VDD	-	VDD	V
低电平逻辑输入电压	VIL	-	GND	-	0.3*VDD	V
SOUT 高电平输出电流	IOH	VDD=5V	-	-1	-	mA
SOUT 低电平输出电流	IOL	VDD=5V	-	1	-	mA
恒流输出	IO	$\overline{OUTn}$	0.5	-	35	mA

动态特性(如不另外说明，VDD=4.5—5.5V，TA=40℃—85℃)

特性	符号	测试电路	测试条件	最小值	典型值	最大值	单位
串行数据传输频率	FCLK	6	-	-	-	35	MHZ
时钟脉冲宽度	TWCLK	6	SCK=H/L	20	-	-	nS
缓存脉冲宽度	TWLE	6	LE=H	20	-	-	nS
使能脉冲宽度	TWOE	6	$\overline{OE}$ =H/L ，REXT=890Ω	30	-	-	nS
保持时间	THOLD1	6	-	5	-	-	nS
	THOLD2	6	-	5	-	-	nS
建立时间	TSETUP1	6	-	5	-	-	nS
	TSETUP2	6	-	5	-	-	nS
最大时钟上升时间	TR	6		-	-	500	nS
最大时钟下降时间	TR	6		-	-	500	nS

电气特性

特性	符号	测试电路	测试条件	最小值	典型值	最大值	单位
高电平逻辑输出电压	VOH	1	IOH=-1mA，SOUT	VDD-0.4	-	VDD	V
低电平逻辑输出电压	VOL	1	IOH=+1mA，SOUT	-	-	0.4	V
高电平逻辑输入电流	IIH	2	VIN=VDD,OE,SIN，CLK	-	-	1	uA
低电平逻辑输入电流	IIL	3	VIN=GND,LE,SIN，CLK	-	-	-1	uA
电源电流	IDD1	4	REXT=未接，OUT OFF	-	2.5	5.0	mA
	IDD2	4	REXT=1240，OUT OFF	-	4.5	7.0	mA
	IDD3	4	REXT=620，OUT OFF	-	6	9.0	mA
	IDD4	4	REXT=1240，OUT ON	-	5.2	8.5	mA
	IDD5	4	REXT=620，OUT ON	-	6.5	9.5	mA
恒流输出	IO1	5	VDD=5.0V，VO=2.0V,REXT=1.23KΩ	-	15	-	mA
	IO2	5	VDD=5.0V，VO=2.0V,REXT=615Ω	-	30	-	mA
恒流误差	△IO	5	VDD=5.0V，VO=2.0V,REXT=1.23KΩ	-	±0.15	±0.37	mA
恒流电源电压调节	%VDD	5	VDD=4.5-5.5V VO=2.0V,REXT=1.24KΩ	-	±0.2	-	%/V

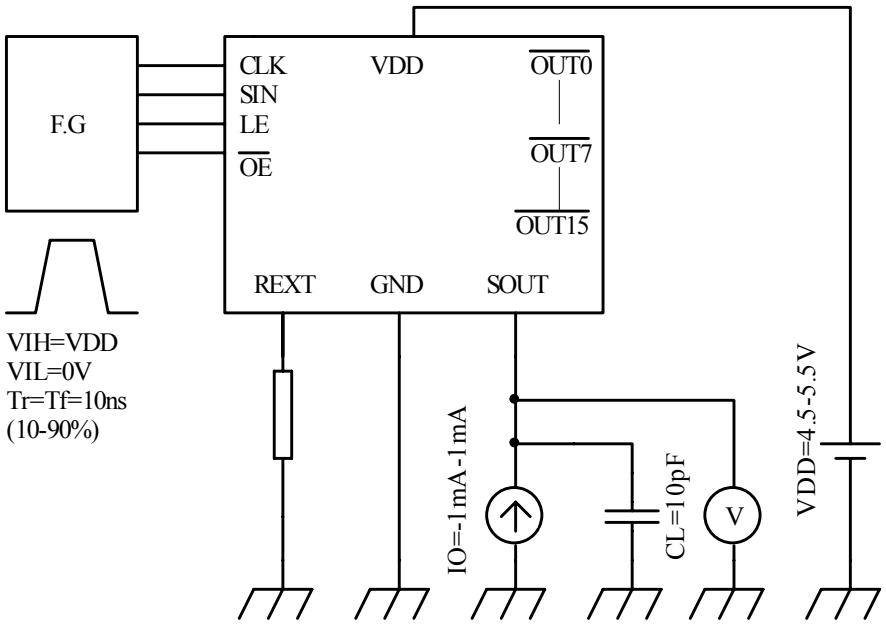
恒流输出电压调节	%VOUT	5	VDD=5.0V VO=1.0-3.0V,REXT=1.24KΩ	-	±0.1		%/V
上拉电阻	RUP	3	$\overline{OE}$	250	500	800	KΩ
下拉电阻	RDOWN	2	LE	250	500	800	KΩ

开关特性

特性		符号	测试电路	测试条件	最小值	典型值	最大值	单位
传输延迟时间	$\overline{OE}$—$\overline{OUT0}$	TPLH3	6	LE=H	-	30	40	nS
	$\overline{OE}$—$\overline{OUT1}$	TPHL3	6	LE=H	-	40	50	
	CLK-SOUT	TPHL	6	-	-	25	30	
输出端上升时间		TOR	6	电压波形的 10-90%	-	15	20	nS
输出端下降时间		TOR	6	电压波形的 90-10%	-	26	31	nS

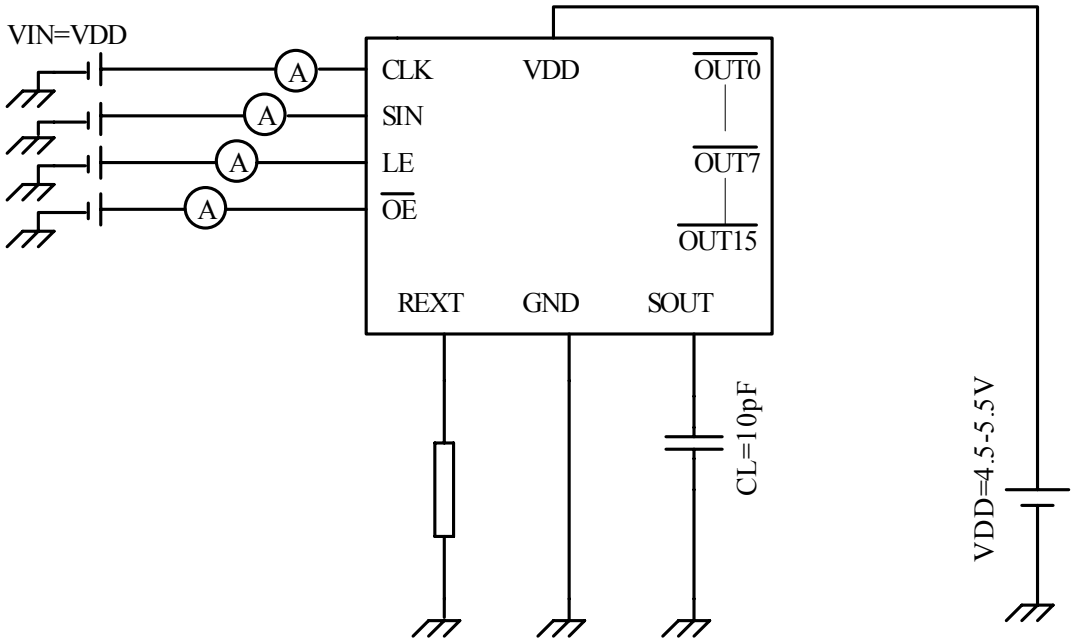
测试电路

测试电路 1：高电平逻辑输入电压/低电平逻辑输入电压

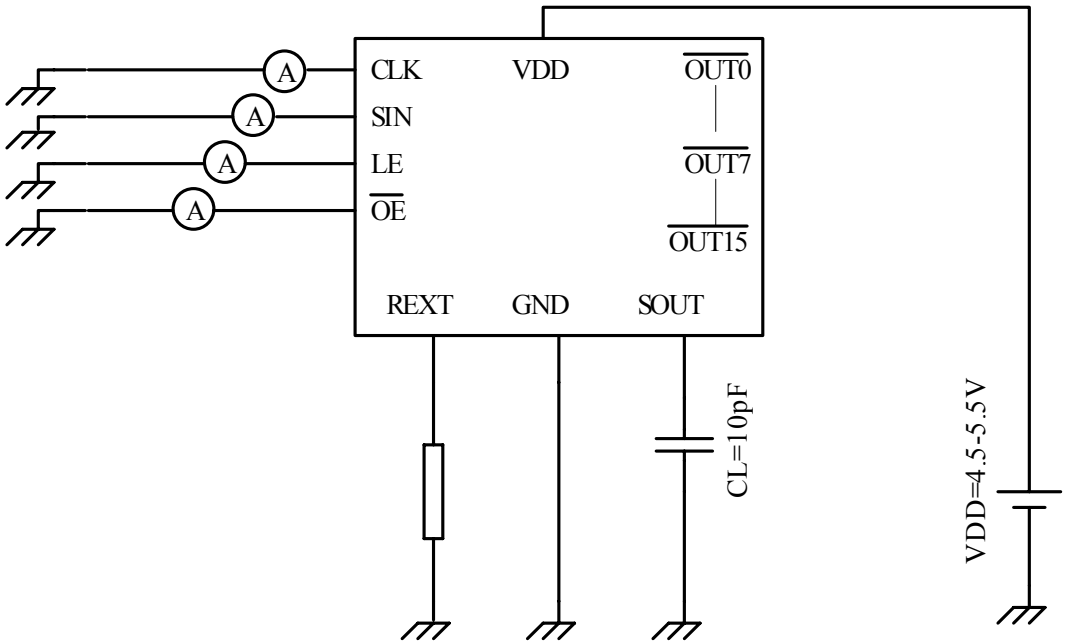


测试电路 2：高电平逻辑输入电流/下拉电阻

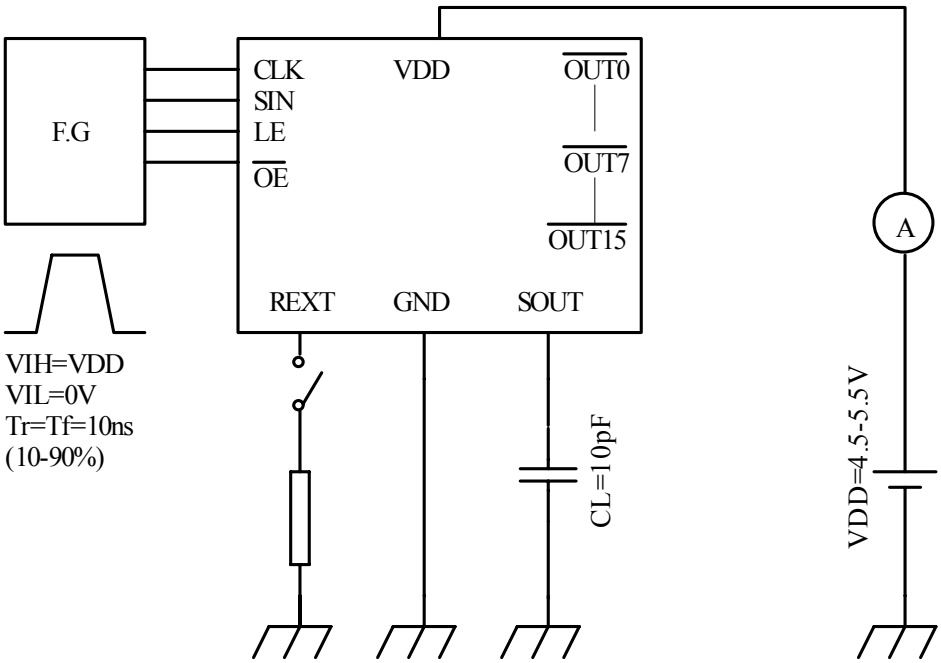
测试电路2



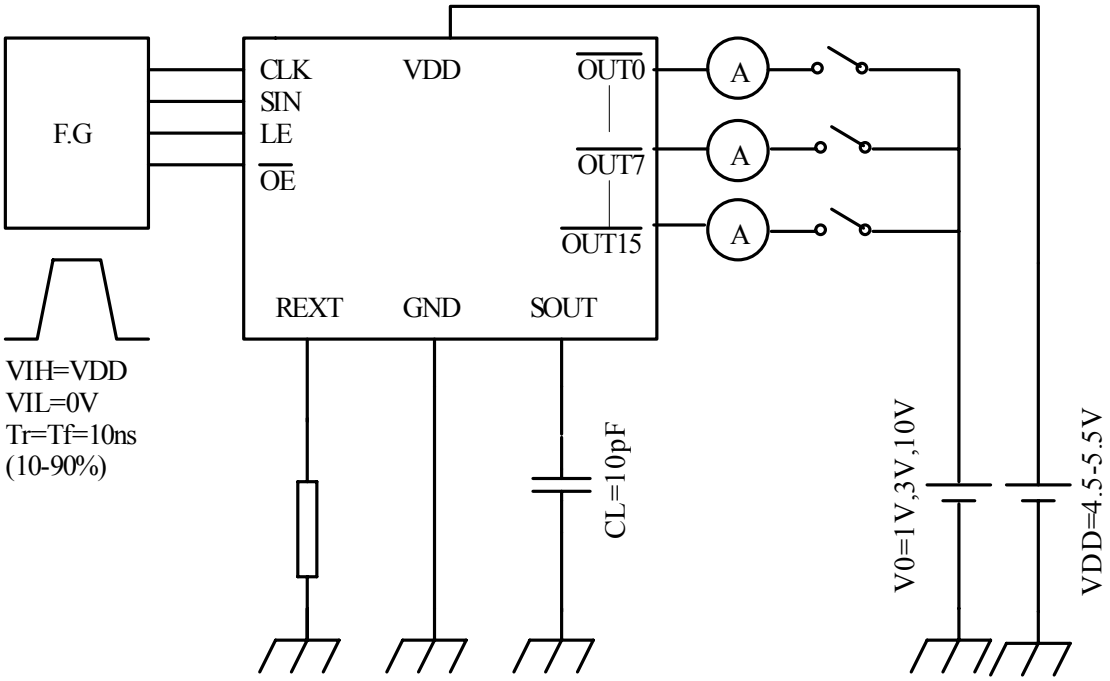
测试电路 3：低电平逻辑输入电流/上拉电阻



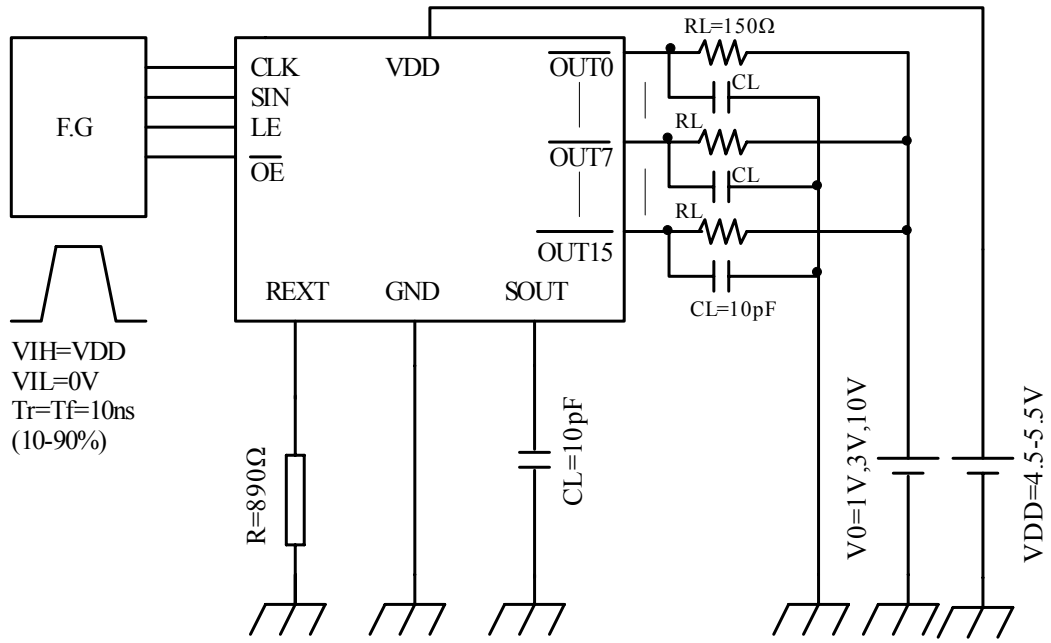
测试电路 4：电源电流



测试电路 5：恒流输出/输出 OFF/恒流误差
恒流电源电压调节/恒流输出电压调节

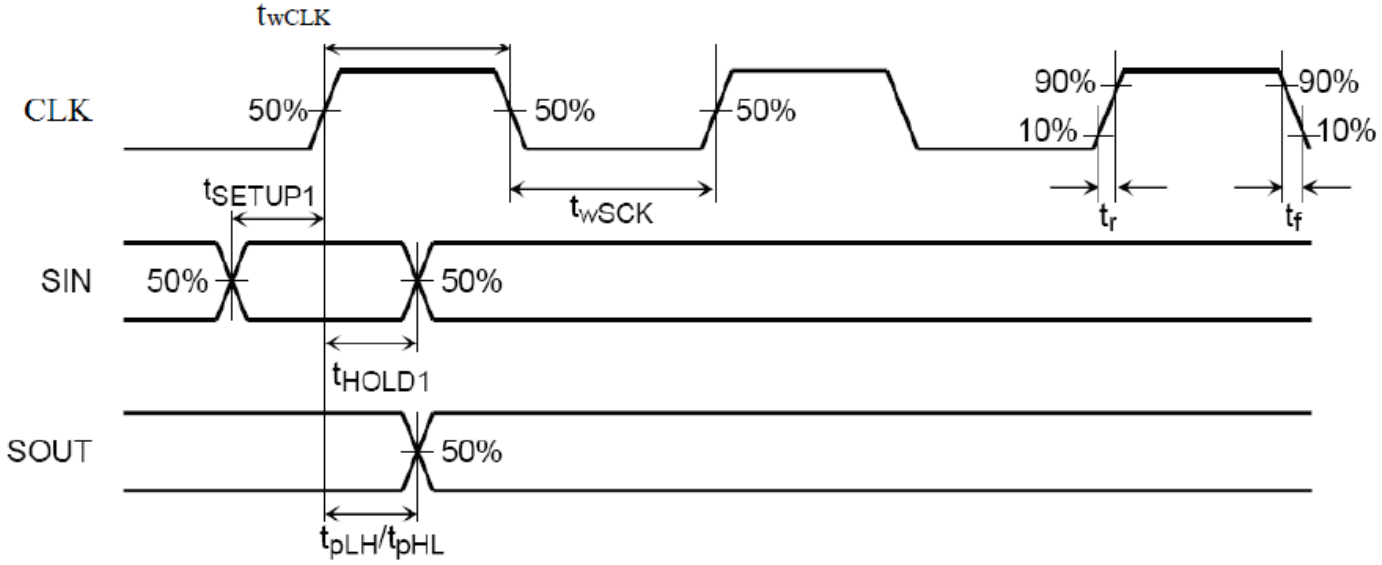


测试电路 6：开关特性

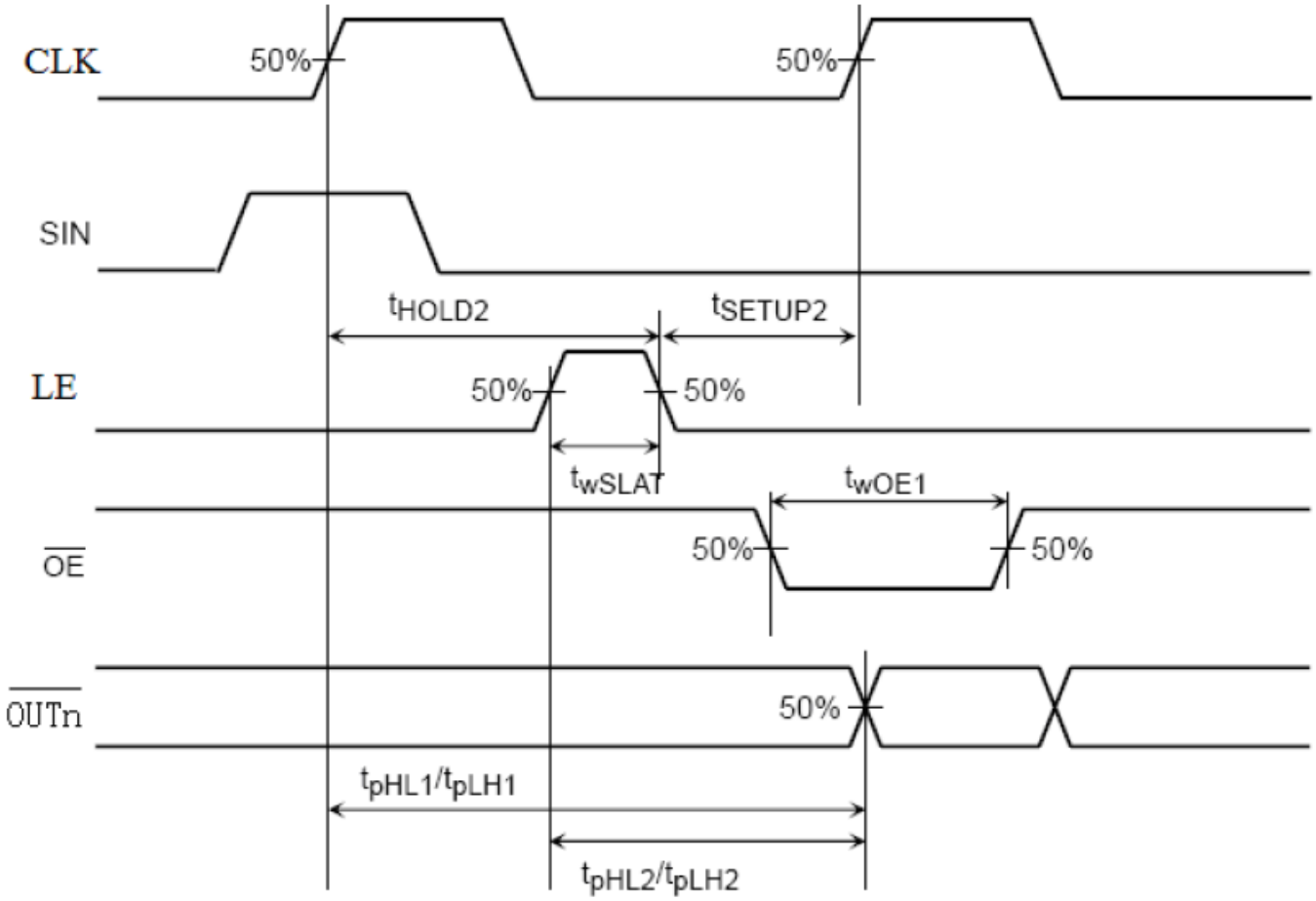


时序波形

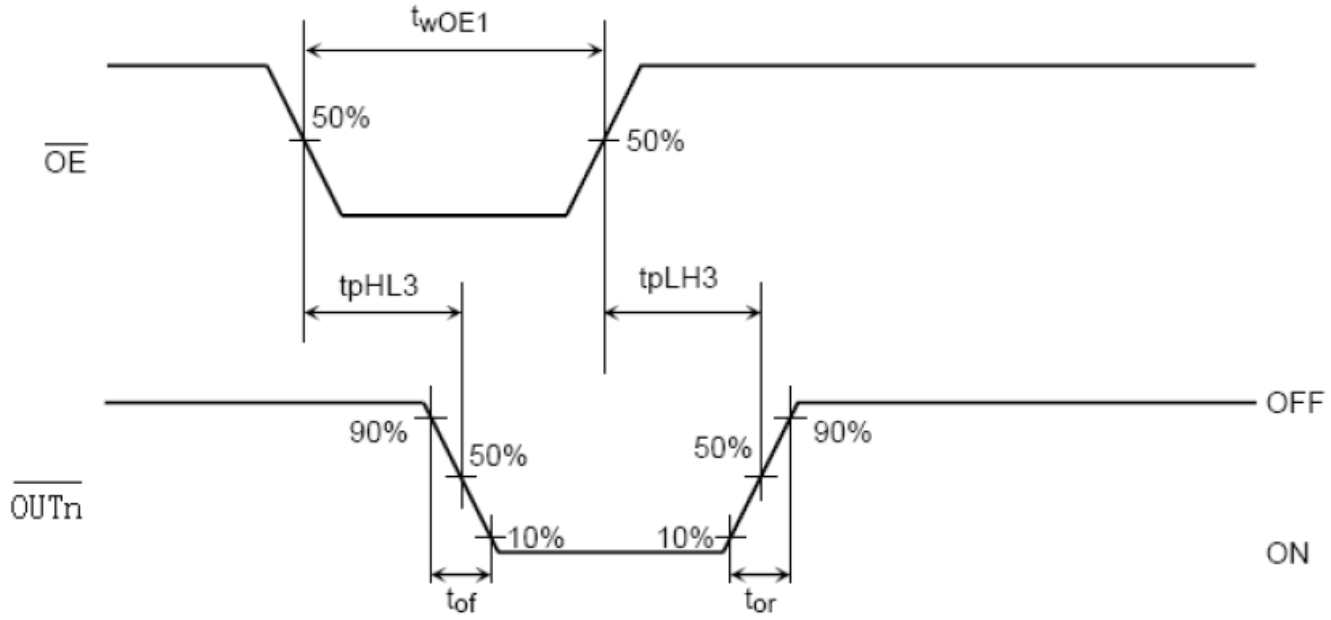
1.CLK，SIN，SOUT



2.CLK，SIN，LE，OE，OUTN



3.OUTN

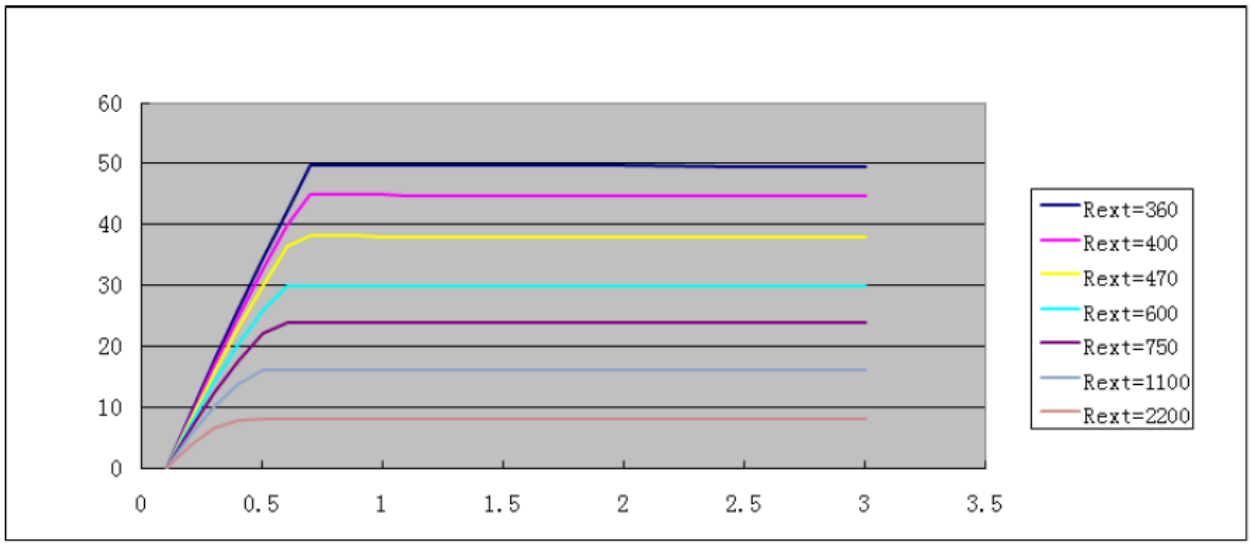


应用信息

TC5124B 采用了精确电流驱动控制技术，同一芯片的不同通道间，不同芯片之间的电流差异极小。

1) 通道间电流差异<±1.25%，芯片间的电流差异<±2.5%。

2) 具有不受负载端电压影响的电流输出特性，如下图所示。输出电流将不随 LED 顺向电压 V_F 的变化而变化。

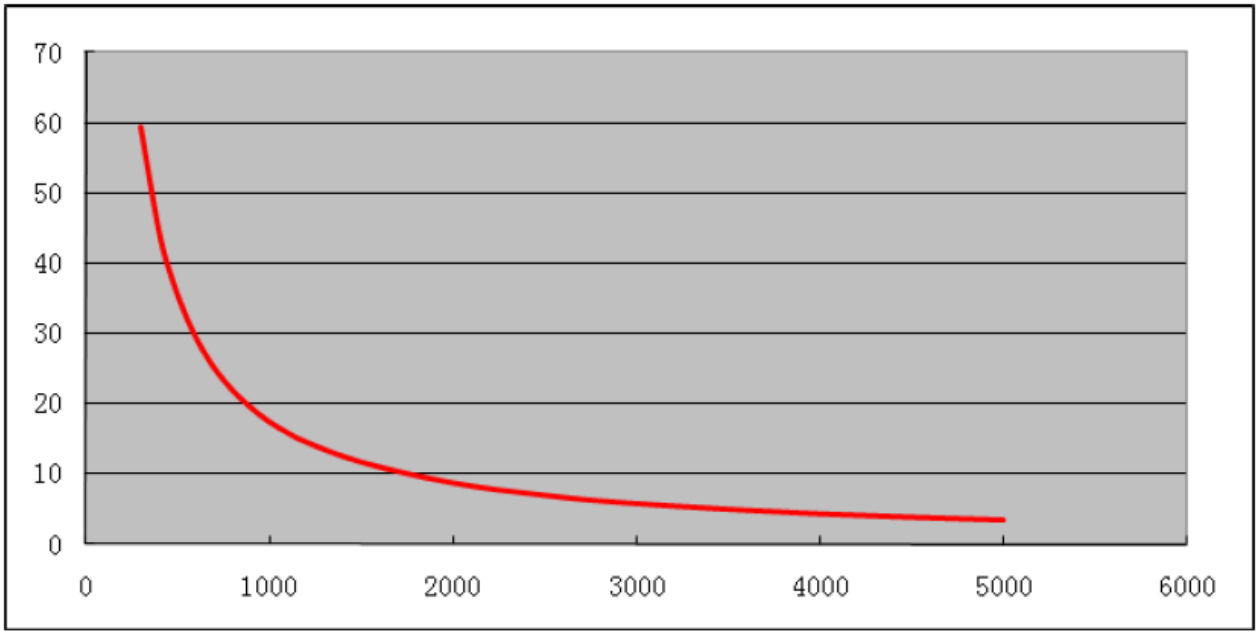


调节输出电流

TC5124B 通过外接电阻 Rext 来调节输出电流（Iout），计算公式为：

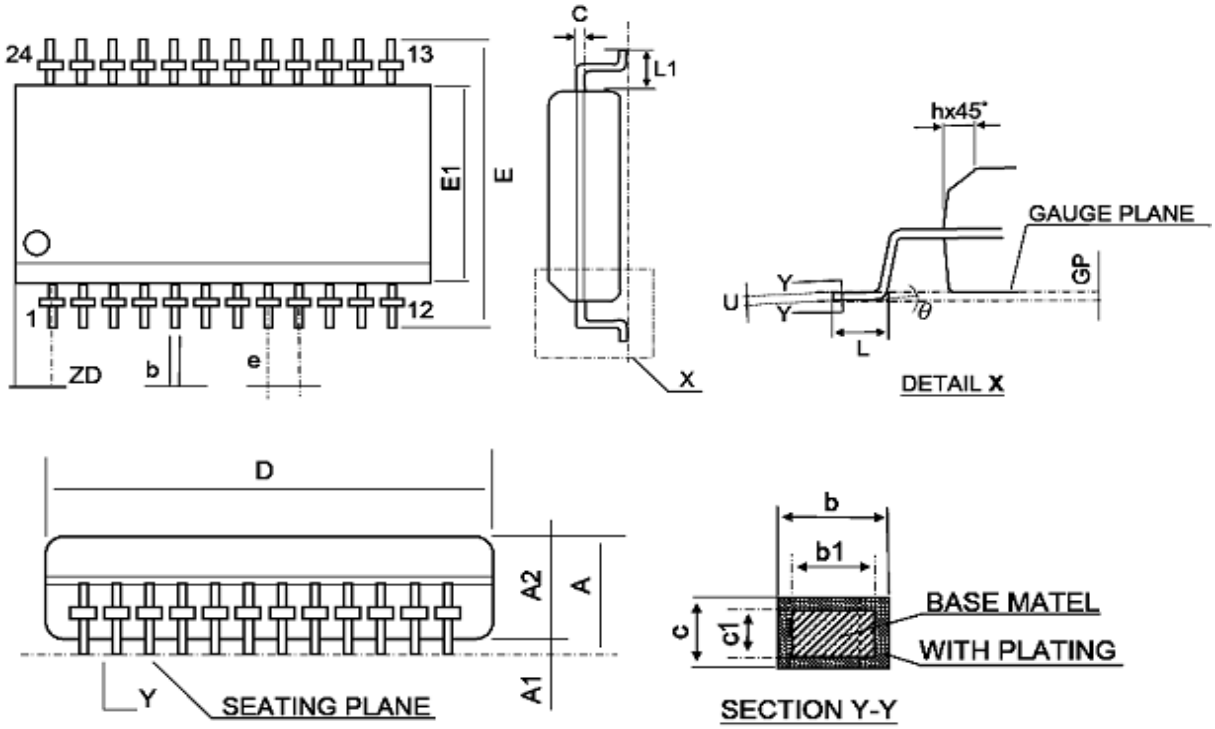
$V_{R\text{-}EXT}$=1.232V；

Iout=($V_{R\text{-}EXT}$/Rext)*15



封装信息

SSOP24



SYMBOL	DIMENSION (mm)			DIMENSION (mil)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.60	1.75	53	63	69
A1	0.10	0.15	0.25	4	6	10
A2			1.50			59
b	0.20		0.30	8		12
b1	0.20	0.254	0.28	8	10	11
c	0.18		0.25	7		10
c1	0.18	0.203	0.23	7	8	9
D	8.56	8.66	8.74	337	341	344
E	5.80	6.00	6.20	228	236	244
E1	3.80	3.90	4.00	150	154	157
e	0.635 BSC			25 BSC		
h	0.25	0.42	0.50	10	17	20
L	0.40	0.635	1.27	16	25	50
L1	1.00	1.05	1.10	39	41	43
ZD	0.838 REF			33 REF		
Y			0.10			4
θ	0°		8°	0°		8°