

具有自动 MPS 和 Autoclass 的 TPS2372 高功率 PoE PD 接口

1 特性

- 适用于 3 类或 4 类 PoE 的 IEEE 802.3bt (草案) PD 解决方案
- 支持 4 类 (TPS2372-4) 90W 和 3 类 (TPS2372-3) 60W 工作功率
- 可靠的 100V 热插拔 MOSFET
 - TPS2372-4 (典型值): 0.1Ω, 2.2A 电流限制
 - TPS2372-3 (典型值): 0.3Ω, 1.85A 电流限制
- 分配了电源指示灯输出
- 具有浪涌延迟功能的 PG 输出
 - 符合 PSE 浪涌要求
- 自动维持功率特性(MPS)
 - 自动调节 1-2 类或 3-4 类 PSE 的 MPS
 - 支持超低功耗待机模式
- 支持 Autoclass 运行
- 支持 PoE++ PSE
- 结温范围为 -40°C 至 125°C
- 20 引脚 VQFN 封装

2 应用

- 符合 IEEE 802.3bt (草案) 标准的设备
- 照明
- 电源模块
- 双重特征 PD/强制 UPOE
- 4PPOE
- 直通系统
- 监控摄像头
- 多频带接入点
- 微微基站

3 说明

TPS2372 具有实现 IEEE802.3at 或 IEEE802.3bt (草案) (1-4 类) 用电设备 (PD) 所需的所有特性。低内部开关电阻可让 TPS2372-4 和 TPS2372-3 分别支持高达 90W 和 60W 的高功率应用。使用 100 米 CAT5 线缆的情况下, 这相当于 PD 输入端为 71.3W 和 51W。

TPS2372 具有高级特性。

自动 MPS 功能支持多种需要极低功耗待机模式的应用。TPS2372 自动产生必要的脉冲电流来维持 PSE 电源。此器件使用外部电阻来实现该功能以及对 MPS 脉冲电流幅度进行编程。

TPS2372 还实现了延迟功能, 使远程 PSE 能够在释放电源正常 (PG) 输出信号之前完成其浪涌阶段。这可确保满足 IEEE802.3bt (草案) 启动要求。

Autoclass 使能输入还支持符合 IEEE802.3bt (草案) 标准的高级系统电源优化模式。

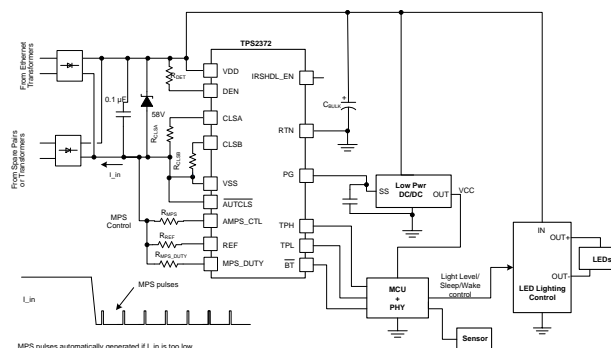
器件信息⁽¹⁾

器件号	封装	封装尺寸 (标称值)
TPS2372	VQFN (20)	5.00mm × 5.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

在中增加了带选项的虚线框

简化原理图



目录

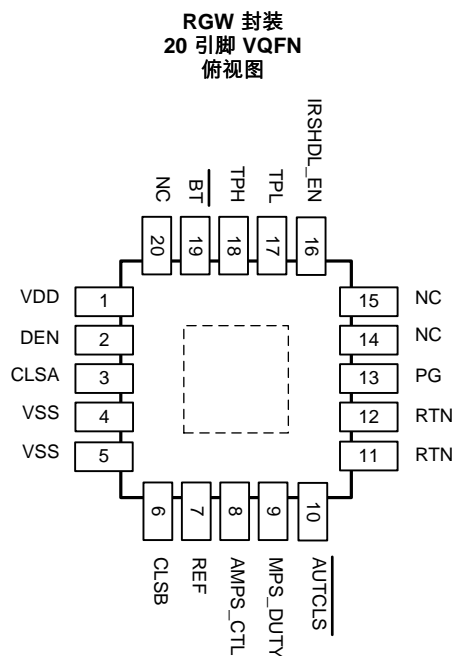
1	特性	1	8	应用和实现	24
2	应用	1	8.1	应用信息	24
3	说明	1	8.2	典型应用	24
4	修订历史记录	2	9	电源建议	29
5	引脚配置和功能	3	10	布局	29
6	规格	4	10.1	布局指南	29
6.1	绝对最大额定值	4	10.2	布局示例	29
6.2	ESD 额定值	4	10.3	EMI 遏制	30
6.3	建议运行条件	5	10.4	散热注意事项和 OTSD	30
6.4	热性能信息	5	10.5	ESD	31
6.5	电气特性	6	11	器件和文档支持	31
6.6	典型特性	9	11.1	文档支持	31
7	详细 说明	12	11.2	接收文档更新通知	31
7.1	概述	12	11.3	社区资源	31
7.2	功能框图	12	11.4	商标	31
7.3	特性 说明	13	11.5	静电放电警告	31
7.4	器件功能模式	16	11.6	术语表	31
			12	机械、封装和可订购信息	32

4 修订历史记录

Changes from Revision A (February 2018) to Revision B	Page
• Added 在	14
• Added Figure 22	24
• Added 在 用于 TPH、TPL 和 \overline{BT} 的光隔离器	26

Changes from Original (October 2017) to Revision A	Page
• 已更改 TPS2372-2 典型电流限制为 1.85A	1
• 已更改 将 TPS2372-3 器件添加到量产数据	1
• 已删除 预告信息表注释	1
• Changed 将电流限制标称值更改为 1.85，而将最大值更改为 2.2	6
• Changed 将浪涌终止的最小值更改为 65%	6
• Changed 将典型的关断温度更改为 158°C	8
• Added 在图 10 的标题中添加 TPS2372-4	10
• Changed 在内部导通 MOSFET 和浪涌延迟启用， <i>IRSHDL_EN</i> 小节中将“电流限值变为 1.8A”更改为“电流限值变为 1.85A”	14
• Changed 在高级启动和转换器运行 小节启动和转换器运行 小节中将“~”更改为“大约”并将“1.8A”更改为“1.85A”	21
• Changed 在自动 MPS 和 MPS 占空比， <i>R_{MPS}</i> 和 <i>R_{MPS_DUTY}</i> 中更改公式 3 和公式 4 的值	26
• 已更改 激活 TPS2372-3RGWR 和 TPS2372-3RGWT	32

5 引脚配置和功能



引脚功能

引脚		I/O	说明
名称	编号		
VDD	1	I	连接到正极 PoE 输入电源轨。通过 0.1 μ F 电容旁路至 VSS。
DEN	2	I/O	在 DEN 至 VDD 之间连接一个 24.9k Ω 电阻可提供 PoE 检测特征。在供电运行期间，将 DEN 拉至 VSS 可禁用导通 MOSFET。
CLSA	3	O	在 CLSA 至 VSS 之间连接一个电阻 可设定第一分类电流。
VSS	4、5	—	连接到源自 PoE 源的负电源导轨。
CLSB	6	O	在 CLSB 至 VSS 之间连接一个电阻 可设定第二分类电流。
REF	7	O	内部 1.5V 电压基准。在 REF 至 VSS 之间接精度为 1% 的 49.9k Ω 电阻。
AMPS_CTL	8	O	自动 MPS 控制。在 AMPS_CTL 至 VSS 之间连接一个具有合适额定功率（用于支持 MPS 电流）的电阻可设定 MPS 电流幅度。保持 AMPS_CTL 断开可禁用自动 MPS 功能。
MPS_DUTY	9	I	MPS 占空比选择输入，以 VSS 为基准，在内部由精密电流源驱动（电压限制在大约 5.5V 以下）。一个连接到 VSS 的电阻将决定选择的 MPS 占空比是 5.4%（断开）、8.1%（大约 60.4k Ω ）还是 12.5%（短接）。
AUTCLS	10	I	Autoclass 使能输入。仅在分类时在内部上拉至 5.5V 内部电源轨，在其他情况中应下拉以最大限度降低功耗。拉低（至 VSS）可在分类过程中启用 Autoclass 功能。其他情况下保持断开。
RTN	11、12	—	PoE 导通 MOSFET 的漏极。从负载到控制器的回路。
PG	13	O	电源正常状态输出。开漏输出，高电平有效（以 RTN 为基准）。
NC	14、15	—	无连接
IRSHDL_EN	16	I	PSE 浪涌延迟（大约 81.5ms）启用，以 RTN 为基准，在内部上拉至 5.5V 内部电源轨。保持断开可启用浪涌延迟。
TPL	17	O	PSE 分配的功率输出，二进制编码。开漏输出，高电平有效（以 RTN 为基准）。
TPH	18	O	
BT	19	O	表示已识别到应用 IEEE802.3bt（3 型或 4 型）相互识别方案的 PSE。以 RTN 为基准的漏极开路低电平有效输出。
NC	20	—	无连接引脚。保持断开。
Pad	—	—	外露散热焊盘必须连接到 VSS。需要一个较大的填充面积来帮助散热。

6 规格

6.1 绝对最大额定值

在建议的 T_J 温度范围内；电压以 V_{VSS} 为基准（除非另有说明）⁽¹⁾

		最小值	最大值	单位
输入电压	VDD、DEN	-0.3	100	V
	RTN ⁽²⁾	-0.6	100	
	IRSHDL_EN 至 RTN	-0.3	6.5	
	AUTCLS	-0.3	6.5	
输出电压	CLSA、CLSB、REF、MPS_DUTY ⁽³⁾	-0.3	6.5	V
	AMPS_CTL ⁽³⁾	-0.3	30	
电压	PG 至 RTN	-0.3	100	V
	TPH、TPL、 \overline{BT} 至 RTN	-0.3	100	
灌电流	RTN ⁽⁴⁾	受内部限制		mA
	PG、TPH、TPL、 \overline{BT}	10		
	DEN	1		
拉电流	CLSA、CLSB	65		mA
	REF	受内部限制		
	AMPS_CTL	50		
$T_{J(max)}$	最大结温	受内部限制		°C
T_{stg}	贮存温度	-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) $I_{(RTN)} = 0$

(3) 不要对这些引脚施加电压

(4) SOA 限于 $RTN = 80V (2.5A)$ 。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电释放	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚 ⁽¹⁾	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	±500	
	IEC 61000-4-2 接触放电 ⁽³⁾	±8000	
	IEC 61000-4-2 气隙放电 ⁽³⁾	±15000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

(3) 放电运用于 Figure 22 电路的 RJ-45、适配器和输出电压轨之间 (TPS2372- 4EVM-006 评估模块上)。

6.3 建议运行条件

在自然通风条件下的工作温度范围内，且电压以 V_{SS} 为基准（除非另有说明）

		最小值	标称值	最大值	单位
输入电压范围	RTN、VDD	0		57	V
电压范围	TPH、TPL、 \overline{BT} 至 RTN	0		57	V
	PG 至 RTN	0		57	
灌电流	RTN (TPS2372-3)			1.2	A
	RTN (TPS2372-4)			1.85	
	PG、TPH、TPL、 \overline{BT}			3	mA
电阻	CLSA、CLSB ⁽¹⁾	60			Ω
	AMPS_CTL ⁽¹⁾	1			k Ω
	REF ⁽¹⁾	48.9	49.9	50.9	
结温		-40		125	$^{\circ}\text{C}$

(1) 电压不应从外部施加到该引脚。

6.4 热性能信息

热指标 ⁽¹⁾		TPS2372-3	TPS2372-4	单位
		RGW (VQFN)	RGW (VQFN)	
		20 引脚	20 引脚	
$R_{\theta JA}$	结至环境热阻	40.2	38.0	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	34.6	28.1	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	结至电路板热阻	17.9	16.1	$^{\circ}\text{C}/\text{W}$
Ψ_{JT}	结至顶部特征参数	0.5	0.3	$^{\circ}\text{C}/\text{W}$
Ψ_{JB}	结至电路板特征参数	17.8	16.0	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.4	1.8	$^{\circ}\text{C}/\text{W}$

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.5 电气特性

除非另有说明，否则 $40V \leq V_{VDD} \leq 57V$ ； $R_{DEN} = 24.9k\Omega$ ；PG、CLSA、CLSB、MPS_DUTY、AMPS_CTL、IRSHDL_EN、TPH、TPL 和 BT 断开； $V_{AUTCLS} = V_{VSS}$ ； $R_{REF} = 49.9k\Omega$ ； $-40^{\circ}C \leq T_J \leq 125^{\circ}C$ 。正电流进入引脚。典型值为 $25^{\circ}C$ 下的值。除非另有说明，否则所有电压均以 V_{VSS} 为基准。

参数		测试条件	最小值	典型值	最大值	单位	
检测 (DEN)							
偏置电流		DEN 断开, $V_{VDD} = 10.1V$, 测量 I_{SUPPLY} (VDD、RTN、DEN), 不在标记中	3	4.8	14	μA	
DEN 泄漏电流		$V_{DEN} = V_{VDD} = 57V$		0.5	5	μA	
检测电流		测量 I_{SUPPLY} (VDD、RTN、DEN), $V_{VDD} = 1.4V$	53.8	56.5	58.3	μA	
		测量 I_{SUPPLY} (VDD、RTN、DEN), $V_{VDD} = 10.1V$, 不在标记中	395	410	417		
V_{PD_DIS}	禁用阈值	DEN 下降	3	3.7	5	V	
	迟滞		75	150	250	mV	
分类 (CLS)							
I_{CLS}	分类 A、B 特征电流	$13V \leq V_{VDD} \leq 21V$, 测量 $I_{VDD} + I_{DEN} + I_{RTN}$				mA	
		R_{CLSA} 或 $R_{CLSB} = 1210\Omega$	2.1	2.5	2.9		
		R_{CLSA} 或 $R_{CLSB} = 249\Omega$	9.9	10.6	11.2		
		R_{CLSA} 或 $R_{CLSB} = 140\Omega$	17.6	18.6	19.4		
		R_{CLSA} 或 $R_{CLSB} = 90.9\Omega$	26.5	27.9	29.3		
		R_{CLSA} 或 $R_{CLSB} = 63.4\Omega$	38	39.9	42		
I_{AUTCLS}	Autoclass 特征电流	在第 1 类事件期间经过 t_{ACS} 后	1		4	mA	
V_{CL_ON}	类下限阈值	V_{VDD} 上升, $I_{CLS} \uparrow$	11.9	12.5	13	V	
V_{CL_H}		迟滞	1.4	1.6	1.7		
V_{CU_ON}	类上限阈值	V_{VDD} 上升, $I_{CLS} \downarrow$	21	22	23	V	
V_{CU_H}		迟滞	0.5	0.78	0.9		
V_{MSR}	标记复位阈值	V_{VDD} 下降	3	3.9	5	V	
	标记状态电阻	在 5V 和 10.1V 进行 2 点测量	6	10	12	$k\Omega$	
	泄漏电流	$V_{VDD} = 57V$, $V_{CLS} = 0V$, 测量 I_{CLS}			1	μA	
t_{LCF_PD}	第一类事件时间较长	新 MPS 的第 1 类事件持续时间	76	81.5	86	ms	
t_{ACS}	Autoclass 特征时间	第 1 类事件期间的 AUTCLS	76	81.5	87	ms	
	AUTCLS 上拉电流	$13V \leq V_{VDD} \leq 21V$	30	34	38	μA	
导通器件 (RTN)							
$r_{DS(on)}$	导通电阻	TPS2372-3		0.3	0.55	Ω	
		TPS2372-4		0.1	0.2		
	输入偏置电流	$V_{VDD} = V_{RTN} = 30V$, 测量 I_{RTN}			50	μA	
	RTN 泄漏电流	$V_{VDD} = V_{RTN} = 100V$, $V_{DEN} = V_{VSS}$, 测量 I_{RTN}			80		
	电流限制	$V_{RTN} = 1.5V$	TPS2372-3	1.55	1.85	2.2	A
		$V_{RTN} = 1.5V$	TPS2372-4	1.9	2.2	2.5	
	瞬态输入浪涌电流限制	$V_{RTN} = 2V$, $V_{VDD}: 20V \rightarrow 48V$	TPS2372-3	165	200	237	mA
		$V_{RTN} = 2V$, $V_{VDD}: 20V \rightarrow 48V$	TPS2372-4	275	335	395	
t_{INR_DEL}	浪涌终止	浪涌电流百分比		65%	90%	99%	ms
		浪涌延迟		78	81.5	87	
	折返阈值	V_{RTN} 上升	12.5	14.5	15.5	V	
	折返抗尖峰脉冲时间	V_{RTN} 上升到电流限值变为浪涌电流限值时	1.35	1.65	1.95	ms	
电源正常 (PG)							
	输出低电压	测量 $V_{PG} - V_{RTN}$, $I_{PG} = 2mA$, $V_{RTN} = 2V$, $V_{DD}: 20V \rightarrow 48V$		0.27	0.5	V	

电气特性 (continued)

除非另有说明，否则 $40V \leq V_{DD} \leq 57V$ ； $R_{DEN} = 24.9k\Omega$ ；PG、CLSA、CLSB、MPS_DUTY、AMPS_CTL、IRSHDL_EN、TPH、TPL 和 \overline{BT} 断开； $V_{AUTCLS} = V_{SS}$ ； $R_{REF} = 49.9k\Omega$ ； $-40^\circ C \leq T_J \leq 125^\circ C$ 。正电流进入引脚。典型值为 $25^\circ C$ 下的值。除非另有说明，否则所有电压均以 V_{SS} 为基准。

参数		测试条件	最小值	典型值	最大值	单位
泄漏电流		$V_{PG} = 57V, V_{RTN} = 0V$			10	μA
		$V_{PG} = 10V, V_{RTN} = 0V$			1	
PSE 类型指示 (TPL、TPH、\overline{BT})						
V_{TPL}	输出低电压	$I_{TPL} = 2mA$ ，在进行包含 2 个、3 个或 5 个事件的分类后，启动已完成， $V_{RTN} = 0V$		0.27	0.5	V
V_{TPH}	输出低电压	$I_{TPH} = 2mA$ ，在进行包含 4 个或 5 个事件的分类后，启动已完成， $V_{RTN} = 0V$		0.27	0.5	
V_{BT}	输出低电压	$I_{BT} = 2mA$ ，在 IEEEE802.3bt 分类后，启动已完成， $V_{RTN} = 0V$		0.27	0.5	
泄漏电流		V_{TPL} 或 V_{TPH} 或 $V_{BT} = 7V, V_{RTN} = 0V$			1	μA
t_{TPLHBT}	TPL、TPH、 \overline{BT} 延迟	从启动期间的 PG：低电平 → 断开到 TPH 和/或 TPL 和/或 BT 有效	20	24	28	ms
UVLO						
V_{UVLO_R}	UVLO 上升阈值	V_{DD} 上升	36.3	38.1	40	V
V_{UVLO_F}	UVLO 下降阈值	V_{DD} 下降	30.5	32	33.6	
V_{UVLO_H}	UVLO 迟滞			6.1		V
偏置电流						
工作电流		$40V \leq V_{DD} \leq 57V$ ，启动已完成		550	800	μA
MPS						
MPS 直流电源电流		启动已完成， $I_{RTN} = 0mA$			0.8	mA
AMPS_CTL 脉冲电压		启动已完成， $I_{RTN} < 20mA$ ， $R_{MPS} = 1k\Omega$ 至 $12k\Omega$	23.1	24	24.9	V
自动 MPS 下降电流阈值		启动已完成， I_{RTN} 阈值用于产生 AMPS_CTL 脉冲	18	28	38	mA
		RTN 迟滞电流		1		
适用于 1-2 型 PSE 的 MPS 脉冲模式占空比		MPS 脉冲电流占空比	25.8%	26.1%	26.4%	ms
		MPS 脉冲电流开启时间	76	81.5	87	
		MPS 脉冲电流关闭时间		230	250	
适用于 3-4 型 PSE 的 MPS 脉冲模式占空比		MPS 脉冲电流占空比， $R_{MPS_DUTY} > 230k\Omega$	5.2%	5.43%	5.6%	ms
		MPS 脉冲电流开启时间， $R_{MPS_DUTY} > 230k\Omega$	14.5	15.0	15.7	
		MPS 脉冲电流占空比， $R_{MPS_DUTY} < 8k\Omega$	12.3%	12.5%	12.7%	
		MPS 脉冲电流开启时间， $R_{MPS_DUTY} < 8k\Omega$	36	37.5	39	
		MPS 脉冲电流占空比， $43k\Omega < R_{MPS_DUTY} < 77k\Omega$	7.9%	8.1%	8.3%	
		MPS 脉冲电流开启时间， $43k\Omega < R_{MPS_DUTY} < 77k\Omega$	22.2	23.1	24	
		MPS 脉冲电流关闭时间， R_{MPS_DUTY} 从 0Ω 到开路	250	263.5	277	
MPS_DUTY 上拉电流			14	17	20	μA

电气特性 (continued)

除非另有说明，否则 $40V \leq V_{DD} \leq 57V$ ； $R_{DEN} = 24.9k\Omega$ ；PG、CLSA、CLSB、MPS_DUTY、AMPS_CTL、IRSHDL_EN、TPH、TPL 和 \overline{BT} 断开； $V_{AUTCLS} = V_{VSS}$ ； $R_{REF} = 49.9k\Omega$ ； $-40^{\circ}C \leq T_J \leq 125^{\circ}C$ 。正电流进入引脚。典型值为 $25^{\circ}C$ 下的值。除非另有说明，否则所有电压均以 V_{VSS} 为基准。

参数	测试条件	最小值	典型值	最大值	单位
热关断					
关断	$T_J \uparrow$	140	158		$^{\circ}C$
迟滞 ⁽¹⁾			20		$^{\circ}C$

(1) 提供的参数仅供参考，不构成 TI 发布的规格的一部分用于 TI 产品保修。

6.6 典型特性

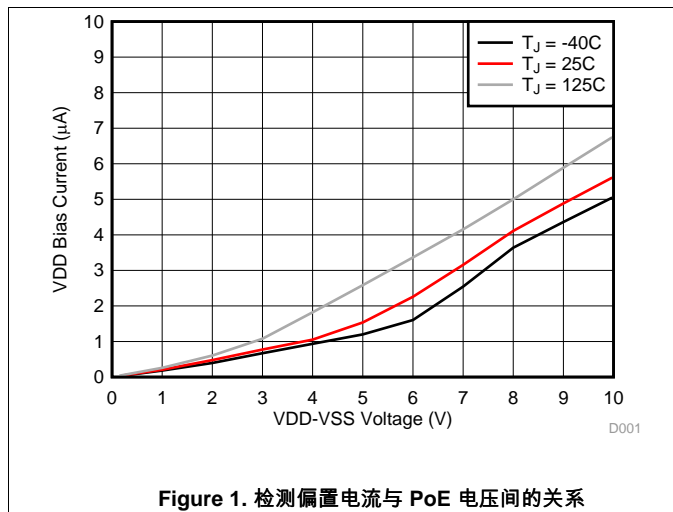


Figure 1. 检测偏置电流与 PoE 电压间的关系

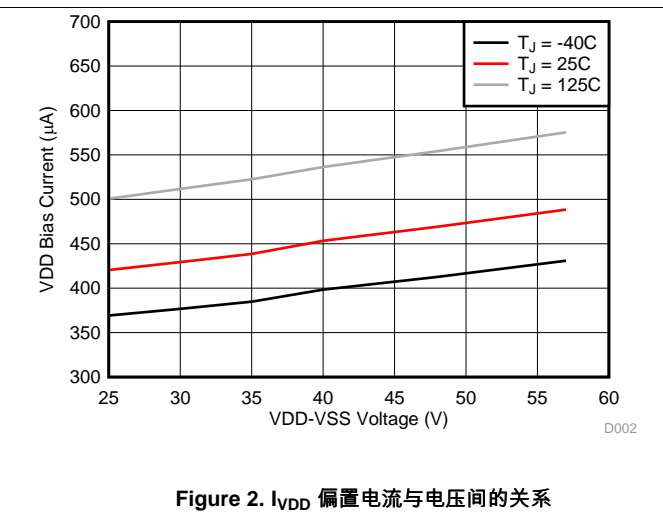


Figure 2. I_{VDD} 偏置电流与电压间的关系

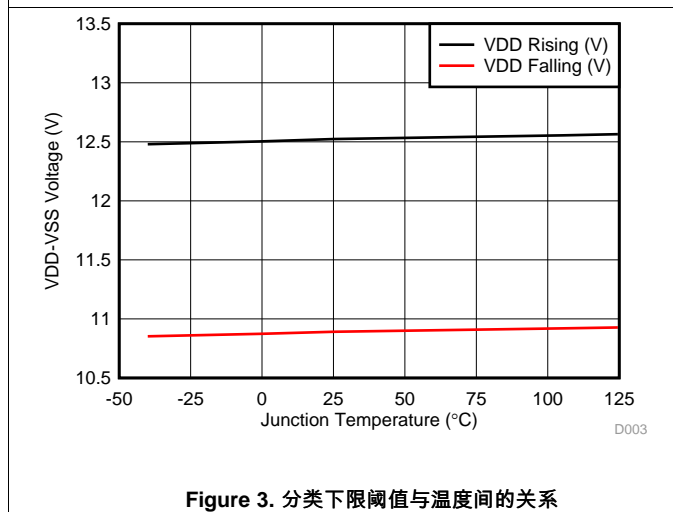


Figure 3. 分类下限阈值与温度间的关系

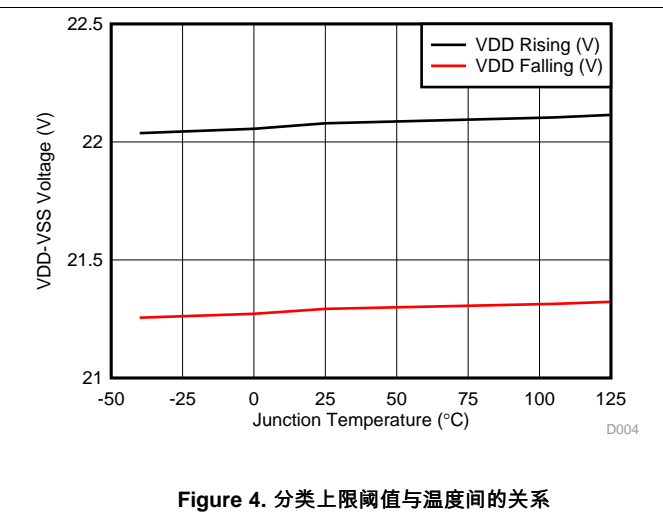


Figure 4. 分类上限阈值与温度间的关系

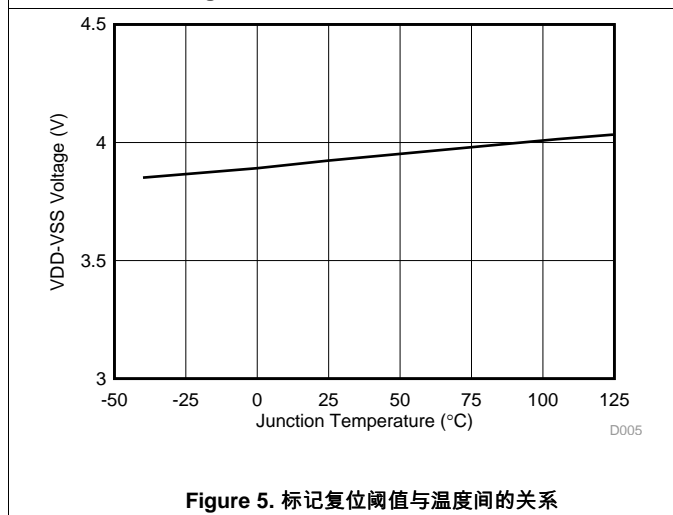


Figure 5. 标记复位阈值与温度间的关系

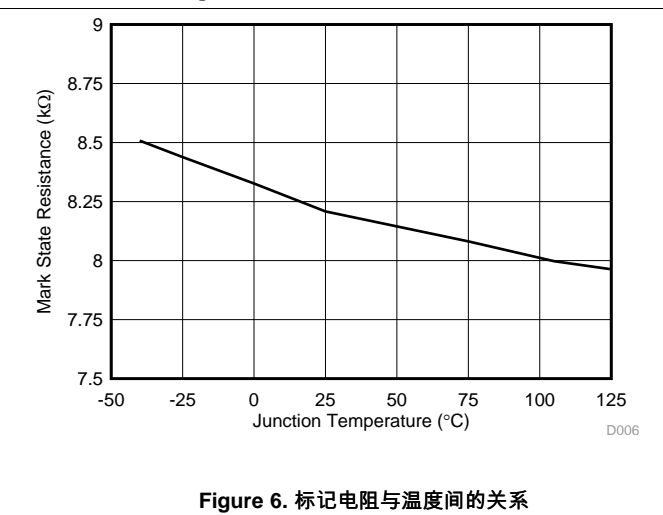


Figure 6. 标记电阻与温度间的关系

典型特性 (continued)

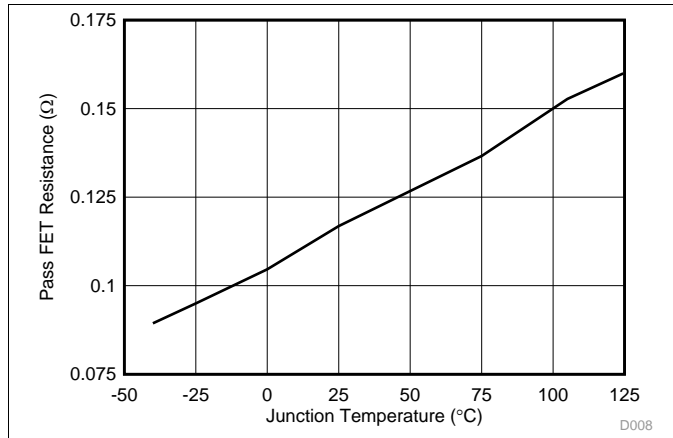


Figure 7. 导通 FET 电阻与温度间的关系 (TPS2372-4)

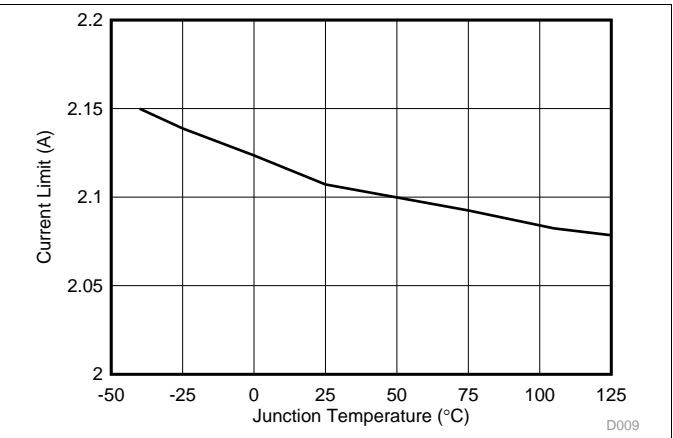


Figure 8. PoE 电流限制与温度间的关系 (TPS2372-4)

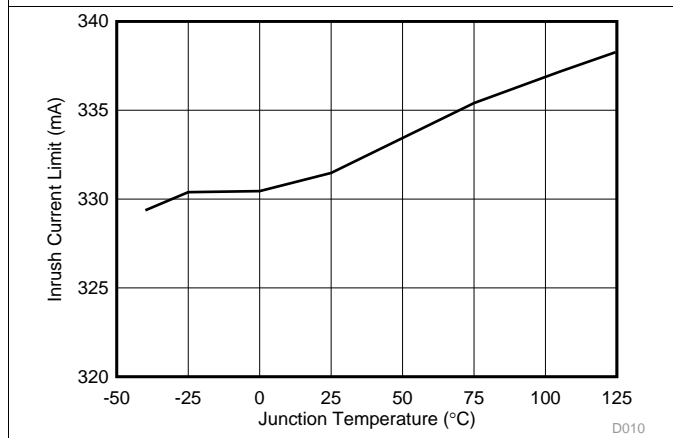


Figure 9. PoE 浪涌电流限制与温度间的关系 (TPS2372-4)

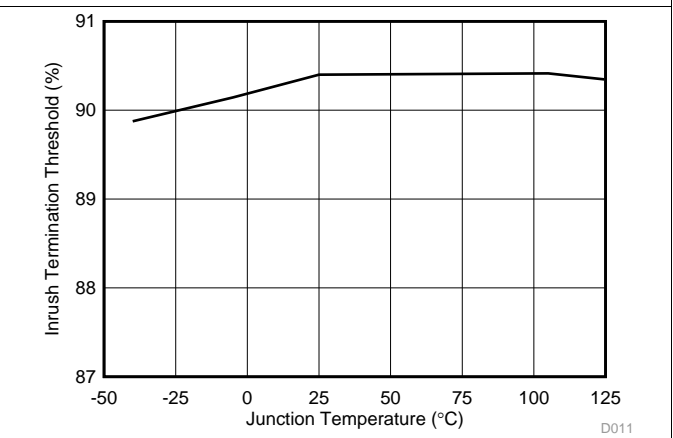


Figure 10. 浪涌终止阈值与温度间的关系 (TPS2372-4)

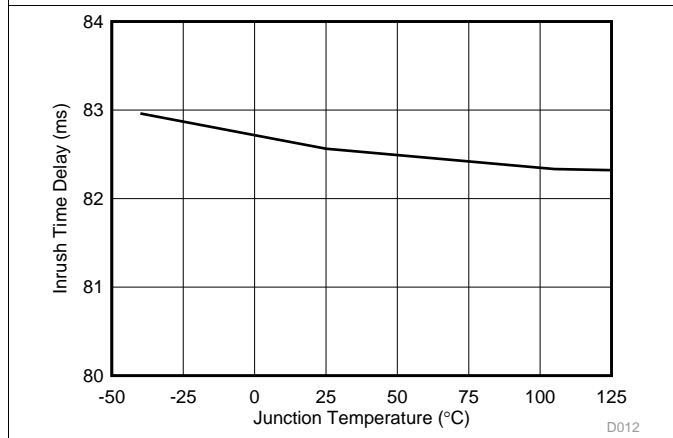


Figure 11. 浪涌时间延迟与温度间的关系

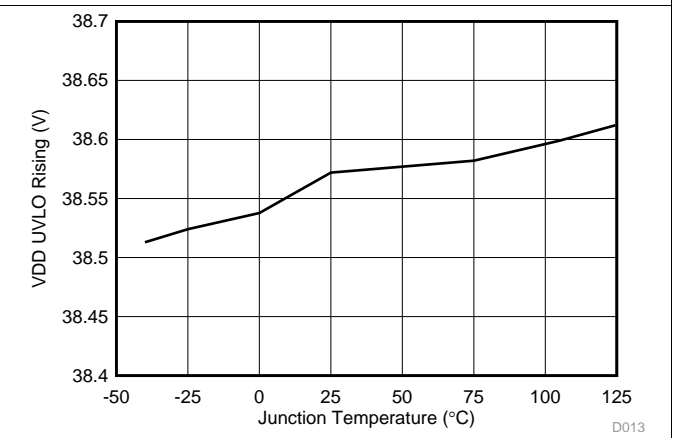


Figure 12. UVLO 上升阈值与温度间的关系

典型特性 (continued)

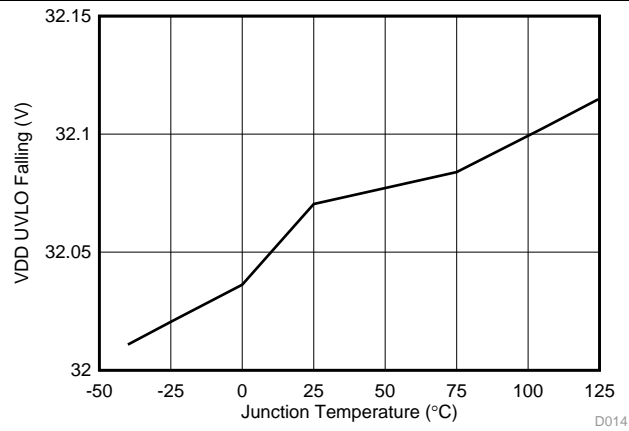


Figure 13. UVLO 下降阈值与温度间的关系

7 详细 说明

7.1 概述

TPS2372 器件是一款 20 引脚的集成电路，包含实现单接口 IEEE802.3bt 3 型 (TPS2372-3) 和 4 型 (TPS2372-4) 受电设备 (PD) 所需的所有功能。支持的基本功能包括检测、硬件分类和启动期间的浪涌电流限制 (TPS2372-3 为 200mA，而 TPS2372-4 为 335mA)。增强型功能包括自动维持功率特征 (MPS)。

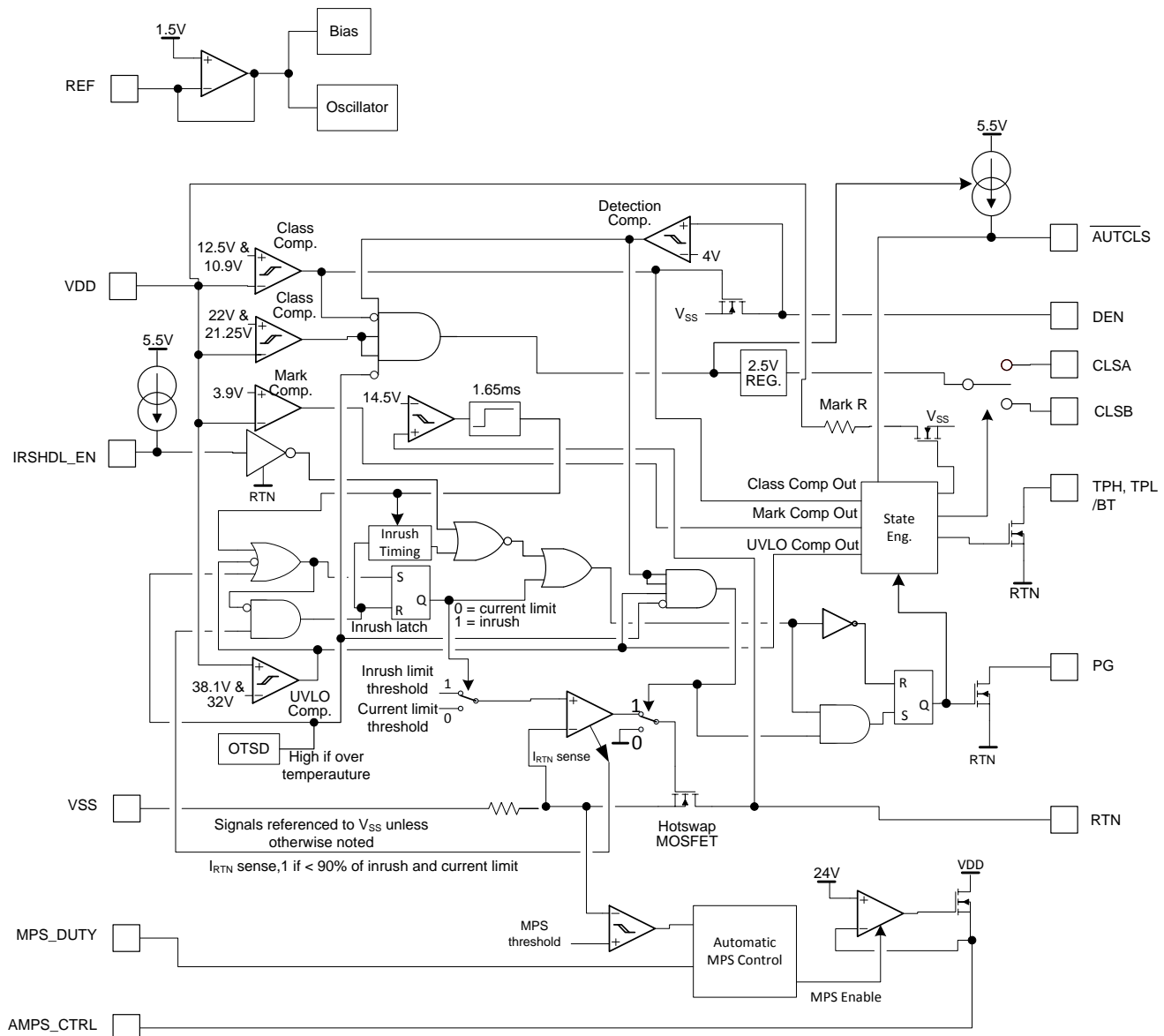
TPS2372-3 集成一个 0.3Ω 的低电阻内部开关，可支持 PSE 供电的连续功率高达 60W 的 3 型应用，允许在正常工作期间通过 PD 的电流超过 1.2A (最小电流限值为 1.55A)。

同样，TPS2372-4 集成一个 0.1Ω 的低电阻内部开关，可支持 PSE 供电的连续功率高达 90W 的 4 型应用，允许在正常工作期间通过 PD 的电流高达 1.9A。

TPS2372 具有内置的浪涌时间延迟周期，可提供简单的解决方案，以满足 IEEE802.3bt 启动要求。

TPS2372 包含多项保护功能，例如热关断、折返电流限制以及稳健耐用的 100V 内部开关。

7.2 功能框图



7.3 特性说明

7.3.1 PG 电源正常 (转换器使能) 引脚接口

PG 是一个高电平有效输出端，当器件处于浪涌阶段时，该输出端被拉至 RTN。该引脚在其他所有时间都保持高阻抗状态。该引脚为开漏输出端，可能需要一个上拉电阻或连接到下游负载的其他接口。如果不使用 PG，可使其保持断开。

通过保持软启动引脚为低电平，PG 引脚可用于禁止下游转换器启动。Figure 14 显示了一个将 PG 引脚连接到直流/直流控制器的 SS 引脚的示例。由于 PG 是漏极开路输出端，因此失效时不会影响软启动电容器充电时间。PG 引脚的另一种常见用途是通过高电平有效使能输入来启用转换器。在这种情况下，根据控制器使能引脚的要求，PG 可能要求上拉电阻连接至 VDD 或偏置电源。

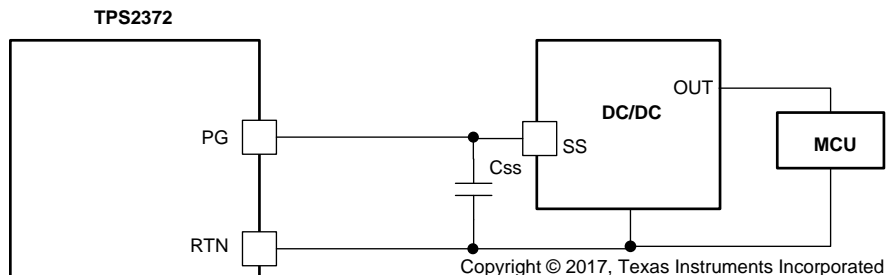


Figure 14. PG 接口

7.3.2 CLSA 和 CLSB 分类, AUTCLS

在 CLSA (第一类和第二类事件) 和 CLSB (第三类和任何后续类别事件) 引脚和 VSS 之间连接的两个外部电阻 (R_{CLSA} 和 R_{CLSB}) 中的每一个电阻都为 PSE 提供了不同的分类特征，用于定义由 PD 请求的功率类别。只要 VDD 和 VSS 之间的电压差处于 10.9V 至 22V 之间，控制器就会在 CLSA (第一类或第二类事件) 或 CLSB (所有其他类别事件) 外部电阻上施加大约 2.5V 的电压。每个电阻消耗的电流与控制器消耗的内部电流以及通过内部导通 MOSFET 的任何泄漏电流相结合，产生分类特征电流。Table 1 列出了 IEEE802.3bt 所定义的所有 PD 功率范围所需的外部电阻值。然后，分类周期数可确定由 PSE 分配的功率量。由 PD 消耗的最大平均功率加上提供给下游负载的功率不应超过 Table 1 中所示的最大功率以及 PSE 根据分类周期数分配的最大功率。

如果在第一个周期内呈现 4 类特征，则 2 型和 3 型 PSE 可以执行两个分类周期。同样，如果在前两个周期内呈现 4 类特征并且在第三个周期内呈现 0 类或 1 类特征，则 3 型和 4 型 PSE 可以执行四个分类周期。另外，如果在前两个周期内呈现 4 类特征并且在第三个周期内呈现 2 类或 3 类特征，则 4 型 PSE 可以执行五个分类周期。

Table 1. 类别电阻选择

PD 类别	类别特征 A	类别特征 B	最小 PD 功率 (W)	最大 PD 功率 (W)	最大功率时的类别周期数	电阻 CLSA (Ω)	电阻 CLSB (Ω)
0	0	0	0.44	12.95	1	1210	1210
1	1	1	0.44	3.84	1	249	249
2	2	2	3.84	6.49	1	140	140
3	3	3	6.49	12.95	1	90.9	90.9
4	4	4	12.95	25.5	2、3	63.4	63.4
5	4	0	25.5	40	4	63.4	1210
6	4	1	40	51	4	63.4	249
7	4	2	51	62	5	63.4	140
8	4	3	62	71	5	63.4	90.9

AUTCLS 输入用于在分类过程中启用 Autoclass 功能。启用后，第一类事件期间的类别特征在第一类事件经过 t_{ACS} 时间之后下降到 0 类电流电平，从而向 3 型或 4 型 PSE 指示其支持 Autoclass。

7.3.3 DEN 检测和使能

DEN 引脚实现两个独立的功能。只要 VDD 和 VSS 之间的电压差处于大约 1.4V 至 10.9V 之间，连接在 VDD 和 DEN 之间的电阻 (R_{DEN} ，请参阅 Figure 22) 就会产生一个检测特征。而超出此范围时，控制器会断开该电阻以节能。IEEE 802.3bt 标准规定了检测特征电阻 R_{DEN} 介于 23.75kΩ 至 26.25kΩ 之间，即 $25k\Omega \pm 5\%$ 。对于 R_{DEN} ，TI 推荐使用 $24.9k\Omega \pm 1\%$ 的电阻。

在供电运行期间将 DEN 拉至 VSS 会导致内部热插拔 MOSFET 和类别稳压器关闭。如果将连接在 VDD 和 DEN 之间的电阻分成两个大致相等的部分，则应用电路可以通过将两个电阻之间的抽头点接地来禁用 PD，同时破坏检测特征以阻止 PD 正确进行重新检测。

7.3.4 内部导通 MOSFET 和浪涌延迟启用，IRSHDL_EN

RTN 引脚为负载提供负电源回路。一旦 V_{VDD} 超过 UVLO 阈值，内部导通 MOSFET 便会将 RTN 拉至 VSS。浪涌限制功能可防止 RTN 电流超过 TPS2372-3 和 TPS2372-4 分别大约 200mA 和 335mA 的标称值，直到大容量电容 (C_{BULK} ，请参阅 Figure 22) 充满电为止。必须满足两个条件才能到达浪涌阶段末端。第一个条件是 RTN 电流下降到标称浪涌电流的约 90% 以下，此时电流限值对于 TPS2372-3 而言变为 1.85A，而对于 TPS2372-4 而言变为 2.2A，而第二个条件 (如果 IRSHDL_EN 断开) 则是确保最短浪涌延迟时间为从浪涌阶段开始算起约 81.5ms (t_{INR_DEL})。PG 输出变为高阻抗将向下游负载指示大容量电容已充满电并且浪涌周期已完成。将 IRSHDL_EN 输入端连接到 RTN 引脚将禁用浪涌延迟，此情况下只有第一个条件适用于浪涌阶段末端。

如果 RTN 大于约 14.5V 的时间超过约 1.65ms，则 TPS2372 返回到涌流阶段；请注意，在这种特殊情况下，上述关于浪涌阶段持续时间 (81.5ms) 的第二个条件不适用。

7.3.5 TPH、TPL 和 \overline{BT} PSE 类型指标

\overline{BT} 、TPH 和 TPL 的状态用于提供有关 PSE 类型 (1-2 或 3-4) 及其所分配功率的信息。Table 2 列出了对应于 PSE 类型、PD 类别和所分配功率的各种组合的编码。Table 3 也对应提供了 PSE 分配的功率低于 PD 请求功率的情况。分配的功率由已收到的分类周期数确定。启动期间，TPH、TPL 和 \overline{BT} 输出通常在 PG 从低电平变为断开状态的 24ms 后进入启用状态，从而使电源首先达到稳定状态。如果器件进入热关断状态，或者如果 VDD 至 VSS 的电压低于大约 32V，那么这 3 个输出将返回到高阻抗状态。请注意，在所有这些情况下，只要 VDD 至 VSS 的电压保持在标记复位阈值以上，就会记住这 3 个信号的内部逻辑状态，以便在启动完成后相应地激活这些输出。当 VDD 至 VSS 的电压降至标记复位阈值以下时，该电路将复位。如果不使用 TPH、TPL 和 \overline{BT} 引脚，可将这些引脚保持未连接状态。

中增加了表注 中增加了表注

Table 2. TPH、TPL、 \overline{BT} 和分配功率真值表

PSE 类型	PD 类别	类别周期数	PSE 分配的 PD 功率 (W)	TPH	TPL	$\overline{BT}^{(1)}$
1-2	0	1	12.95	HIGH	HIGH	HIGH
1-2	1	1	3.84	HIGH	HIGH	HIGH
1-2	2	1	6.49	HIGH	HIGH	HIGH
1-2	3	1	12.95	HIGH	HIGH	HIGH
2	4	2	25.5	HIGH	低电平	HIGH
3-4	0	1	12.95	HIGH	HIGH	低电平
3-4	1	1	3.84	HIGH	HIGH	LOW
3-4	2	1	6.49	HIGH	HIGH	LOW
3-4	3	1	12.95	HIGH	HIGH	LOW
3-4	4	2-3	25.5	HIGH	LOW	LOW
3-4	5	4	40	LOW	HIGH	LOW
3-4	6	4	51	LOW	HIGH	LOW
4	7	5	62	低电平	低电平	低电平
4	8	5	71	低电平	低电平	低电平

(1) 不需要 \overline{BT} 输出来指示由符合 IEEE802.3bt 标准的 PSE 向 PD 分配的功率。可根据应用详细设计要求部分中描述的应用提供附加信息用于 TPH、TPL 和 \overline{BT} 的光隔离器

Table 3. 功率降级情况

PSE 类型	PD 类别	类别周期数	PSE 分配的 PD 功率 (W)	TPH	TPL	\overline{BT}
3-4	4-8	1	12.95	HIGH	HIGH	LOW
3-4	5-8	2、3	25.5	HIGH	LOW	LOW
3-4	7-8	4	51	LOW	HIGH	LOW

7.3.6 AMPS_CTL、MPS_DUTY 和自动 MPS

为了维持 PSE 功率，AMPS_CTL 输出端将产生电压脉冲。通过在 AMPS_CTL 和 VSS 之间连接一个电阻，此电压脉冲将转换为电流脉冲。只要通过 RTN 至 VSS 路径的电流不够高（小于大约 28mA），就会自动产生这些脉冲。在负载电流可能低于大约 20mA 并且必须维持 PSE 功率的应用中，推荐使用 1.3k Ω 的典型电阻值。

如果检测到 3 型或 4 型 PSE，则可使用 MPS_DUTY 输入端从三个占空比（5.4%、8.1%、12.5%）中选择一个占空比。具体选择值取决于各种系统参数，其中包括大容量电容大小、输入电缆阻抗和输入电桥类型。另外，在大容量电容器和 TPS2372 之间插入一个阻塞二极管（或 MOSFET）可以选择更短 MPS 占空比。应参考 Table 4 来选择合适的 MPS 占空比。

Table 4. MPS 占空比选择

PSE 类型	MPS_DUTY	MPS 占空比
1、2	-	26%
3、4	短接至 VSS	12.5%
3、4	用电阻（典型值为 60.4K）连接至 VSS	8.1%
3、4	断开	5.4%

Table 5. 系统条件和 MPS 占空比

预期的 PoE PD 系统条件			MPS_DUTY 选择		
C_{BULK} 阻塞二极管	C_{BULK}	电缆长度	MPS 占空比	引脚端接	I_{MPS} (mA)
是	任意	0-100m	5.4% 或更长	断开	18.5
否	$\leq 60\mu F$		8.1% 或更长	用 60k Ω 电阻连接至 VSS	18.5
否	$> 60\mu F$ 、 $\leq 120\mu F$		12.5%	短接至 VSS	18.5
否	$\leq 120\mu F$		5.4% 或更长 ⁽¹⁾	断开	18.5
否	$> 120\mu F$ 、 $\leq 300\mu F$		8.1% 或更长 ⁽¹⁾	用 60k Ω 电阻连接至 VSS	18.5

(1) 在 PSE 电压降压事件不太可能或预计不会超过 -0.4V 的情况下适用。

7.3.7 VDD 电源电压

VDD 引脚连接到输入电源的正极侧。该引脚为 PD 控制器提供工作电源并可用于监控输入线路电压。如果 V_{VDD} 降至低于其 UVLO 阈值后再恢复到阈值上方，或者如果在 V_{VDD} 已高于其 UVLO 阈值时恢复热关断，则 TPS2372 将返回到浪涌阶段。

7.3.8 VSS

VSS 引脚是用作本地接地端的输入电源负电源轨。必须将外露散热焊盘连接到此引脚以确保正确运行。

7.3.9 外露散热焊盘

外露散热焊盘从内部连接到 VSS 引脚。该焊盘应连接到 PCB 上较大的 VSS 覆铜区域，以便提供通向电路板的低电阻散热路径。TI 建议在 VSS 和高电压信号（如 VDD）之间保持 0.025 英寸的间隙。

7.4 器件功能模式

7.4.1 PoE 概述

以下内容仅帮助理解 TPS2372 的工作原理，而不能代替 IEEE 802.3bt 标准。待定的 IEEE 802.3bt 标准是对 IEEE 802.3-2012 第 33 条 (PoE) 的更新，增加了 4 线对供电、高功率选项、附加功能和增强型分级。一般来说，符合 IEEE 802.3-2012 标准的设备称为 1 型 (0-3 类) 或 2 型 (4 类) 设备，而具有更高功率和增强型分类的设备将称为 3 型 (5、6 类) 或 4 型 (7、8 类) 设备。3 型设备还将包括支持 4 线对供电的 0-4 类设备。标准是不断变化的，在作出设计决定时应始终参考最新标准。

IEEE 802.3bt 标准定义了一种方法，使用这种方法可以确保供电设备 (PSE) 通过电缆安全地为 PD (受电设备) 供电，然后在 PD 断开连接时切断电源。此过程需要经历一种空闲状态和三种工作状态：检测、分类和运行。3 型和 4 型 PSE 还使用第四种工作状态 (称为“连接检查”) 来确定 PD 是具有相同 (单接口) 还是独立 (双接口或通常在 IEEE802.3bt 标准中称为“双特征”) 的分类特征。PSE 在保持电缆断电状态 (空闲状态) 的同时定期查看是否有设备插入；这种行为称为检测，如果是 3 型或 4 型 PSE，那么还包括连接检查。在检测和连接检查过程中使用的低功率水平不太可能会损坏不是为 PoE 设计的设备。如果存在有效的 PD 特征，则 PSE 可能会询问 PD 所需的功率；这就是所谓的分类。如果 PSE 拥有足够的容量，它随后会向 PD 供电。

3 型或 4 型 PSE 需要分别进行 3 型或 4 型的增强型硬件分类。2 型 PSE 需要进行 1 型硬件分类及数据层分类，或者增强型 2 型硬件分类。1 型 PSE 不需要进行硬件分类或数据链路层 (DLL) 分类。3 型或 4 型 PD 必须分别进行 3 型或 4 型硬件分类以及 DLL 分类。2 型 PD 必须进行 2 型硬件分类以及 DLL 分类。PD 可能返回默认的 13W 电流编码类别，或者四个其他选择之一 (如果为 2 型)、六个其他选择之一 (如果为 3 型) 以及八个其他选择之一 (如果为 4 型)。DLL 分类在加电完成且以太网数据链路建立之后发生。

Autoclass 功能对于 PSE 和 PD 而言都是可选功能。

一旦开始供电，PD 必须呈现维持功率特征 (MPS) 以向 PSE 确保其仍然存在。PSE 会监控其输出是否存在有效的 MPS，如果丢失 MPS，则会关闭端口。丢失 MPS 会使 PSE 恢复到空闲状态。Figure 15 显示了作为 PD 输入电压函数的运行状态。

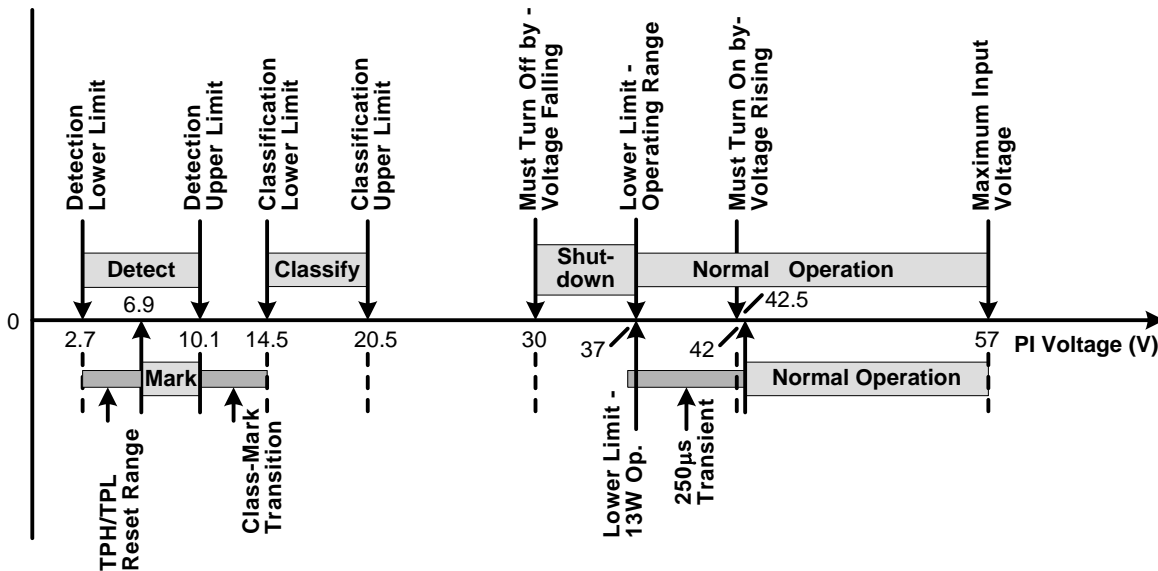


Figure 15. 运行状态

PD 输入端通常是 RJ-45 八引线连接器，被称为电源接口 (PI)。出于电压降和运行裕度的考虑，PD 输入要求与 PSE 输出要求是不同的。为了简化实施，不管实际安装情况如何，该标准都将最大损耗分配给电缆。IEEE 802.3-2008 旨在运行于包括可能已具有 AWG 26 导体的 ISO/IEC 11801 C 类 (根据 TIA/EIA-568 为 CAT3) 电缆在内的基础设施之上。IEEE 802.3at 2 型和 IEEE 802.3bt 3 型布线功率损耗分配和电压降已根据 ISO/IEC11801 D 级 (根据 TIA/EIA-568 为 CAT5 或更高，通常具有 AWG 24 导体) 进行了调整以适应电阻值为 12.5Ω 的电源回路。

Table 6 显示了该标准的两个修订版本分别的主要运行限制。

器件功能模式 (continued)
Table 6. 运行限制的比较

标准	电源回路电阻 (最大值)	PSE 输出功率 (最小值)	PSE 静态输出电压 (最小值)	PD 输入功率 (最大值)	静态 PD 输入电压	
					功率 ≤ 13W	功率 > 13W
IEEE802.3-2012 802.3at (1 型)	20Ω	15.4W	44V	13W	37V – 57V	不适用
802.3bt (3 型)	12.5Ω		50V			
802.3at (2 型) 802.3bt (3 型)	12.5Ω	30W	50V	25.5W	37V – 57V	42.5V – 57V
802.3bt (3 型)	6.25Ω (4 线对)	60W	50V	51W	不适用	42.5V - 57V
802.3bt (4 型)	6.25Ω (4 线对)	90W	52V	71.3W	不适用	41.2V - 57V

PSE 可在 RX 和 TX 线对 (对于 10baseT 或 100baseT 为引脚 1–2 和 3–6) 之间施加电压, 或在两个备用线对 (4–5 和 7–8) 之间施加电压。施加到 1000/2.5G/5G/10GbaseT 系统中相同引脚组合的电源可在 IEEE 802.3bt 中被识别。1000/2.5G/5G/10GbaseT 系统可以处理所有线对上的数据, 因此消除了备用线对的说法。1 型和 2 型 PSE 一次只能对一组线对施加电压, 而 3 型和 4 型 PSE 可以一次对一组或两组线对加电。PD 使用输入二极管电桥或有源电桥从任何可能的 PSE 配置中受电。与输入电桥相关的电压降会导致 PI 上的标准限值与 TPS2372 规格之间产生差异。

符合标准的 2 型、3 型或 4 型 PD 具有 1 型 PD 所不具备的电源管理要求。这些要求包括以下各项:

1. 必须分别解读 2 型、3 型或 4 型硬件分类。
2. 必须在前两个分类事件中呈现硬件 4 级 (适用于 2 型和 4 型 PD 以及具有 4 级或更高级类别的 3 型 PD)。
3. 3 型或 4 型单接口 PD 必须在第三个和任何后续分类事件期间呈现 0 至 3 范围内的硬件类别。
4. 必须实现 DLL 协商。
5. 如果是 2 型或 3 型单接口 PD, 必须有 50ms 时间的行为与 1 型 PD 相似, 然后在 PSE 施加工作电压 (加电) 时间超过 80ms 之前, 功耗必须小于 400mA。这段时间覆盖了 PSE 浪涌周期 (此周期最长为 75ms)。
6. 如果是 4 型单接口 PD, 应该有 50ms 时间的行为与 1 型 PD 相似, 然后在 PSE 施加工作电压 (加电) 时间超过 80ms 之前, 功耗必须小于 400mA。
7. 输入电压降至低于 30V 和 10V 的任何时间, 功耗不得分别超过 60mA 和 5mA。
8. 如果未获得至少 2 型硬件分类或通过 DLL 获得许可, 则功耗不得超过 13W。
9. 如果未收到至少 4 个分类事件或通过 DLL 获得许可, 则功耗不得超过 25.5W。
10. 如果未收到至少 5 个分类事件或通过 DLL 获得许可, 则功耗不得超过 51W。
11. 必须符合各种工作模板和瞬态模板。
12. 选择性监控适配器是否存在 (假设为高功率)。

由于有这些要求, PD 必须能够动态控制其负载, 并监控 TPL 和 TPH 是否出现变化。如果设计项目需要具体了解适配器是否已插入并正常运行, 则应单独监控适配器, 通常使用的是光耦合器。

7.4.2 阈值电压

TPS2372 采用了大量带有迟滞功能的内部比较器, 可在各种状态之间进行平稳切换。Figure 16 将电气特性中的参数与 PoE 状态进行了关联。Classification 和 Operation 之间标记为 Idle 的模式表示 DEN、CLSA、CLSB 和 RTN 引脚均为高阻抗。标记为 Mark 的状态 (画虚线位置) 是 2-3-4 型硬件类别状态机的一部分。

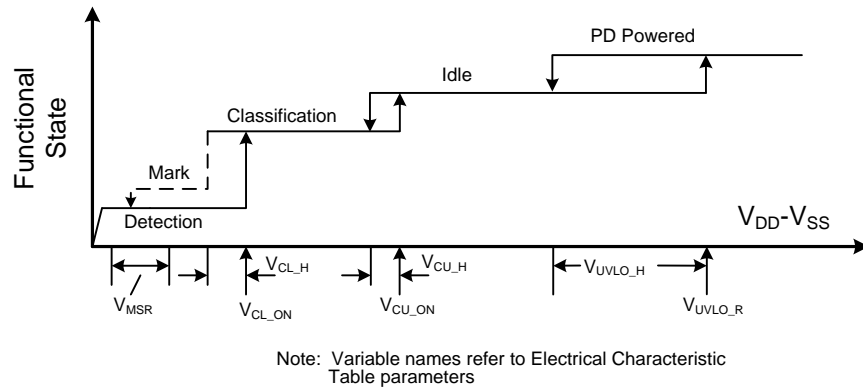


Figure 16. 阈值电压

7.4.3 PoE 启动顺序

Figure 17 的波形显示了检测、分类 (包括第一类事件期间的 Autoclass) 和启动 (从具有 3 型 6 类硬件分类的 PSE) 的情况。显示的主要波形为 $V_{(VDD-VSS)}$ 、 $V_{(RTN-VSS)}$ 和 I_{PI} 。IEEE 802.3bt 要求 PSE 分配 6 类级别的功率以便产生至少两个检测电平、四个类别和标记周期以及从第四个标记事件启动。如下所示, 对于 3 型和 4 型 PSE, 第一类事件所需的最短持续时间已延长。在施加完整电压之后, $V_{RTN} - V_{SS}$ 随着 TPS2372 对 C_{BULK} 充电而下降。在 Figure 19 中, PG 信号被延迟生效, 用于启用 I_{PI} 波形中所示的负载电流。

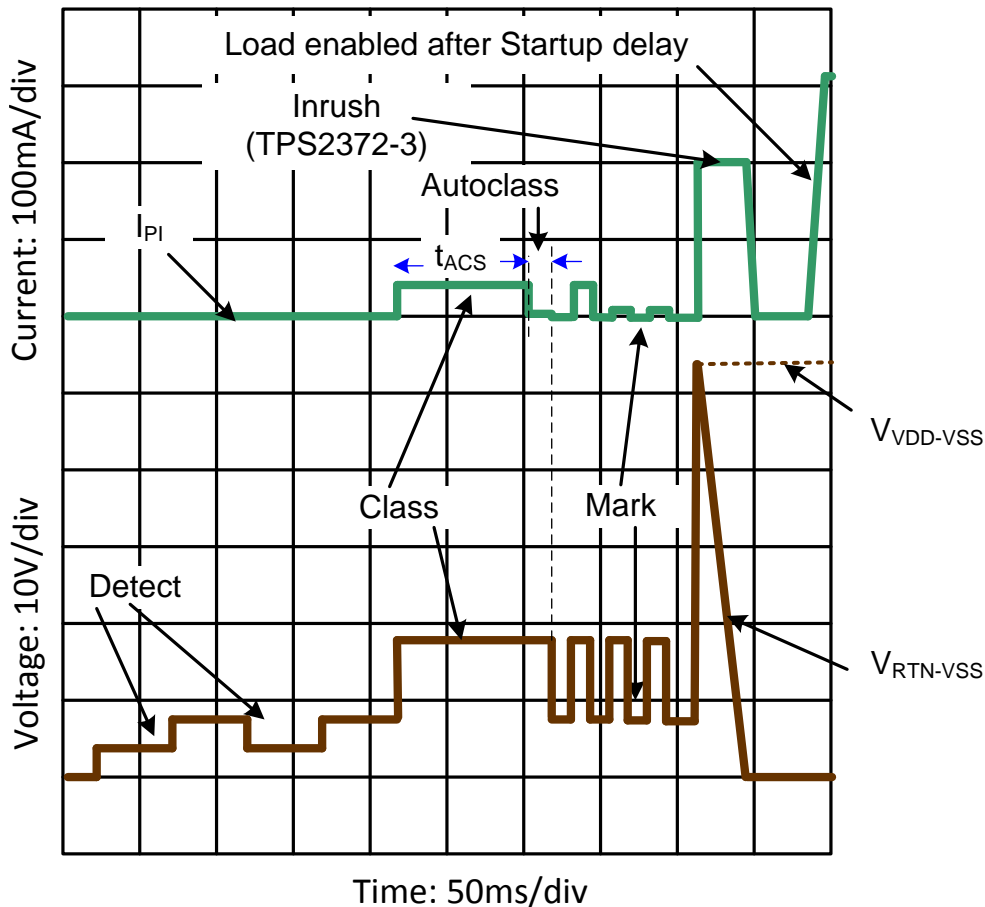


Figure 17. 6类 PD 的启动

7.4.4 检测

当 $V_{(VDD-VSS)}$ 低于分类下限阈值时，TPS2372 将 DEN 拉至 V_{SS} 。当输入电压上升至高于 V_{CL_ON} 时，DEN 引脚会进入漏极开路状态以节能。在检测时，RTN 为高阻抗，几乎所有的内部电路都被禁用。24.9kΩ ($\pm 1\%$) 的 R_{DEN} 可呈现正确的特征。这可能是一个小型低功耗电阻，因为其负荷仅为约 5mW。有效的 PD 检测特征是在 PI 位置有 23.7kΩ 到 26.3kΩ 的增量电阻 ($\Delta V/\Delta I$)。

PSE 在 PI 位置看到的检测电阻是输入电桥电阻与一个并联组合电阻（即 R_{DEN} 与内部 V_{DD} 负载并联）串联的结果。向 PI 施加 2.7V 电压时，输入二极管电桥的增量电阻大小可能为数百欧，且流耗较低。在检测期间，输入电桥电阻会由 TPS2372 有效电阻进行部分补偿。

IEEE 802.3bt 的硬件分类协议规定，2 型、3 型或 4 型 PSE 在分类序列期间应将其输出电压降至检测范围内。在此情况下，PD 需要具有不正确的检测特征，这称为标记事件（请参阅 Figure 17）。第一个标记事件发生后，TPS2372 将呈现小于 12kΩ 的特征，直至其收到低于标记复位阈值 (V_{MSR}) 的 $V_{(VDD-VSS)}$ 电压。硬件分类中对此进行了全面的说明。

7.4.5 硬件分类

通过硬件分类，PSE 可以在供电之前先确定 PD 的电源要求，并且在供电后帮助进行电源管理。2 型、3 型和 4 型硬件分类允许高功率 PD 确定 PSE 是否能支持其高功率运行需求。PSE 在开启之前产生的类别周期数向 PD 指示其是否分配了请求的功率或者分配的功率是否小于请求的功率（在这种情况下会出现功率降级，如

Table 3 所示）。2 型 PD 总是呈现 4 类硬件特征以表明其为 25.5W 设备。5 类或 6 类 3 型 PD 在前两个类别事件期间呈现 4 类硬件特征，而在所有后续类别事件期间分别呈现 0 类或 1 类。7 类或 8 类 4 型 PD 在前两个类别事件期间呈现 4 类硬件特征，而在所有后续类别事件期间分别呈现 2 类或 3 类。1 型 PSE 会将 4 类至 8 类设备等同于 0 类设备，如果选择为该 PD 供电，则为其分配 13W 功率。2 型 PSE 会将 5 类至 8 类设备等同于 4 类设备，如果选择为该 PD 供电，则为其分配 25.5W 功率。接收“2 事件”类别的 4 类 PD、接收“4 事件”类别的 5 类或 6 类 PD 或者接收“5 事件”类别的 7 类或 8 类 PD 知道 PSE 已同意分配 PD 请求的功率。在功率降级的情况下，PD 可以选择不启动，或者在启动时功耗不超过最初分配的功率，而在启动后通过 DLL 请求更多功率。该标准要求 2 型、3 型或 4 型 PD 在这种情况下应指明其功率不足。以低于明确请求的功率启动一个高功率 PD 时，需要以某种形式将应用电路的某些部分断电。

Table 1 中的最大功率条目决定了 PD 必须通告的类别。如果某个 PD 的功耗超过其声明的类别功率（可能是硬件类别或从 DLL 推导出的功率级别），PSE 可能会将其断开。该标准允许 PD 汲取有限的峰值电流（这会使瞬时功率上升至超过 Table 1 的限值）；但是，必须始终遵守平均功率要求。

TPS2372 采用包含一到五个事件的分类。 R_{CLSA} 和 R_{CLSB} 电阻值定义了 PD 的类别。DLL 通信由 PD 中的以太网通信系统实现，而不是由 TPS2372 实现。

TPS2372 会禁用高于 V_{CU_ON} 的分类以避免过大的功耗。在 PD 热限制期间或 DEN 为有效状态时，会关闭 CLSA/B 电压。CLSA 和 CLSB 输出端本身就会限流，但不应该长时间短接到 V_{SS} 。

Figure 18 显示了 TPS2372 的分类原理。当越过比较器阈值时，将会发生状态间的转换（请参阅 Figure 15 和 Figure 16）。这些比较器具有迟滞功能，因此将为机器增加固有记忆能力。运行从空闲状态（处于 PSE 断电状态）开始，然后继续从左向右增大电压。一个包含 2 个到 5 个事件的分类沿着朝向底部的（粗线）路径前进，然后沿着突出显示的下分支结束于锁存式 TPL/TPH 解码。一旦通向 PSE 检测的有效路径断开，输入电压就必须转换到低于标记复位阈值以重新开始。

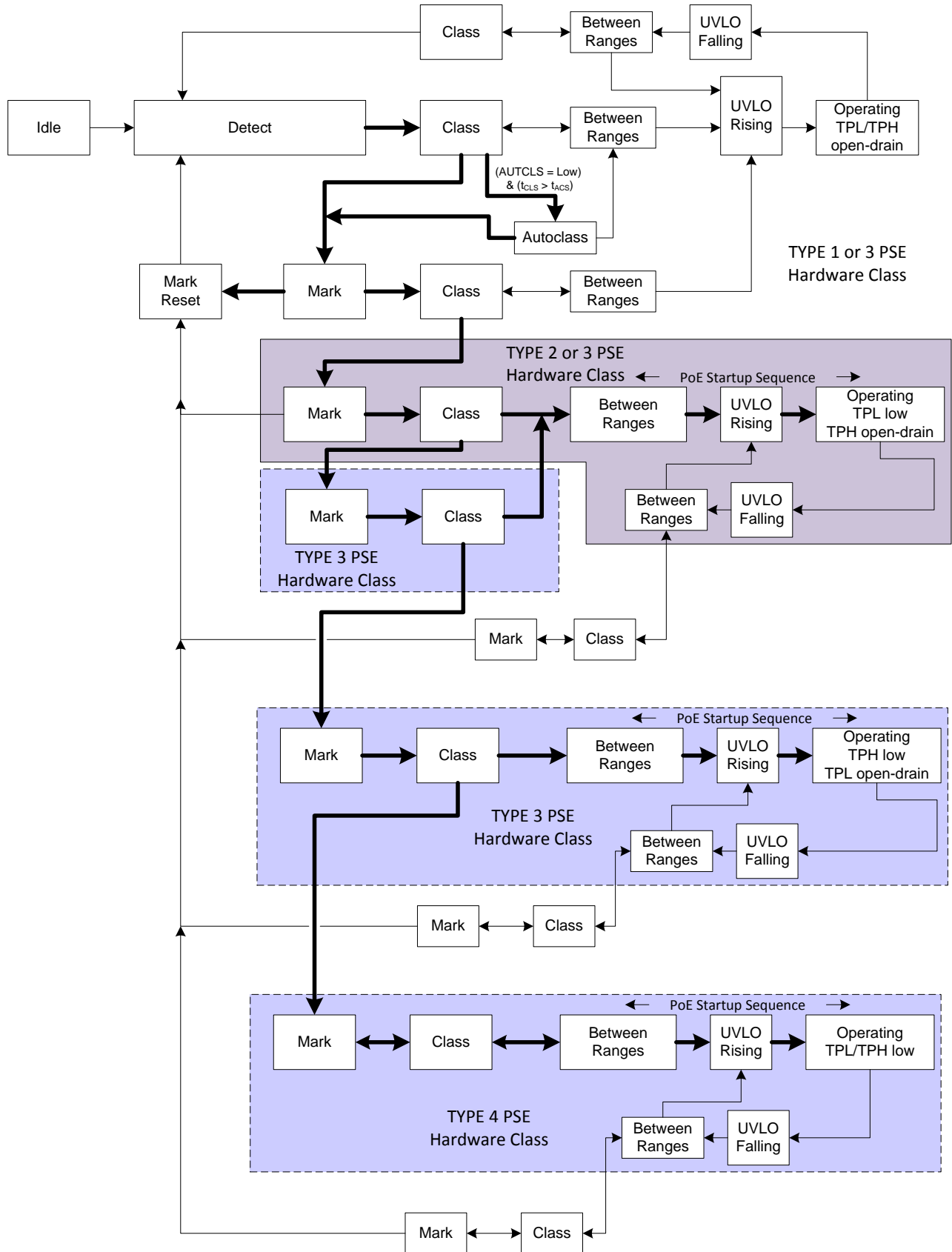


Figure 18. 包含多达五个事件的类别的内部状态

7.4.6 Autoclass

Autoclass 是一种允许 PD 将其有效的最大功耗传达给 PSE 的分类机制。在这种情况下需要确保 PSE 能够将功率预算设置为有效的最大 PD 功率（包括有效的信道损耗和额外裕量）。此项新特性是在 IEEE802.3bt 标准中引入的，由于只需要将有效使用的功率纳入预算，因此可以更有效地利用可用功率。

3 型或 4 型 PD 可以选择性地支持 Autoclass，而 3 型或 4 型 PSE 可以利用它来优化电源管理。

采用 Autoclass 的 PSE 会使用第一类事件来询问 PD 是否支持 Autoclass，查找是否存在类别电流在时间 t_{ACS} 之后下降到 0 类电流电平的情况（如 Figure 17 所示）。如果发现支持该特性，则 PSE 随后可以在加电后立即进行 Autoclass 测量，而 PD 需要在接下来 1.35 秒到 3.65 秒的整个期间内实施最大功耗。请注意，平均功率是使用宽度范围为 150 至 300ms 的任何滑动窗口期算出的。

7.4.7 浪涌和启动

IEEE 802.3bt 设置了启动电流和时间的限制，提供任何 PSE 类型与任何 PD 类型之间的兼容性。PSE 浪涌限值根据分配的功率而变化。如果是 0 到 4 类、5 到 6 类或 7 到 8 类，则浪涌限值分别为 400mA 到 450mA、400mA 到 900mA 或 800mA 到 900mA。PSE 浪涌限制在加电后将持续长达 75ms（向 PI 施加“48V”电压），此后，2 型、3 型或 4 型 PSE 将根据分配的类别支持更高的输出电流。TPS2372-3 和 TPS2372-4 分别实施 200mA 和 335mA 的浪涌电流，这与所有 PSE 类型均兼容。高功率 PD 必须限制其转换器启动峰值电流。2 型和 3 型的工作电流不能持续 80ms 超过 400mA，4 型最好也遵循此要求。

7.4.8 维持功率特征

MPS 是一种由 PD 呈现的电气特征信号，用于在施加工作电压后向 PSE 确保其仍然存在。对于 1 型或 2 型 PD，有效的 MPS 由 10mA 的最小直流电流（或每 325ms 至少持续 75ms 的 10mA 脉冲电流）以及与 0.05 μ F 电容并联且低于 26.3k Ω 的交流阻抗所组成。只有 1 型和 2 型 PSE 会监控交流 MPS。仅监控交流 MPS 的 1 型或 2 型 PSE 可能会切断 PD 的电源。

为了支持具有严格待机要求的 应用，IEEE802.3bt 引入了一项关于最小脉冲电流持续时间的重大改变，旨在确保 PSE 能够保持供电。这一变化适用于所有 3 型和 4 型 PSE，所需的脉冲持续时间是 1 型和 2 型 PSE 所需的时间的大约 10%。5-8 类 PD 的 MPS 电流幅度要求在以太网电缆的 PSE 端也增加到了 16mA。

如果通过 RTN 到 VSS 路径的电流低于大约 28mA，则 TPS2372 会自动通过 AMPS_CTL 输出引脚产生 MPS 脉冲电流，此电流幅值可通过外部电阻进行调节。TPS2372 还能够确定 PSE 是 1-2 型还是 3-4 型，并自动调整 MPS 脉冲持续时间和占空比。请注意，IEEE802.3bt 有关 PD 的要求适用于电缆的 PSE 端。这意味着，根据电缆长度和其他参数（包括大容量电容），可能需要较长的 MPS 持续时间来确保 MPS 有效。为此，TPS2372 提供了 3 种不同的 MPS 脉冲持续时间和占空比选项，可通过 MPS_DUTY 输入引脚进行选择。

当使用 DEN 强制关闭热插拔开关时，直流 MPS 的要求将得不到满足。出现这种情况时，监控直流 MPS 的 PSE 会切断 PD 的电源。

7.4.9 启动和转换器运行

在 PSE 向 PD 提供完整电压之前，内部 PoE UVLO（欠压闭锁）电路会使热插拔开关保持关闭。这样可以防止下游转换器电路在检测和分类期间加载 PoE 输入。在 PD 断电期间，转换器电路将使 C_{BULK} 放电。因此，在刚向 PD 施加完整电压后， $V_{(VDD-RTN)}$ 将呈现较低的电压（如 Figure 17 所示）。PSE 一旦决定为 PD 供电，就会将 PI 电压驱动到工作范围内。当 V_{VDD} 上升至高于 UVLO 导通阈值（ $V_{UVLO,R}$ ，约为 38V）且 RTN 为高电平时，TPS2372-3 和 TPS2372-4 将使热插拔 MOSFET 进入浪涌电流限制状态（TPS2372-3 约为 200mA，TPS2372-4 约为 335mA，如 Figure 19 所示）。PG 引脚将处于低电平状态，同时， C_{BULK} 会充电，而 V_{RTN} 从 V_{VDD} 下降至接近 V_{VSS} 。在该过程中，PG 输出保持低电平，以免在 V_{VDD} 和 V_{RTN} 之间增加负载（这可能会阻止成功启动 PD 以及后续成功启动转换器）。一旦浪涌电流下降至浪涌电流限值下方大约 10%，PD 电流限值就会切换到运行电平（TPS2372-3 大约为 1.85A，TPS2372-4 大约为 2.2A）。

此外，如 Figure 19 所示，一旦浪涌持续时间也已经超过约 81.5ms，如果 IRSHDL_EN 断开（如果连接到 RTN，此延迟将不适用），PG 输出将变为高阻抗，充电允许下游转换器电路启动。在典型的照明应用中，这会允许低功率转换器开始为微控制器供电，进而随后开启高功率 LED 驱动器。如 Figure 20 所示，转换器软启动功能会在转换到较高功率模式之前引入一个额外的轻微延迟。TPH、TPL 和 BT 输出将在 t_{TPLHBT} 时间内启用（在 PG 从低电平变为断开状态之后）。

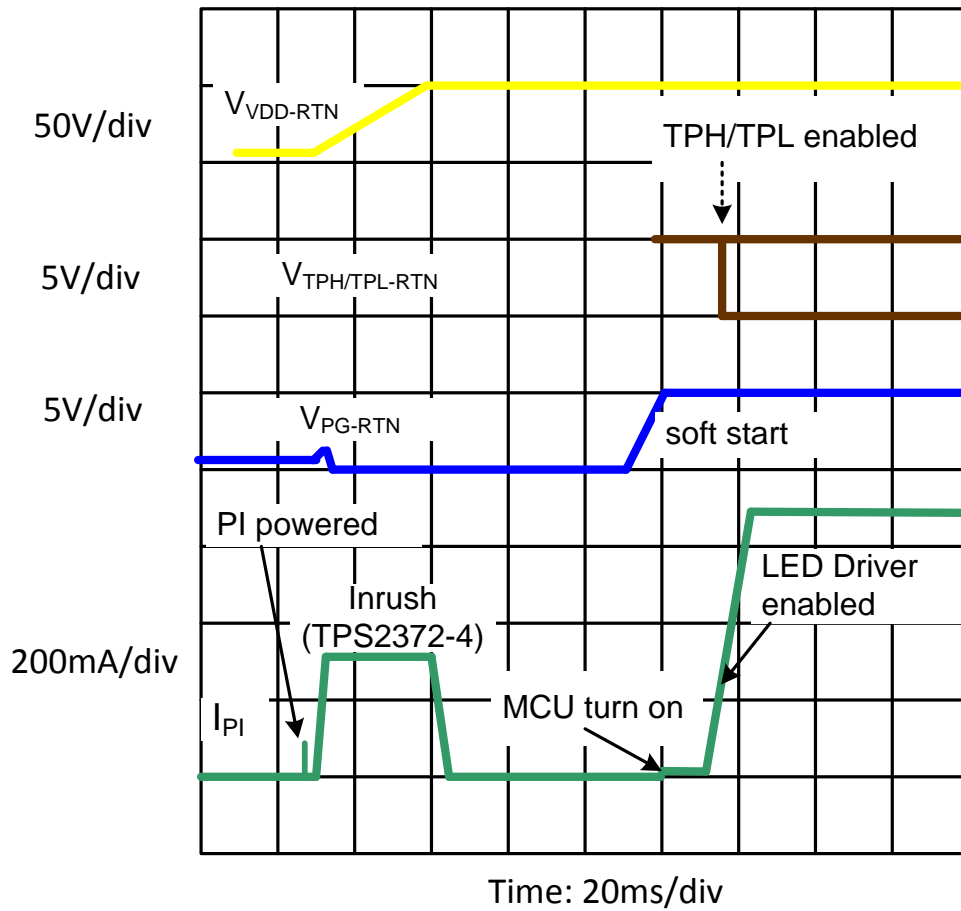


Figure 19. 加电和启动

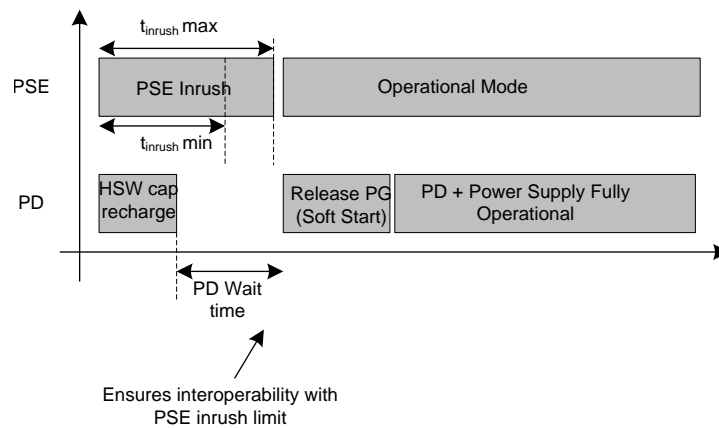


Figure 20. 加电和启动

如果 $V_{VDD}-V_{VSS}$ 下降至低于 PoE UVLO 下限 (V_{UVLO_F} , 约为 32V), 则会关闭热插拔开关, 但 PG 输出会保持高阻抗, 允许转换器继续运行, 直到转换器的 UVLO 阈值达到为止。

7.4.10 PD 热插拔运行

IEEE802.3bt 新增了有关 3 型和 4 型运行模式的 PSE 输出限制要求以便涵盖更高功率的应用和 4 线对应用。2 型、3 型和 4 型 PSE 必须符合已指定最小和最大拉电流边界的输出电流与时间关系模板。每个 2 线对的峰值输出电流可能高达 50A (持续 10 μ s) 或 1.75A (持续 75ms)，而通过 4 线对输电时，总峰值电流将是这些值的两倍。因此，相对于 IEEE 802.3-2012，该标准更加需要对 PD 设备进行可靠保护。

内部热插拔 MOSFET 借助限流和抗尖峰脉冲式 (延时滤波式) 折返功能来防止输出故障和输入电压阶跃。导通 MOSFET 出现过载时将触发限流功能，结果使 $V_{(RTN-VSS)}$ 上升。如果 $V_{(RTN-VSS)}$ 上升到大约 14.5V 以上且持续时间超过大约 1.65ms，则电流限值将恢复到浪涌值，并且 PG 输出端被强制为低电平，从而关闭转换器，但这种情况下没有适用的最小浪涌延迟周期 (81.5ms)。1.65ms 抗尖峰脉冲功能可防止瞬变使 PD 复位，但前提是恢复处于热插拔和 PSE 保护范围内。Figure 21 显示了 V_{DD} 至 RTN 短路期间的 RTN 电流曲线示例 (使用 5 欧姆负载阻抗)。热插拔 MOSFET 将进入电流限制范围，导致 RTN 电压升高。一旦 V_{RTN} 超过 14.5V，被钳位到电流限值的 I_{RTN} 将在 1.65ms 后下降到浪涌电流限值水平。

当 $V_{(VDD-VSS)}$ 下降到 UVLO 下方之后又上升到其上方时，也会重新建立浪涌电流限值。

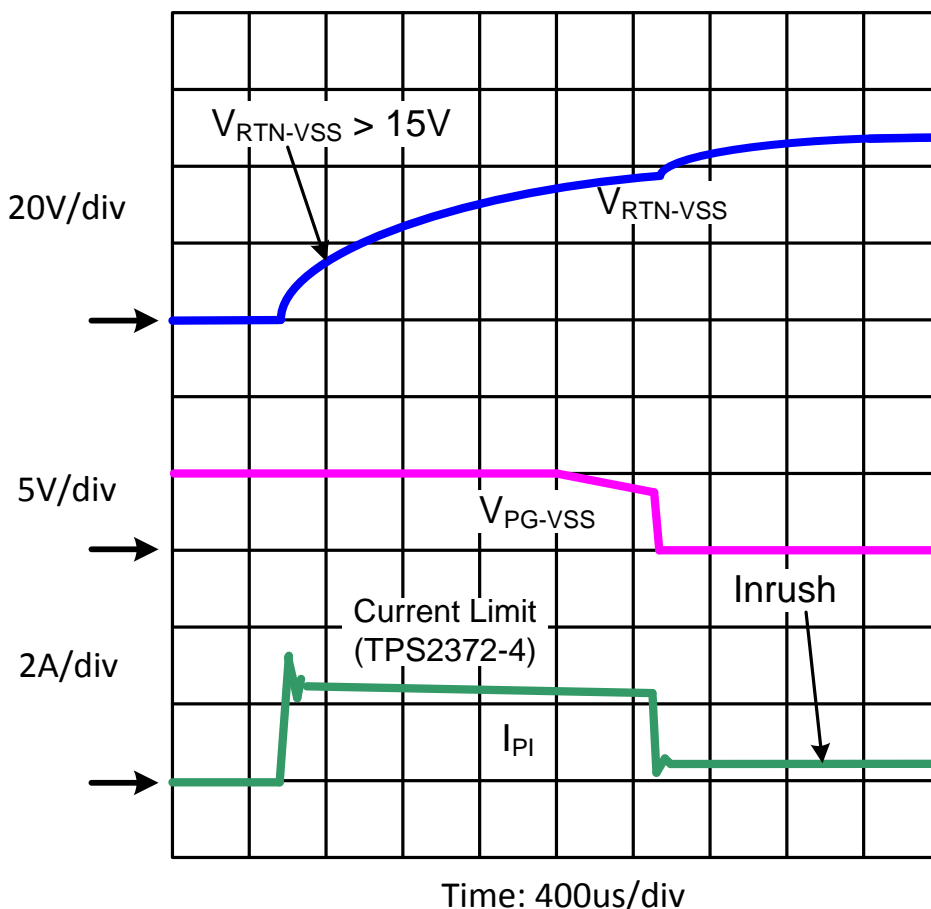


Figure 21. 对 PD 输出短路的响应

PD 控制器具有热传感器，可用于保护内部热插拔 MOSFET 和 MPS 脉冲电流驱动器。启动状态或 V_{DD} 至 RTN 短路等状态会在 MOSFET 中引起高功耗。过热关断 (OTSD) 功能会关闭热插拔 MOSFET、类别稳压器和 MPS 驱动器，它们将在器件冷却后重新启动。过热事件消失后，热插拔 MOSFET 将被重新启用，且 TPS2372 将恢复到浪涌阶段。在供电运行期间将 DEN 拉至 VSS 会导致内部热插拔 MOSFET 关闭。

在以下情况下将强制关闭热插拔开关：

1. $V_{(DEN-VSS)} < V_{PD-DIS}$ (当 $V_{(VDD-VSS)}$ 处于运行范围内时)，
2. PD 过热，或
3. $V_{(VDD-VSS)} < PoE$ UVLO 下降阈值 (大约为 32V)。

7.4.11 启动和电源管理，PG、TPH、TPL、BT

PG (电源正常或转换器使能) 是一个引脚，当处于低电平时表明内部热插拔 MOSFET 处于浪涌阶段。当浪涌阶段结束时，PG 会变为高阻抗，并可用于启动下游转换器。转换器控制器的通用接口包括软启动引脚或使能引脚。

TPH、TPL 和 BT 可提供有关 PSE 类型 (1-2 或 3-4) 及其所分配功率的信息。

TPH/TPL/BT 的用法如 Figure 22 所示。

TPS2372 也能与非标准的 PoE++ PSE 控制器进行互操作。如果由 PoE++ PSE 控制器供电，则 TPH/TPL/BT 3 位代码将变为“低-低-高”。这也表明 PoE++ PSE 已同意提供 TPS2372 所请求的功率。

7.4.12 使用 DEN 禁用 PoE

DEN 引脚可在运行状态时通过拉至 V_{SS} 来关闭 PoE 热插拔开关，或者在空闲状态时阻止检测。在正常运行过程中，DEN 处于低电压将会强制关闭热插拔 MOSFET。如需了解更多信息，请参阅《采用 TPS23753 的高级适配器 ORing 解决方案》应用报告 (SLVA306)。

8 应用和实现

NOTE

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TPS2372 可灵活采用 IEEE802.3bt 和 PoE++ PD 实施方案。因此，可将其用于各种应用，如视频和 VoIP 电话、多频带接入点、安全监控摄像头、电源模块、LED 照明转换器和微微基站。

8.2 典型应用

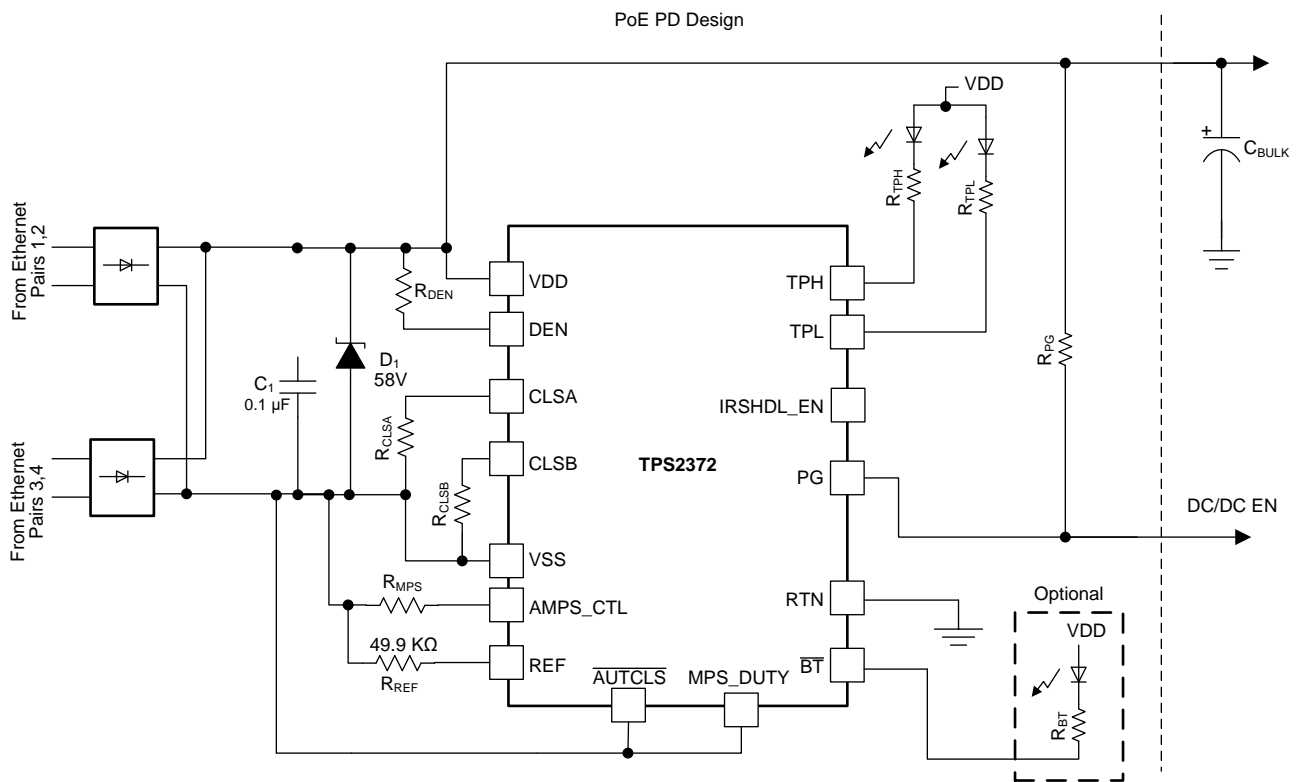


Figure 22. 在中增加了带有可选项的典型应用电路虚线框中增加了带有可选项的虚线框

典型应用 (continued)

8.2.1 设计要求

本设计示例对 PD 类别 8 应用使用 Table 7 中的参数。

Table 7. 设计参数

参数	测试条件	最小值	最大值	单位
电源接口				
输入电压	通过 PoE 或适配器供电	0	57	V
工作电压	启动后	30	57	V
输入 UVLO	器件端子上的输入电压上升	—	40	V
	输入电压下降	30.5	—	
检测电压	器件端子上	1.4	10.1	V
分类电压	器件端子上	11.9	23	V
PD 类别 8	类别特征 A	38	42	mA
PD 类别 8	类别特征 B	26.5	29.3	mA
浪涌电流限制		275	395	mA
工作电流限制		1.9	2.5	A
Autoclass		是		
自动 MPS	12.5% 占空比 (空载)			
浪涌延迟		是	是	

8.2.2 详细设计要求

8.2.2.1 输入电桥和肖特基二极管

对于 PoE 输入电桥，使用肖特基二极管代替 PN 结二极管将使这些器件的功耗降低约 30%。但是，使用它们时有一些注意事项。IEEE 标准规定了最大反馈电压为 2.8V；在未供电的线对之间放置一个 100kΩ 的电阻，然后在该电阻两端测出电压。肖特基二极管通常比 PN 二极管具有更高的反向泄漏电流，使得这一要求更难以满足。为了补偿这一问题，应在二极管工作温度方面使用保守的设计，尽可能选择漏电较低的器件，并用经过封装的电桥使漏电与温度匹配。

肖特基二极管泄漏电流和较低的动态电阻会影响检测特征。对获得精确检测特征的温度范围设定合理的期望值是最简单的解决方案。稍微增大 R_{DET} 也可能有助于满足该要求。

经验证，肖特基二极管应对 ESD 瞬态的能力弱于 PN 结二极管。暴露于 ESD 后，肖特基二极管可能会短路或泄漏。请注意根据暴露水平提供适当的保护。这种保护方法可能简单到只需使用铁氧体磁珠和电容器。

一般情况下建议对输入整流器使用具有 3A 至 5A、100V 额定值的分立式或桥式二极管。

许多高功率 PoE PD 设计会要求在高效率应用中使用有源 FET 桥式整流器。如需查看有源 FET 桥式整流器设计的示例，请参阅 TPS2372-4EVM-006 用户指南。

8.2.2.2 保护器件， D_1

必须对 PoE 整流电压使用 TVS (D_1)，如 Figure 22 所示。TI 建议对一般室内应用情况使用 SMAJ58A 或同等产品。如果将一个适配器从 V_{DD} 连接到 RTN (如上方 ORing 方案 2 所示)，则可能会发生输入电缆电感与内部 PD 电容振铃引起的电压瞬变。必须通过适当的电容滤波或 TVS 将此电压限制在绝对最大额定值范围内。室外瞬态电平或特殊应用需要额外的保护。

8.2.2.3 电容， C_1

IEEE 802.3at 标准规定了一个 0.05μF 至 0.12μF 的输入旁路电容器 (从 V_{DD} 到 V_{SS})。通常情况下使用 0.1μF、100V、10% 陶瓷电容器。

8.2.2.4 检测电阻， R_{DEN}

IEEE 802.3at 标准规定了检测特征电阻 R_{DEN} 介于 23.7kΩ 和 26.3kΩ 之间，即 $25kΩ \pm 5%$ 。对于 R_{DEN} ，建议使用 $24.9kΩ \pm 1%$ 的电阻。

8.2.2.5 分类电阻， R_{CLSA} 和 R_{CLSB}

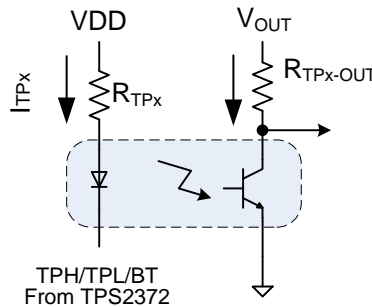
将一个电阻从 CLSA 和 CLSB 连接到 V_{SS} 即可根据 IEEE 802.3bt 标准设定分类电流。分配类别功率应该对应于 PD 在运行过程中所消耗的最大平均功率。选择 R_{CLSA} 和 R_{CLSB} 时应参照 Table 1。

对于 $R_{CLSA} = 63.4\Omega$ ，选择 4 类。

对于 $R_{CLSB} = 90.9\Omega$ ，选择 3 类。

8.2.2.6 用于 TPH、TPL 和 \overline{BT} 的光隔离器

TPH、TPL 和 \overline{BT} 引脚均为低电平有效的漏极开路输出端，可指示 PSE 分配的功率及其类型。光耦合器可以将这些引脚连接到转换器次级侧的电路。推荐使用高增益光耦合器和高阻抗（例如 CMOS）接收器。光耦合器接口的设计可采用如下形式：



请参阅 Table 2 了解 PSE 类型

Figure 23. TPH、TPL 和 \overline{BT} 接口

A. 如 Figure 23 所示，令 $V_{DD} = 48V$ ， $V_{OUT} = 5V$ ， $R_{TPX-OUT} = 10k\Omega$ ， $V_{TPX} = 260mV$ ， $V_{TPX-OUT} = 400mV$ 。

$$I_{TPX-OUT} = \frac{V_{OUT} - V_{TPX-OUT}}{R_{TPX-OUT}} = \frac{5 - 0.4}{10000} = 0.46 \text{ mA} \quad (1)$$

B. 为确定 R_{TPX} ，需要使用光耦合器电流传输比 (CTR)。应选择 LED 偏置电流 I_{TPX} 为 1mA 时最小 CTR 为 100% 的器件。在实际中，CTR 会随温度、LED 偏置电流和老化而变化，这些变化可能需要使用光耦合器产品说明书上的 CTR 与 IDIODE 关系曲线进行某种迭代运算。

a. 光耦合器二极管的近似正向电压 V_{FWLED} 在产品说明书中为 1.1V。

b. 使用。

$$I_{TPX-MIN} = \frac{I_{TPX-OUT}}{CTR} = \frac{0.46 \text{ mA}}{1.00} = 0.46 \text{ mA}, \text{ Select } I_{TPX} = 1 \text{ mA}$$

$$R_{TPX} = \frac{V_C - V_T - V_{FWLED}}{I_{TPX}} = \frac{48 \text{ V} - 0.26 \text{ V} - 1.1 \text{ V}}{1 \text{ mA}} = 46.6 \text{ k}\Omega \quad (2)$$

c. 选择一个 46.4k Ω 的电阻。

大多数应用都要求，MCU 或 PD 负载只需要 PSE 的分配功率信息 (TPH 和 TPL)。在本例中，不需要驱动 BT 信号所用的电路，可以将 BT 引脚悬空。中添加了 PSE 和 POE 信息中添加了 PSE 和 POE 信息

某些应用（例如 POE 照明）可利用 BT 信号来表示待机操作时的功耗可能不符合法定要求。在非标准 PoE 应用中，将 BT 与 TPH 和 TPL 配合使用来指示 PoE++ PSE。

8.2.2.7 自动 MPS 和 MPS 占空比， R_{MPS} 和 R_{MPS_DUTY}

应将 MPS_DUTY 短路至 VSS 长达 12.5% 的占空比

$$R_{MPS} = \frac{V_{AMPS_CTL}}{I_{MPS}} = \frac{24 \text{ V}}{18.5 \text{ mA}} = 1.3 \text{ k}\Omega \quad (3)$$

$$P_{RMPS} = \frac{V_{MPS}^2 \times \text{MPS Duty Cycle}}{R_{MPS}} = \frac{24 \text{ V}^2 \times 26.4\%}{1.3 \text{ k}\Omega} = 115 \text{ mW} \quad (4)$$

额定值为 1/8W 的情况下应选择 1.3k Ω

如果需要将 PD 连接到 IEEE802.3at PSE 并使用更长的 MPS 时间规格，则应选择 26.4% 的占空比。

对于需要超低功耗的应用（例如 PoE 照明），可使用更短的 MPS 占空比。例如，可通过将 MPS_DUTY 引脚断开来选择 5.4% 的 MPS 占空比。请参阅表 4 以了解 MPS 占空比选择情况。

8.2.2.8 内部电压基准， R_{REF}

根据建议运行条件，

应选择 $R_{REF} = 49.9k\Omega$

8.2.2.9 Autoclass

要启用 Autoclass，应将 AUTOCLS 引脚连接到 VSS。

8.2.2.10 浪涌延迟

要启用 80ms 的浪涌延迟，应断开 IRSHDL_EN 引脚

8.2.3 应用曲线

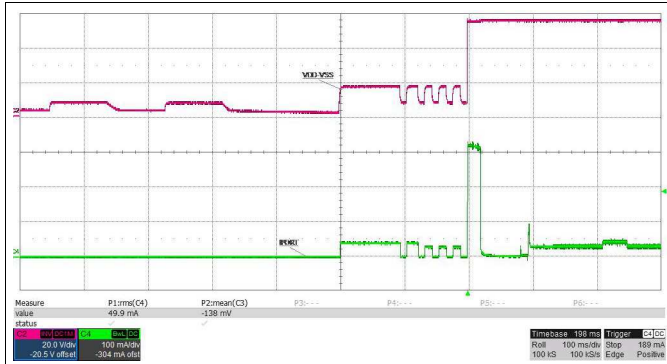


Figure 24. 启动

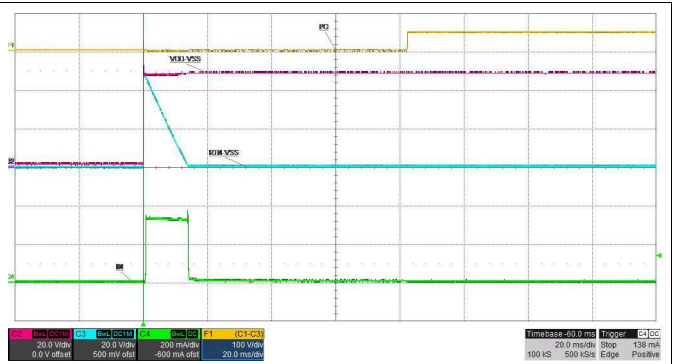


Figure 25. 启动和PG 延迟

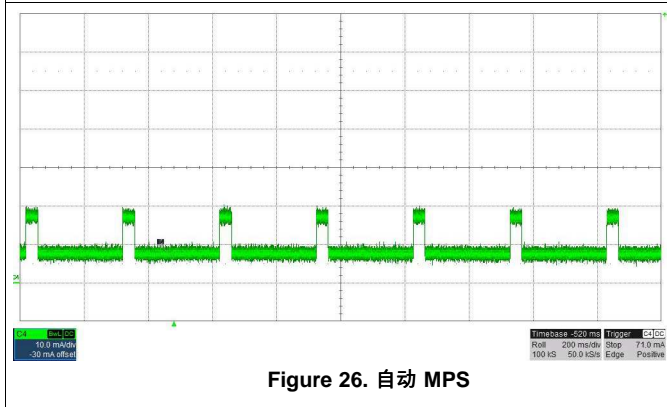


Figure 26. 自动 MPS

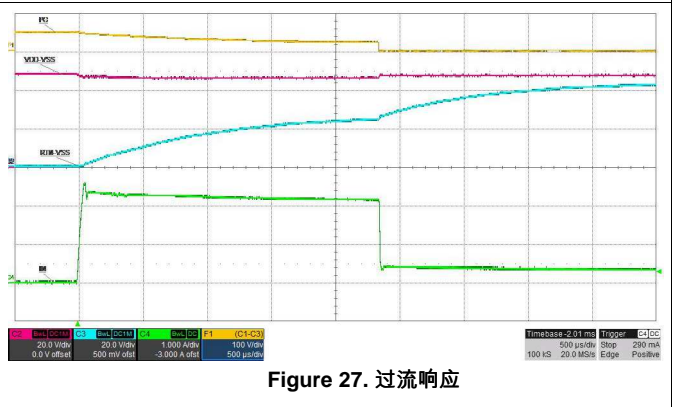


Figure 27. 过流响应

9 电源建议

TPS2372 器件通常后跟一个电源，例如隔离型反激式转换器或有源钳位正激式转换器，或非隔离型降压转换器。转换器的输入电压应处于 IEEE802.3bt 建议的输入电压范围内（如 Table 6 所示）。

10 布局

10.1 布局指南

PoE 前端的布局应遵循电源和 EMI/ESD 最佳实践指导原则。基本的建议包括：

- 必须以点对点的方式根据功率流动方向推动部件安置：RJ-45、以太网变压器、二极管电桥、TVS 和 $0.1\mu\text{F}$ 电容器以及 TPS2372。
- 所有引线都应尽可能短，并采用宽电源迹线以及成对的信号与回路。
- 功率流中的部件间不应存在任何信号交叉。
- 在 48V 输入电压轨之间以及输入端与隔离转换器输出端之间必须采用符合 IEC60950 等安全标准的间隔。
- TPS2372 应该位于独立的本地接地平面上，这些平面对于 PoE 输入应以 VSS 为基准，而对于开关输出则应以 RTN 为基准。
- SMT 功耗器件上应使用大型铜填充物和迹线，而电源路径中应使用较宽的迹线或覆铜填充物。
- 建议在 TPS2372 的外露散热焊盘上使用九个通孔。这些通孔应连接到 PCB 上的一个铜平面的所有层。确保 80% 的印制焊接覆盖面积。

10.2 布局示例

Figure 28 和 Figure 29 显示了 TPS2372-4EVM-006 的顶层和底层以及装配件，可作为最佳部件布局的参考。在《TPS2372-4EVM-006 评估模块》(SLVUB75) 的用户指南中可找到详细的 PCB 布局。

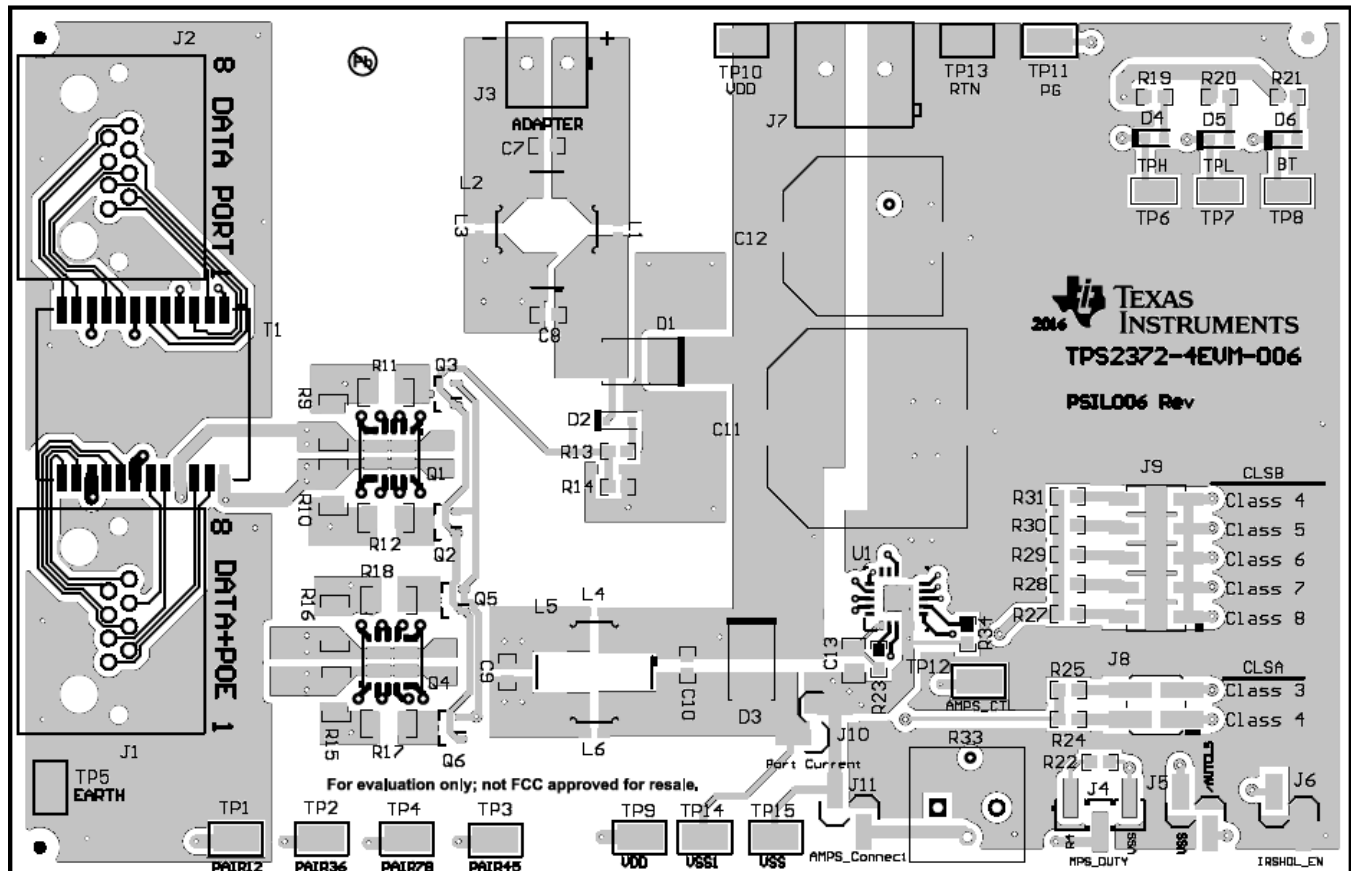
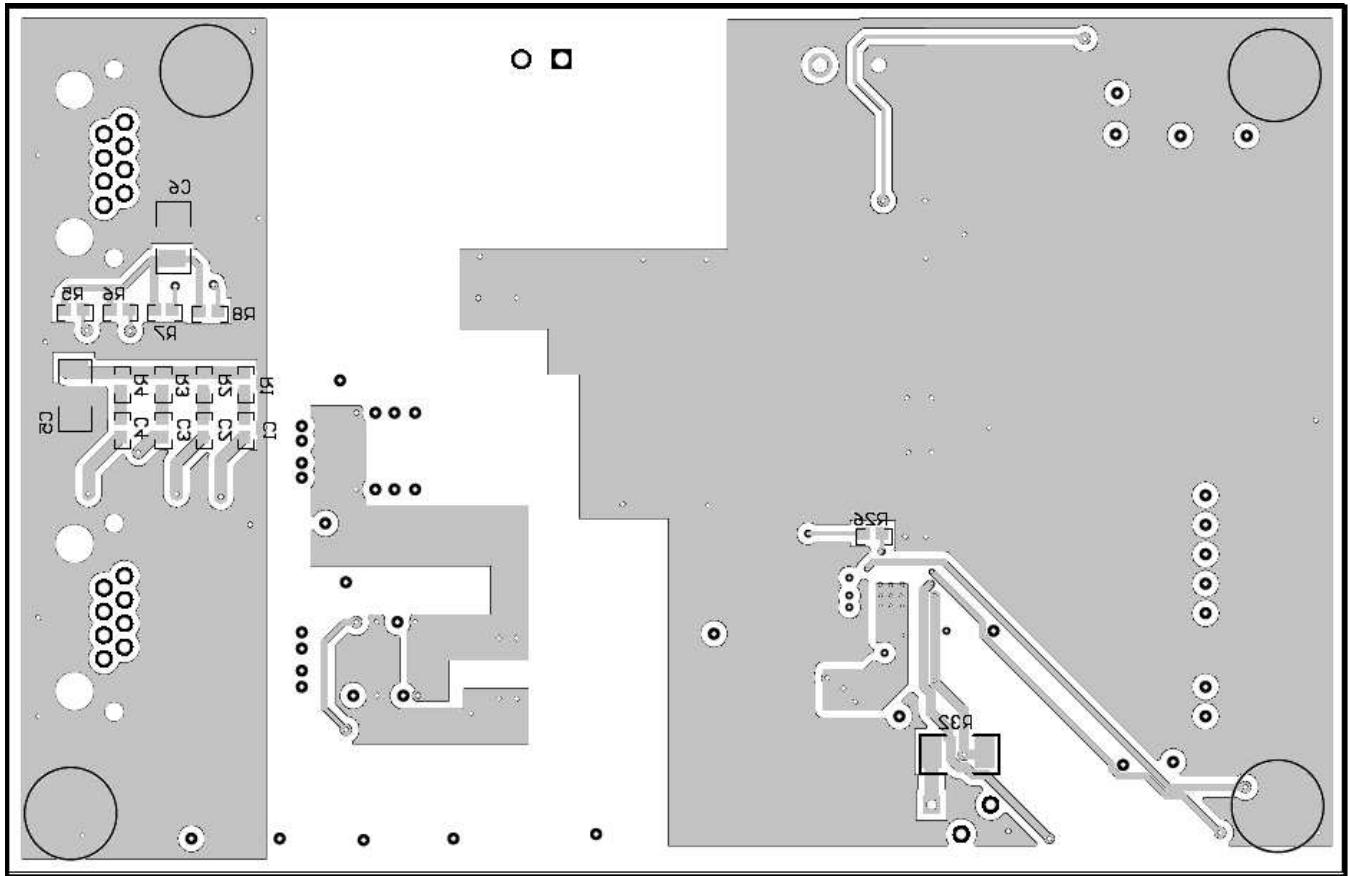


Figure 28. TPS2372-4EVM-006 顶部布局和组件安置

布局示例 (continued)

Figure 29. TPS2372-4EVM-006 底部布局和组件安置
10.3 EMI 遏制

- 对 dv/dt 和 di/dt 电路路径应使用紧凑型回路（功率回路和栅极驱动器）。
- 对于连接到开关节点的组件，应使用最小但符合散热需求的覆铜区域进行散热（尽量减少暴露的辐射表面）。
- 采用铜接地平面（可以拼接）和顶层灌铜（用接地灌铜方式环绕电路）。
- 如果经济上可行，请使用 4 层 PCB（为了更好接地）。
- 最大限度减小与输入迹线相关的铜区域面积（为了使辐射接收量最小化）。
- 使用 Bob Smith 端接、Bob Smith EFT 电容器和 Bob Smith 平面。
- 使用 Bob Smith 平面作为 PCB 输入侧的接地屏蔽层（形成虚拟接地或真实大地接地）。
- 在输入端使用铁氧体磁珠（允许使用磁珠或 0Ω 电阻）。
- 保持输入相关电路与电源电路之间的物理隔离（使用铁氧体磁珠作为边界线）。
- 可使用共模电感器。
- 可使用集成的 RJ-45 插孔（使用内部变压器和 Bob Smith 端接技术进行了屏蔽）。
- 最终产品外壳注意事项（屏蔽）。

10.4 散热注意事项和 OTSD

在散热设计中应考虑附近的本地 PCB 热源。一般计算中假设 TPS2372 是导致 PCB 温度上升的唯一热源。如果正常运行的 TPS2372 器件被附近的器件过度加热，该器件可能会发生 OTSD 事件。

10.5 ESD

包含 TPS2372 的单元的 ESD 要求与 TI 测试中的相应要求相比具有更广的适用范围和运行影响。不应将单元级要求与参考设计测试混淆，参考设计测试仅验证 TPS2372 的强度。

11 器件和文档支持

11.1 文档支持

11.1.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 8. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持和社区
TPS2372-3	单击此处	单击此处	单击此处	单击此处	单击此处
TPS2372-4	单击此处	单击此处	单击此处	单击此处	单击此处

11.1.2 相关文档

请参阅如下相关文档：

- 《采用 TPS23753 的高级适配器 ORing 解决方案》，SLVA306

11.2 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的 [通知我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

TI E2E™ 在线社区 *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.4 商标

E2E is a trademark of Texas Instruments.

11.5 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

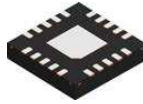
11.6 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请查阅左侧的导航栏。

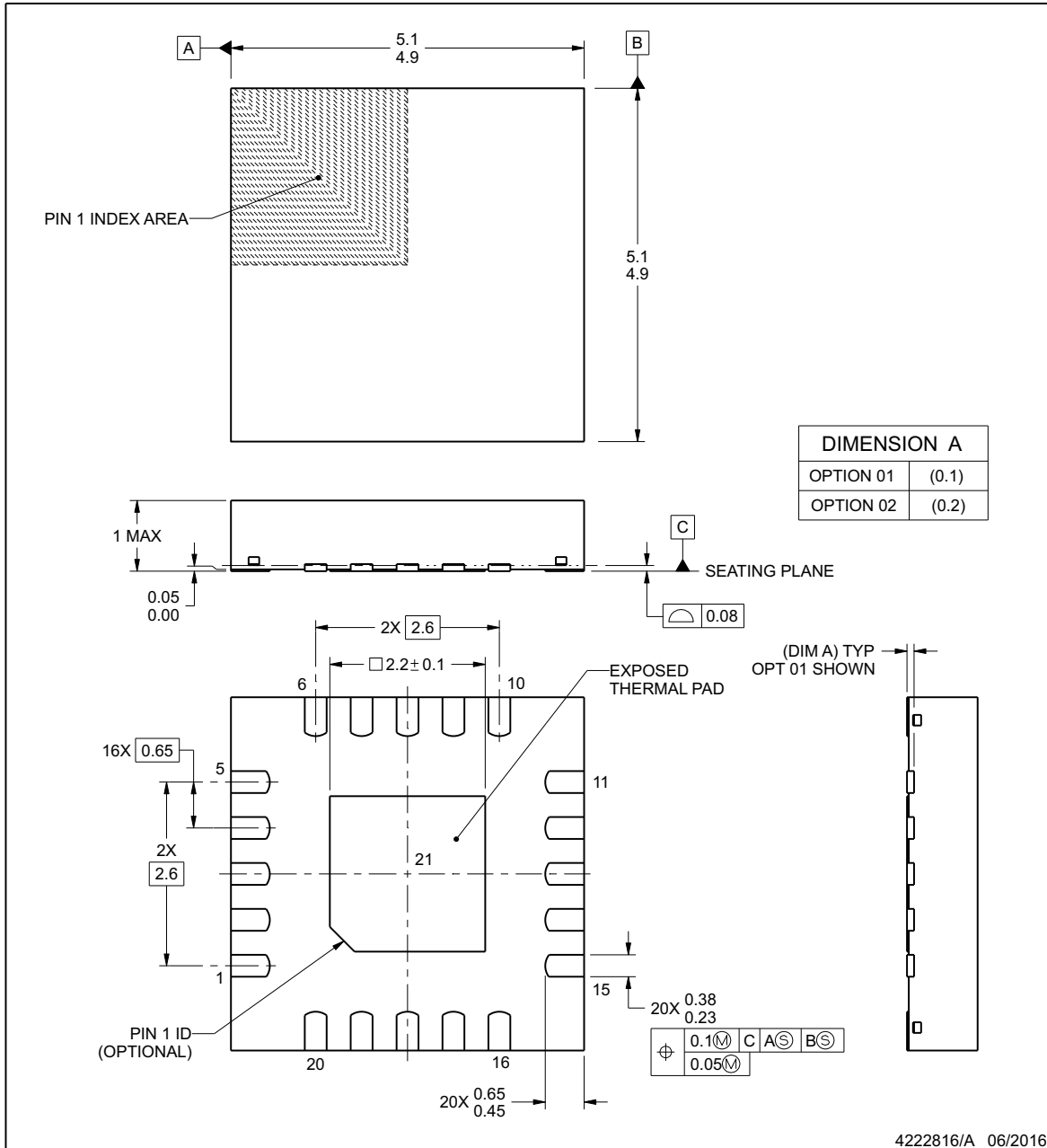


RGW0020B

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

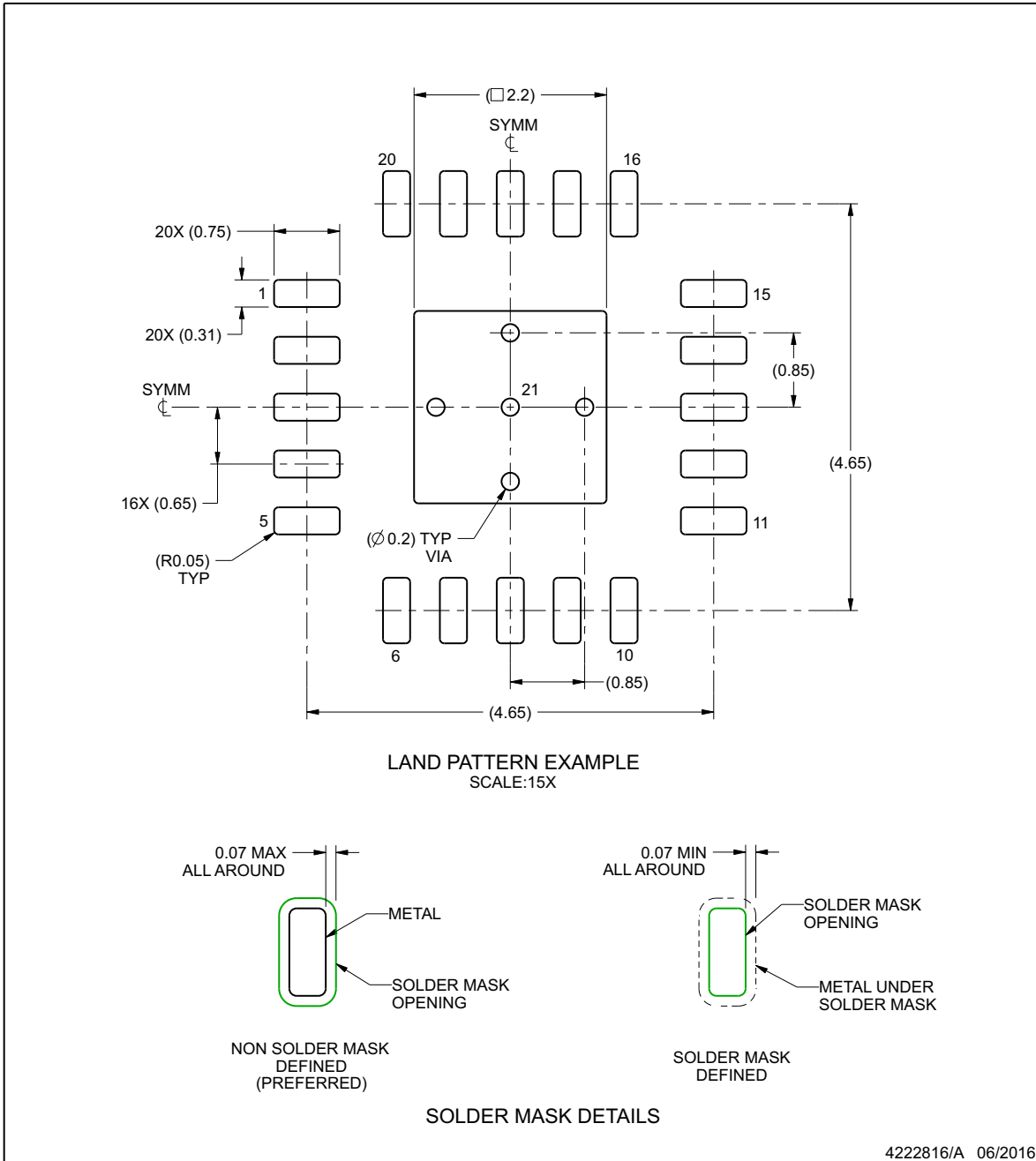
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGW0020B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

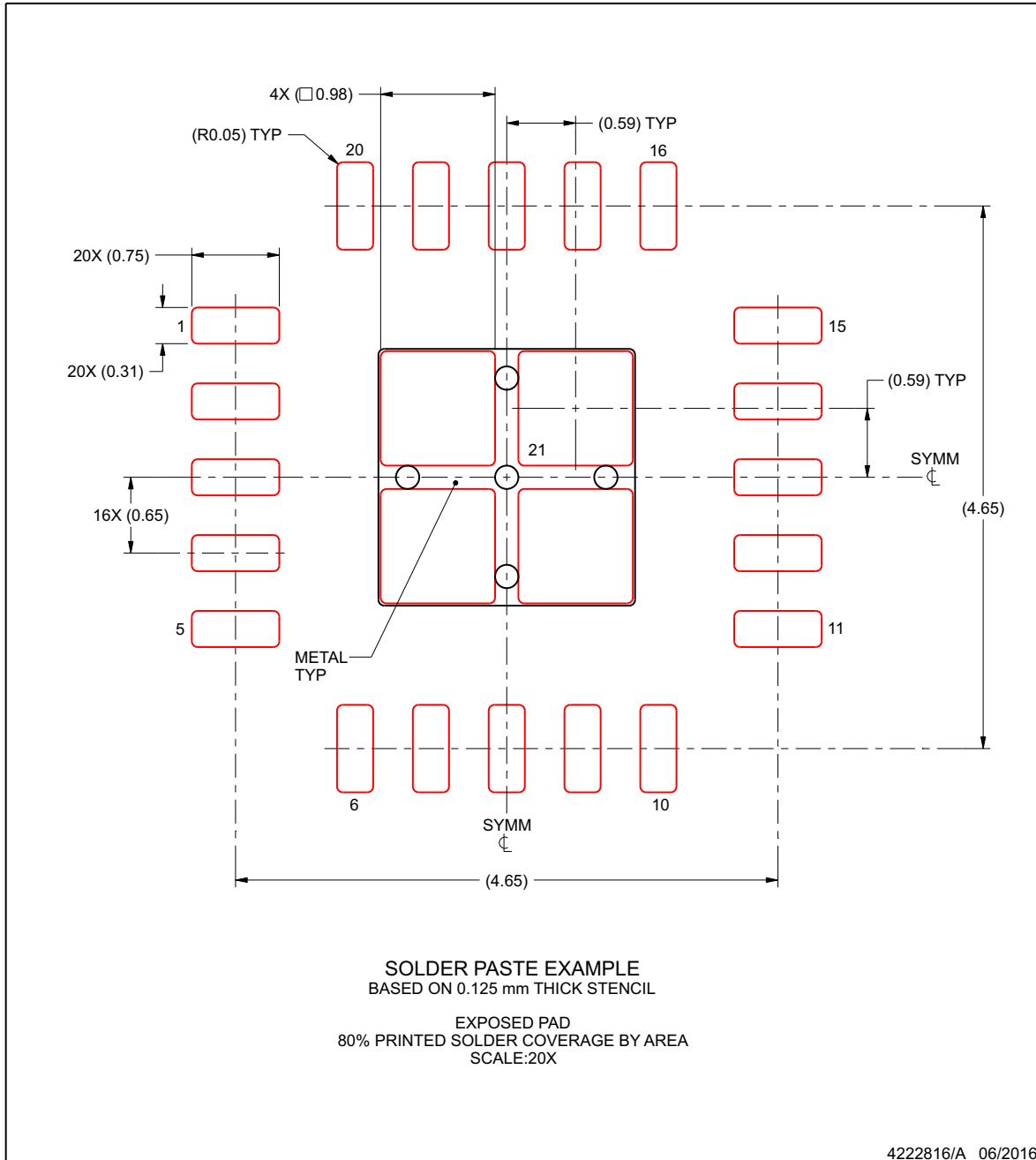
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGW0020B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI 均以“原样”提供技术性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS2372-3RGWR	ACTIVE	VQFN	RGW	20	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 2372-3	Samples
TPS2372-3RGWT	ACTIVE	VQFN	RGW	20	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 2372-3	Samples
TPS2372-4RGWR	ACTIVE	VQFN	RGW	20	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 2372-4	Samples
TPS2372-4RGWT	ACTIVE	VQFN	RGW	20	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 2372-4	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要声明和免责声明

TI 均以“原样”提供技术性及其可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司