78P156N(文件编号：S&CIC0992) 八位单片机

一、概括描述

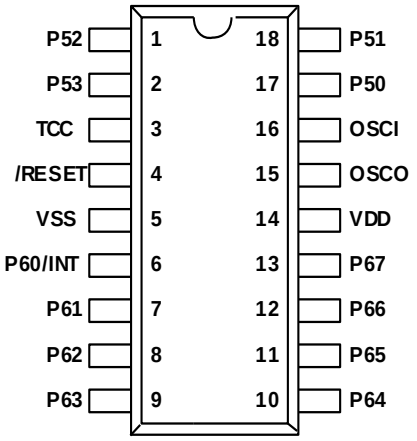
78P156N 是采用低功耗高速 CMOS 工艺设计开发的 8 位单片机。其内部有 1K×13 位一次性编程 ROM（OTP-ROM）。它还提供一个保护位避免用户存在 OTP 的程序被读取。6 个选择位完全可以满足用户的需要。

具有 OTP-ROM 特点的 78P156N 能够为用户提供开发和校验程序的便利，而且用户可以使用 EMC Writer 轻松开发程序。

二、功能特点

- 工作电压范围：2.3V~5.5V。
- 工作温度范围：0℃~70℃。
- 工作频率范围（基于 2 个 clocks）。
  * 晶振模式：DC~20MHz（5V），DC~8MHz（3V），DC~4MHz（2.3V）
  * ERC 模式：DC~4MHz（5V），DC~4MHz（3V），DC~4MHz（2.3V）
- 低功耗
  * 5V/4MHz 工作条件下电流小于 1.6mA。
  * 3V/32MHz 工作条件下电流典型值为 15uA。
  * 睡眠模式下电流典型值为 1uA。
- 1K×13 位片内 ROM。
- 一个安全寄存器保证程序不被读出。
- 一个配置寄存器满足用户要求。
- 48×8 位片内寄存器（SRAM 通用寄存器）。
- 2 个双向 I/O 端口。
- 5 级堆栈。
- 8 位实时定时器/计数器（TCC），其信号源和触发沿可由软件设定，可设置溢出中断。
- 每个指令周期为 2 个时钟周期。
- 省电模式（SLEEP 模式）。
- 3 个中断源。
  * TCC 溢出中断。
  * 输入引脚状态变化中断（从睡眠模式唤醒）。
  * 外部中断。
- 可编程自由运行看门狗定时器（WDT）。
- 8 个引脚可编程设置为上拉。
- 7 个引脚可编程设置为下拉。
- 8 个引脚可编程设置为漏极开路。
- 2 个引脚可编程设置为 R-option。
- 封装形式：
  * SOP-18（78P156S）
  * DIP-18（78P156N）
- 99.9%指令为单指令周期。
- 系统区分 HXT 和 LXT 频率点在 400KHz 左右。

三、引脚分配



DIP-18/SOP-18

图 1 引脚分配图

序号	名称	I/O	功能说明
14	VDD	—	电源
16	OSCI	I	XTAL 型：晶振或外部时钟输入端 ERC 型：RC 振荡器输入端
15	OSCO	I/O	XTAL 型：晶振输出或外部时钟输入端 RC 型：指令时钟输出端 外部时钟信号输入
3	TCC	I	实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接
4	/RESET	I	斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态
17、18 1、2	P50~P53	I/O	P50~P53 是双向 I/O 引脚 P50 和 P51 也可定义为 R-option 引脚 P50~P52 可由软件设为下拉
6~13	P60~P67	I/O	P60~P67 是双向 I/O 引脚 都可由软件设为上拉或漏极开路 P60~P63 可由软件设为下拉
6	/INT	I	下降沿触发的外部中断引脚
5	VSS	—	地

四、功能描述

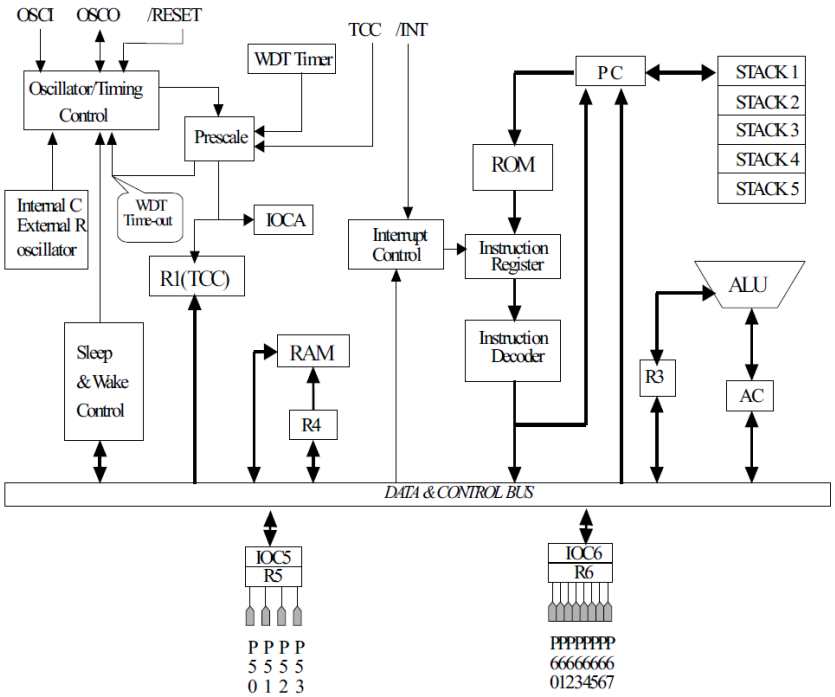


图 2 功能模块图

➢ 操作寄存器

1. R0（间址寄存器）

R0 并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以 R0 为指针的指令实际上是对 RAM 选择寄存器 R4 所指的数据进行操作。

2. R1（定时器/计数器）

- 由 TCC 引脚的边沿（由 CONT-4：TE 设定）或指令周期时钟触发加 1 操作。
- 可读写。
- 通过设置 PAB（CONT-3）来定义。
- 如果 PAB 位（CONT-3）被清零，可将预除器分配给 TCC。
- 只有当写入 TCC 寄存器时，预分频计数器的内容被清零。

3. R2（程序计数器）和堆栈

- 根据控制器的类型，R2 和硬件堆栈为 10 位宽。参见图 3 所示的程序计数器结构图。
- 产生 1024×13 位片内 OTP ROM 地址以获取对应的程序指令编码。一个程序页是 1024 字长。
- 在复位状态下 R2 所有位被清零。
- “JMP”指令直接装载 R2 低 10 位值。因此“JMP”可以让 PC 在一个程序页中任意跳转。
- “CALL”指令装载 PC 的低 10 位值，并交 PC+1 的值入栈。因此子程序的入口地址可以一个程序页任意地方。
- “RET”（“RETk”，“RETI”）指令将栈顶的数据装载到 PC 中。
- “ADD R2，A”允许把 A 的内容加到当前 PC 上，同时 PC 的第 9 位和第 10 位被清零。
- “MOV R2，A”允许将 A 寄存器的内容装载到 PC 的低 8 位，同时 PC 的第 9 位和第 10 位被清零。
- 任何对 R2 进行直接修改的指令（如：“ADD R2，A”、“MOV R2，A”、“BC R2，6”、……）都将会引起 PC 的第 9、10 位清零，因此产生的跳转只限于一程序页前 256 个地址。
- 除了改变 R2 的指令需要 2 个指令周期外，其余的指令只需要一个指令周期。

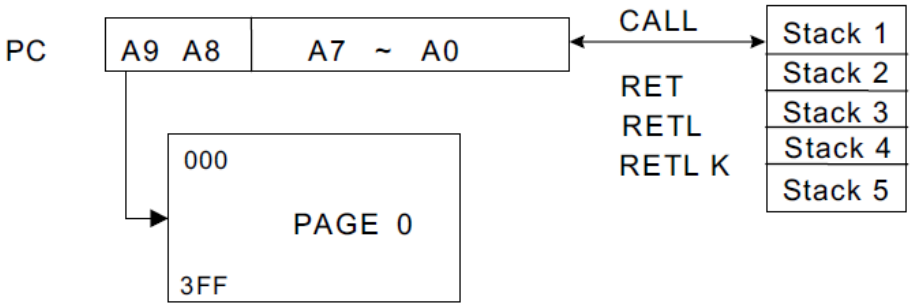


图 3 程序计数器结构图

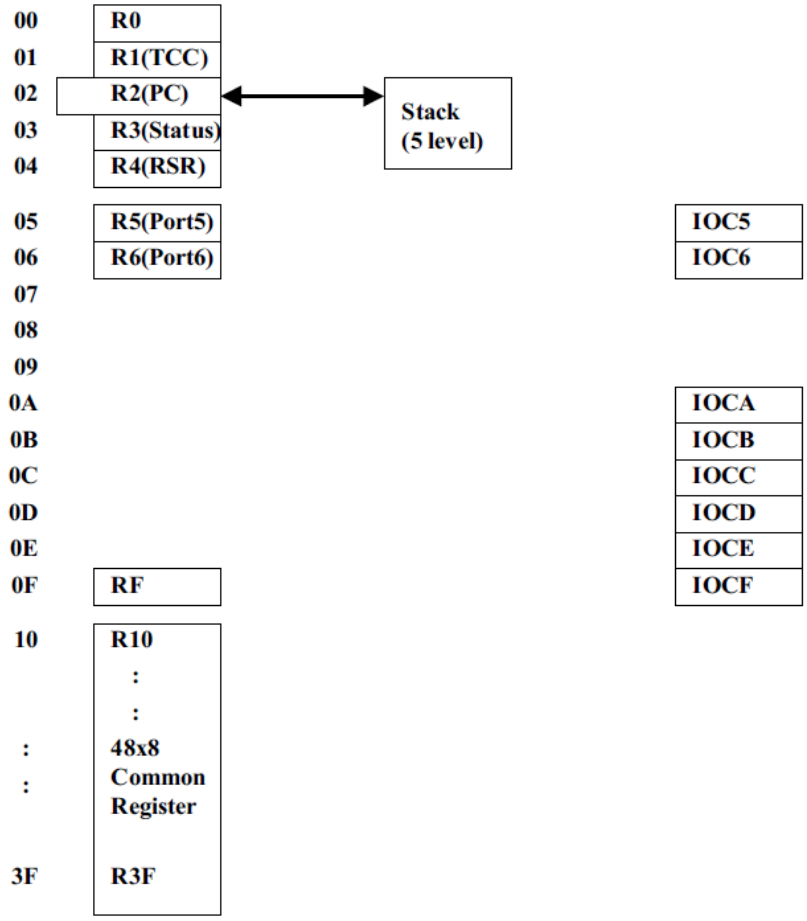


图 4 数据存储结构图

4. R3（状态寄存器）

7	6	5	4	3	2	1	0
GP2	GP1	GP0	T	P	Z	DC	C

- 第 0 位（C）进位标志。
- 第 1 位（DC）辅助进位标志。
- 第 2 位（Z）零标志位。
  当算术运算或逻辑运算的结果为 0 时，该位置 1。
- 第 3 位（P）低功耗位。
  执行“WDTC”指令或上电后该位置 1，执行“SLEP”指令后该位清零。
- 第 4 位（T）时间溢出位
  执行“SLEP”和“WDTC”指令或上电后该位置 1，当 WDT 溢出时清零。
- 第 5~7 位（GP0~2）通用读写位。

5. R4（RAM 选择寄存器）

- 第 0~5 位在间接寻直方式中用于选择寄存器（地址：00~06、0F~3F）。
- 第 6~7 位未被使用（只读）。
- 第 6~7 位一直置为 1。
- 当 R4 的内容为“3F”时，R3 的零标志位将被置 1，当 R4=R4+1，R4 的内容将要选择作为 R0。
- 参见图 4 数据存储结构图。

6. R5~R6（Port 5~ Port 6）
   - R5 和 R6 是输入/输出寄存器。
   - R5 只有低 4 位有效。
7. RF（中断状态寄存器）

7	6	5	4	3	2	1	0
—	—	—	—	—	EXIF	ICIF	TCIF

“1”表示有中断申请，“0”表示没有中断发生。
   - 第 0 位（TCIF）TCC 溢出中断标志。当 TCC 溢出时置 1，软件清零。
   - 第 1 位（ICIF）P6 口输入状态变化中断标志。P6 口输入变化置 1，软件清零。
   - 第 2 位（EXIF）外部中断标志。出/INT 引脚的下降沿置 1，软件清零。
   - 第 3~7 位未用。
   - RF 可通过指令清零，但不能置 1。
   - IOCF 是中断屏蔽寄存器。
   - 注意：读出的 RF 值是 RF 和 IOCF 逻辑与的结果。
8. R10~R3F
   - 全部是 8 位通用寄存器。

➢ **特殊功能寄存器**

1. A（累加器）
   - 用于内部数据传输，指令操作数保持。
   - 不可寻址。
2. CONT（控制寄存器）

7	6	5	4	3	2	1	0
—	/INT	TS	TE	PAB	PSR2	PSR1	PSR0

   - 第 0 位~第 2 位（PSR0~PSR2）是 TCC/WDT 预分频位。

PSR2	PSR1	PSR0	TCC Rate	WDT Rate
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

   - 第 3 位（PAB）预除器分配位。
     0：TCC
     1：WDT
   - 第 4 位（TE）TCC 信号选择位。
     0：当 TCC 引脚发生由低到高的变化时 R1 加 1。
     1：当 TCC 引脚发生由高到低的变化时 R1 加 1。
   - 第 5 位（TS）TCC 信号源选择位。
     0：内部指令周期时钟。

1：TCC 引脚状态变化。

- 第 6 位（/INT）中断允许标志。

  0：由 DISI 指令或硬件中断屏蔽。

  1：由 ENI/RETI 指令允许中断。
- 第 7 位未用。
- CONT 寄存器可读写。

3. IOC5~IOC6（I/O 口控制寄存器）
   - “1”定义相关 I/O 引脚为高阻输入状态，“0”定义相关 I/O 引脚为输出。
   - IOC5 仅低 4 位可定义。
   - IOC5 和 IOC6 寄存器都是可读可写的。
4. IOCA（预除器控制寄存器）
   - IOCA 寄存器是可读的。
   - IOCA 的值等于预分频计数器的内容。
   - 减计数器。
5. IOCB（下拉控制寄存器）

7	6	5	4	3	2	1	0
/PD7	/PD6	/PD5	/PD4	—	/PD2	/PD1	/PD0

- 第 0 位（/PD0）使能 P50 引脚为下拉状态的控制位。

  0：使能内部下拉。

  1：禁止内部下拉。
- 第 1 位（/PD1）使能 P51 引脚为下拉状态的控制位。
- 第 2 位（/PD2）使能 P52 引脚为下拉状态的控制位。
- 第 3 位未用。
- 第 4 位 Bit 4（/PD4） 使能 P60 引脚为下拉状态的控制位。
- 第 5 位 Bit 5（/PD5） 使能 P61 引脚为下拉状态的控制位。
- 第 6 位 Bit 6（/PD6） 使能 P62 引脚为下拉状态的控制位。
- 第 7 位 Bit 7（/PD7） 使能 P63 引脚为下拉状态的控制位。
- IOCB 寄存器是可读可写的。

6. IOCC（漏极开路控制寄存器）

7	6	5	4	3	2	1	0
OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0

- 第 0 位（OD0）使能 P60 引脚为漏极开路状态的控制位。

  0：禁止漏极开路输出。

  1：使能漏极开路输出。
- 第 1 位（OD1）使能 P61 引脚为漏极开路状态的控制位。
- 第 2 位（OD2）使能 P62 引脚为漏极开路状态的控制位。
- 第 3 位（OD3）使能 P63 引脚为漏极开路状态的控制位。
- 第 4 位（OD4）使能 P64 引脚为漏极开路状态的控制位。
- 第 5 位（OD5）使能 P65 引脚为漏极开路状态的控制位。
- 第 6 位（OD6）使能 P66 引脚为漏极开路状态的控制位。
- 第 7 位（OD1）使能 P67 引脚为漏极开路状态的控制位。

- IOCC 寄存器是可读可写的。

7. IOCD（上拉控制寄存器）

7	6	5	4	3	2	1	0
/PH7	/PH6	/PH5	/PH4	/PH3	/PH2	/PH1	/PH0

- 第 0 位（/PH0）使能 P60 引脚为上拉状态的控制位。
  0：使能内部上拉。
  1：禁止内部上拉。
- 第 1 位（/PH1）使能 P61 引脚为上拉状态的控制位。
- 第 2 位（/PH2）使能 P62 引脚为上拉状态的控制位。
- 第 3 位（/PH3）使能 P63 引脚为上拉状态的控制位。
- 第 4 位（/PH4）使能 P64 引脚为上拉状态的控制位。
- 第 5 位（/PH5）使能 P65 引脚为上拉状态的控制位。
- 第 6 位（/PH6）使能 P66 引脚为上拉状态的控制位。
- 第 7 位（/PH7）使能 P67 引脚为上拉状态的控制位。
- IOCD 寄存器是可读可写的。

8. IOCE（WDT 控制寄存器）

7	6	5	4	3	2	1	0
WDTE	EIS	—	ROC	—	—	—	—

- 第 7 位（WDTE）WDT 使能控制位。
  0：禁止 WDT。
  1：使能 WDT。
- 第 6 位（EIS）P60（/INT）引脚功能定义位。
  0：P60，双向 I/O 引脚。
  1：/INT，外部中断引脚。在这种情况下 P60 的 I/O 控制位（IOC6 的第 0 位）必须置 1。
  当 EIS 为 0 时，/INT 通道被屏蔽。当 EIS 为 1 时，/INT 引脚状态也可由 P6 口（R6）读出。参见图 7（a）所示。
- 第 4 位（ROC）ROC 用于 R-option 功能。
  置 ROC 为 1，使能 R-option 功能，其引脚 P50~P51 的状态可由控制器读出。ROC 清零禁止 R-option 功能。如果 R-option 功能被使用，用户必须使 P51 引脚和/或 P50 引脚通过一个 430KΩ 外接电阻 r（Rex）与 VSS 相连。若 Rex 接入/未接，读到 P50（P51）的状态是 0/1。参见图 8 所示。
- 第 0~3、5 位未用

9. IOCF（中断屏蔽寄存器）

7	6	5	4	3	2	1	0
—	—	—	—	—	EXIE	ICIE	TCIE

- 第 0 位（TCIE）TCIF 中断使能位。
  0：禁止 TCIF 中断。
  1：使能 TCIF 中断。
- 第 1 位（ICIE）ICIF 中断使能位。
  0：禁止 ICIF 中断。

1：使能 ICIF 中断。

- 第 2 位（EXIE）EXIF 中断使能位。

  0：禁止 EXIF 中断。

  1：使能 EXIF 中断。
- 第 3~7 位未用。
- 通过 IOCF 中的相关控制位置 1，使能各个相关中断。
- 总中断是由 ENI 指令使能，由 DISI 指令禁。参见图 10 所示。
- IOCF 寄存器是可读写的。

➢ TCC/WDT 和预除器

TCC 或 WDT 有一个 8 位计数器做预除器。在同一时间它只能分配其中一方，这由 CONT 寄存器的 PAB 位决定。PSR0~PSR2 位确定分频系数。若分配给 TCC，在 TCC 模式下则每次写 TCC 操作均将预除器清 0。若分配给 WDT，则 WDT 和预除器均在执行 WDTC 或 SLEP 指令时清 0。图 5 详细描述了 TCC/WDT 电路特性。

R1（TCC）为 8 位定时器/计数器。TCC 时钟源可为内部时钟或外部时钟（由 TCC 引脚输入，触发沿可选择）。如果是内部时钟，每个指令周期 TCC 加 1（无预除器）。由图 5 可知，指令周期是 2 个还是 4 个时钟周期由代码选择寄存器 CLKS 位决定。CLKS=0 则 CLK=Fosc/2，CLKS=1 则 CLK=Fosc/4。如果是外部时钟，则 TCC 由外部信号边沿触发。

WDT 是一个自由运行的片内 RC 振荡器。当控制器振荡关闭后，WDT 依然运行，即使在睡眠模式下亦如此。WDT 溢出将引起复位（若 WDT 使能）。在正常工作时，WDT 可由软件设置 IOCE 的 WDTE 位来使能或禁止。在没有预分频情况下，WDT 溢出时间约为 18ms。

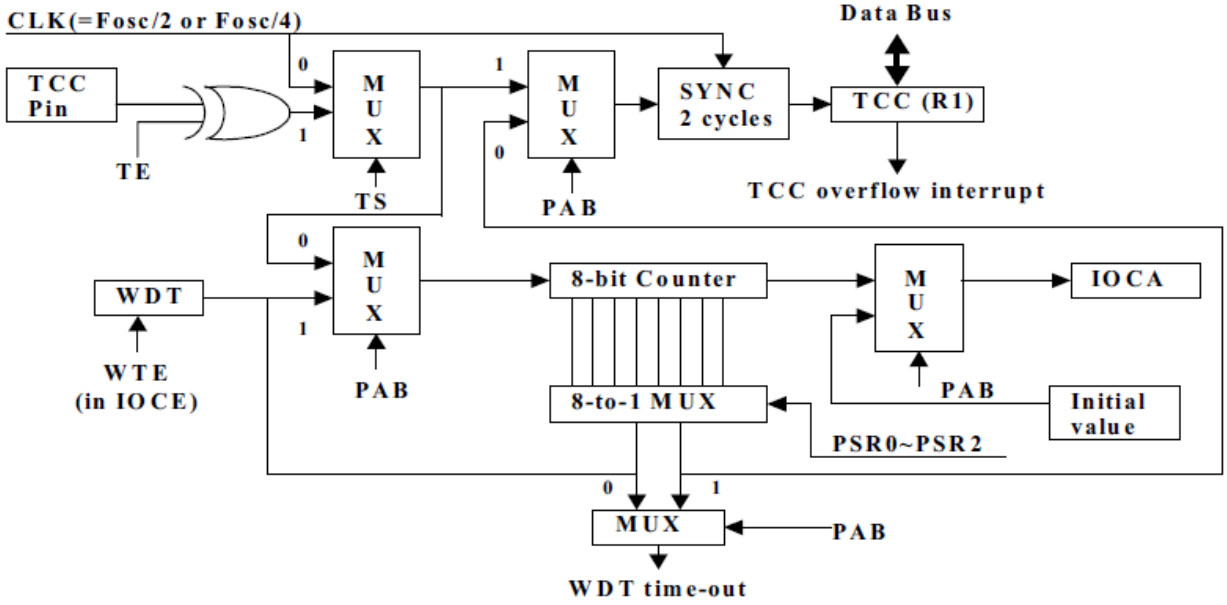


图 5 TCC 和 WDT 模块图

注：VDD=5V，启动时间=16.8ms±30%

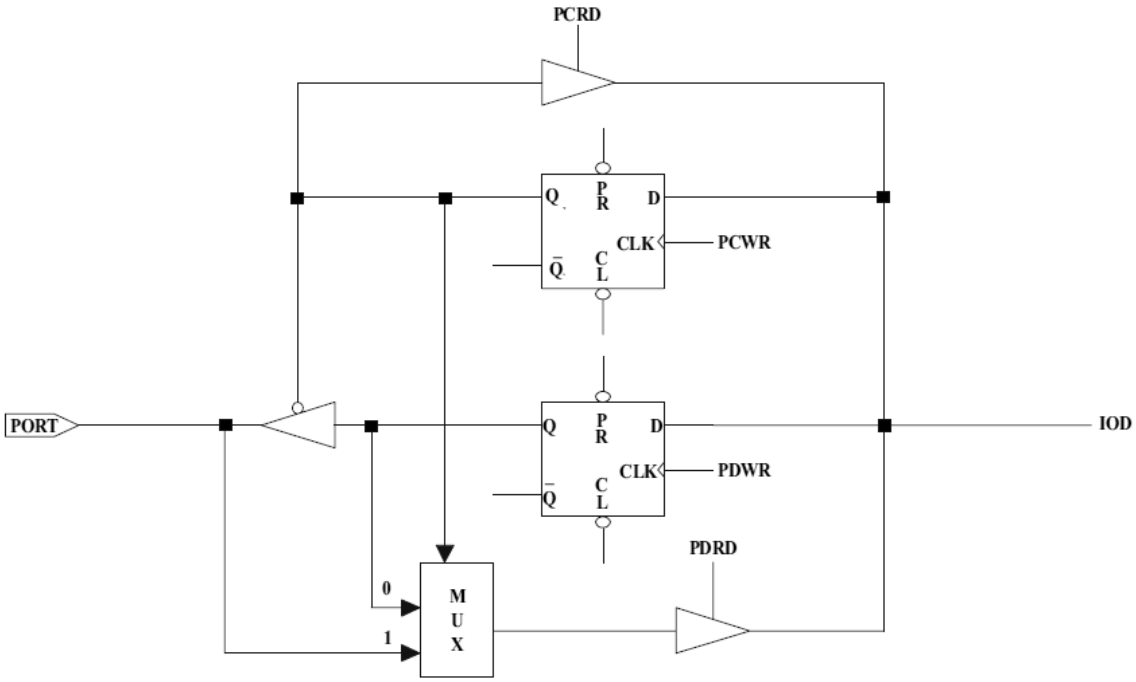
VDD=3V，启动时间=18ms±30%

➢ I/O 端口

I/O 端口 P5、P6 均为双向三态 I/O 口。P6 口可由软件设置为内部上拉或漏极开路输出。此外，P6 口也可软件设置漏极开路输出。P6 口具有输入状态变化中断（或唤醒）功能。P50~P52、P60~P63 可由软件设置为下拉。各 I/O 引脚可由 I/O 控制寄存器设置为输入或输出。P50、P51 为 R-OPTION 引脚，由 IOCE 寄存器的 ROC 位置 1 使能。使用 R-OPTION 功能时 P50、P51 应设为输出。在 R-OPTION 模式下，若为低功耗应用，应考虑

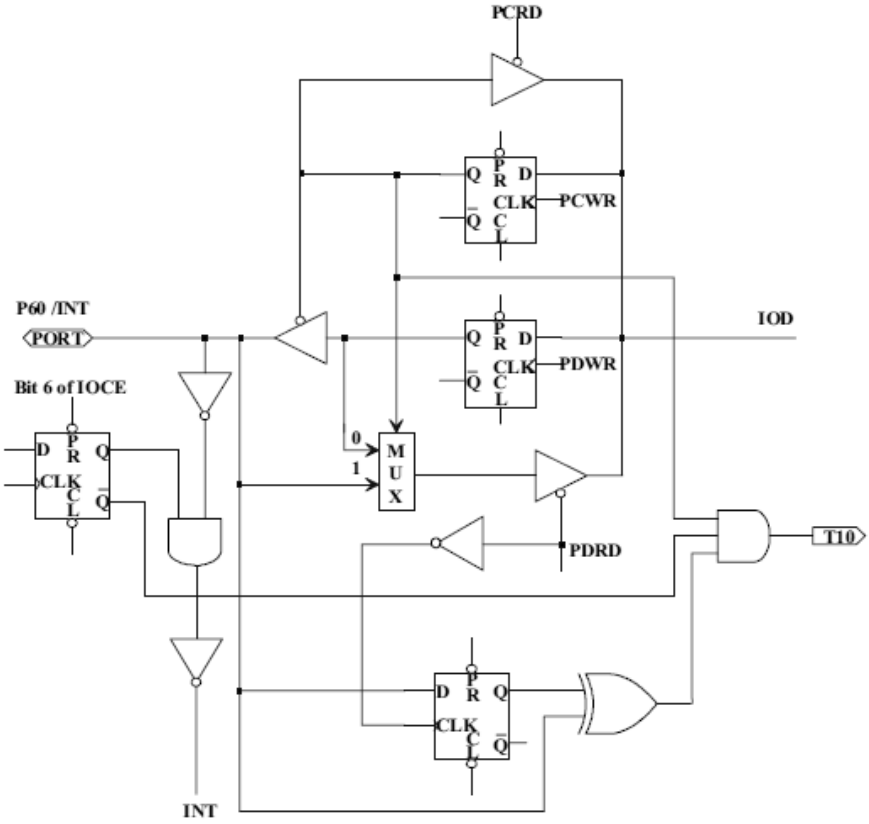
Rex 电阻上的电流消耗。I/O 寄存器和 I/O 控制寄存器均可读写。

I/O 寄存器和 I/O 控制寄存器都是可读可写的。P5 和 P6 的 I/O 接口电路 I 见下图 6，图 7（a），7（b），图 8。



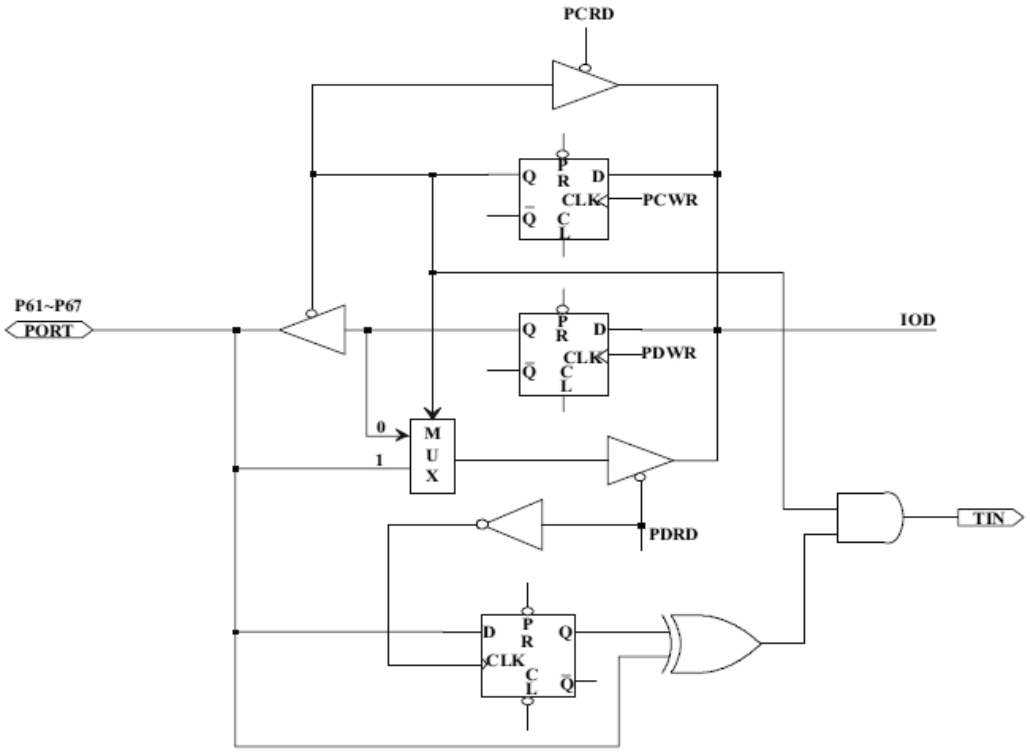
注：下拉未在图中表示

图 6 P5 I/O 端口和 I/O 控制寄存器电路



注：上拉（下拉）和漏极开路未在图中表示

图 7（a） P60（/INT）I/O 端口和 I/O 控制寄存器电路



注：上拉（下拉）和漏极开路未在图中表示

图 7（b） P61~P67 I/O 端口和 I/O 控制寄存器电路

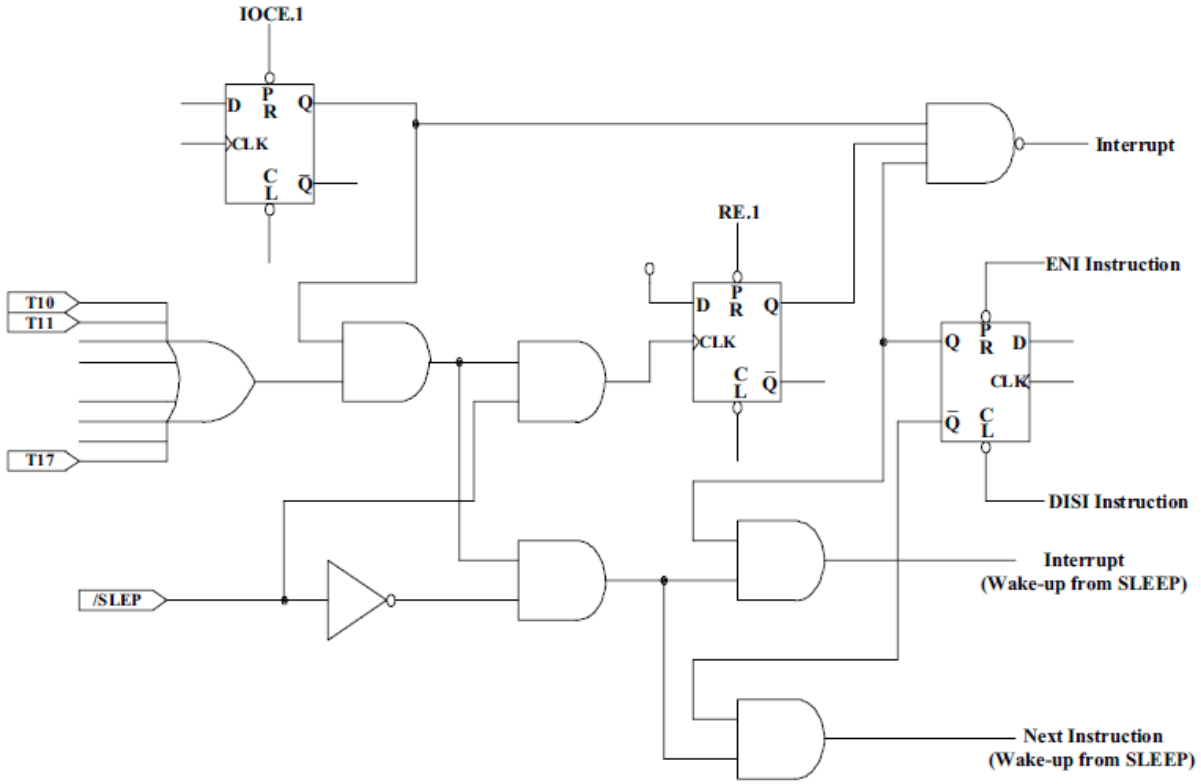


图 7（c） 带有输入转换中断/唤醒功能的 P6 口模块图

表 4 P6 口输入状态变化中断或唤醒功能的用法

（I）Wake-up from port 6 input status change	（II）Port 6 input status change interrupt
（a）Before SLEEP 1. Disable WDT （using very carefully） 2. Read I/O port 6 （MOV R6, R6） 3. Execute “ENI” or “DISI ” 4. Enable interrupt （Set IOCF. 1） 5. Execute “SLEP” instruction （b）After Wake-up 1. IF “ENI” →Interrupt vector （008H） 2. IF “DISI” →Next instruction	1. Read I/O Port 6（MOV R6, R6） 2. Execute “ENI” 3. Enable interrupt （Set IOCF. 1） 4. IF Port 6 change（interrupt） →Interrupt vector （008H）

注：在使用 P6 输入转变唤醒功能之前，软件禁止 WDT（watchdog timer）但硬件必须使能。代码选择寄存器和第 11 位（ENWDTB-）置 1.

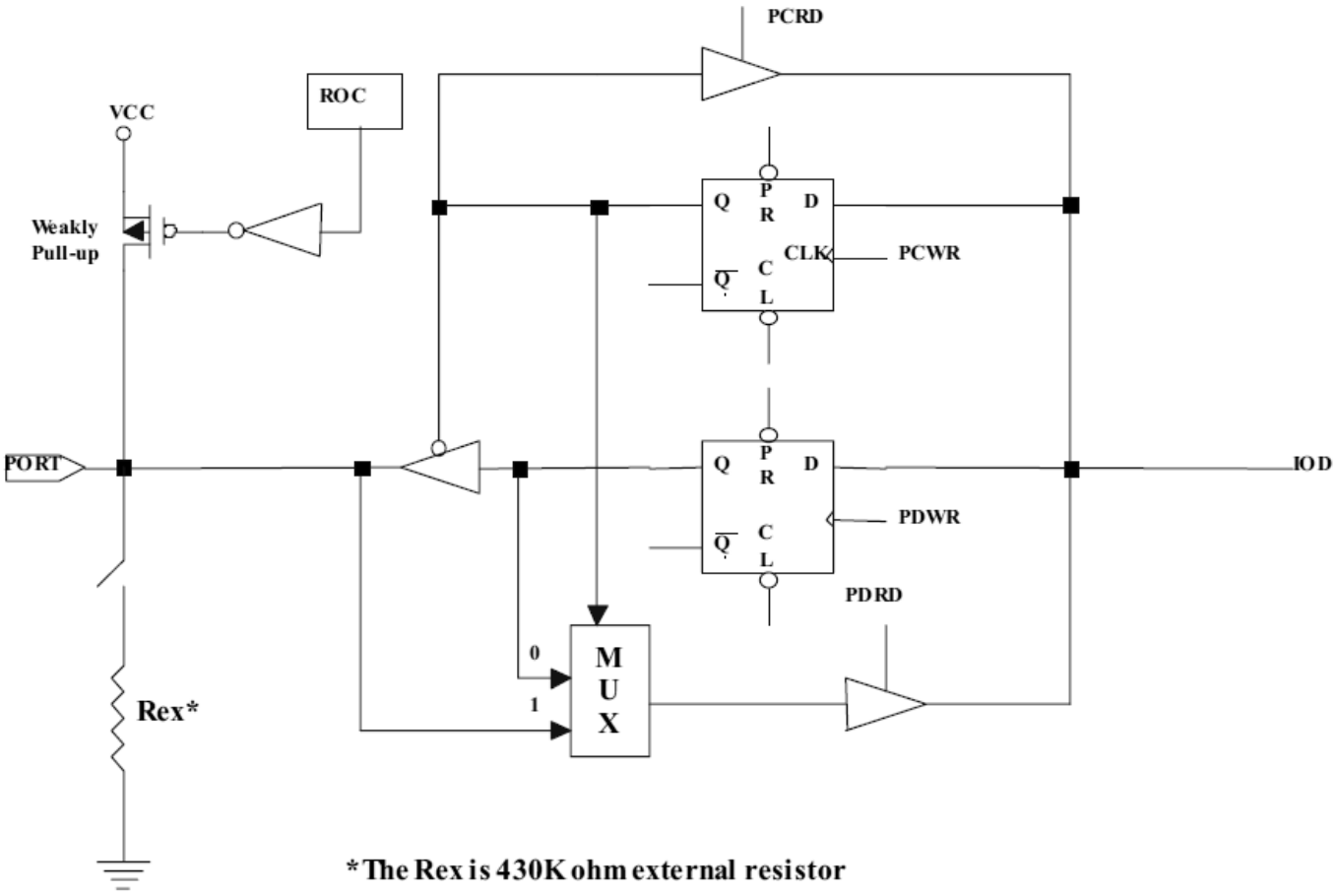


图 8 具有 R-option（P50, P51）功能的 I/O 口电路

➢ 复位和唤醒

1. 复位

复位由下列情况之一引起：

1) 上电复位。
2) /RESET 引脚输入低电平。
3) WDT 溢出（若使能）。

在复位动作被检测到之后，单片机保持复位状态 18ms（振荡器起振时间）。一旦复位发生，单片机将会执行下列功能。参见图 9。

- 振荡器继续振荡或起振。
- PC 清为 0。
- 所有 I/O 引脚定义为输入模式（高阻状态）。
- WDT 和预除器清 0。
- 上电时，R3 高 3 位清 0。

- CONT 寄存器除第 6 位（INT 标志）外，全置为 1。
- IOCA 寄存器全置为 1。
- IOCB 寄存器全置为 1。
- IOCC 寄存器清 0。
- IOCD 寄存器全置为 1。
- IOCE 寄存器第 7 位置为 1，第 4、6 位清 0。
- RF、IOCF 寄存第 0~2 位清 0。

执行 SLEP 指令可进入睡眠模式（低功耗模式）。进入睡眠模式时，WDT（若使能）清 0 但继续运行。单片机可被如下情况唤醒：

1) /RESET 引脚上输入的外部复位信号。
2) WDT 溢出（若使能）。
3) P6 输入状态改变（若使能）。

前两种情况回引起 78P156N 复位。R3 的 T 和 P 位可以决定复位（唤醒）的来源。唤醒后程序继续执行，由中断状态程序是否转入中断处理程序。最后一种情况是后续的程序执行和总中断（在执行 ENI 和 DISI 指令后）决定了寄存器是否会跳到唤醒后中断向量。如果在 SLEP 指令执行前执行 ENI 指令，程序将从地址 0X08H 处执行中断处理。如果在执行 SLEP 指令前执行 DISI 指令，程序将从 SLEP 指令的下一个指令开始执行。

进入睡眠状态前，2、3 两种情况只有一种可被使能。

a) 如果睡眠前 PORT6 输入唤醒使能，则 WDT 应由软件禁止（代码选择寄存器中 WDT 仍为使能）。因此，78P156N 可被 1、3 两种情况唤醒。
b) 在 SLEP 前如果 WDT 使能，则 PORT6 输入唤醒应禁止。因此，78P156N 可被 1、2 两种情况唤醒。

如果 PORT6 输入变化中断被用于唤醒单片机，则如下指令应在 SLEP 指令前执行：

```
MOV A，@xx000110b        ；选择内部 TCC 时钟
CONTW
CLR R1                   ；清 TCC 和预除器
MOV A，@xx000110b        ；选择 WDT 预除器
CONTW
WDTC                     ；清 WDT 和预除器
MOV A，@0xxxxxxxb        ；禁止 WDT
IOW RE
MOV R6, R6               ；读 P6
MOV A，@00000x1xb        ；使能 P6 输入变化中断
IOW RF
ENI （or DISI ）         ；使能（或禁止）全中断
SLEP                     ；进入睡眠
NOP
```

有一个问题应注意，从睡眠模式唤醒后 WDT 功能将自动使能。因此，唤醒后 WDT（使能或禁止）应根据需要软件设置。

表 5 寄存器初始值一览表

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

N/A	IOC5	Bit Name	X	X	X	X	C53	C52	C51	C50
		Power-on	U	U	U	U	1	1	1	1
		/RESET and WDT	U	U	U	U	1	1	1	1
		Wake-up from pin change	U	U	U	U	P	P	P	P
N/A	IOC6	Bit Name	C67	C66	C65	C64	C63	C62	C61	C60
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from pin change	P	P	P	P	P	P	P	P
N/A	CONT	Bit Name	X	/INT	TS	TE	PAB	PSR2	PSR1	PSR0
		Power-on	1	0	1	1	1	1	1	1
		/RESET and WDT	1	0	1	1	1	1	1	1
		Wake-up from pin change	P	P	P	P	P	P	P	P
0x00	R0（IAR）	Bit Name	—	—	—	—	—	—	—	—
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from pin change	P	P	P	P	P	P	P	P
0x01	R1（TCC）	Bit Name	—	—	—	—	—	—	—	—
		Power-on	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-up from pin change	P	P	P	P	P	P	P	P
0x02	R2（PC）	Bit Name	—	—	—	—	—	—	—	—
		Power-on	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-up from pin change	**0/P	**0/P	**0/P	**0/P	**1/P	**0/P	**0/P	**0/P
0x03	R3（SR）	Bit Name	GP2	GP1	GP0	T	P	Z	DC	C
		Power-on	0	0	0	1	1	U	U	U
		/RESET and WDT	0	0	0	t	t	P	P	P
		Wake-up from pin change	P	P	P	t	t	P	P	P
0x04	R4（RSR）	Bit Name	—	—	—	—	—	—	—	—
		Power-on	1	1	U	U	U	U	U	U
		/RESET and WDT	1	1	P	P	P	P	P	P
		Wake-up from pin change	1	1	P	P	P	P	P	P
0x05	P5	Bit Name	X	X	X	X	P53	P52	P51	P50

		Power-on	0	0	0	0	U	U	U	U
		/RESET and WDT	0	0	0	0	P	P	P	P
		Wake-up from pin change	0	0	0	0	P	P	P	P
0x06	P6	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from pin change	P	P	P	P	P	P	P	P
0x0F	RF（ISR）	Bit Name	X	X	X	X	X	EXIF	ICIF	TCIF
		Power-on	U	U	U	U	U	0	0	0
		/RESET and WDT	U	U	U	U	U	0	0	0
		Wake-up from pin change	U	U	U	U	U	P	P	P
0x0A	IOCA	Bit Name	—	—	—	—	—	—	—	—
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from pin change	P	P	P	P	P	P	P	P
0x0B	IOCB	Bit Name	/PD7	/PD6	/PD5	/PD4	X	/PD2	/PD1	/PD0
		Power-on	1	1	1	1	U	1	1	1
		/RESET and WDT	1	1	1	1	U	1	1	1
		Wake-up from pin change	P	P	P	P	U	P	P	P
0x0C	IOCC	Bit Name	0D7	0D6	0D5	0D4	0D3	0D2	0D1	0D0
		Power-on	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-up from pin change	P	P	P	P	P	P	P	P
0x0D	IOCD	Bit Name	/PH7	/PH6	/PH5	/PH4	/PH3	/PH2	/PH1	/PH0
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from pin change	P	P	P	P	P	P	P	P
0x0E	IOCE	Bit Name	WDTE	EIS	X	ROC	X	X	X	X
		Power-on	1	0	U	0	U	U	U	U
		/RESET and WDT	1	0	U	0	U	U	U	U
		Wake-up from pin change	1	P	U	P	U	U	U	U
0x0F	IOCF	Bit Name	X	X	X	X	X	EXIE	ICIE	TCIE
		Power-on	U	U	U	U	U	0	0	0

		/RESET and WDT	U	U	U	U	U	0	0	0
		Wake-up from pin change	U	U	U	U	U	P	P	P
0x10~ 0x2F	R10~ R2F	Bit Name	—	—	—	—	—	—	—	—
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	U	U	U	U	U	U	U	U
		Wake-up from pin change	P	P	P	P	P	P	P	P

** 跳到地址 0x08 或执行 SLEP 指令后的下一条指令。

X：未用。 U：不知道或不必关心。 P：在复位前的状态。 T：查表 6。

2. 状态寄存器 RST，T 和 P 的标志

T、P 的值见表 6，用于判断单片机如何唤醒。表 7 显示了一些影响到 T、P 状态的情况。

表 6 复位后 RST、T 和 P 的值

Reset Type	T	P
Power on	1	1
/RESET during operating mode	*P	*P
/RESET wake-up during SLEEP mode	1	0
WDT during operating mode	0	*P
WDT wake-up during SLEEP mode	0	0
Wake-Up on pin change during SLEEP mode	1	0

*P：复位前的状态。

表 7 影响 T 和 P 状态的情况

Reset Type	T	P
Power on	1	1
WDTC instruction	1	1
WDT time-out	0	*P
SLEP instruction	1	0
Wake-Up on pin change during SLEEP mode	1	0

*P：复位前的状态。

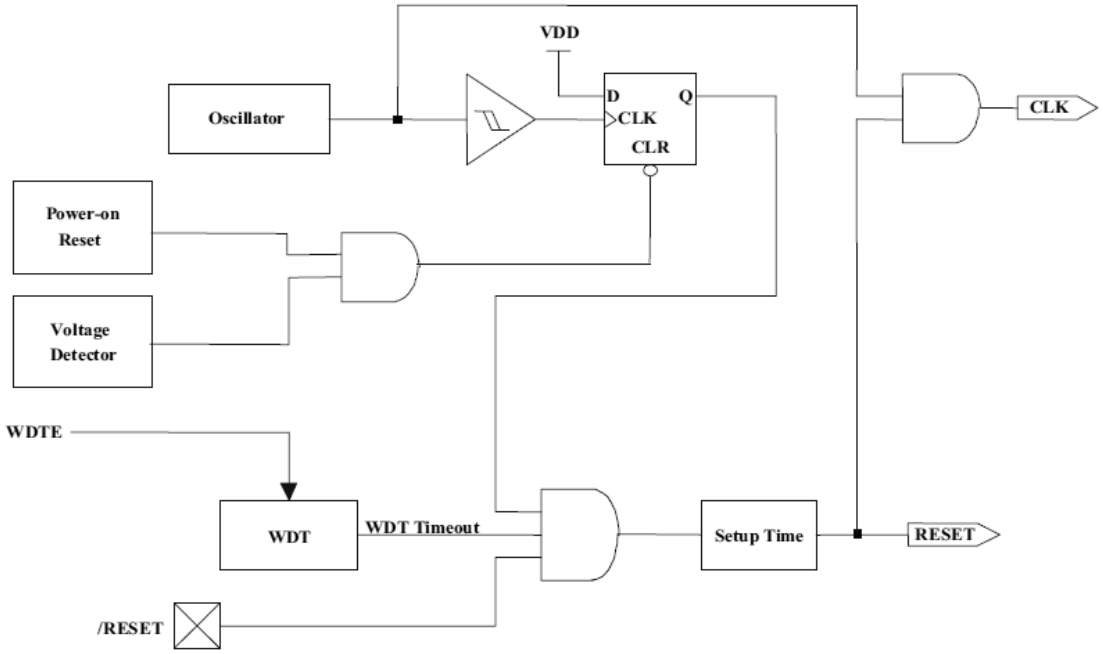


图 9 控制器复位模块图

➢ 中断

78P156N 有如下 3 种情况可引起下降沿中断：

（1） TCC 溢出。 （2）PORT6 端口输入状态改变。 （3）外部中断信号。

在 PORT6 输入变化中断使能前，读 R6 寄存器是必要的。PORT6 的每一个引脚均可具有这个功能，处于输出状态的引脚及作/INT 引脚的 P60 除外。如果在执行 SLEP 指令进入睡眠模式之前使能 I/O 输入变化中断，则其可唤醒单片机。唤醒后，若全局中断禁止，则单片机执行 SLEP 后一指令，若全局中断使能，则从中断向量地址 0x008 起执行指令。

RF，中断标志寄存器，在相应位记录了中断请求情况。IOCF 为中断屏蔽寄存器。全局的中断使能或禁止由 ENI 或 DISI 指令完成。当有一个中断发生时，下一指令由地址 0X08 取出。一旦进入中断处理程序，可轮流检测 RF 寄存器来确定中断源。退出中断处理子程序前，必须清中断标志并使能中断以免重复中断。

不管是否允许中断，RF 寄存器的相应位会由中断置位。读 RF 的结果是 RF 和 IOCF 的逻辑与。参见图 10，RETI 指令结束中断子程序并使能中断。

当 INT 指令（若使能）产生中断时，下一指令将从地址 001H 取出。

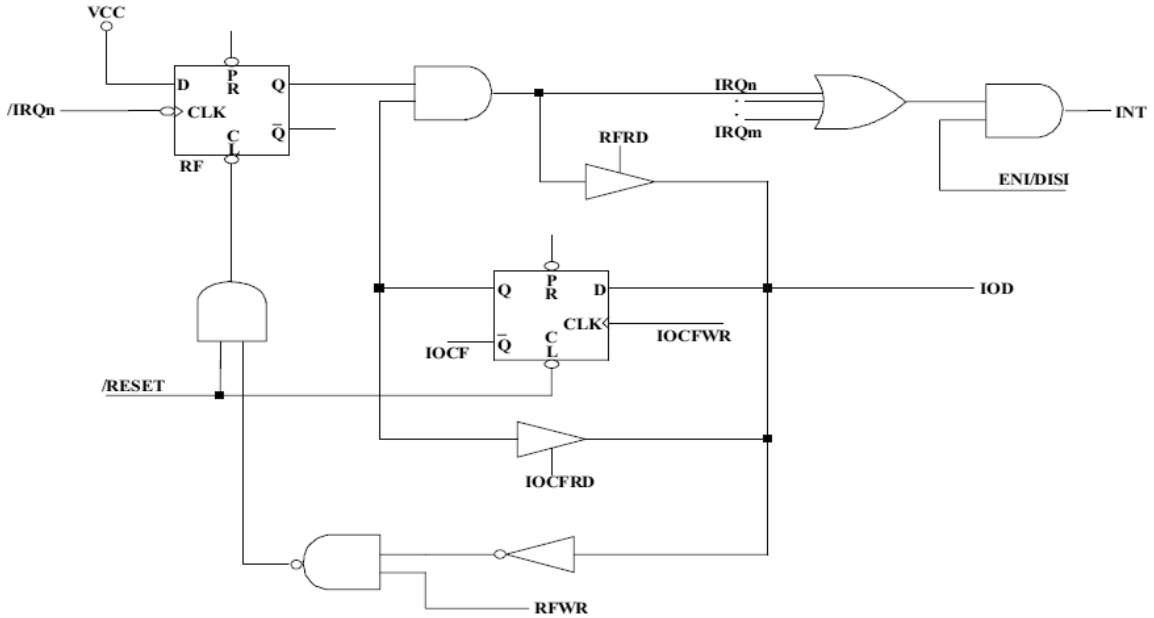


图 10　中断输入电路

➢ 振荡器

1.　振荡器模式

78P156N 可工作在 3 种不同的振荡器模式下：外部 RC 振荡器模式（ERC），高频晶振模式（HXT），低频晶振模式（LXT）。用户可通过对代码寄存器中的 MS、HLF 两位编程选择。表 8 叙述了如何定义这 3 种模式。表 9 给出了不同工作电压下晶振/谐振器的最高工作频率。

表 8 由 MS 和 HLP 定义振荡器模式

Mode	MS	HLF	HLP
ERC（External RC oscillator mode）	0	*X	*X
HXT（High XTAL oscillator mode）	1	1	*X
LXT（Low XTAL oscillator mode）	1	0	0

注：1、X：不必关心

2、在 HXT 和 LX 之间的系统瞬时频率大约为 400KHz。

表 9 工作速度的最大范围

Conditions	VDD	Fxt max. (MHz)
Two cycles with two clocks	2.3	4.0
	3.0	8.0
	5.0	20.0

2.　晶体振荡器/陶瓷振荡器（XTAL）

78P156N 可以由外部时钟通过 OSCI 引脚来驱动，如图 11 所示：

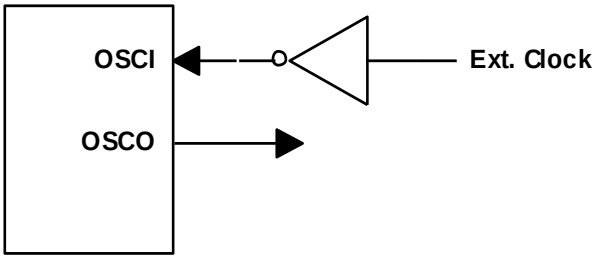


图 11 外部时钟输入电路

在大多数应用中，引脚 OSCO 和 OSCI 上可接晶体或陶瓷谐振器来产生振荡。图 12 为电路。不论是 HXT 还是 LXT 模式都适用。表 10 为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参照其规格选择 C1、C2 的合适值。串联电阻 RS 对于低频模式和 AT strip cut 晶体是需要的。

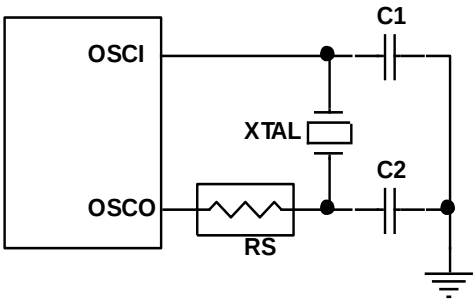


图 12 晶振/谐振器电路

表 10 晶体/陶瓷振器中电容的选择

Oscillator Type	Frequency mode	Frequency	C1（pF）	C2（pF）
Ceramic resonators	HXT	455KHz	100~150	100~150
		2.0MHz	20~40	20~40
		4.0MHz	10~30	10~30
Crystal oscillator	LXT	32.768KHz	25	15
		100KHz	25	25
		200KHz	25	25
	HXT	455KHz	20~40	20~150
		1.0KHz	15~30	15~30
		2.0KHz	15	15
		4.0KHz	15	15

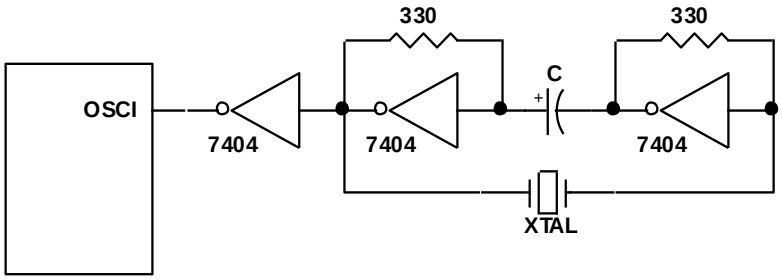


图 13 晶振/谐振器串联电路

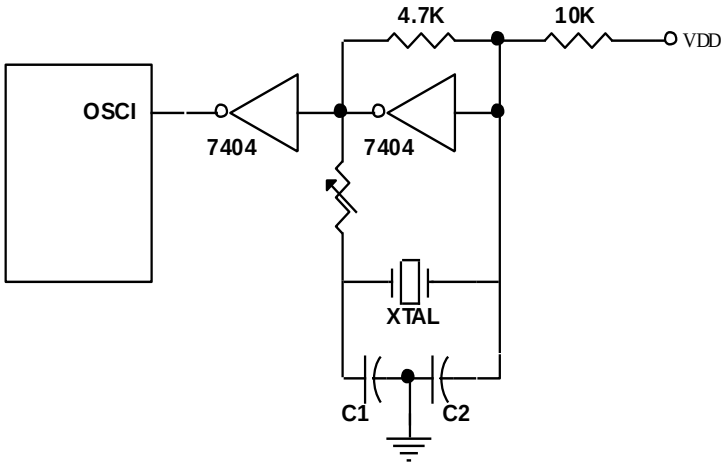


图 14 晶振/谐振器并联电路

3. 外部 RC 振荡器模式

在一些不需要精确计时的应用中，使用 RC 振荡器（如图 15）可以节省部分费用。尽管如此，还是应该注意到，RC 振荡器的频率与电压、电阻值、电容值、甚至工作温度均有关。并且各芯片之间由于生产工艺差别，频率也会发生细微变化。

为了获得稳定的系统频率，电容值不能小于 20pF，电容值不能大于 1MΩ。如果它们不在该范围之内，频率将很容易受噪声、湿度、漏电的影响。

RC 振荡器的电阻 R 越小频率越高。另一方面，对于很小的电阻值 S，如 1KΩ，由于 NMOS 不能正确将电容放电，振荡器将变得不稳定。

基于上述原因，必须牢记电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式均会影响系统频率。

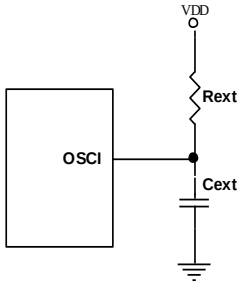


图 15 外部振荡器模式下的电路

表 11 RC 振荡器的频率

Cext	Rext	Average Fosc 5V,25°C	Average Fosc 3V,25°C
20pF	3.3k	3.92 MHz	3.65 MHz
	5.1k	2.67 MHz	2.60 MHz
	10k	1.39 MHz	1.40 MHz
	100k	149 KHz	156 KHz
100pF	3.3k	1.39 MHz	1.33 MHz
	5.1k	940 KHz	920 KHz
	10k	480KHz	475 KHz
	100k	52 KHz	50 KHz
300pF	3.3k	595 KHz	560 KHz
	5.1k	400 KHz	390 KHz
	10k	200 KHz	200 KHz
	100k	21 KHz	20 KHz

注：1、DIP 封装下的测量值。
2、只做设计参考。

➢ 代码选择寄存器

78P156N 有一个代码选择字，它不占正常的程序内存。在正常的程序执行期间这些选择字不会被访问。

Code Option 寄存器和用户 ID 寄存器资源分配：

Word 0	Word 1
Bit12~Bit0	Bit12~Bit0

1. Code Option 寄存器（Word 0）

WORD 0												
Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MS	/ENWDT	CLK	CS	HLF	—	HLP	—	—	—	—	—	—

- 第 12 位（MS）：晶振类型选择。
  0：RC 类型
  1：XTAL 类型（XTAL1 和 XTAL2）
- 第 11 位（/ENWDT）：WDT 使能位。
  0：使能
  1：禁止
- 第 10 位（CLK）：指令周期选择位。
  0：2 个振荡周期
  1：4 个振荡周期
  参考指令章节。
- 第 9 位（CS）：代码安全位。
  0：安全开
  1：安全关
- 第 8 位（HLF）：XTAL 频率选择。

0：XTAL2 类型（低频 32.768KHz）

1：XTAL1 类型（高频）

在 MS9（第 12 位）为 1 时，这一位将会影响到系统的振荡。当 MS 为 0 时，HLF 必须为 0。

注：在 HXT 和 LXY 之间的瞬时频率值大约为 400KHz。

- 第 7 位：保留。

  这一位一直为 1。

- 第 6 位（HLP）：功耗选择。

  0：低功耗

  1：高功耗

- 第 5~0 位：用户 ID 代码

2. 用户 ID 寄存器（Word 1）

Bit 12~ Bit 0
XXXXXXXXXXXXX

- 第 12~0 位：用户 ID 代码

➢ 关于上电的问题

在电源稳定之前，任何单片机均不能保证开始正常工作。78P156N 具有检测电压 1.8V 的电压监测器（POVD）。这就免去了外部复位电路。如果 Vdd 上升的足够快（50ms 或更少），它将正常工作。然而，在许多要求严格的应用中，还是需要附加的外部电路来帮助解决上电问题。

➢ 外部上电复位电路

图 16 所示的电路使用了外部 RC 产生复位脉冲。脉冲宽度应足够长，直至 Vdd 达到最低工作电压。当电源上升慢时，可使用该电路。由于/RESET 引脚的漏电流约为±5uA，建议 R 要大于 40K。这样，引脚/RESET 上电压将保持在 0.2V 以下。二极管 D 的作用是在省电时充当短路回路。电容 C 将快速充分放电。限流电阻 Rin 用来避免过大的放电电流或静电放电 ESD 流入引脚。

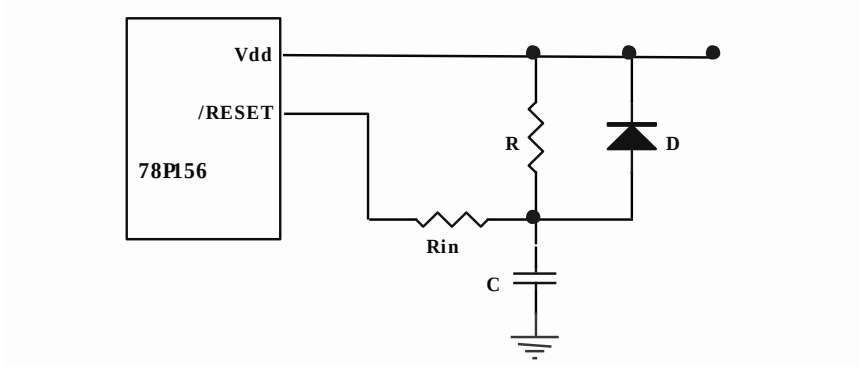


图 16 外部上电复位电路

➢ 残存电压保护

在更换电池时，电源 Vdd 断开后仍有一个小于 Vdd 最小值但又不为 0 的残存电压。这样将引起不正常复位。图 17、18 为残存电压保护电路。

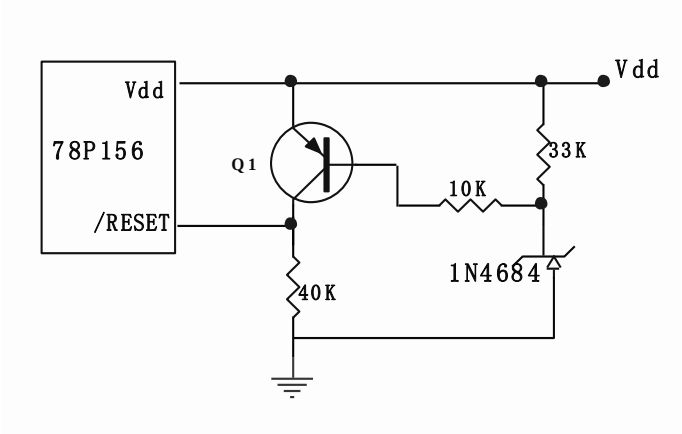


图 17 残存电压保护电路 1

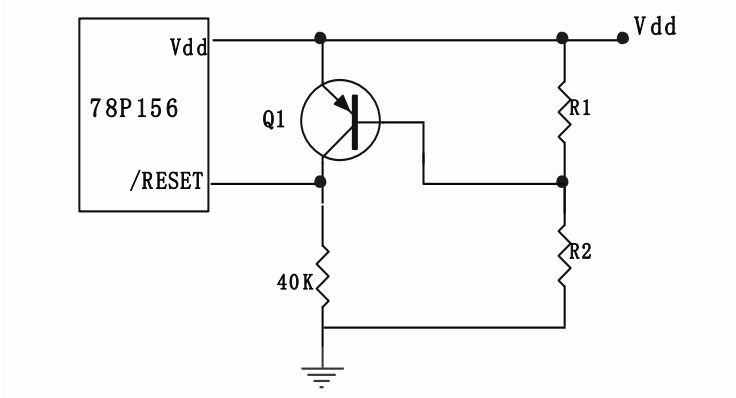


图 18 残存电压保护电路 2

➢ 指令集

指令集中的每个指令都是 13 位的字长，由一个操作代码和一个或多个操作数组成。通常，指令的执行时间都在 1 个指令周期内(1 个指令周期包含 2 个振荡器周期)，除了改变工作计数器 R2 数值的指令如“MOV R2，A”, “ADD R2,A”,或者是对 R2 进行算数或逻辑操作的指令（如：“SUB R2,A”, “BS(C) R2,6”, “CLR R2”,……）。这些情况，指令执行需要 2 个指令周期。

如果由于某些原因，指令周期的描述不适合某些应用，可以做如下修改：

（A）使一个指令周期包含 4 个振荡器周期。

（B）测试过的“JMP”, “CALL”, “RET”, “RETL”, “RETI”指令，或跳转指令（“JBS”, “JBC”, “JZ”, “JZA”, “DJZ”, “DJZA”）执行时间位 2 个指令周期。那些对 PC 写操作的指令也需要 2 个指令周期。

情况（A）由 CODE Opition 中的 CLK 位选择。如果 CLK 为 0，一个指令周期为 2 个振荡器周期，如果 CLK 为 1，一个指令周期为 4 个振荡器周期。

值得注意的是（A）情况下一旦选择指令周期为 4 个振荡器周期，TCC 的内部时钟源应该 Fosc/4，而不是 Fosc/2，如图 5 所示。

此外，指令集具有以下特点：

（1）每个寄存器的每一位都能被置 1，清零或直接测试。

（2）I/O 寄存器可以作为普通寄存器，即相同的指令可对 I/O 寄存器操作。

在指令中，符号“R”表示某个指定的寄存器（包括工作寄存器和普通寄存器）。符号“b”表示在指定的寄存器 R 中的一个位元，它会影响操作。符号“k”表示一个 8 位或 10 位的常数。

INSRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0000 0000 0000	0000	NOP	No Operation	None
0 0000 0000 0001	0001	DAA	Decimal Adjust A	C
0 0000 0000 0010	0002	CONTW	A→CONT	None
0 0000 0000 0011	0003	SLEP	0→WDT, Stop oscillator	T,P
0 0000 0000 0100	0004	WDTC	0→WDT	T,P
0 0000 0000 rrrr	000r	IOW R	A→IOCR	None <Note1>
0 0000 0001 0000	0010	ENI	Enable Interrupt	None
0 0000 0001 0001	0011	DISI	Disable Interrupt	None
0 0000 0001 0010	0012	RET	[Top of Stack]→PC	None
0 0000 0001 0011	0013	RETI	[Top of Stack]→PC, Enable Interrupt	None
0 0000 0001 0100	0014	CONTR	CONT→A	None
0 0000 0001 rrrr	001r	TOR R	IOCR→A	None <Note1>
0 0000 01rr rrrr	00rr	MOV R,A	A→R	None
0 0000 1000 0000	0080	CLR A	0→A	Z
0 0000 11rr rrrr	00rr	CLR R	0→R	Z
0 0001 00rr rrrr	01rr	SUB A,R	R-A→A	Z,C,DC
0 0001 01rr rrrr	01rr	SUB R,A	R-A→R	Z,C,DC
0 0001 10rr rrrr	01rr	DECA R	R-1→A	Z
0 0001 11rr rrrr	01rr	DEC R	R-1→R	Z
0 0010 00rr rrrr	02rr	OR A,R	A v R→A	Z
0 0010 01rr rrrr	02rr	OR R,A	A v R→R	Z
0 0010 10rr rrrr	02rr	AND A,R	A & R→A	Z
0 0010 11rr rrrr	02rr	AND R,A	A & R→R	Z
0 0011 00rr rrrr	03rr	XOR A,R	A⊕R→A	Z
0 0011 01rr rrrr	03rr	XOR R,A	A⊕R→R	Z
0 0011 10rr rrrr	03rr	ADD A,R	A+R→A	Z,C,DC
0 0011 11rr rrrr	03rr	ADD R,A	A+R→R	Z,C,DC

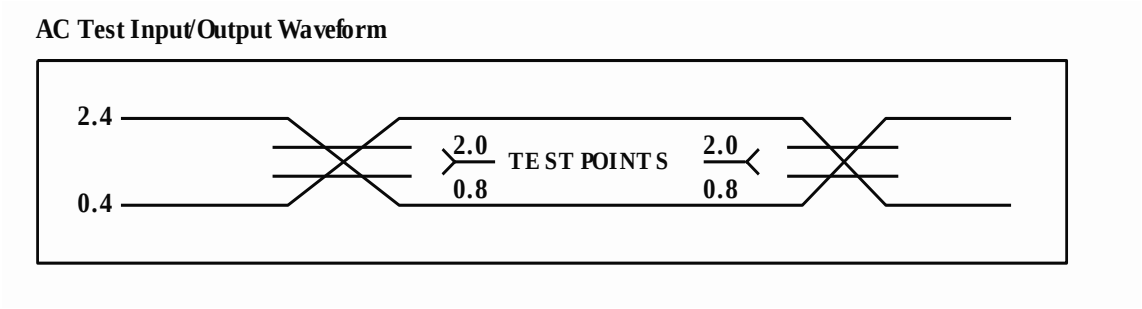
0	0100	00r r	r r r r	04rr	MOV A,R	R→A	Z
0	0100	01r r	r r r r	04rr	MOV R,R	R→R	Z
0	0100	10r r	r r r r	04rr	COMA R	/R→A	Z
0	0100	11r r	r r r r	04rr	COM R	/R→R	Z
0	0101	00r r	r r r r	05rr	INCA R	R+1→A	Z
0	0101	01r r	r r r r	05rr	INC R	R+1→R	Z
0	0101	10r r	r r r r	05rr	DJZA R	R-1→A, skip of zero	None
0	0101	11r r	r r r r	05rr	DJZ R	R-1→R, skip of zero	None
0	0110	00r r	r r r r	06rr	RRCA R	R(n)→A(n-1), R(0)→C,C→A(7)	C
0	0110	01r r	r r r r	06rr	RRC R	R(n)→R(n-1), R(0)→C,C→R(7)	C
0	0110	10r r	r r r r	06rr	RLCA R	R(n)→A(n+1), R(7)→C,C→A(0)	C
0	0110	11r r	r r r r	06rr	RLC R	R(n)→R(n+1), R(7)→C,C→R(0)	C
0	0111	00r r	r r r r	07rr	SWAPA R	R(0-3)→A(4-7), R(4-7)→A(0-3)	None
0	0111	01r r	r r r r	07rr	SWAP R	R(0-3)↔R(4-7)	None
0	0111	10r r	r r r r	07rr	JZA R	R+1→A, skip of zero	None
0	0111	11r r	r r r r	07rr	JZ R	R+1→R, skip of zero	None
0	100b	bbr r	r r r r	0xxx	BC R, b	0→R(b)	None <Note2>
0	101b	bbr r	r r r r	0xxx	BS R, b	1→R(b)	None <Note3>
0	110b	bbr r	r r r r	0xxx	JBC R, b	if R(b)=0,skip	None
0	111b	bbr r	r r r r	0xxx	JBS R, b	if R(b)=1,skip	None
1	00kk	kkkk	kkkk	1kkk	CALL k	PC+1→[SP], (Page, k) →PC	None
1	01kk	kkkk	kkkk	1kkk	JMP k	(Page, k) →PC	None
1	1000	kkkk	kkkk	18kk	MOV A, k	k→A	None
1	1001	kkkk	kkkk	19kk	OR A, k	A v k→A	Z
1	1010	kkkk	kkkk	1Akk	AND A, k	A & k→A	Z
1	1011	kkkk	kkkk	1Bkk	XOR A, k	A ⊕k→A	Z
1	1100	kkkk	kkkk	1Ckk	RETL	k→A, [Top of Stack]→PC	None
1	1101	kkkk	kkkk	1Dkk	SUB A, k	k-A→A	Z,C,DC
1	1110	0000	0000	1E01	INT	PC+1→[SP], 001H→PC	None
1	1111	kkkk	kkkk	1Fkk	ADD A, k	k-A→A	Z,C,DC

<Note 1>该指令只适用于 IOC5~IOC6，IOCB~IOCF。

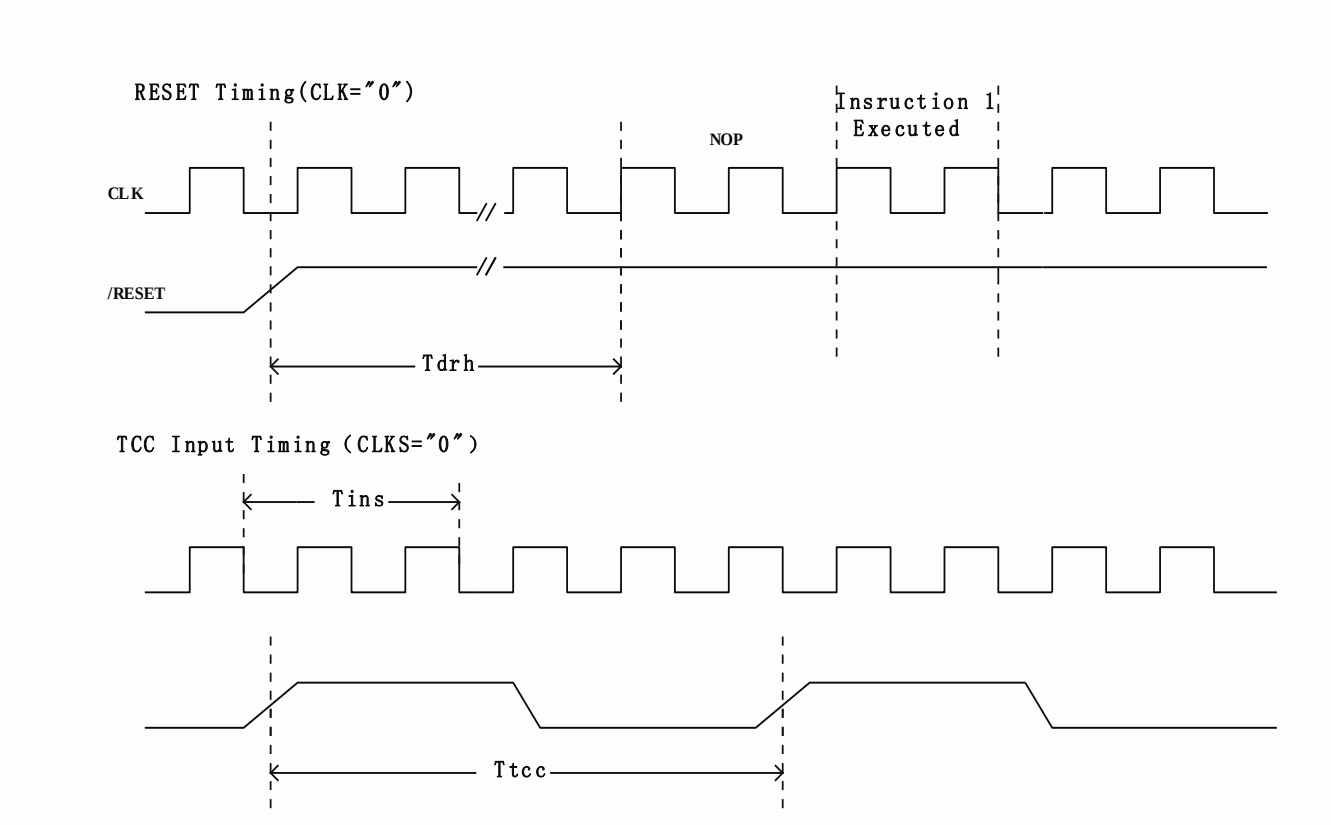
<Note 2>该指令不被推荐用于对 RF 寄存器操作。

<Note 3>该指令不能对 RF 寄存器操作。

➢ 时序图



AC Testing : Input is driven at 2.4V for logic “1”,and 0.4V for logic “0”.Timing measurements are made at 2.0V for logic “1” , and 0.8V for logic “0”.



五、绝对最大范围

Items	Rating
Temperature under bias	0^oC to 70^oC
Storage temperature	-65^oC to 150^oC
Input voltage	-0.3^oC to $+6.0^oC$
Output voltage	-0.3^oC to $+6.0^oC$

六、电气特性

➢ 直流（DC）电气特征

(Ta=0^oC ~ 70^oC,VDD=5.0V±5%，VSS=0V)

Symbol	Parameter	Condition	Min	Typ.	Max	Unit
FXT	XTAL:VDD to 3V	Two cycle with two clocks	DC		8.0	MHz
	XTAL:VDD to 5V	Two cycle with two clocks	DC		20.0	MHz
ERC	ERC:VDD to 5V	R:5.1KΩ,C:100pF	F±30%	940	F±30%	KHz
IIL	Input Leakage Current for input pins	VIN=VDD,VSS			±1	uA
VIH1	Input High Voltage(VDD=5V)	Ports 5,6	2.0			V
VIL1	Input Low Voltage(VDD=5V)	Ports 5,6			0.8	V
VIHT1	Input High Threshold Voltage (VDD=5V)	/RESET,TCC	2.0			V
VILT1	Input Low Threshold Voltage (VDD=5V)	/RESET,TCC			0.8	V
VIHX1	Clock Input High Voltage(VDD=5V)	OSCI	3.5			V
VILX1	Clock Input Low Voltage(VDD=5V)	OSCI			1.5	V
VIH2	Input High Voltage(VDD=3V)	Ports 5,6	1.5			V
VIL2	Input Low Voltage(VDD=3V)	Ports 5,6			0.4	V
VIHT2	Input High Threshold Voltage (VDD=3V)	/RESET,TCC	1.5			V
VILT2	Input Low Threshold Voltage (VDD=3V)	/RESET,TCC			0.4	V
VIHX2	Clock Input High	OSCI	2.1			V

	Voltage(VDD=3V)					
VILX2	Clock Input Low Voltage(VDD=3V)	OSCI			0.9	V
VOH1	Output High Voltage(Ports 5,6)	IOH=-12.0mA	2.4			V
VOL1	Output Low Voltage(P60~P61)	IOL=12.0mA			0.4	V
VOL2	Output Low Voltage(Ports P62~P67)	IOL=10.5mA			0.4	V
IPH	Pull-high current	Pull-high active, input pin at VSS	-50	-70	-240	uA
IPD	Pull-down current	Pull-down active, input pin at VDD	25	50	120	uA
ISB1	Power down current	All input and I/O pins at VDD, output pin floating, WDT disabled			1	uA
ISB2	Power down current	All input and I/O pins at VDD, output pin floating, WDT enabled			10	uA
ICC1	Operating supply current(VDD=3V)at two cycles/four clocks	/RESET='High',Fosc=32KHz(Crystal type, CLKS="0"),output pin floating, WDT disabled	15	15	30	uA
ICC2	Operating supply current(VDD=3V)at two cycles/four clocks	/RESET='High',Fosc=32KHz(Crystal type, CLKS="0"),output pin floating, WDT enabled		20	35	uA
ICC3	Operating supply current(VDD=5.0V)at two cycles/two clocks	/RESET='High',Fosc=4KHz(Crystal type, CLKS="0"),output pin floating, WDT enabled			1.6	mA
ICC4	Operating supply current(VDD=5.0V)at two cycles/four clocks	/RESET='High',Fosc=10KHz(Crystal type, CLKS="0"),output pin floating, WDT enabled			4.0	mA

➢ **交流（AC）电气特征**

(Ta=0°C ~ 70°C,VDD=5.0V±5%，VSS=0V)

Symbol	Parameter	Condition	Min	Typ.	Max	Unit
Dclk	Input CLK duty cycle		45	50	55	%
Tins	Instruction cycle time (CLKS="0")	Crystal type	100		DC	ns
		RC type	500		DC	ns
Ttcc	TCC input period		(Tins+20)/N*			ns
Tdrh	Device reset hold time	Ta=25 °C	11.8	16.8	21.8	ms
Trst	/RESET pulse width	Ta=25 °C	2000			ns
Twdt	Watchdog timer period	Ta=25 °C	11.8	16.8	21.8	ms
Tset	Input pin setup time			0		ns
Thold	Input pin hold time			20		ns
Tdelay	Output pin delay time	Cload=20pF		50		ns

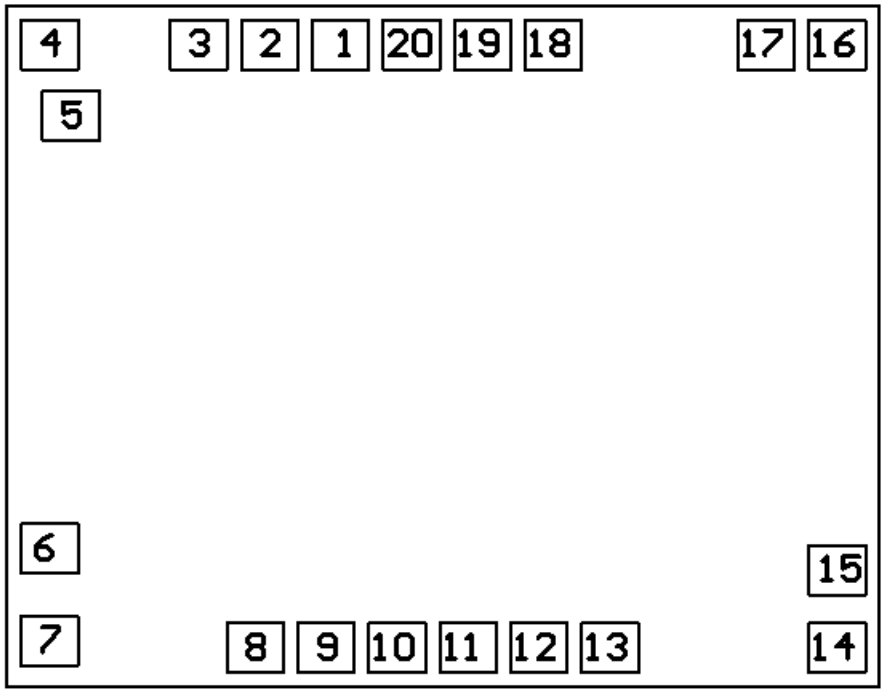
N=所选的预分器的分频比

附录

封装类型：

OTP MCU	Package Type	Pin Count	Package Size
78P15N	DIP	18	300mil
78P156S	SOP	18	300mil

七、PAD Assignment



Pad No.	Pad Name	X	Y	Pad No.	Pad Name	X	Y
1	P52	-126.00	708.80	11	P64	166.65	-709.20
2	P53	-241.10	708.80	12	P65	281.75	-709.20
3	TCC	-356.20	708.80	13	P66	396.85	-709.20
4	RESETB	-657.60	708.85	14	P67	657.55	-709.15
5	VSS	-622.65	584.35	15	VDD	658.00	-584.50
6	VSS	-658.20	-578.30	16	VDD	657.60	583.80
7	P60INT	-657.80	-709.20	17	OSCO	657.60	708.75
8	P61	-178.65	-709.20	18	OSCI	219.40	708.80
9	P62	-62.65	-709.20	19	P50	104.20	708.80
10	P63	51.55	-709.20	20	P51	-10.90	708.80