

特性

过采样逐次逼近(SAR)型架构

高性能交流和直流精度、低功耗

动态范围: 115.5 dB(32 kSPS, AD7767-2)

动态范围: 112.5 dB(64 kSPS, AD7767-1)

动态范围: 109.5 dB(128 kSPS, AD7767)

总谐波失真(THD): -118 dB

超低功耗

8.5 mW, 32 kSPS (AD7767-2)

10.5 mW, 64 kSPS (AD7767-1)

15 mW, 128 kSPS (AD7767)

高直流精度

24位、无失码(NMC)

INL: ± 3 ppm(典型值), ± 7.6 ppm(最大值)

低温漂

零电平误差漂移: 15 nV/°C

增益误差漂移: 0.4 ppm/°C

片内低通FIR滤波器

线性相位响应

通带纹波: ± 0.005 dB

阻带衰减: 100 dB

2.5 V电源, 1.8 V/2.5 V/3 V/3.6 V逻辑接口选项

灵活的接口选项

多器件同步

菊花链功能

关断功能

温度范围: -40°C至+105°C

应用

低功耗PCI/USB数据采集系统

低功耗无线采集系统

振动分析

仪器仪表

高精度医学采集

功能框图

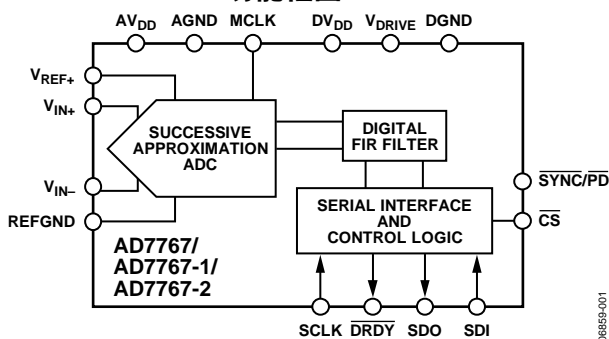


图1.

概述

AD7767/AD7767-1/AD7767-2均为高性能24位过采样SAR型ADC(模数转换器), 具有较宽的动态范围和输入带宽, 功耗分别为15 mW、10.5 mW和8.5 mW, 采用16脚TSSOP封装。

AD7767/AD7767-1/AD7767-2适用于超低功耗数据采集应用, 例如基于PCI和USB的系统。这些器件具备24位分辨率、出色的信噪比(SNR)、宽动态范围和高直流精度, 非常适合在较宽的动态范围测量小信号变化的应用。也特别适用于大的交流或直流输入信号上的小变化应用。在这种应用中, 这些器件能够精确地采集交流和直流信息。

AD7767/AD7767-1/AD7767-2片内集成数字滤波器(包括线性相位响应), 通过过采样输入来消除带外噪声。这种过采样架构还减少了对前端抗混叠滤波的需求。AD7767还具有一个 $\overline{\text{SYND}}/\overline{\text{PD}}$ (同步/关断)引脚, 可用于多个AD7767器件之间的同步。另外, 通过SDI引脚还能够实现多个AD7767器件的菊花链互连结构。

AD7767/AD7767-1/AD7767-2采用基于5 V基准电压的2.5 V电源工作, 温度范围是-40°C至+105°C。

相关器件

表1. 24位ADC

产品型号	描述
AD7760	2.5 MSPS、100 dB动态范围1、片内集成差分放大器和基准电压缓冲、并行、可变抽取
AD7762/ AD7763	625 kSPS、109 dB动态范围1、片内集成差分放大器和基准电压缓冲、并行/串行、可变抽取
AD7764	312 kSPS、109 dB动态范围1、片内集成差分放大器和基准电压缓冲、可变抽取(引脚)
AD7765	156 kSPS、112 dB动态范围1、片内集成差分放大器和基准电压缓冲、可变抽取(引脚)
AD7766	128 kSPS、109.5 dB 1、15 mW、16位INL、串行接口
AD7766-1	64 kSPS、112.5 dB 1、10.5 mW、16位INL、串行接口
AD7766-2	32 kSPS、115.5 dB 1、8.5 mW、16位INL、串行接口

¹ 最大输出数据速率时的动态范围。

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2007–2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	电源和基准电压.....	16
应用.....	1	AD7767接口.....	16
功能框图.....	1	初始上电.....	16
概述.....	1	读取数据.....	16
相关器件.....	1	关断、复位和同步.....	16
修订历史.....	2	菊花链连接.....	16
技术规格.....	3	在菊花链模式下读取数据.....	16
时序规格.....	5	选择SCLK频率.....	16
时序图.....	6	菊花链模式配置和时序图.....	16
绝对最大额定值.....	8	驱动AD7767.....	16
ESD警告.....	8	差分信号源.....	16
引脚配置和功能描述.....	9	单端信号源.....	16
典型工作特性.....	10	抗混叠.....	16
术语.....	14	功耗.....	16
工作原理.....	15	V _{REF} +输入信号.....	16
AD7767/AD7767-1/AD7767-2传递函数.....	15	模拟输入通道多路复用.....	16
转换器操作.....	15	外形尺寸.....	16
模拟输入结构.....	16	订购指南.....	16

修订历史

2010年5月—修订版B至修订版C

更改引脚8描述.....	9
更改表8.....	20

2009年3月—修订版A至修订版B

更改表3的参数tSETTLING.....	5
更改表7.....	17

2009年1月—修订版0至修订版A

更改特性部分.....	1
更改表2的交调失真(IMD)参数和积分非线性参数.....	3
更改电源和基准电压部分.....	16
更改选择SCLK频率部分.....	18
更改图24.....	12
更改驱动AD7767部分.....	20
更改单端信号源部分.....	20
增加图41；重新排序.....	20
更改图42.....	21
增加表8；重新排序.....	20
更换V _{REF} +输入信号部分.....	22
更换图46.....	22

2007年8月—修订版0：初始版

技术规格

除非另有说明, $AV_{DD} = DV_{DD} = 2.5V \pm 5\%$, $V_{DRIVE} = 1.8V$ 至 $3.6V$, $V_{REF} = 5V$, $MCLK = 1MHz$, 共模输入 = $V_{REF}/2$, $T_A = -40^\circ C$ 至 $+105^\circ C$ 。

表2

参数	测试条件/注释	最小值	典型值	最大值	单位
输出数据速率(ODR)					
AD7767	1/8抽取			128	kHz
AD7767-1	1/16抽取			64	kHz
AD7767-2	1/32抽取			32	kHz
模拟输入 ¹					
差分输入电压	$V_{IN+} - V_{IN-}$			$\pm V_{REF}$	V p-p
绝对输入电压	V_{IN+}	-0.1		$+V_{REF} + 0.1$	V
	V_{IN-}	-0.1		$+V_{REF} + 0.1$	V
共模输入电压		$V_{REF}/2 - 5\%$	$V_{REF}/2$	$V_{REF}/2 + 5\%$	V
输入电容			22		pF
动态性能					
AD7767	1/8抽取, ODR = 128 kHz				
动态范围 ²	输入短路	108	109.5		dB
信噪比(SNR) ²	满量程输入幅度, 1 kHz信号音	107	108.5		dB
无杂散动态范围(SFDR) ²	满量程输入幅度, 1 kHz信号音		-128	-116	dB
总谐波失真(THD) ²	满量程输入幅度, 1 kHz信号音		-118	-105	dB
交调失真(IMD) ²	信号音A = 49.7 kHz, 信号音B = 50.3 kHz				
二阶项			-133		dB
三阶项			-109		dB
AD7767-1	1/16, ODR = 64 kHz				
动态范围 ²	输入短路	111	112.5		dB
信噪比(SNR) ²	满量程输入幅度, 1 kHz信号音	110	111.5		dB
无杂散动态范围(SFDR) ²	满量程输入幅度, 1 kHz信号音		-128	-116	dB
总谐波失真(THD) ²	满量程输入幅度, 1 kHz信号音		-118	-105	dB
交调失真(IMD) ²	信号音A = 24.7 kHz, 信号音B = 25.3 kHz				dB
二阶项			-133		dB
三阶项			-108		dB
AD7767-2	1/32, ODR = 32 kHz				
动态范围 ²	输入短路	114	115.5		dB
信噪比(SNR) ²	满量程输入幅度, 1 kHz信号音	112	113.5		dB
无杂散动态范围(SFDR) ²	满量程输入幅度, 1 kHz信号音		-128	-116	dB
总谐波失真(THD) ²	满量程输入幅度, 1 kHz信号音		-118	-105	dB
交调失真(IMD) ²	信号音A = 11.7 kHz, 信号音B = 12.3 kHz				dB
二阶项			-137		dB
三阶项			-108		dB
直流精度 ¹	所有器件				
分辨率	无失码	24			位
微分非线性 ²	保证24位单调性				
积分非线性 ²	18位线性度		± 3	± 7.6	ppm
零电平误差 ²			20		μV
增益误差 ²			0.0075	0.075	% FS
零电平误差漂移 ²			15		nV/ $^\circ C$
增益误差漂移 ²			0.4		ppm/ $^\circ C$
共模抑制比 ²	50 Hz信号音		-110		dB

AD7767

参数	测试条件/注释	最小值	典型值	最大值	单位
数字滤波器响应 ¹					
群延迟	完全建立		37/ODR		μs
建立时间(延迟)			74/ODR		μs
通带纹波				±0.005	dB
通带				0.453 × ODR	Hz
-3 dB带宽				0.49 × ODR	Hz
阻带频率				0.547 × ODR	Hz
阻带衰减		100			dB
基准输入 ¹					
V _{REF+} 输入电压		2.4		2 × AV _{DD}	V
数字输入 (逻辑电平) 1					
V _{IL}		-0.3		+0.3 × V _{DRIVE}	V
V _{IH}		0.7 × V _{DRIVE}		V _{DRIVE} + 0.3	V
输入漏电流				±1	μA/引脚
输入电容			5		pF
主时钟速率				1.024	MHz
串行时钟速率				1/t ₈	Hz
数字输出 ¹					
数据格式	串行24位、二进制补码(MSB优先) ISINK = +500 μA ISOURCE = -500 μA			0.4	V
V _{OL}					V
V _{OH}		V _{DRIVE} - 0.3			V
电源要求 ¹					
AV _{DD}	± 5%		2.5		V
DV _{DD}	± 5%		2.5		V
V _{DRIVE}		1.7	2.5	3.6	V
电流规格	MCLK = 1.024 MHz				
AD7767工作电流	128 kHz输出数据速率				
AI _{DD}			1.3	1.5	mA
DI _{DD}			3.9	4.8	mA
I _{REF}			0.35	0.425	mA
AD7767-1工作电流	64 kHz输出数据速率				
AI _{DD}			1.3	1.5	mA
DI _{DD}			2.2	2.85	mA
I _{REF}			0.35	0.425	mA
AD7767-2工作电流	32 kHz输出数据速率				
AI _{DD}			1.3	1.5	mA
DI _{DD}			1.37	1.86	mA
I _{REF}			0.35	0.425	mA
静态电流(MCLK停止)	所有器件				
AI _{DD}			0.9	1	mA
DI _{DD}			1	93	μA
关断模式电流	所有器件				
AI _{DD}			0.1	6	μA
DI _{DD}			1	93	μA
功耗	MCLK = 1.024 MHz				
AD7767工作功耗	128 kHz输出数据速率		15	18	mW
AD7767-1工作功耗	64 kHz输出数据速率		10.5	13	mW
AD7767-2工作功耗	32 kHz输出数据速率		8.5	10.5	mW

¹所有器件(AD7767、AD7767-1和AD7767-2)的规格。

²参见术语部分。

时序规格

除非另有说明， $AV_{DD} = DV_{DD} = 2.5 \text{ V} \pm 5\%$ ， $V_{DRIVE} = 1.7 \text{ V}$ 至 3.6 V ， $V_{REF} = 5 \text{ V}$ ，共模输入 = $V_{REF}/2$ ， $T_A = -40^\circ\text{C}$ (T_{MIN})至 $+105^\circ\text{C}$ (T_{MAX})。¹

表3

参数	t_{MIN} 、 t_{MAX} 时的限值	单位	描述
DRDY操作			
t_1	510	ns typ	MCLK上升沿到 $\overline{\text{DRDY}}$ 下降沿
t_2^2	100	ns min	MCLK高电平脉冲宽度
t_3^2	900	ns max	MCLK低电平脉冲宽度
t_4	265	ns typ	MCLK上升沿到 $\overline{\text{DRDY}}$ 上升沿(AD7767)
	128	ns typ	MCLK上升沿到 $\overline{\text{DRDY}}$ 上升沿(AD7767-1)
	71	ns typ	MCLK上升沿到 $\overline{\text{DRDY}}$ 上升沿(AD7767-2)
t_5	294	ns typ	$\overline{\text{DRDY}}$ 脉冲宽度 (AD7767)
	435	ns typ	$\overline{\text{DRDY}}$ 脉冲宽度 (AD7767-1)
	492	ns typ	$\overline{\text{DRDY}}$ 脉冲宽度 (AD7767-2)
t_{READ}^3	$t_{\overline{\text{DRDY}}} - t_5$	ns typ	$\overline{\text{DRDY}}$ 低电平周期，在此期间读取数据
$t_{\overline{\text{DRDY}}}^3$	$n \times 8 \times t_{\text{MCLK}}$	ns typ	$\overline{\text{DRDY}}$ 周期
读操作			
t_6	0	ns min	$\overline{\text{DRDY}}$ 下降沿到 $\overline{\text{CS}}$ 建立时间
t_7	6	ns max	$\overline{\text{CS}}$ 下降沿到SDO三态禁用
t_8	60	ns max	SCLK下降沿后的数据访问时间($V_{DRIVE} = 1.7 \text{ V}$)
	50	ns max	SCLK下降沿后的数据访问时间($V_{DRIVE} = 2.3 \text{ V}$)
	25	ns max	SCLK下降沿后的数据访问时间($V_{DRIVE} = 2.7 \text{ V}$)
	24	ns max	SCLK下降沿后的数据访问时间($V_{DRIVE} = 3.0 \text{ V}$)
t_9	10	ns min	SCLK下降沿到数据有效的保持时间($V_{DRIVE} = 3.6 \text{ V}$)
t_{10}	10	ns min	SCLK高电平脉冲宽度
t_{11}	10	ns min	SCLK低电平脉冲宽度
t_{SCLK}	$1/t_8$	sec min	最短SCLK周期
t_{12}	6	ns max	$\overline{\text{CS}}$ 上升沿后的总线释放时间
t_{13}	0	ns min	$\overline{\text{CS}}$ 上升沿到 $\overline{\text{DRDY}}$ 上升沿
$\overline{\text{CS}}$低电平下的读操作			
t_{14}	0	ns min	$\overline{\text{DRDY}}$ 下降沿到数据有效的建立时间
t_{15}	0	ns max	$\overline{\text{DRDY}}$ 上升沿到数据有效的保持时间
菊花链操作			
t_{16}	1	ns min	SDI有效到SCLK下降沿的建立时间
t_{17}	2	ns max	SCLK下降沿到SDI有效的保持时间
SYNC/PD操作			
t_{18}	1	ns typ	$\overline{\text{SYNC/PD}}$ 下降沿到MCLK上升沿
t_{19}	20	ns typ	MCLK上升沿到进入 $\overline{\text{SYNC/PD}}$ 模式的 $\overline{\text{DRDY}}$ 上升沿
t_{20}	1	ns min	$\overline{\text{SYNC/PD}}$ 上升沿到MCLK上升沿
t_{21}	510	ns typ	MCLK上升沿到离开 $\overline{\text{SYNC/PD}}$ 模式的 $\overline{\text{DRDY}}$ 下降沿
t_{SETTLING}^3	$(592 \times n) + 2$	t_{MCLK}	复位或关断后的滤波器建立时间

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5 \text{ ns}$ (10%到90%的 DV_{DD})，并从1.7 V电平起开始计时。

² t_2 和 t_3 允许MCLK输入使用~90%到10%的占空比，时钟高电平时间对应的最小值为10%，MCLK低电平时间对应的最小值为90%。最大MCLK频率为1.024 MHz。

³ AD7767: $n = 1$; AD7767-1: $n = 2$; AD7767-2: $n = 4$ 。

时序图

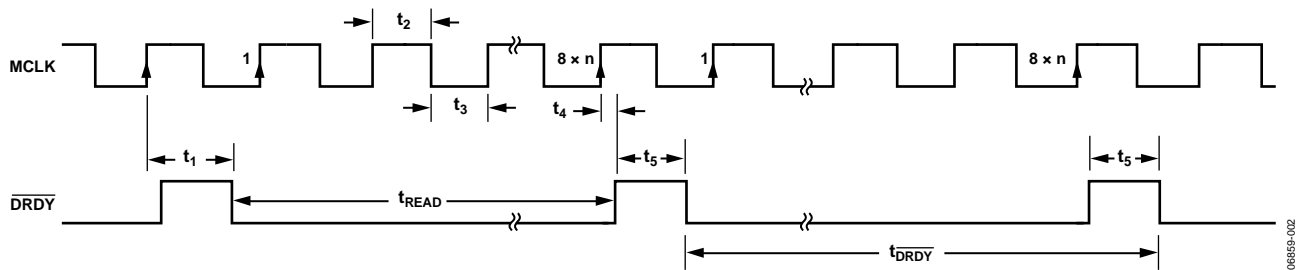


图2. DRDY与MCLK时序图, $n=1$ (AD7767, 1/8抽取), $n=2$ (AD7767-1, 1/16抽取), $n=4$ (AD7767-2, 1/32抽取)

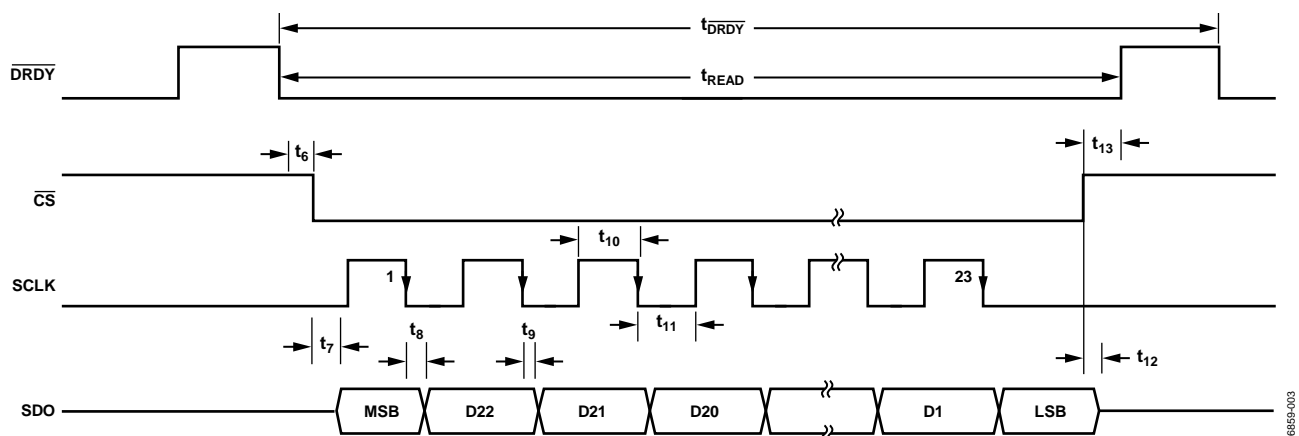


图3. 串行时序图(读取数据, 使用CS)

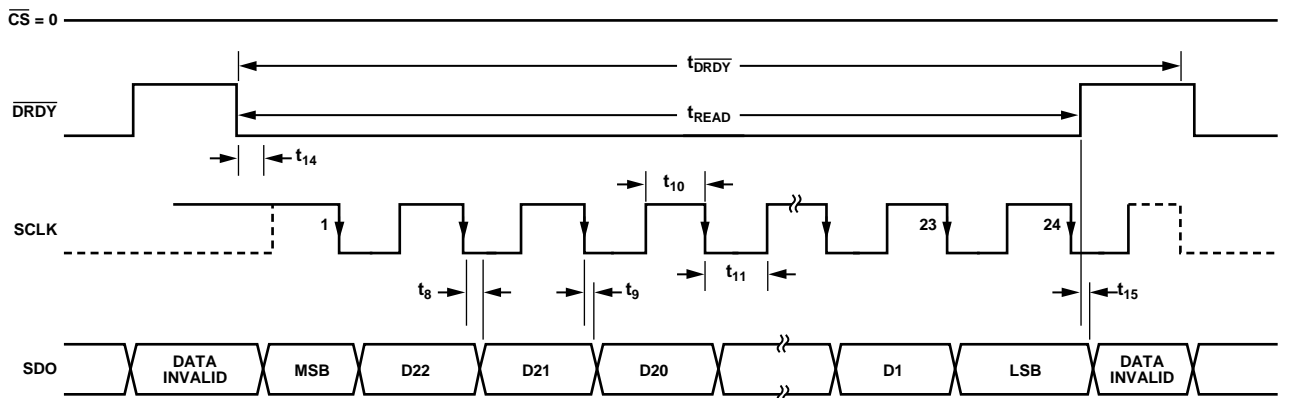
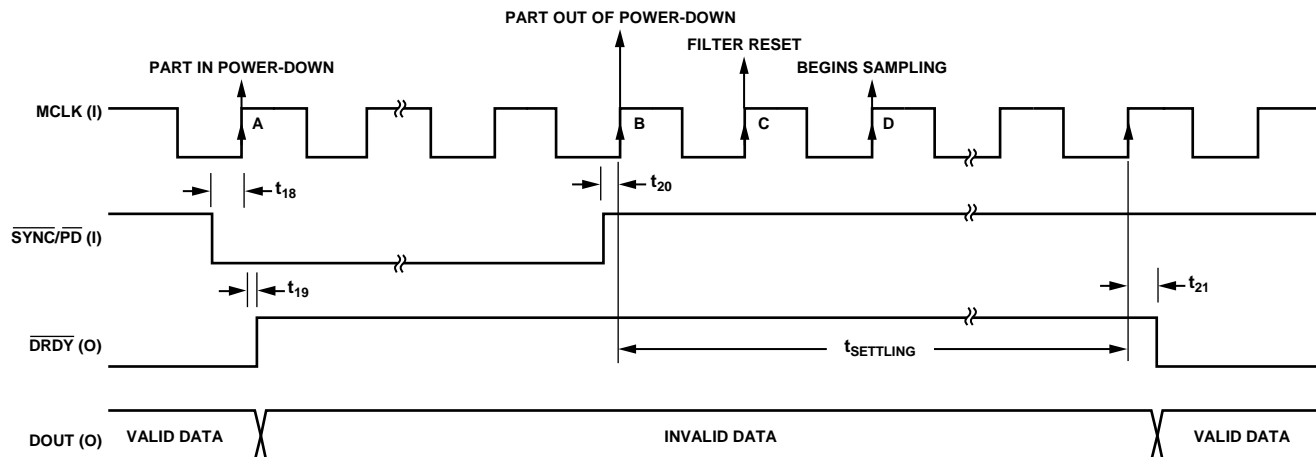


图4. 串行时序图(读取数据, \overline{CS} 设为逻辑低电平)



068559-005

图5. 复位、同步和关断时序(更多信息参见关断、复位和同步部分)

图2. 典型PCB布局

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表4

参数	参数
AV_{DD} 至 AGND	-0.3 V 至 +3 V
DV_{DD} 至 DGND	-0.3 V 至 +3 V
AV_{DD} 至 DV_{DD}	-0.3 V 至 +0.3 V
V_{REF+} 至 REFGND	-0.3 V 至 +7 V
REFGND 至 AGND	-0.3 V 至 +0.3 V
V_{DRIVE} 至 DGND	-0.3 V 至 +6 V
V_{IN+} , V_{IN-} 至 AGND	-0.3 V 至 $V_{REF+} + 0.3 V$
数字输入至DGND	-0.3 V 至 $V_{DRIVE} + 0.3 V$
数字输出至DGND	-0.3 V 至 $V_{DRIVE} + 0.3 V$
AGND至DGND	-0.3 V 至 +0.3 V
输入电流至除电源外的任何引脚 ¹	$\pm 10 \text{ mA}$
工作温度范围	-40°C 至 $+105^\circ\text{C}$
存储温度范围	-65°C 至 $+150^\circ\text{C}$
结温	150°C
TSSOP封装	
θ_{JA} 热阻	150.4°C/W
θ_{JC} 热阻	27.6°C/W
引脚温度, 焊接	
气相(60秒)	215°C
红外(15秒)	220°C
ESD	1 kV

¹ 100 mA以下的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

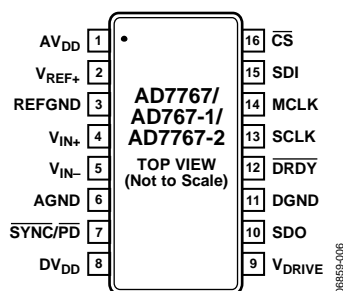


图6. 16引脚TSSOP引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	AV _{DD}	+2.5 V模拟电源。
2	V _{REF+}	AD7767的基准电压输入。必须将一个外部基准电压施加于该输入引脚。V _{REF+} 输入范围是2.4 V至5 V。基准电压输入与AV _{DD} 引脚上施加的电压幅度无关。
3	REFGND	基准电压地。基准电压的接地连接。应将输入基准电压(V _{REF+})去耦到该引脚。
4	V _{IN+}	差分模拟输入的正输入。
5	V _{IN-}	差分模拟输入的负输入。
6	AGND	模拟电路的电源地。
7	$\overline{\text{SYNC/PD}}$	同步和关断输入引脚。这是一个双功能引脚。它可以用于同步多个AD7767器件，以及/或者将AD7767器件置于关断模式。详情参见关断、复位和同步部分。
8	DV _{DD}	2.5 V数字电源输入。如果接口使用2.5 V的逻辑电压（2.5 V施加于V _{DRIVE} 引脚），DV _{DD} 和V _{DRIVE} 引脚可以连接到同一供电轨。
9	V _{DRIVE}	逻辑电源输入，1.8 V至3.6 V。该引脚的电源电压决定数字逻辑接口的工作电压。
10	SDO	串行数据输出。AD7767的转换结果以24位、二进制补码、MSB优先的串行数据流通过SDO引脚输出。
11	DGND	数字逻辑电源地。
12	$\overline{\text{DRDY}}$	数据就绪输出。 $\overline{\text{DRDY}}$ 信号的下降沿指示AD7767的输出寄存器内有新转换结果。详情参见AD7767接口部分。
13	SCLK	串行时钟输入。SCLK输入为AD7767的所有串行数据传输提供串行时钟。详情参见AD7767接口部分。
14	MCLK	主时钟输入。AD7767采样频率等于MCLK频率。
15	SDI	串行数据输入。这是AD7767的菊花链输入。详情参见菊花链连接部分。
16	$\overline{\text{CS}}$	片选输入引脚。 $\overline{\text{CS}}$ 输入选择AD7767器件，并充当SDO引脚的使能信号。使用 $\overline{\text{CS}}$ 时，转换结果的MSB在 $\overline{\text{CS}}$ 下降沿输入到SDO线。输入支持多个AD7767器件共用同一SDO线。这样，用户就可以选择合适的器件，只需向器件提供一个逻辑低电平CS信号，以使能该器件的SDO引脚便可实现。详情参见AD7767接口部分。

典型工作特性

$AV_{DD} = DV_{DD} = 2.5 \text{ V} \pm 5\%$, $V_{DRIVE} = 1.8 \text{ V}$ 至 3.6 V , $V_{REF} = 5 \text{ V}$, $MCLK = 1 \text{ MHz}$, 共模输入 = $V_{REF}/2$ 。除非另有说明, $T_A = 25^\circ\text{C}$ 。所有FFT均利用8192个样本和4阶Blackman-Harris窗函数产生。

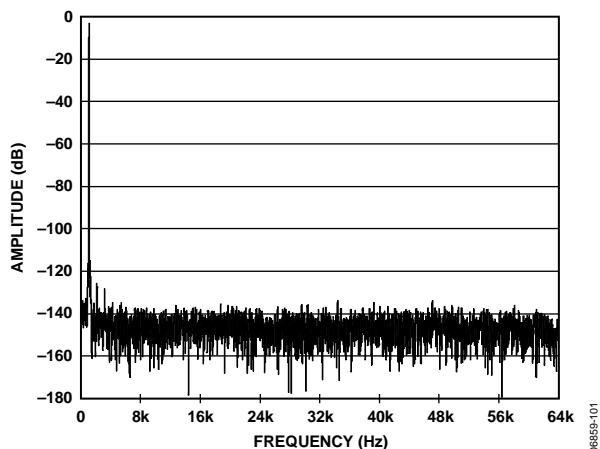


图7. AD7767 FFT, 1 kHz, -0.5 dB输入音

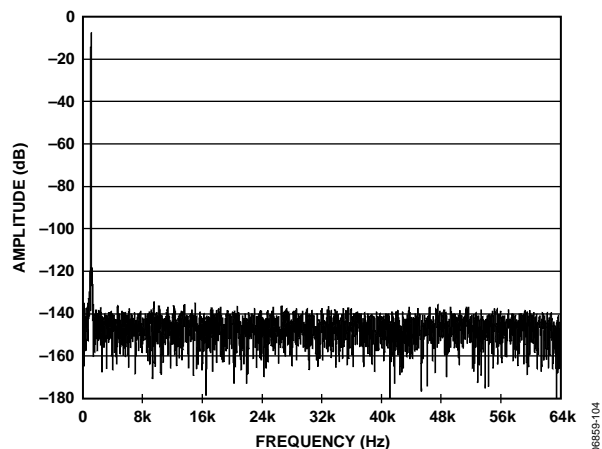


图10. AD7767 FFT, 1 kHz, -6 dB输入音

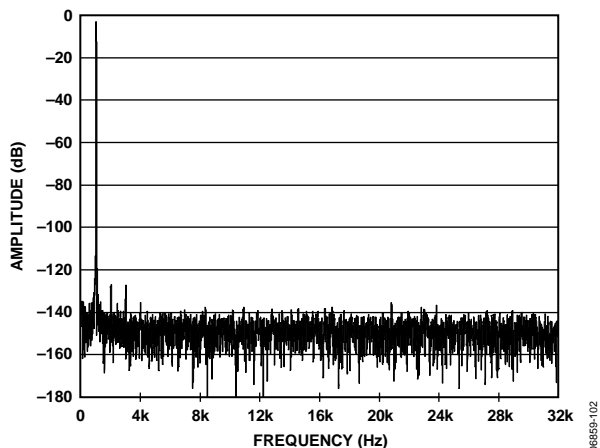


图8. AD7767-1 FFT, 1 kHz, -0.5 dB输入音

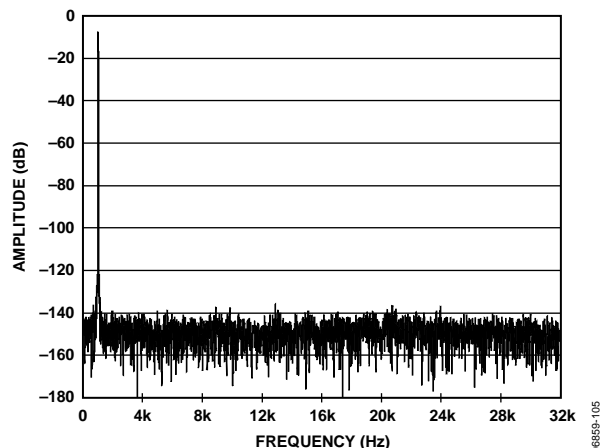


图11. AD7767-1 FFT, 1 kHz, -6 dB输入音

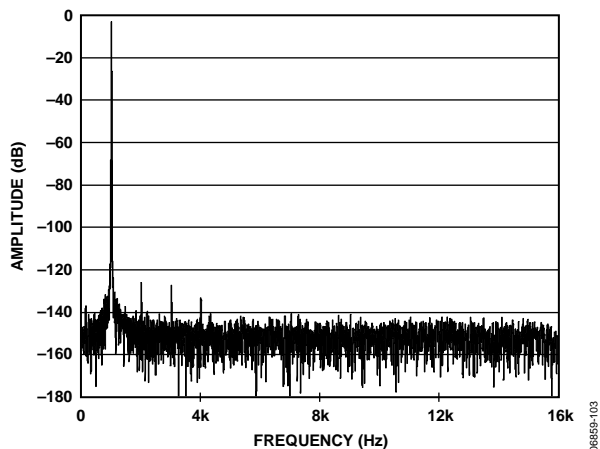


图9. AD7767-2 FFT, 1 kHz, -0.5 dB输入音

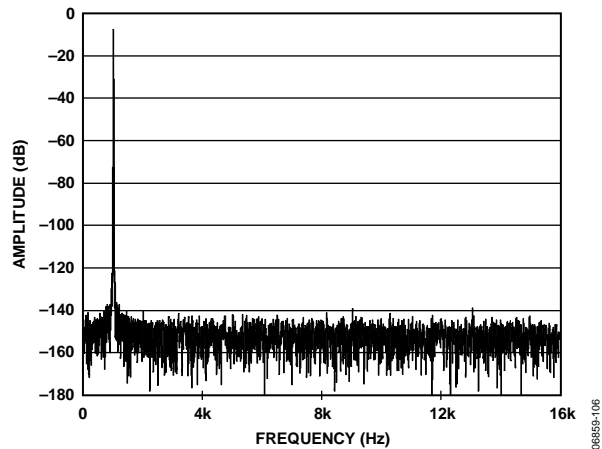


图9. AD7767-2 FFT, 1 kHz, -0.5 dB输入音

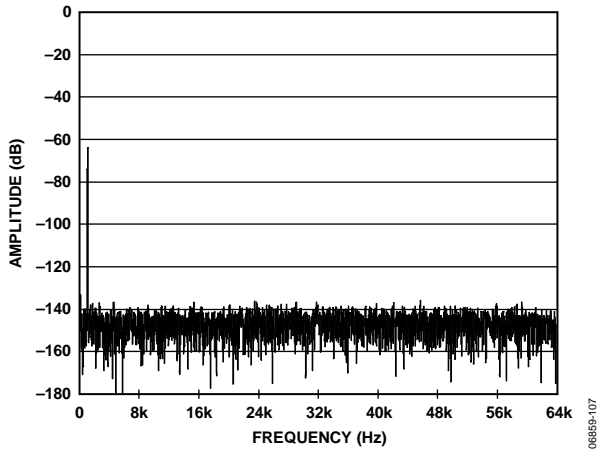


图13. AD7767 FFT, 1 kHz, -60 dB输入音

06859-107

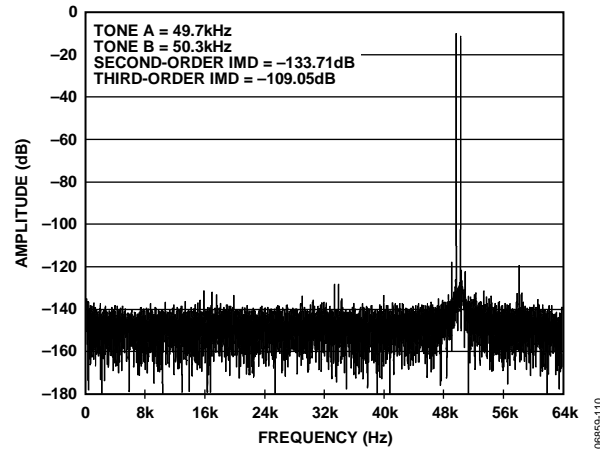


图16. AD7767 IMD FFT, 50 kHz中心频率

06859-110

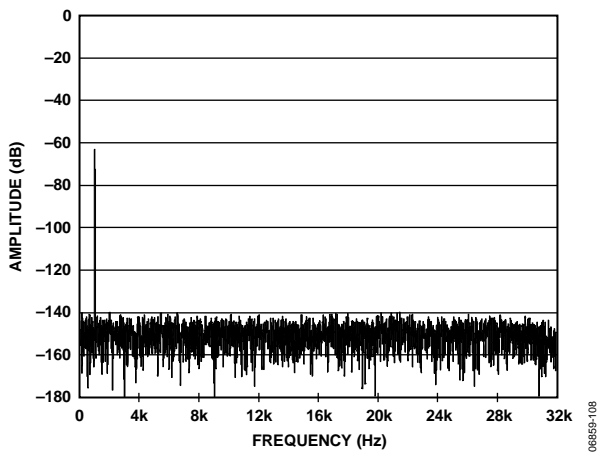


图14. AD7767-1 FFT, 1 kHz, -60 dB输入音

06859-108

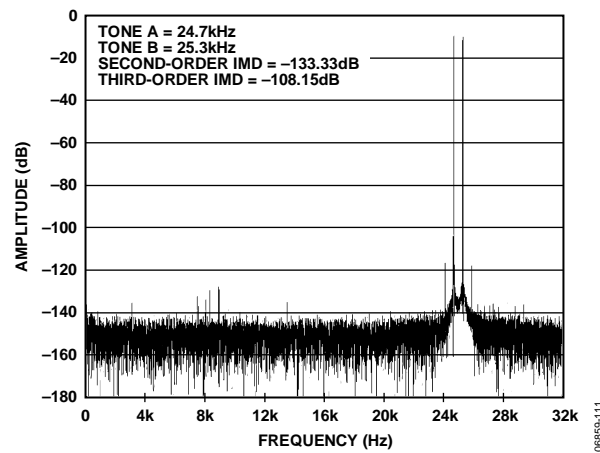


图17. AD7767-1 IMD FFT, 25 kHz中心频率

06859-111

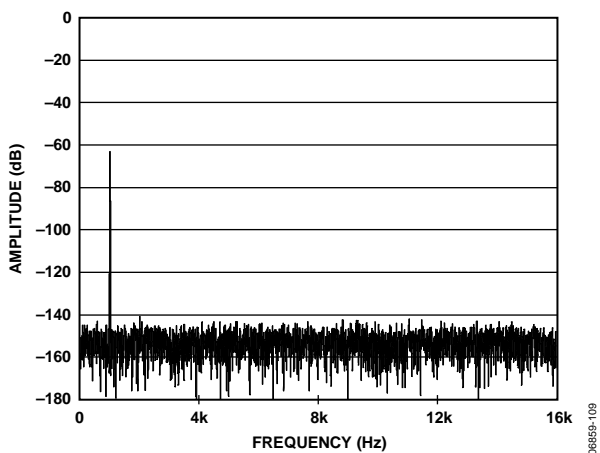


图15. AD7767-2 FFT, 1 kHz, -60 dB输入音

06859-109

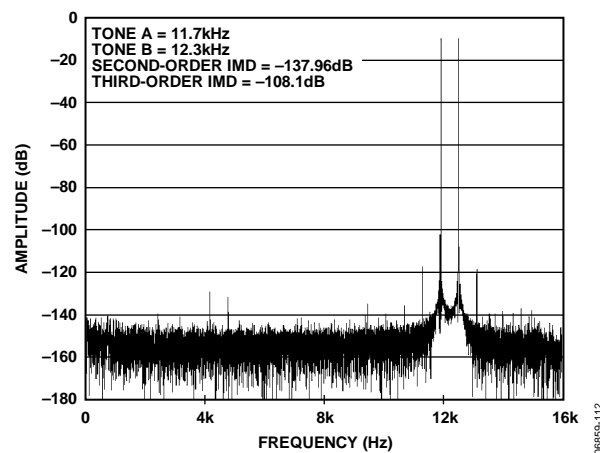


图18. AD7767-2 IMD FFT, 12 kHz中心频率

06859-112

AD7767

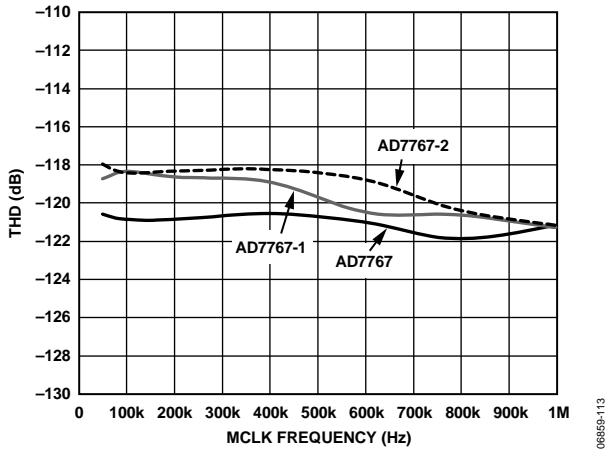


图19. AD7767/AD7767-1/AD7767-2 THD与MCLK频率的关系

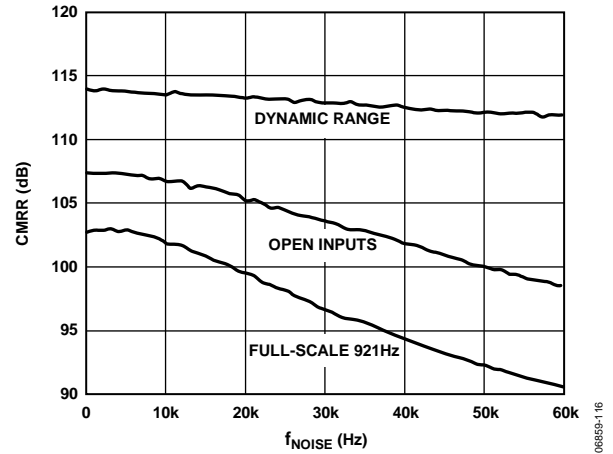


图22. AD7767 CMRR与共模纹波频率(f_{NOISE})的关系

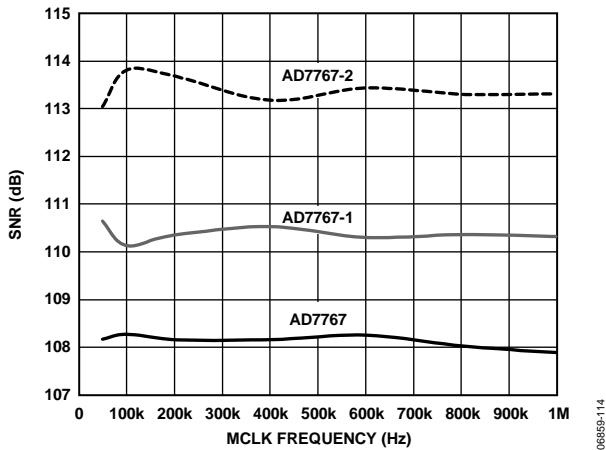


图20. AD7767/AD7767-1/AD7767-2 SNR与MCLK频率的关系

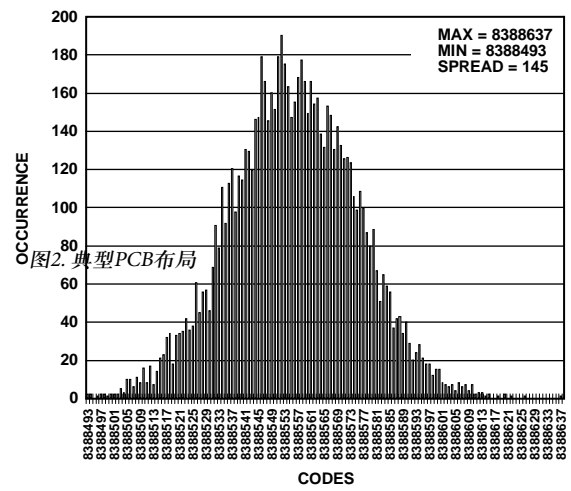


图23. AD7767 24位直方图

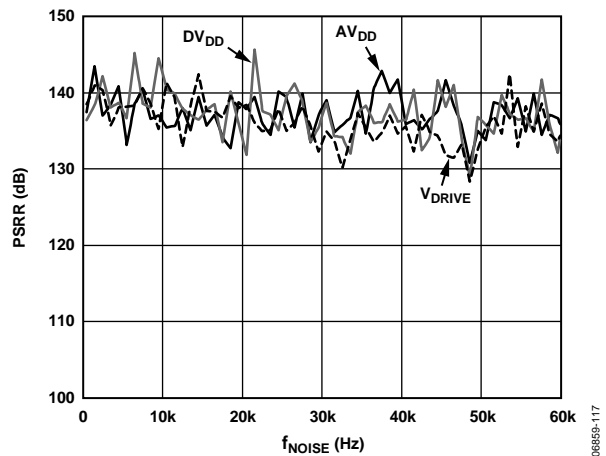


图21. AD7767电源灵敏度与电源纹波频率(f_{NOISE})的关系(带去耦电容)

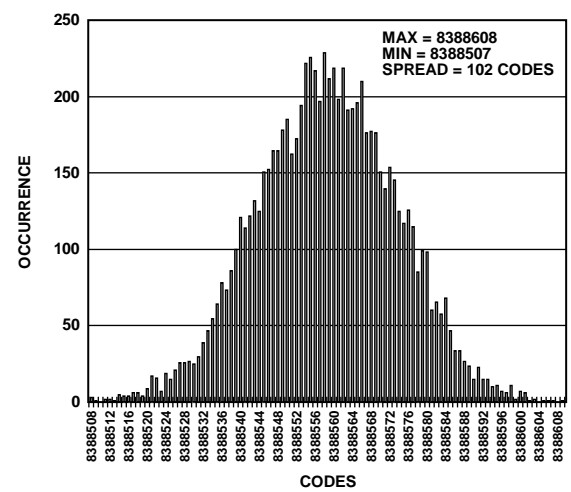


图24. AD7767-1 24位直方图

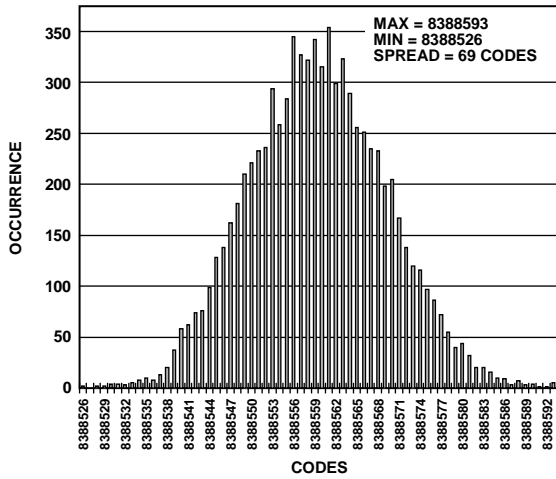


图25. AD7767-2 24位直方图

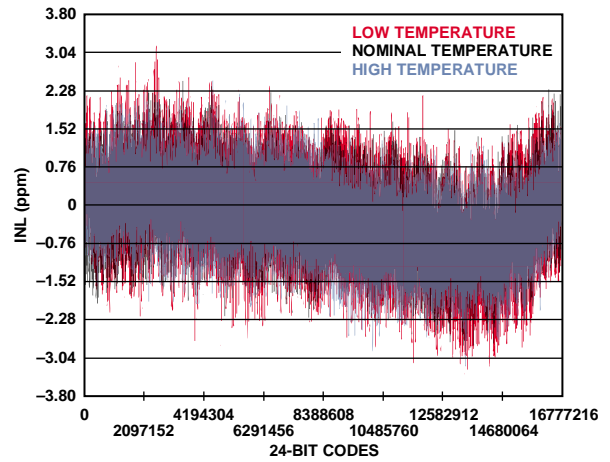


图27. AD7767/AD7767-1/AD7767-2 24位INL

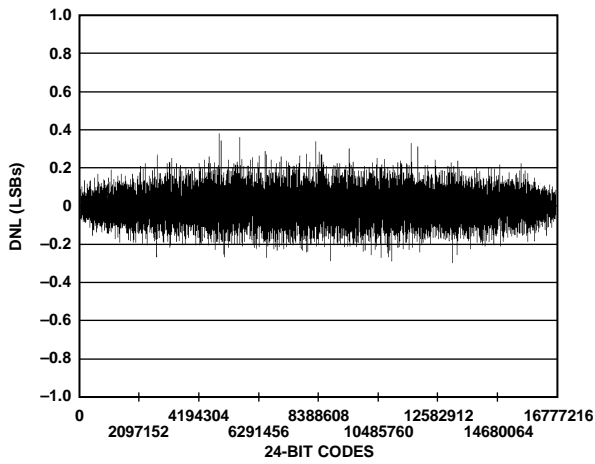


图26. AD7767/AD7767-1/AD7767-2 24位DNL

术语

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7767，其定义为

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波振幅的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波幅度的均方根值。

非谐波无杂散动态范围(SFDR)

SFDR指信号振幅均方根与除谐波外的峰值杂散频谱成分的均方根值之比。

动态范围

动态范围指满量程的均方根值与输入短路连在一起时测得的均方根噪声之比，用分贝(dB)表示。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频 $m f_a \pm n f_b$ （其中 $m, n = 0, 1, 2, 3, \dots$ ）的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7767经过CCIF标准测试，此标准使用最大输入带宽附近的两个输入频率。

在此情况下，二阶项频率通常远离最初正弦波，而三阶项频率通常靠近输入频率。因此，二阶和三阶项需分别指定。交调失真根据THD参数来计算，它是个别失真产物的均方根和与基波和的振幅均方根的比值，用分贝(dB)表示。

积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。

微分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

零电平误差

零电平误差指理想中间电平输入电压（当两个输入短路连在一起时）与产生中间电平输出码的实际电压之差。

零电平误差漂移

零电平误差漂移指温度变化 1°C 所引起的实际零误差值的变化，用室温时满量程的百分比表示。

增益误差

当一个模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时，发生第一个码跃迁（从100 ... 000到100 ... 001）。当一个模拟电压低于标称正满量程 $\frac{1}{2}$ LSB时，发生最后一个码跃迁（从011 ... 110到010 ... 111）。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

增益误差漂移

增益误差漂移指温度变化 1°C 所引起的实际增益误差值的变化，用室温时满量程的百分比表示。

共模抑制比(CMRR)

共模抑制比定义为满量程频率 f 下ADC输出功率与频率 f_s 下施加于共模输入电压 V_{IN+} 和 V_{IN-} 的100 mV正弦波功率的比值。

$$CMRR(dB) = 10 \log(P_f/P_{f_s})$$

其中， P_f 是频率 f 下的ADC输出功率， P_{f_s} 是频率 f_s 下的ADC输出功率。

工作原理

AD7767/AD7767-1/AD7767-2将全差分模拟输入施加于一个逐次逼近型(SAR)内核,过采样SAR的输出利用一个线性相位数字FIR滤波器进行滤波。经过完全滤波的数据以MSB优先的串行格式输出。

AD7767/AD7767-1/AD7767-2传递函数

AD7767/AD7767-1/AD7767-2的转换结果以二进制补码、24位串行格式输出。全差分输入 V_{IN+} 和 V_{IN-} 由AD7767/AD7767-1/AD7767-2相对于基准电压输入(V_{REF+})进行调整,如图28所示。

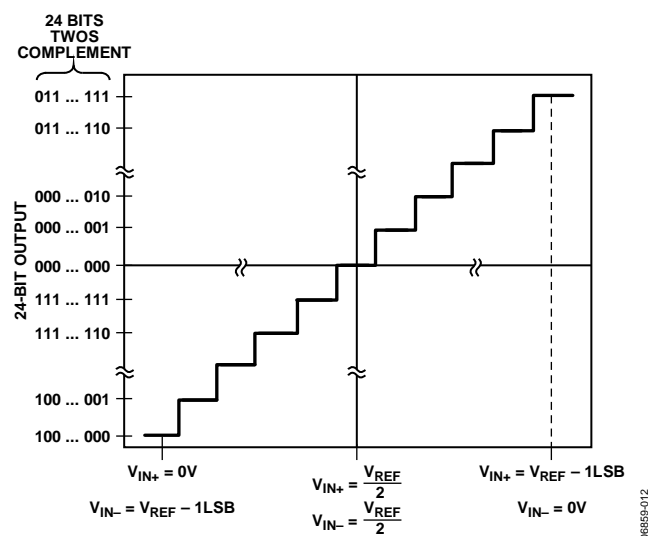


图28. AD7767/AD7767-1/AD7767-2传递函数

转换器操作

转换器在内部对施加于SAR内核的输入波形进行转换,等效数字字以与MCLK相等的速率输出到数字滤波器。利用过采样技术,转换器的量化噪声扩散在从0到 f_{MCLK} 的宽带范围内。这样,目标信号频带中所含的噪声能量就会减小(见图29)。

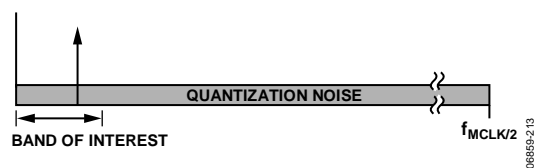


图29. 量化噪声

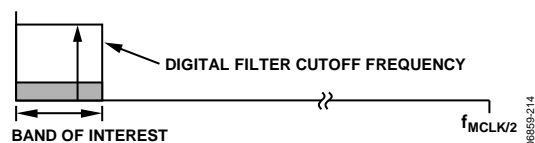


图30. 数字滤波器截止频率

转换器输出端之后的数字滤波用于消除带外量化噪声(见图30)。它还具有将数据速率从滤波器输入端的 f_{MCLK} 降低到数字输出端的 $f_{MCLK}/8$ 、 $f_{MCLK}/16$ 或 $f_{MCLK}/32$ 的作用,具体取决于所用器件的型号。

数字滤波器由三个分离的滤波器模块组成。图31显示了该滤波器的三个组成模块。第一个滤波器模块的抽取系数设置为2、4或8,其余部分的抽取系数均为2。

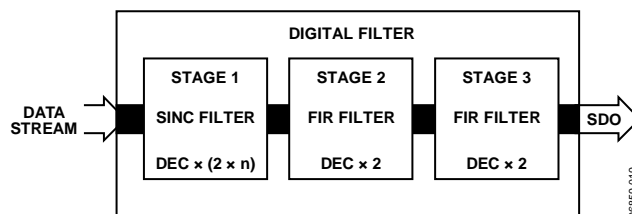


图31. FIR滤波级

(AD7767: $n = 1$; AD7767-1: $n = 2$; AD7767-2: $n = 4$)

表6给出了AD7767的三种型号,并列出了各自实现的抽取率和输出数据速率。此表突出反映了额外滤波与带宽降低之间的权衡关系:如果使用抽取率较大的滤波器选项,则噪声性能会提高,而可用输入带宽会降低。

表6. AD7767的型号

型号	抽取率	输出数据速率(ODR)
AD7767	8	128 kHz
AD7767-1	16	64 kHz
AD7767-2	32	32 kHz

注意,最大MCLK输入频率为1.024 MHz时才能实现表6所示的输出数据速率。输出数据速率与MCLK频率成线性比例关系,器件的数字功耗也是如此。

AD7767、AD7767-1和AD7767-2上实现的滤波器建立时间与所用滤波器的长度有关。滤波器在时域中的响应设置滤波器建立时间。表7给出了AD7767/AD7767-1/AD7767-2的滤波器建立时间。

AD7767、AD7767-1和AD7767-2的数字滤波器频率响应分别如图32、图33和图34所示。在奈奎斯特频率(输出数据速率/2),数字滤波器提供6 dB的衰减。每种情况下,滤波器均提供100 dB的阻带衰减和 ± 0.005 dB的通带纹波。

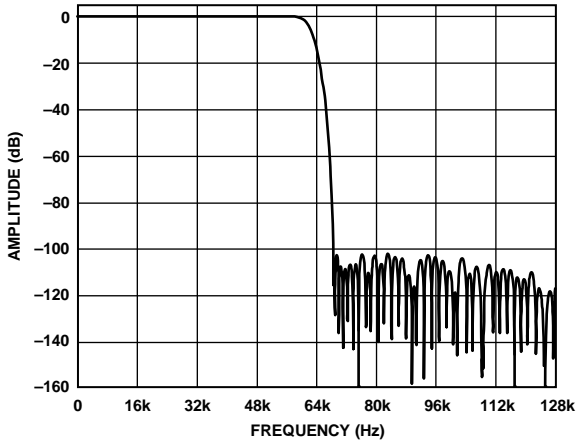


图32. AD7767数字滤波器频率响应

06859-216

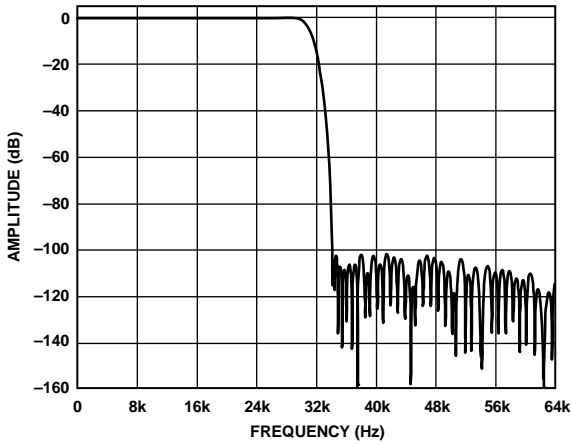


图33. AD7767-1数字滤波器频率响应

06859-217

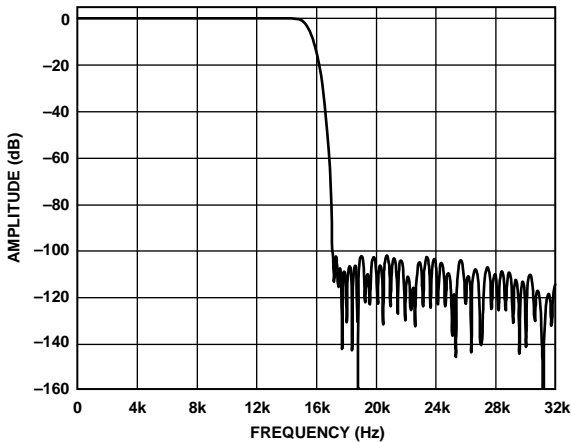


图34. AD7767-2数字滤波器频率响应

06859-218

模拟输入结构

AD7767/AD7767-1/AD7767-2配置为差分输入结构。真差分信号在模拟输入 V_{IN+} 与 V_{IN-} 之间，即引脚4与引脚5之间进行采样。使用差分输入可以抑制 V_{IN+} 和 V_{IN-} 引脚共有的信号。

图35显示了AD7767/AD7767-1/AD7767-2的等效模拟输入电路。各差分输入端的两个二极管提供模拟输入的ESD保护。

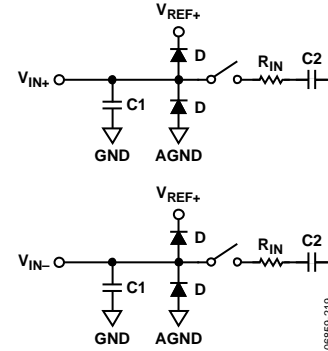


图35. 等效模拟输入结构

06859-219

注意，按照绝对最大额定值部分的规定，应确保模拟输入信号不得超过基准电压(V_{REF+}) 0.3 V以上。如果输入电压超过此限值，二极管就会变成正偏，开始传导电流。这些二极管能处理最高130 mA的电流。

模拟输入的阻抗可以看成是 C_1 与由 R_{IN} 、 C_1 和 C_2 串联构成的网络的并联组合。 C_1 的值主要由引脚电容决定。 R_{IN} 典型值为1.4 k Ω ，是由串联电阻与开关的导通电阻 R_{ON} 构成的集总元件。 C_2 典型值为22 pF，主要由采样电容决定。

电源和基准电压

AD7767/AD7767-1/AD7767-2采用2.5V电源供电，电源电压施加于 DV_{DD} 和 AV_{DD} 引脚。接口的额定工作电压范围是1.7 V至3.6 V。基准电压输入范围是2.2 V至 $2 \times AV_{DD}$ ，施加于 V_{REF+} 引脚。标称基准电压是5V，但也可以使用2.5 V电源。使用5V基准电压时，推荐使用的基准电压源是ADR445、ADR435或ADR425。使用2.5V基准电压时，推荐使用ADR441、ADR431或ADR421。施加于基准输入(V_{REF+})的电压同时用作基准电压源和AD7767/AD7767-1/AD7767-2的电源。因此，当使用5 V基准输入时，AD7767/AD7767-1/AD7767-2的满量程差分输入范围是10V。有关最大输入电压的详细信息，参见驱动AD7767部分。

AD7767接口

AD7767为用户提供了一个灵活的串行接口，允许用户针对其应用实现最理想的接口方案。AD7767接口包括7个不同信号，其中5个信号是输入： $\overline{\text{MCLK}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{SYNC/PD}}$ 、 $\overline{\text{SCLK}}$ 和 $\overline{\text{SDI}}$ ；另外2个信号是输出： $\overline{\text{DRDY}}$ 和 $\overline{\text{SDO}}$ 。

初始上电

初始上电时，需施加一个连续的 $\overline{\text{MCLK}}$ 信号。建议用户复位AD7767以清除滤波器，确保正常工作。复位完成时，所有事件都相对于 $\overline{\text{MCLK}}$ 的上升沿而发生，如图5所示。 $\overline{\text{SYNC/PD}}$ 输入的负脉冲启动复位， $\overline{\text{DRDY}}$ 输出切换到逻辑高电平，并且保持高电平直到有效数据可用。AD7767上电完成后， $\overline{\text{SYNC/PD}}$ 引脚变为逻辑高电平，在器件输出有效数据之前，需要一定的建立时间。该建立时间 t_{SETTLING} 是 $\overline{\text{MCLK}}$ 频率和抽取率的函数。表7列出了AD7767各型号的建立时间，查看图5时应参照使用。

表7. $\overline{\text{SYNC/PD}}$ 后的滤波器建立时间

型号	抽取率	t_{SETTLING}^1
AD7767	8	$(594 \times t_{\text{MCLK}}) + t_{21}$
AD7767-1	16	$(1186 \times t_{\text{MCLK}}) + t_{21}$
AD7767-2	32	$(2370 \times t_{\text{MCLK}}) + t_{21}$

¹ t_{SETTLING} 的测量范围是从 $\overline{\text{SYNC/PD}}$ 上升沿后的第一个 $\overline{\text{MCLK}}$ 上升沿到 $\overline{\text{DRDY}}$ 的下降沿。

读取数据

AD7767以MSB优先、二进制补码、24位格式，通过串行数据输出引脚($\overline{\text{SDO}}$)输出其数据转换结果。 $\overline{\text{MCLK}}$ 是主时钟，控制AD7767的所有转换。 $\overline{\text{SCLK}}$ 是该器件的串行时钟输入。所有数据传输都相对于 $\overline{\text{SCLK}}$ 信号而发生。

$\overline{\text{DRDY}}$ 线用作状态信号，指示何时有效数据可从转换器读取。 $\overline{\text{DRDY}}$ 的下降沿指示器件的输出寄存器内有新数据字可用。在允许从 $\overline{\text{SDO}}$ 引脚读取输出数据期间， $\overline{\text{DRDY}}$ 保持低电平。不从器件读取数据时， $\overline{\text{DRDY}}$ 信号变为逻辑高电平。输出寄存器正在进行更新时，在此期间切勿尝试读取数据。

AD7767允许在数据读取周期中使用片选输入信号($\overline{\text{CS}}$)。 $\overline{\text{CS}}$ 信号是 $\overline{\text{SDO}}$ 引脚的选通信号，允许多个AD7767器件共用同一串行总线。它充当各器件的指令信号，指示相应的器件可以使用总线。当 $\overline{\text{CS}}$ 处于逻辑高电平时，AD7767的 $\overline{\text{SDO}}$ 引脚变为三态。

从AD7767读取数据时，可以启动两种不同的模式：一种模式针对 $\overline{\text{CS}}$ 下降沿出现在 $\overline{\text{DRDY}}$ 下降沿之后的情况，另一种模式针对 $\overline{\text{CS}}$ 下降沿出现在 $\overline{\text{DRDY}}$ 下降沿之前的情况（当 $\overline{\text{CS}}$ 设为逻辑低电平时）。

当 $\overline{\text{CS}}$ 下降沿出现在 $\overline{\text{DRDY}}$ 下降沿之后时，转换结果的MSB在 $\overline{\text{CS}}$ 下降沿送至 $\overline{\text{SDO}}$ 线。转换结果的其余位(MSB - 1、MSB - 2等)在 $\overline{\text{CS}}$ 下降沿后的 $\overline{\text{SCLK}}$ 下降沿逐个送至 $\overline{\text{SDO}}$ 线。图3详细显示了这种接口方案。

当 $\overline{\text{CS}}$ 连接低电平时，AD7767串行接口可以工作在3线模式，如图4所示。这种情况下，转换结果的MSB在 $\overline{\text{DRDY}}$ 下降沿送上 $\overline{\text{SDO}}$ 线。转换结果的其余位(MSB - 1、MSB - 2等)在随后的 $\overline{\text{SCLK}}$ 下降沿逐个送至 $\overline{\text{SDO}}$ 线。

关断、复位和同步

AD7767 $\overline{\text{SYNC/PD}}$ 引脚支持用户同步多个AD7767器件。该引脚还支持用户复位和关断AD7767。这些特性是相对于 $\overline{\text{MCLK}}$ 上升沿实现的，如图5所示，分别标示为A、B、C和D。

要关断、复位或同步一个器件，应将AD7767 $\overline{\text{SYNC/PD}}$ 引脚拉低。在 $\overline{\text{MCLK}}$ 的第一个上升沿，AD7767关断。 $\overline{\text{DRDY}}$ 引脚变为逻辑高电平，指示输出寄存器中的数据不再有效。在随后的各 $\overline{\text{MCLK}}$ 上升沿，都会检查 $\overline{\text{SYNC/PD}}$ 引脚的状态。在 $\overline{\text{SYNC/PD}}$ 引脚变为高电平后的第一个 $\overline{\text{MCLK}}$ 上升沿，AD7767离开关断状态。在下一个上升沿，AD7767的滤波器复位。第一个新采样点在第三个上升沿获得。

从滤波器复位算起，必须经过建立时间 t_{SETTLING} 后，器件才会输出有效数据(见表7)。经过 t_{SETTLING} 后， $\overline{\text{DRDY}}$ 输出变为逻辑低电平，指示 $\overline{\text{SDO}}$ 上存在有效数据可供回读。

菊花链连接

菊花链连接是将多个ADC的输出端级联到一条数据线上，这样多个器件就可以使用同一数字接口线。这一特性特别有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中，希望器件和连接越少越好。数据回读与读取移位寄存器相似，即数据在SCLK的下降沿输出。

图36中的框图显示了必须如何连接器件才能实现菊花链功能。所示方案的工作原理是：AD7767器件的SDO引脚的输出数据传送至链中下一个AD7767器件的SDI输入；数据以这种方式穿过菊花链，直到它被送至链中第一个器件的SDO引脚上。

在菊花链模式下读取数据

图36和图37给出了一个由四个AD7767器件组成的菊花链示例。在图36所示的例子中，标示为A的AD7767的输出是整个菊花链的输出。菊花链最后一个器件(标示为D的AD7767)的串行数据输入(SDI)引脚接地。链中的所有器件必须使用同样的MCLK、SCLK、 $\overline{\text{CS}}$ 和 $\overline{\text{SYNC/PD}}$ 信号。

要使能菊花链转换过程，应将同一 $\overline{\text{SYNC/PD}}$ 脉冲施加给所有器件，以同步链中的所有器件(参见关断、复位和同步部分)。

给所有器件施加 $\overline{\text{SYNC/PD}}$ 脉冲后，会有一个延迟(如表7所示)；之后，有效转换数据出现在器件链的输出端。如图37所示，第一个转换结果从标示为A的AD7767输出，这个24位转换结果之后依次输出标示为B、C、D的器件转换结果，所有转换结果都以MSB优先顺序输出。转换结果数据流通过链中的各器件输出，最终送至标示为A的AD7767的SDO引脚。链中所有器件的转换结果都必须在 $\overline{\text{DRDY}}$ 信号处于低电平有效状态时送至最后一个器件的SDO引脚。

图37和图38的示例显示了这一过程，器件A、B、C、D的转换结果在 $\overline{\text{DRDY}}(A)$ 下降沿与 $\overline{\text{DRDY}}(A)$ 上升沿之间的时间内送至SDO(A)。

选择SCLK频率

如图37所示，在 $\overline{\text{DRDY}}(A)$ 处于低电平有效状态期间出现的SCLK下降沿数量，必须等于链中的器件数量乘以24(各器件送至SDO(A)的数据位数)。

因此，当菊花链长度和MCLK频率已知时，必须预先确定所需的SCLK周期(t_{SCLK})。注意，最大SCLK频率受 t_8 控制，时序规格表中规定了不同VDRIVE电压下的最大SCLK频率。

当CS连接逻辑低电平时，

$$t_{\text{SCLK}} \leq \left[\frac{t_{\text{READ}}}{24 \times K} \right] \quad (1)$$

其中：

K是菊花链中的AD7767器件数量。

t_{SCLK} 是SCLK的周期。

t_{READ} 等于 $t_{\text{DRDY}} - t_5$ 。

当CS用于菊花链接口时，

$$t_{\text{SCLK}} \leq \left[\frac{(t_{\text{READ}}) - (t_6 + t_7 + t_{13})}{24 \times K} \right] \quad (2)$$

其中：

K是菊花链中的AD7767器件数量。

t_{SCLK} 是SCLK的周期。

t_{READ} 等于 $t_{\text{DRDY}} - t_5$ 。

注意，SCLK最大值受 t_8 控制，时序规格表中规定了不同 V_{DRIVE} 电压下的SCLK最大值。

菊花链模式配置和时序图

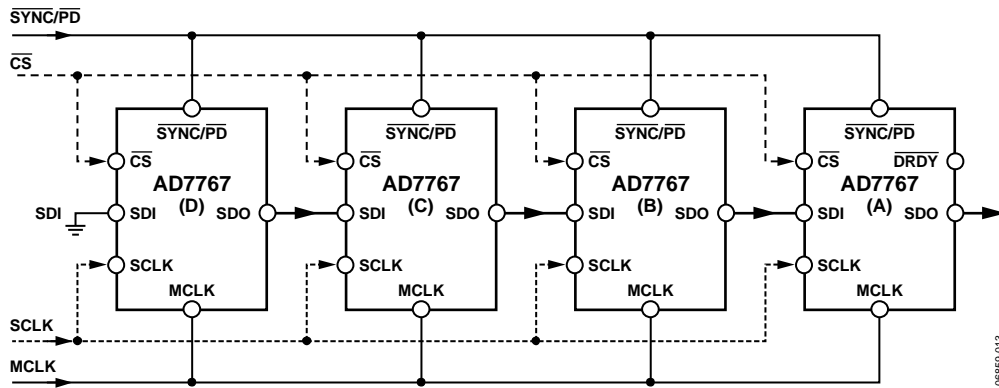


图36. 具有四个AD7767器件的菊花链配置

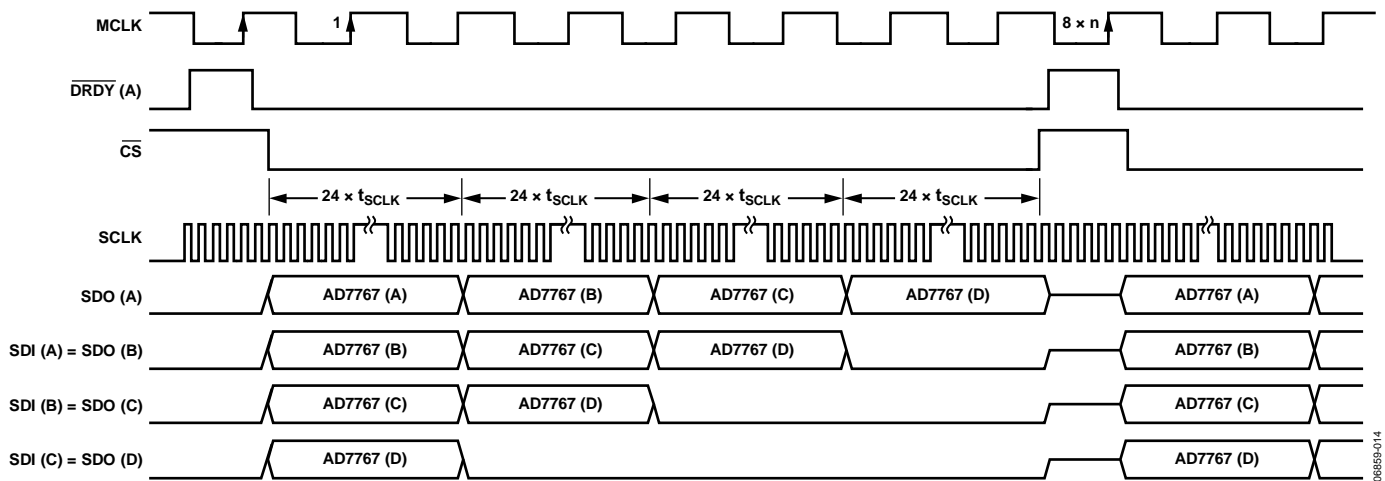


图37. 驱动AD7767时的菊花链时序图(AD7767: n = 1; AD7767-1: n = 2; AD7767-2: n = 4)

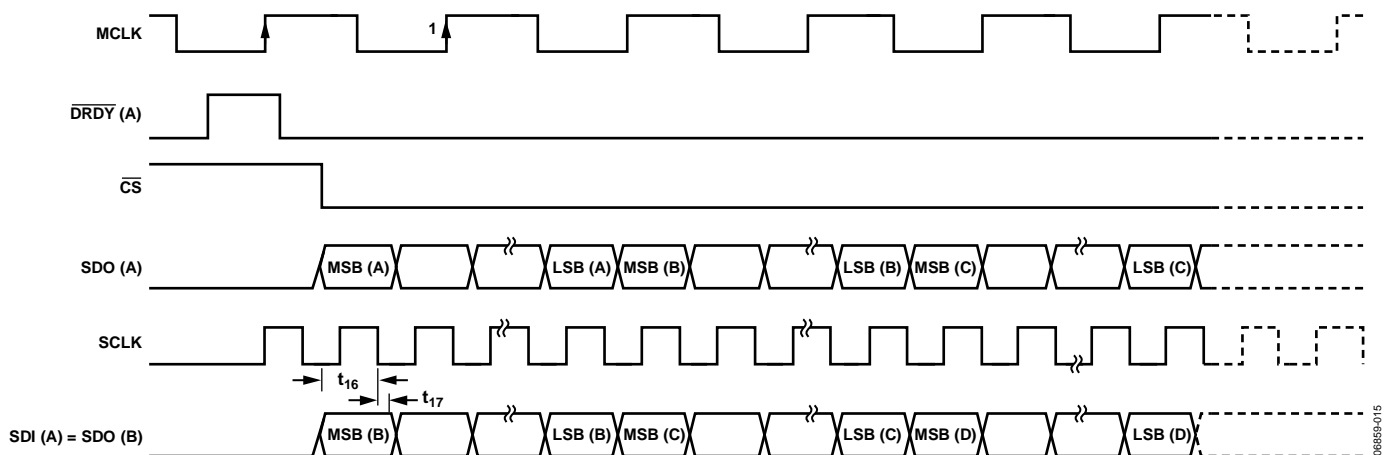


图38. 菊花链SDI建立和保持时序

驱动AD7767

AD7767必须采用全差分输入驱动。AD7767的差分输入共模电压以及对差分输入的限制由施加于器件的基准电压(V_{REF})设置。AD7767的共模电压为 $V_{REF}/2$ 。当AD7767 V_{REF+} 引脚使用5V电源(ADR445、ADR435或ADR425)时,共模电压为2.5V,意味着AD7767差分输入端能够施加的最大输入为基于2.5V的5V p-p输入。

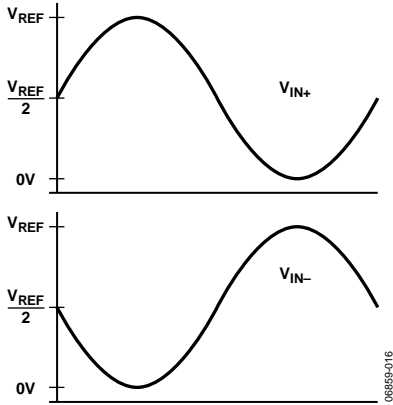


图39. AD7767的最大差分输入

AD7767 AV_{DD} 引脚使用2.5V的模拟电压。不过,AD7767允许用户施加最高5V的基准电压。这可以提供更大的满量程范围,提供用户一个可以使用AD7767更大LSB电压的选项。图39显示了AD7767的最大输入。

差分信号源

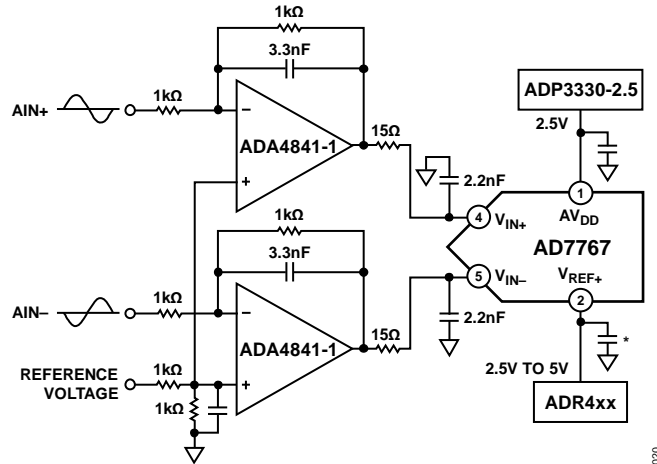
图40给出了一个可以配合AD7767/AD7767-1/AD7767-2使用的推荐驱动电路示例。图中显示ADA4841-1如何利用一个差分信号源驱动AD7767/AD7767-1/AD7767-2的输入端。每个差分路径都由一个ADA4841-1器件驱动。

单端信号源

对于使用单端模拟信号(双极性或单极性)的应用,单端转差分驱动器ADA4941-1可以为AD7767/AD7767-1/AD7767-2产生一个全差分输入,原理图见图41。

$R1$ 和 $R2$ 设置输入范围与ADC范围(V_{REF})之间的衰减比。 $R1$ 、 $R2$ 和 C_F 根据所需的输入电阻、信号带宽、抗混叠和噪声贡献进行选择。 $R2$ 与 $R1$ 之比应等于 REF 与峰峰输入电压之比。例如,对于 ± 10 V范围和4k Ω 阻抗, $R2 = 1$ k Ω , $R1 = 4$ k Ω 。

$R3$ 和 $R4$ 设置 $IN-$ 输入的共模电压, $R5$ 和 $R6$ 设置 $IN+$ 输入的共模电压。共模电压等于 $V_{OFFSET1}$ 电压,应接近 $V_{REF}/2$ 。该电压应大致设置为 $V_{OFFSET1}$ 与 $1 + R2/R1$ 的比值。



*SEE V_{REF+} INPUT SIGNAL SECTION FOR DETAILS.

图40. 从全差分信号源驱动AD7767

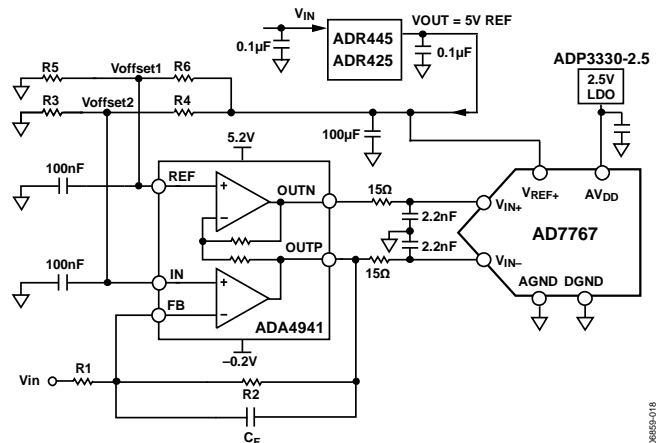


图41. 从单端信号源驱动AD7767

表8. 使用具有ADA4941的差分转单端电路(见图41)时需要的电阻值

V_{IN} (V)	$V_{OFFSET1}$ (V)	$V_{OFFSET2}$ (V)	OUT+ (V)	OUT- (V)	$R1$ (k Ω)	$R2$ (k Ω)	$R4$ (k Ω)	$R3 = R5 = R6$ (k Ω)
+20, -20	2.5	2.203	-0.01, +4.96	5.01, 0.04	8.06	1	12.7	10
+10, -10	2.5	2.000	0.01, 4.99	4.99, 0.01	4.02	1	15	10
+5, -5	2.5	1.667	0.00, 5.00	5.00, 0.00	2	1	20	10

抗混叠

AD7767/AD7767-1/AD7767-2以1.024 MHz的最大速率对模拟输入进行采样。对于从滤波器阻带($0.547 \times \text{ODR}$)起始处到出现数字滤波器通带镜像处之间的任何可能的混叠频率，片内数字滤波器提供最高100 dB的衰减。镜像出现在MCLK减去滤波器阻带处($\text{MCLK} - 0.547 \times \text{ODR}$)，如图42所示。

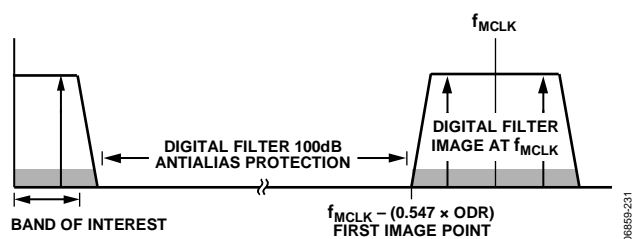


图42. AD7767/AD7767-1/AD7767-2频谱

表9显示在信号进入AD7767/AD7767-1/AD7767-2之前，各阶前端抗混叠滤波器在数字滤波器阻带镜像频率($1.024 \text{ MHz} - 0.547 \times \text{ODR}$)实现的衰减。

表9. 抗混叠滤波器阶数与在第一镜像点的衰减

型号	滤波器阶数	衰减 $1.024 \text{ MHz} - 0.547 \times \text{ODR}$
AD7767	第一	27 dB
	第二	50 dB
	第三	70 dB
AD7767-1	第一	33 dB
	第二	62 dB
	第三	89 dB
AD7767-2	第一	38 dB
	第二	74 dB
	第三	110 dB

如果需要额外的抗混叠保护，可以选用AD7764和AD7765 Σ - Δ 型器件。这些器件以20MHz的速率在内部对信号采样，可实现最高156 kHz或312 kHz的输出数据速率。这意味着，以最大速度工作时，这些器件的第一混叠点分别在19.921 MHz和19.843 MHz。

功耗

AD7767/AD7767-1/AD7767-2能够以极低的功耗提供出色的性能。图43、图44和图45显示了AD7767/AD7767-1/AD7767-2的功耗与施加于器件的MCLK频率的比例关系。数字电流和模拟电流均随着MCLK频率的降低而减小。实际吞吐速率等于MCLK频率除以器件使用的抽取率。例如，当AD7767采用800 KHz的MCLK工作时，由于滤波抽取率为8，因此输出数据速率为100 kHz。

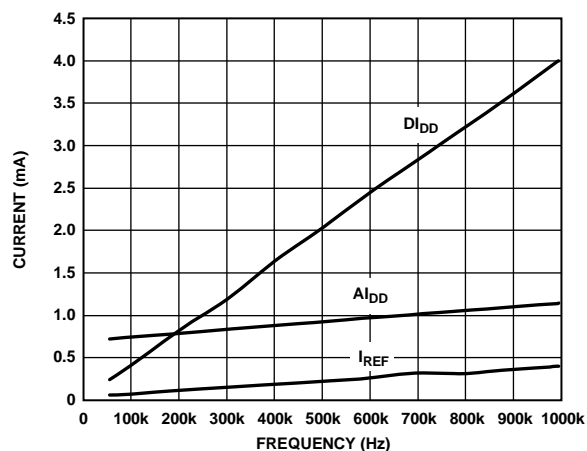


图43. AD7767电流与MCLK频率的关系

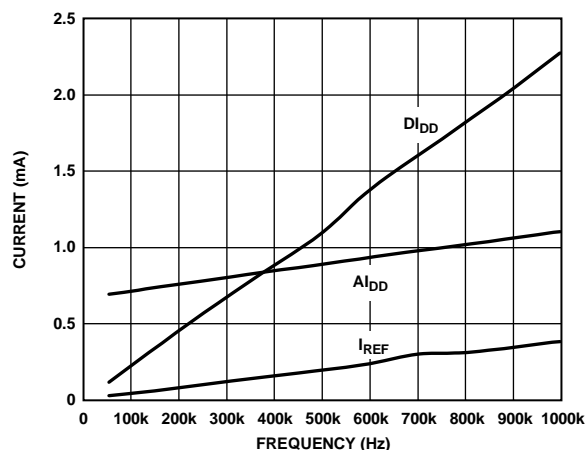


图44. AD7767-1电流与MCLK频率的关系

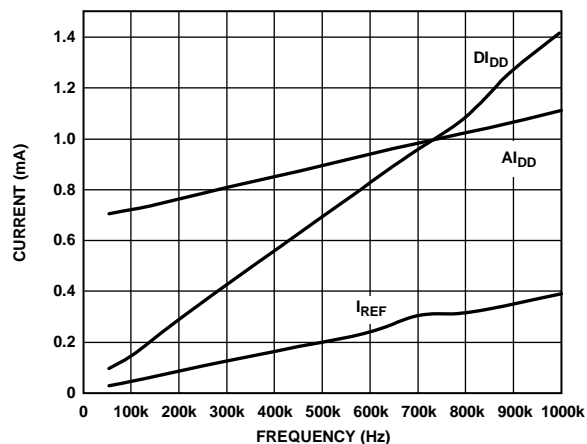


图45. AD7767-2电流与MCLK频率的关系

AD7767

V_{REF+} 输入信号

AD7767/AD7767-1/AD7767-2 V_{REF+} 引脚使用 2.4 V 至 $2 \times AV_{DD}$ 范围内的电压(标称值 5 V)。建议采用低噪声基准电压源来产生 V_{REF+} 输入, 例如 ADR445、ADR435、ADR425(5V 输出)和 ADR421(2.5V 输出)。典型基准电压源电路如图 46 所示。

基准电压输入引脚(V_{REF+})还充当 AD7767/AD7767-1/AD7767-2 的电源。对于 5V V_{REF+} 输入, 可以在 V_{IN+} 和 V_{IN-} 上施加 5V 的满量程输入, 而引脚 AV_{DD} 的电压仍然保持 2.5 V。这种配置可以减少所需的不同电源数量。

低噪声基准电压源的输出不需要缓冲, 但是必须进行去耦。应在基准电压源的输出端(ADR445、ADR435、ADR425 或 ADR421)放置一个 0.1 μ F 电容, 并遵从针对所用基准电压源的去耦建议。

如上文所述, 为了实现全部可用的动态范围, V_{REF+} 引脚的标称电源电压为 5 V。当使用 2.5 V V_{REF+} 输入时(即在低功耗应用中), 技术规格中列出的信噪比和动态范围数值(采用 5 V V_{REF+} 输入所产生)降低 6 dB, 这是可用输入范围减半的直接后果。

AD7767/AD7767-1/AD7767-2 需要一个 100 μ F 接地电容, 充当去耦电容以及 V_{REF+} 引脚电荷的储存库。应尽可能靠近 AD7767/AD7767-1/AD7767-2 放置。将此电容(图 46 中的 C40)的值降至 10 μ F 时, 噪声性能通常会降低 1 dB。C40 可以是电解质电容或钽电容。

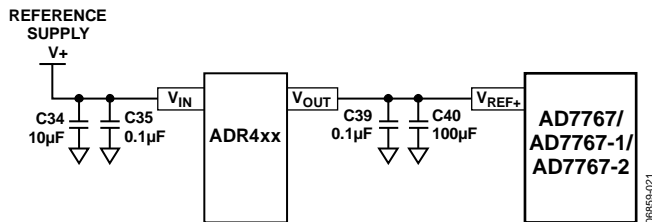


图 46. AD7767/AD7767-1/AD7767-2 24 基准电压输入配置

模拟输入通道多路复用

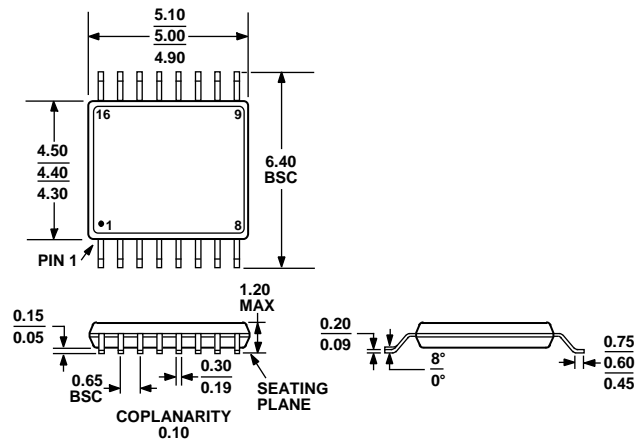
AD7767/AD7767-1/AD7767-2 可以在多路复用器配置中。对于任何采用数字滤波模块的转换器, 每通道的最大开关速率或输出数据速率都是数字滤波建立时间的函数。

对采用数字滤波器的转换器模拟输入进行多路复用时, 必须等到数字滤波器完全建立后才能获得有效转换结果; 经过该建立时间后, 方可切换通道。然后又需要等待建立时间结束后才能获得有效转换结果, 并再次切换输入。

AD7767 的滤波器建立时间等于 74 除以所用的输出数据速率。因此, 多路复用应用中的最大开关频率为 $1/(74/ODR)$, 其中输出数据速率 (ODR) 是所施加的 MCLK 频率和所讨论器件采用的抽取率的函数。例如, 给 AD7767 施加 1.024 MHz 的 MCLK 频率时, 最大输出数据速率为 128 kHz, 进而可以得出 1.729 kHz 的多路复用开关速率。

AD7767-1 和 AD7767-2 采用建立时间更长的数字滤波器以实现更高的精度, 因此, 它们的最大开关频率分别为 864 Hz 和 432 Hz。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图47. 16引脚超薄紧缩小型封装[TSSOP]
(RU-16)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7767BRUZ	-40°C 至 +105°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
AD7767BRUZ-RL7	-40°C 至 +105°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
AD7767BRUZ-1	-40°C 至 +105°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
AD7767BRUZ-1-RL7	-40°C 至 +105°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
AD7767BRUZ-2	-40°C 至 +105°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
AD7767BRUZ-2-RL7	-40°C 至 +105°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
EVAL-AD7767EDZ		评估板	
EVAL-AD7767-1EDZ		评估板	
EVAL-AD7767-2EDZ		评估板	
EVAL-CED1Z		转换器评估与开发板	

¹ Z = 符合RoHS标准的器件。

注释