

达林顿阵列功率驱动集成电路

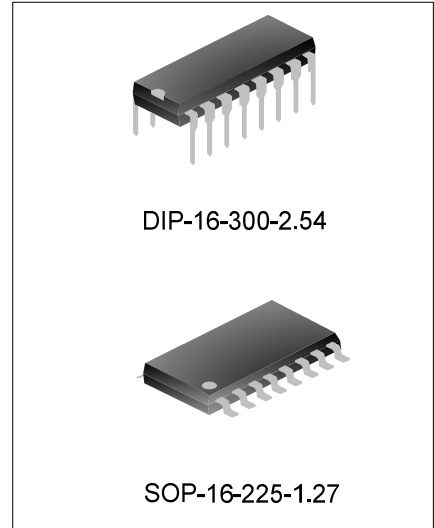
概述

ULN2003是高耐压、大电流达林顿阵列，由七个NPN 达林顿管组成。所有单元共用发射极，每个单元采用开集电极输出。每一对达林顿都串联一个2.7K 的基极电阻，直接兼容TTL 和5V CMOS 电路，可以直接处理原先需要标准逻辑缓冲器来处理的数据。

ULN2003 工作电压高，工作电流大，灌电流可达500mA，并且能够在关态时承受50V 的电压，输出还可以在高负载电流下并行运行，很好的提供了需要多接口驱动电路的解决方案。

特点

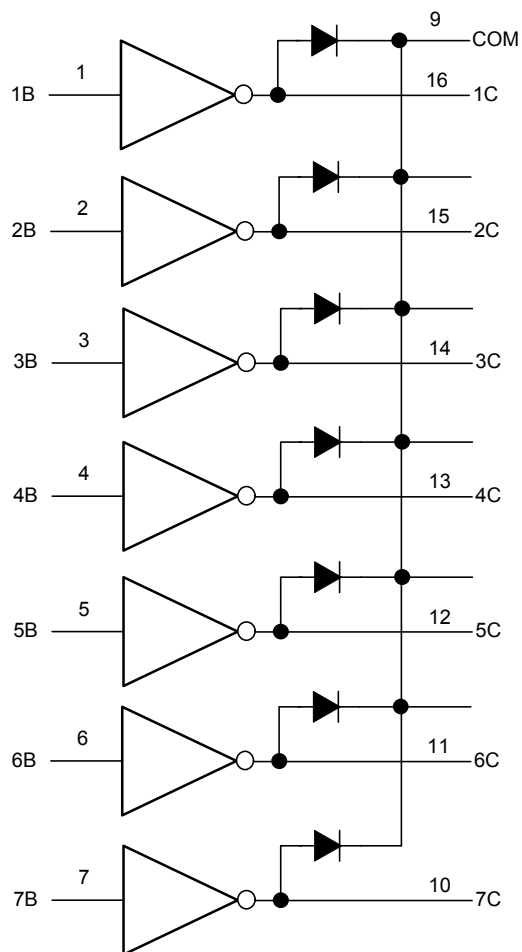
- ◆ 工作电压范围宽
- ◆ 七路高增益达林顿阵列
- ◆ 输出电压高（可达 50V）
- ◆ 输出电流大（可达 500mA）
- ◆ 可与 TTL、CMOS、PMOS 直接连接
- ◆ 内置钳位二极管适应感性负载



应用

- ◆ 继电器驱动
- ◆ 直流照明驱动
- ◆ 步进电机驱动
- ◆ 电磁阀
- ◆ 直流无刷电机驱动

电路框图



极限参数

参 数	符 号	范 围	单 位
输入电压	V_{IN}	-0.5~30	V
输出电压	V_{OUT}	-0.5~50	V
钳位二极管反向电压	V_R	50	V
集电极持续工作电流	I_{OUT}	500	mA
钳位二极管正向电流	I_F	500	mA
储藏温度	T_{STG}	-55~150	°C
工作温度	T_{OPR}	-40~85	°C
结温	T_J	-40~150	°C

电气特性参数(除非特别指定 $T_a=25^{\circ}\text{C}$)

参 数	符 号	测试条件	最小值	典型值	最大值	单 位
输出管漏电流	I_{CEX}	$T_A=25^{\circ}\text{C}$, $V_{CE}=50\text{V}$ (图1)			20	μA
		$T_A=85^{\circ}\text{C}$, $V_{CE}=50\text{V}$ (图1)			100	
CE饱和压降	$V_{CE(sat)}$	$I_{OUT}=350\text{mA}$, $I_{IN}=500\text{ }\mu\text{A}$ (图3)		1.3	1.6	V
		$I_{OUT}=250\text{mA}$, $I_{IN}=350\text{ }\mu\text{A}$ (图3)		1.1	1.3	
		$I_{OUT}=100\text{mA}$, $I_{IN}=250\text{ }\mu\text{A}$ (图3)		0.9	1.1	
开态输入电流	$I_{I(ON)}$	$V_I=3.85\text{V}$ (图4)		0.93	1.35	mA
关态输入电流	$I_{I(OFF)}$	$I_C=500\text{ }\mu\text{A}$ (图5)	50	100		μA
		$T_A=+25^{\circ}\text{C}$	50	100		
		$T_A=+85^{\circ}\text{C}$	25	50		
开态输入电压	$V_{I(ON)}$	$V_{CE}=2.0\text{V}$, $I_C=200\text{mA}$ (图6)			2.4	V
		$V_{CE}=2.0\text{V}$, $I_C=250\text{mA}$ (图6)			2.7	
		$V_{CE}=2.0\text{V}$, $I_C=300\text{mA}$ (图6)			3.0	
输入电容	C_i			15	30	pF
导通延迟时间	t_{MH}	$0.5V_I$ to $0.5V_O$			1.0	μS
关断延迟时间	t_{ML}	$0.5V_I$ to $0.5V_O$			1.0	
嵌位二极管漏电流	I_R	$V_R=50\text{V}$ (图7)				μA
		$T_A=+25^{\circ}\text{C}$		5	10	
		$T_A=+85^{\circ}\text{C}$		10	50	
嵌位二极管正向压降	V_F	$I_F=350\text{mA}$ (图8)		1.7	2.0	V

注：1、极限值是指超出该范围，器件有可能被损坏，并非器件的正常工作条件范围。

电参数表提供了器件的工作条件范围；

2、除特别指明外，所有条件适用于达林顿阵列；

3、通常条件下，每路输出在 70°C 、 $V_{CE}(\text{Sat})=1.6\text{V}$ 下脉冲宽度为 20ms 的持续工作电流为 350mA。

典型特性曲线

图1. 集电极电流vs. 饱和压降

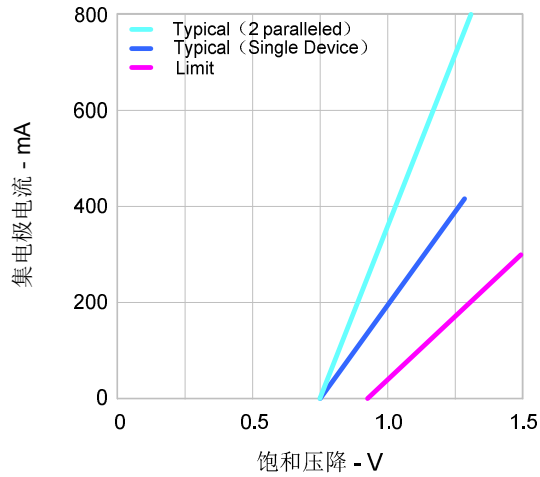


图2. 集电极电流vs. 输入电流

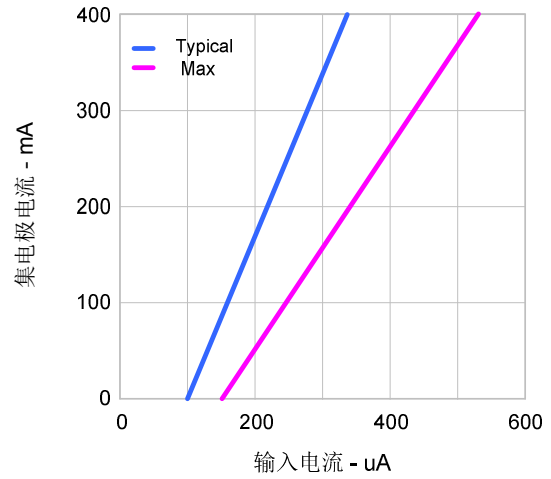


图3. 输入电流vs. 输入电压

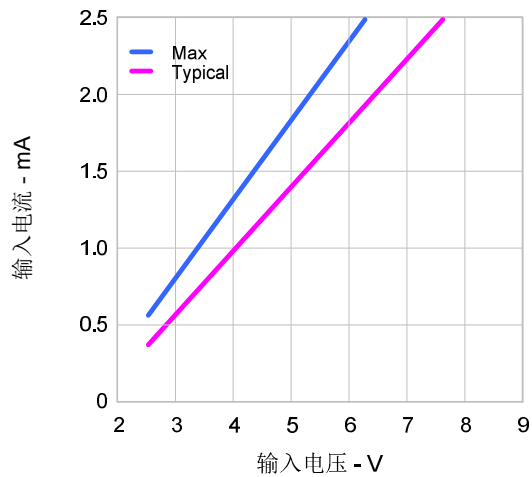
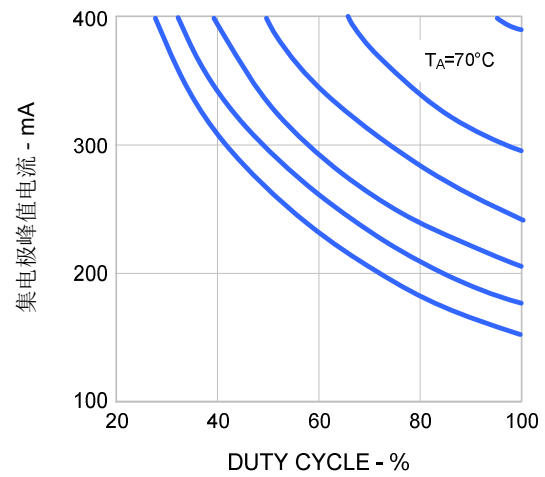
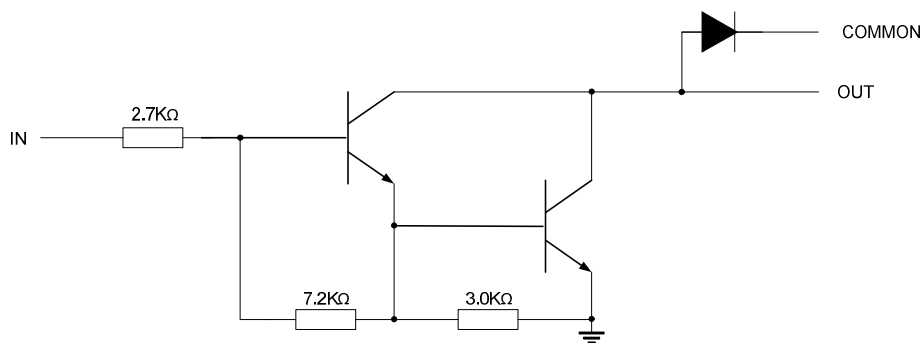


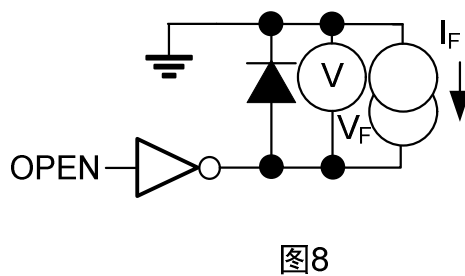
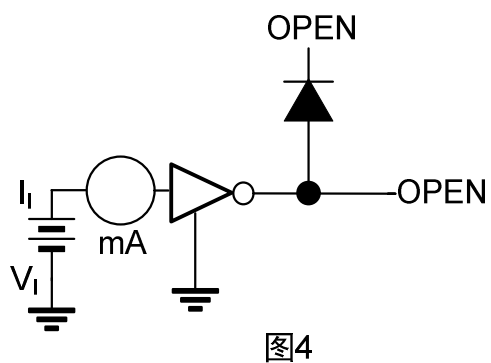
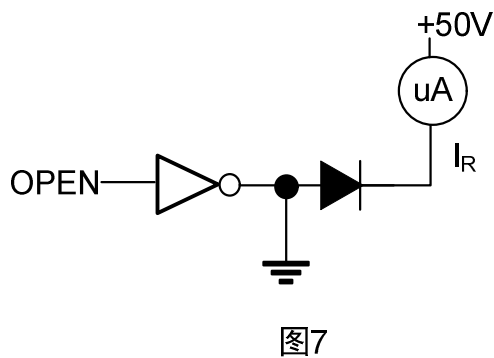
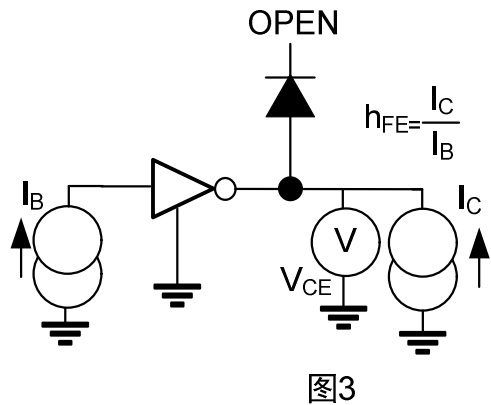
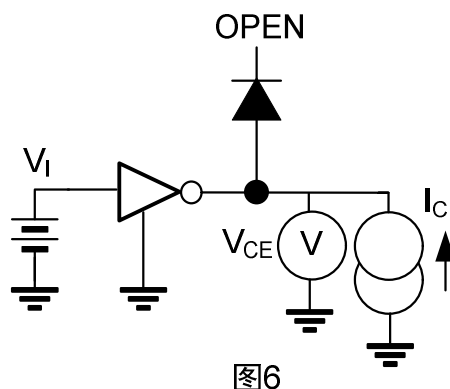
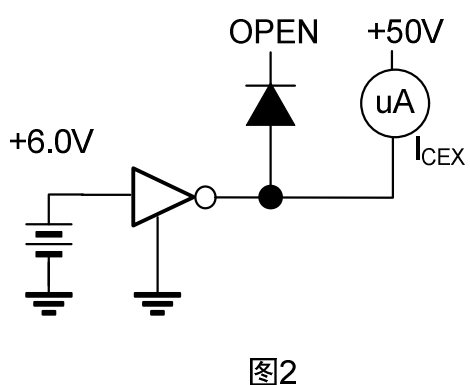
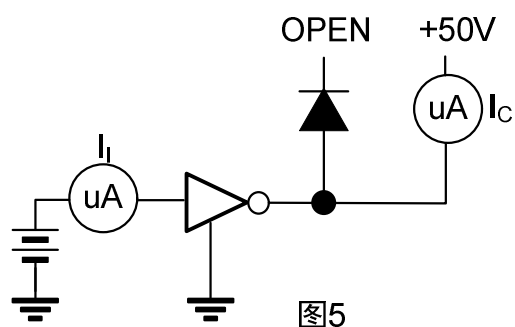
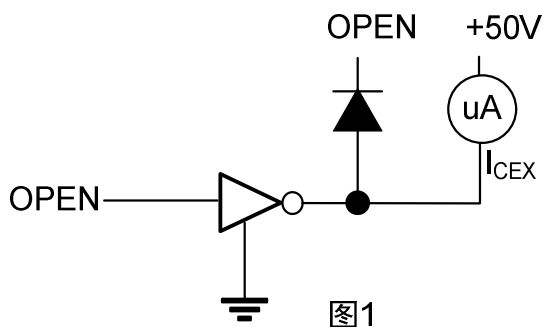
图4. 集电极峰值电流vs. 几路同时导通



内部等效线路图



测试线路图



封装外形图

