2. CYFROWE UKŁADY SCALONE TTL

SERII UCY 74 ... /UCA 64 ...

Wykaz oznaczeń parametrów technicznych

C_L	pojemność linii
h_{21E}	statyczny współczynnik wzmocnienia prądowego w układzie OE
I_B	prąd bazy
I_C	prąd kolektora
I_{CC}	prąd zasilania
$I_{CC^+\ on}$	prąd zasilania z U_{CC^+} w stanie włączenia
$I_{CC^-\ on}$	prąd zasilania z U_{CC^-} w stanie włączenia
I_{CCH}	prąd zasilania w stanie wysokim
I_{CCH^+}	dodatni prąd zasilania w stanie wysokim
I_{CCH^-}	ujemny prąd zasilania w stanie wysokim
I_{CCL}	prąd zasilania w stanie niskim
I_E	prąd emitera
I_I	prąd wejściowy
I_{IH}	prąd wejściowy w stanie wysokim
$I_{IH/A/}$	prąd wejściowy w stanie wysokim na wejściu A
$I_{IH/G/}$	prąd wejściowy w stanie wysokim na wejściu G
$I_{IH/S/}$	prąd wejściowy w stanie wysokim na wejściu S
I_{IL}	prąd wejściowy w stanie niskim
$I_{IL/A/}$	prąd wejściowy w stanie niskim na wejściu A
$I_{IL/G/}$	prąd wejściowy w stanie niskim na wejściu G
$I_{IL/S/}$	prąd wejściowy w stanie niskim na wejściu S
I_O	prąd wyjściowy
I_{OH}	prąd wyjściowy w stanie wysokim
I_{OL}	prąd wyjściowy w stanie niskim
$I_{O\ off}$	prąd wyjściowy w stanie blokady
$I_{O\ on}$	prąd wyjściowy w stanie włączenia
N	obciążalność wyjścia
P_{tot}	całkowita moc tracona
R_L	rezystancja linii
t_{amb}	temperatura otoczenia w czasie pracy
t_{CLR}	szerokość impulsu kasującego
$t_{CLR\ set\ up}$	czas ustalania impulsu na wejściu CLR
t_{CP}	szerokość impulsu zegarowego
$t_{CP\ set\ up}$	czas ustalania impulsu na wejściu zegarowym
t_D	szerokość impulsu na wejściu D

$t_{D\ set\ up}$	czas ustalania impulsu na wejściu D
t_{hold}	czas przetrzymywania
t_{L}	szerokość impulsu na wejściu LOAD
$t_{MC\ set\ up}$	czas ustalania impulsu na wejściu MC
t_{PHL}	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od dowolnego wejścia
$t_{PHL/A,B/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejść A lub B
$t_{PHL/C,D/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejść C lub D
$t_{PHL/D/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejścia D
$t_{PHL/S/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejścia S
t_{PLH}	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od dowolnego wejścia
$t_{PLH/A,B/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejść A lub B
$t_{PLH/C,D/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejść C lub D
$t_{PLH/D/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejścia D
$t_{PLH/S/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejścia S
t_{Pi}	szerokość impulsu na wejściu równoległym
$t_{Pi\ set\ up}$	czas ustalania impulsu na wejściu równoległym
$t_{RO,R9}$	szerokość impulsu zerującego
$t_{set\ up}$	czas ustalania impulsu
t_{Si}	szerokość impulsu na wejściu szeregowym
$t_{Si\ set\ up}$	czas ustalania impulsu na wejściu szeregowym
t_{stg}	temperatura przechowywania
t_{W}	czas trwania impulsu wejściowego
t_{WE}	szerokość impulsu wpisu do pamięci
U_{CB}	napięcie kolektor-baza
U_{CC}	napięcie zasilania
U_{CC^+}	dodatnie napięcie zasilania
U_{CC^-}	ujemne napięcie zasilania
U_{CC-SUB}	napięcie zasilanie-podłoże
U_{C-SUB}	napięcie kolektor-podłoże
U_{CE}	napięcie kolektor-emiter
$U_{CE\ sat}$	napięcie nasycenia kolektor-emiter
U_{EB}	napięcie emiter-baza
U_{I}	napięcie wejściowe

U_{IC}	napięcie nieróżnicowe
U_{ID}	napięcie różnicowe
U_{IDH}	napięcie różnicowe w stanie wysokim
U_{IDL}	napięcie różnicowe w stanie niskim
U_{IH}	napięcie wejściowe w stanie wysokim
U_{IL}	napięcie wejściowe w stanie niskim
U_O	napięcie wyjściowe
U_{O^+}	dodatnie napięcie wyjściowe
U_{O^-}	ujemne napięcie wyjściowe
U_{OH}	napięcie wyjściowe w stanie wysokim
U_{OL}	napięcie wyjściowe w stanie niskim

Parametry dopuszczalne dla wszystkich układów:

$U_{CC\ max}$ = 7 V
$U_{I\ max}$ = 5,5 V | przy t_{amb} = 25°C
t_{stg} = -55 ..... +125°C

Zalecane warunki pracy:

t_{amb} = 0 .....+70°C dla serii UCY 74 ...
-40 ..... +80°C dla serii UCA 64 ...
U_{CC} = 5 ±0,25 V

Parametry charakterystyczne w zalecanym zakresie temperatur:

$U_{OL\ max}$ = 0,4 V dla wszystkich układów
$U_{OH\ min}$ = 2 4 V dla wszystkich układów z wyjątkiem układów OPEN COLLECTOR
I_{OH} = 250 µA wyłącznie dla układów OPEN COLLECTOR
I_{OH} = 100 µA wyłącznie dla układów OPEN COLLECTOR serii UCY 74LS ...

Oznaczenie wyrobu	Funkcja	Parametry charakterystyczne /w zalecanym zakresie temperatur/				N	Parametry przełączania		Obudowa
		$-I_{IL}$	I_{IH}	I_{CCL} /I_{CC}/	I_{CCH}		t_{PHL}	t_{PLH}	
		mA	µA	mA	mA		ns	ns	
		WEJŚCIE max	WEJŚCIE max	max	max		max	max	
1	2	3	4	5	6	7	8	9	10
UCY 7400N	czterokrotna dwuwejściowa bramka NAND	1,6	40	22	8	10	15	22	CE 70
UCY 7401N UCA 6401N	czterokrotna dwuwejściowa bramka NAND z otwartym kolektorem /OPEN COLLECTOR/	1,6	40	22	8		15	45	CE 70
UCY 7402N UCA 6402N	czterokrotna dwuwejściowa bramka NOR	1,6	40	27	16	10	15	22	CE 70
UCY 7403N UCA 6403N	czterokrotna dwuwejściowa bramka NAND z otwartym kolektorem /OPEN COLLECTOR/	1,6	40	22	8		15	45	CE 70
UCY 7404N UCA 6404N	sześciokrotny inwerter	1,6	40	33	12	10	15	22	CE 70

1	2	3	4	5	6	7	8	9	10
UCY 7406N UCA 6406N	sześciokrotny inwerter-bufor z otwartym kolektorem /OPEN COLLECTOR-30 V/	1,6	40	51	48		25	15	CE 70
UCY 7407N UCA 6407N	sześciokrotny bufor z otwartym kolektorem /OPEN COLLECTOR--30 V/	1,6	40	30	41		25	15	CE 70
UCY 7408N UCA 6408N	czterokrotna dwuwejściowa bramka AND	1,6	40	33	21	10	27	19	CE 70
UCY 7409N UCA 6409N	czterokrotna dwuwejściowa bramka AND z otwartym kolektorem /OPEN COLLECTOR/	1,6	40	33	21		24	32	CE 70
UCY 7410N UCA 6410N	trzykrotna trzywejściowa bramka NAND	1,6	40	16,5	6	10	15	22	CE 70
UCY 7416N UCA 6416N	sześciokrotny inwerter-bufor z otwartym kolektorem /OPEN COLLECTOR-15 V/	1,6	40	51	48		25	15	CE 70
UCY 7417N UCA 6417N	sześciokrotny bufor z otwartym kolektorem /OPEN COLLECTOR--15 V/	1,6	40	30	41		25	15	CE 70
UCY 7420N UCA 6420N	dwukrotna czterowejściowa bramka NAND	1,6	40	11	4	10	15	22	CE 70
UCY 7430N UCA 6430N	ośmiowejściowa bramka NAND	1,6	40	6	2	10	15	22	CE 70
UCY 7437N UCA 6437N	czterokrotna dwuwejściowa bramka NAND	1,6	40	54	16	30	15	22	CE 70

1	2	3		4		5	6	7	8		9		10
UCY 7438N UCA 7438N	czterokrotna dwuwejściowa bramka NAND z otwartym kolektorem /OPEN COLLECTOR--5 V/		1,6		40	54	9			18		22	CE 70
UCY 7440N UCA 6440N	dwukrotna czterowejściowa bramka NAND		1,6		40	27	8	30		15		22	CE 70
UCY 7442N UCA 6442N	dekoder kodu BCD na kod dziesiętny		1,6		40	/56/		10		25		25	CE 71
UCY 7447N UCA 6447N	dekoder kodu BCD na kod siedmiosegmentowy		1,6 4,0		40	/103/			A→a÷g RBI→a÷f	100 100	A→a÷g RBI→a÷f	100 100	CE 71
UCY 7450N UCA 6450N	dwukrotna 2 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR		1,6		40	14	8	10		15		22	CE 70
UCY 7451N UCA 6451N	dwukrotna 2 x dwuwejściowa bramka AND-OR-INVERT		1,6		40	14	8	10		15		22	CE 70
UCY 7453N UCA 6453N	4 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR		1,6		40	9,5	8	10		15		22	CE 70
UCY 7454N UCA 6454N	4 x dwuwejściowa bramka AND-OR-INVERT		1,6		40	9,5	8	10		15		22	CE 70
UCY 7460N UCA 6460N	dwukrotny czterowejściowy ekspander		1,6		40			2		20		30	CE 70
UCY 7472N UCA 6472N	przerzutnik typu J-K /MASTER-SLAVE/	J_i, K_i $\overline{S}, R, \overline{CP}$	1,6 3,2	J_i, K_i $\overline{S}, R, \overline{CP}$	40 80	/20/		10	CP→Q $R, \overline{S}$→Q	40 40	$\overline{CP}$→Q $R, \overline{S}$→Q	25 25	CE 70

1	2	3		4		5	6	7	8		9		10
UCY 7473N UCA 6473N	dwukrotny przerzutnik typu J-K /MASTER-SLAVE/	J,K $\overline{CP}$,$\overline{R}$	1,6 3,2	J,K $\overline{CP}$,$\overline{R}$	40 80	/40/		10	$\overline{CP}\rightarrow Q$ $\overline{R}\rightarrow Q$	40 40	$\overline{CP}\rightarrow Q$ $\overline{R}\rightarrow Q$	25 25	CE 70
UCY 7474N UCA 6474N	dwukrotny przerzutnik typu D	$\overline{S}$,D $\overline{R}$,CP	1,6 3,2	D $\overline{S}$,CP R	40 80 120	/30/		10	CP→Q $\overline{R},\overline{S}\rightarrow Q$ $t_{set\ up}$ t_{hold}	40 40 20 5	CP→Q $\overline{R},\overline{S}\rightarrow Q$	25 25	CE 70
UCY 7475N UCA 6475N	czterokrotny przerzutnik typu D sterowany poziomem /LATCH/	D CP	3,2 6,4	D CP	80 160	/53/		10	D→Q $D\rightarrow\overline{Q}$ CP→Q $t_{set\ up}$ "1" t_{hold} "1"	25 15 15 20 0	D→Q $D\rightarrow\overline{Q}$ CP→Q $t_{set\ up}$ "0" t_{hold} "0"	30 40 30 20 0	CE 71
UCY 7476N UCA 6476N	dwukrotny przerzutnik typu J-K /MASTER-SLAVE/	J,K $\overline{S},\overline{R},\overline{CP}$	1,6 3,2	J,K $\overline{S},\overline{R},\overline{CP}$	40 80	/40/		10	$\overline{CP}\rightarrow Q$ $\overline{S},\overline{R}\rightarrow Q$	40 40	$\overline{CP}\rightarrow Q$ $\overline{S},\overline{R}\rightarrow Q$	25 25	CE 71
UCY 7483N UCA 6483N	czterobitowy sumator binarny		3,2		80	/80/		10	$C_0\rightarrow\sum_1$ $C_0\rightarrow\sum_2$ $C_0\rightarrow\sum_3$ $C_0\rightarrow\sum_4$ $C_0\rightarrow C_4$ $A_i\rightarrow\sum_i$	35 35 40 50 25 30	$C_0\rightarrow\sum_1$ $C_0\rightarrow\sum_2$ $C_0\rightarrow\sum_3$ $C_0\rightarrow\sum_4$ $C_0\rightarrow C_4$ $A_i\rightarrow\sum_i$	35 35 50 50 30 35	CE 71
UCY 7485N UCA 6485N	czterobitowy komparator binarny	A > B A < B A = B A_i,B_i	1,6 1,6 4,8 4,8	A > B A < B A = B A_i,B_i	40 40 120 120	/88/		10	A_i, B_i → A<B A>B A_i, B_i → A = B	22 25	A_i, B_i → A<B A>B A_i, B_i → A = B	26 40	CE 71

1	2	3		4		5	6	7	8		9		10
UCY 7486N UCA 6486N	czterokrotna dwuwejściowa bramka EXCLUSIVE-OR		1,6		40	/55/		10	$A_i=B_i=0$ $A_i=B_i=1$	17 22	$A_i=B_i=0$ $A_i=B_i=0$	23 30	CE 70
UCY 7490N UCA 6490N	licznik dekadowy	R_0,R_9 $\overline{CP}_A$ $\overline{CP}_B$	1,6 3,2 6,4	R_0,R_9 $\overline{CP}_A$ $\overline{CP}_B$	40 80 160	/53/		10	$\overline{CP}_A \rightarrow Q_C$ $t_{CP\ min}$ t_{R_0,R_9}	100 50 50	$\overline{CP}_A \rightarrow Q_C$	100	CE 70
UCY 7492N	licznik modulo 12	R_0 $\overline{CP}_A$ $\overline{CP}_B$	1,6 3,2 6,4	R_0 $\overline{CP}_A$ $\overline{CP}_B$	40 80 160	/51/		10	$\overline{CP}_A \rightarrow Q_D$ $t_{CP\ min}$ $t_{RO\ min}$	100 50 50	$\overline{CP}_A \rightarrow Q_D$	100	CE 70
UCY 7493N UCA 6493N	czterobitowy licznik binarny	R_0 $\overline{CP}_A,\overline{CP}_B$	1,6 3,2	R_0 $\overline{CP}_A,\overline{CP}_B$	40 80	/53/		10	$\overline{CP}_A \rightarrow Q_D$ $t_{CP\ min}$ $t_{RO\ min}$	135 50 50	$\overline{CP}_A \rightarrow Q_D$	135	CE 70
UCY 7495N UCA 6495N	czterobitowy uniwersalny rejestr przesuwny	MC	1,6 3,2	MC	40 80	/63/		10	$\overline{CP} \rightarrow Q_i$	32	$\overline{CP} \rightarrow Q_i$	27	CE 70
UCY 74107N UCA 64107N	dwukrotny przerzutnik typu J-K /MASTER-SLAVE/	J,K $\overline{CP},\overline{R}$	1,6 3,2	J,K $\overline{CP},\overline{R}$	40 80	/40/		10	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$	40 40	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$	25 25	CE 70
UCY 74121N UCA 64121N	przerzutnik monostabilny z wejściem Schmitta	A_1,A_2 B	1,6 3,2	A_1,A_2 B	40 80	/40/		10	$A_i \rightarrow Q$ $B \rightarrow Q$	80 65	$A_i \rightarrow Q$ $B \rightarrow Q$	70 55	CE 70
UCY 74123N UCA 64123N	dwukrotny przerzutnik monostabilny z wejściem zerującym	A,B $\overline{R}$	1,6 3,2	A,B $\overline{R}$	40 80	/66/		10	$\overline{R} \rightarrow Q$ $A \rightarrow Q$ $B \rightarrow Q$ $t_{set\ up}$ t_{hold}	27 40 36 40 40	$\overline{R} \rightarrow Q$ $A \rightarrow Q$ $B \rightarrow Q$	40 33 28	CE 71

1	2	3	4	5	6	7	8		9		10
UCY 74132N UCA 64132N	czterokrotna dwuwejściowa bramka NAND z wejściem Schmitta	1,6	40	72	56	10		30		35	CE 70
UCY 74145N UCA 64145N	dekoder kodu BCD na kod dziesiętny z otwartym wyjściem kolektorowym /OPEN COLLECTOR-15 V/	1,6	40	/70/				50		50	CE 71
UCY 74150N UCA 64150N	szesnastowejściowy selektor-multiplekser	1,6	40	/68/		10	$DS_{A,B,C,D} \rightarrow W$ $\overline{ST} \rightarrow W$ $DI_i \rightarrow W$	33 30 14	$DS_{A,B,C,D} \rightarrow W$ $\overline{ST} \rightarrow W$ $DI_i \rightarrow W$	35 24 20	CE 73
UCY 74151N UCA 64151N	ośmiowejściowy selektor-multiplekser	1,6	40	/48/		10	$DS_{A,B,C} \rightarrow W$ $\overline{ST} \rightarrow W$ $DI_i \rightarrow W$	33 30 14	$DS_{A,B,C} \rightarrow W$ $\overline{ST} \rightarrow W$ $DI_i \rightarrow W$	35 24 20	CE 71
UCY 74153N UCA 64153N	dwukrotny czterowejściowy selektor-multiplekser	1,6	40	/60/		10	$DS_{A,B} \rightarrow Y$ $\overline{ST} \rightarrow Y$ $DI_i \rightarrow Y$	34 23 23	$DS_{A,B} \rightarrow Y$ $\overline{ST} \rightarrow Y$ $DI_i \rightarrow Y$	34 30 18	CE 71
UCY 74154N UCA 64154N	dekoder-demultiplekser z 4 linii na 16 linii	1,6	40	/56/		10	$A,B,C,D \rightarrow Y_i$ $\overline{ST}_i \rightarrow Y_i$	33 27	$A,B,C,D \rightarrow Y_i$ $\overline{ST}_i \rightarrow Y_i$	36 30	CE 73
UCY 74155N UCA 64155N	dwukrotny dekoder demultiplekser z 2 linii na 4 linie	1,6	40	/40/			$\overline{ST} \rightarrow Y_i$ $DS_{A,B} \rightarrow Y_i$ $DI \rightarrow Y_i$	27 32 24	$\overline{ST} \rightarrow Y_i$ $DS_{A,B} \rightarrow Y_i$ $DI \rightarrow Y_i$	20 32 30	CE 71
UCY 74157N UCA 64157N	czterokrotny dwuwejściowy selektor-multiplekser	1,6	40	/48/		10	$DI_i \rightarrow Y$ $\overline{ST} \rightarrow Y$ $DS \rightarrow Y$	14 21 27	$DI_i \rightarrow Y$ $\overline{ST} \rightarrow Y$ $DS \rightarrow Y$	14 20 23	CE 71

1	2	3		4		5	6	7	8		9		10
UCY 74164N UCA 64164N	synchroniczny ośmiobitowy rejestr przesuwny z wejściem szeregowym i wyjściami równoległymi	 $\overline{CLR}$	1,6 3,2	 $\overline{CLR}$	40 80	/54/		10	$CP \rightarrow Q_i$ $\overline{CLR} \rightarrow Q_i$ $t_{set\ up}$ t_{hold} $t_{CP\ min}$ $t_{CLR\ min}$	32 36 15 0 20 20	$CP \rightarrow Q_i$	27	CE 70
UCY 74165N UCA 64165N	synchroniczny ośmiobitowy rejestr przesuwny z wejściami równoległymi i wyjściem szeregowym	 $\overline{L}$	1,6 3,2	 $\overline{L}$	40 80	/63/		10	$\overline{L} \rightarrow Q_H$ $CP \rightarrow Q_H$ $P_H \rightarrow Q_H$ $t_{CP\ set\ up}$ $t_{Pi\ set\ up}$ $t_{Si\ set\ up}$ t_{hold} $t_{CP\ min}$ $t_{L\ min}$	40 31 36 30 10 20 0 25 15	$\overline{L} \rightarrow Q_H$ $CP \rightarrow Q_H$ $P_H \rightarrow Q_H$	31 24 17	CE 71
UCY 74174N UCA 64174N	sześciokrotny przerzutnik typu D z zerowaniem		1,6		40	/65/		10	$CP \rightarrow Q$ $\overline{CLR} \rightarrow Q$ $t_{\overline{CLR}\ set\ up}$ $t_{D\ set\ up}$ t_{hold} $t_{CP\ min}$	35 35 25 20 5 20	$CP - Q$	30	CE 71
UCY 74175N UCA 64175N	czterokrotny przerzutnik typu D z zerowaniem		1,6		40	/45/		10	$CP \rightarrow Q$ $\overline{CLR} \rightarrow Q$ $t_{CLR\ set\ up}$ $t_{D\ set\ up}$ t_{hold} $t_{CP\ min}$	35 35 25 20 5 20	$CP - Q$	30	CE 71
UCY 74180N UCA 64180N	ośmiobitowy generator parzystości	DI I_E, I_D	1,6 3,2	DI I_E, I_D	40 80	/56/		10	$I_E \rightarrow \sum Q_E$ $I_O \rightarrow \sum Q_O$	10 10	$I_E \rightarrow \sum Q_E$ $I_O \rightarrow \sum Q_O$	20 20	CE 71

1	2	3		4		5	6	7	8		9		10
UCY 74181N UCA 64181N	czterobitowa uniwersalna jednostka arytmetycznologiczna	M A_i, B_i S_i C_-	1,6 4,8 6,4 8	M A_i, B_i S_i C_n	40 120 160 200	/150/		10	$C_n \rightarrow C_{n+4}$ $A_i, B_i \rightarrow C_{n+4}$ $C_n \rightarrow F$	19 41 18	$C_n \rightarrow C_{n+4}$ $A_i, B_i \rightarrow C_{n+4}$ $C_n \rightarrow F$	18 43 19	CE 73
UCY 74182N	generator przeniesienia	C_n $\overline{P}_3$ $\overline{P}_2$ P_0, P_1, G_3 $\overline{G}_0, \overline{G}_2$ $\overline{G}_1$	3,2 4,8 6,4 8 14,8 16	C_n $\overline{P}_3$ $\overline{P}_2$ P_0, P_1, G_3 $\overline{G}_0, \overline{G}_2$ $\overline{G}_1$	80 120 160 200 360 400	72	65	10		17		22	CE 71
UCY 74192N UCA 64192N	synchroniczny dziesiętny licznik rewersyjny		1,6		40	/102/		10	A,B,C,D→Q $CP_D, CP_U \rightarrow Q$ $CP_U \rightarrow \overline{C}_{OUT}$ $CP_D \rightarrow \overline{B}_{OUT}$ $\overline{L} \rightarrow Q$ CLR→Q $t_{set\ up}$ t_{hold} $t_{W\ min}$	40 47 24 24 40 40 20 0 20	A,B,C,D→Q $CP_U, CP_D \rightarrow Q$ $CP_U \rightarrow \overline{C}_{OUT}$ $CP_D \rightarrow \overline{B}_{OUT}$ $\overline{L} \rightarrow Q$	30 38 26 24 35	CE 71
UCY 74193N UCA 64193N	synchroniczny binarny licznik rewersyjny /czterobitowy/		1,6		40	/102/		10	A,B,C,D→Q $CP_D, CP_U \rightarrow Q$ $CP_U \rightarrow \overline{C}_{OUT}$ $CP_D \rightarrow \overline{B}_{OUT}$ $\overline{L} \rightarrow Q$ CLR→Q $t_{set\ up}$ t_{hold} t_W	40 47 24 24 40 40 20 0 20	A,B,C,D→Q $CP_U, CP_D \rightarrow Q$ $CP_U \rightarrow \overline{C}_{OUT}$ $CP_D \rightarrow \overline{B}_{OUT}$ $\overline{L} \rightarrow Q$	30 38 26 24 35	CE 71

1	2	3	4	5	6	7	8		9		10
UCY 74194N UCA 64194N	uniwersalny czterobitowy rejestr przesuwny	1,6	40	/63/		10	$CP \rightarrow Q_i$ $\overline{CLR} \rightarrow Q_i$ $t_{CP\ min}$ $t_{CLR\ min}$ $t_{MC\ set\ up}$ $t_{set\ up}$ t_{hold}	26 30 20 20 30 20 0	$CP \rightarrow Q_i$	22	CE 71
UCY 74198N UCA 64198N	uniwersalny ośmiobitowy rejestr przesuwny	1,6	40	/116/		10	$CP \rightarrow Q_i$ $\overline{CLR} \rightarrow Q_i$ CP=1 $\overline{CLR} \rightarrow Q_i$ CP=0 $t_{CP\ min}$ $t_{CLR\ min}$ $t_{MC\ set\ up}$ $t_{set\ up}$ t_{hold}	39 60 60 20 20 30 20 0	$CP \rightarrow Q$	26	CE 73
UCY 74547N	układ sterujący wyświetlaczem kalkulatora*) /$U_{CC\ max}$ = 15 V/	0,025	500	5,5	0,3			5000		5000	CE 78
UCY 74548N	układ sterujący wyświetlaczem kalkulatora*) /$U_{CC\ max}$ = 15 V/	0,025	500	23	0,35			5000		5000	CE 78
UCY 74549N	układ sterujący wyświetlaczem kalkulatora*) /$U_{CC\ max}$ = 15 V/	0,025	500	5,5	0,3			5000		5000	CE 78

1	2	3		4		5	6	7	8		9		10
UCY 780101N UCA 680101N	sześćdziesięcioczterobitowa pamięć RAM		0,25		10	/105/		10	$A_i \rightarrow Y_i$ $\overline{CS} \rightarrow Y_i$ $t_{\overline{WE}}$ min t_{Di} hold	60 30 40 40	$A_i \rightarrow Y_i$ $\overline{CS} \rightarrow Y_i$	60 30	CE 71
UCY 74H00N UCA 64H00N	czterokrotna dwuwejściowa bramka NAND		2		50	40	17	10		10		10	CE 70
UCY 74H10N	trójkrotna trzywejściowa bramka NAND		2		50	30	12,6	10		10		10	CE 70
UCY 74H40N UCA 64H40N	dwukrotna czterowejściowa bramka NAND		4		100	40	16	30		12		12	CE 70
UCY 74H50N UCA 64H50N	dwukrotna 2 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR		2		50	12,8	24	10		11		11	CE 70
UCY 74H53N UCA 64H53N	4 x dwuwejściowa bramka AND-OR-INVERT z możliwością ekspansji OR		2		50	14	11	10		11		11	CE 70
UCY 74H72N UCA 64H72N	przerzutnik typu J-K /MASTER-SLAVE/	J,K $\overline{S},\overline{R},\overline{CP}$	2 4	J,K $\overline{S},\overline{R},\overline{CP}$	50 100	/25/		10	$\overline{S},\overline{R} \rightarrow Q$ $\overline{CP}$ Q	24 27	$\overline{S},\overline{R} \rightarrow Q$ $\overline{CP}$ Q	13 21	CE 70
UCY 74H74N UCA 64H74N	dwukrotny przerzutnik typu D	$\overline{S}$,D $\overline{R}$,CP	2 4	D $\overline{S}$,CP $\overline{R}$	50 100 150	/50/		10	$\overline{S},\overline{R} \rightarrow Q$ CP $\rightarrow$ Q $t_{set\ up}$ t_{hold}	30 20 15 0	$\overline{S},\overline{R} \rightarrow Q$ CP $\rightarrow$ Q	20 15	CE 70
UCY 74S00N	czterokrotna dwuwejściowa bramka NAND		2		50	36	16	10		5		4,5	CE 70

1	2	3	4	5	6	7	8	9	10
UCY 74S03N	czterokrotna dwuwejściowa bramka NAND z otwartym kolektorem /OPEN COLLECTOR/	2	50	36	13,2	10	7	7,5	CE 70
UCY 74S10N	trzykrotna trzywejściowa bramka NAND	2	50	27	12	10	5	4,5	CE 70
UCY 74S11N	trzykrotna trzywejściowa bramka AND	2	50	42	24	10	7,5	7	CE 70
UCY 74S15N	trzykrotna trzywejściowa bramka AND	2	50	42	24	10	5	4,5	CE 70
UCY 74S20N	dwukrotna czterowejściowa bramka NAND	2	50	18	8	10	5	4,5	CE 70
UCY 74S22N	dwukrotna czterowejściowa bramka NAND z otwartym kolektorem /OPEN COLLECTOR/	2	50	18	6,6	10	7	7,5	CE 70
UCY 74LS00N	czterokrotna dwuwejściowa bramka NAND	0,36	20	4,4	1,6	10	15	15	CE 70
UCY 74LS01N	czterokrotna dwuwejściowa bramka NAND z otwartym kolektorem /OPEN COLLECTOR/	0,36	20	4,4	1,6	10	28	32	CE 70
UCY 74LS02N	czterokrotna dwuwejściowa bramka NOR	0,36	20	5,4	3,2	10	15	15	CE 70
UCY 74LS03N	czterokrotna dwuwejściowa bramka NAND z otwartym kolektorem /OPEN COLLECTOR/	0,36	20	4,4	1,6	10	28	32	CE 70

1	2	3	4	5	6	7	8	9	10
UCY 74LS04N	sześciokrotny inwerter	0,36	20	6,6	2,4	10	15	15	CE 70
UCY 74LS08N	czterokrotna dwuwejściowa bramka AND	0,36	20	8,8	4,8	10	20	20	CE 70
UCY 74LS10N	trójkrotna trzywejściowa bramka NAND	0,36	20	3,3	1,2	10	15	15	CE 70

x/ podane parametry dla współpracy z układami kalkulatorowymi

2.1. Schematy logiczne

Wykaz niektórych skrótów stosowanych na schematach logicznych układów cyfrowych

B_{OUT} - BORROW OUTPUT - wyjście przeniesienia przy zliczaniu w dół /UCY 74192 i UCY 74193/

C_{IN} - CARRY INPUT - wejście sygnału przeniesienia

C_{OUT} - CARRY OUTPUT - wyjście impulsu przeniesienia

CLR - CLEAR - wejście zerujące

CP - CLOCK PULSE - wejście zegarowe

CS - CHIP SELECT - wejście zezwalające na pracę układu

DI - DATA INPUT - wejście danych

DS - DATA SELECT - wejście wybierające

FS - FUNCTION SELECT - wejście wybierające wykonywaną funkcję

INH - INHIBIT - wejście zezwalające

I_E - INPUT EVEN - wejście nieparzyste

I_O - INPUT ODD - wejście parzyste

L - LOAD - wejście ładujące

MC - MODE CONTROL - wejście rodzaju pracy

PI - PARALLEL INPUT - wejście równoległe

R - RESET - wejście kasujące

S - SET - wejście ustawiające

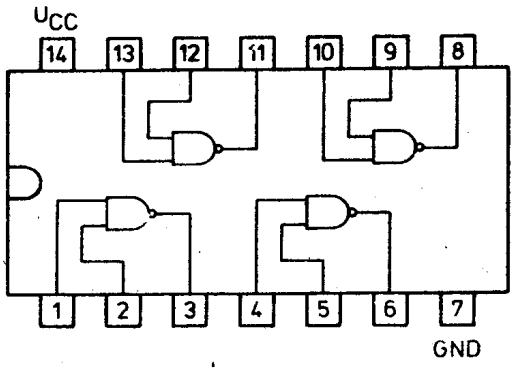
SI - SERIAL INPUT - wejście szeregowe

ST - STROBE - wejście strobujące

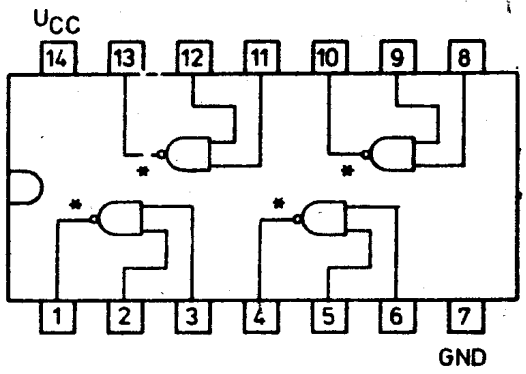
SUB - SUBSTRAT - podłoże

X - wejście-wyjście ekspanderowe

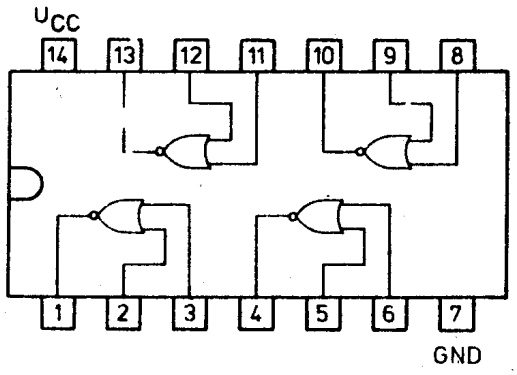
Y - wyjście bramkowe



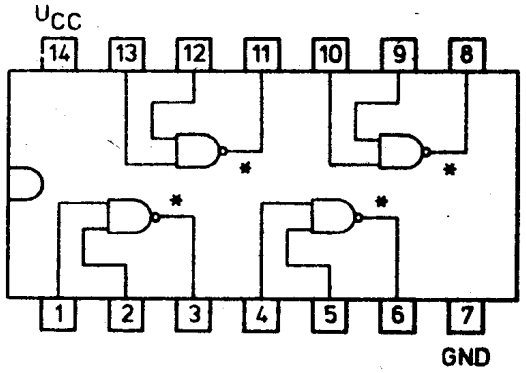
7400



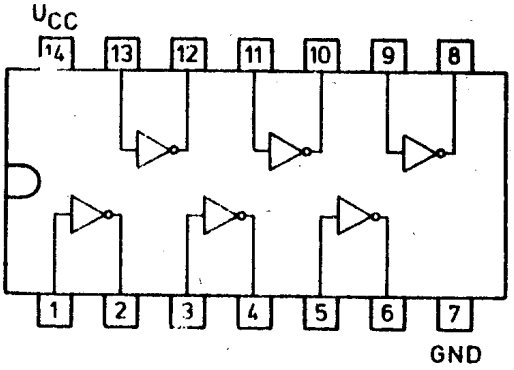
7401



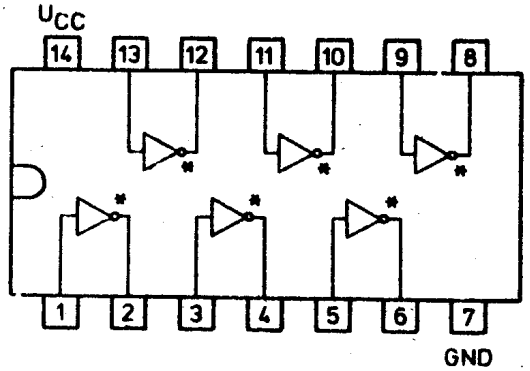
7402



7403

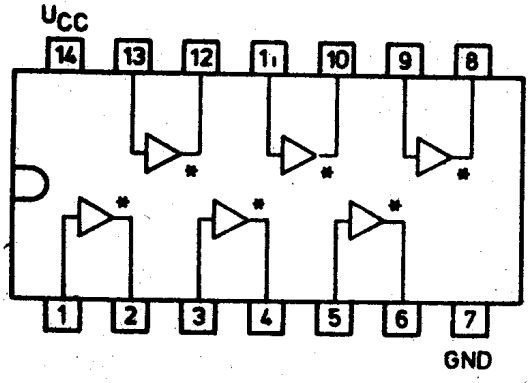


7404

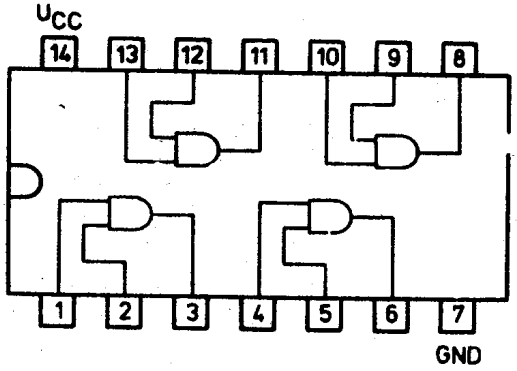


7406

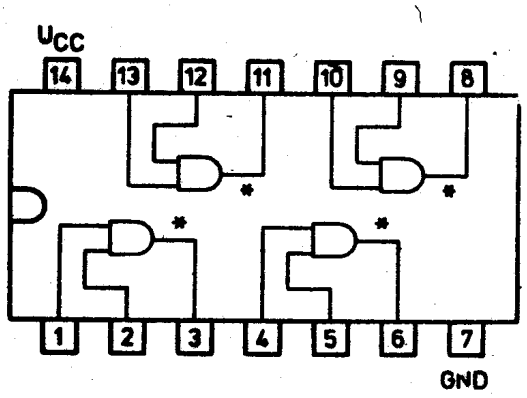
*OPEN COLLECTOR



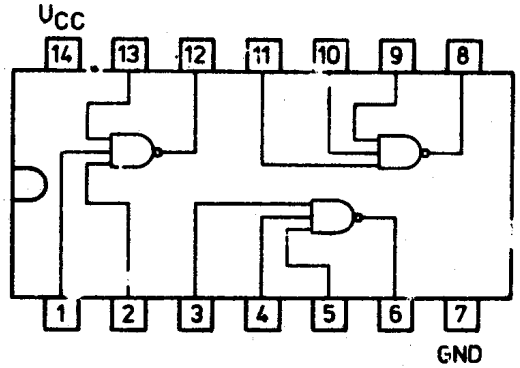
7407



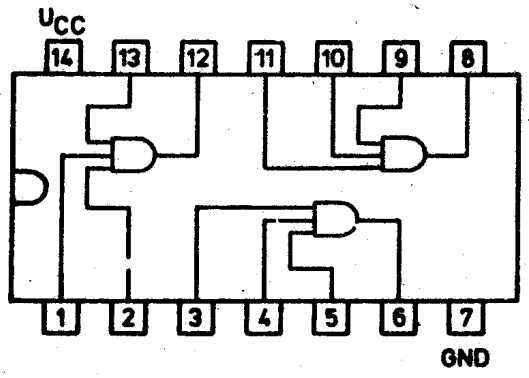
7408



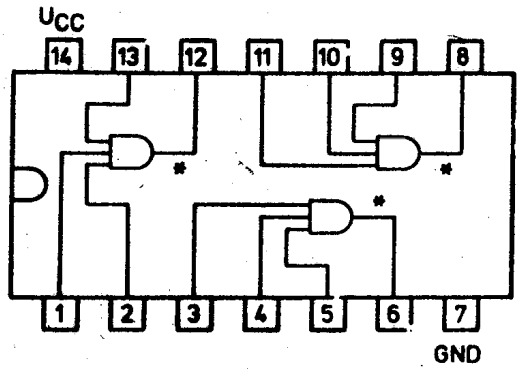
7409



7410

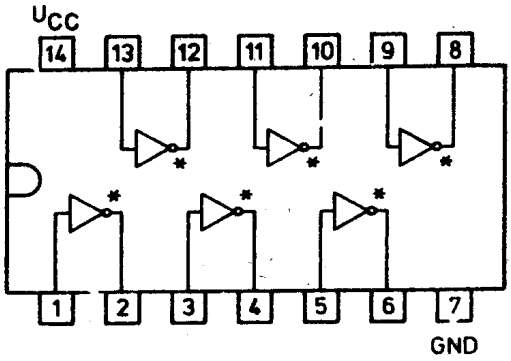


7411

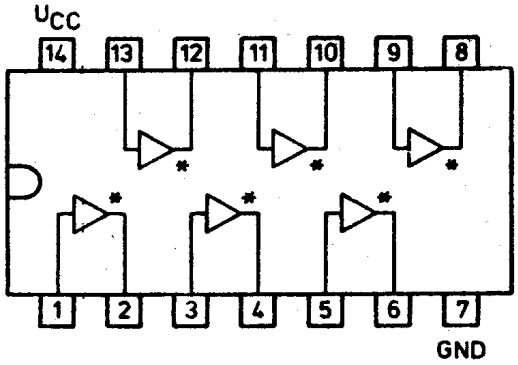


7415

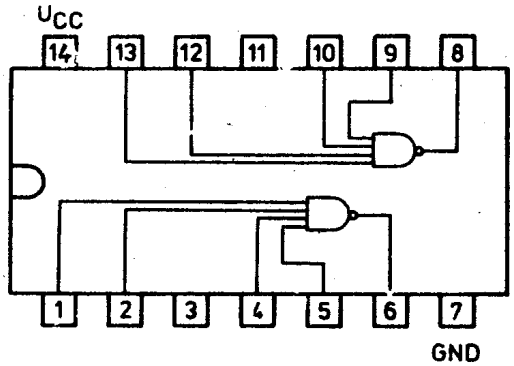
*OPEN COLLECTOR



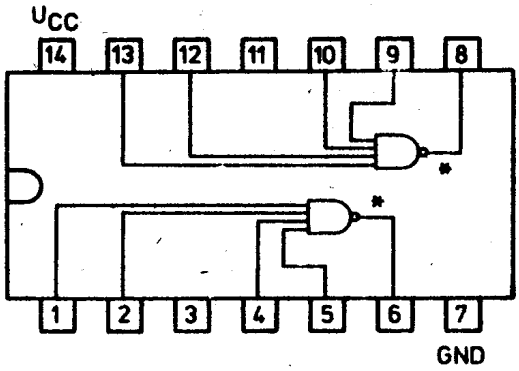
7416



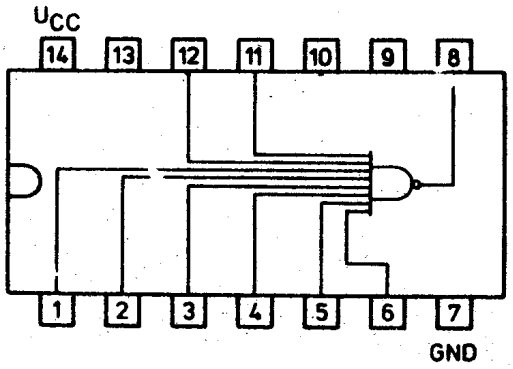
7417



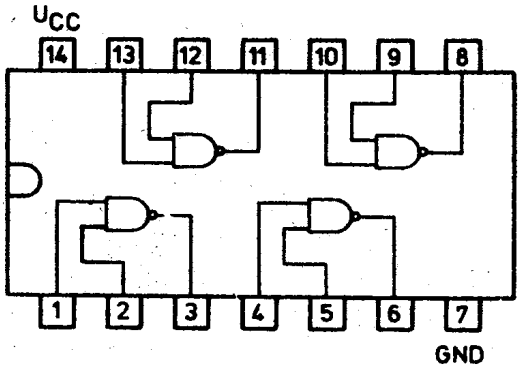
7420



7422

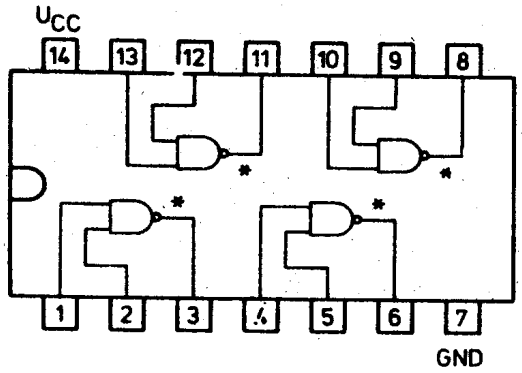


7430

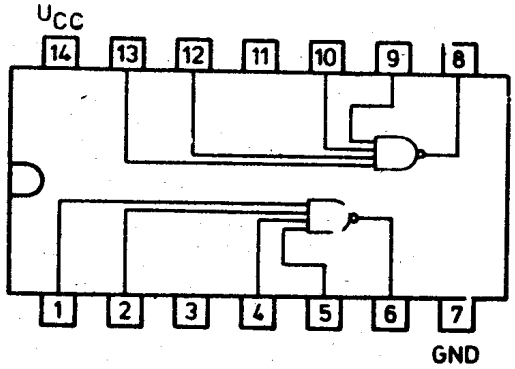


7437

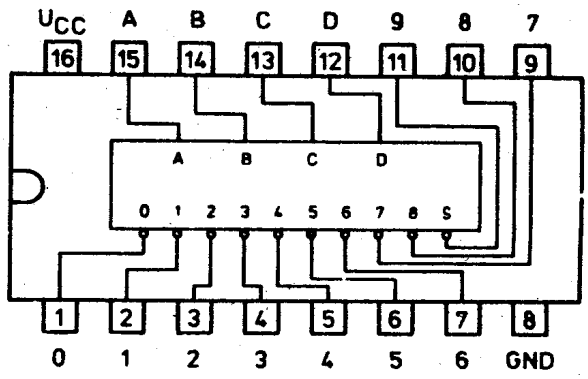
*OPEN COLLECTOR



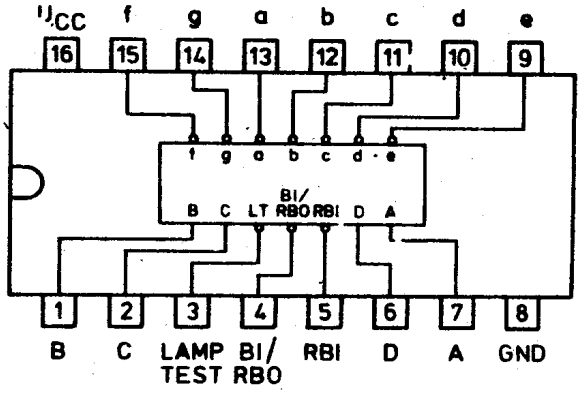
7438



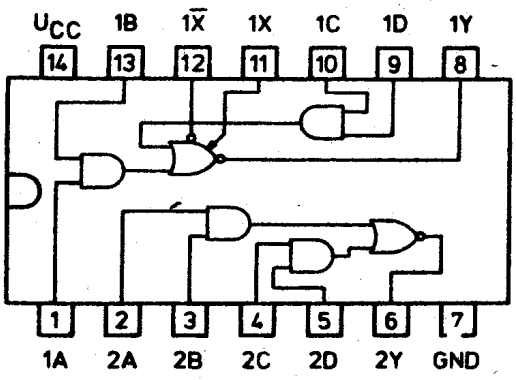
7440



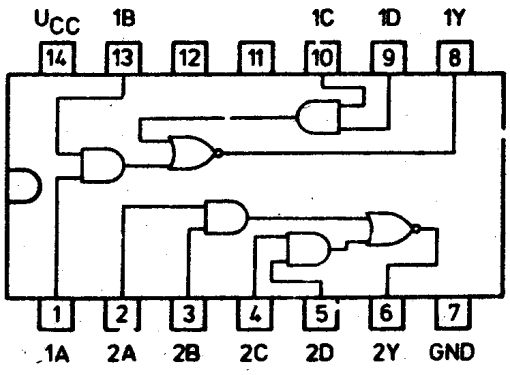
7442



7447

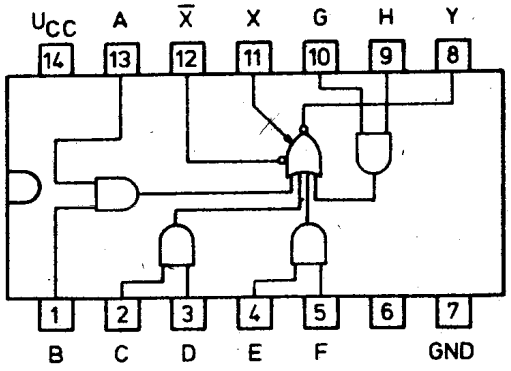


7450

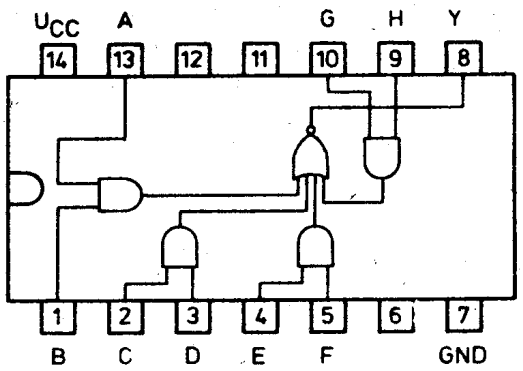


7451

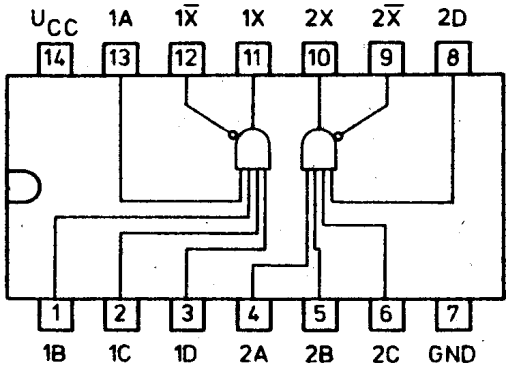
*OPEN COLLECTOR



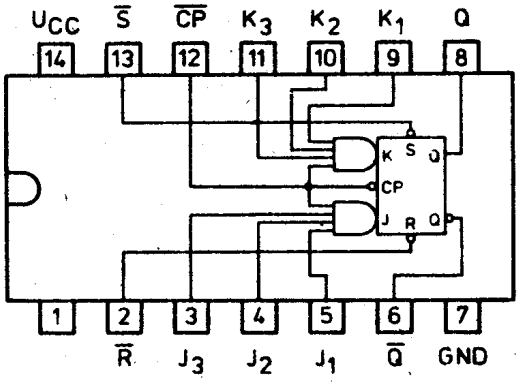
7453



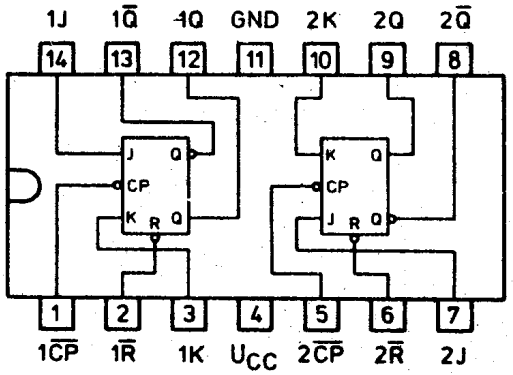
7454



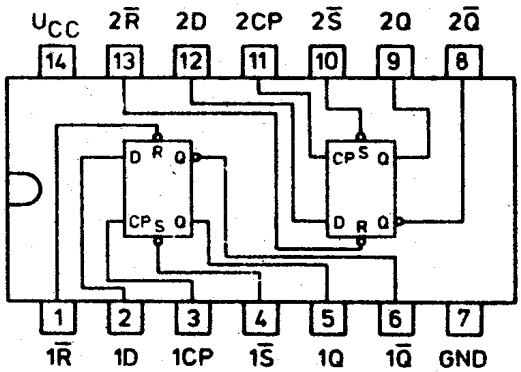
7460



7472

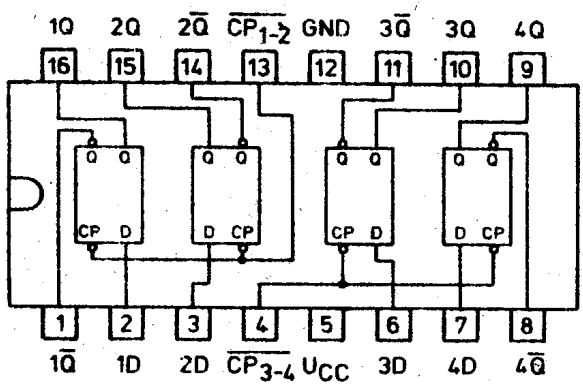


7473

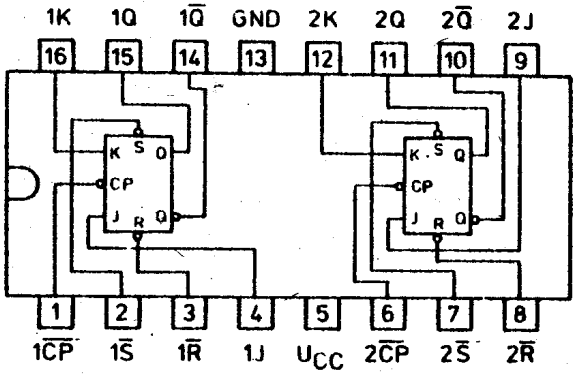


7474

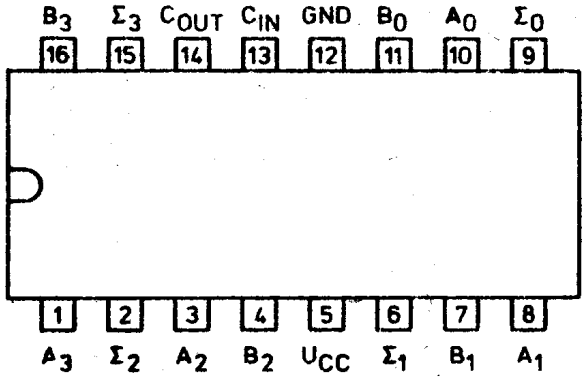
*OPEN COLLECTOR



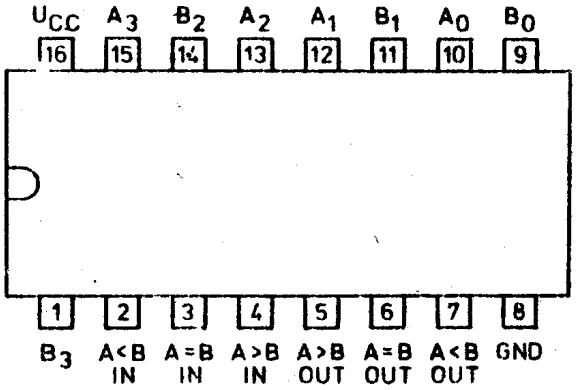
7475



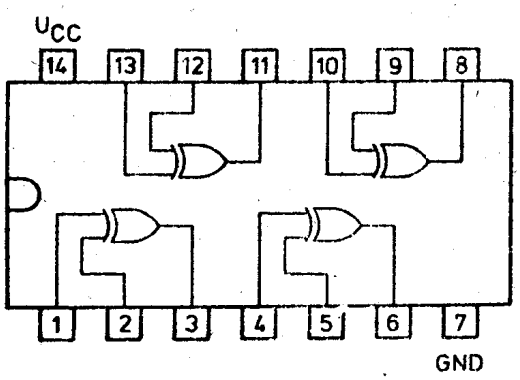
7476



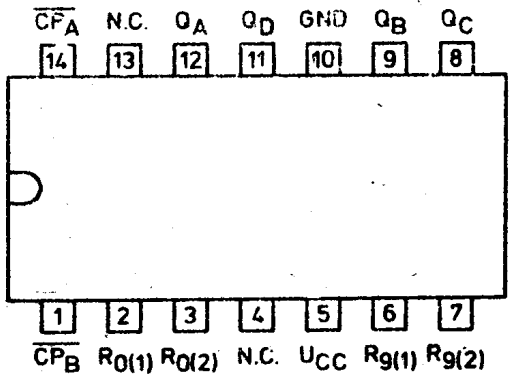
7483



7485

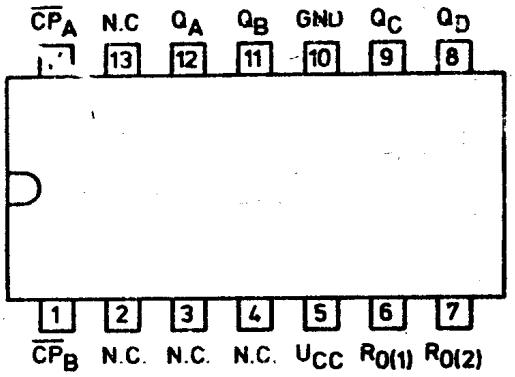


7486

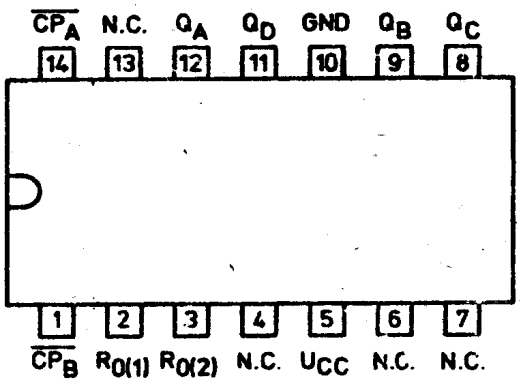


7490

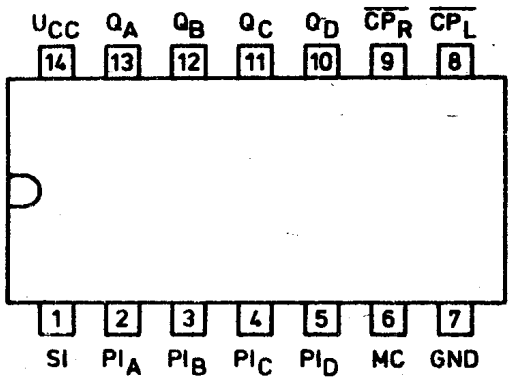
*OPEN COLLECTOR



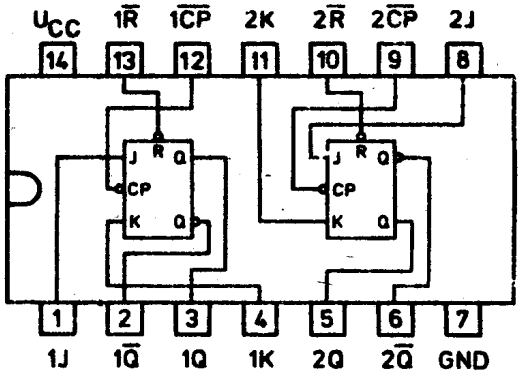
7492



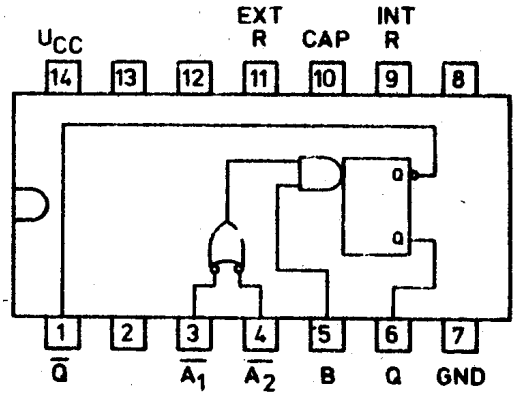
7493



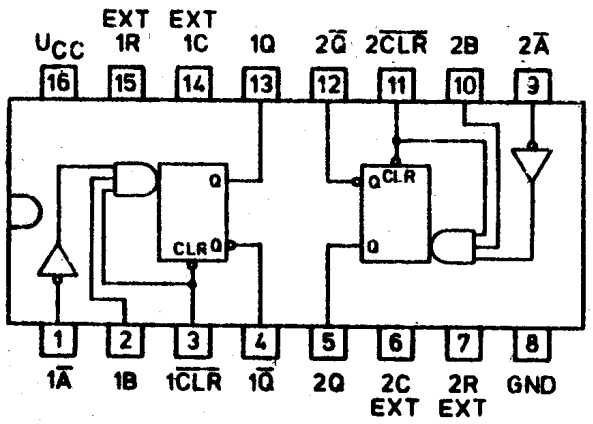
7495



74107

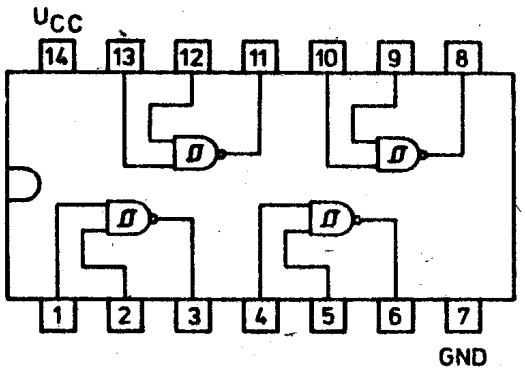


74121

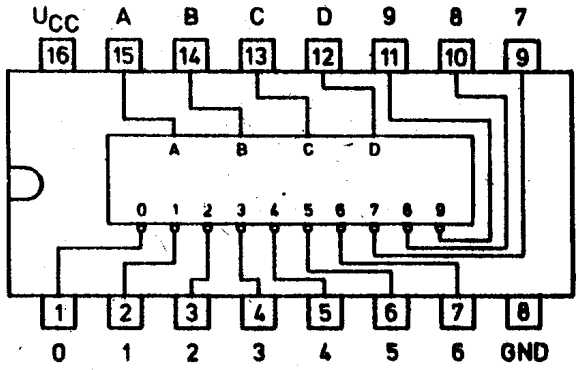


74123

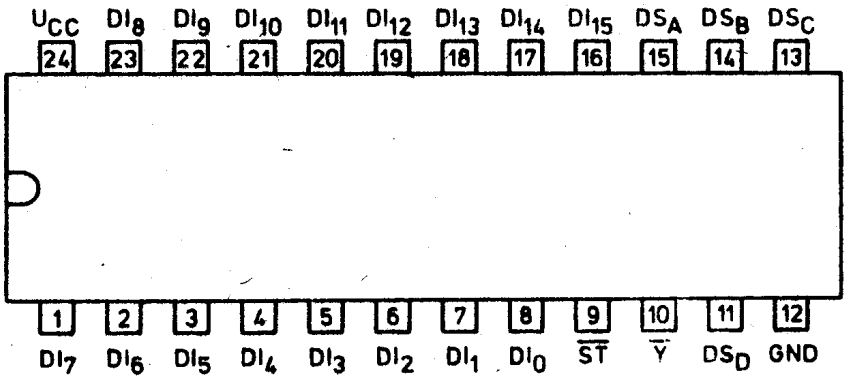
*OPEN COLLECTOR



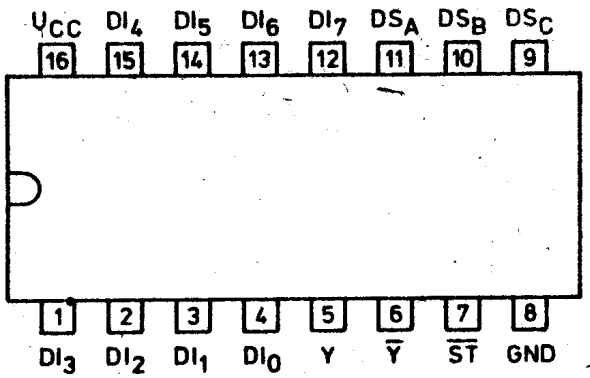
74132



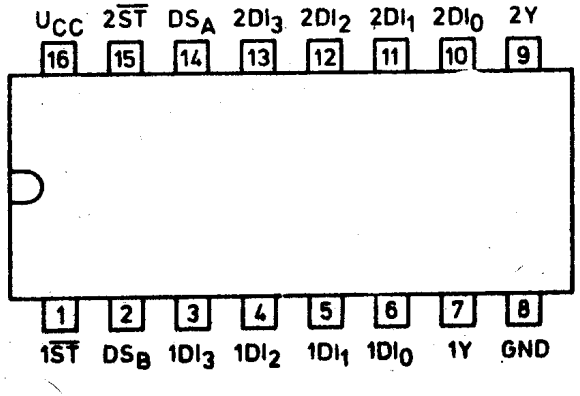
74145



74150

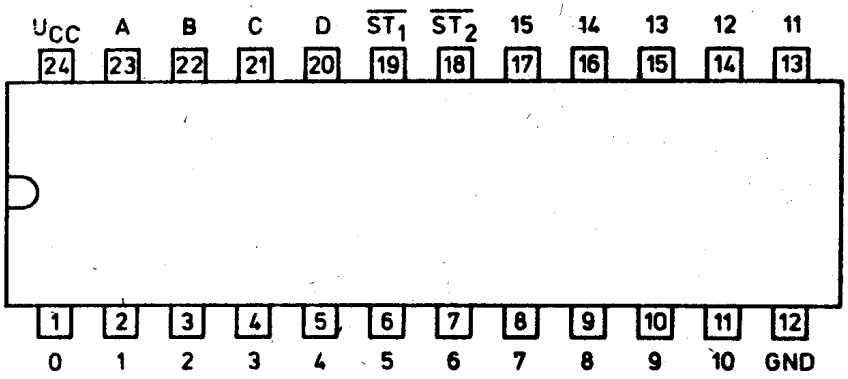


74151

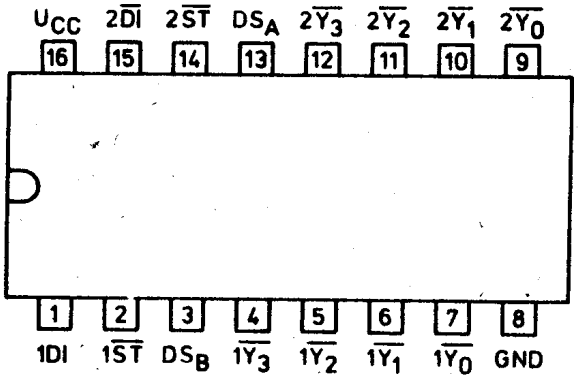


74153

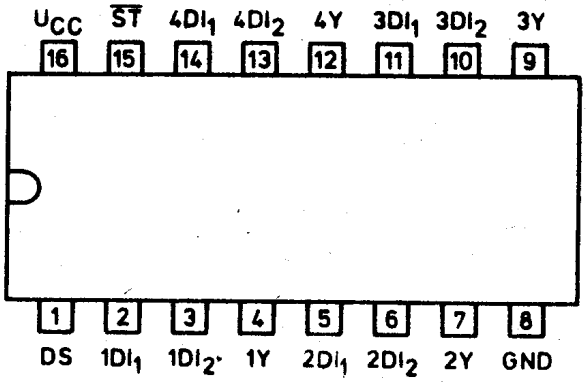
*OPEN COLLECTOR



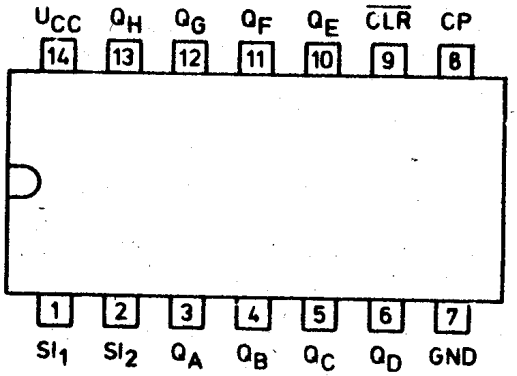
74154



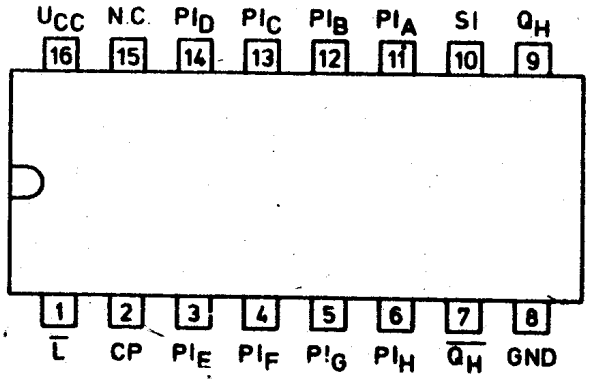
74155



74157

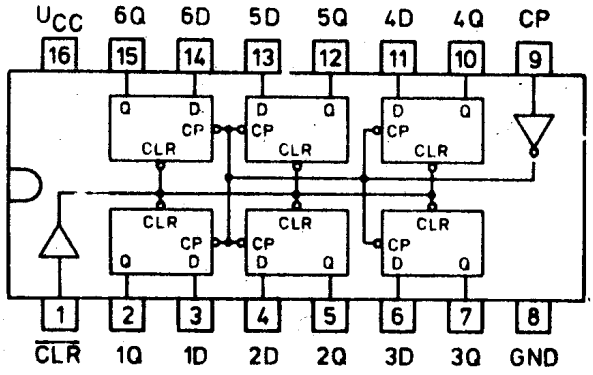


74164

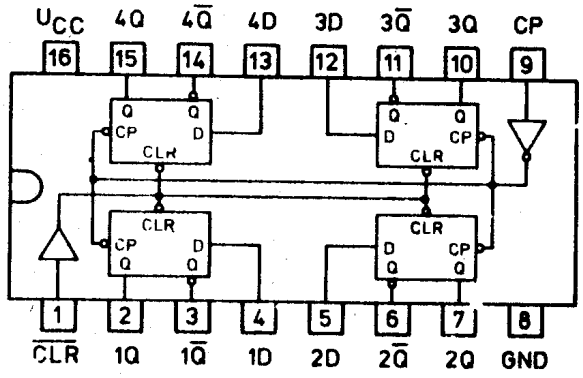


74165

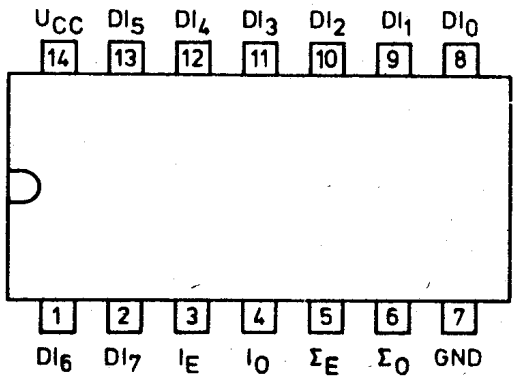
*OPEN COLLECTOR



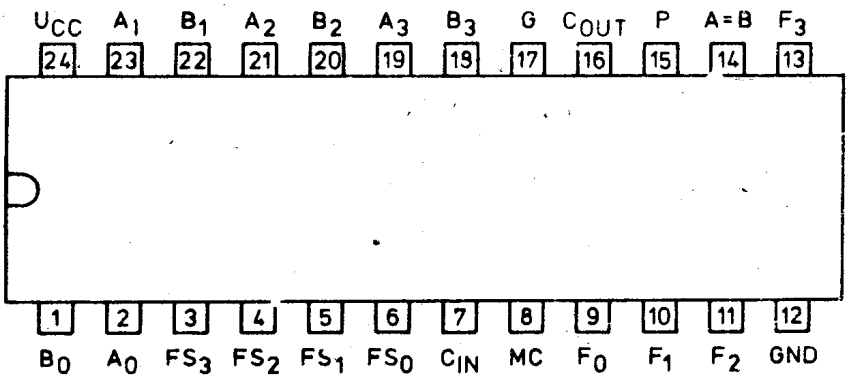
74174



74175

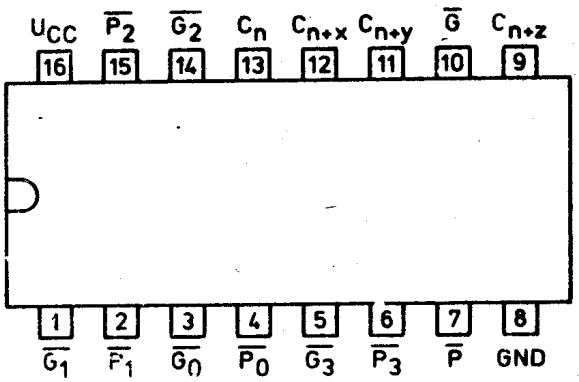


74180

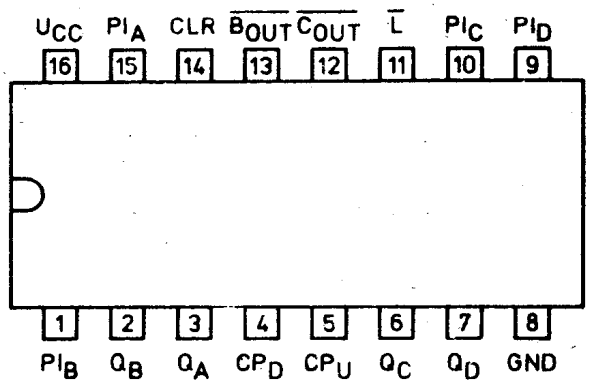


74181

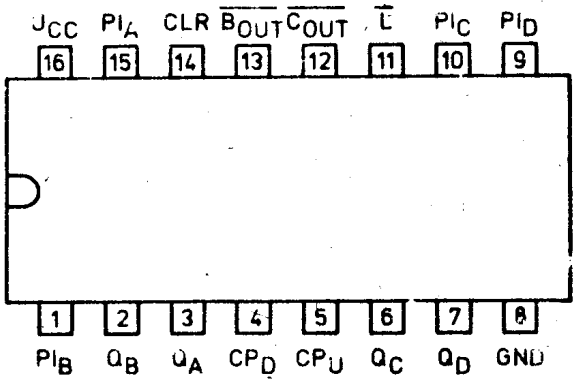
*OPEN COLLECTOR



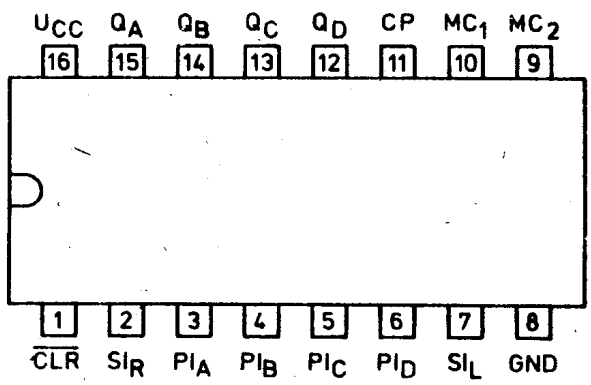
74182



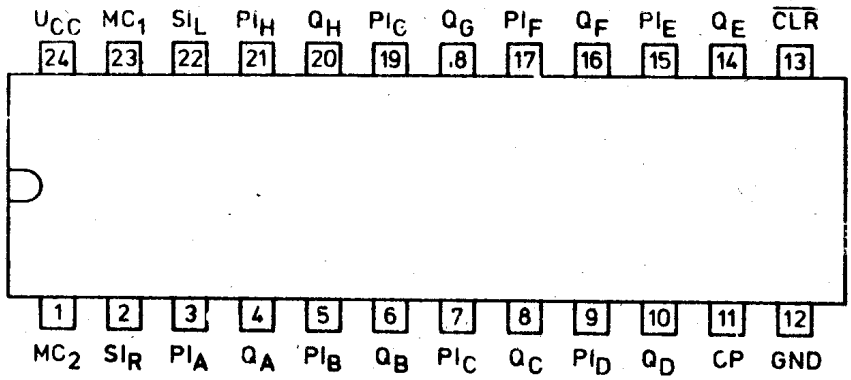
74192



74193

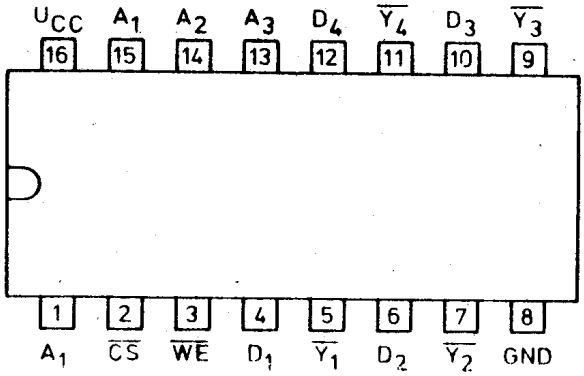


74194

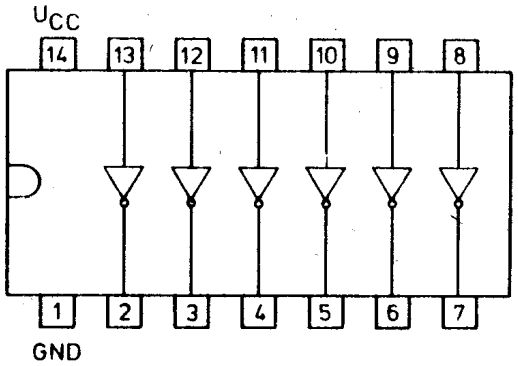


74198

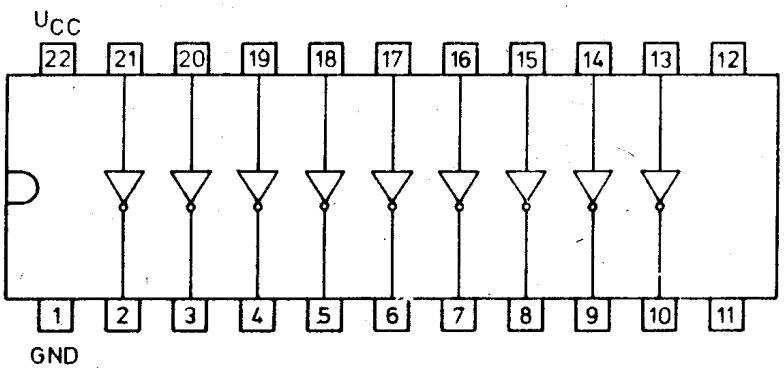
*OPEN COLLECTOR



780101



74547



74548, 74549

*OPEN COLLECTOR