CDx4AC02 四路双输入正或非门

1 特性

- 交流类型的工作电压范围为 1.5V 至 5.5V，并在电源电压的 30% 时具有平衡的抗噪性能
- 双极 F、AS 和 S 的速度，同时功耗显著降低
- 平衡传播延迟
- ±24mA 输出驱动电流
  - 扇出至 15 个 F 器件
- 防 SCR 闩锁 CMOS 工艺和电路设计
- ESD 保护超过 2kV（根据 MIL-STD-883 方法 3015）

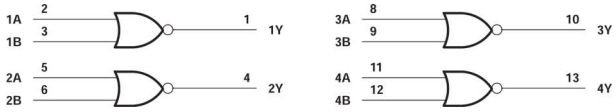
2 说明

’AC02 器件包含四个独立的双输入或非门，这些门以正逻辑执行布尔函数 $\overline{A \bullet B}$ 或 $Y = \overline{A} + \overline{B}$。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
CDx4AC02	N（PDIP，14）	19.3mm × 9.4mm	19.3mm × 6.35mm
	D（SOIC，14）	9.9mm × 6mm	9.9mm × 3.9mm
	PW（TSSOP，14）	5mm × 6.4mm	5mm × 4.4mm
	BQA（WQFN，14）	3mm × 2.5mm	3mm × 2.5mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

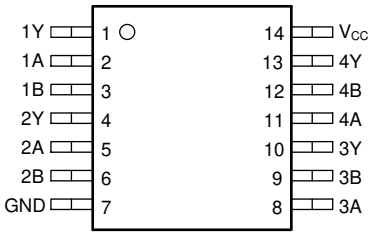
本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

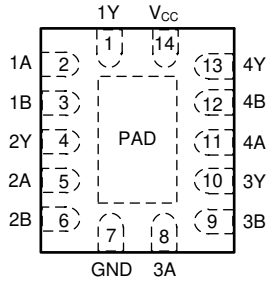
1 特性 1
2 说明 1
3 引脚配置和功能 3
4 规格 4
4.1 绝对最大额定值 4
4.2 ESD 等级 4
4.3 建议运行条件 4
4.4 热性能信息 5
4.5 电气特性 5
4.6 开关特性，V_{CC} = 1.5V 5
4.7 开关特性，V_{CC} = 3.3V ± 0.3V 6
4.8 开关特性，V_{CC} = 5V ± 0.5V 6
4.9 工作特性 6
5 参数测量信息 7
6 详细说明 8
6.1 功能方框图 8
6.2 器件功能模式 8
7 应用和实施 9
7.1 电源相关建议 9
7.2 布局 9
8 器件和文档支持 10
8.1 文档支持 10
8.2 接收文档更新通知 10
8.3 支持资源 10
8.4 静电放电警告 10
8.5 术语表 10
9 修订历史记录 10
10 机械、封装和可订购信息 11

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能



CD54AC02 J 封装，14 引脚 CDIP；CD74AC02 N、D 或 PW 封装，14 引脚 PDIP、SOIC 或 TSSOP（顶视图）



CD74AC02 BQA 封装，14 引脚 WQFN（顶视图）

表 3-1. 引脚功能

引脚		类型[1]	说明
名称	CDx4AC02 SOIC、PDIP、CDIP、TSSOP、WQFN		
1A	2	I	1A 输入
1B	3	I	1B 输入
1Y	1	O	1Y 输出
2A	5	I	2A 输入
2B	6	I	2B 输入
2Y	4	O	2Y 输出
3A	8	I	3A 输入
3B	9	I	3B 输入
3Y	10	O	3Y 输出
4A	11	I	4A 输入
4B	12	I	4B 输入
4Y	13	O	4Y 输出
GND	7	—	接地引脚
NC	—	—	无连接
V_{CC}	14	—	电源引脚
散热焊盘[2]		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源

(1) I = 输入，O = 输出
(2) 仅限 BQA 封装

Copyright © 2025 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	6	V
I_{IK} (2)	输入钳位电流	(V_I < 0 或 V_I > V_{CC})		±20	mA
I_{OK} (2)	输出钳位电流	(V_O < 0 或 V_O > V_{CC})		±50	mA
I_O	持续输出电流	(V_O = 0 至 V_{CC})		±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)[1]	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

			T_A = 25°C		-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
V_{CC}	电源电压		1.5	5.5	1.5	5.5	1.5	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 1.5V	1.2		1.2		1.2		V
		V_{CC} = 3V	2.1		2.1		2.1		
		V_{CC} = 5.5V	3.85		3.85		3.85		
V_{IL}	低电平输入电压	V_{CC} = 1.5V		0.3		0.3		0.3	V
		V_{CC} = 3V		0.9		0.9		0.9	
		V_{CC} = 5.5V		1.65		1.65		1.65	
V_I	输入电压		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
V_O	输出电压		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 4.5V 至 5.5V		-24		-24		-24	mA
I_{OL}	低电平输出电流	V_{CC} = 4.5V 至 5.5V		24		24		24	mA
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 1.5V 至 3V		50		50		50	ns/V
		V_{CC} = 3.6V 至 5.5V		20		20		20	

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*，文献编号 SCBA004。

Copyright © 2025 Texas Instruments Incorporated

4.4 热性能信息

热指标(1)		D (SOIC)	N (PDIP)	PW (TSSOP)	BQA (WQFN)	单位
		14 引脚	14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	119.9	80	145.7	91.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	—	—	76.5	99.4	°C/W
$R_{\theta JB}$	结至电路板热阻	—	—	102.0	61.0	°C/W
Ψ_{JT}	结至顶部特征参数	—	—	18.8	14.5	°C/W
Ψ_{JB}	结至电路板特征参数	—	—	100.7	60.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	—	37.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V_{CC}	TA = 25°C		-40°C 至 85°C		-55°C 至 125°C		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	$V_I = V_{IH}$ 或 V_{IL}	I_{OH} = -50μA	1.5V	1.4		1.4		1.4		V
			3V	2.9		2.9		2.9		
			4.5V	4.4		4.4		4.4		
		I_{OH} = -4mA	3V	2.58		2.48		2.4		
		I_{OH} = -24mA	4.5V	3.94		3.8		3.7		
		I_{OH} = -50mA(1)	5.5V					3.85		
		I_{OH} = -75mA(1)	5.5V			3.85				
V_{OL}	$V_I = V_{IH}$ 或 V_{IL}	I_{OL} = 50 μ A	1.5V		0.1		0.1		0.1	V
			3V		0.1		0.1		0.1	
			4.5V		0.1		0.1		0.1	
		I_{OL} = 12mA	3V		0.36		0.44		0.5	
		I_{OL} = 24mA	4.5V		0.36		0.44		0.5	
		I_{OL} = 50mA(1)	5.5V						1.65	
		I_{OL} = 75mA(1)	5.5V				1.65			
I_I	$V_I = V_{CC}$ 或 GND		5.5V		±0.1		±1		±1	μ A
I_{CC}	$V_I = V_{CC}$ 或 GND，	I_O = 0	5.5V		4		40		80	μ A
C_i					10		10		10	PF

(1) 一次测试一个输出，持续时间不超过 1 秒。为了尽可能减少功率耗散，测量方法是强制施加指定电流并测量电压。测试证实在 85°C 下至少具有 50Ω 传输线驱动能力，在 125°C 下具有 75Ω 传输线驱动能力。

4.6 开关特性，V_{CC} = 1.5V

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 1.5V，C_L = 50pF（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	最大值	最小值	最大值	
t_{PLH}	A 或 B	Y		131		144	ns
t_{PHL}				131		144	

Copyright © 2025 Texas Instruments Incorporated

4.7 开关特性，V_{CC} = 3.3V ± 0.3V

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 3.3V ± 0.3V，C_L = 50pF（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	最大值	最小值	最大值	
t_{PLH}	A 或 B	Y	4.1	14.6	4	16.1	ns
t_{PHL}			4.1	14.6	4	16.1	

4.8 开关特性，V_{CC} = 5V ± 0.5V

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 5V ± 0.5V，C_L = 50pF（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	最大值	最小值	最大值	
t_{PLH}	A 或 B	Y	3	10.4	2.9	11.5	ns
t_{PHL}			3	10.4	2.9	11.5	

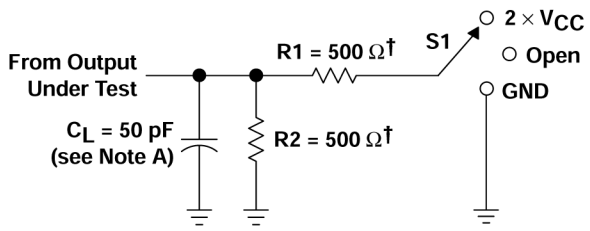
4.9 工作特性

V_{CC} = 5V，T_A = 25°C

参数	典型值	单位
C_{pd} 功率耗散电容	55	pF

Copyright © 2025 Texas Instruments Incorporated

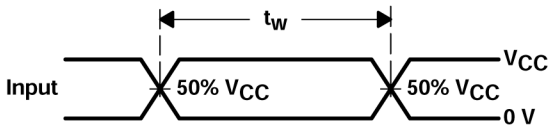
5 参数测量信息



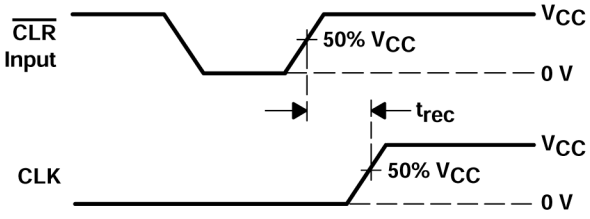
† When V_{CC} = 1.5 V, R1 = R2 = 1 kΩ

LOAD CIRCUIT

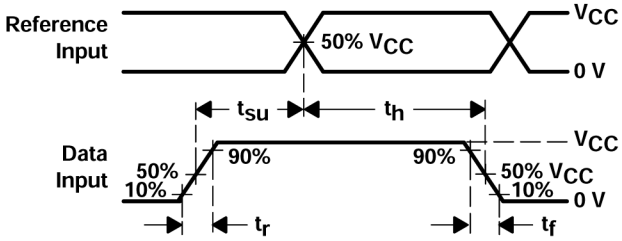
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	2 × V_{CC}
t_{PHZ}/t_{PZH}	GND



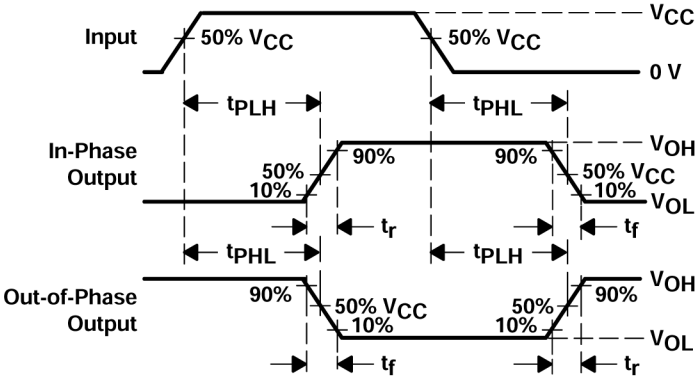
VOLTAGE WAVEFORMS
PULSE DURATION



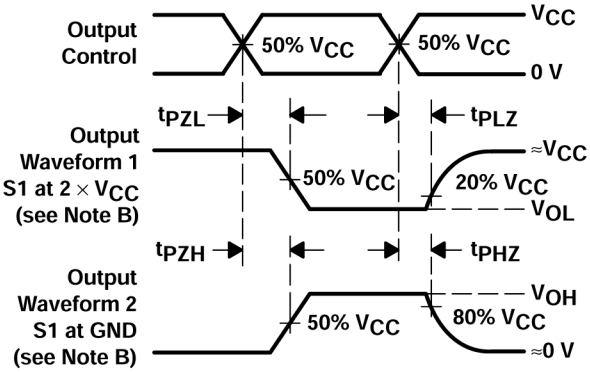
VOLTAGE WAVEFORMS
RECOVERY TIME



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES

A. C_L 包括探头和测试夹具电容。
B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
C. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r = 3ns，t_f = 3ns。波形之间的相位关系没有固定规律。
D. 对于时钟输入，f_{max} 是在输入占空比为 50% 时测得。
E. 一次测量一个输出，每次测量一个输入转换。
F. t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。
G. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
H. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。

图 5-1. 负载电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 功能方框图

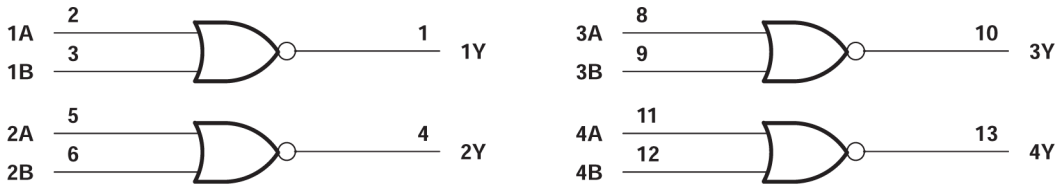


图 6-1. 逻辑图（正逻辑）

6.2 器件功能模式

表 6-1. 功能表（每个逻辑门）

输入		输出 Y
A	B	
H	X	L
X	H	L
L	L	H

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任意电压。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，TI 建议使用 0.1μF 电容器；如果有多个 V_{CC} 端子，则 TI 建议为每个电源端子使用 0.01μF 或 0.022μF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1μF 和 1μF 通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能（例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个）。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

7.2.2 布局示例

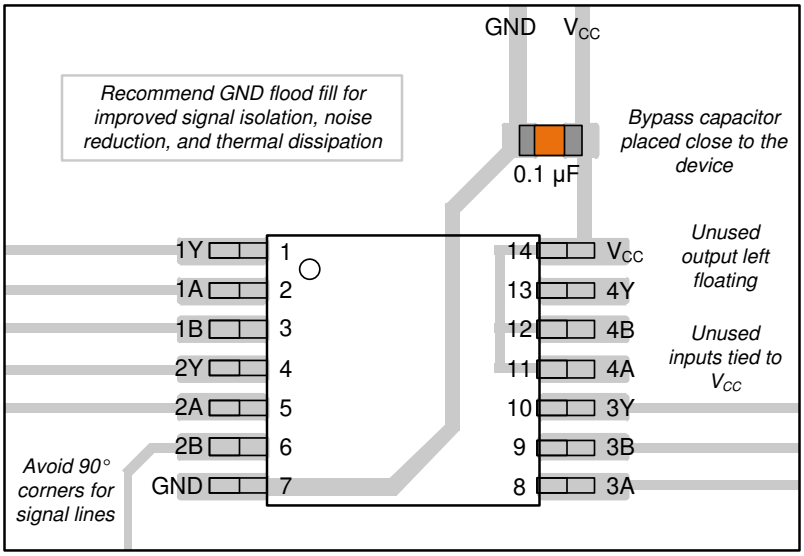


图 7-1. CD74AC02 的示例布局

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 8-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
CD54AC02	点击此处	点击此处	点击此处	点击此处	点击此处
CD74AC02	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (July 2024) to Revision E (April 2025)	Page
• 向数据表添加了 PW 和 BQA 封装	1

Changes from Revision C (June 2002) to Revision D (July 2024)	Page
• 添加了*器件信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*器件功能模式*、“应用和实施”部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 更新了 R θ JA 值：D 封装从 86 更新至 119.9，所有值均以 °C/W 为单位	5

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC02F3A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC02F3A
CD54AC02F3A.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC02F3A
CD74AC02BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC02
CD74AC02E	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC02E
CD74AC02E.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC02E
CD74AC02M	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-55 to 125	AC02M
CD74AC02M96	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC02M
CD74AC02M96.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC02M
CD74AC02PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	AC02

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC02, CD74AC02 :

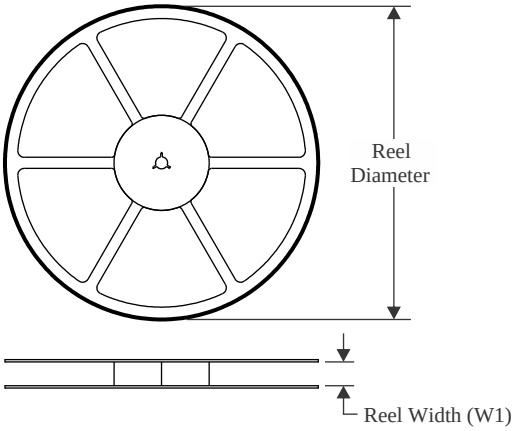
- Catalog : CD74AC02
- Military : CD54AC02

NOTE: Qualified Version Definitions:

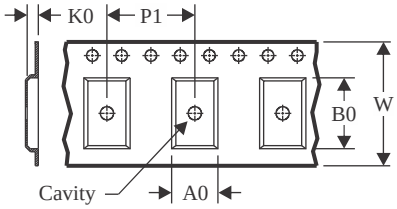
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

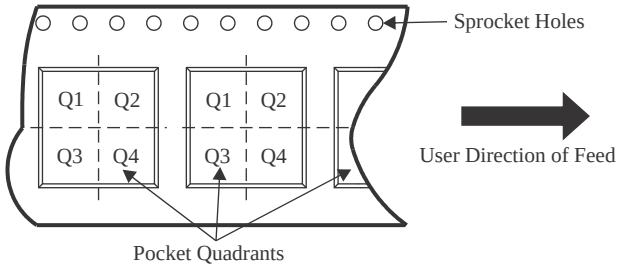


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

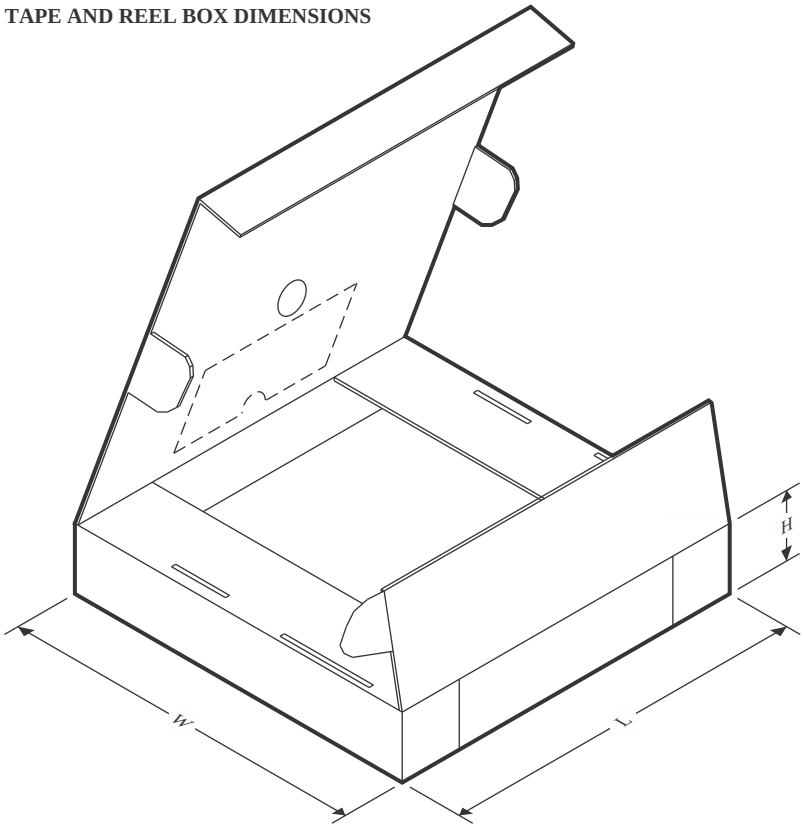
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC02BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
CD74AC02PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

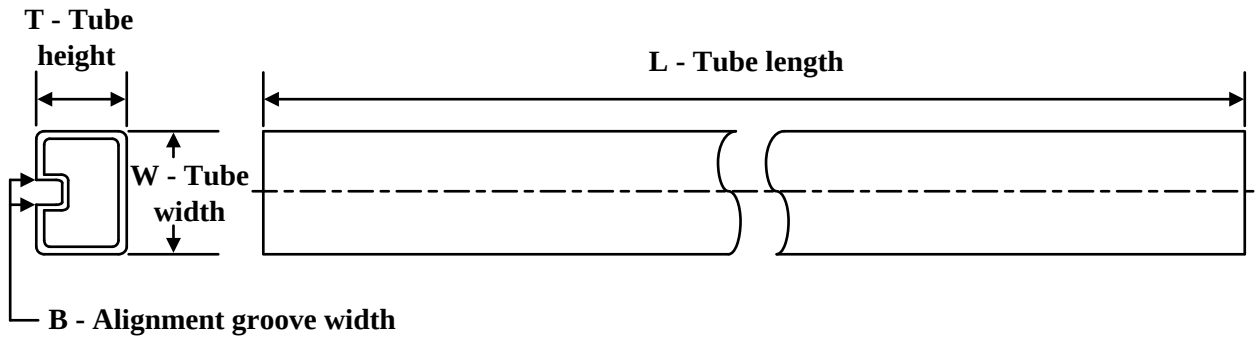
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

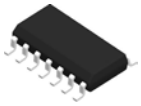
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC02BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
CD74AC02PWR	TSSOP	PW	14	3000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74AC02E	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC02E	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC02E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74AC02E.A	N	PDIP	14	25	506	13.97	11230	4.32

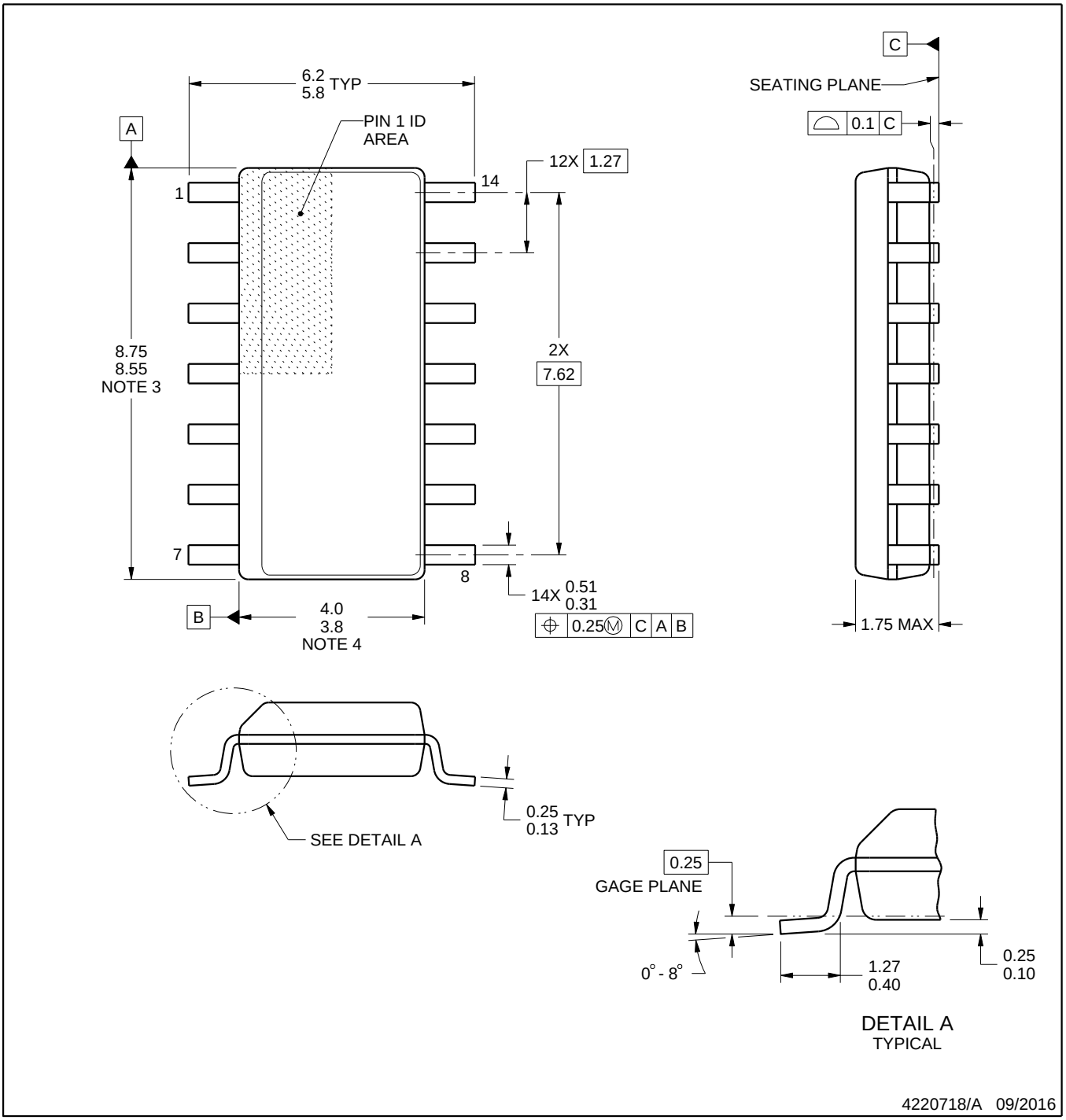


PACKAGE OUTLINE

D0014A

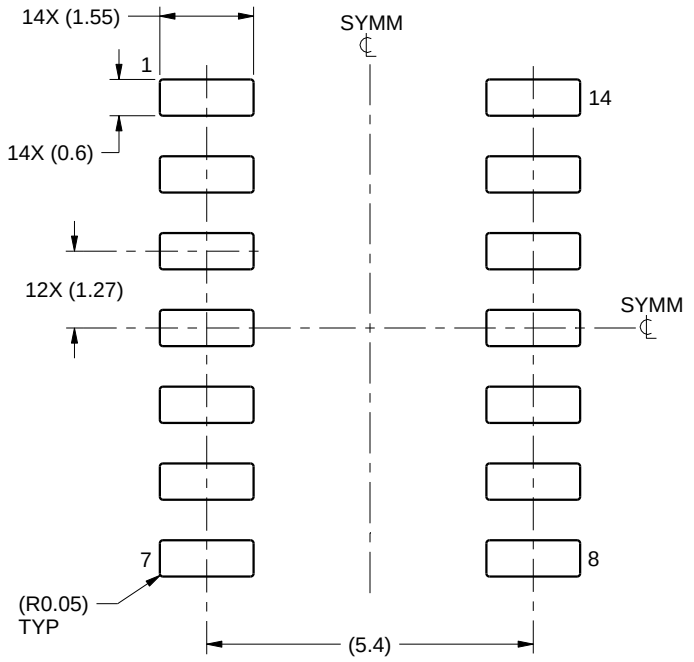
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

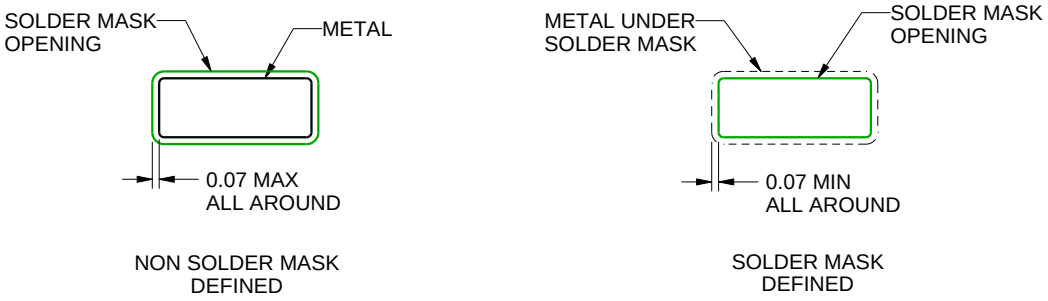


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

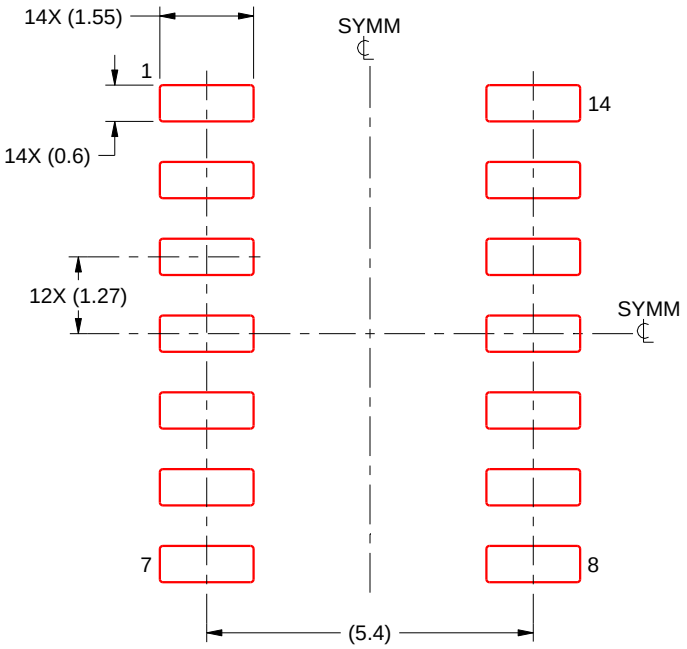
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

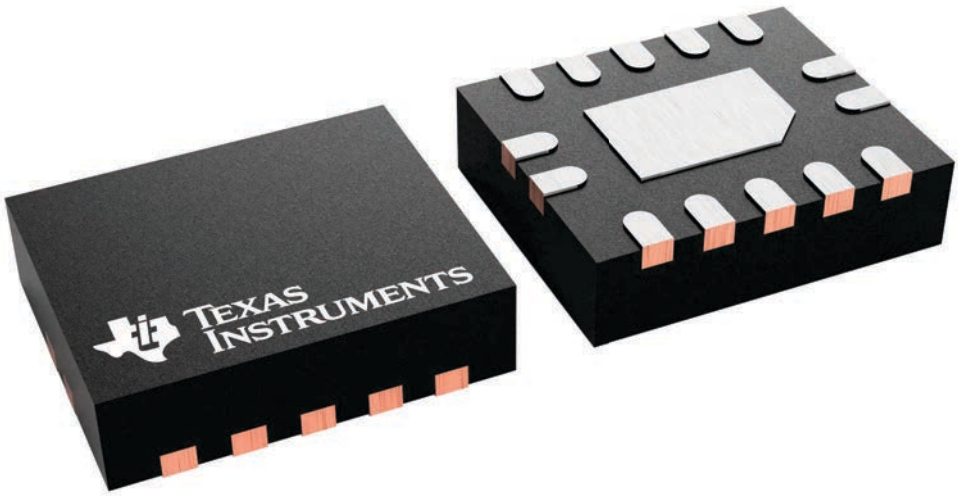
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

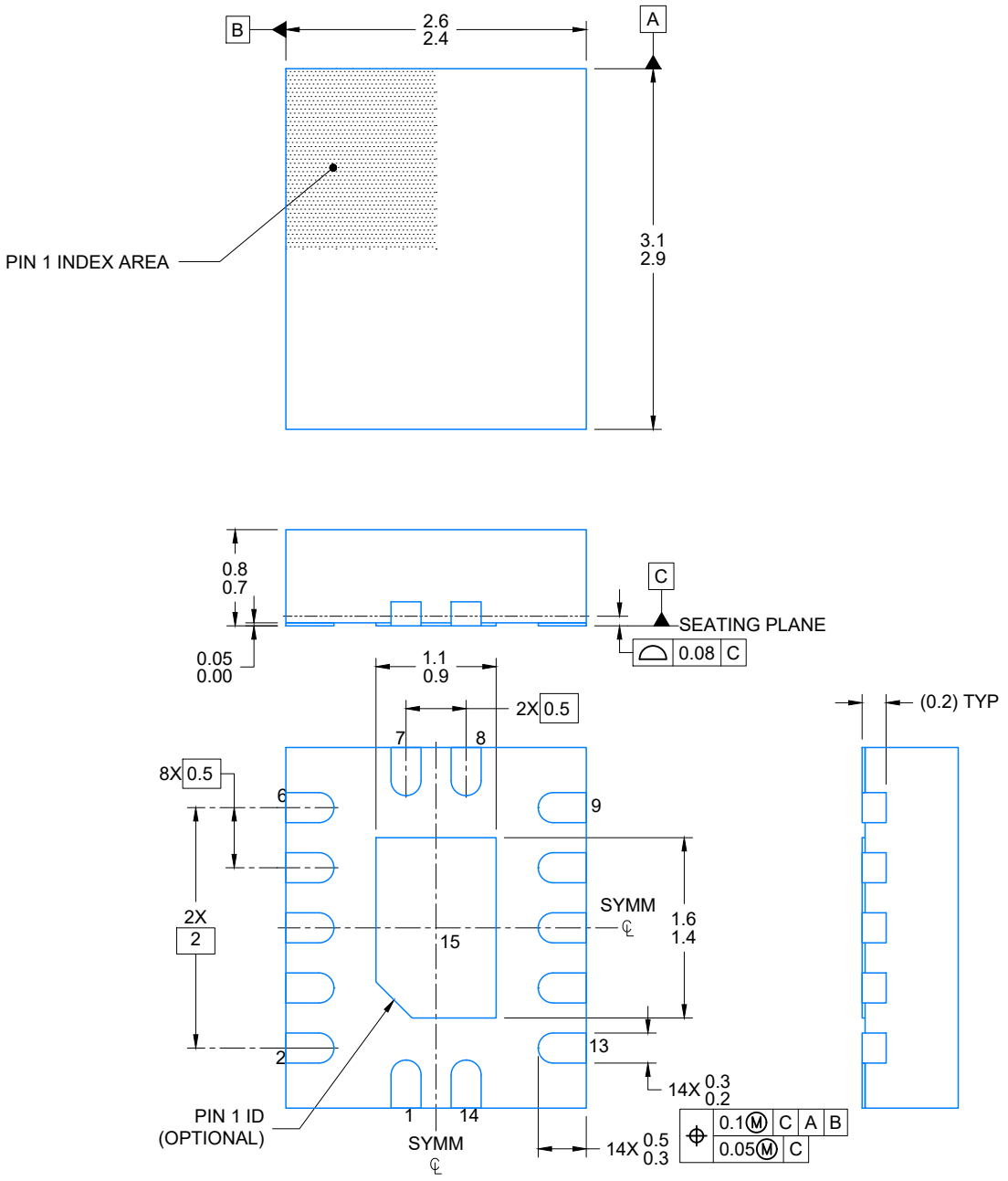


PACKAGE OUTLINE

BQA0014A

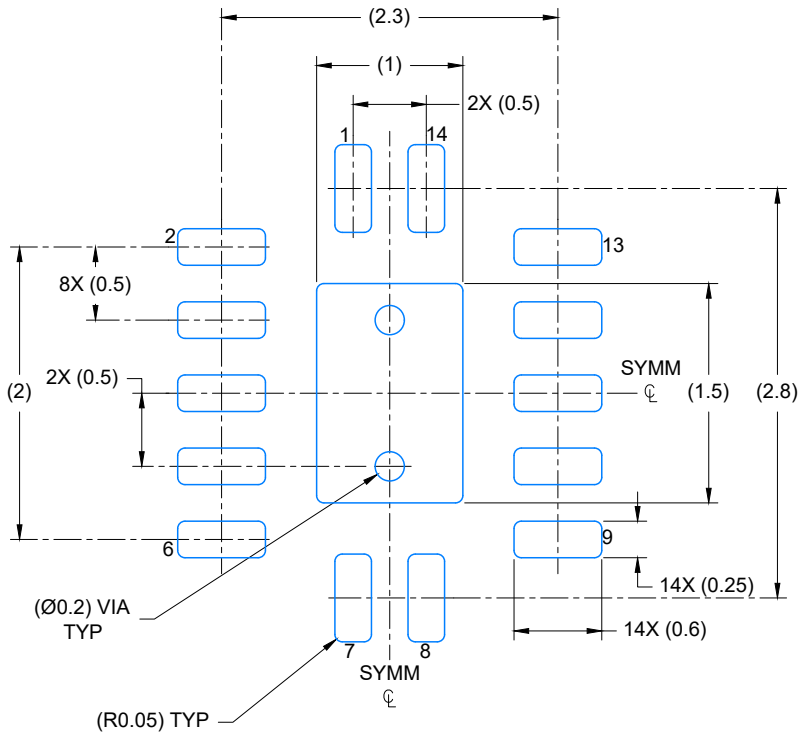
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

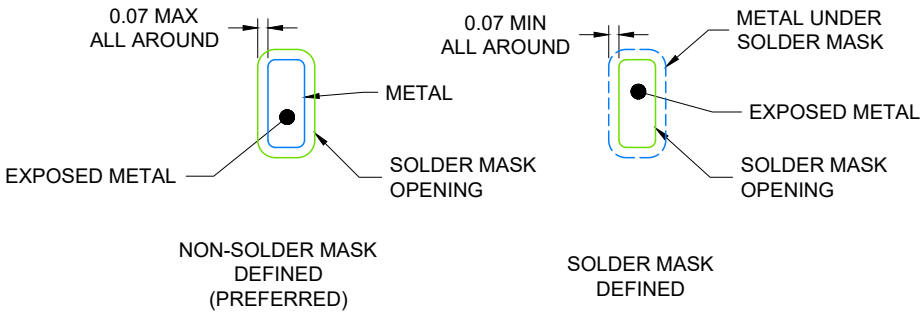


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



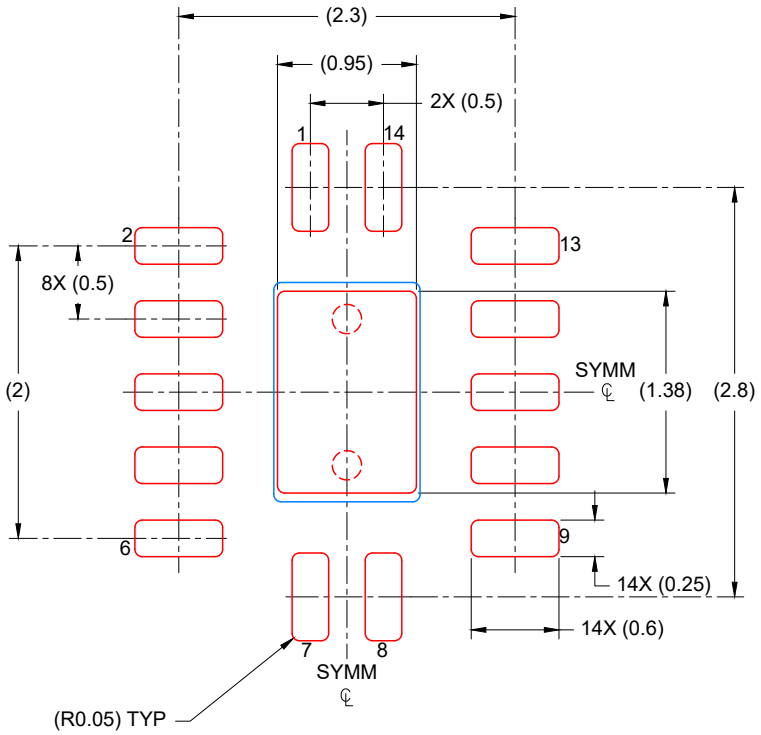
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

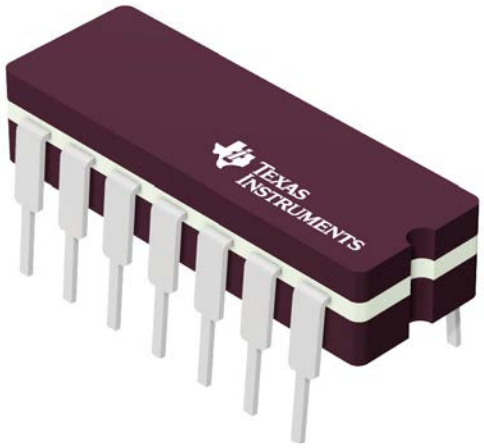
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

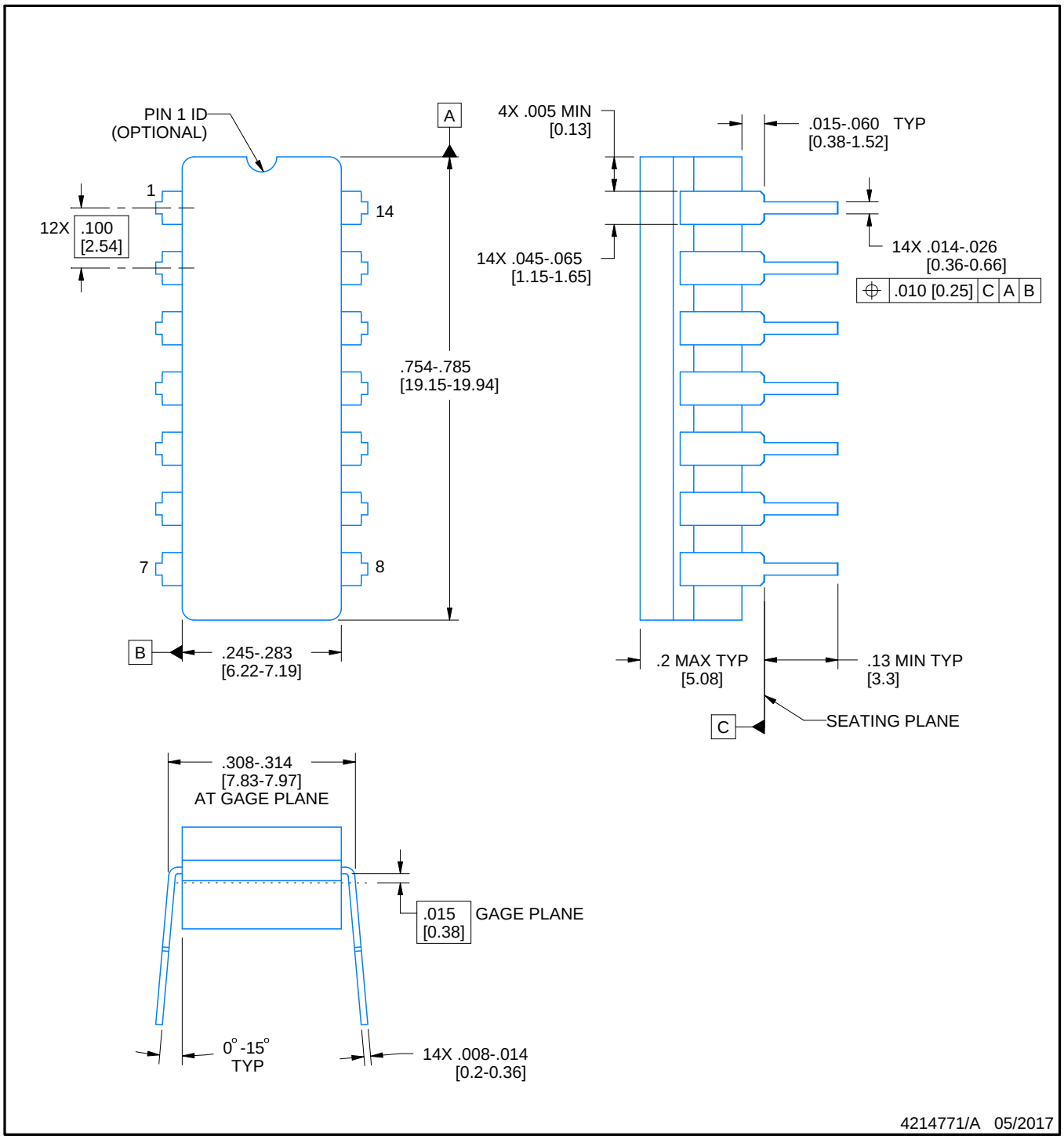


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

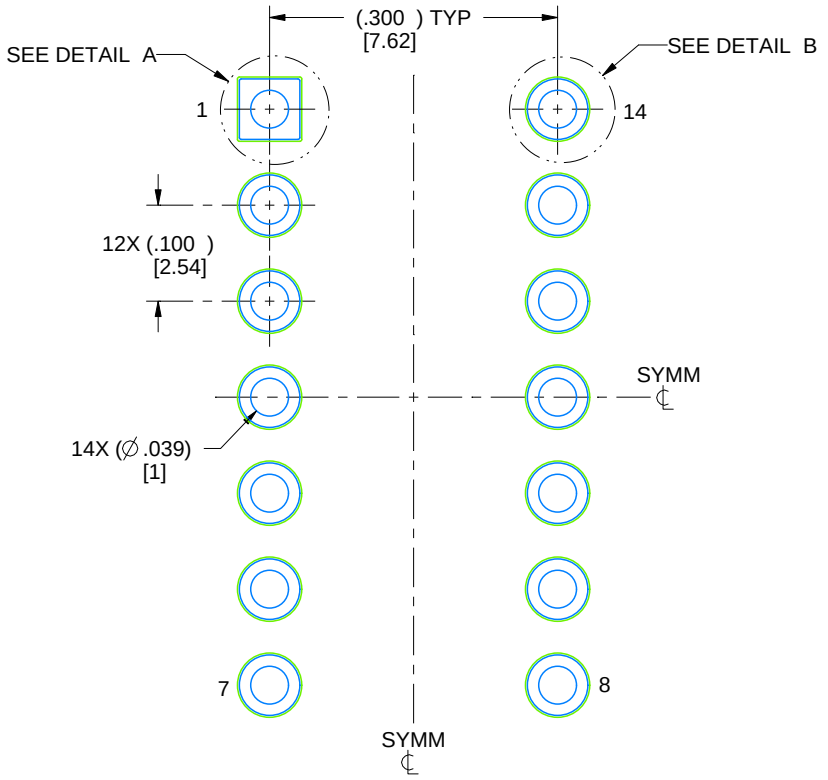
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

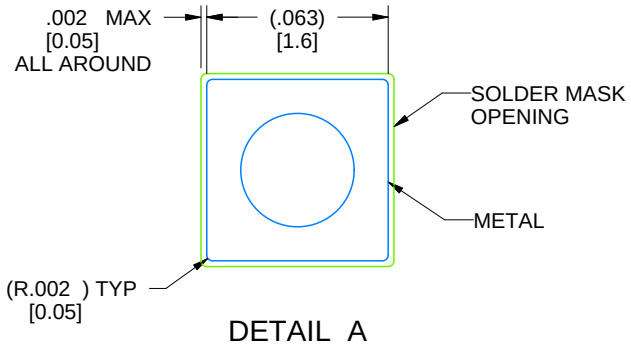
J0014A

CDIP - 5.08 mm max height

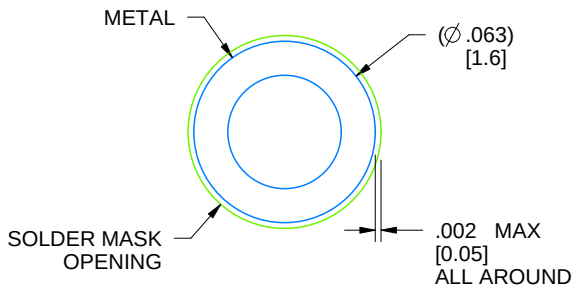
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



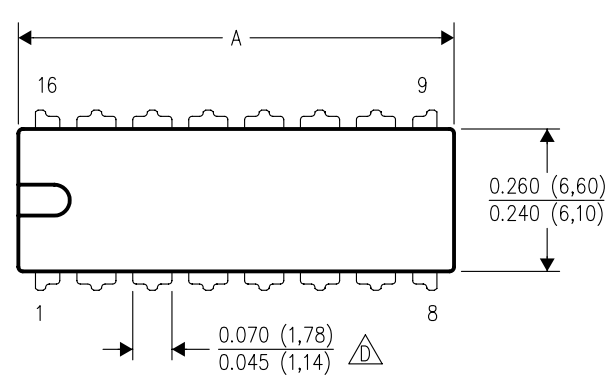
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

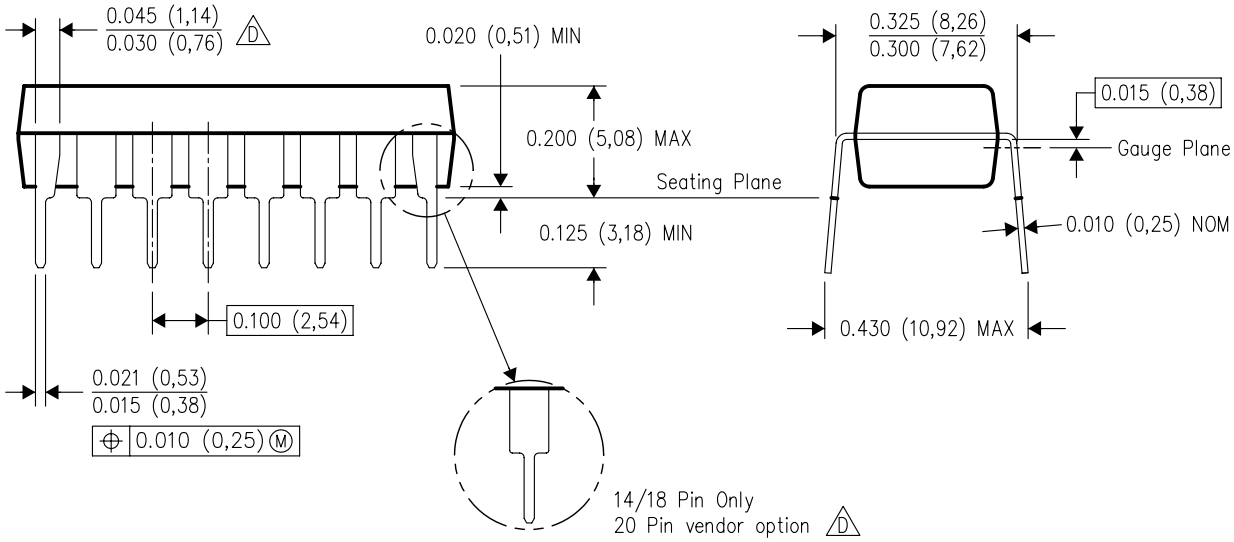
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

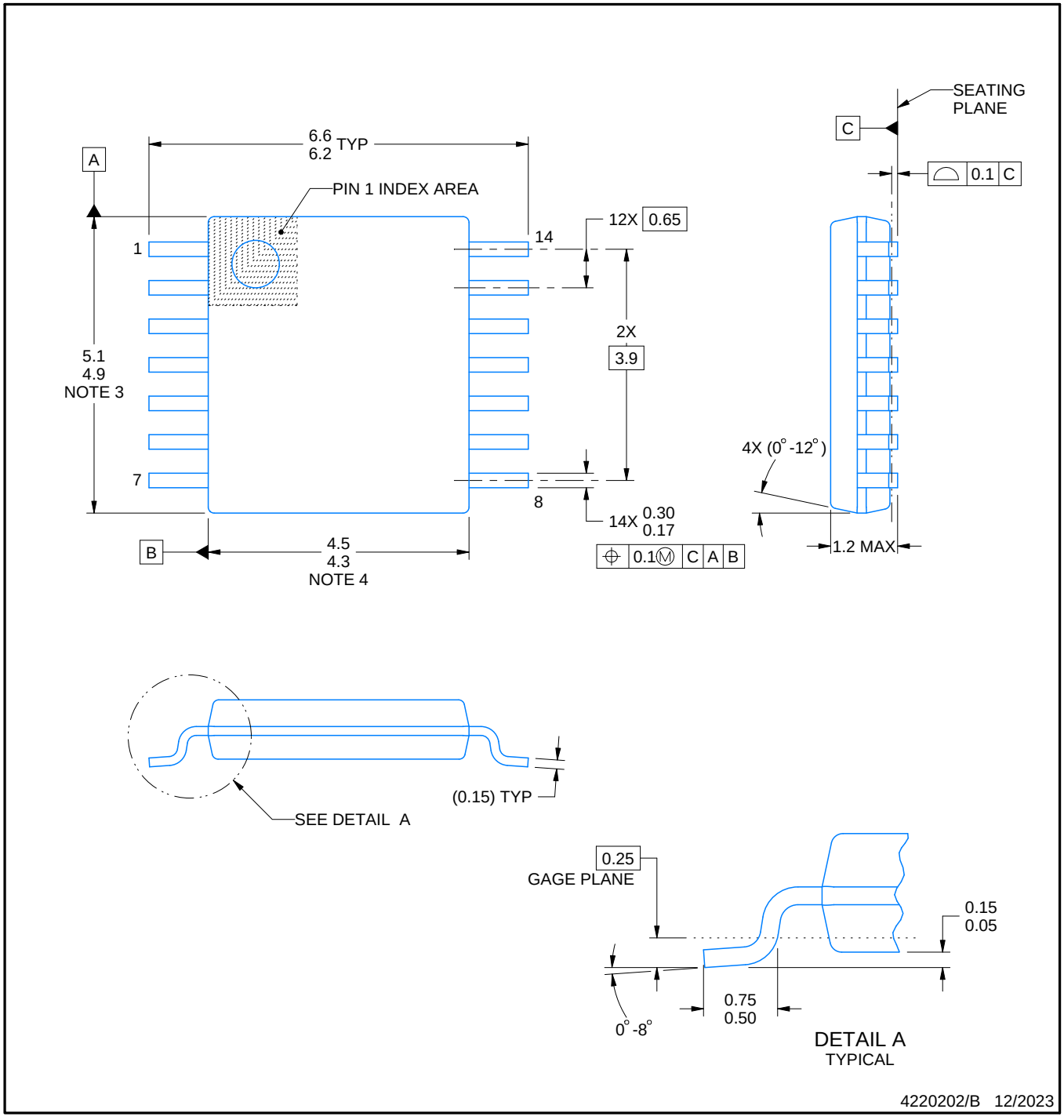
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

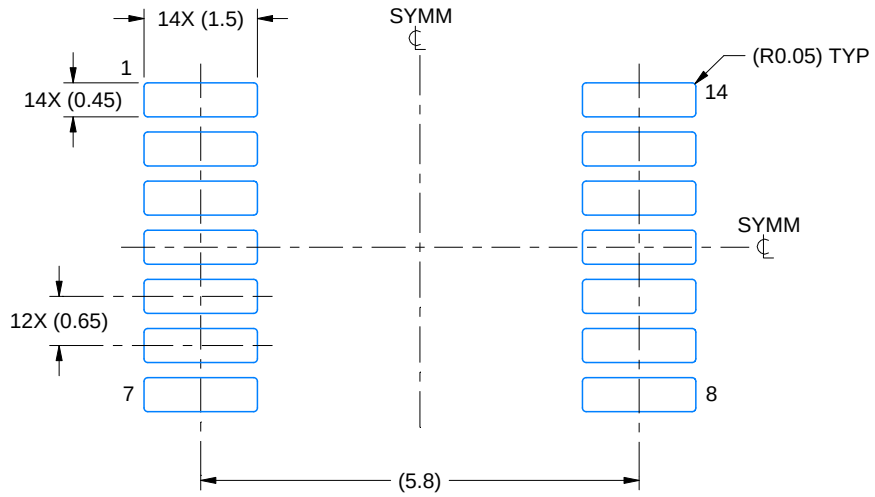
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

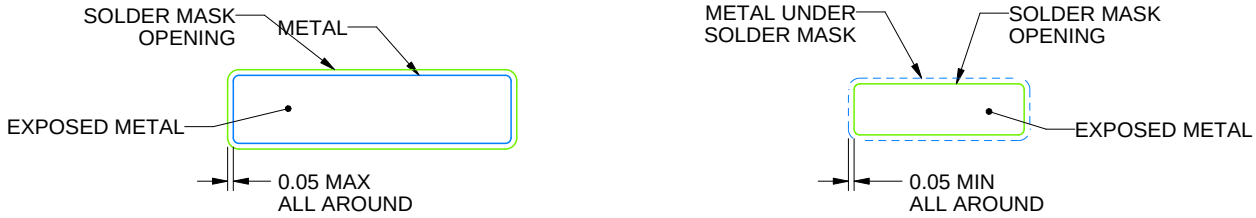


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

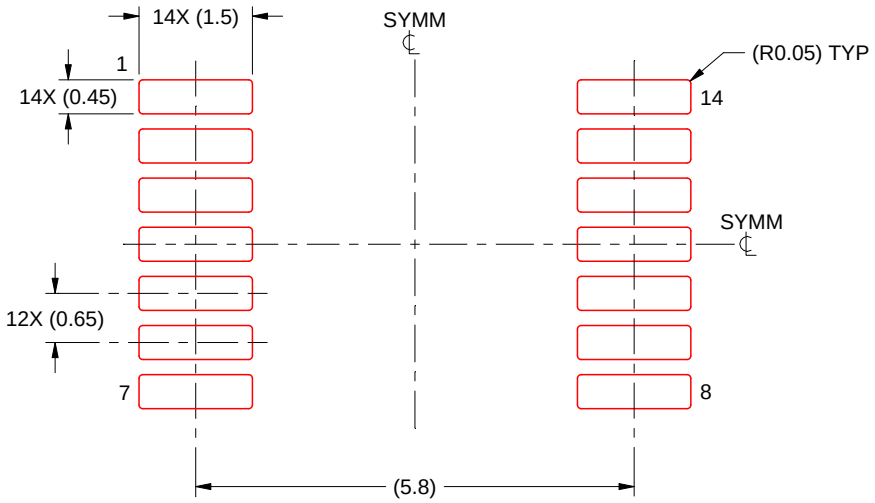


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月