带输出检测的2.5 W、5.1 V 数字升压D类音频放大器

SSM4567

产品特性

具有扩频Σ-Δ调制能力无需滤波器D类放大器，集成升压调节器(5.1 V)
提供输出电压、输出电流和VBAT电源电压的数字输出
集成升压调节器
多种串行数据格式
- PDM输入/输出
- TDM从机单总线上支持多达8个芯片
- I^2S或从机左对齐
- 多芯片I^2S的单I^2S总线上支持多达4个芯片

8 kHz至192 kHz PCM采样速率
2.048至6.14 MHz PDM输入采样速率
通过I^2C控制、TDM控制或PDM模式码进行配置
独立控制模式
采用3.6 V电源供电时，能够以2.5 W功率驱动4 Ω负载，以1.42 W功率驱动8 Ω负载，总谐波失真加噪声(THD + N)小于1%
采用19引脚1.74 mm x 2.1 mm，0.4 mm间距WLCSP封装
系统效率：89.7%(以1 W功率驱动8 Ω负载，VBAT = 3.6 V)
输出噪声：21.7 μV rms(A加权)
THD + N：0.025%(1 kHz、输出功耗为500 mW)
PSSR：90 dB(217 Hz，扰动输入)
输出电流检测的信噪比(SNR)为72 dB，电压检测的SNR则为77 dB
静态功耗： 19.8 mW
爆音与咔嚓声抑制
灵活的电池监控AGC
升压和D类输出有短路保护，此外还提供热保护和自动恢复功能
检测到PDM停止条件或无时钟输入时智能关断
PDM输入有隔直高通滤波器和静态输入直流保护
可选超低EMI辐射和低延迟模式

应用

手机
平板电脑
便携式媒体播放器

功能框图

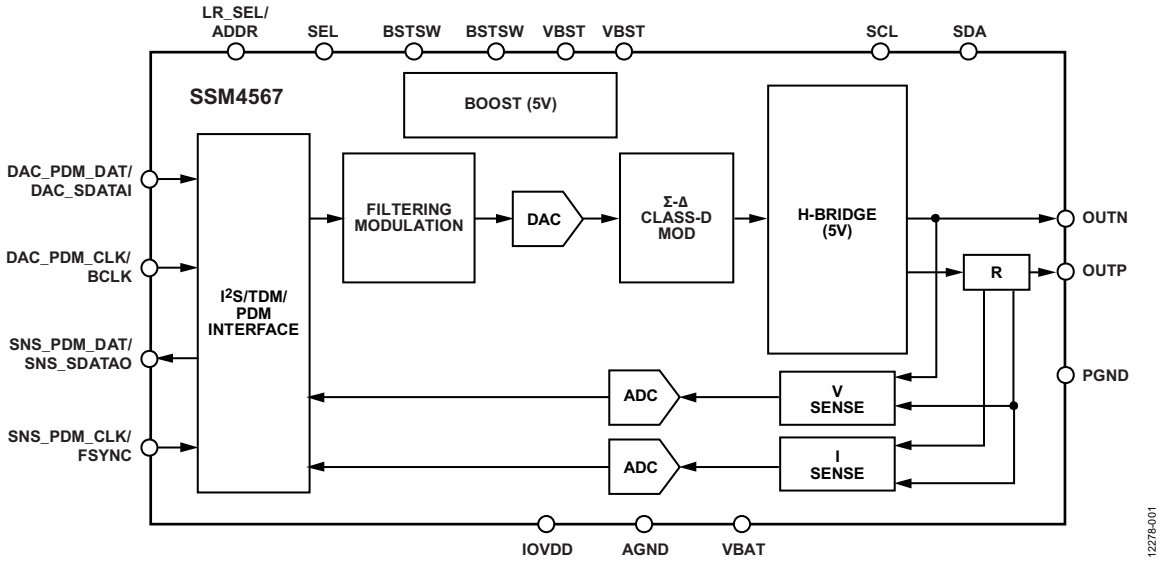

图1.

Rev. 0
Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700
©2014 Analog Devices, Inc. All rights reserved.
Technical Support
www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性 1
应用 1
功能框图 1
目录 2
修订历史 3
概述 4
技术规格 5
数字输入/输出 6
绝对最大额定值 7
热阻 7
ESD警告 7
引脚配置和功能描述 8
典型性能参数 9
工作原理 15
工作模式 15
时钟 15
电源 15
功耗控制 15
上电复位/电压监控器 15
PDM模式设置和控制 15
PDM模式码控制 16
PDM通道选择 17
PCM模式引脚设置和控制 17
PCM数字音频串行接口 17
串行数据放置点 17
立体声(I^2S/左对齐)工作模式 19
右对齐数据 19
TDM工作模式 19
多芯片I^2S工作模式 20
系统增益 20
输出电流检测 21
输出电压检测 21
VBAT检测 21
限幅器和电池跟踪阈值控制 21
I^2C控制 22
TDM控制接口 24
独立模式控制 24
EMI噪声 24
输出调制描述 24
集成升压转换器 25
应用信息 26
升压调节器元件选择 26
布局布线 26
电源去耦 27
典型应用电路 28
软件控制模式，I^2S/TDM接口 28
软件控制模式，PDM接口 29
独立模式，I^2S/TDM接口 30
模式码控制模式，PDM接口 31
寄存器汇总 32
寄存器详解 33
电源控制寄存器 33
放大器和检测控制寄存器 34
DAC控制寄存器 35
DAC音量控制寄存器 36
串行音频接口控制1寄存器 37
串行音频接口控制2寄存器 38
串行音频接口放置点1控制寄存器 39
串行音频接口放置点2控制寄存器 40
串行音频接口放置点3控制寄存器 41
串行音频接口放置点4控制寄存器 42
串行音频接口放置点5控制寄存器 43
串行音频接口放置点6控制寄存器 43
电池电压输出寄存器 44
限幅器控制1寄存器 44
限幅器控制2寄存器 45
限幅器控制3寄存器 46
状态1寄存器 47
状态2寄存器 47
故障控制寄存器 48
PDM控制寄存器 49
MCLK比设置寄存器 49
升压控制1寄存器 50
升压控制2寄存器 51
软复位寄存器 51
外形尺寸 52
订购指南 52

修订历史

2014年4月—修订版0：初始版

概述

SSM4567是一款数字输入D类功率放大器，集成升压转换器，相比普通电池电源具有更高的输出功率。这意味着最大输出功率在电池电压范围内是恒定的。SSM4567是功率敏感应用的理想选择。在功率敏感应用中，系统噪声能够破坏发送至放大器的小模拟信号，例如移动电话、平板电脑和便携式多媒体播放器。

SSM4567在单个芯片上集成了一个音频数模转换器(DAC)、一个功率放大器和一个PDM或PCM (I²S/TDM)数字音频接口。利用SSM4567，音频能够以数字的方式发送至音频放大器，从而显著降低噪声源对所传输音频的影响，无需使用输入耦合电容。SSM4567采用3.6 V电源供电时，能够提供2.5 W连续输出功率，驱动4 Ω负载，且THD+N值小于1%。

通过I²C、PDM模式码控制或TDM控制，可以控制SSM4567。它也可以在无控制接口的独立模式下工作。

SSM4567内置检测电路，可检测输出电流、输出电压和VBAT电源电压。电流检测采用输出引脚和负载之间连接的片内检测电阻来实现。输出电流和电压发送至ADC。这些ADC的输出通过数字串行输出端口提供。VBAT电源电压可与完全可配置的自动增益控制电路一同使用。AGC在低电池电压时可限制最大输出，从而避免从电池吸取过多电流，延长电池使用寿命。

SSM4567采用高效率、低噪声调制方案，无需外部LC输出滤波器。闭环五级调制器设计保留了纯数字放大器的优势，同时又具有极佳的PSRR和音频性能。该调制能够在低功耗情况下继续提供高效率，且SNR为104 dB(A加权)。与其它D类架构相比，采用扩频脉冲密度调制可提供更低的电磁辐射。

SSM4567具有微功耗关断模式，在VBAT电源下的关断电流典型值均为0.2 μA。关断通过选通输入时钟和数据信号来自动启动。

SSM4567的额定温度范围为−40°C至+85°C工业温度范围。它内置热关断以及放大器和升压输出短路保护功能，采用19引脚、1.74 mm x 2.1 mm晶圆级芯片规模封装(WLCSP)。

技术规格

除非另有说明，VBAT = 3.6 V，IOVDD = 1.8 V，T_A = 25°C，R_L = 8 Ω + 33 μH，VBST = 5.1 V，20 Hz至20 kHz带宽(BW)。PDM工作模式下，PDM时钟 = 3.072 MHz；PCM工作模式下，f_S = 48 kHz。

表1.

参数	符号	条件	最小值	典型值	最大值	单位
放大器特性						
输出功率/通道	P_{OUT}	R_L = 8 Ω, THD = 1%, f = 1 kHz,		1.43		W
		R_L = 8 Ω, THD = 10%, f = 1 kHz		1.81		W
		R_L = 4 Ω, THD = 1%, f = 1 kHz		2.49		W
		R_L = 4 Ω, THD = 10%, f = 1 kHz		3.17		W
系统效率	η	P_O = 1 W, VBAT = 3.6 V, R_L = 8 Ω		89.7		%
总谐波失真加噪声	THD + N	f = 1 kHz, P_O = 1 W, R_L = 8 Ω		0.031		%
		f = 1 kHz, P_O = 0.5 W, R_L = 8 Ω		0.025		%
输出电压噪声	e_n	VBST = 5.1 V，20 kHz带宽，扰动输入，A加权		21.7		μV
信噪比	SNR	A加权，折合到输出端，1% THD		104		dB
平均开关频率	f_{SW}			300		kHz
满量程输出电压		0 dBFS PCM或−6 dBFS PDM输入		5.17		V峰值
差分输出失调电压	V_{OOS}			1.1		mV
电源						
电源电压范围	VBAT		2.5	3.6	5.2	V
	IOVDD		1.62	1.8	1.98	V
电源抑制比	直流电源抑制比(DC PSRR)	扰动输入		70		dB
	$PSRR_{GSM}$	扰动输入，VBAT上的V_{RIPPLE} = 100 mV，217 Hz		90		dB
静态电源电流						
VBAT	I_{VBAT}	VBAT = 3.6 V		4.86		mA
IOVDD	I_{VDD}	IOVDD = 1.8 V，PDM时钟 = 3.072 MHz		1.28		mA
关断电流						
VBAT	I_{VBAT}	VBAT = 3.6 V，无输入时钟		0.2	1	μA
IOVDD	I_{VDD}	IOVDD = 1.8 V，无输入时钟		2.8		μA
关断控制						
开启时间	t_{WU}			3		ms
关闭时间	t_{SD}			10		μs
输出阻抗	Z_{OUT}			86		kΩ
时钟和采样速率						
输入和输出采样速率，PCM	f_S	LRCLK速率	8		192	kHz
BCLK频率，PCM	f_{BCLK}		2.048		24.576	MHz
输入采样速率，PDM	$f_{DAC_PDM_CLK}$		2.048		6.144	MHz
输出采样速率，PDM	$f_{SNS_PDM_CLK}$		1.024		6.144	MHz
输出检测						
电压检测信噪比	SNR_V	A加权		77		dB
电压检测满量程	VFS	ADC输出0 dBFS PCM/−6 dBFS PDM时的输出电压		6		V峰值
电压检测绝对精度				1.5		%
电压检测增益漂移		温度T_A = 10°C至60°C		1		%
电流检测信噪比	SNR_I	A加权		72		dB
电流检测输入满量程电压	IFS	ADC输出0 dBFS PCM/−6 dBFS PDM时检测电阻上的电压		1.78		A峰值

参数	符号	条件	最小值	典型值	最大值	单位
电流检测绝对精度				1.5		%
电流检测增益漂移		T_A = 10°C至60°C		1.5		%
VBAT检测满量程范围			2		6	V
VBAT检测绝对精度				3		%
电流和电压检测线性度		−80 dBr至0 dBr			1	dB
升压转换器						
输出电压	V_{OUT}			5.1		V
输入电流限值	IMAX			2.2		A
软启动电流限值				0.25		A
电压调整率				0.20		%/V
负载调整率				0.15		%/A
电感			1	2.2		µH
输入电容			10			µF
输出电容			10	22		µF
PMOS开关电阻	R_{ONP}	VBAT = 3.6 V, VBST = 5.1 V		80		mΩ
NMOS开关电阻	R_{ONN}	VBAT = 3.6 V, VBST = 5.1 V		55		mΩ
开关频率	$f_{BOOSTSW}$			1.536		MHz
效率	η_{BOOST}	200 mA输出		91		%
自动增益控制						
AGC增益启动时间			20		120	µs/dB
AGC增益释放时间			0.8	1.6	3.2	sec/dB
电池拐点		阈值降低开始时的VBAT电源	3.2	3.5	3.9	V
VBAT与限幅器范围的关系			1	3	4	V/V
AGC增益步长				0.1875		dB

数字输入/输出

表2.

参数	符号	最小值	典型值	最大值	单位
输入电压					
高	V_{IH}	0.7 × IOVDD		3.6	V
低	V_{IL}	−0.3		+0.3 × IOVDD	V
ADDR		−0.3		IOVDD + 0.3	V
输入泄露					
高	I_{IH}			1	µA
低	I_{IL}			1	µA
输入电容				5	pF
输出驱动强度			4.5		mA

绝对最大额定值

除非另有说明，绝对最大额定值相对于25°C而言。

表3.

参数	额定值
VBAT电源电压	−0.3 V至+6 V
IOVDD电源电压	−0.3 V至+2 V
输入电压	−0.3 V至+6 V
存储温度范围	−65°C至+150°C
工作温度范围	−40°C至+85°C
结温范围	−65°C至+165°C
焊接条件	JEDEC J-STD-020

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

θ_{JA}(结至空气热阻)针对最差条件，即器件焊接在电路板上以实现表贴封装。根据JESD51-9标准，采用自然对流冷却4层印刷电路板(PCB)确定θ_{JA}数值。更多信息请参阅应用笔记AN-617：“晶圆级芯片规模封装”(www.analog.com)。

表4. 热阻

封装类型	θ_{JA}	单位
19引脚 1.74 mm × 2.1 mm WLCSP封装	57.73	°C/W

ESD警告

ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

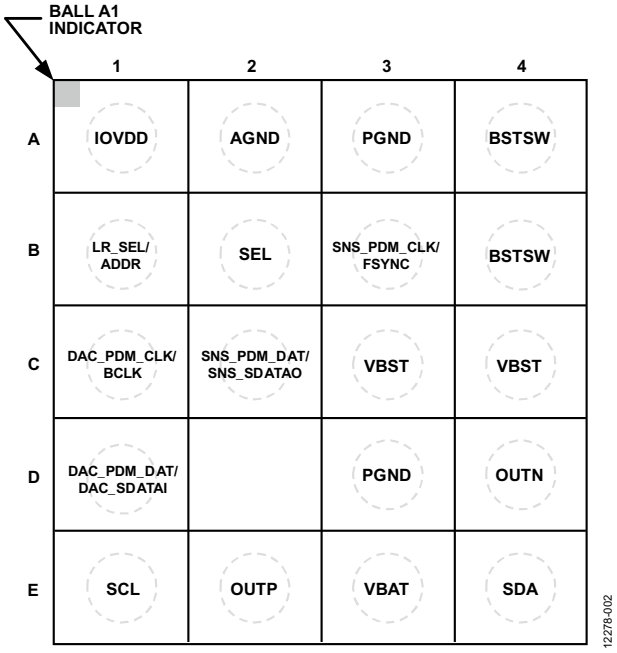

图2. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	说明
A1	IOVDD	I/O和数字电源
A2	AGND	模拟地
A3	PGND	功率放大器地
A4	BSTSW	升压开关
B1	LR_SEL/ADDR	PDM输入的左右声道选择/I²C地址
B2	SEL	PDM或I²S/TDM接口模式选择
B3	SNS_PDM_CLK/FSYNC	PDM模式下检测数据的PDM输出时钟/I²S/TDM模式下的帧同步时钟
B4	BSTSW	升压开关
C1	DAC_PDM_CLK/BCLK	PDM模式下的PDM输入时钟/I²S/TDM模式下的位时钟
C2	SNS_PDM_DAT/SNS_SDATAO	PDM模式下的检测数据输出/I²S/TDM模式下的检测数据输出
C3	VBST	升压转换器输出
C4	VBST	升压转换器输出
D1	DAC_PDM_DAT/DAC_SDATAI	PDM模式下DAC的PDM数据输入/I²S/TDM模式下DAC的串行数据输入
D3	PGND	功率放大器地
D4	OUTN	D类放大器反相输出
E1	SCL	I²C时钟信号
E2	OUTP	D类放大器同相输出
E3	VBAT	外部电池电源
E4	SDA	I²C数据信号

典型性能参数

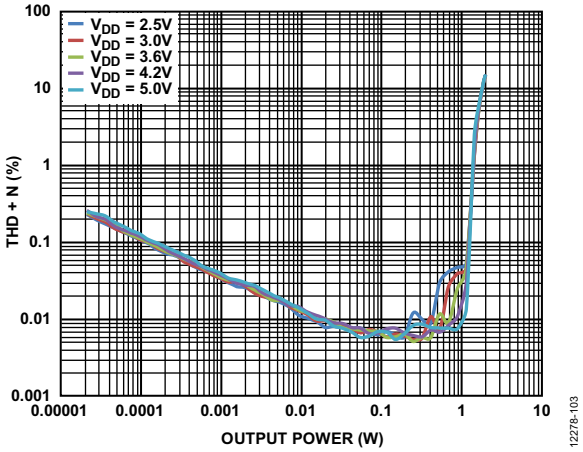

图3. THD + N与输出功率的关系(R_L = 8 Ω和33 μH)

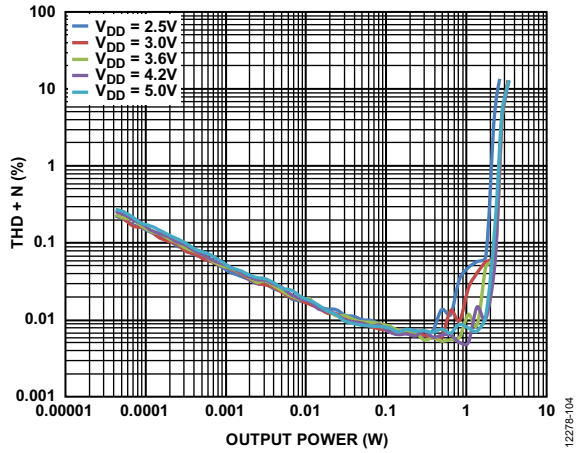

图4. THD + N与输出功率的关系(R_L = 4 Ω和15 μH)

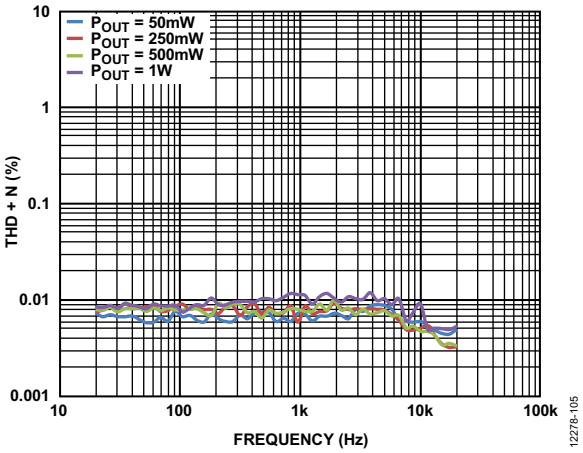

图5. THD + N与频率的关系(VBAT = 5 V，R_L = 8 Ω和33 μH)

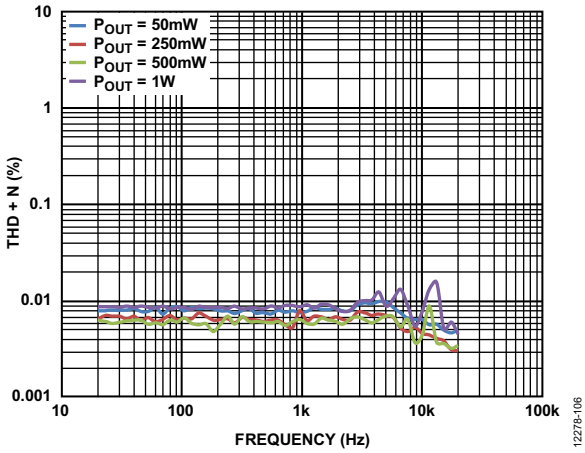

图6. THD + N与频率的关系(VBAT = 4.2 V，R_L = 8 Ω和33 μH)

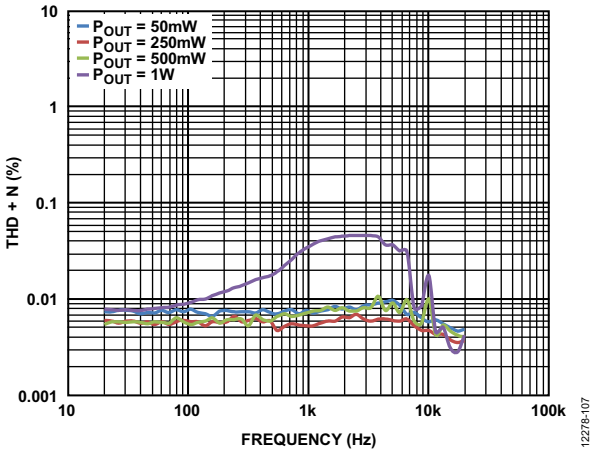

图7. THD + N与频率的关系(VBAT = 3.6 V，R_L = 8 Ω和33 μH)

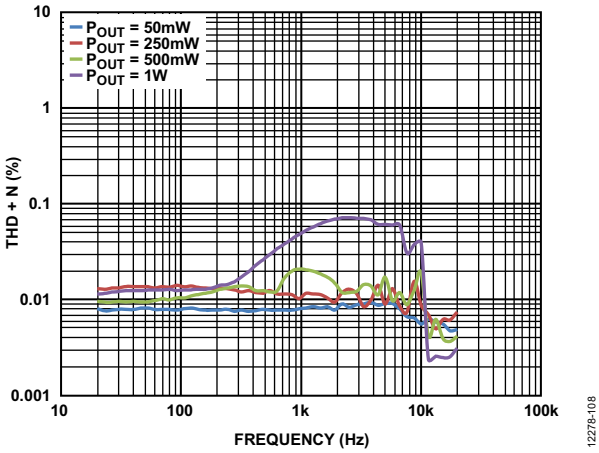

图8. THD + N与频率的关系(VBAT = 2.5 V，R_L = 8 Ω和33 μH)

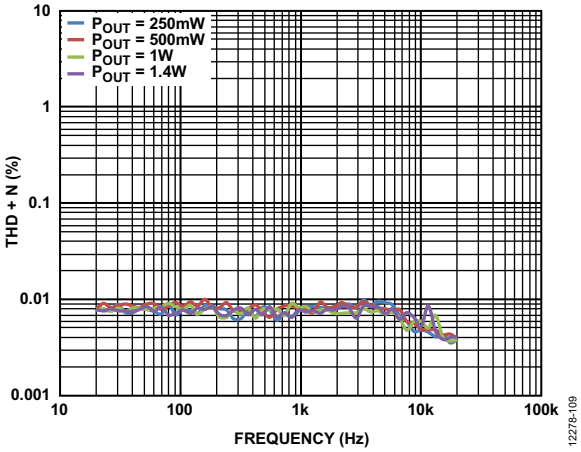

图9. THD + N与频率的关系(VBAT = 5 V，R_L = 4 Ω和15 μH)

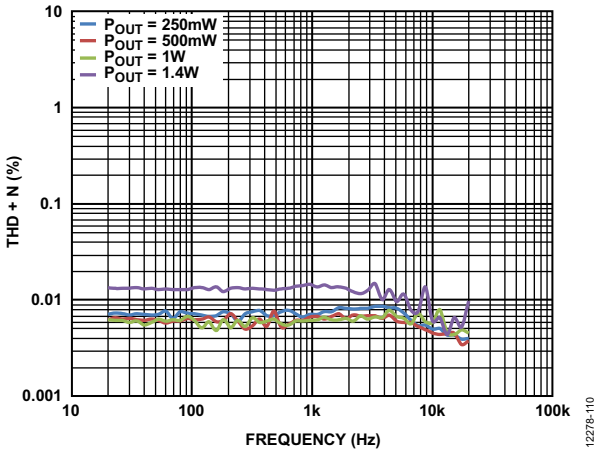

图10. THD + N与频率的关系(VBAT = 4.2 V，R_L = 4 Ω和15 μH)

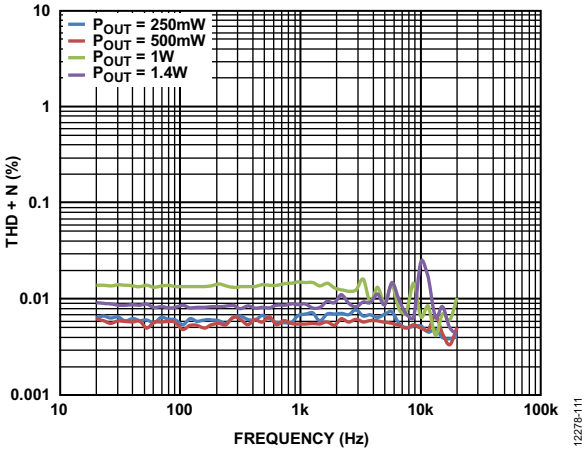

图11. THD + N与频率的关系(VBAT = 3.6 V，R_L = 4 Ω和15 μH)

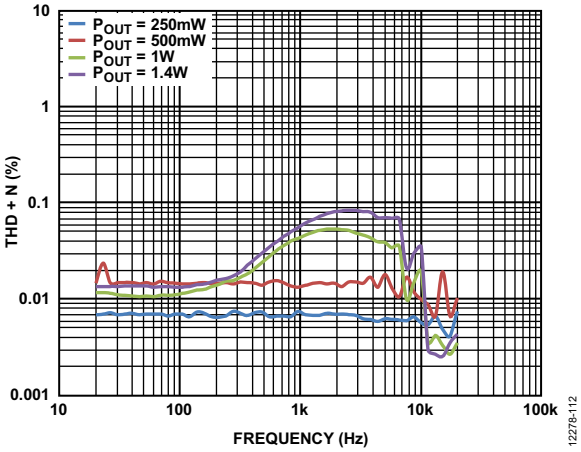

图12. THD + N与频率的关系(VBAT = 2.5 V，R_L = 4 Ω和15 μH)

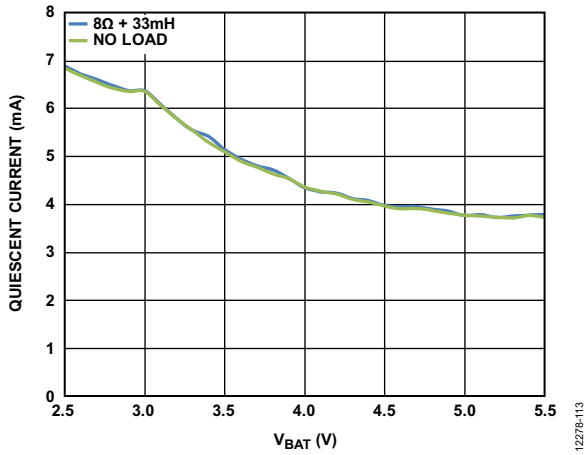

图13. 静态电流与V_{BAT}电源电压的关系

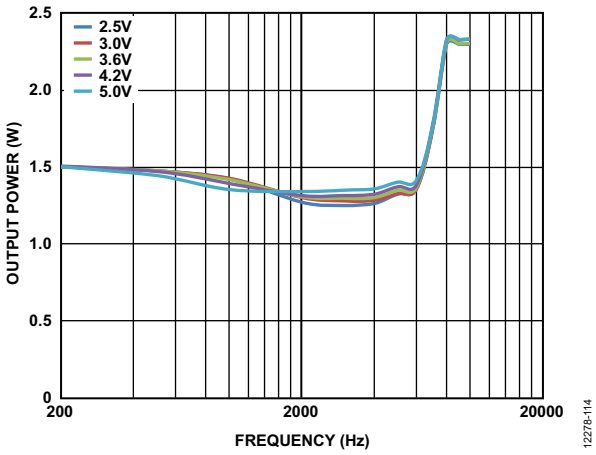

图14. 输出功率与频率的关系(R_L = 8 Ω，THD + N = 1%)

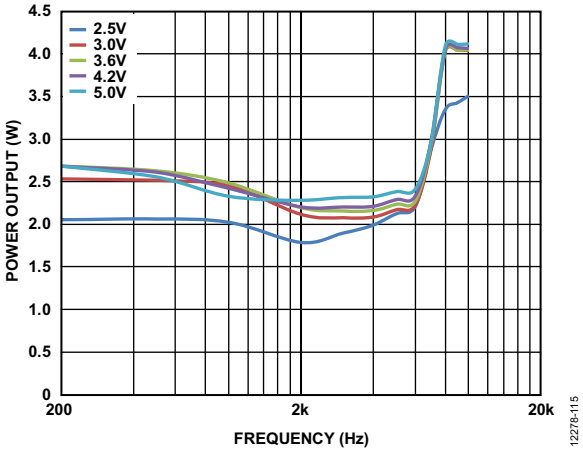

图15. 输出功率与频率的关系(R_L = 4 Ω，THD + N = 1%)

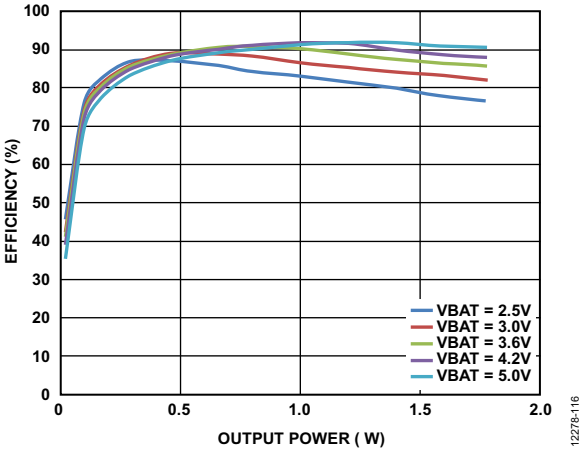

图16. 效率与输出功率的关系(升压电感 = 2.2 μH，R_L = 8 Ω和33 μH)

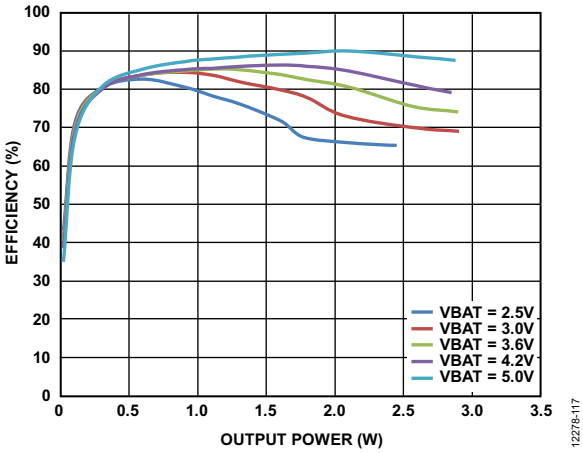

图17. 效率与输出功率的关系(升压电感 = 2.2 μH，R_L = 4 Ω和15 μH)

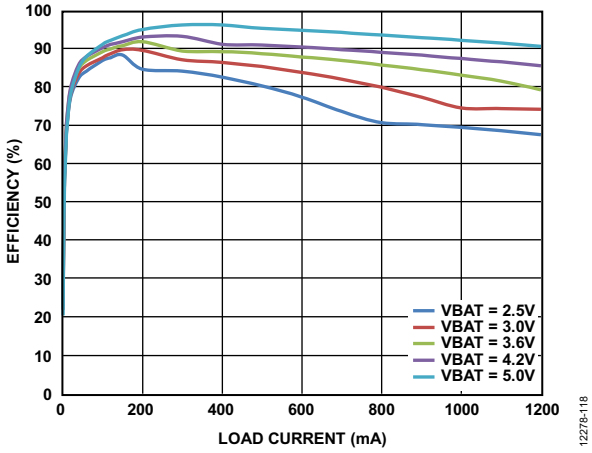

图18. 升压效率与输出电流的关系(升压电感 = 2.2 μH，3.072 MHz)

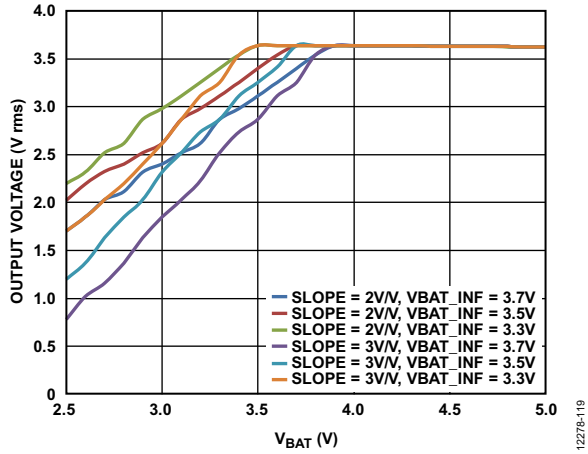

图19. 输出电压与V_{BAT}电源电压的关系(限幅器阈值 = 5.4 V)

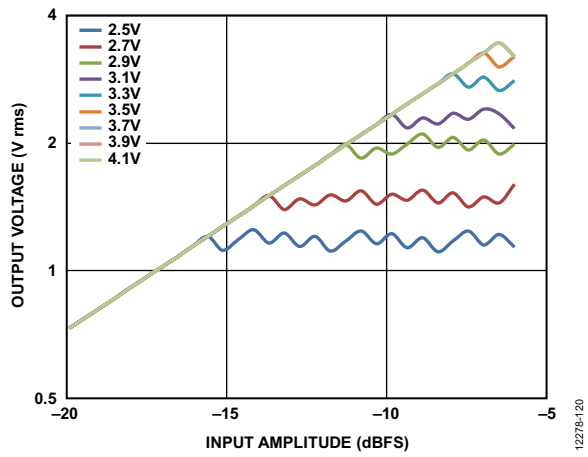

图20. 输出电压与输入幅度的关系

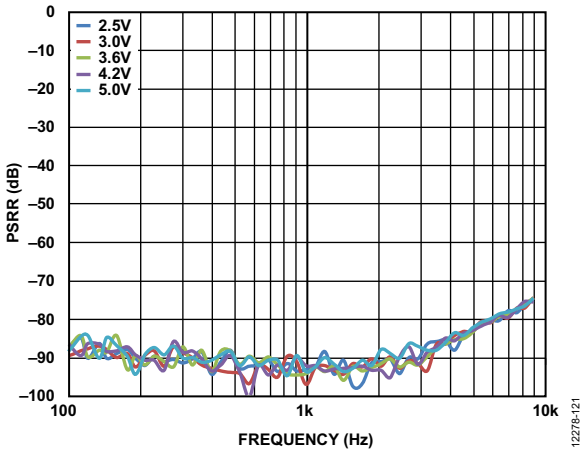

图21. 电源抑制比(PSRR)与频率的关系(R_L = 8 Ω)

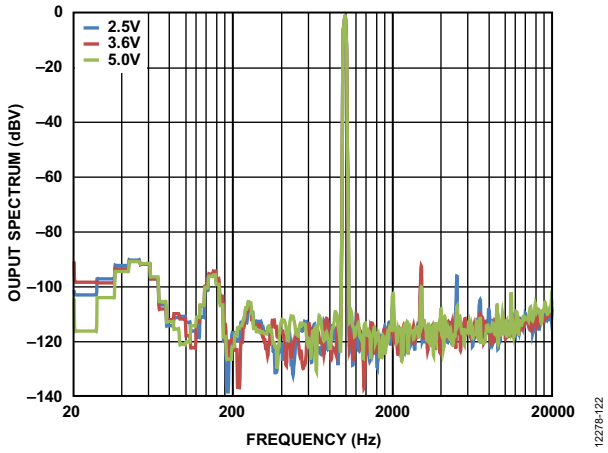

图22. 输出频谱与频率的关系(FFT，输出功率 = 100 mW，R_L = 8 Ω，1 kHz输入)

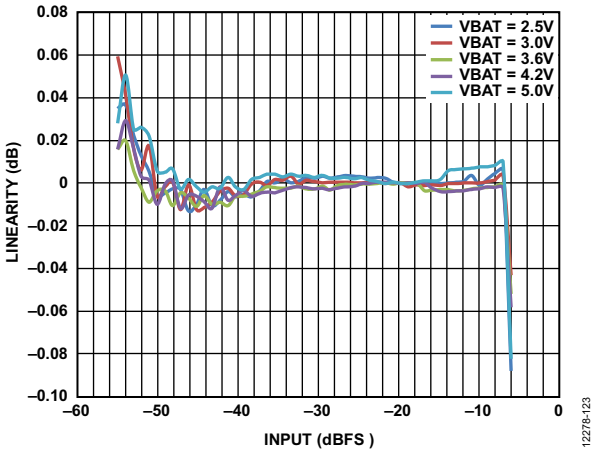

图23. 电压检测线性度与输入电平的关系(R_L = 8 Ω和33 μH)

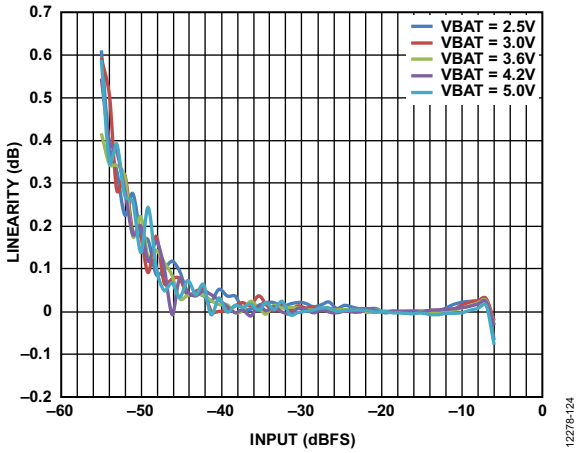

图24. 电流检测线性度与输入电平的关系(R_L = 8 Ω和33 μH)

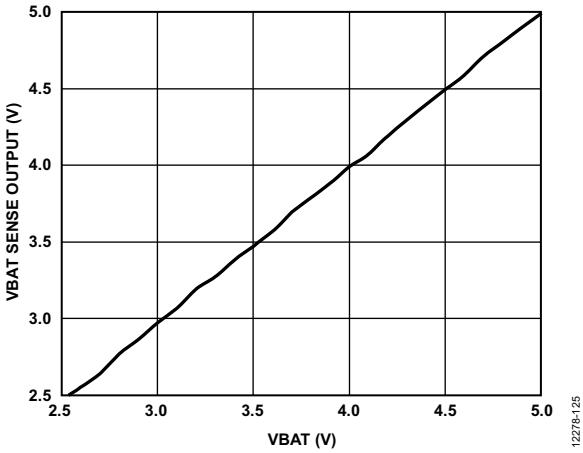

图25. VBAT ADC检测电平输出与VBAT电源电压的关系(R_L = 8 Ω)

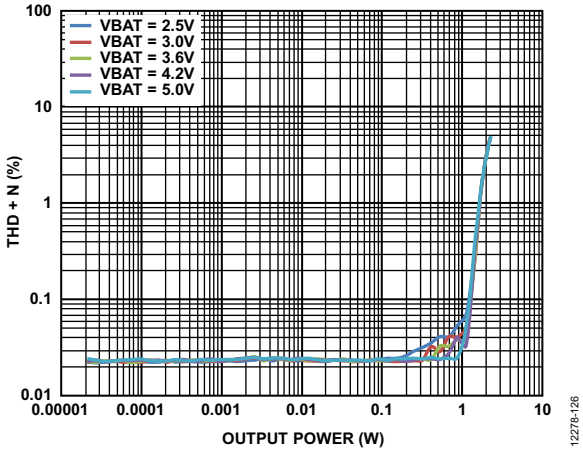

图26. 电流检测THD + N与输出功率的关系(R_L = 8 Ω和33 μH)

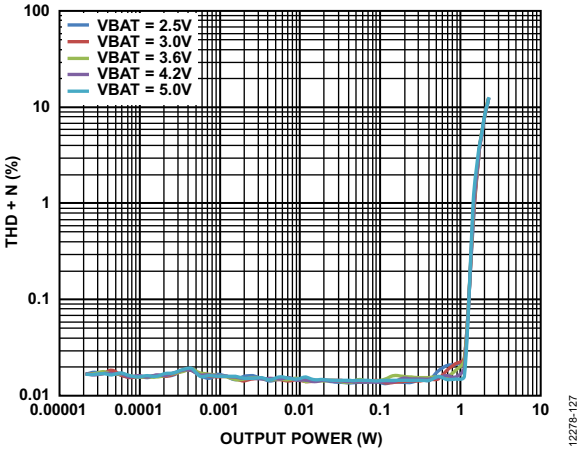

图27. 电压检测THD + N与输出功率的关系(R_L = 8 Ω和33 μH)

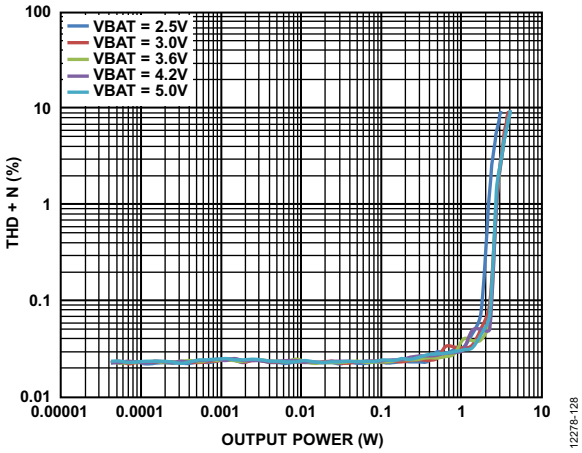

图28. 电流检测THD + N与输出功率的关系(R_L = 4 Ω和15 μH)

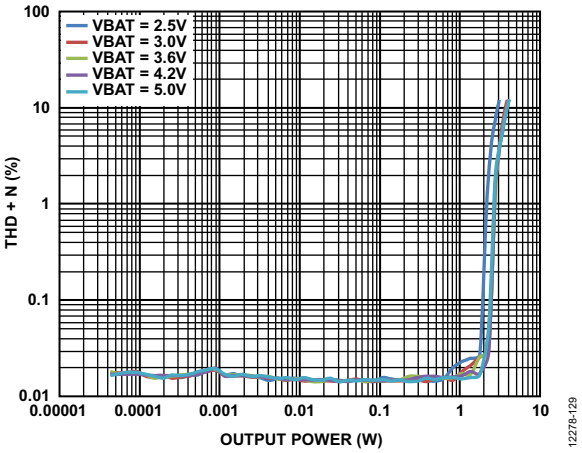

图29. 电压检测THD + N与输出功率的关系(R_L = 4 Ω和15 μH)

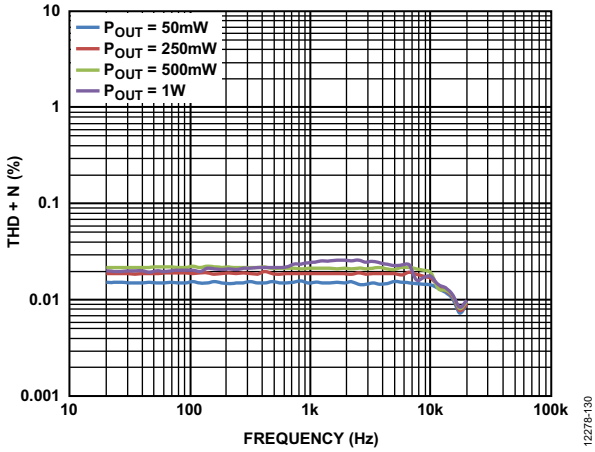

图30. 电压检测THD + N与频率的关系(VBAT = 3.6 V, R_L = 8 Ω和33 μH)

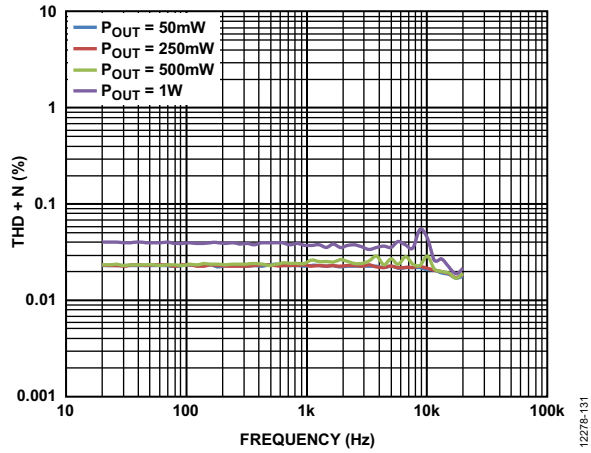

图31. 电流检测THD + N与频率的关系(VBAT = 3.6 V, R_L = 8 Ω和33 μH)

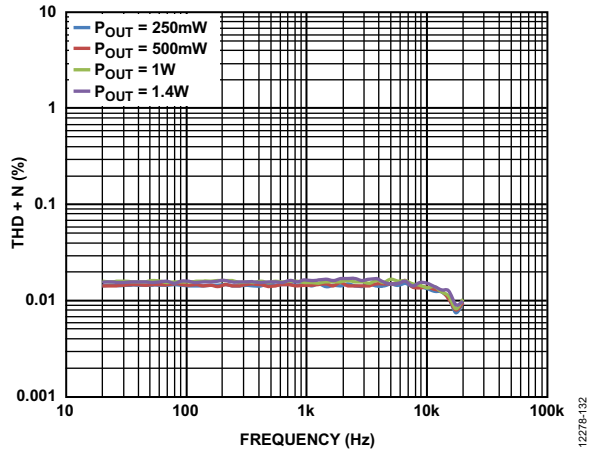

图32. 电压检测THD + N与频率的关系(VBAT = 3.6 V, R_L = 4 Ω和15 μH)

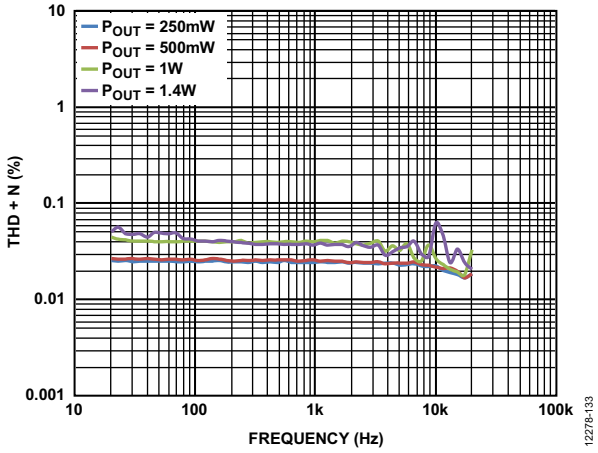

图33. 电流检测THD + N与频率的关系(VBAT = 3.6 V，R_L = 4 Ω和15 μH)

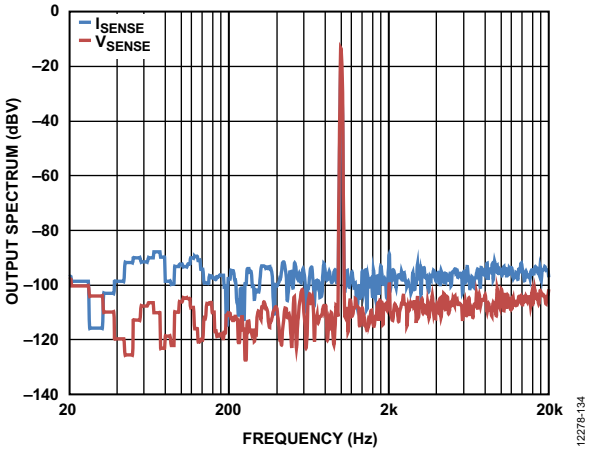

图34. 检测ADC的输出频谱与频率的关系(输出功率 = 100 mW，R_L = 8 Ω)

工作原理

工作模式

SSM4567有多种控制和音频I/O工作模式。SEL引脚接AGND时，SSM4567以1位PDM格式发送和接收音频和检测数据；SEL引脚接IOVDD时，SSM4567以多位PCM格式发送和接收音频和检测数据。采用PCM数据是，串行音频接口可配置为I²S、左对齐或TDM格式。通过I²C、PDM模式码控制、TDM控制或独立操作，可以控制SSM4567。详情参见表10。

时钟

SSM4567要求将一个时钟施加于DAC_PDM_CLK/BCLK输入引脚以便工作。此时钟必须与输入数字数据完全同步。时钟频率必须在2.048 MHz至24.576 MHz范围内(PCM模式)或2.048 MHz至6.144 MHz范围内(PDM模式)。

在独立I²S模式下，必须将所需的时钟施加于SNS_PDM_CLK/FSYNC引脚。

电源

SSM4567需要两个电源：VBAT和IOVDD。

VBAT

VBAT电源为升压转换器及其相关的驱动、控制、保护电路供电。VBAT工作电压为2.5 V至5.2 V，必须存在才能获得音频输出。

IOVDD

IOVDD为数字逻辑电路和I/O驱动电路供电。IOVDD工作电压为1.62 V至1.98 V，必须存在才能获得音频输出。

电源时序

器件上电时，必须先将VBAT施加于器件。VBAT之后的IOVDD时序无关紧要。详情见“上电复位/电压监控器”部分。

功耗控制

SSM4567可通过多种方法关断。使用I²C或TDM控制时，软件关断控制SPWDN可以使器件完全关断。PDM模式码控制有一个待机模式码，它可以将PDM接口以外的所有其他模块全部关断。

为了实现最低功耗关断，SSM4567还有一个时钟丢失检测电路，它检测DAC_PDM_CLK/BCLK输入时钟。当DAC_PDM_CLK/BCLK不存在时，器件的所有内部电路自动关断至最低功耗状态。当DAC_PDM_CLK/BCLK恢复时，器件按照通常上电时序自动上电。

器件具有可选的自动关断特性，在PCM工作模式下，当收到2048个连续零输入样本后，器件进入低功耗状态。仅I²C和数字音频输入模块仍然有效。

输出电流、输出电压和VBAT检测可通过ISNS_PWDN、VSNS_PWDN和BSNS_PWDN控制位独立关闭。如果需要放大器工作，但不需要检测输出，就可以关闭检测以便省电。

放大器和升压转换器可通过AMP_PWDN和BOOST_PWDN控制位独立关断。当升压器关断而放大器仍然有效时，放大器直接采用VBAT电源供电。在升压器保持有效的情况下，通过VBAT_ONLY位同样可以进入仅VBAT工作模式。可以在升压器仍然使能的情况下关断放大器，以便将升压输出用于其他功能。

上电复位/电压监控器

SSM4567内置上电复位和电压监控电路。只要VBAT或IOVDD显著低于标称工作阈值，该电路就会为所有电路提供内部复位信号。这可以简化初始上电时的电源时序。

该电路还监控施加于IC的电源。如果电源电压低于标称工作阈值，该电路就会停止输出并发出复位信号。这是为了确保器件不因低压工作而受损，而且几乎在任何断电情况下都不会出现爆音。

PDM模式设置和控制

SSM4567的输入和检测输出均可以利用1位PDM数据工作。在PDM模式下，通过PDM控制模式码或I²C可以实现控制。如果SEL引脚接AGND，SSM4567启动后即以PDM模式码控制模式工作。

通过I²C控制模式也可以让SSM4567以PDM模式工作。LR_SEL/ADDR引脚上可以设置一个常规I²C工作地址，然后利用I²C向PDM_MODE控制位写入1，便可将器件设置为PDM模式。PDM_LR_SEL位选择使用哪一个输入通道。

在PDM工作模式下，DAC的1位PDM输入通过DAC_PDM_DAT/DAC_SDATAI引脚接收。DAC_PDM_CLK/BCLK引脚提供系统时钟，用于输入数据。输出电压和电流检测通过SNS_PDM_DAT/SNS_SDATAO引脚输出。输出的发送速率可以与输入不同，SNS_PDM_CLK/FSYNC引脚决定检测输出速率。或者，输出的发送速率可以与输入相同，这样器件只需要一个时钟引脚DAC_PDM_CLK/BCLK就能工作。要仅使用一个时钟，请将SHARED_CLOCK寄存器设为1。

输入和输出的满量程电压均映射到PDM流上的−6 dBFS。

PDM数据输入直接登记在各时钟沿上。PDM数据输出上的数据跃迁相对于时钟沿会有延迟。

表6. PDM时序参数

参数	限值 t_{MIN}	限值 t_{MAX}	单位	说明
t_{FALL}		10	ns	时钟下降时间
t_{RISE}		10	ns	时钟上升时间
t_{SETUP}	10		ns	数据建立时间
t_{HOLD}	7		ns	数据保持时间

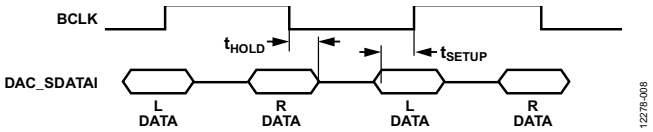

图35. PDM输入数据格式

PDM数据在时钟的两个沿上输出。当SNS_PDM_CLK/FSYNC为高电平时，输出电流检测ADC数据，应在下降沿读取该数据。当SNS_PDM_CLK/FSYNC为低电平时，输出电压检测ADC数据，应在上升沿读取该数据。

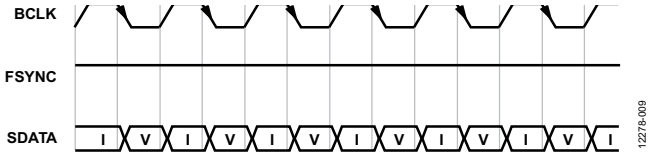

图36. PDM模式下的SDATA (DAC_SDATAI/SNS_SDATAO)输出

PDM模式下，PDM模式码控制默认用于控制信息。也可以使用I²C控制，但二者不能同时使用。如果选用PDM模式码控制，则PDM模式码控制相关的寄存器对I²C无效。对这些寄存器的写操作会被忽略，读操作不反映器件的当前状态。对于I²C控制，最好将SEL引脚接IOVDD，再将PAT_CTRL_EN位设为0以禁用PDM模式码控制，然后执行其他I²C写操作或读操作。PDM模式下的I²C器件地址默认为0x34。通过设置I2C_ADDR_SET位，器件地址可以是0x34或0x35，取决于LR_SEL/ADDR引脚的状态。

PDM模式码控制

PDM工作模式有一个简单的控制机制，它可以设置器件的低功耗状态和控制功能。这是通过向器件发送一个重复的8位模式码来实现的。不同的模式码设置不同的功能。

任何模式码至少必须重复128次。检测到一个模式码时，器件自动静音，这样在设置模式码的时候，器件不会因为模式码转换而发出爆音/咔嚓声。完成上述最少重复后，可以随时移除该模式码，让器件恢复正常工作。

除静音和关断以外的所有模式码都具有粘性，也就是说，发送模式码之后，该模式码的功能会保留下来，不因为移除该模式码而消失。静音和关断仅在其相应的模式码被连续写入时有效。

因时钟丢失而关断或发送器件复位模式码之后，通过模式码设置的所有功能都会恢复默认值。

表7. PDM水印模式码控制说明

模式码	控制说明	寄存器设置
0xD2	限幅器：使能。	LIM_EN = 01
0xD4	−6 dBFS的低增益模式(3.6 V)。	ANA_GAIN = 0
0xD8	共享时钟工作。仅需DAC_PDM_CLK。	SHARED_CLOCK = 1
0xE1	超低EMI模式。	Edges = 1
0xE2	带模式码延迟的低延迟模式(约15 µs延迟)。	LOW_LATENCY = 01
0xE4	DAC设置为低功耗模式 = 关。PDM_CLK = 128 x f_S模式。	DAC_LPM = 0
0xAA	器件复位：器件恢复默认配置。	
0x66	静音。	DAC_MUTE = 1
0xAC	关断：除PDM接口以外的所有模块都关闭。正常启动时间。	SPWDN = 1
0xF1	限幅器：3.7 V电池拐点。	VBAT_INF = 010
0xF2	限幅器：3.3 V电池拐点。	VBAT_INF = 110
0xF4	限幅器：2 V/V VBAT与限幅器斜率。	Slope = 01
0xC1	检测上电/关断切换。	切换BSNS_PWDN、ISNS_PWDN和VSNS_PTWN的值
0xC2	限幅器：阈值设为5.4 V峰值。	LIM_THRES = 0110

PDM通道选择

SSM4567包括一个左/右输入选择引脚LR_SEL/ADDR(见表24)，它决定采用PDM模式码控制模式时，哪一个时间复用输入流路由至放大器。要选择左输入通道，请将LR_SEL/ADDR引脚连接到AGND。要选择右通道数据，请将LR_SEL/ADDR引脚连接到IOVDD。在放大器工作期间的任何时间点，施加于LR_SEL/ADDR引脚的逻辑电平都可以改变，输出可以在不同输入流之间切换而不会产生声频伪像。除了由用户选择逻辑电平以外，不需要静音、水印模式码或同步就能实现无爆音/咔嚓声的LR_SEL/ADDR转换。

表8. LR_SEL/ADDR功能说明

器件设置	LR_SEL/ADDR引脚配置
右通道选择	IOVDD
左通道选择	GND

PCM模式引脚设置和控制

SEL引脚接IOVDD时，SSM4567设置为PCM工作模式。这种模式下，SSM4567支持独立工作、I²C控制，或利用输入串行音频/TDM接口所发送的命令进行控制。当LR_SEL/ADDR引脚通过47 kΩ电阻上拉时，IC在独立模式下工作，大多数寄存器设置为默认状态。

多个引脚的状态可以改变其他引脚的功能。LR_SEL/ADDR引脚决定I²C器件地址。在独立和TDM控制模式下，SCL和SDA引脚用于决定所用的TDM时隙。详情参见表10。

PCM数字音频串行接口

SSM4567包括一个标准串行音频接口，它只能用作从机。该接口支持接收和发送I²S、左对齐、PCM或TDM格式的数据。

有一个输入接口用于向放大器发送音频，有一个输出接口用于检测数据。这些接口共享相同的FSYNC和BCLK信号。

为使SSM4567正确工作，必须向其提供BCLK信号。BCLK信号的最低频率必须是2 MHz。BCLK信号用作器件的内部时钟。BCLK速率由器件自动检测，但器件必须知道采样频率。32 kHz至48 kHz时，支持的BCLK速率是采样速率的50、64、100、128、192、200、256、384、400和512倍。

串行接口有三种主要工作模式。接口总线上只有一个芯片时，使用立体声模式，通常是I²S或左对齐。TDM模式更灵活，允许总线上有多个芯片。第三种工作模式是多芯片I²S模式，采用标准I²S格式，但允许多个芯片使用总线。

还可以将串行接口用于双向控制信息。这样做时，内部控制寄存器通过串行音频接口访问，而不是通过I²C。

这些模式选择可通过I²C接口，利用SAI_MODE和MC_I2S位进行设置。或者，在独立模式或AUTO_SAI设置为1时，该接口可以根据信号与时钟引脚的连接和FSYNC类型(脉冲或50%占空比)而自动配置。

在独立或自动配置模式下，I²S接口格式可通过交换BCLK和FSYNC信号的引脚连接来选择(I²S LRCLK信号连接到DAC/PDM_CLK/BCLK引脚，BCLK信号连接到SNS_PDM_CLK/FSYNC引脚)。当BCLK和FSYNC信号连接到相应的引脚，且FYSNC信号是单一BCLK周期脉冲时，选择TDM模式。当BCLK和FSYNC信号连接到相应的引脚，且FYSNC信号是50%占空比信号时，选择多芯片I²S模式。

对于SNS_PDM_DAT/SNS_SDATAO引脚，未使用的周期可以驱动或设置为高阻态。这是由SAI_DRV控制位决定的。如果串行接口总线上使用多个芯片，则SAI_DRV必须设置为0，以便不驱动未使用的周期。

串行数据放置点

SSM4567支持灵活地选择输出数据放在帧中的位置以及何处寻找输入数据。何时会有输入数据由4个控制位决定(Px_DAC)，何时驱动输出数据由6个控制位决定(Px_SNS)。

单个数据帧分为多个域，各域称为“放置点”。每个放置点的长度可以是8位、16位或24位。TDM或I2S数据流的单一帧可包含多个长度不同的数据放置点。

串行端口以TDM模式工作时，FSYNC脉冲之后就是放置点。第一个放置点称为P1，第二个放置点称为P2，依此顺序递增。这些放置点在串行数据信号上按顺序出现。输入流上最多可以有4个放置点，输出流上最多可以有6个放置点。图37显示了TDM模式下放置点的基本时序图。

串行端口以I²S模式工作时，FSYNC时钟下降沿之后就是放置点，表示新帧的开始。第一个放置点称为P1，第二个放置点称为P2，依此顺序递增。奇数放置点(P1、P3和P5)依序出现在左通道中，此时FSYNC信号为低电平(假设FSYNC_MODE = 0)；偶数放置点(P2、P4和P6)依序出现在右通道中，此时FSYNC信号为高电平(假设FSYNC_MODE = 0)。输入流上最多可以有4个放置点，输出流上最多可以有6个放置点。

图38显示了I²S模式下放置点的基本时序图。

各数据放置点可通过对应的寄存器来配置。输入放置点(Px_DAC)可以携带24位音频数据、16位音频数据或8个用于填充的零位(会被忽略)。有关使用8个零位设置的更多信息，参见“右对齐数据”部分。检测放置点(Px_SNS)可以包含16位电压输出数据、16位电流输出数据、8位电池电压数据、8位控制数据、16位电压和电流交替数据、8位状态数据、8位V/I标记和时隙ID数据或8个零位。

对于标准I²S模式，串行接口配置为接收单声道音频数据，串行输出配置为向主器件送回电压、电流和电池数据。对应的寄存器参见表9，对应的时序图参见39。

表9. 标准I²S数据放置点设置

寄存器位域	设置	说明
BCLK_POL	0b0	BCLK上升沿用于锁存数据
FSYNC_MODE	0b0	FSYNC低电平对应左数据通道
SDATA_FMT	0b0	数据MSB延迟一位时钟周期
SAI_MODE	0b0	立体声模式
MC_I2S	0b0	正常I²S工作
P1_DAC	0b00	24位音频输入数据位于输入放置点P1
P1_SNS	0b000	16位检测电压位于输出放置点P1
P2_SNS	0b001	16位检测电流位于输出放置点P2
P3_SNS	0b010	8位电池电压位于放置点P3

表10. PCM模式引脚设置列表

控制模式	I²C 控制地址[1]	TDM 时隙	对于前三栏所列的模式，连接到引脚的信号					
			LR_SEL/ADDR	SCL	SDA	SEL	DAC_PDM_CLK/ BCLK	SNS_PDM_CLK/ FSYNC
I²C	0 (0x34)	1	AGND	SCL	SDA	IOVDD	位时钟	帧同步
	1 (0x35)	2	IOVDD	SCL	SDA	IOVDD	位时钟	帧同步
	2 (0x36)	3	开路	SCL	SDA	IOVDD	位时钟	帧同步
独立 (TDM接口)	N/A	1	47 kΩ上拉电阻	AGND	AGND	IOVDD	位时钟	帧同步
	N/A	2	47 kΩ上拉电阻	AGND	IOVDD	IOVDD	位时钟	帧同步
	N/A	3	47 kΩ上拉电阻	IOVDD	AGND	IOVDD	位时钟	帧同步
	N/A	4	47 kΩ上拉电阻	IOVDD	IOVDD	IOVDD	位时钟	帧同步
独立 (I²S接口)	N/A	N/A	47 kΩ上拉电阻	升压器关断 (低电平有效)	关断(低电平有效)	IOVDD	帧同步(故意交换CLK引脚：引脚B3和引脚C1)	位时钟(故意交换CLK引脚：引脚B3和引脚C1)
TDM	N/A	1	47 kΩ上拉电阻	AGND	AGND	IOVDD	位时钟	帧同步
	N/A	2	47 kΩ上拉电阻	AGND	IOVDD	IOVDD	位时钟	帧同步
	N/A	3	47 kΩ上拉电阻	IOVDD	AGND	IOVDD	位时钟	帧同步
	N/A	4	47 kΩ上拉电阻	IOVDD	IOVDD	IOVDD	位时钟	帧同步

[1] N/A表示不适用。

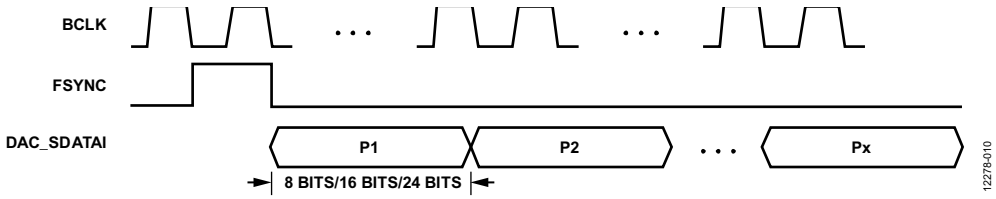

图37. TDM流中放置点的基本时序图

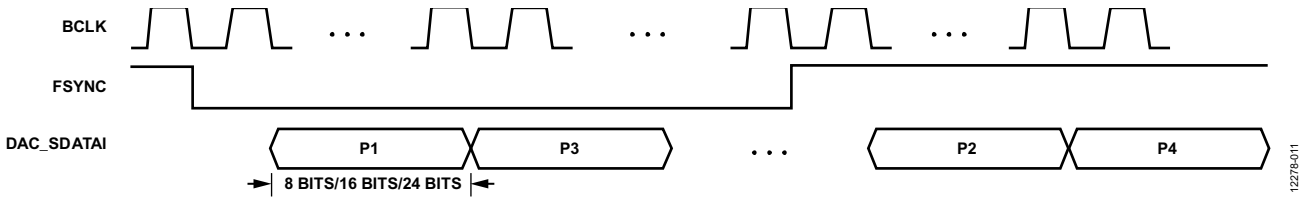

图38. I²S流中放置点的基本时序图

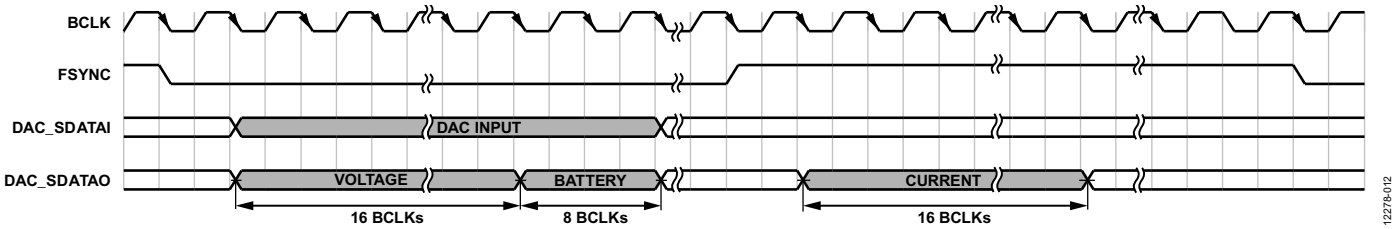

图39. 标准I²S数据放置点时序图

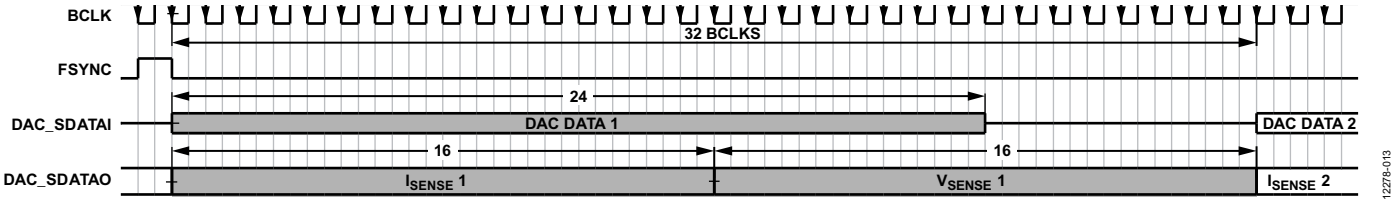

图40. TDM串行接口格式

立体声(I²S/左对齐)工作模式

立体声模式利用FSYNC信号的两个边沿决定数据放置点。SAI_MODE=0时，使能立体声模式；I²S或左对齐由SDATA_FMT位设置决定。在独立模式下或AUTO_SAI = 1时，通过交换DAC_PDM_CLK/BCLK和SNS_PDM_CLK/FSYNC引脚的连接，可以配置I²S输出接口。

I²S和左对齐接口格式支持每个FSYNC周期有任意数量的BCLK周期，接受8 kHz至192 kHz的采样速率。

6个放置点控制寄存器SAI_PLACEMENT_x决定输入和输出数据的放置点。奇数放置点控制寄存器决定左通道上的顺序，偶数放置点控制寄存器决定右通道上的顺序。时序图中将这些点称为P1至P6。输入DAC数据有4个放置点，输出检测数据有6个放置点。

右对齐数据

当TDM或I²S时隙放置点中的音频数据为右对齐时，可利用Px_DAC位来正确读取数据。每个Px_DAC位都有一个设置，决定在哪里读入8位数据。该数据随后即不使用，并满足相应时隙的读取要求，以便将随后的位读作下一时隙的数据。该过程持续下去，直至达到一个设置为读取音频数据的时隙。

例如，对于一个右对齐的立体声I²S、24位音频数据字，并且左通道有32 BCLK，应将P1_DAC设置为b10，使其拾取前8位零数据；然后将P2_DAC设置为b00，使其拾取24位音频数据。

再举一例，对于一个右对齐的立体声I²S、16位音频数据字，并且左通道有32 BCLK，应将P1_DAC设置为b10，使其拾取前8位零数据；然后将P2_DAC设置为b10，使其拾取接下来的8位空白数据；最后将P3_DAC设置为b01，使其拾取16位音频数据。

TDM工作模式

TDM工作模式允许多个芯片使用单条串行接口总线。

SNS_PDM_CLK/FSYNC引脚上的FSYNC信号以所需的采样速率工作。FSYNC信号的上升沿表示新帧的开始。为确保正常工作，此信号必须为一个BCLK周期宽，并在BCLK信号下降沿跃迁。一个BCLK周期之后，数据的MSB出现在SNS_PDM_DAT/SNS_SDATAO引脚上。SNS_PDM_DAT/SNS_SDATAO信号必须在BCLK信号的上升沿锁存(见图40)。

TDM总线上的每个芯片可占用32、48或64个BCLK周期。这要通过TDM_BCLKS控制寄存器设置，总线上所有芯片的设置必须相同。单条TDM总线上最多可以使用8个SSM4567芯片，但只有3个唯一的I²C器件地址可用。SSM4567根据BCLK速率自动确定总线上可以放置多少芯片。每个FSYNC脉冲总共有多少BCLK周期不受限制。独立模式下只能使用4个时隙，因为SDA和SCL引脚只有4中组合可供选择(见表10)。

在非独立模式下，每个SSM4567使用的时隙由LR_SEL/ADDR引脚设置或TDM_SLOT控制寄存器决定。默认情况下，该设置由LR_SEL/ADDR引脚的状态决定，它允许选择前3个时隙。然而，TDM_SLOT控制寄存器可以覆盖该设置，允许选择8个不同的时隙。

表11. TDM时隙选择

器件设置	LR_SEL/ADDR引脚配置
TDM芯片1使用/驱动的时隙	接至AGND
TDM芯片2使用/驱动的时隙	接至IOVDD
TDM芯片3使用/驱动的时隙	开路

6个放置点控制位决定各芯片时隙内输入和输出数据的放置点。利用DAC_PDM_DAT/DAC_SDATAI引脚输入DAC的数据可以是16位或24位数据，或者设置其读入8位然后忽略该数据。这对于右对齐数据格式很有用，因为其32位时钟的前8位是零填充数据。第一个放置点寄存器设置为读入8位然后忽略该数据，再设置第二个放置点寄存器以读入24位音频数据。

利用SNS_PDM_DAT/SNS_SDATAO引脚从DAC输出的数据可以是以下任意一种：

- 16位电压输出
- 16位电流输出
- 8位电池(VBAT)电压
- 8位控制数据输出
- 16位电压和电流交替
- 8位状态输出
- 8位V/I标记和时隙ID
- 空白8位

根据时钟速率，每帧最多可以有6个输出放置点和4个输入放置点。

多芯片I²S工作模式

在I²C控制下，将MC_I2S控制寄存器(寄存器0x05[4])设为1可使能一种特殊的多芯片I²S模式。TDM_SLOT寄存器(寄存器0x05[2:0])设置接收数据和发送检测数据的时隙。在独立模式下或AUTO_SAI = 1时，如果器件连接为TDM模式(即不像2S/左对齐工作模式那样交换BCLK和FSYNC信号)，则使能多芯片I²S模式，但FSYNC信号的占空比为50%时除外。FSYNC信号相对于BCLK信号的频率决定器件是双芯片还是四芯片模式。如果FSYNC信号由一个BCLK周期脉冲组成，则TDM工作模式有效。

多芯片I²S接口允许多个芯片驱动单条I²S总线。每个芯片每隔2帧或4帧接管总线控制权(视总线上放置的芯片数而定)，因此总线最多支持4个芯片。每帧或FSYNC信号的每个周期必须是64 BCLK周期长。LR_SEL/ADDR引脚分配决定控制顺序。每帧还包含一个时隙ID代码，它被追加到帧的当前数据中。此代码表示发送该帧数据的芯片的时隙。

在非独立模式下，LR_SEL/ADDR引脚分配与ID标记的映射关系如表12所示。

表12. SA模式下的多芯片I²S时隙配置

ADDR引脚配置	时隙编号	ID标记
接至AGND	1	0001
接至IOVDD	2	0010
开路	3	0100

根据总线中检测到的芯片数量，器件自动配置双芯片或四芯片模式。双芯片工作模式必须使用第一和第二时隙。允许时隙不使用，但必须使用时隙1。要使能双芯片模式，器件先在四芯片模式下启动，当它检测到时隙3和时隙4未被使用时，便切换到双芯片模式。

表13列出了多芯片I²S模式下支持的FSYNC和BCLK速率。

表13. 多芯片I²S支持的FSYNC和BCLK速率

采样速率	有效时隙	FSYNC速率	BCLK速率
32 kHz至48 kHz	1, 2	2 x f_S (32 kHz至96 kHz)	128 x f_S (2.048 MHz至6.144 MHz)
32 kHz至48 kHz	1, 2, 3, 4	4 x f_S (64 kHz至128 kHz)	256 x f_S (4.096 MHz至12.288 MHz)

系统增益

SSM4567的默认模拟增益将0 dBFS输入电平映射为放大器输出端的标称5.1 V峰值。该设置提供最佳的增益分级和噪声性能。

通过ANA_GAIN位(寄存器0x01[0])可设置更低的模拟增益设置，它将dBFS输入电平映射为3.6 V峰值。

还有一个数字增益/音频控制寄存器0x03，它以0.375 dB步长提供−71.25 dB至+24 dB的精密控制，还有一个额外的步进是静音。

输出电流检测

SSM4567利用片内检测电阻确定流入负载的输出电流。此检测电阻上的电压与负载电流成正比，并发送至标称运行速率为128 x fs的ADC。在PCM模式下，此ADC的输出利用数字滤波进行降采样。该8 kHz至192 kHz采样速率的降采样信号通过数字音频接口输出。数据为带符号小数格式的16位数据。对于电流和电压检测，采样速率的默认设置均与DAC输入相等。也可以使用较低的采样速率，例如DAC采样速率的½、¼或⅛。这可利用SNS_FS位(寄存器0x01[5:4])设置。

在PDM模式下，检测ADC以PDM时钟速率运行。

输出电压检测

可对输出电压进行监控，并将其发送至标称运行速率为128 x fs的ADC。然后，此ADC的输出利用数字滤波进行降采样。该8 kHz至192 kHz采样速率的降采样信号通过数字音频接口输出。数据为带符号小数格式的16位数据。对于电流和电压检测，采样速率的默认设置均与DAC输入相等。也可以使用较低的采样速率，例如DAC采样速率的½、¼或⅛。这可利用SNS_FS位(寄存器0x01[5:4])设置。

在PDM模式下，检测ADC以PDM时钟速率运行。

VBAT检测

SSM4567包含一个8位ADC，用于实时测量VBAT电源的电压。该ADC的输出为8位无符号格式，作为TDM总线时隙3中的16位数据的8个MSB提供。其余8个LSB被驱动至低电平(见图39)。

限幅器和电池跟踪阈值控制

SSM4567包含一个输出限幅器，可以限制放大器的峰值输出电压。输出受限制的阈值由LIM_THRES寄存器设置(寄存器0x0E[3:0])决定。音频信号不受限幅器功能的影响，除非峰值音频输出电压超过限幅器阈值。

LIM_THRES可以设置为高于放大器最大输出电压的值。这种情况下，限幅器允许最大峰值输出，但会限制可发生的削波量。增益降低(或启动)速率和提高(或释放)速率分别由LIM_ATR位(寄存器0x0E[5:4])和LIM_RRT位(寄存器0x0E[7:6])决定。

SSM4567可以监控VBAT电源，当VBAT电源低于选定点且LIM_EN = 01时，它会自动调整限幅器阈值。使用限幅器时，通过VBAT_TRACK位(寄存器0x0D[2])可以选择阈值是固定值还是随电池电压而移动。在电池充电结束情况下，该功能可以防止过早关断。限幅器电平开始降低输出电平时的VBAT电源电压由VBAT_INF位(寄存器0x0D[5:3])决定。相对于VBAT低于VBAT_INF点的量，阈值的降低速率由斜率位(寄存器0x0D[7:6])决定。

也可以设置LIM_EN = 11，使限幅器仅在电池电压低于VBAT_INF时启动。当VBAT高于VBAT_INF时，不会发生限幅。这种情况下，VBAT_INF有一个用于限幅器解除的迟滞。

如果LIM_EN = 10，当VBAT降至VBAT_INF值以下时，放大器自动静音。这种情况下，VBAT_INF有一个用于解除静音的迟滞。

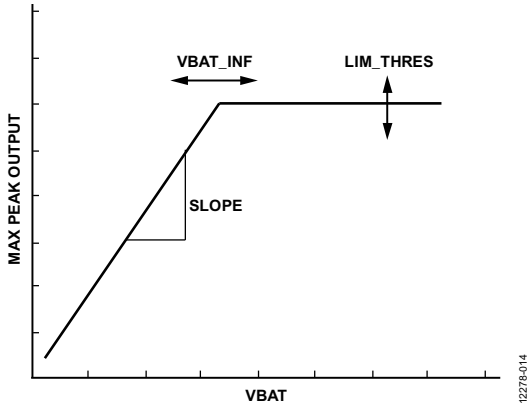

图41. 电池跟踪限幅器阈值控制

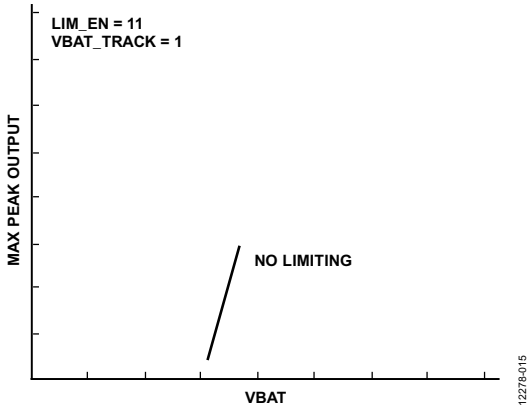

图42. 限幅器示例(LIM_EN = 0b11，VBAT_TRACK = 0b1)

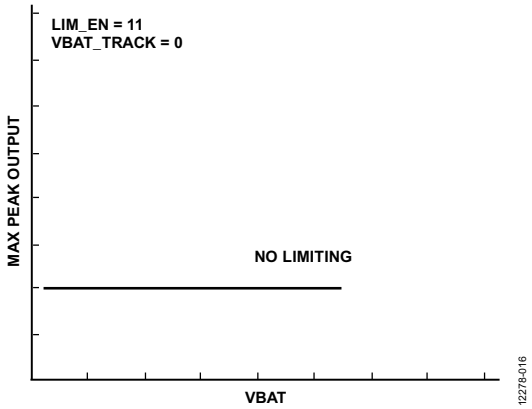

图43. 限幅器示例(LIM_EN = 0b11，VBAT_TRACK = 0)

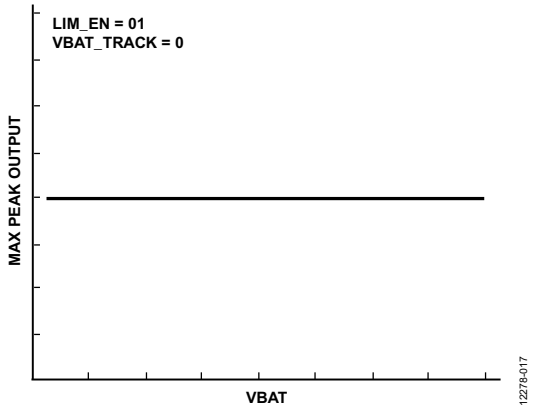

图44. 限幅器示例(LIM_EN = 0b01，VBAT_TRACK = 0)

I²C控制

SSM4567支持2线串行I²C兼容微处理器总线驱动多个外设。两个引脚——串行数据(SDA)和串行时钟(SCL)——承载SSM4567与系统I²C主控制器之间的信息。SSM4567始终是总线上的从机，意味着它不能启动数据传输。每个从机都通过一个唯一的地址识别。表14显示了地址字节的格式。地址存在于I²C写操作的前7位。此字节的LSB设置读或写操作。逻辑电平1对应于读操作，逻辑电平0对应于写操作。

SDA和SCL均需要2.2 kΩ上拉电阻才能正常工作。整个I²C总线只需要一组上拉电阻。这些信号线上的电压不得高于3.3 V。

表14. I²C芯片地址字节格式

位0	位1	位2	位3	位4	位5	位6	位7
0	1	1	0	1	I²C地址 MSB	I²C地址 LSB	R/$\overline{W}$

表15. I²C器件地址选择

器件地址 (7位格式)	器件地址 (8位格式)	LR_SEL/ADDR 引脚配置
0x34	0x68	接至AGND
0x35	0x6A	接至IOVDD
0x36	0x6C	开路

寻址

开始时，I²C总线上的各器件均处于空闲状态，并监控SDA和SCL线有无起始条件和适当的地址。I²C主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址/数据流。总线上的所有器件都对起始条件做出响应，并对接下来的8个位(7位地址加R/$\overline{W}$位)以MSB优先方式移位。在第9个时钟脉冲期间，能够识别所发送地址的器件通过将数据线拉低来做出响应。SSM4567的器件地址由LR_SEL/ADDR引脚的状态决定。当LR_SEL/ADDR引脚接地时，器件地址为0x34。

此第9位称为应答位。此时，所有其它器件从总线退出，返回空闲状态。R/$\overline{W}$位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机将信息写入外设，而逻辑1则意味着主机将在写入子地址并重复起始地址之后从外设读取信息。数据传输将持续到发生停止条件。停止条件是指在SCL处于高电平时，SDA上发生低电平至高电平跃迁。图45给出了I²C端口的时序。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，SSM4567将立即跳出到空闲状态。在给定的SCL高电平期间，用户只能发送一个起始条件或一个停止条件，或者先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，SSM4567不会发送应答，而是直接返回到空闲状态。在自动递增模式下，如果用户地址超过了最高子地址，则器件会采取以下其中一种措施。在读取模式下，SSM4567输出最高子地址寄存器的内容，直到主机发送不应答，表示读取结束。不应答条件是指在SCL的第9个时钟脉冲期间，SDA线未被拉低。在写入模式下，SSM4567不会将无效字节的数据载入任何子地址寄存器，而是发送不应答，然后返回空闲状态。

I²C读和写操作

图46给出了单字写操作的格式。在每第9个时钟脉冲，SSM4567都会通过拉低SDA来发送应答消息。

图47给出了突发模式写序列的格式。该图显示了一个目标寄存器为两字节的例子。每写完一个字节后，SSM4567知道应递增其子地址寄存器，因为请求的子地址对应于一字节字长的寄存器或存储器区域。

单字读操作的时序如图48所示。注意，第一个R/$\overline{W}$为0，表示写操作。这是因为子地址仍然要写入，以便设置内部地址。在SSM4567确认接收到子地址后，主机必须发送一个重复起始命令，然后再发送R/$\overline{W}$位设置为1(表示读操作)的芯片地址字节。这将导致SSM4567 SDA反向，并开始向主机回传数据。然后，主机在每第9个脉冲做出响应，向SSM4567发送应答脉冲。

表16. I²C时序图(图46至图49)所用的缩写列表

符号	含义
S	起始位
P	停止位
A_M	主机应答
A_S	从机应答

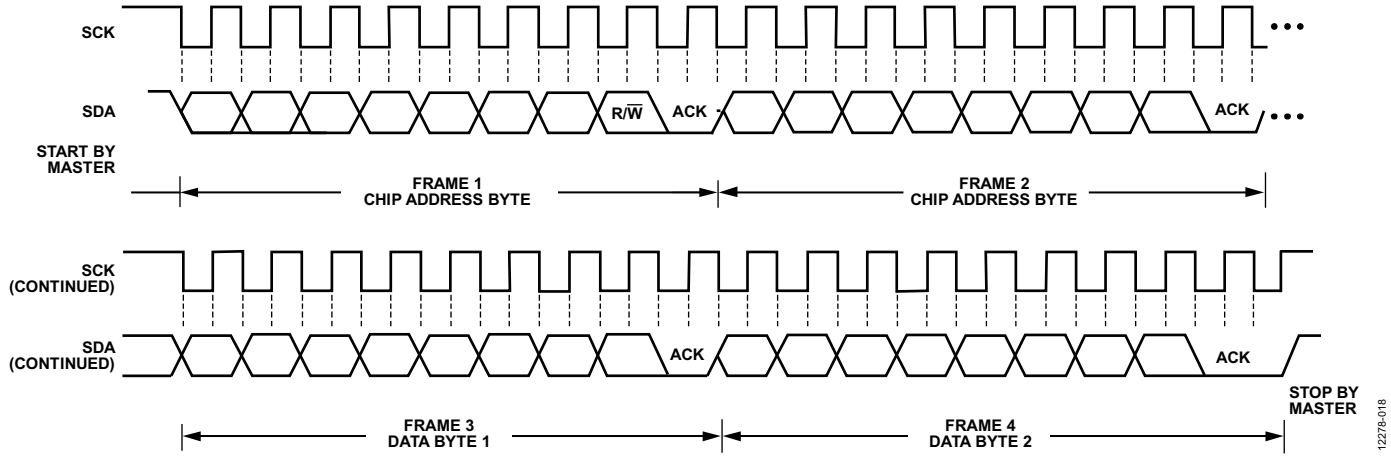

图45. I²C读/写时序

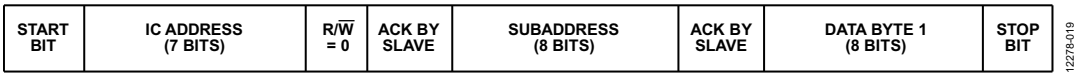

图46. 单字I²C写格式

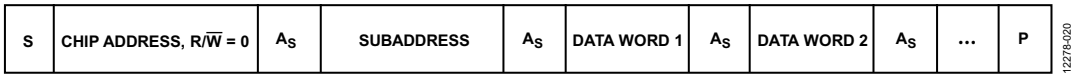

图47. 突发模式I²C写格式

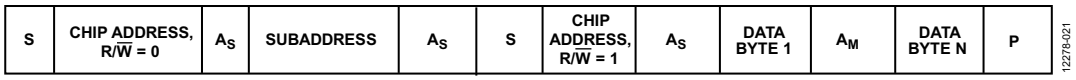

图48. 单字I²C读格式

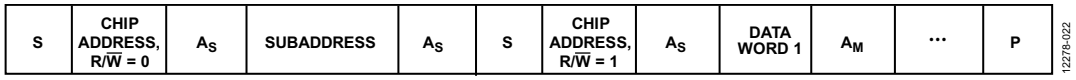

图49. 突发模式I²C读格式

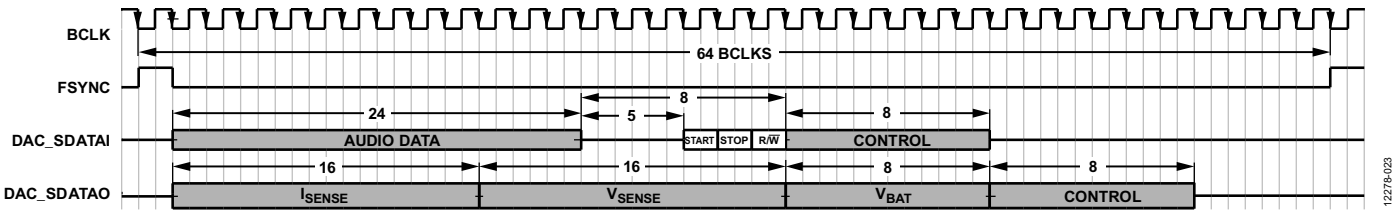

图50. TDM控制格式

TDM控制接口

SSM4567支持通过串行音频接口(SAI)发送控制数据，这样就可以灵活地控制器件，而无需I²C控制端口连接。这种模式下仅支持每个芯片64 BCLK的TDM操作(见图50)，而且无法更改任何SAI控制寄存器。DAC输入的放置点Px_DAC也无法更改。检测输出的放置点Px_SNS则可以更改。8位控制数据输出可以通过放置点寄存器放置在SNS_PDM_DAT/SNS_SDATAO线上，这样就可以通过SAI读取控制数据。在SAI控制模式下，无需使用这种方法。

P1	P2	P3	P4
DAC 24-BIT	CONTROL HEADER 8-BIT	CONTROL DATA 8-BIT	BLANK

12278-024

图51. SAI控制、具有64位时隙的TDM下的SDATAI数据放置点

必须将两个字节(控制表头和控制数据)放入DAC输入流中，并将一个字节(控制数据)放入输出检测流中。

控制表头字节的三个LSB用于启动控制序列，包括：起始位，置1时表示控制序列的开始；停止位，置1时表示控制序列的结束；以及读/写位，表示读或写序列(起始位置1时)。

BIT 0	BIT 1	BIT 2	BIT 3	BIT 4	BIT 5	BIT 6	BIT 7
0	0	0	0	0	START	STOP	R/$\overline{W}$

12278-025

图52. SAI控制表头字节格式

除不需要器件地址以外，控制数据序列的其他方面与I²C控制相同。开始之后发送的第一个控制数据字节是8位子地址；后续控制数据字节是数据。

表17. SAI控制写序列

帧	控制表头	控制DAC_DATAI	控制SNS_DATAO
1	0x04	子地址	0x00
2	0x00	数据1	0x00
3	0x00	数据2	0x00
4	0x00	数据3	0x00
5	0x02	无关	0x00

表18. SAI控制读序列

帧	控制表头	控制 DAC_DATAI	控制 SNS_DATAO
1	0x05	子地址	0x00
2	0x00	无关	数据1
3	0x00	无关	数据1
4	0x00	无关	数据1
5	0x02	无关	0x00

独立模式控制

SSM4567可以在无任何控制接口的独立模式下工作。要设置这种模式，请利用47 kΩ电阻将LR_SEL/ADDR引脚上拉至IOVDD。在独立模式下工作时，除表19所列以外的其他控制设置都被设为默认状态。

表19. 独立模式下的非默认寄存器设置

位名称	SA_MODE设置	功能
SPWDN	0	正常工作
AUTO_SAI	1	自动检测串行音频接口格式
LIM_EN	00	禁用限幅器
SDATA_FMT	0	正常I²S
TDM_BCLKS	10	TDM下每芯片64 BCLK
PDM_MODE	b0	禁用PDM模式

在接口设置为TDM模式的独立模式下，SDA引脚和SCL引脚用于选择TDM/通道时隙。若是I²S模式，则SCL引脚可用来关断升压器，SDA引脚可用来关断整个器件(见表10)。

EMI噪声

SSM4567采用专有调制和扩频技术，以尽量减少器件的EMI辐射。采用20英寸无屏蔽电缆和基于铁氧体磁珠的滤波，SSM4567可通过FCC B级辐射测试。对于难以通过FCC B级辐射测试的应用，利用SSM4567的边沿速率控制位(寄存器0x01[2]，超低EMI辐射模式)可以大幅降低D类输出(特别是100 MHz以上)的辐射。请注意，降低电源电压也可以大大降低辐射。

输出调制描述

SSM4567采用五级Σ-Δ输出调制。各输出可以在任何时候从PGND摆动到VBAT或从PGND摆动到VBST，反之亦然。理想情况下，当没有输入信号时，输出差分电压为0 V，因为无需产生脉冲。实际情况下，噪声源始终存在。

由于噪声始终存在，需要时可以针对这种激励产生差分脉冲。产生差分脉冲时，有少量电流流入感性负载。

然而，大多数时候，由于ADI公司的五级Σ-Δ输出调制技术，差分输出电压为0 V。此功能可确保通过感性负载的电流很小。

不需要高输出时，应关闭电源，确保不会有额外的升压开关引起效率损失。

采用可变升压方法时，不再需要高输出之后，升压器仍会长时间开启。由于五级调制，它会立即切换到使用电池电源模式，使得实际的功率更佳。图53所示为有输入激励情况下的五级Σ-Δ输出调制。

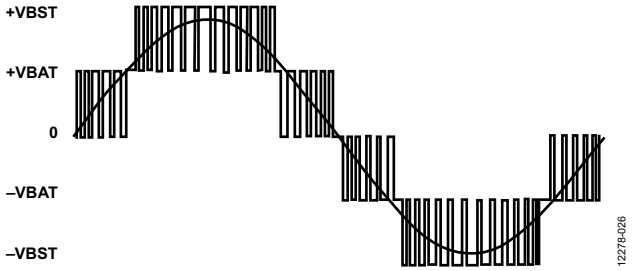

图53. 五级Σ-Δ输出调制

集成升压转换器

该器件集成一个升压转换器，其标称开关频率为1.536 MHz。该转换器设计用于将典型值为3.6 V的VBAT电源(由单电池供电)提升到较高的5.1 V的V_{OUT}电压。升压转换器的输出通过VBST引脚提供。升压转换器正常工作需要一个2.2 µH电感。有关选择适当电感的更多信息，参见“升压调节器元件选择”部分。通过BOOST_PWDN控制位可关断升压转换器。当升压器关断而放大器仍然有效时，放大器直接采用VBAT电源供电。在升压器保持有效的情况下，通过VBAT_ONLY位同样可以进入仅VBAT工作模式。可以在升压器仍然使能的情况下关断放大器，以便将升压输出用于其他功能。

应用信息

升压调节器元件选择

电感选择

电感是升压调节器的重要组成部分，它在升压调节器的低端功率FET开启期间储存能量。正是在该期间，输入电流达到最大值。确定电感值时，必须考虑最大输入电流。最大直流输入电流(即最大平均电感电流)可利用下式估算：

$$I_{IN} = I_{LOAD(MAX)} \times \left(\frac{V_{OUT}}{V_{IN}}\right) \times \frac{1}{\eta}$$

其中，$\eta \approx 85\%$。

所需的输入和输出电压、开关频率及纹波电流决定所需的电感值，如下式所示：

$$L = \frac{V_{OUT} - V_{IN}}{I_{RIPPLE}} \times \frac{1}{f_{SW}} \times \frac{V_{IN}}{V_{OUT}}$$

一般而言，纹波电流按最大直流输入电流(I_{IN})的30%估算，因此上式可改写为：

$$L = \frac{V_{OUT} - V_{IN}}{0.3 \times I_{IN}} \times \frac{1}{f_{SW}} \times \frac{V_{IN}}{V_{OUT}}$$

电感的最大额定电流应大于电感峰值电流(I_{PEAK})。如果这些电流的裕量不够，电感可能会因电感值降低而饱和，导致它达到电流限值，甚至负载条件低于预期时也出现这种情况。

电感峰值电流可估算如下：

$$I_{PEAK} = I_{IN} + \frac{I_{RIPPLE}}{2} = I_{IN} + 0.15 \times I_{IN} = 1.15 \times I_{IN}$$

还有一个需要考虑的重要规格是电感的寄生串联电阻：直流电阻(DCR)。较大的DCR可能会降低效率，但电感尺寸越大，DCR越小，因此，应仔细权衡PCB上的可用空间与器件性能。推荐电感如表20所示。

输出电容选择

当调节器开关导通时，输出电容保持输出电压稳定并向负载提供电流。输出电容的值和特性对调节器的输出电压纹波和稳定性有很大影响。应使用低ESR输出电容，最好是陶瓷电介质电容。

对于超低ESR电容，如陶瓷电容，电容引起的纹波电流按如下方法计算。在连续模式下，由于电容在开启期间(t_{ON})放电，因此从电容移除的电荷(Q_C)等于负载电流乘以开启时间。

所以，输出电压纹波(ΔV_{OUT})为

$$\Delta V_{OUT} = \frac{Q_C}{C_{OUT}} = \frac{I_L \times t_{ON}}{C_{OUT}}$$

其中：

C_{OUT}为输出电容。

I_L为平均电感电流。

利用占空比(D)和开关频率(f_{SW})，用户可通过下式确定开启时间：

$$t_{ON} = \frac{D}{f_{SW}}$$

输入(V_{IN})和输出(V_{OUT})电压决定开关的占空比(D)，如下式所示：

$$D = \frac{V_{OUT} - V_{IN}}{V_{OUT}}$$

根据下式选择输出电容：

$$C_{OUT} \geq \frac{I_L \times (V_{OUT} - V_{IN})}{f_{SW} \times V_{OUT} \times \Delta V_{OUT}}$$

所需的最小输出电容为10 μF、X5R电容，但为了在整个工作范围内保持稳定并考虑到元件变化，推荐使用22 μF、X5R电容。

布局布线

随着输出功率的增加，必须正确安排放大器、负载和电源之间的PCB走线及电线。不良的布局会提高压降，导致效率降低。使用短而宽的PCB走线以减少压降、减小电感是不错的做法。对于数据转换具有快速边沿的信号线，还应尽量减少过孔的使用。此外，小值去耦电容与引脚之间不应放置过孔。就引脚而言，过孔应连接到地或电容远端的电源层。

电源去耦

为确保高效率、低总谐波失真和高电源抑制比，有必要对电源适当去耦。电源线路的瞬态噪声会存在持续时间较短的电压尖峰。这些尖峰会包含高频组分，高达几百兆赫。电池电源和内部产生的VBST均必须采用高品质、低ESL、低ESR的电容进行去耦，其最低电容值为10 µF。旁路电容将低频噪音隔离在接地层。对于高频瞬态噪声，在尽可能靠近器件VBAT和VBST引脚的位置使用1 µF电容。可能的话，电容引脚和器件引脚之间应避免使用过孔。尽可能靠近SSM4567放置去耦电容有助于保持良好的性能。

表20. 建议电感

产品型号	制造厂商	值(µH)	额定电流(mA)	DCR (Ω)	尺寸(mm)
IFSC1008ABER2R2M01	Vishay Dale	2.2	1850	0.09	2.50 × 2.00 × 1.20
IFSC1111ABER2R2M01	Vishay Dale	2.2	1900	0.098	2.90 × 2.90 × 1.20
MAMK2520T2R2M	Taiyo Yuden	2.2	1900	0.117	2.50 × 2.00 × 1.20
L1210R2R2MDWIT	Kemet	2.2	2000	0.08	3.20 × 2.49 × 2.49
LQM2HPN2R2MGHL	Murata	2.2	1500	0.110	2.5 × 2.00 × 0.90

典型应用电路

软件控制模式，I²S/TDM接口

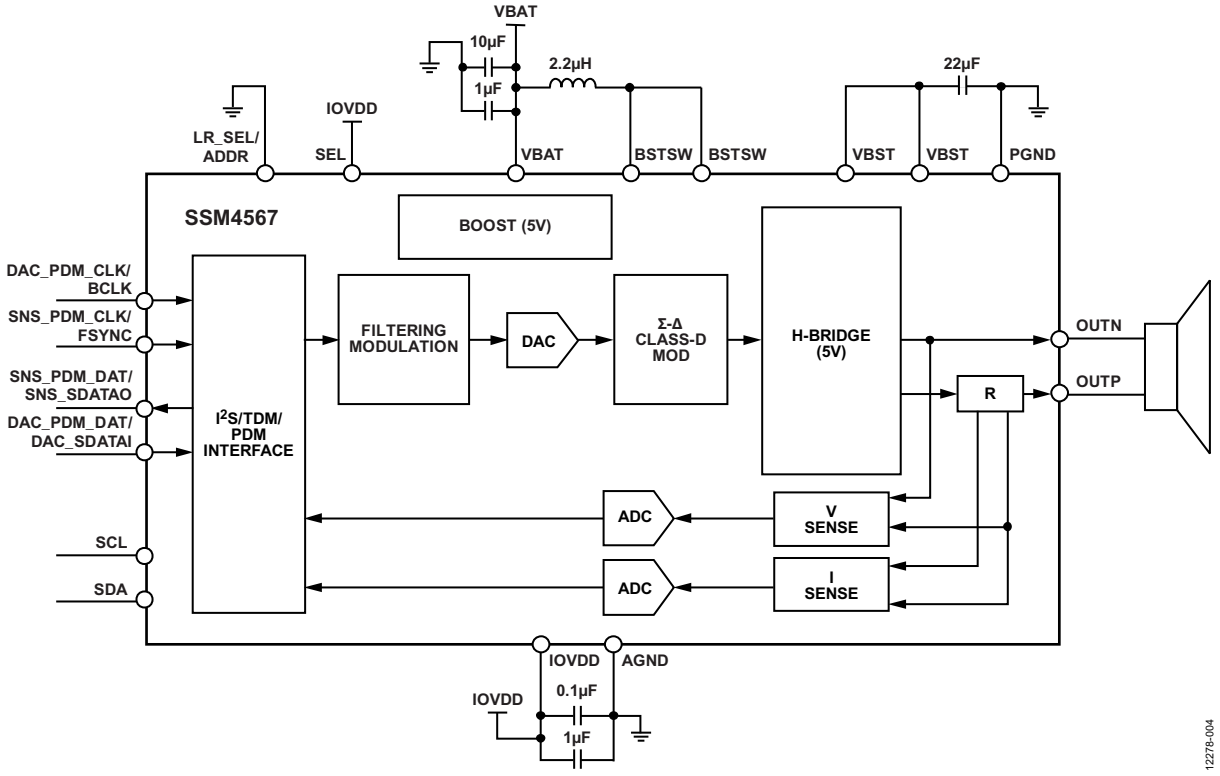

图54. 典型应用电路，I²S、软件控制模式

说明

本应用电路中，SSM4567由I²C接口上的外部主机控制。I²C地址利用LR_SEL/ADDR引脚配置。串行数据接口由SEL引脚配置为PCM模式。

引脚配置

表21. I²S软件控制应用、软件控制模式、I²S/TDM接口的引脚配置

硬件引脚	连接
LR_SEL/ADDR	连接到AGND时I²C地址为0x34；连接到IOVDD时I²C地址为0x35；断开时I²C地址为0x36。
SEL	连接到IOVDD以配置PCM模式。
SNS_PDM_CLK/FSYNC	连接到外部I²S/TDM帧同步时钟信号。
DAC_PDM_CLK/BCLK	连接到外部I²S/TDM位时钟信号。
SNS_PDM_DAT/SNS_SDATAO	以I²S/TDM格式发送电流、电压和电池检测数据到外部IC。
DAC_PDM_DAT/DAC_SDATAI	从外部IC接收I²S/TDM格式的串行音频数据信号。
SCL	连接到外部I²C主机IC的时钟信号。
SDA	连接到外部I²C主机IC的数据信号。

软件控制模式，PDM接口

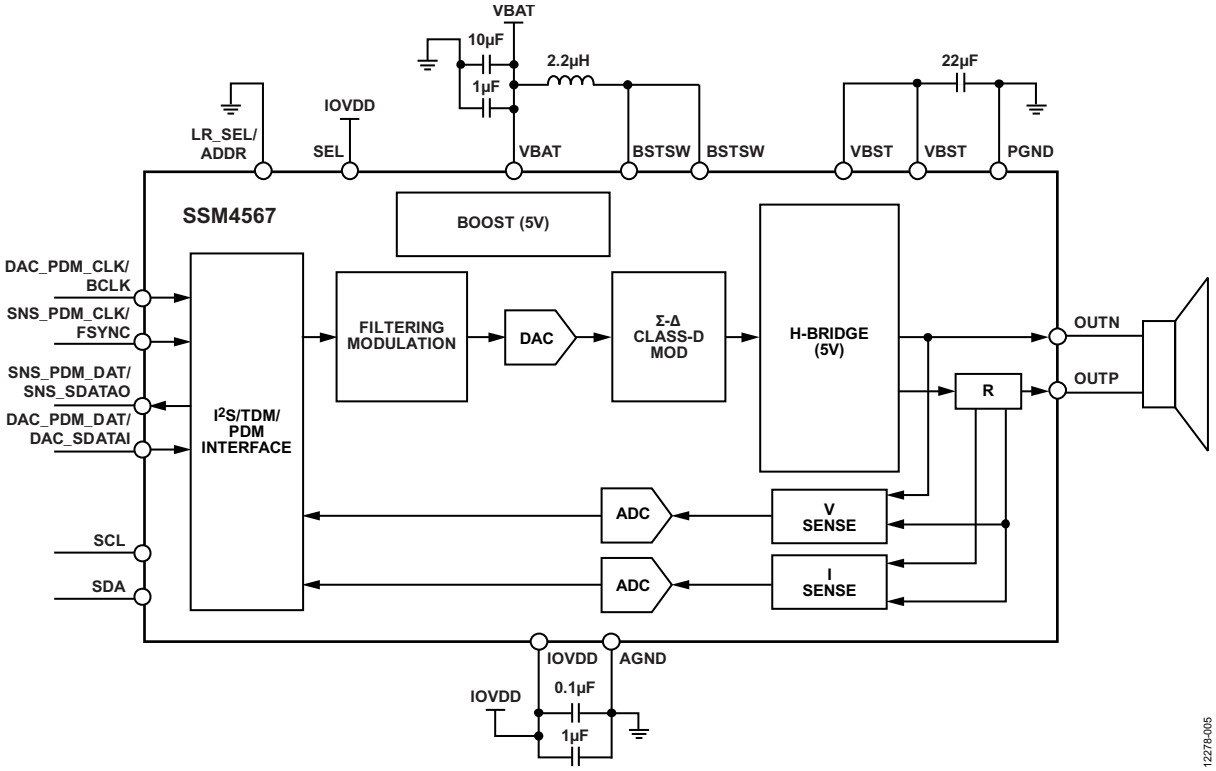

图55. 典型应用电路，PDM、软件控制模式

说明

本应用电路中，SSM4567由I²C接口上的外部主机控制。I²C地址利用LR_SEL/ADDR引脚配置。串行数据接口最初由SEL引脚配置为PCM模式，但在通过I²C配置器件时，必须利用寄存器写操作更改为PDM模式。

引脚配置

表22. I²S软件控制应用、软件控制模式、PDM接口的引脚配置

硬件引脚	连接
LR_SEL/ADDR	连接到AGND时I²C地址为0x34；连接到IOVDD时I²C地址为0x35；断开时I²C地址为0x36。
SEL	连接到IOVDD以配置I²C控制模式。
SNS_PDM_CLK/FSYNC	连接到外部PDM时钟信号以支持检测数据。
DAC_PDM_CLK/BCLK	连接到外部PDM时钟信号以支持音频数据。
SNS_PDM_DAT/SNS_SDATAO	以PDM格式发送电流、电压和电池检测数据到外部IC。
DAC_PDM_DAT/DAC_SDATAI	从外部IC接收PDM格式的串行音频数据信号。
SCL	连接到外部I²C主机IC的时钟信号。
SDA	连接到外部I²C主机IC的数据信号。

独立模式，I²S/TDM接口

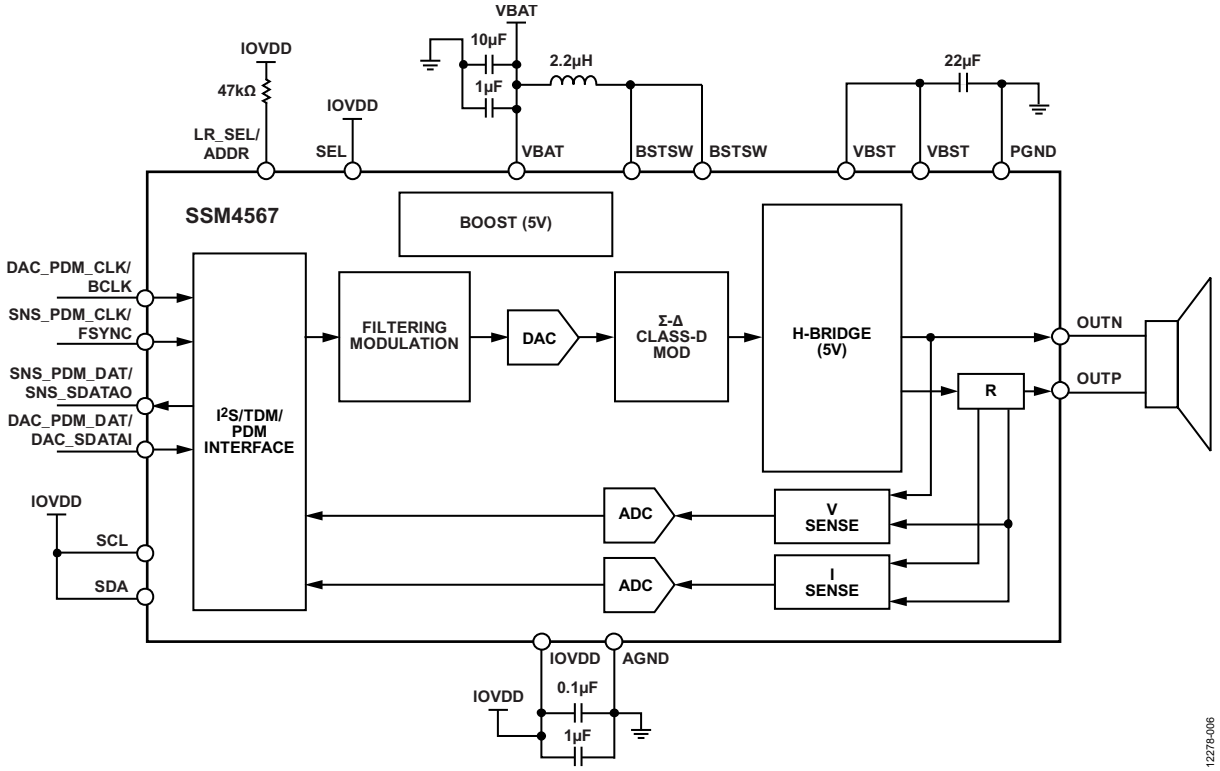

图56. 典型应用电路，I²S、独立模式

说明

本应用电路中，SSM4567以独立模式工作，系统中无I²C主机。I²C地址利用LR_SEL/ADDR引脚配置。串行数据接口由SEL引脚配置为PCM模式。

引脚配置

表23. I²S软件控制应用、独立模式、I²S/TDM接口的引脚配置

硬件引脚	连接
LR_SEL/ADDR	通过47 kΩ电阻上拉至IOVDD以使能独立模式。
SEL	连接到IOVDD以配置PCM模式。
SNS_PDM_CLK/FSYNC	连接到外部I²S/TDM帧同步时钟信号。
DAC_PDM_CLK/BCLK	连接到外部I²S/TDM位时钟信号。
SNS_PDM_DAT/SNS_SDATAO	以I²S/TDM格式发送电流、电压和电池检测数据到外部IC。
DAC_PDM_DAT/DAC_SDATAI	从外部IC接收I²S/TDM格式的串行音频数据信号。
SCL	连接到IOVDD或AGND，选择将哪一个I²S/TDM音频数据时隙发送到放大器(见表10)。
SDA	连接到IOVDD或AGND，选择将哪一个I²S/TDM音频数据时隙发送到放大器(见表10)。

模式码控制模式，PDM接口

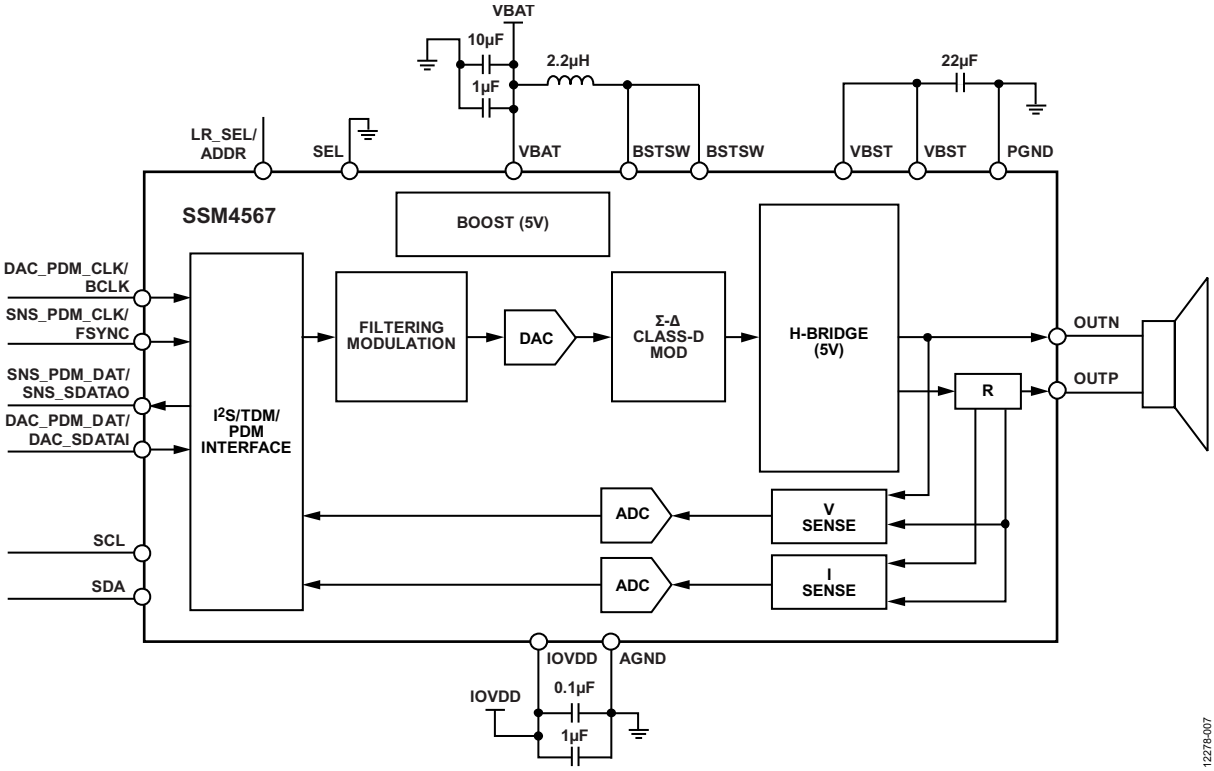

图57. 典型应用电路，PDM、模式码控制模式

说明

本应用电路中，SSM4567直接通过PDM接口进行配置，它还通过该接口接收音频数据以供回放，以及向主机器件送回信息。要配置该模式，应在器件上电时将SEL引脚连接到AGND。I²C引脚可以保持断开状态。音频通道由LR_SEL引脚的状态选择。

引脚配置

表24. PDM模式码模式控制应用、模式码控制模式、PDM接口的引脚配置

硬件引脚	连接
LR_SEL/ADDR	连接到AGND输出左PDM通道，连接到IOVDD输出右PDM通道。
SEL	连接到AGND以在PDM模式下启动。
SNS_PDM_CLK/FSYNC	连接到外部PDM检测时钟信号。
DAC_PDM_CLK/BCLK	连接到外部PDM音频时钟信号。
SNS_PDM_DAT/SNS_SDATAO	以PDM格式发送电流、电压和电池检测数据到外部IC。
DAC_PDM_DAT/DAC_SDATAI	从外部IC接收PDM格式的串行音频数据信号。
SCL	不需要I²C控制时保持断开状态，需要I²C控制时连接到SCL信号。
SDA	不需要I²C控制时保持断开状态，需要I²C控制时连接到SDA信号。

寄存器汇总

表25. REG_MAP寄存器汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	POWER_CTRL	[7:0]	APWDN_EN	BSNS_ PWDN	VSNS_ PWDN	ISNS_ PWDN	BOOST_ PWDN	AMP_ PWDN	VBAT_ ONLY	SPWDN	0x81	R/W
0x01	AMP_SNS_CTRL	[7:0]	RESERVED		SNS_FS		SNS_HPF	EDGES	RESERVED	ANA_GAIN	0x09	R/W
0x02	DAC_CTRL	[7:0]	DAC_HV	DAC_MUTE	DAC_HPF	DAC_LPM	RESERVED	DAC_FS			0x32	R/W
0x03	DAC_VOLUME	[7:0]	VOL								0x40	R/W
0x04	SAI_CTRL_1	[7:0]	SAI_DRV	BCLK_POL	TDM_BCLKS		FSYNC_ MODE	SDATA_ FMT	SAI_MODE	PDM_MODE	0x00	R/W
0x05	SAI_CTRL_2	[7:0]	RESERVED	PAD_DRV	AUTO_SAI	MC_I2S	AUTO_ SLOT	TDM_SLOT			0x08	R/W
0x06	SAI_PLACEMENT_ 1	[7:0]	RESERVED		P1_DAC		RESERVED	P1_SNS			0x01	R/W
0x07	SAI_PLACEMENT_ 2	[7:0]	RESERVED		P2_DAC		RESERVED	P2_SNS			0x20	R/W
0x08	SAI_PLACEMENT_ 3	[7:0]	RESERVED		P3_DAC		RESERVED	P3_SNS			0x32	R/W
0x09	SAI_PLACEMENT_ 4	[7:0]	RESERVED		P4_DAC		RESERVED	P4_SNS			0x07	R/W
0x0A	SAI_PLACEMENT_ 5	[7:0]	RESERVED					P5_SNS			0x07	R/W
0x0B	SAI_PLACEMENT_ 6	[7:0]	RESERVED					P6_SNS			0x07	R/W
0x0C	BATTERY_V_OUT	[7:0]	VBAT								0x00	R
0x0D	LIMITER_CTRL_1	[7:0]	SLOPE		VBAT_INF			VBAT_ TRACK	LIM_EN		0xA4	R/W
0x0E	LIMITER_CTRL_2	[7:0]	LIM_RRT		LIM_ATR		LIM_THRES				0x73	R/W
0x0F	LIMITER_CTRL_3	[7:0]	RESERVED				TAV	VBAT_HYST			0x00	R/W
0x10	STATUS_1	[7:0]	BST_FLT	RESERVED	LIM_EG	CLIP	UVLO	AMP_OC	OTF	BAT_WARN	0x00	R
0x11	STATUS_2	[7:0]	RESERVED							OTW	0x00	R
0x12	FAULT_CTRL	[7:0]	OTW_GAIN		MAX_AR		MRCV	ARCV_UV	ARCV_OT	ARCV_OC	0x30	R/W
0x13	PDM_CTRL	[7:0]	PDM_LR_ SEL	PAT_CTRL_ EN	RESERVED	I2C_ADDR_ SET	LOW_LATENCY		SHARED_ CLOCK	SEL_VBAT	0x40	R/W
0x14	MCLK_RATIO	[7:0]	RESERVED			AMCS	MCS				0x11	R/W
0x15	BOOST_CTRL_1	[7:0]	ADJ_PGATE		RESERVED			EN_DSCGB	FPWMB	SEL_FREQ	0x03	R/W
0x16	BOOST_CTRL_2	[7:0]	RESERVED				ARCV_BST	RESERVED	SEL_GM		0x00	R/W
0xFF	SOFT_RESET	[7:0]	SOFT_RESET								0x00	R

寄存器详解

电源控制寄存器

地址：0x00；复位：0x81；名称： POWER_CTRL

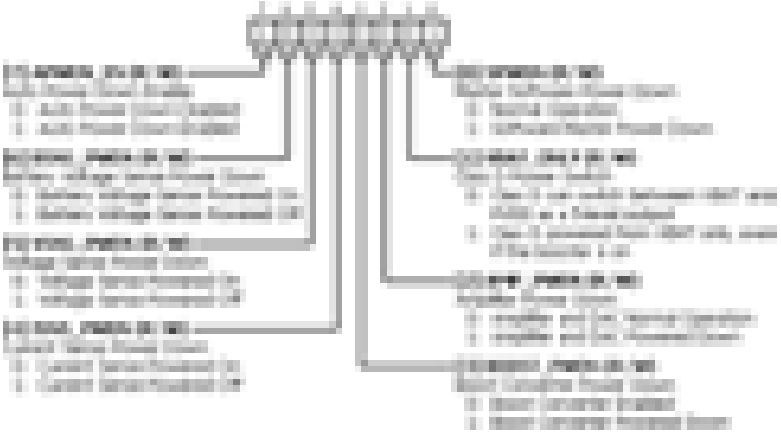

表26. POWER_CTRL的位功能描述

位	位名称	设置	说明	复位	访问类型
7	APWDN_EN		自动关断使能。收到2048个连续零输入样本后，自动关断功能自动将IC置于低功耗状态。	0x1	R/W
		0	自动关断禁用。		
		1	APWDN_EN=1时自动关断使能。收到2048个连续零值输入样本后，器件自动关断。只要收到一个非零样本，器件就会自动上电。		
6	BSNS_PWDN		电池电压检测关断。	0x0	R/W
		0	电池电压检测上电。		
		1	电池电压检测关断。		
5	VSNS_PWDN		电压检测关断。	0x0	R/W
		0	电压检测上电。		
		1	电压检测关断。		
4	ISNS_PWDN		电流检测关断。	0x0	R/W
		0	电流检测上电。		
		1	电流检测关断。		
3	BOOST_PWDN		升压转换器关断。升压转换器关断时，D类放大器直接由VBAT电源供电。	0x0	R/W
		0	升压转换器使能。		
		1	升压转换器关断。		
2	AMP_PWDN		放大器关断。	0x0	R/W
		0	放大器和DAC正常工作。		
		1	放大器和DAC关断。		
1	VBAT_ONLY		D类功率开关。	0x0	R/W
		0	D类放大器可以在VBAT和PVDD直接以五级输出切换。		
		1	D类放大器仅由VBAT供电，无论升压器开启与否。		
0	SPWDN		主机软件关断。软件关断将I²C接口以外的所有模块置于低功耗状态。	0x1	R/W
		0	正常工作。		
		1	软件主机关断。		

放大器和检测控制寄存器

地址：0x01；复位：0x09；名称： AMP_SNS_CTRL

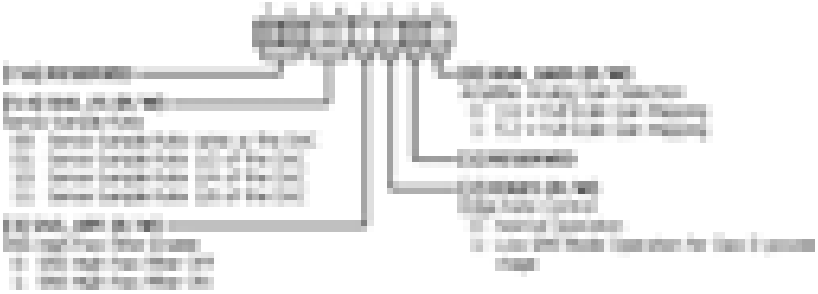

表27. AMP_SNS_CTRL的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	RESERVED		保留。	0x0	R/W
[5:4]	SNS_FS		检测采样速率。检测输出采样速率可以设置为低于DAC的速率。	0x0	R/W
		00	检测采样速率与DAC相同。		
		01	检测采样速率为DAC的1/2。		
		10	检测采样速率为DAC的1/4。		
		11	检测采样速率为DAC的1/8。		
3	SNS_HPF		SNS高通滤波器使能。	0x1	R/W
		0	SNS高通滤波器关闭。		
		1	SNS高通滤波器开启。	.	
2	EDGES		边沿速率控制。控制功率级的边沿速度。低EMI工作模式会降低边沿速度、EMI和电源效率。	0x0	R/W
		0	正常工作。		
		1	D类功率级的低EMI工作模式。		
1	RESERVED		保留。	0x0	R/W
0	ANA_GAIN		放大器模拟增益选择。	0x1	R/W
		0	3.6 V满量程增益映射。		
		1	5.2 V满量程增益映射。		

DAC控制寄存器

地址：0x02；复位：0x32；名称： DAC_CTRL

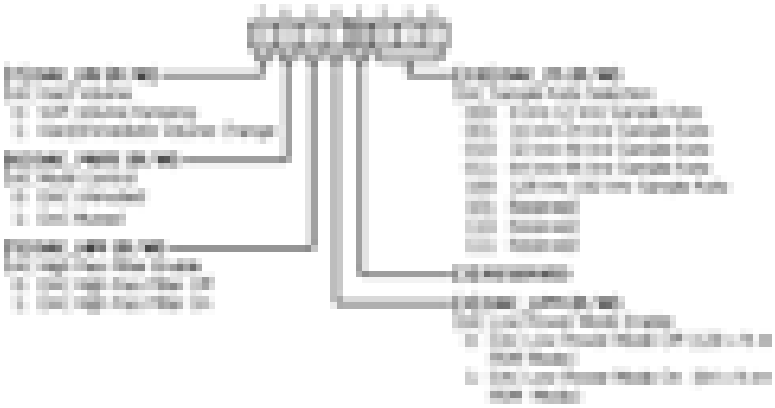

表28. DAC_CTRL的位功能描述

位	位名称	设置	说明	复位	访问类型
7	DAC_HV		DAC硬音量	0x0	R/W
		0	软音量斜坡变化		
		1	硬/中间音量变化		
6	DAC_MUTE		DAC静音控制	0x0	R/W
		0	DAC未静音		
		1	DAC已静音		
5	DAC_HPF		DAC高通滤波器使能	0x1	R/W
		0	DAC高通滤波器关闭		
		1	DAC高通滤波器开启		
4	DAC_LPM		DAC低功耗模式使能	0x1	R/W
		0	DAC低功耗模式关闭(PDM模式下为128 x fs)		
		1	DAC低功耗模式开启(PDM模式下为64 x fs)		
3	RESERVED		保留。	0x0	R/W
[2:0]	DAC_FS		DAC采样速率选择	0x2	R/W
		000	8 kHz至12 kHz采样速率		
		001	16 kHz至24 kHz采样速率		
		010	32 kHz至48 kHz采样速率		
		011	64 kHz至96 kHz采样速率		
		100	128 kHz至192 kHz采样速率		
		101	保留。		
		110	保留。		
		111	保留。		

DAC音量控制寄存器

地址：0x03；复位：0x40；名称： DAC_VOLUME

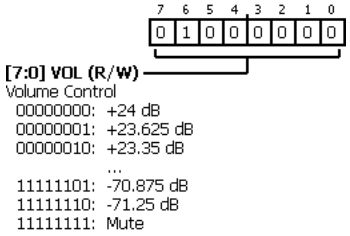

表29. DAC_VOLUME的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:0]	VOL		音量控制	0x40	R/W
		00000000	+24 dB		
		00000001	+23.625 dB		
		00000010	+23.35 dB		
		00000011	+22.875 dB		
		00000100	+22.5 dB		
		00000101	...		
		00111111	+0.375 dB		
		01000000	0		
		01000001	-0.375 dB		
		01000010	...		
		11111101	–70.875 dB		
		11111110	–71.25 dB		
		11111111	静音		

串行音频接口控制1寄存器

地址：0x04；复位：0x00；名称： SAI_CTRL_1

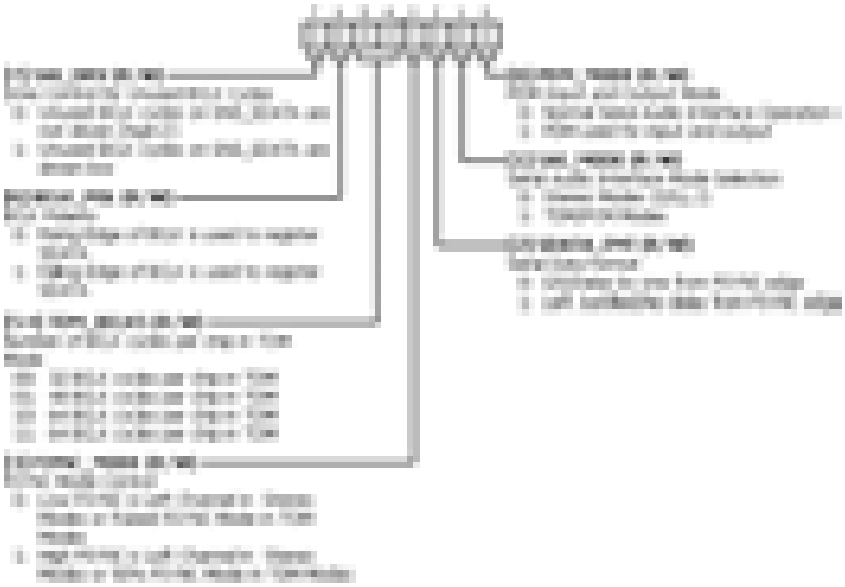

表30. SAI_CTRL_1的位功能描述

位	位名称	设置	说明	复位	访问类型
7	SAI_DRV		未使用BCLK周期的驱动控制	0x0	R/W
		0	不驱动SNS_SDATA上的未使用BCLK周期(高阻态)		
		1	将SNS_SDATA上的未使用BCLK周期驱动到低电平		
6	BCLK_POL		BCLK极性	0x0	R/W
		0	BCLK上升沿用于登记SDATA		
		1	BCLK下降沿用于登记SDATA		
[5:4]	TDM_BCLKS		TDM模式下每个芯片的BCLK周期数。在立体声模式(I²S/左对齐)下或仅一个芯片的TDM模式下，每个FSYNC可以有任意数量的BCLK周期。在TDM模式下，当TDM总线上有多个芯片时，必须定义每个芯片的BCLK周期数。	0x0	R/W
		00	TDM下每芯片32个BCLK周期		
		01	TDM下每芯片48个BCLK周期		
		10	TDM下每芯片64个BCLK周期		
		11	TDM下每芯片64个BCLK周期		
3	FSYNC_MODE		FSYNC模式控制	0x0	R/W
		0	在立体声模式下或在TDM模式下的脉冲FSYNC模式下，低FSYNC为左通道		
		1	在立体声模式下或在TDM模式下的50% FSYNC模式下，高FSYNC为左通道		
2	SDATA_FMT		串行数据格式	0x0	R/W
		0	I²S/相对于FSYNC边沿延迟一个周期		
		1	左对齐/相对于FSYNC边沿无延迟		
1	SAI_MODE		串行音频接口模式选择	0x0	R/W
		0	立体声模式(I²S、左对齐)		
		1	TDM/PCM模式		
0	PDM_MODE		PDM输入和输出模式	0x0	R/W
		0	串行音频接口正常工作		
		1	PDM用于输入和输出		

串行音频接口控制2寄存器

地址：0x05；复位：0x08；名称： SAI_CTRL_2

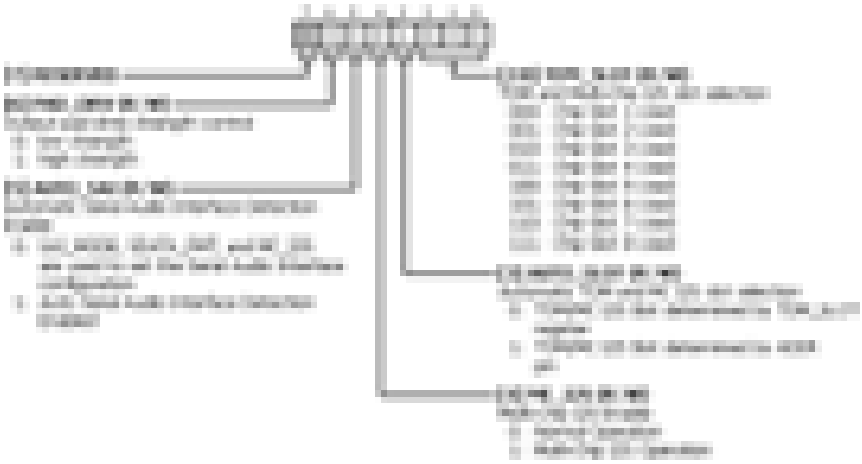

表31. SAI_CTRL_2的位功能描述

位	位名称	设置	说明	复位	访问类型
7	RESERVED		保留。	0x0	R/W
6	PAD_DRV		输出Pad驱动强度控制。SNS_PDM_DAT/SNS_SDATAO引脚输出驱动强度。	0x0	R/W
		0	低强度		
		1	高强度		
5	AUTO_SAI		自动串行音频接口检测使能。AUTO_SAI = 1时，串行音频接口根据BCLK和FSYNC的连接自动配置。当FSYNC和BCLK正常连接且检测到脉冲FSYNC时，接口自动配置为TDM工作模式。当FSYNC和BCLK正常连接且检测到50%占空比FSYNC时，接口自动配置为多芯片I²S工作模式。当FSYNC和BCLK连接到相反引脚时，接口自动配置为正常I²S工作模式。设置为自动检测时，忽略SAI_MODE和SDATA_FMT的值。	0x0	R/W
		0	SAI_MODE、SDATA_FMT和MC_I²S用于设置串行音频接口配置		
		1	自动串行音频接口检测使能		
4	MC_I2S		多芯片I²S使能。选择MC_I²S时，它会覆盖SAI_MODE选择。	0x0	R/W
		0	正常工作		
		1	多芯片I²S工作		
3	AUTO_SLOT		TDM和MC I²S时隙自动选择	0x1	R/W
		0	TDM/MC I²S时隙由TDM_SLOT位决定		
		1	TDM/MC I²S时隙由ADDR引脚决定		
[2:0]	TDM_SLOT		TDM和多芯片I2S时隙选择	0x0	R/W
		000	使用芯片时隙1		
		001	使用芯片时隙2		
		010	使用芯片时隙3		
		011	使用芯片时隙4		
		100	使用芯片时隙5		
		101	使用芯片时隙6		
		110	使用芯片时隙7		
		111	使用芯片时隙8		

串行音频接口放置点1控制寄存器

地址：0x06；复位：0x01；名称： SAI_PLACEMENT_1

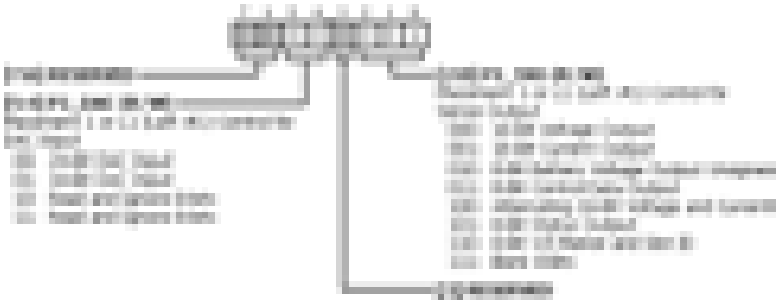

表32. SAI_PLACEMENT_1的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	RESERVED		保留。	0x0	R/W
[5:4]	P1_DAC		DAC输入的放置点1或L1(左1)控制。选择要读取的数据大小。24位或16位。 该时隙也可设置为读取8位并抛弃，接着在放置点P2读取音频数据。	0x0	R/W
		00	24位DAC输入		
		01	16位DAC输入		
		10	读取并忽略8位		
		11	读取并忽略8位		
3	RESERVED		保留。	0x0	R/W
[2:0]	P1_SNS		检测输出的放置点1或L1(左1)控制。	0x1	R/W
		000	16位电压输出		
		001	16位电流输出		
		010	8位无符号电池电压输出		
		011	8位控制数据输出		
		100	16位电压和电流交替		
		101	8位状态输出		
		110	8位V/I标记和时隙ID		
		111	空白8位		

串行音频接口放置点2控制寄存器

地址：0x07；复位：0x20；名称： SAI_PLACEMENT_2

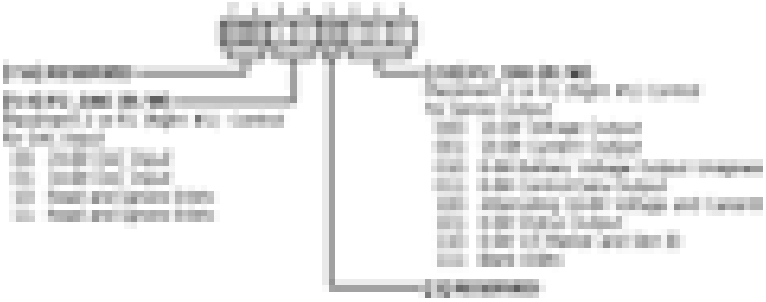

表33. SAI_PLACEMENT_2的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	RESERVED		保留。	0x0	R/W
[5:4]	P2_DAC		DAC输入的放置点2或R1(右1)控制。选择要读取的数据大小。24位或16位。 该时隙也可设置为读取8位并抛弃，接着在放置点P3读取音频数据。	0x2	R/W
		00	24位DAC输入		
		01	16位DAC输入		
		10	读取并忽略8位		
		11	读取并忽略8位		
3	RESERVED		保留。	0x0	R/W
[2:0]	P2_SNS		检测输出的放置点2或R1(右1)控制。	0x0	R/W
		000	16位电压输出		
		001	16位电流输出		
		010	8位无符号电池电压输出		
		011	8位控制数据输出		
		100	16位电压和电流交替		
		101	8位状态输出		
		110	8位V/I标记和时隙ID		
		111	空白8位		

串行音频接口放置点3控制寄存器

地址：0x08；复位：0x32；名称： SAI_PLACEMENT_3

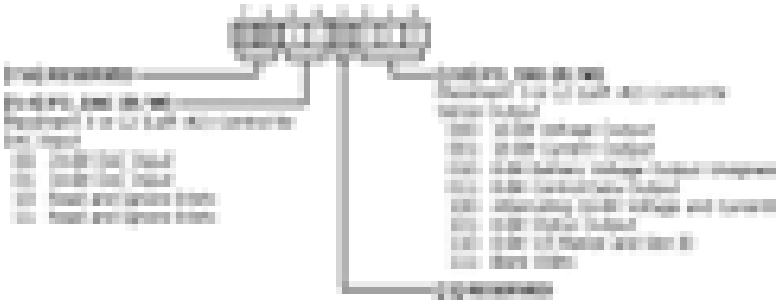

表34. SAI_PLACEMENT_3的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	RESERVED		保留。	0x0	R/W
[5:4]	P3_DAC		DAC输入的放置点3或L2(左2)控制。选择要读取的数据大小。24位或16位。 该时隙也可设置为读取8位并抛弃，接着在放置点P4读取音频数据。	0x3	R/W
		00	24位DAC输入		
		01	16位DAC输入		
		10	读取并忽略8位		
		11	读取并忽略8位		
3	RESERVED		保留。	0x0	R/W
[2:0]	P3_SNS		检测输出的放置点3或L2(左2)控制。	0x2	R/W
		000	16位电压输出		
		001	16位电流输出		
		010	8位无符号电池电压输出		
		011	8位控制数据输出		
		100	16位电压和电流交替		
		101	8位状态输出		
		110	8位V/I标记和时隙ID		
		111	空白8位		

串行音频接口放置点4控制寄存器

地址：0x09；复位：0x07；名称： SAI_PLACEMENT_4

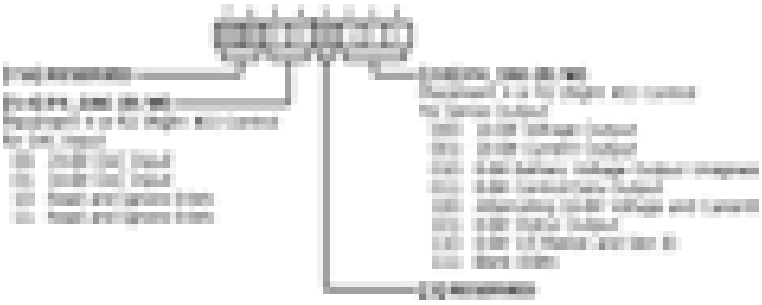

表35. SAI_PLACEMENT_4的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	RESERVED		保留。	0x0	R/W
[5:4]	P4_DAC		DAC输入的放置点4或R2(右2)控制。	0x0	R/W
		00	24位DAC输入		
		01	16位DAC输入		
		10	读取并忽略8位		
		11	读取并忽略8位		
3	RESERVED		保留。	0x0	R/W
[2:0]	P4_SNS		检测输出的放置点4或R2(右2)控制。	0x7	R/W
		000	16位电压输出		
		001	16位电流输出		
		010	8位无符号电池电压输出		
		011	8位控制数据输出		
		100	16位电压和电流交替		
		101	8位状态输出		
		110	8位V/I标记和时隙ID		
		111	空白8位		

串行音频接口放置点5控制寄存器

地址：0x0A；复位：0x07；名称： SAI_PLACEMENT_5

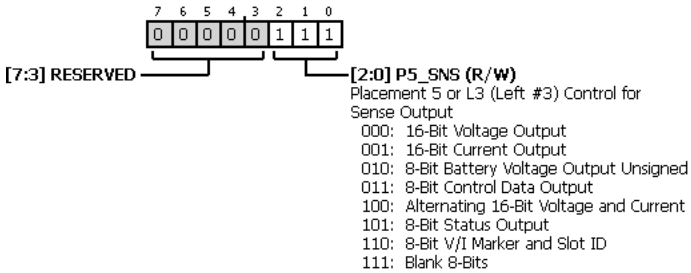

表36. SAI_PLACEMENT_5的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:3]	RESERVED		保留。	0x0	R/W
[2:0]	P5_SNS		检测输出的放置点5或L3(左3)控制。	0x7	R/W
		000	16位电压输出		
		001	16位电流输出		
		010	8位无符号电池电压输出		
		011	8位控制数据输出		
		100	16位电压和电流交替		
		101	8位状态输出		
		110	8位V/I标记和时隙ID		
		111	空白8位		

串行音频接口放置点6控制寄存器

地址：0x0B；复位：0x07；名称： SAI_PLACEMENT_6

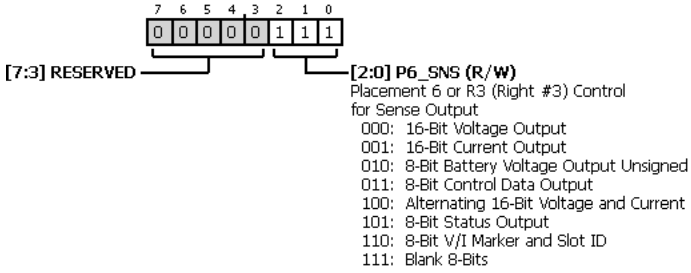

表37. SAI_PLACEMENT_6的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:3]	RESERVED		保留。	0x0	R/W
[2:0]	P6_SNS		检测输出的放置点6或R3(右3)控制。	0x7	R/W
		000	16位电压输出		
		001	16位电流输出		
		010	8位无符号电池电压输出		
		011	8位控制数据输出		
		100	16位电压和电流交替		
		101	8位状态输出		
		110	8位V/I标记和时隙ID		
		111	空白8位		

电池电压输出寄存器

地址：0x0C；复位：0x00；名称： BATTERY_V_OUT

表38. BATTERY_V_OUT的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:0]	VBAT		8位无符号电池电压	0x0	R

限幅器控制1寄存器

地址：0x0D；复位： 0xA4, Name: LIMITER_CTRL_1

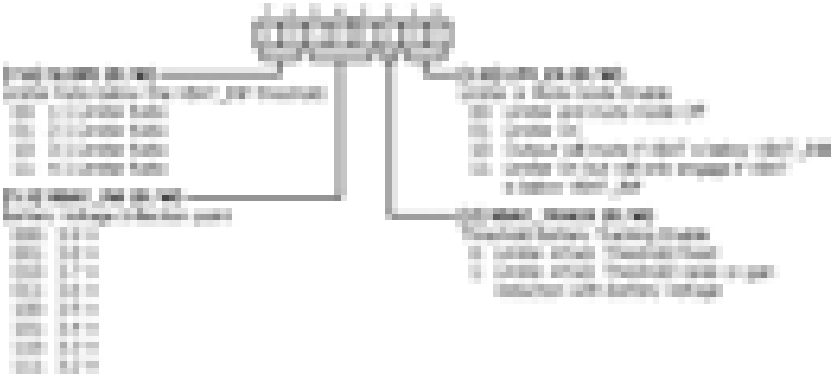

表39. LIMITER_CTRL_1的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	SLOPE		低于VBAT_INF阈值的限幅器比。一旦VBAT电压降至VBAT_INF阈值以下时的限幅器比。它设置VBAT电压下降时限幅器曲线的斜率。	0x2	R/W
		00	1:1限幅器比		
		01	2:1限幅器比		
		10	3:1限幅器比		
		11	4:1限幅器比		
[5:3]	VBAT_INF		电池电压拐点。当VBAT降至拐点以下且VBAT_TRACK = 1时，限幅器阈值开始降低以限制电池的最大输出和峰值电流。电池电压低于VBAT_INF时的降低量由SLOPE位决定。	0x4	R/W
		000	3.9 V		
		001	3.8 V		
		010	3.7 V		
		011	3.6 V		
		100	3.5 V		
		101	3.4 V		
		110	3.3 V		
		111	3.2 V		
2	VBAT_TRACK		阈值电池跟踪使能	0x1	R/W
		0	限幅器启动阈值是固定值		
		1	限幅器启动阈值随电池电压而变化或增益降低		
[1:0]	LIM_EN		限幅器或静音模式使能	0x0	R/W
		00	限幅器和静音模式关闭		
		01	限幅器开启		
		10	VBAT低于VBAT_INF时输出静音		
		11	限幅器开启，但仅在VBAT低于VBAT_INF时起作用		

限幅器控制2寄存器

地址：0x0E；复位： 0x73, Name: LIMITER_CTRL_2

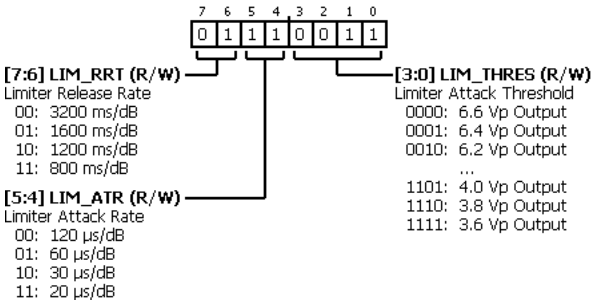

表40. LIMITER_CTRL_2的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	LIM_RRT		限幅器释放速率	0x1	R/W
		00	3200 ms/dB		
		01	1600 ms/dB		
		10	1200 ms/dB		
		11	800 ms/dB		
[5:4]	LIM_ATR		限幅器启动速率	0x3	R/W
		00	120 µs/dB		
		01	60 µs/dB		
		10	30 µs/dB		
		11	20 µs/dB		
[3:0]	LIM_THRES		限幅器启动阈值	0x3	R/W
		0000	6.6 V峰值输出		
		0001	6.4 V峰值输出		
		0010	6.2 V峰值输出		
		0011	6.0 V峰值输出		
		0100	5.8 V峰值输出		
		0101	5.6 V峰值输出		
		0110	5.4 V峰值输出		
		0111	5.2 V峰值输出		
		1000	5.0 V峰值输出		
		1001	4.8 V峰值输出		
		1010	4.6 V峰值输出		
		1011	4.4 V峰值输出		
		1100	4.2 V峰值输出		
		1101	4.0 V峰值输出		
		1110	3.8 V峰值输出		
		1111	3.6 V峰值输出		

限幅器控制3寄存器

地址：0x0F；复位：0x00；名称： LIMITER_CTRL_3

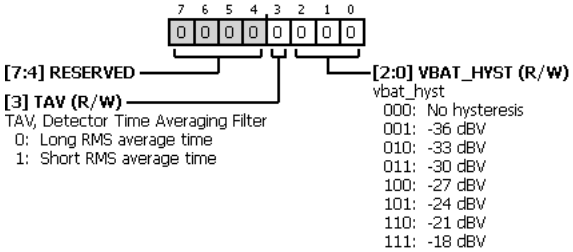

表41. LIMITER_CTRL_3的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:4]	RESERVED		保留。	0x0	R/W
3	TAV		TAV，检波器时间均值滤波器	0x0	R/W
		0	长RMS平均时间		
		1	短RMS平均时间		
[2:0]	VBAT_HYST		vbat_hyst	0x0	R/W
		000	无迟滞		
		001	−36 dBV		
		010	−33 dBV		
		011	−30 dBV		
		100	−27 dBV		
		101	−24 dBV		
		110	−21 dBV		
		111	−18 dBV		

状态1寄存器

地址：0x10；复位：0x00；名称： STATUS_1

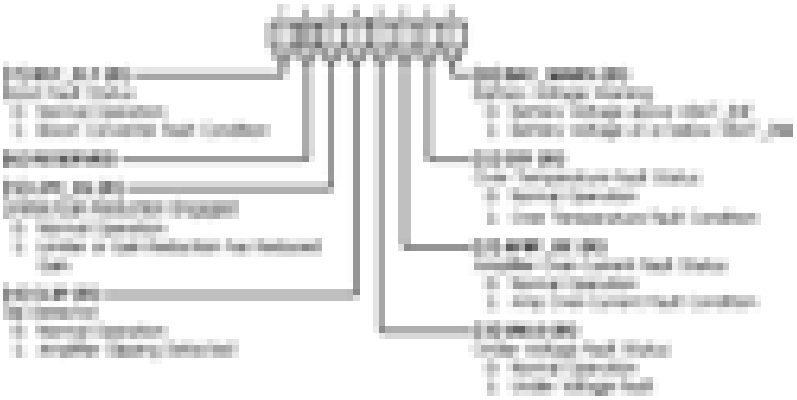

表42. STATUS_1的位功能描述

位	位名称	设置	说明	复位	访问类型
7	BST_FLT		升压器故障状态	0x0	R
		0	正常工作		
		1	升压转换器发生故障		
6	RESERVED		保留。	0x0	R
5	LIM_EG		限幅器/增益降低启用	0x0	R
		0	正常工作		
		1	限幅器或增益降低已降低增益		
4	CLIP		削波检波器	0x0	R
		0	正常工作		
		1	检测到放大器削波		
3	UVLO		欠压故障状态	0x0	R
		0	正常工作		
		1	欠压故障		
2	AMP_OC		放大器过流故障状态	0x0	R
		0	正常工作		
		1	放大器过流故障		
1	OTF		过温故障状态	0x0	R
		0	正常工作		
		1	过温故障		
0	BAT_WARN		电池电压报警	0x0	R
		0	电池电压高于VBAT_INF		
		1	电池电压等于或低于VBAT_INF		

状态2寄存器

地址：0x11；复位：0x00；名称： STATUS_2

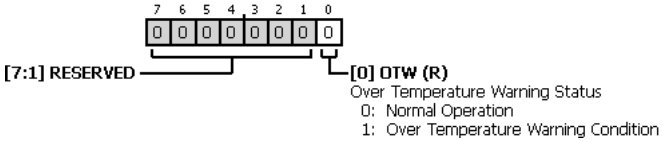

表43. STATUS_2的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:1]	RESERVED		保留。	0x0	R
0	OTW		过温报警状态	0x0	R
		0	正常工作		
		1	过温报警		

故障控制寄存器

地址：0x12；复位：0x30；名称： FAULT_CTRL

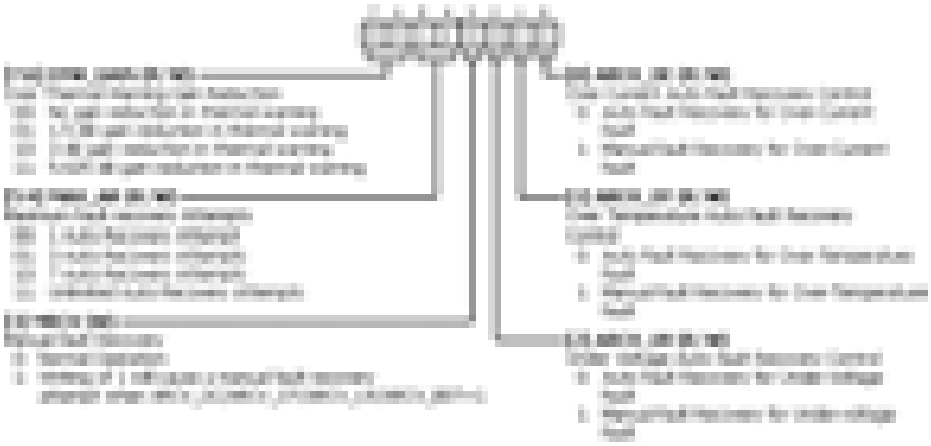

表44. FAULT_CTRL的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	OTW_GAIN		过热报警增益降低	0x0	R/W
		00	过热报警时无增益降低		
		01	过热报警时增益降低1.5 dB		
		10	过热报警时增益降低3 dB		
		11	过热报警时增益降低5.625 dB		
[5:4]	MAX_AR		故障恢复最多尝试次数。自动恢复最多次数寄存器决定自动恢复的执行次数。	0x3	R/W
		00	1次自动恢复尝试		
		01	3次自动恢复尝试		
		10	7次自动恢复尝试		
		11	无限次自动恢复尝试		
3	MRCV		手动故障恢复	0x0	W
		0	正常工作		
		1	当ARCV_OC/ARCV_OT/ARCV_UV/ARCV_BST = 1时，写入1会尝试手动故障恢复		
2	ARCV_UV		欠压自动故障恢复控制	0x0	R/W
		0	针对欠压故障进行自动故障恢复		
		1	针对欠压故障进行手动故障恢复		
1	ARCV_OT		过温自动故障恢复控制	0x0	R/W
		0	针对过温故障进行自动故障恢复		
		1	针对过温故障进行手动故障恢复		
0	ARCV_OC		过流自动故障恢复控制	0x0	R/W
		0	针对过流故障进行自动故障恢复		
		1	针对过流故障进行手动故障恢复		

PDM控制寄存器

地址：0x13；复位：0x40；名称： PDM_CTRL

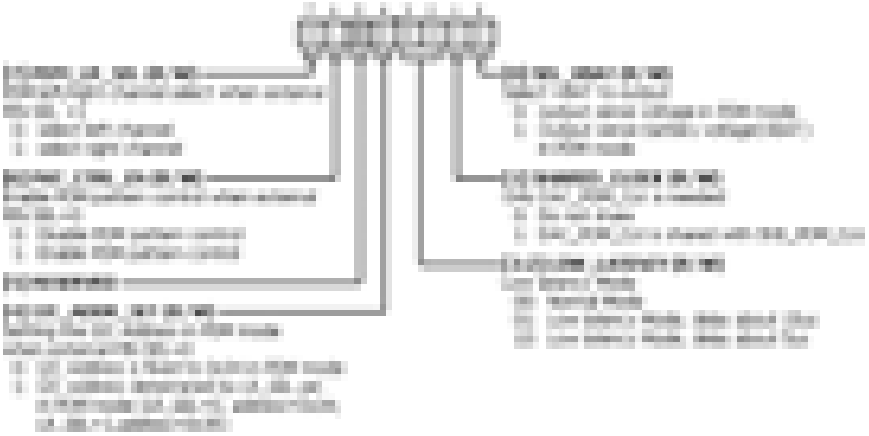

表45. PDM_CTRL的位功能描述

位	位名称	设置	说明	复位	访问类型
7	PDM_LR_SEL		外部PIN SEL =1时的PDM左/右通道选择	0x0	R/W
		0	选择左通道		
		1	选择右通道		
6	PAT_CTRL_EN		外部PIN SEL=0时使能PDM模式码控制	0x1	R/W
		0	禁用PDM模式码控制		
		1	使能PDM模式码控制		
5	RESERVED		保留。	0x0	R/W
4	I2C_ADDR_SET		外部PIN SEL = 0时设置PDM模式下的I2C地址	0x0	R/W
		0	PDM模式下I²C地址固定为0x34		
		1	PDM模式下I²C地址由LR_SEL/ADDR引脚决定(LR_SEL/ADDR = 0，地址 = 0x34；LR_SEL/ADDR = 1，地址 = 0x35)		
[3:2]	LOW_LATENCY		低延迟模式	0x0	R/W
		00	正常模式		
		01	低延迟模式，延迟约15 µs		
		10	低延迟模式，延迟约5 µs		
1	SHARED_CLOCK		仅需DAC_PDM_CLK	0x0	R/W
		0	不共享		
		1	DAC_PDM_CLK与SNS_PDM_CLK共享		
0	SEL_VBAT		选择VBAT以供输出	0x0	R/W
		0	PDM模式下输出检测电压		
		1	PDM模式下输出检测电池电压(VBAT)		

MCLK比设置寄存器

地址：0x14；复位：0x11；名称： MCLK_RATIO

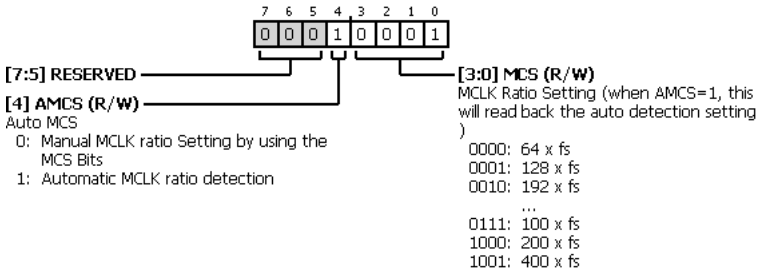

表46. MCLK_RATIO的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:5]	RESERVED		保留。	0x0	R/W
4	AMCS		自动MCS。自动或手动设置主机时钟比。	0x1	R/W
		0	利用MCS位手动设置MCLK比		
		1	自动MCLK比检测。检测到的主机时钟比设置存储在MCS寄存器位中以便读取该设置。		
[3:0]	MCS		MCLK比设置(AMCS = 1时，读回自动检测设置)	0x1	R/W
		0000	64 × fs		
		0001	128 × fs		
		0010	192 × fs		
		0011	256 × fs		
		0100	384 × fs		
		0101	512 × fs		
		0110	50 × fs		
		0111	100 × fs		
		1000	200 × fs		
		1001	400 × fs		

升压控制1寄存器

地址：0x15；复位：0x03；名称： BOOST_CTRL_1

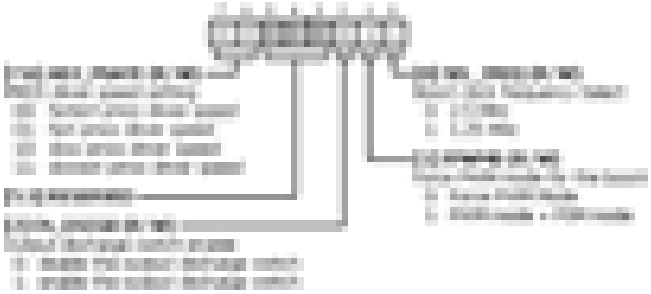

表47. BOOST_CTRL_1的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	ADJ_PGATE		PMOS驱动器速度设置	0x0	R/W
		00	pmos驱动器速度最快		
		01	pmos驱动器速度较快		
		10	pmos驱动器速度较慢		
		11	pmos驱动器速度最慢		
[5:3]	RESERVED		保留。	0x0	R/W
2	EN_DSCGB		输出放电开关使能	0x0	R/W
		0	禁用输出放电开关		
		1	使能输出放电开关		
1	FPWMB		强制升压器进入PWM模式	0x1	R/W
		0	强制PWM模式		
		1	PWM模式 + PSM模式		
0	SEL_FREQ		升压时钟频率选择	0x1	R/W
		0	2.5 MHz		
		1	1.25 MHz		

升压控制2寄存器

地址：0x16；复位：0x00；名称： BOOST_CTRL_2

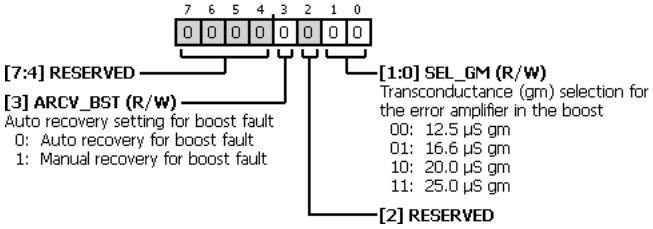

表48. BOOST_CTRL_2的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:4]	RESERVED		保留	0x0	R/W
3	ARCV_BST		升压故障自动恢复设置	0x0	R/W
		0	升压故障自动恢复		
		1	升压故障手动恢复		
2	RESERVED		保留	0x0	R/W
[1:0]	SEL_GM		升压器中误差放大器的跨导(g_m)选择	0x0	R/W
		00	12.5 µS g_m		
		01	16.6 µS g_m		
		10	20.0 µS g_m		
		11	25.0 µS g_m		

软复位寄存器

地址：0xFF；复位：0x00；名称：SOFT_RESET

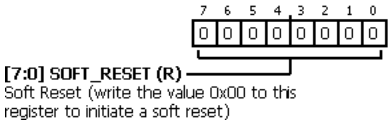

表49. SOFT_RESET的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:0]	SOFT_RESET		软复位(向此寄存器写入值0x00即启动软复位)	0x0	R

外形尺寸

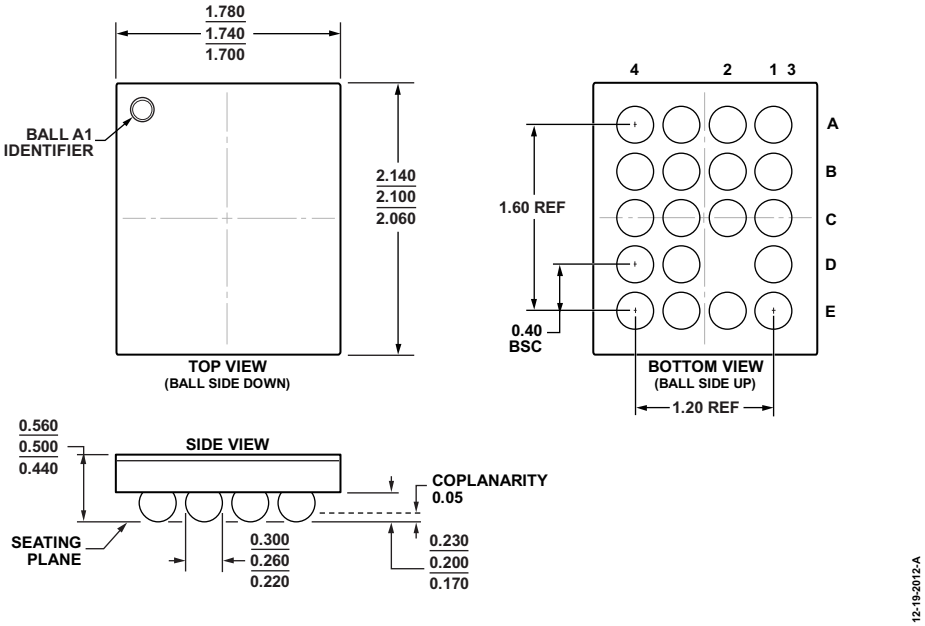

图58. 19引脚晶圆级芯片规模封装 [WLCSP]

(CB-19-1)

图示尺寸单位：mm

订购指南

型号[1]	温度范围	封装描述	封装选项
SSM4567ACBZ-R7	−40°C至+85°C	19-Ball WLCSP	CB-19-1
SSM4567ACBZ-RL	−40°C至+85°C	19-Ball WLCSP	CB-19-1
EVAL-SSM4567Z		评估板	
EVAL-SSM4567MINIZ		评估板	

[1] Z = 符合RoHS标准的器件。

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。

©2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D12278sc-0-4/14(0)