热插拔负压控制器

特 点

- **可将电路板安全地从带电的－48V背板中插入或拔出**
- **工作电压范围：－10V 至 －80V**
- **可设置浪涌电流**
- 容许 50mA 反向漏极引脚电流
- 可设置电子断路器
- 可设置过压保护
- 可设置欠压锁定
- 电源好控制输出

应 用

- 中心局交换机
- －48V分布式电源系统
- 负电源控制

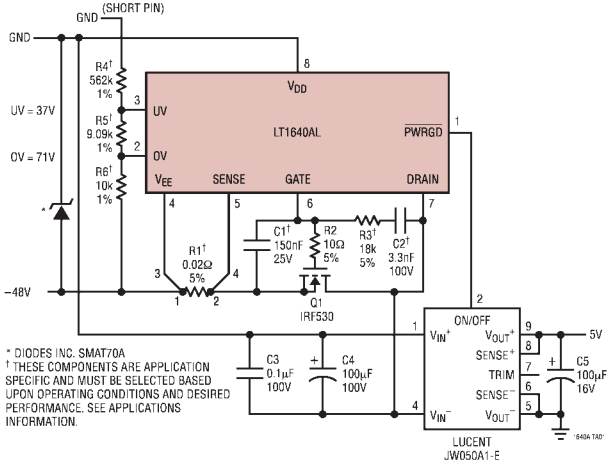
描 述

LT®1640AL / LT1640AH 是一种 8 引脚 Hot Swap™ 热插拔负压控制器，它允许将电路板安全地从带电的背板中插入或拔出。通过控制外接N沟道调整管的栅极电压可将浪涌电流限制到设置值。若输入电压小于设置的欠压门限值或大于过压门限值，则调整管截止。可设置电子断路器能防止系统短路。$\overline{\text{PWRGD}}$ (LT1640AL) 或 PWRGD (LT1640AH) 信号可用来直接启动电源模块。LT1640AL 是为输入低电平启动的电源模块而设计，LT1640AH 则为输入高电平启动的电源模块而设计。

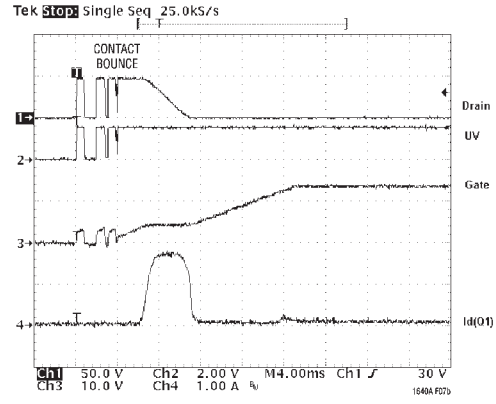
LT1640AL/LT1640AH 采用 8 引脚 PDIP 和 SO封装。

LT, LTC 和 LT 是凌特公司的注册商标。
Hot Swap 是凌特公司的商标。

典型应用



输入浪涌电流

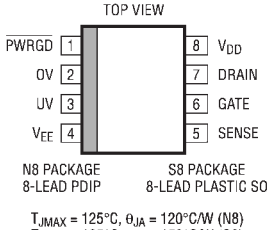


绝对最大额定值（注1），以下所注电压均相对 V_{EE}。

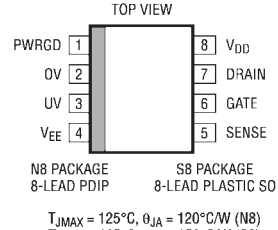
电源电压 ($V_{DD}-V_{EE}$) ..... −0.3V 至 100V
$\overline{PWRGD}$，PWRGD 引脚 ..... −0.3V 至 100V
DRAIN引脚 ..... −2V 至 100V
SENSE，GATE引脚 ..... −0.3V 至 20V
UV，OV引脚 ..... −0.3V 至 60V
最高结温 ..... 125℃

工作温度范围
LT1640ALC/LT1640AHC ..... 0℃至 70℃
LT1640ALI/LT1640AHI ..... −40℃至 85℃
储存温度范围 ..... −65℃至 150℃
引脚温度 (焊接时间10秒) ..... 300℃

封装/订购信息



产品型号
LT1640ALCN8 LT1640ALCS8 LT1640ALIN8 LT1640ALIS8
S8 型号标记
1640AL 640ALI



产品型号
LT1640AHCN8 LT1640AHCS8 LT1640AHIN8 LT1640AHIS8
S8 型号标记
1640AH 640AHI

关于特别规定具有较宽工作温度范围的器件，请咨询凌特公司。

电特性 凡标注 ● 的技术指标均指工作在全部温度范围，否则仅指工作在环境温度 T_A = 25℃ 时的技术指标。除非另外规定，V_{DD} = 48V，V_{EE} = 0V。(注 2)

符号	参数	条件		最小值	典型值	最大值	单位
直流							
V_{DD}	电源工作范围		●	10		80	V
I_{DD}	电源电流	UV = 3V，OV = V_{EE}，SENSE = V_{EE}	●		1.3	5	mA
V_{CB}	断路器跳变电压	V_{CB} = (V_{SENSE} − V_{EE})	●	40	50	60	mV
I_{PU}	GATE 引脚上拉电流	栅极驱动开启，V_{GATE} = V_{EE}	●	−30	−45	−60	μA
I_{PD}	GATE 引脚下拉电流	任何故障状态		24	50	70	mA
I_{SENSE}	SENSE 引脚电流	V_{SENSE} = 50mV			−20		μA
ΔV_{GATE}	外部栅极驱动	(V_{GATE} − V_{EE})，15V ≤ V_{DD} ≤ 80V (V_{GATE} − V_{EE})，10V ≤ V_{DD} < 15V	● ●	10 6	13.5 8	18 15	V V
V_{UVH}	UV 引脚的高门限电压	UV 从低到高过渡	●	1.213	1.243	1.272	V
V_{UVL}	UV 引脚的低门限电压	UV 从高到低过渡	●	1.198	1.223	1.247	V
V_{UVHY}	UV 引脚迟滞				20		mV
I_{INUV}	UV 引脚输入电流	V_{UV} = V_{EE}	●		−0.02	−0.5	μA
V_{OVH}	OV 引脚高门限电压	OV 从低到高过渡	●	1.198	1.223	1.247	V
V_{OVL}	OV 引脚低门限电压	OV 从高到低过渡	●	1.165	1.203	1.232	V
V_{OVHY}	OV 引脚迟滞				20		mV
I_{INOV}	OV 引脚输入电流	V_{OV} = V_{EE}	●		−0.03	−0.5	μA

电特性

凡标注 ● 的技术指标均指工作在全部温度范围，否则仅指工作在环境温度 T_A = 25℃ 时的技术指标。除非另外规定，V_{DD} = 48V，V_{EE} = 0V。(注 2)

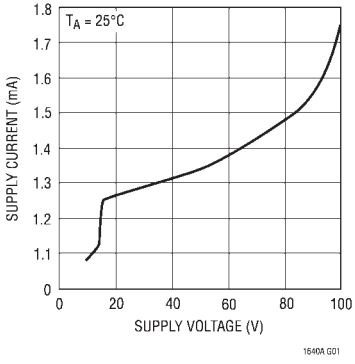
符号	参数	条件		最小值	典型值	最大值	单位
V_{PG}	电源好门限值	$V_{DRAIN} - V_{EE}$，从高到低过渡		1.1	1.4	2.0	V
V_{PGHY}	电源好门限值迟滞				0.4		V
I_{DRAIN}	漏极输入偏流	V_{DRAIN} = 48V	●	10	50	500	µA
V_{OL}	$\overline{PWRGD}$ 输出低电压	$\overline{PWRGD}$ (LT1640AL)，($V_{DRAIN} - V_{EE}$) < V_{PG} I_{OUT} = 1mA I_{OUT} = 5mA	 ● 		 0.48 1.50	 0.8 3.0	 V V
	PWRGD 输出低电压 (PWRGD – DRAIN)	PWRGD (LT1640AH)，V_{DRAIN} = 5V I_{OUT} = 1mA	 ●		 0.75	 1.0	 V
I_{OH}	输出泄漏	$\overline{PWRGD}$ (LT1640AL)，V_{DRAIN} = 48V $V_{\overline{PWRGD}}$ = 80V	●		0.05	10	µV
R_{OUT}	电源好输出阻抗 (PWRGD 至 DRAIN)	PWRGD (LT1640AH)，($V_{DRAIN} - V_{EE}$) < V_{PG}	●	2	6.5		kΩ
交流							
t_{PHLOV}	OV 高到 GATE 低	图1、2			1.7		µs
t_{PHLUV}	UV 低到 GATE 低	图1、3			1.5		µs
t_{PLHOV}	OV 低到 GATE 高	图1、2			5.5		µs
t_{PLHUV}	UV 高到 GATE 高	图1、3			6.5		µs
$t_{PHLSENSE}$	SENSE 高到 GATE 低	图1、4		2	3	4	µs
t_{PHLPG}	DRAIN 低到 $\overline{PWRGD}$ 低 DRAIN 低到 (PWRGD – DRAIN) 高	(LT1640AL) 图1、5 (LT1640AH) 图1、5			0.5 0.5		µs µs
t_{PLHPG}	DRAIN 高到 $\overline{PWRGD}$ 高 DRAIN 高到 (PWRGD – DRAIN) 低	(LT1640AL) 图1、5 (LT1640AH) 图1、5			0.5 0.5		µs µs

注 1：绝对最大额定值是指超过该值可能会降低器件寿命。

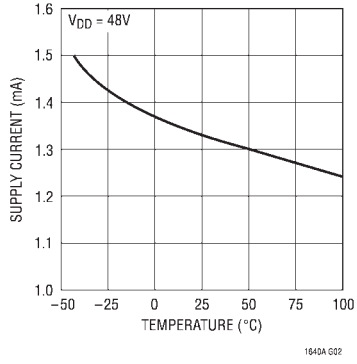
注 2：所有流入器件引脚的电流均为正电流；所有流出器件引脚的电流均为负电流。除非另有说明，所注电压均相对 V_{EE}。

典型性能特点

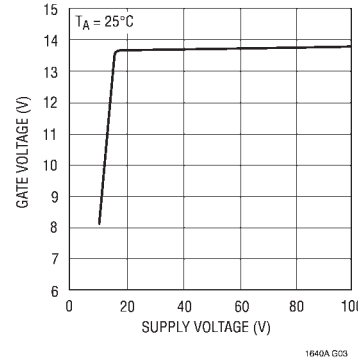
电源电流与电源电压的关系曲线



电源电流与温度的关系曲线

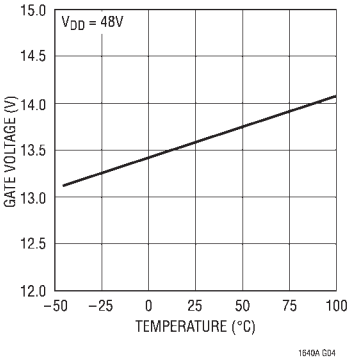


栅极电压与电源电压的关系曲线

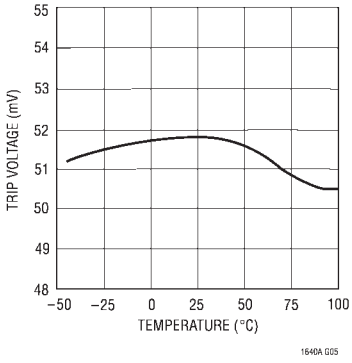


典型性能特点

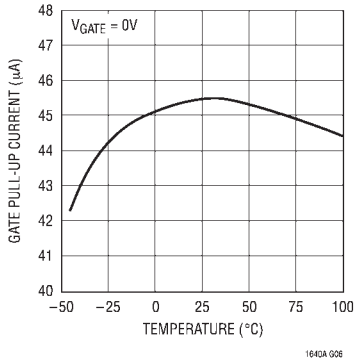
栅极电压与温度的关系曲线



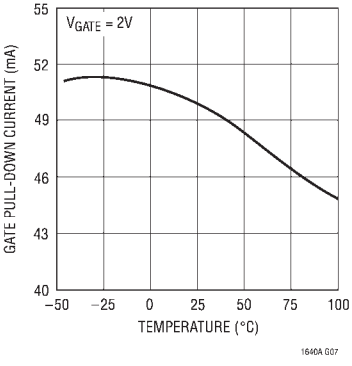
断路器跳变电压与温度的关系曲线



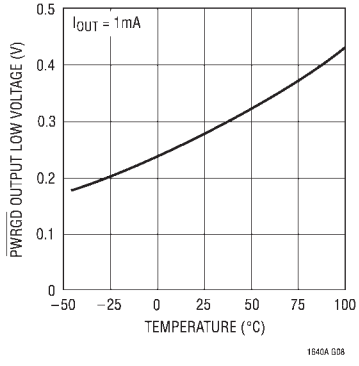
栅极上拉电流与温度的关系曲线



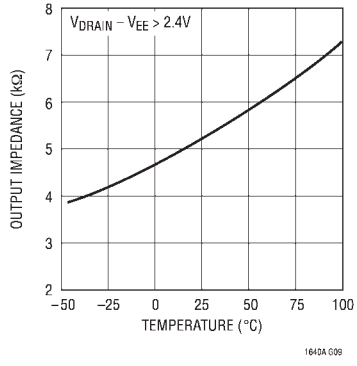
栅极下拉电流与温度的关系曲线



$\overline{\text{PWRGD}}$输出低电压与温度的关系曲线 (LT1640AL)



PWRGD输出阻抗与温度的关系曲线 (LT1640AH)



引脚功能

$\overline{\text{PWRGD}}$/PWRGD (引脚 1)：电源好输出引脚。当 V_{DRAIN} 在 V_{EE} 的 V_{PG} 范围内时，该引脚便被触发。可直接将该引脚与电源模块的启动引脚相接。

当 LT1640AL 的 DRAIN 引脚电压超过 V_{EE} 的电压量大于 V_{PG} 时，$\overline{\text{PWRGD}}$ 引脚变为高阻状态，此时允许电源模块启动引脚的上拉电流将该引脚拉到高电平，使电源模块停止工作。当 V_{DRAIN} 下降到 V_{PG} 以下时，$\overline{\text{PWRGD}}$ 引脚吸收电流，使其电平下降到 V_{EE}，将启动引脚拉到低电平，电源模块开始工作。

当 LT1640AH 的 DRAIN 引脚电压超过 V_{EE} 的电压量大于 V_{PG} 时，PWRGD 引脚吸收电流，使其电平下降到 DRAIN 引脚值，将启动引脚拉到低电平，电源模块停止工作。当 V_{DRAIN} 下降到 V_{PG} 以下时，PWRGD 引脚停止吸收电流，在 PWRGD 与 DRAIN 引脚之间接一个 6.5k 上拉电阻，电源模块产生的上拉电流将启动引脚上拉到高电平，电源模块开始工作。

引脚功能

OV (引脚 2)：模拟过压输入。当 OV 引脚被拉到高于由低到高过渡时的门限值 1.223V 时，就会检测到过压状态，此时 GATE 引脚立即被拉到低电平。在 OV引脚下降到低于由高到低过渡时的门限值 1.203V 以前，GATE 引脚一直保持低电平。

UV (引脚 3)：模拟欠压输入。当 UV 引脚被拉到低于由高到低过渡时的门限值 1.223V 时，就会检测到欠压状态，此时 GATE 引脚立即被拉到低电平。在 UV引脚上升到高于由低到高过渡时的门限值 1.243V 以前，GATE 引脚一直保持低电平。

UV 引脚还用来使电子断路器复位。如果 UV 引脚在断路器跳变之后循环处于低电平和高电平，断路器将复位，并完成一个正常加电过程。

V_{EE} (引脚 4)：负电源电压输入。该引脚接到电源的较低电位上。

SENSE (引脚 5)：断路器检测引脚。在 V_{EE} 与 SENSE 之间的电源通路中有一个检测电阻器，当该电阻器两端的电压超过 50mV 时，断路器就会跳变。持续时间不到 2μs 的噪声尖峰被滤掉，不会使断路器发生跳变。

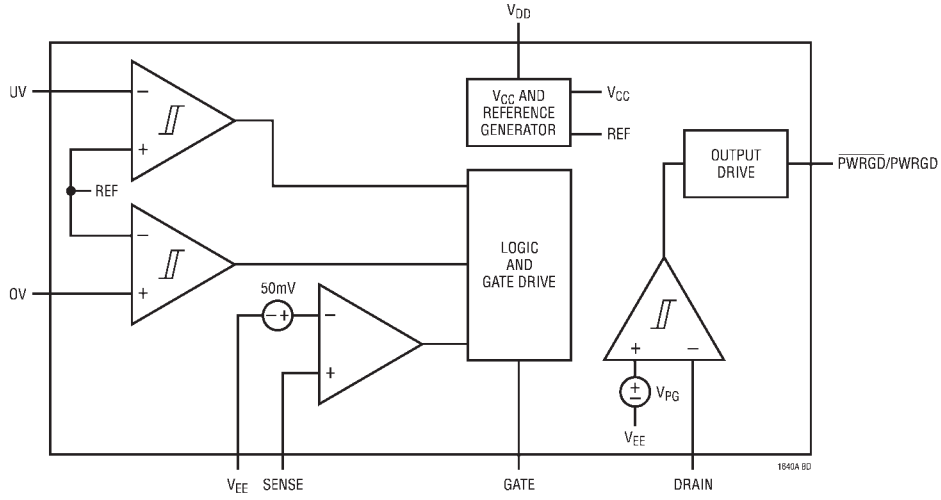
若将断路器跳变电流设置为正常工作电流的两倍，那么在正常工作期间检测到的电阻器两端压降仅为 25mV。欲使断路器不工作，将 V_{EE} 和 SENSE 两引脚短接在一起即可。

GATE (引脚 6)：外接 N 沟道晶体管的栅极驱动输出。当以下启动条件被满足时，GATE 引脚将变为高电平：UV 引脚为高电平，OV 引脚为低电平，并且 ($V_{SENSE} - V_{EE}$) < 50mV。GATE 引脚由 45μA 电流源拉到高电平，由 50mA 电流源拉到低电平。

DRAIN (引脚 7)：模拟漏极检测输入。将该引脚接到外接 N 沟道晶体管的漏极和电源模块的 V⁻引脚上。当 DRAIN 引脚的电平低于V_{PG} 时，$\overline{PWRGD}$ 或 PWRGD 引脚被触发。在某些情况下，DRAIN 引脚被拉低到低于 V_{EE} ，如果 DRAIN 引脚的反电流限制在 50mV，器件不会被损坏。

V_{DD} (引脚 8)：正电源电压输入。将该引脚接到电源输入的较高电位和电源模块的 V⁺ 引脚上。输入电源电压的范围为 10V 至 80V。

方框图



测试电路

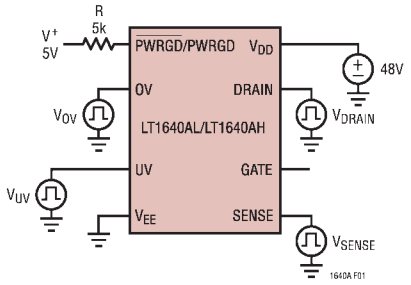


图 1：测试电路

时序图

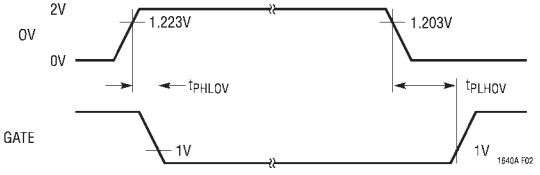


图 2：OV 与 GATE 的时序

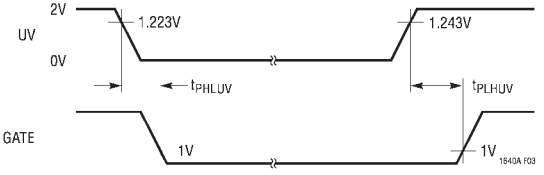


图 3：UV 与 GATE 的时序

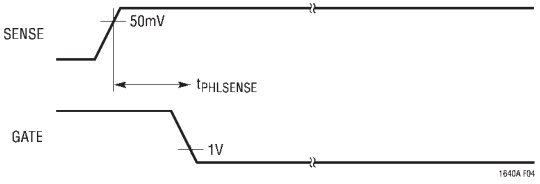


图 4：SENSE 与 GATE 的时序

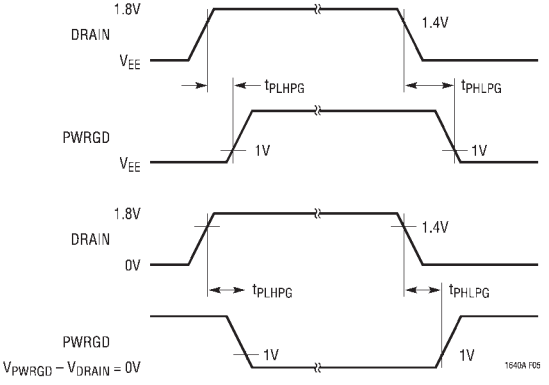


图 5：DRAIN 与 $\overline{\text{PWRGD}}$/PWRGD 的时序

应用信息

电路板带电插入

当电路板插入带电的 –48V 背板时，电路板的电源模块或开关电源输入处的旁路电容器在充电时会吸收很大的瞬态电流，这种瞬态电流会造成电路板上元件的永久性损坏，而且会在系统的电源上引发尖峰干扰信号。

LT1640A 按照某种控制方式用来接通电路板上的电源，从而可使电路板从带电的背板上安全地插入和拔出。该芯片还提供欠压、过压和过流保护，这时电源模块将停止工作，直到输入的电压稳定在允许误差范围内。

电源电压斜坡式上升

通过在供电通路中接一个外接N沟道调整管 (Q1)，可控制电路板上电源模块的输入 (见图 6a，所有波形都是相对 LT1640A 的 V_{EE} 测定的)。电阻器 R1 用来提供电流故障检测，R2 用来防止高频振荡，电阻器 R4、R5 和 R6 用来提供欠压和过压检测。在连接电路板时，通过使 Q1 的栅极电压缓慢斜坡式上升，可将对负载电容器 C3 和 C4 充电的浪涌电流限制在安全值范围。

电阻器 R3 和电容器 C2 起到反馈网络的作用，用以精确控制浪涌电流。浪涌电流可用下式计算：

$$I_{INRUSH} = (45\mu A \bullet C_L)/C2$$

其中，C_L 是总负载电容，包括 C3 + C4 + 模块输入电容。

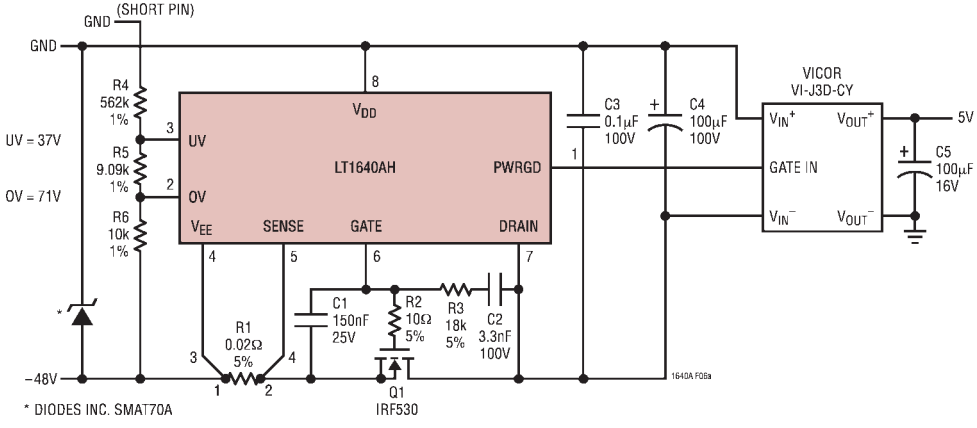


图 6a：浪涌控制电路

应用信息

电容器 C1 和电阻器 R3 用来防止刚一接触电源引脚时 Q1 的突然接通。如果没有 C1 和 R3，在 LT1640A 加电并把栅极拉到有效低电位之前，电容器 C2 将把 Q1 的栅极电压上拉到约为 V_{EE} • $C2/C_{GS}$ (Q1)。将电容器 C1 与 Q1 的栅极电容并联，并用电阻器 R3 将它们与 C2 隔离，问题便得到解决。C1 的值可由下式计算：

$$\left(\frac{V_{INMAX} - V_{TH}}{V_{TH}}\right) \bullet (C2 + C_{GD})$$

其中，V_{TH} 是 MOSFET 栅极电压的最小门限值，而 V_{INMAX} 是最大工作输入电压。

R3 的值并非关键，可根据 (V_{INMAX} + ΔV_{GATE})/5mA 来确定。

波形如图 6b 所示，当接通电源引脚时，波形会出现几次抖动，一旦接触点出现抖动，LT1640A 便检测到欠压状态，GATE 引脚立即被拉到低电平，此时电源引脚被断开。

一旦电源引脚停止抖动，GATE 引脚的电压便开始斜坡式上升。当 Q1 导通时，GATE 引脚的电压通过由 R3 和 C2 组成的反馈网络维持恒定。当 DRAIN 引脚的电压停止斜坡式上升时，GATE 引脚的电压即斜坡式上升至终值。

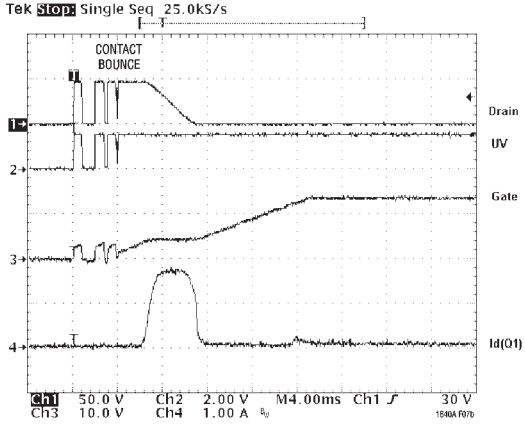


图 6b：浪涌控制波形

应用信息

电子断路器

LTI640A 的特点是具有能防止短路或电流过大的电子断路器功能。通过在 V_{EE} 与 SENSE 引脚之间加一个检测电阻，电子断路器会在该检测电阻器两端的电压大于 50mV 的持续时间超过 3μs 时发生跳变，如图7所示。

应当注意的是断路器的门限值应设置得足够高，以便适应负载电流与浪涌电流两者相互叠加的情况。若负载电流能由 $\overline{PWRGD}$/PWRGD 引脚控制(见图 6a)，则该门限值可以设置得低一些，因为这样浪涌电流和负载电流不会同时出现。

当断路器跳变时，GATE 引脚立即被拉到 V_{EE}，外接 N 沟道晶体管便截止。GATE 引脚将一直保持低电平，直到通过将 UV 拉到低电平，然后拉到高电平而使断路器复位或者是通过重新给电路加电。

若需要大于 3μs 的去尖峰时间来抑制电流噪声，则可在检测电路中外加一个电阻器和电容器，如图 8 所示。R7 和 C3 起到低通滤波器的作用，使 SENSE 引脚电压不会上升得太快。由于 SENSE 引脚提供电流典型值为 20μA，所以在 R7 上会出现压降，如同检测电阻器的端电压那样，这个电压将被计入断路器的跳变电压，因此建议 R7 选用低阻值电阻器，当 R7 为 100Ω 时，将引起 2mV 误差。在 SENSE 引脚上的延迟时间可用下式估算：

$$t = -R \bullet C \bullet \ln\left(1 - \frac{V(t) - V(t_0)}{V_i - V(t_0)}\right)$$

式中的 V(t) 是断路器的跳变电压，其典型值为 50mV。$V(t_0)$ 是在出现短路或过流状态之前检测电阻器的两端压降。V_i 是当短路电流或过流通过检测电阻器时检测电阻器的两端电压。

例：某系统的负载电流为 1A，检测电阻器阻值为 0.02Ω，需要设计一个扩展延迟电路，使负载跳变到 5A 之后有 50μs 的延迟时间。在这种情况下：

$V(t) = 50mV$

$V(t_0) = 20mV$

$V_i = 5A \bullet 0.02\Omega = 100mV$

若选择 R = 100Ω，则 C = 1μF。

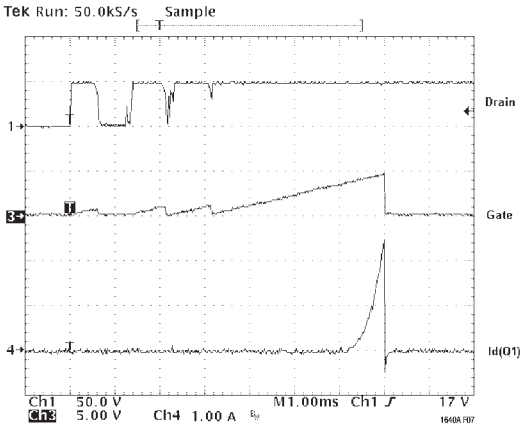


图 7：短路保护波形

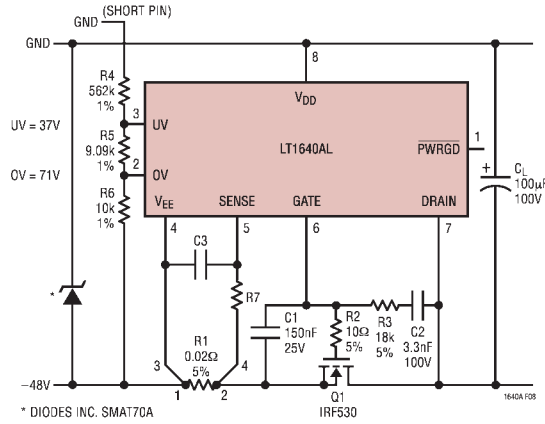


图 8：短路保护扩展延迟电路

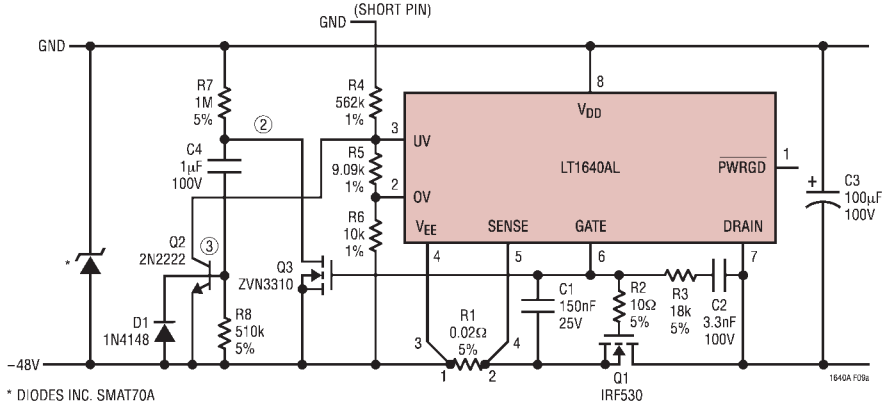
应用信息

在某些情况下，输出端短路可能引起输入端电源电压下降到UV门限值以下，使断路器立即复位。

这时，LT1640A将反复导通和关断直到短路去除为止。通过在UV与V_{EE}之间加接一个电容器，使得在UV引脚上增加一个去尖峰延迟，可使反复通断减少到最低程度。所加的电容器与UV上的电阻器形成RC时间常数，从而允许在UV引脚使断路器复位之前恢复输入电源电压。

在出现电流故障之后自动使断路器复位的电路如图9所示。

三极管Q2和Q3与R7、R8、C4和D1构成一个可设置的单触发电路。短路发生之前，GATE引脚被拉到高电平，Q3导通，将节点2拉到V_{EE}。电阻器R8使Q2截止。短路发生时，GATE引脚被拉到低电平，Q3截止。节点2开始对C4充电，Q2导通，将UV引脚拉到低电平，使断路器复位。一旦C4完全充电，R8使Q2截止，UV变为高电平，GATE上的电压开始斜坡式上升。Q3重新导通，并将节点2快速拉回到V_{EE}。二极管D1对节点3进行箝位，使其比V_{EE}低一个二极管的压降。占空比设置到10%以防止Q1过热。



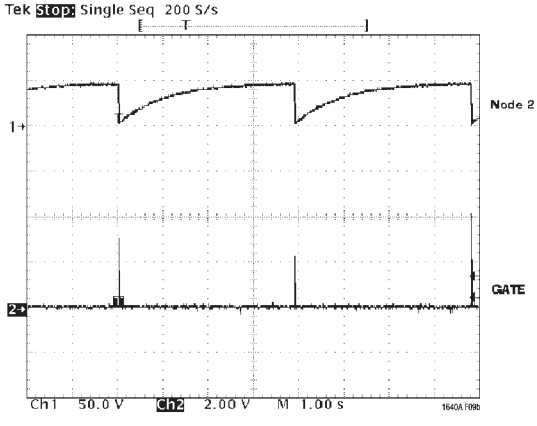


图9：电流故障之后的自动重新起动

应用信息

欠压和过压检测

UV (引脚 3) 和 OV (引脚 2) 两个引脚可用来检测电源输入的欠压和过压状态。UV 和 OV 引脚从芯片内部与带 20mV 迟滞的模拟比较器相连。当 UV 引脚的电平下降到该引脚的门限值以下或者 OV 引脚的电平上升到该引脚的门限值以上时，GATE 引脚便会立即被拉到低电平。GATE 引脚将一直保持低电平，直到 UV 引脚变为高电平且 OV 引脚变为低电平。

欠压和过压跳变电压可用一个三电阻分压器进行设置，如图 10a 所示。例如在 R4 = 562k，R5 = 9.09k 和 R6 = 10k，将欠压门限值设置为 37V，过压门限值设置为 71V。当在 UV 引脚和 OV 引脚输入端电压分别为 0.6V 和 1.2V 时，电阻分压器会放大 20mV 的迟滞。

如图 10b 所示，将电阻器 R3 接在 UV 引脚与 GATE 引脚之间，会给 UV 引脚的门限值带来更大的迟滞。

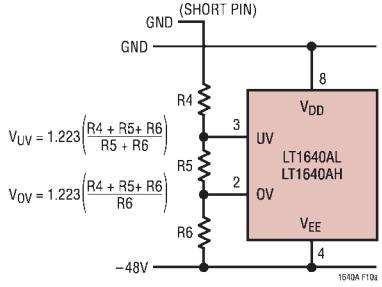


图 10a：欠压和过压检测

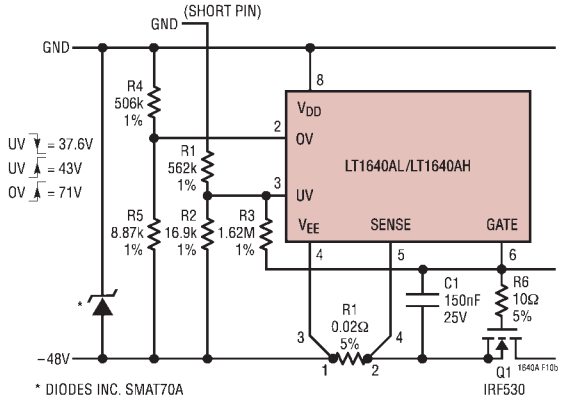


图 10b：为欠压检测设置迟滞

应用信息

当输入电压从低变到高时，新的欠压门限电压为：

$$V_{UV,LH} = V_{UVH}\left(\frac{R2 \bullet R3 + R1 \bullet R3 + R1 \bullet R2}{R2 \bullet R3}\right)$$

其中，V_{UVH} 的典型值为 1.243V。

当输入电压从高变到低时，新的欠压门限电压为：

$$V_{UV,HL} = V_{UVL}\left(\frac{R2 \bullet R3 + R1 \bullet R3 + R1 \bullet R2}{R2 \bullet R3}\right) - \left(V_{GATE} \bullet \frac{R1}{R3}\right)$$

其中，V_{UVL} 的典型值为 1.223V。

新的滞后值为：

$$V_{HYS} = V_{UVHY}\left(\frac{R2 \bullet R3 + R1 \bullet R3 + R1 \bullet R2}{R2 \bullet R3}\right) + \left(V_{GATE} \bullet \frac{R1}{R3}\right)$$

若 R1 = 562k，R2 = 16.9k，R3 = 1.62M，V_{GATE} = 13.5V 和 V_{UVHY} = 20mV，则欠压门限值为 43V (输入电压从低变到高) 和 37.6V (输入电压从高变到低)，迟滞电压为 5.4V。过压门限值应使用一个单独的电阻分压器来设置，计算公式如下：

$$V_{OV} = V_{OVH}\left(\frac{R4 + R5}{R5}\right)$$

若 R4 = 506K，R5 = 8.87K，V_{OVH} = 1.223V，则过压门限值为 71V。

$\overline{\text{PWRGD}}$/PWRGD 输出

当输入到模块上的电压处于允许误差范围时，$\overline{\text{PWRGD}}$/PWRGD 输出可直接启动电源模块。LT1640AL 具有 $\overline{\text{PWRGD}}$ 输出，用来启动那些启动输入为低电平有效的电源模块，而 LT1640AH 则有一个 PWRGD 输出，用来启动那些启动输入为高电平有效的电源模块。

当 LT1640AH 的 DRAIN 引脚电平相对于 V_{EE} 为高电位时 (图 11)，内部晶体管 Q3 截止，R7 和 Q2 将 PWRGD 引脚箝位到高于 DRAIN 引脚一个二极管压降 (≈0.7V)。晶体管 Q2 吸收电源模块的上拉电流，使电源模块停止工作。

当 DRAIN 引脚电平下降到低于 V_{PG} 时，Q3 将导通，R7 的底端与 DRAIN 引脚短路，同时使 Q2 截止。这样，电源模块的上拉电流就会流过 R7，从而将 PWRGD 引脚拉到高电平，使电源模块开始工作。

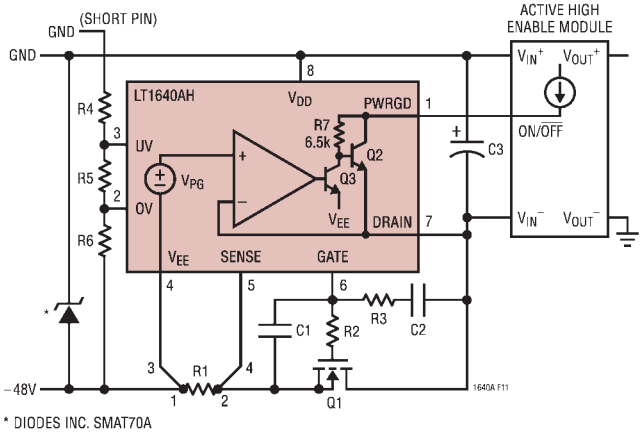


图 11：高电平有效启动模块

应用信息

当 LT1640AL 的 DRAIN 引脚电平相对于 V_{EE} 为高电位时，内部下拉晶体管 Q2 则截止，$\overline{PWRGD}$ 引脚变为高阻状态 (图 12)。$\overline{PWRGD}$ 引脚将由模块内部的上拉电流源拉到高电平，使模块停止工作。当 DRAIN 引脚电平下降到低于 V_{PG}，Q2 导通，$\overline{PWRGD}$ 引脚将被拉到低电平，使模块开始工作。

$\overline{PWRGD}$ 信号还可用来接通 LED 或光隔离器，以指示电源工作正常 (见图 13所示)。

GATE 引脚的电平调整

当芯片的电源电压超过 15.5V时，GATE引脚电平被调整到高于 V_{EE} 的13.5V上。当芯片的电源电压小于 15.5V 时，GATE引脚电平将被调整为低于电源电压 2V。当芯片电源电压最小值为 10V 时，GATE 引脚电平也能保证达到 6V 以上，而对于高达 80V 的电源电压，GATE 引脚电平则不会高于 18V。

DRAIN 引脚保护

LT1640A 的独特之处是其强壮的 DRAIN 引脚，DRAIN 是为抵受负电压 (相对于 V_{EE}) 而设计，但并不需外加二极管。一个在 –48V 背板的短路上拉 V_{EE} 引脚电压，但由于贮存电容器 C3 (图12) 的关系，DRAIN 引脚比 V_{EE} 引脚处于更负状态。二极管 Q1 加上在 R1 的 I • R 压降 (如果 R1 是少) 使 DRAIN 引脚电压比 V_{EE} 低 1.5V，一个 1.5V 反向电压使反向漏极电流提升到 50mA，这在 LT1640A 所设计的能力之内。一个 R1 大于 0.1Ω 的设计可能要求一个电阻与 DRAIN 引脚并联，使其不能超过 50mA 漏电流的最大值。

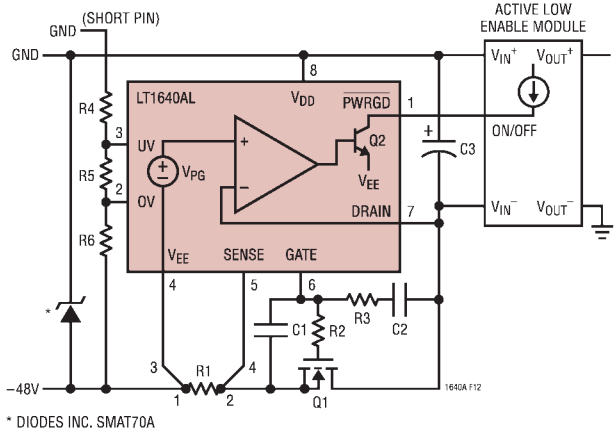


图 12：低电平有效启动模块

应用信息

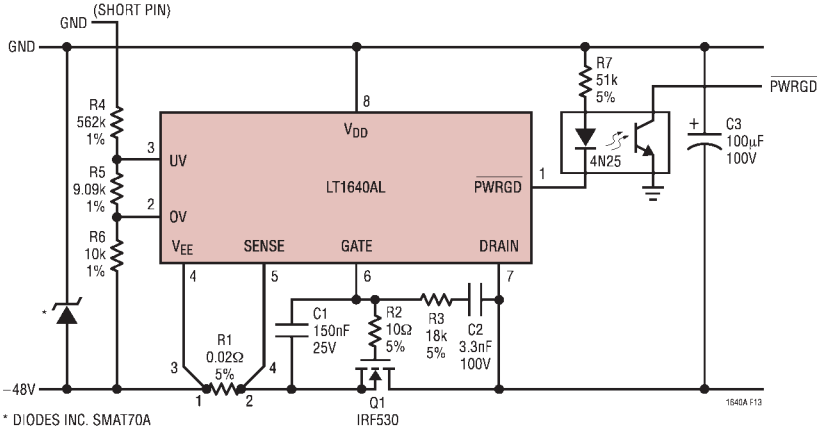
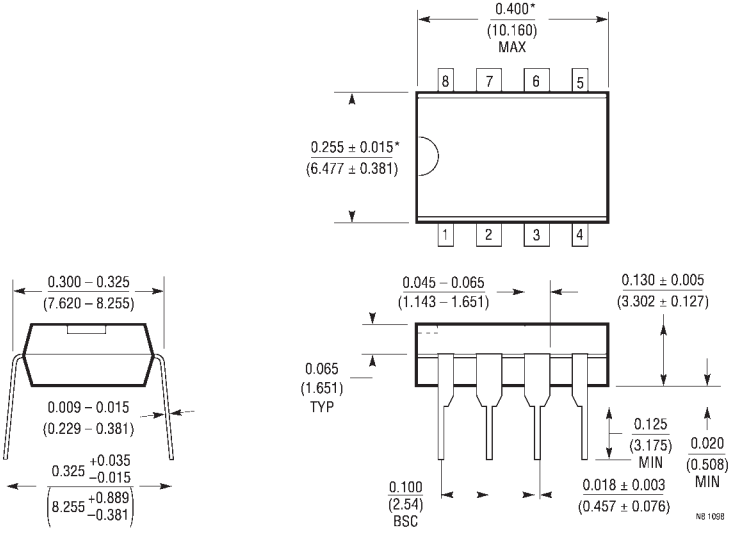


图13：利用 $\overline{\text{PWRGD}}$ 驱动光隔离器

封装描述 除非另有说明，封装尺寸单位均为英寸（毫米）。

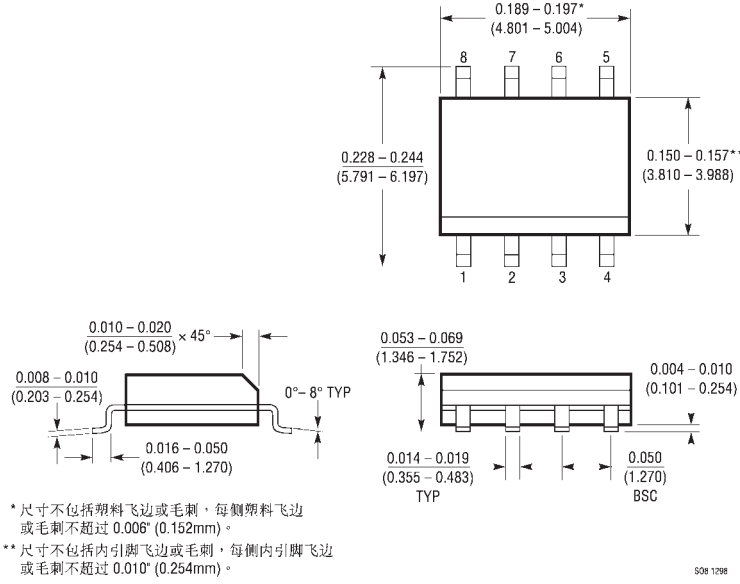
N8 封装
8引脚 PDIP (窄边 0.300)
（LTC DWG # 05-08-1510）



*所标尺寸不包括塑料飞边和金属毛刺，每侧塑料飞边和金属毛刺不超过 0.010" (0.254mm)。

封装描述 除非另有说明，封装尺寸单位均为英寸（毫米）。

S8 封装
8引脚塑料小型封装 (窄边 0.150)
（LTC DWG # 05-08-1610）



* 尺寸不包括塑料飞边或毛刺，每侧塑料飞边或毛刺不超过 0.006" (0.152mm)。

** 尺寸不包括内引脚飞边或毛刺，每侧内引脚飞边或毛刺不超过 0.010" (0.254mm)。

典型应用

电磁干扰 (EMI) 滤波模块的使用

许多应用中都将一个 EMI 滤波模块接到电源电路中以防止模块的开关噪声干扰供电电源。图 14 中示出使用朗讯 (Lucent) FLTR100V10 滤波模块的一例典型应用。在使用滤波模块时，需要使用一个光隔离器来防止共模瞬变信号损坏 PWRGD 及 ON/OFF 引脚。

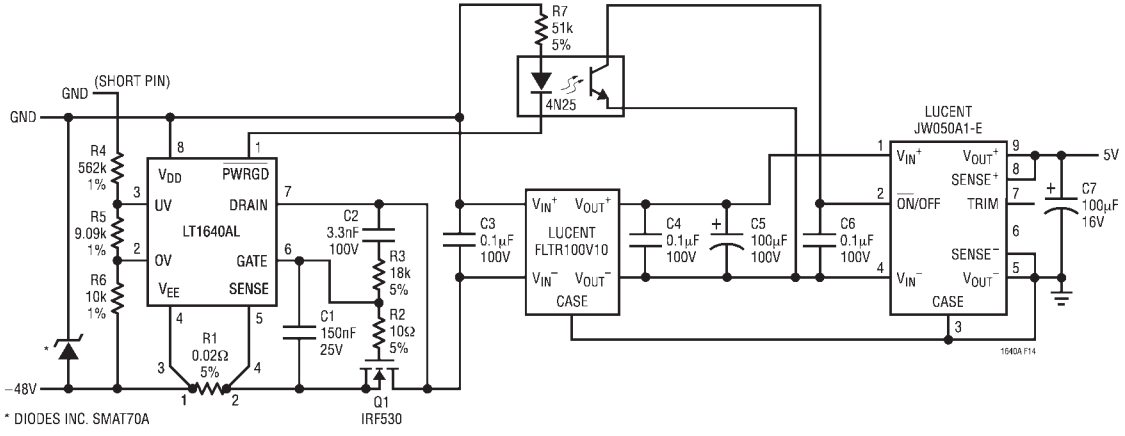


图 14：使用滤波模块的一个典型应用电路

相关器件

型号	描述	说明
LTC®1421	双通道热插拔控制器	工作电压范围 3V 至 12V
LTC1422	SO-8 型封装的热插拔控制器	带有可设置延迟的系统复位输出，3V 至 12V
LT1641	SO-8 型正 48V 热插拔控制器	返回式模拟限流
LTC1642	带故障保护的热插拔控制器	工作电压高达 16.5V，保护电压高达 33V
LTC1643	PCI 热插拔控制器	供 PCI 总线使用的 3.3V、5V、12V、–12V 电源
LTC1645	双路热插拔控制器	工作电压范围 1.2V 至 12V，电源定序
LTC1646	CompactPCI™ 热插拔控制器	3.3V、5V 电源，1V 预充电，本地 PCI 复位逻辑
LTC1647	双路热插拔控制器	3V 至 15V 双 ON 引脚电源

CompactPCI 是 PCI Industrial Computer Manufacturers Group 的商标。

凌特有限公司
香港新界葵芳兴芳路223号新都会广场2座21楼2108室
电话：(852) 2428-0303　传真：(852) 2348-0885
www.linear-tech.com / www.linear.com.cn
1640alahf 0.2K 1201 • PRINTED IN HONG KONG
©LINEAR TECHNOLOGY CORPORATION 2001