

集成以太网PHY的2/3端口 EtherCAT[®]从控制器

重要特性

- 带3个现场总线存储器管理单元（Fieldbus Memory Management Unit, FMMU）和4个SyncManager（同步管理器）的2/3端口EtherCAT[®]从控制器
- 通过8/16位总线与大多数8/16位嵌入式控制器和32位嵌入式控制器接口
- 支持HP Auto-MDIX的集成以太网PHY
- LAN唤醒（Wake on LAN, WoL）支持
- 低功耗模式允许系统进入休眠模式，直到被主器件寻址
- 电缆诊断支持
- 1.8V至3.3V可变电压I/O
- 集成1.2V稳压器以实现3.3V单电源操作
- 低引脚数和小尺寸封装

目标应用

- 电机运动控制
- 过程/工厂自动化
- 通信模块和接口卡
- 传感器
- 液压阀和气动阀系统
- 操作员界面

主要优势

- 集成高性能100Mbps以太网收发器
 - 符合IEEE 802.3/802.3u（快速以太网）标准
 - 通过外部光纤收发器实现100BASE-FX支持
 - 环回模式
 - 自动极性检测和校正
 - HP Auto-MDIX
- EtherCAT从控制器
 - 支持3个FMMU
 - 支持4个SyncManager
 - 分布式时钟支持允许与其他EtherCAT器件同步
 - 4 KB DPRAM
- 8/16位主机总线接口
 - 变址寄存器或复用总线
 - 允许本地主机进入休眠模式，直到被EtherCAT主器件寻址
 - SPI/四SPI支持
- 数字I/O模式，优化系统成本
- 第3个端口可实现灵活的网络配置
- 全面的功耗管理功能
 - 3种掉电级别
 - 链路状态变化时唤醒（能量检测）
 - 魔术包唤醒、LAN唤醒（WoL）、广播唤醒和理想DA唤醒
 - 唤醒指示事件信号
- 电源和I/O
 - 集成上电复位电路
 - 门锁性能超过150 mA，符合EIA/JESD78 II类
 - JEDEC 3A类ESD性能
 - 3.3V单电源（集成1.2V稳压器）
- 附加功能
 - 多功能GPIO
 - 能够使用低成本25 MHz晶振，从而降低BOM成本
- 封装
 - 符合RoHS标准的无铅64引脚QFN或64引脚TQFP-EP封装
- 提供商业级、工业级和扩展工业级*温度范围的器件

*仅在具有外部稳压器（必须禁止内部稳压器）和2.5V（典型值）以太网磁件的64-QFN封装器件中支持扩展级温度（105°C）。

致 客 户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 CTRC@microchip.com。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请访问我公司网站：

<http://www.microchip.com>

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 <http://www.microchip.com>
- 当地 Microchip 销售办事处（见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本（包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 www.microchip.com 上注册。

1.0 前言	4
2.0 概述	8
3.0 引脚说明和配置	11
4.0 电源连接	29
5.0 寄存器映射	32
6.0 时钟、复位和功耗管理	37
7.0 配置脚	51
8.0 系统中断	53
9.0 主机总线接口	62
10.0 SPI/SQI 从器件	102
11.0 以太网PHY	120
12.0 EtherCAT	196
13.0 EEPROM接口	295
14.0 芯片模式配置	296
15.0 通用定时器和自由运行时钟	297
16.0 其他	301
17.0 JTAG	305
18.0 工作特性	307
19.0 封装外形	322
20.0 版本历史	325

LAN9252

1.0 前言

1.1 一般术语

表1-1: 一般术语

术语	说明
10BASE-T	10 Mbps 以太网，符合 IEEE 802.3 标准
100BASE-TX	100 Mbps 快速以太网，符合 IEEE802.3u 标准
ADC	模数转换器
ALR	地址逻辑解析
AN	自动协商
BLW	基线漂移
BM	缓冲区管理器——开关结构（switch fabric）的一部分
BPDU	网桥协议数据单元——承载生成树协议信息的信息
CSMA/CD	载波监听多路访问/冲突检测
CSR	控制和状态寄存器
CTR	计数器
DA	目标地址
EPC	EEPROM 控制器
FCS	帧校验序列——添加到以太网帧末尾的额外校验和字符，用于进行错误检测和校正。
FIFO	先进先出缓冲区
FSM	有限状态机
GPIO	通用 I/O
IGMP	Internet 组管理协议
lsb	最低有效位
LSB	最低有效字节
LVDS	低压差分信号传输
MDI	介质相关接口
MDIX	交叉模式介质相关接口
MII	介质无关接口
MIIM	介质无关接口管理
MIL	MAC 接口层
MLD	多播监听发现
MLT-3	多级传送编码（3 级）。一种 3 级编码方法，逻辑电平变化表示编码位“1”，逻辑输出保持同一电平表示编码位“0”。
msb	最高有效位
MSB	最高有效字节
N/A	不适用
NC	无连接

表1-1: 一般术语 (续)

术语	说明
NRZI	不归零反相。该编码方法针对“1”信号反相，针对“0”信号保持不变
OUI	组织惟一标识符
PISO	并行输入串行输出
PLL	锁相环
PTP	精确时间协议
RTC	实时时钟
SA	源地址
SFD	帧起始分隔符——指示以太网帧前导码结束的8位值
SIPO	串行输入并行输出
SMI	串行管理接口
SQE	信号质量错误（也称为“心跳”）
SSD	流起始分隔符
UDP	用户数据报协议——在IP网络顶层运行的无连接协议
UUID	通用惟一标识符
保留	指保留的位域或地址。除非另外说明，否则保留位必须始终为零以进行写操作。除非另外说明，否则无法在读取保留位时保证这些值。除非另外说明，否则请勿读取或写入保留的地址。
出站	指从器件到主机的数据输出
电平触发的黏住位	这类状态位在其代表的条件置为有效时置1。该位保持置1状态，直至其代表的条件不再为真为止，该状态位通过写0来清零。
入站	指从主机到器件的数据输入
双字 (DWORD)	32位
主机	外部系统（包括处理器和应用软件等）
字	16位
字节	8位

1.2 缓冲器类型

表 1-2: 缓冲器类型

缓冲器类型	说明
IS	施密特触发器输入
VIS	可变电电压施密特触发器输入
VO8	具有 8 mA 灌电流和 8 mA 拉电流的可变电电压输出
VOD8	具有 8 mA 灌电流的可变电电压漏极开路输出
VO12	具有 12 mA 灌电流和 12 mA 拉电流的可变电电压输出
VOD12	具有 12 mA 灌电流的可变电电压漏极开路输出
VOS12	具有 12 mA 拉电流的可变电电压源极开路输出
VO16	具有 16 mA 灌电流和 16 mA 拉电流的可变电电压输出
PU	50 μ A（典型值）内部上拉。除非引脚说明中另外说明，否则始终使能内部上拉。 内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉高的负载时，必须添加外部电阻。
PD	50 μ A（典型值）内部下拉。除非引脚说明中另外说明，否则始终使能内部下拉。 内部下拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉低的负载时，必须添加外部电阻。
AI	模拟输入
AIO	模拟双向
ICLK	晶振输入引脚
OCLK	晶振输出引脚
ILVPECL	低电压 PECL 输入引脚
OLVPECL	低电压 PECL 输出引脚
P	电源引脚

1.3 寄存器命名

表1-3: 寄存器命名

寄存器位类型符号	寄存器位说明
R	读: 可以读取具有该属性的寄存器或位。
W	写: 可以写入具有该属性的寄存器或位。
RO	只读: 只读。写操作不起作用。
WO	只写: 如果寄存器或位是只写的, 读操作将返回未指定的数据。
WC	写1清零: 通过写1将值清零。写0不起任何作用。
WAC	写任意值清零: 写任意值均可将值清零。
RC	读取清零: 读取后将内容清零。写操作不起作用。
LL	锁存低电平: 读取寄存器时清零。
LH	锁存高电平: 读取寄存器时清零。
SC	自清零: 置1后自清零内容。写0不起任何作用。可读取内容。
SS	自置1: 清零后自置1内容。写1不起任何作用。可读取内容。
RO/LH	只读, 锁存高电平: 具有该属性的位将保持高电平, 直至该位被读取。读取该位后, 如果仍存在高电平条件, 则该位保持高电平; 如果已清除高电平条件, 则该位变为低电平。如果未读取该位, 则无论高电平条件是否发生变化, 该位均保持高电平。部分以太网PHY寄存器中使用该模式。
NASR	不受软件复位的影响。 使能软件复位时, NASR位的状态不发生改变。
保留	保留字段: 保留字段必须写入0, 以确保未来的兼容性。读取时无法保证保留位的值。

LAN9252

2.0 概述

LAN9252是一款集成两个以太网PHY的2/3端口EtherCAT从控制器，每个以太网PHY包含一个全双工100BASE-TX收发器且支持100 Mbps（100BASE-TX）工作速率。LAN9252支持HP Auto-MDIX，允许采用直接连接或交叉LAN电缆。通过外部光纤收发器支持100BASE-FX。

LAN9252包括一个EtherCAT从控制器，此EtherCAT从控制器具有4 KB双端口存储器（DPRAM）和3个现场总线存储器管理单元（FMMU）。每个FMMU均执行将逻辑地址映射到物理地址的任务。EtherCAT从控制器还包括4个SyncManager，允许在EtherCAT主器件和本地应用之间进行数据交换。每个SyncManager的方向和工作模式由EtherCAT主器件配置。提供两种工作模式：缓冲模式和邮箱模式。在缓冲模式下，本地单片机和EtherCAT主器件可同时写入器件。LAN9252中的缓冲区始终包含最新数据。如果新数据在旧数据可读出前到达，则旧数据将丢失。在邮箱模式下，本地单片机和EtherCAT主器件通过握手来访问缓冲区，从而确保不会丢失任何数据。

提供两个用户可选的主机总线接口选项：

- **变址寄存器访问**

本实现提供3个变址/数据寄存器存储区，每个存储区单独进行字节/字-双字转换。内部寄存器的访问方式是：先写入3个变址寄存器之一，接着读取或写入相应的数据寄存器。3个变址/数据寄存器存储区支持最多3个独立的驱动器线程，而不会出现访问冲突。每个线程可写入其分配的变址寄存器，而不会出现被其他线程改写的问题。同一32位变址/数据寄存器中需要2个16位周期或4个8位周期，但这些访问可以交错进行。支持对过程数据FIFO进行直接（非变址）读写访问。直接FIFO访问提供单独的字节/字-双字转换，支持对变址/数据寄存器进行交错访问。

- **复用地址/数据总线**

本实现提供复用的地址和数据总线，同时支持单地址阶段和双地址阶段。通过地址选通装载地址，然后通过读/写选通进行数据访问。同一32位双字中需要2个连续的16位数据周期或4个连续的8位数据周期。这些访问必须按顺序进行，而不能交错访问其他寄存器。支持对过程数据FIFO进行突发读写访问，具体方法是：先执行一个地址周期，接着执行多个读写数据周期。

HBI支持8/16位大尾数法（高字节优先）、小尾数法（低字节优先）和混合尾数法操作。两个过程数据RAM FIFO将HBI与EtherCAT从控制器接口，方便主机CPU与EtherCAT从器件之间的过程数据信息传输。凭借可配置的主机中断引脚，器件可将任何内部中断通知给主机CPU。

SPI/四SPI从控制器提供低引脚数的同步从接口，方便器件与主机系统之间的通信。凭借SPI/四SPI从器件，可以访问系统CSR、内部FIFO和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。支持单、双和四位通道，时钟速率最高达80 MHz。

LAN9252支持多种功耗管理和唤醒功能。LAN9252可置于低功耗模式，并且可编程为通过“魔术包”、“LAN唤醒”、广播唤醒、理想DA唤醒和“链路状态变化”等多种方法发出外部唤醒信号（IRQ）。该信号非常适合通过远程以太网唤醒事件来触发系统上电。该器件可通过主机处理器命令或其中一种唤醒事件退出低功耗状态。

对于没有单片机的简单数字模块，LAN9252还可在数字I/O模式下工作。在此模式下，可通过EtherCAT主器件控制或监视16个数字信号。

为实现星型或树形网络拓扑，可将器件配置为3端口从器件，从而提供额外的MII端口。该端口可连接到外部PHY，成为当前菊花链的一个抽头；或者也可连接到另一个LAN9252，构成4端口解决方案。MII端口可以指向上行方向（作为端口0）或下行方向（作为端口2）。

对于LED支持，每个端口包含一个标准运行指示器和一个链路/活动指示器。该器件包含64位分布式时钟，用于实现高精度同步以及提供本地数据采集时序的准确信息。

LAN9252可配置为由采用集成的3.3V转1.2V线性稳压器的3.3V单电源供电。可选择禁止线性稳压器，以便使用高精度的外部稳压器，从而降低系统功耗。

LAN9252适用于商业级、工业级和扩展工业级温度范围。图2-1详细给出了典型系统应用，图2-2给出了LAN9252的内部框图。

图2-1： 系统框图

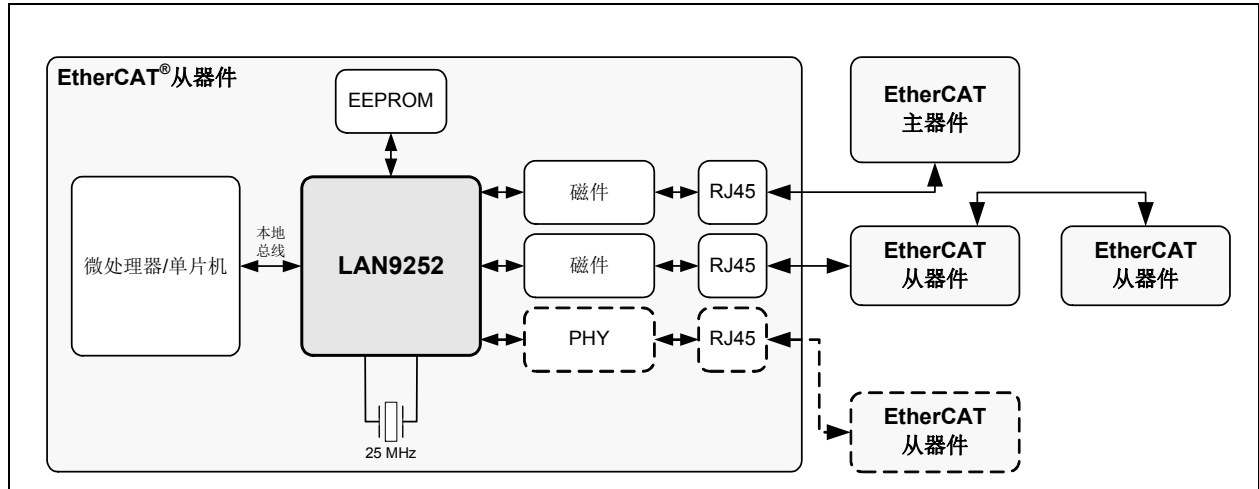
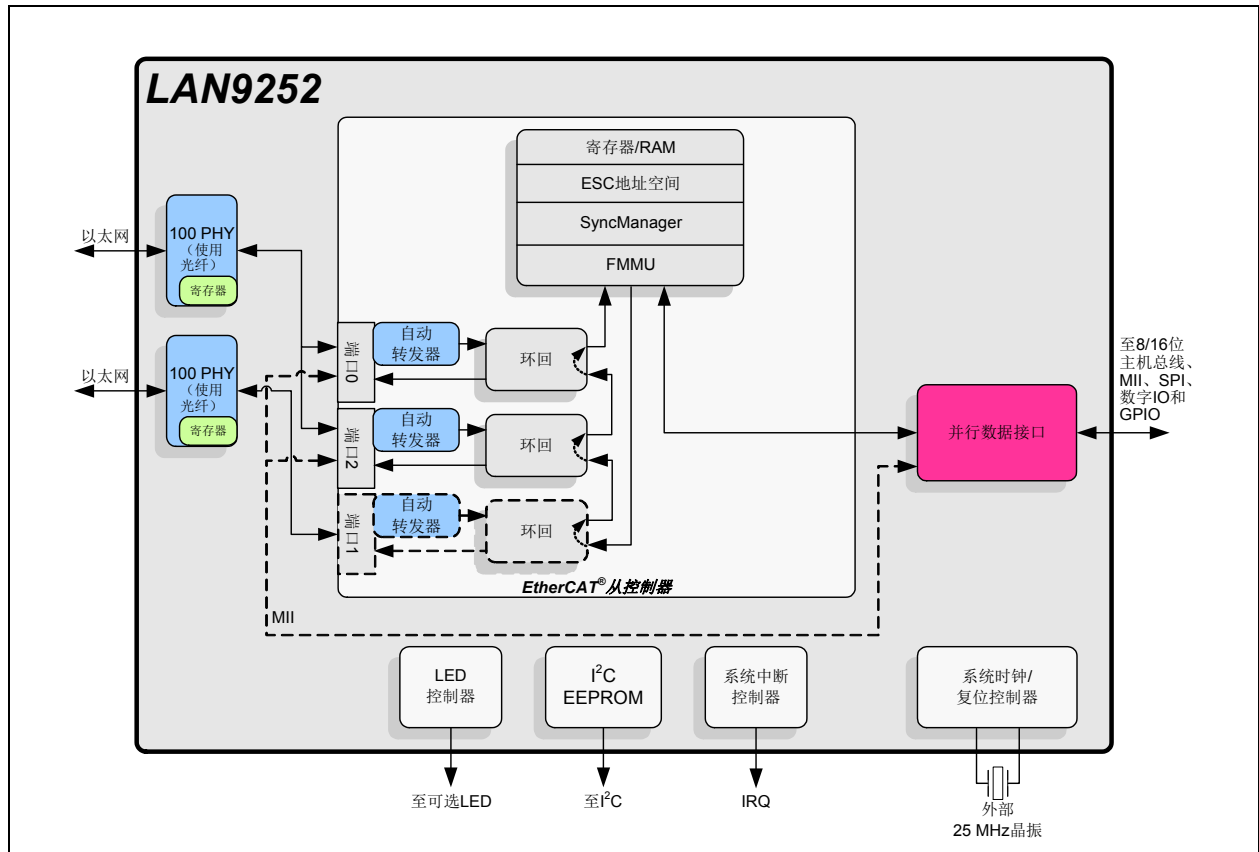


图2-2： 内部框图



LAN9252提供单片机、扩展或数字I/O三种工作模式：

LAN9252

单片机模式：LAN9252通过类似SRAM的从接口与单片机通信。凭借简单但功能强大的主机总线接口，该器件可通过8位或16位外部总线无缝连接到大多数通用8位或16位微处理器和单片机以及32位微处理器。

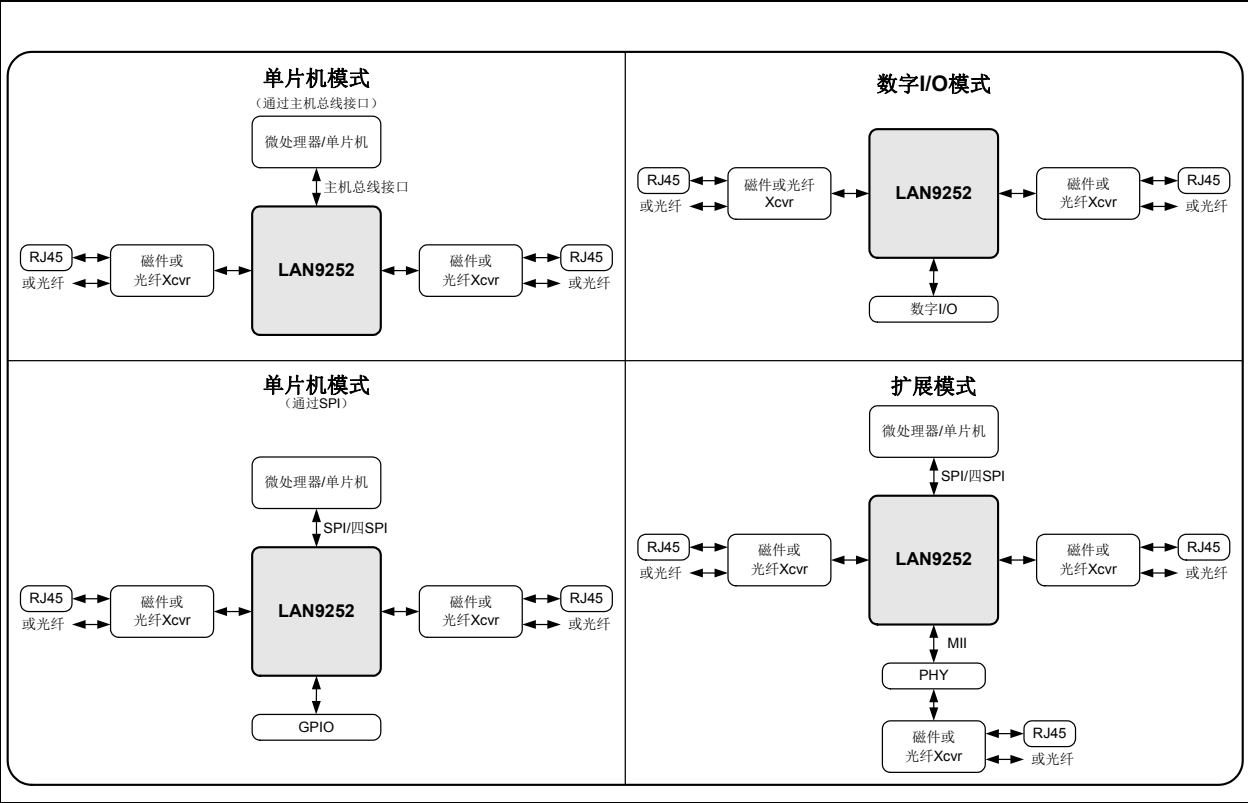
或者，该器件也可通过SPI或四SPI进行访问，同时还提供最多16个通用输入/输出。

扩展模式：当器件处于SPI或四SPI模式时，可启用第三个网络端口以提供额外的MII端口。该端口可连接到外部PHY，以实现星型或树形网络拓扑；或者也可连接到另一个LAN9252，以构成4端口解决方案。该端口可配置为上行方向或下行方向。

数字I/O模式：对于没有单片机的简单数字模块，LAN9252可在数字I/O模式下工作。在此模式下，可通过EtherCAT主器件控制或监视16个数字信号。该模式还提供6个控制信号。

图2-3提供了每种工作模式的系统级概览。

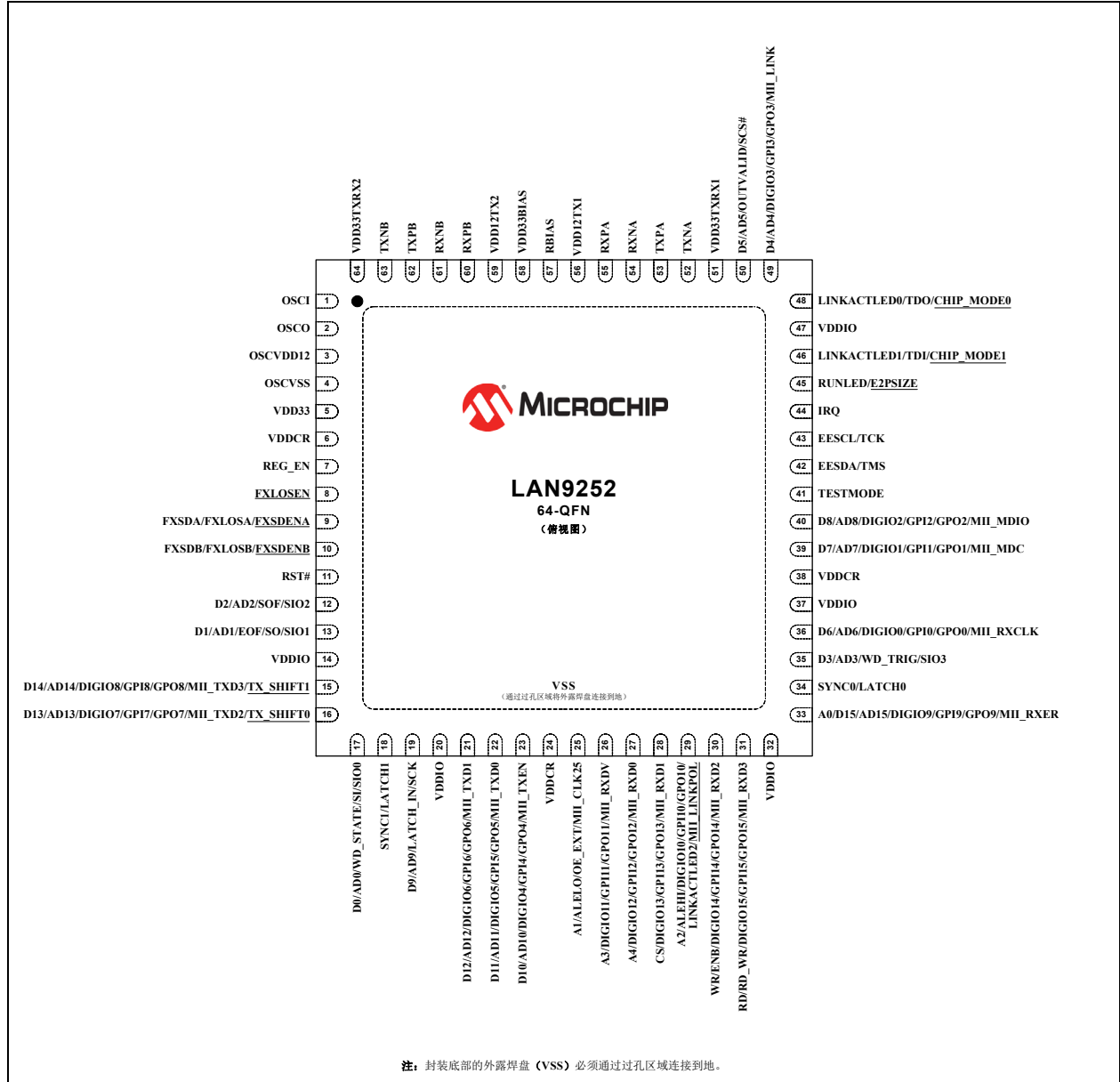
图2-3： 工作模式



3.0 引脚说明和配置

3.1 64-QFN 引脚分配

图3-1: 64-QFN 引脚分配 (俯视图)



注：当信号名称末尾使用“#”时，表示该信号为低电平有效。例如，RST#表示该复位信号为低电平有效。

第3.3节“引脚说明”的引脚说明表的“缓冲器类型”列中给出了每个信号的缓冲器类型。第1.2节“缓冲器类型”提供了缓冲器类型的说明。

LAN9252

表3-1以表格形式详细介绍了64-QFN封装引脚分配。从表中可以看出，所选引脚的功能会随着器件工作模式的不同而变化。对于某个特定引脚没有功能的模式，对应的表格单元格将标记为“-”。

表3-1: 64-QFN封装引脚分配

引脚编号	HBI变址寻址模式 引脚名称	HBI复用模式 引脚名称	数字I/O模式 引脚名称	SPI（使能GPIO） 模式引脚名称	SPI（使能MII） 模式引脚名称
1	OSCI				
2	OSCO				
3	OSCVDD12				
4	OSCVSS				
5	VDD33				
6	VDDCR				
7	REG_EN				
8	<u>FXLOSEN</u>				
9	<u>FXSDA/FXLOSA/FXSDENA</u>				
10	<u>FXSDB/FXLOSB/FXSDENB</u>				
11	RST#				
12	D2	AD2	SOF	SIO2	
13	D1	AD1	EOF	SO/SIO1	
14	VDDIO				
15	D14	AD14	DIGIO8	GPI8/GPO8	<u>MII_TXD3/ TX_SHIFT1</u>
16	D13	AD13	DIGIO7	GPI7/GPO7	<u>MII_TXD2/ TX_SHIFT0</u>
17	D0	AD0	WD_STATE	SI/SIO0	
18	SYNC1/LATCH1				
19	D9	AD9	LATCH_IN	SCK	
20	VDDIO				
21	D12	AD12	DIGIO6	GPI6/GPO6	MII_TXD1
22	D11	AD11	DIGIO5	GPI5/GPO5	MII_TXD0
23	D10	AD10	DIGIO4	GPI4/GPO4	MII_TXEN
24	VDDCR				
25	A1	ALELO	OE_EXT	-	MII_CLK25
26	A3	-	DIGIO11	GPI11/GPO11	MII_RXDV
27	A4	-	DIGIO12	GPI12/GPO12	MII_RXD0
28	CS		DIGIO13	GPI13/GPO13	MII_RXD1
29	A2	ALEHI	DIGIO10	GPI10/GPO10	<u>LINKACTLED2/ MII_LINKPOL</u>
30	WR/ENB		DIGIO14	GPI14/GPO14	MII_RXD2

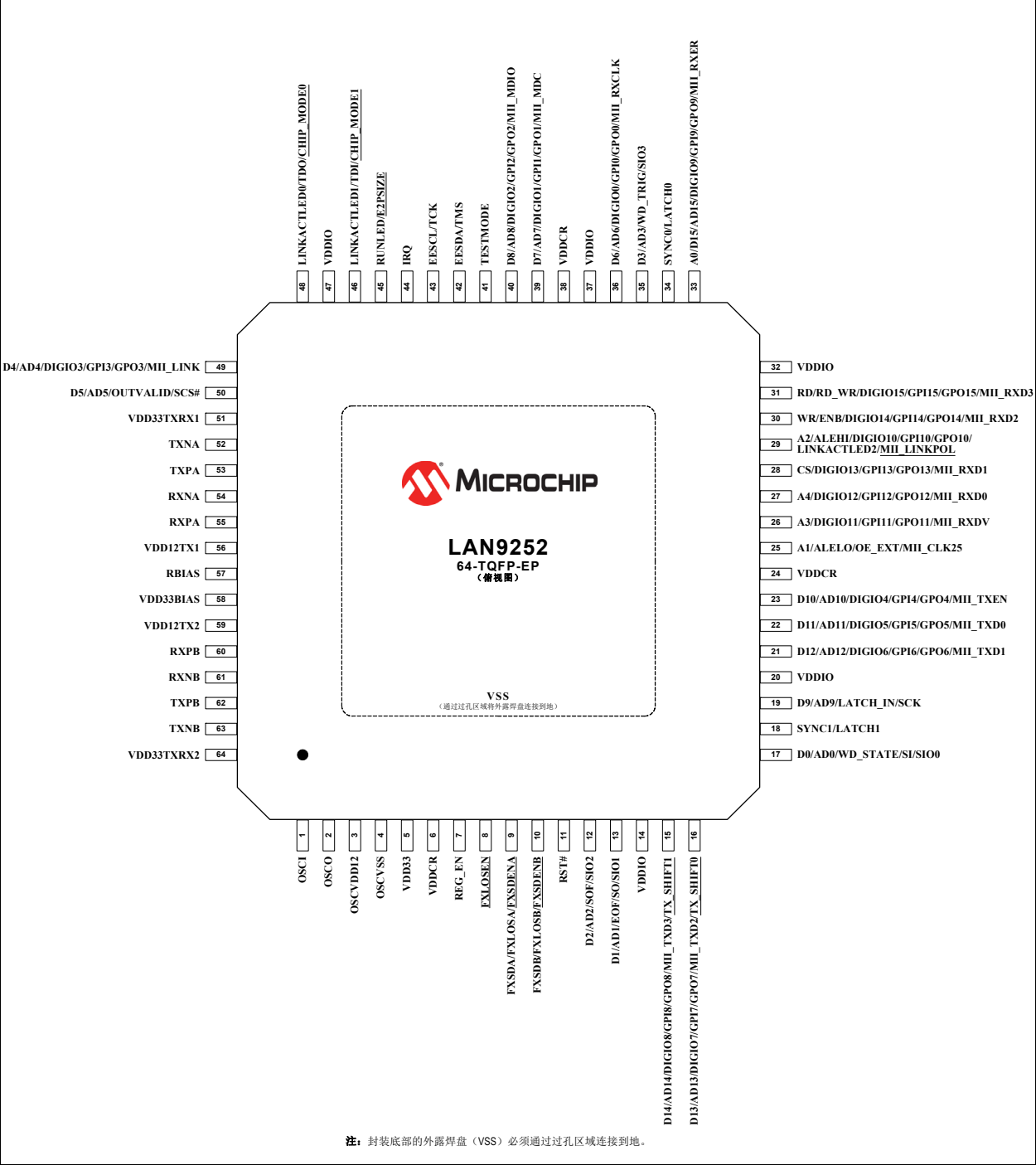
表3-1: 64-QFN封装引脚分配 (续)

引脚编号	HBI变址寻址模式 引脚名称	HBI复用模式 引脚名称	数字I/O模式 引脚名称	SPI（使能GPIO） 模式引脚名称	SPI（使能MII） 模式引脚名称
31	RD/RD_WR		DIGIO15	GPI15/GPO15	MII_RXD3
32	VDDIO				
33	A0/D15	AD15	DIGIO9	GPI9/GPO9	MII_RXER
34	SYNC0/LATCH0				
35	D3	AD3	WD_TRIG	SIO3	
36	D6	AD6	DIGIO0	GPI0/GPO0	MII_RXCLK
37	VDDIO				
38	VDDCR				
39	D7	AD7	DIGIO1	GPI1/GPO1	MII_MDC
40	D8	AD8	DIGIO2	GPI2/GPO2	MII_MDIO
41	TESTMODE				
42	EESDA/TMS				
43	EESCL/TCK				
44	IRQ				
45	RUNLED/E2PSIZE				
46	LINKACTLED1/TDI/CHIP_MODE1				
47	VDDIO				
48	LINKACTLED0/TDO/CHIP_MODE0				
49	D4	AD4	DIGIO3	GPI3/GPO3	MII_LINK
50	D5	AD5	OUTVALID	SCS#	
51	VDD33TXRX1				
52	TXNA				
53	TXPA				
54	RXNA				
55	RXPB				
56	VDD12TX1				
57	RBIAS				
58	VDD33BIAS				
59	VDD12TX2				
60	RXPB				
61	RXNB				
62	TXPB				
63	TXNB				
64	VDD33TXRX2				
外露焊盘	VSS				

LAN9252

3.2 64-TQFP-EP 引脚分配

图3-2: 64-TQFP-EP 引脚分配（俯视图）



注: 当信号名称末尾使用“#”时, 表示该信号低电平有效。例如, **RST#**表示该复位信号低电平有效。

第3.3节“引脚说明”的引脚说明表的“缓冲器类型”列中给出了每个信号的缓冲器类型。第1.2节“缓冲器类型”提供了缓冲器类型的说明。

表3-2以表格形式详细介绍了64-TQFP-EP封装引脚分配。从表中可以看出，所选引脚的功能会随着器件工作模式的不同而变化。对于某个特定引脚没有功能的模式，对应的表格单元格将标记为“-”。

表3-2: 64-TQFP-EP封装引脚分配

引脚编号	HBI变址寻址模式 引脚名称	HBI复用模式 引脚名称	数字I/O模式 引脚名称	SPI（使能GPIO） 模式引脚名称	SPI（使能MII） 模式引脚名称
1	OSCI				
2	OSCO				
3	OSCVDD12				
4	OSCVSS				
5	VDD33				
6	VDDCR				
7	REG_EN				
8	<u>FXLOSEN</u>				
9	<u>FXSDA/FXLOSA/FXSDENA</u>				
10	<u>FXSDB/FXLOSB/FXSDENB</u>				
11	RST#				
12	D2	AD2	SOF	SIO2	
13	D1	AD1	EOF	SO/SIO1	
14	VDDIO				
15	D14	AD14	DIGIO8	GPI8/GPO8	MII_TXD3/ <u>TX_SHIFT1</u>
16	D13	AD13	DIGIO7	GPI7/GPO7	MII_TXD2/ <u>TX_SHIFT0</u>
17	D0	AD0	WD_STATE	SI/SIO0	
18	SYNC1/LATCH1				
19	D9	AD9	LATCH_IN	SCK	
20	VDDIO				
21	D12	AD12	DIGIO6	GPI6/GPO6	MII_TXD1
22	D11	AD11	DIGIO5	GPI5/GPO5	MII_TXD0
23	D10	AD10	DIGIO4	GPI4/GPO4	MII_TXEN
24	VDDCR				
25	A1	ALELO	OE_EXT	-	MII_CLK25
26	A3	-	DIGIO11	GPI11/GPO11	MII_RXDV
27	A4	-	DIGIO12	GPI12/GPO12	MII_RXD0
28	CS		DIGIO13	GPI13/GPO13	MII_RXD1
29	A2	ALEHI	DIGIO10	GPI10/GPO10	LINKACTLED2/ <u>MII_LINKPOL</u>
30	WR/ENB		DIGIO14	GPI14/GPO14	MII_RXD2

LAN9252

表 3-2: 64-TQFP-EP 封装引脚分配 (续)

引脚编号	HBI 变址寻址模式 引脚名称	HBI 复用模式 引脚名称	数字 I/O 模式 引脚名称	SPI（使能GPIO） 模式引脚名称	SPI（使能MII） 模式引脚名称
31	RD/RD_WR		DIGIO15	GPI15/GPO15	MII_RXD3
32	VDDIO				
33	A0/D15	AD15	DIGIO9	GPI9/GPO9	MII_RXER
34	SYNC0/LATCH0				
35	D3	AD3	WD_TRIG	SIO3	
36	D6	AD6	DIGIO0	GPI0/GPO0	MII_RXCLK
37	VDDIO				
38	VDDCR				
39	D7	AD7	DIGIO1	GPI1/GPO1	MII_MDC
40	D8	AD8	DIGIO2	GPI2/GPO2	MII_MDIO
41	TESTMODE				
42	EESDA/TMS				
43	EESCL/TCK				
44	IRQ				
45	RUNLED/E2PSIZE				
46	LINKACTLED1/TDI/CHIP_MODE1				
47	VDDIO				
48	LINKACTLED0/TDO/CHIP_MODE0				
49	D4	AD4	DIGIO3	GPI3/GPO3	MII_LINK
50	D5	AD5	OUTVALID	SCS#	
51	VDD33TXRX1				
52	TXNA				
53	TXPA				
54	RXNA				
55	RXPB				
56	VDD12TX1				
57	RBIAS				
58	VDD33BIAS				
59	VDD12TX2				
60	RXPB				
61	RXNB				
62	TXPB				
63	TXNB				
64	VDD33TXRX2				
外露焊盘	VSS				

3.3 引脚说明

本节包含 LAN9252 各个引脚的说明。引脚说明已划分为如下各个功能组：

- [LAN 端口 A 引脚说明](#)
- [LAN 端口 B 引脚说明](#)
- [LAN 端口 A 和端口 B 的电源和通用引脚说明](#)
- [EtherCAT MII 端口和配置脚引脚说明](#)
- [主机总线引脚说明](#)
- [SPI/SQI 引脚说明](#)
- [EtherCAT 分布式时钟引脚说明](#)
- [EtherCAT 数字 I/O 和 GPIO 引脚说明](#)
- [EEPROM 引脚说明](#)
- [LED 和配置脚引脚说明](#)
- [其他引脚说明](#)
- [JTAG 引脚说明](#)
- [内核和 I/O 电源引脚说明](#)

表 3-3: LAN 端口 A 引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	端口 A TP TX/RX 正通道 1	TXPA	AIO	端口 A 双绞线发送/接收正通道 1。请参见 注 1 。
	端口 A FX TX 正通道		OLVPECL	端口 A 光纤发送正通道。
1	端口 A TP TX/RX 负通道 1	TXNA	AIO	端口 A 双绞线发送/接收负通道 1。请参见 注 1 。
	端口 A FX TX 负通道		OLVPECL	端口 A 光纤发送负通道。
1	端口 A TP TX/RX 正通道 2	RXPA	AIO	端口 A 双绞线发送/接收正通道 2。请参见 注 1 。
	端口 A FX RX 正通道		AI	端口 A 光纤接收正通道。
1	端口 A TP TX/RX 负通道 2	RXNA	AIO	端口 A 双绞线发送/接收负通道 2。请参见 注 1 。
	端口 A FX RX 负通道		AI	端口 A 光纤接收负通道。

LAN9252

表 3-3: LAN 端口 A 引脚说明 (续)

引脚编号	名称	符号	缓冲器类型	说明
1	端口 A FX 信号检测 (Signal Detect, SD)	FXSDA	ILVPECL	端口 A 光纤信号检测。未选择 FX-LOS 模式时, 该引脚用作外部收发器的信号检测输入。2V (典型值) 以上的电平表示有效信号。 选择 FX-LOS 模式时, 将禁止输入缓冲器。
	端口 A FX 信号损失 (Loss Of Signal, LOS)	FXLOSA	IS (PU)	端口 A 光纤信号损失。(通过 fx_los_strap_1) 选择 FX-LOS 模式时, 该引脚用作外部收发器的信号损失输入。高电平表示 LOS, 低电平表示信号有效。 未选择 FX-LOS 模式时, 将禁止输入缓冲器和上拉。
	端口 A FX-SD 使能配置脚	<u>FXSDENA</u>	AI	端口 A FX-SD 使能。未选择 FX-LOS 模式时, 该配置脚输入在 FX-SD 和铜制双绞线模式间选择。1V (典型值) 以上的电平选择 FX-SD。 选择 FX-LOS 模式时, 将禁止输入缓冲器。 请参见 注 2 。

- 注 1: 在铜制双绞线模式下, 通道 1 与通道 2 一个用作发送对, 一个用作接收对。双绞线引脚的引脚名称符号适用于正常连接。如果使能了 HP Auto-MDIX 并且检测到或手动选择了反向连接, 则 RX 和 TX 引脚将在内部交换。
- 注 2: 配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或 RST# 置为无效时锁存。更多信息, 请参见 [第 51 页上的第 7.0 节“配置脚”](#)。

注: 端口 A 连接到 EtherCAT 端口 0 或 2。

表 3-4: LAN 端口 B 引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	端口 B TP TX/RX 正通道 1	TXPB	AIO	端口 B 双绞线发送/接收正通道 1。请参见 注 3 。
	端口 B FX TX 正通道		OLVPECL	端口 B 光纤发送正通道。
1	端口 B TP TX/RX 负通道 1	TXNB	AIO	端口 B 双绞线发送/接收负通道 1。请参见 注 3 。
	端口 B FX TX 负通道		OLVPECL	端口 B 光纤发送负通道。

表 3-4: LAN 端口 B 引脚说明 (续)

引脚编号	名称	符号	缓冲器类型	说明
1	端口 B TP TX/ RX 正通道 2	RXPB	AIO	端口 B 双绞线发送/接收正通道 2。请参见注 3。
	端口 B FX RX 正通道		AI	端口 B 光纤接收正通道。
1	端口 B TP TX/ RX 负通道 2	RXNB	AIO	端口 B 双绞线发送/接收负通道 2。请参见注 3。
	端口 B FX RX 负通道		AI	端口 B 光纤接收负通道。
1	端口 B FX 信号检测 (SD)	FXSDB	ILVPECL	端口 B 光纤信号检测。未选择 FX-LOS 模式时, 该引脚用作外部收发器的信号检测输入。2V (典型值) 以上的电平表示有效信号。 选择 FX-LOS 模式时, 将禁止输入缓冲器。
	端口 B FX 信号损失 (LOS)	FXLOSB	IS (PU)	端口 B 光纤信号损失。(通过 fx_los_strap_2) 选择 FX-LOS 模式时, 该引脚用作外部收发器的信号损失输入。高电平表示 LOS, 低电平表示信号有效。 未选择 FX-LOS 模式时, 将禁止输入缓冲器和上拉。
	端口 B FX-SD 使 能配置脚	<u>FXSDENB</u>	AI	端口 B FX-SD 使能。未选择 FX-LOS 模式时, 该配置脚输入在 FX-SD 和铜制双绞线模式间选择。1V (典型值) 以上的电平选择 FX-SD。 选择 FX-LOS 模式时, 将禁止输入缓冲器。 请参见注 4。

注 3: 在铜制双绞线模式下, 通道 1 与通道 2 一个用作发送对, 一个用作接收对。双绞线引脚的引脚名称符号适用于正常连接。如果使能了 HP Auto-MDIX 并且检测到或手动选择了反向连接, 则 RX 和 TX 引脚将在内部交换。

注 4: 配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或 RST# 置为无效时锁存。更多信息, 请参见第 51 页上的第 7.0 节“配置脚”。

注: 端口 B 连接至 EtherCAT 端口 1。

表 3-5: LAN 端口 A 和端口 B 的电源和通用引脚说明

引脚 编号	名称	符号	缓冲器类型	说明
1	偏置参考	RBIAS	AI	用于内部偏置电路。连接至外部 12.1 kΩ、1%精度的电阻（接地）。 有关连接信息，请参见器件的参考原理图。 注： 标称电压为 1.2V，电阻将消耗约 1 mW 的功率。
1	端口 A 和端口 B FX-LOS 使能配置脚	FXLOSEN	AI	端口 A 和端口 B FX-LOS 使能。该 3 电平配置脚输入在 FX-LOS 和 FX-SD/铜制双绞线模式间选择。 1V（典型值）以下的电平为端口 A 和端口 B 选择 FX-SD/铜制双绞线，具体由 FXSDENA 和 FXSDENB 进一步决定。 1.5V 电平为端口 A 选择 FX-LOS，为端口 B 选择 FX-SD/铜制双绞线，具体由 FXSDENB 进一步决定。 2V（典型值）以上的电平为端口 A 和 B 选择 FX-LOS。
1	+3.3V 端口 A 模拟电源	VDD33TXRX1	P	请参见注 5。
1	+3.3V 端口 B 模拟电源	VDD33TXRX2	P	请参见注 5。
1	+3.3V 主偏置 电源	VDD33BIAS	P	请参见注 5。
1	端口 A 发送器 +1.2V 电源	VDD12TX1	P	该引脚由外部 1.2V 电源供电或者由器件的内部稳压器通过 PCB 供电。该引脚必须连接至 VDD12TX2 引脚，才能正常工作。 请参见注 5。
1	端口 B 发送器 +1.2V 电源	VDD12TX2	P	该引脚由外部 1.2V 电源供电或者由器件的内部稳压器通过 PCB 供电。该引脚必须连接至 VDD12TX1 引脚，才能正常工作。 请参见注 5。

注 5： 有关连接的更多信息，请参见第 29 页上的第 4.0 节“电源连接”、器件参考原理图以及器件 LANCheck 原理图清单。

表 3-6: ETHERCAT MII 端口和配置脚引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	25 MHz 时钟	MII_CLK25	VO12 注 6	该引脚是自由运行的 25 MHz 时钟，可用作 PHY 的时钟输入。
4	接收数据 MII 端口	MII_RXD[3:0]	VIS (PD)	这些引脚从外部 PHY 接收数据。
1	接收数据有效 MII 端口	MII_RXDV	VIS (PD)	该引脚从外部 PHY 接收数据有效信号。
1	接收错误 MII 端口	MII_RXER	VIS (PD)	该引脚从外部 PHY 接收错误信号。
1	接收时钟 MII 端口	MII_RXCLK	VIS (PD)	该引脚从外部 PHY 接收时钟。
4	发送数据 MII 端口	MII_TXD[3:0]	VO8	这些引脚向外部 PHY 发送数据。
	MII 发送时序移位配置脚	<u>TX_SHIFT[1:0]</u>	VIS (PU) 注 7	这些配置脚配置外部 MII 总线发送时序移位硬配置脚的值。请参见 注 8 。 TX_SHIFT[1] 在 MII_TXD[3] 上， TX_SHIFT[0] 在 MII_TXD[2] 上。
1	发送数据使能 MII 端口	MII_TXEN	VO8	该引脚向外部 PHY 发送数据使能信号。
1	链路状态 MII 端口	MII_LINK	VIS	该引脚由 PHY 提供，指示已建立 100 Mbps 全双工链路。极性可由 link_pol_strap_mii 配置脚配置。
1	SMI 时钟	MII_MDC	VO8	该引脚是外部 PHY 的串行管理时钟。
1	SMI 数据	MII_MDIO	VIS/VO8	该引脚是外部 PHY 的串行管理接口数据输入/输出。 注： 需要外部上拉来确保 MDIO 信号的非驱动状态为逻辑 1。

注 6： 建议使用串联端接电阻来实现最佳 PCB 信号完整性。

注 7： 可能需要外接上拉，具体取决于外部 MAC/PHY 器件的输入电流负载。

注 8： 配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或 **RST#** 置为无效时锁存。更多信息，请参见第 51 页上的第 7.0 节“配置脚”。

表 3-7: 主机总线引脚说明

引脚 编号	名称	符号	缓冲器类型	说明
1	读	RD	VIS	该引脚是主机总线读选通引脚。 通常为低电平有效，极性可通过 PDI 配置寄存器 的 HBI 读取以及读/写极性 位更改（HBI 模式）。
	读或写	RD_WR	VIS	该引脚是主机总线方向控制引脚。与 ENB 引脚配合使用时，它指示读或写操作。 正常极性是为 1 时读取，为 0 时写入（R/nW），但可通过 PDI 配置寄存器 的 HBI 读取以及读/写极性 位更改（HBI 模式）。
1	写	WR	VIS	该引脚是主机总线写选通引脚。 通常为低电平有效，极性可通过 PDI 配置寄存器 的 HBI 写入以及使能极性 位更改（HBI 模式）。
	使能	ENB	VIS	该引脚是主机总线数据使能选通引脚。与 RD_WR 引脚配合使用时，它指示数据工作阶段。 通常为低电平有效，极性可通过 PDI 配置寄存器 的 HBI 写入以及使能极性 位更改（HBI 模式）。
1	片选	CS	VIS	该引脚是主机总线片选引脚，指示器件被选择用于当前传输。 通常为低电平有效，极性可通过 PDI 配置寄存器 的 HBI 片选极性 位更改（HBI 模式）。
5	地址	A[4:0]	VIS	这些引脚为非复用地址模式提供地址。 在 16 位数据模式下，不使用 bit 0。

表3-7: 主机总线引脚说明 (续)

引脚编号	名称	符号	缓冲器类型	说明
16	数据	D[15:0]	VIS/VO8	这些引脚是非复用地址模式的主机总线数据总线。 在8位数据模式下, 不使用bit 15-8, 其对应的输入和输出驱动器被禁止。
	地址和数据	AD[15:0]	VIS/VO8	这些引脚是复用地址模式的主机总线地址/数据总线。 Bit 15-8为单阶段复用地址模式提供地址的高字节。 Bit 7-0为单阶段复用地址模式提供地址的低字节, 为双阶段复用地址模式提供地址的高字节和低字节。 在8位数据双阶段复用地址模式下, 不使用bit 15-8, 其对应的输入和输出驱动器被禁止。
1	地址锁存器使能高字节	ALEHI	VIS	该引脚指示复用地址模式的地址阶段。它用于在双阶段复用地址模式下装载高地址字节。 通常为低电平有效 (在上升沿保存地址), 极性可通过 PDI配置寄存器的HBI ALE极性位 配置 (HBI模式)。
1	地址锁存器使能低字节	ALELO	VIS	该引脚指示复用地址模式的地址阶段。它用于在单阶段复用地址模式下装载高地址字节和低地址字节, 在双阶段复用地址模式下装载低地址字节。 通常为低电平有效 (在上升沿保存地址), 极性可通过 PDI配置寄存器的HBI ALE极性位 配置 (HBI模式)。

表 3-8: SPI/SQI 引脚说明

引脚 编号	名称	符号	缓冲器类型	说明
1	SPI/SQI 从片选	SCS#	VIS (PU)	该引脚是 SPI/SQI 从片选输入。低电平时，选择 SPI/SQI 从器件进行 SPI/SQI 传输。高电平时，SPI/SQI 串行数据输出为三态。
1	SPI/SQI 从串行 时钟	SCK	VIS (PU)	该引脚是 SPI/SQI 从串行时钟输入。
4	SPI/SQI 从串行 数据输入/输出	SIO[3:0]	VIS/VO8 (PU)	这些引脚是多位 I/O 的 SPI/SQI 从数据输入和输出。
	SPI 从串行数据 输入	SI	VIS (PU)	该引脚是 SPI 从串行数据输入。 SI 与 SIO0 引脚共用。
	SPI 从串行数据 输出	SO	VO8 (PU) 注 9	该引脚是 SPI 从串行数据输出。 SO 与 SIO1 引脚共用。

注 9: 虽然该引脚是 SPI 指令的输出，但它包含上拉，因为它还是 SIO bit 1。

表 3-9: ETHERCAT 分布式时钟引脚说明

引脚 编号	名称	符号	缓冲器类型	说明
2	同步	SYNC[1] SYNC[0]	VO8	这些引脚是分布式时钟同步（输出）或锁存（输入）信号。方向可按位配置。
	锁存器	LATCH[1] LATCH[0]	VIS	注: 装载EEPROM之前，不驱动这些信号（高阻态）。

表 3-10: ETHERCAT 数字 I/O 和 GPIO 引脚说明

引脚 编号	名称	符号	缓冲器类型	说明
16	通用输入	GPI[15:0]	VIS	这些引脚是通用输入，直接映射到 通用输入寄存器 。不提供通用输入的一致性。
	通用输出	GPO[15:0]	VO8	这些引脚是通用输出，反映不带看门狗保护时 通用输出寄存器 的值。 注: 装载EEPROM之前，不驱动这些信号（高阻态）。
16	数字 I/O	DIGIO[15:0]	VIS/VO8	这些引脚为输入/输出或双向数据。 注: 装载EEPROM之前，不驱动这些信号（高阻态）。
1	输出有效	OUTVALID	VO8	该引脚指示输出有效并且可被捕捉到外部寄存器中。 注: 装载EEPROM之前，不驱动该信号（高阻态）。

表3-10: ETHERCAT 数字 I/O 和 GPIO 引脚说明 (续)

引脚编号	名称	符号	缓冲器类型	说明
1	锁存器输入	LATCH_IN	VIS	该引脚是外部数据锁存器信号。输入数据在每次识别到 LATCH_IN 上升沿时进行采样。
1	看门狗触发信号	WD_TRIG	VO8	该引脚是 SyncManager 看门狗触发信号输出。 注: 装载 EEPROM 之前, 不驱动该信号 (高阻态)。
1	看门狗状态	WD_STATE	VO8	该引脚是 SyncManager 看门狗状态输出。0 表示看门狗已超时。 注: 装载 EEPROM 之前, 不驱动该信号 (高阻态)。
1	帧起始	SOF	VO8	该引脚是帧起始输出, 指示以太网/EtherCAT 帧的起始。 注: 装载 EEPROM 之前, 不驱动该信号 (高阻态)。
1	帧结束	EOF	VO8	该引脚是帧结束输出, 指示以太网/EtherCAT 帧的结束。 注: 装载 EEPROM 之前, 不驱动该信号 (高阻态)。
1	输出使能	OE_EXT	VIS	该引脚是输出使能输入。低电平时, 它会清零输出数据。

表3-11: EEPROM 引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	EEPROM I ² C 串行数据输入/输出	EESDA	VIS/VOD8	当器件正访问外部 EEPROM 时, 该引脚是 I ² C 串行数据输入/漏极开路输出。 注: 该引脚必须始终通过外部电阻上拉。
1	EEPROM I ² C 串行时钟	EESCL	VOD8	当器件正访问外部 EEPROM 时, 该引脚是 I ² C 时钟漏极开路输出。 注: 该引脚必须始终通过外部电阻上拉。

表 3-12: LED 和配置脚引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	链路/活动 LED 端口 2	LINKACTLED2	VOD12/ VOS12	该引脚是端口 2 的链路/活动 LED 输出（熄灭 = 无链路；点亮 = 有链路但无活动；闪烁 = 有链路且有活动）。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。 注： 更多信息，请参见第 208 页上的第 12.10 节“LED”。
	MII 端口 链路极性配置脚	<u>MII_LINKPOL</u>	VIS (PU)	该配置脚通过设置 link_pol_strap_mii 的值来配置 MII_LINK 引脚的极性。请参见注 10。
1	运行 LED	RUNLED	VOD12/ VOS12	该引脚是运行 LED 输出，由 AL 状态寄存器 控制。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。 注： 更多信息，请参见第 208 页上的第 12.10 节“LED”。
	EEPROM 大小配置脚	<u>E2PSIZE</u>	VIS (PU)	该配置脚配置 EEPROM 大小硬配置脚的值。请参见注 10。 低电平选择 1 Kb（128 x 8）至 16 Kb（2K x 8）。 高电平选择 32 Kb（4K x 8）至 4 Mb（512K x 8）。
1	链路/活动 LED 端口 1	LINKACTLED1	VOD12/ VOS12	该引脚是端口 1 的链路/活动 LED 输出（熄灭 = 无链路；点亮 = 有链路但无活动；闪烁 = 有链路且有活动）。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。 注： 更多信息，请参见第 208 页上的第 12.10 节“LED”。
	芯片模式配置脚 1	<u>CHIP_MODE1</u>	VIS (PU)	该配置脚与 CHIP_MODE0 共同配置芯片模式硬配置脚的值。请参见注 10。

表3-12: LED和配置脚引脚说明（续）

引脚编号	名称	符号	缓冲器类型	说明
1	链路/活动LED 端口0	LINKACTLED0	VOD12/ VOS12	该引脚是端口0的链路/活动LED输出（熄灭 = 无链路；点亮 = 有链路但无活动；闪烁 = 有链路且有活动）。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。 注： 更多信息，请参见第208页上的第12.10节“LED”。
	芯片模式 配置脚0	<u>CHIP_MODE0</u>	VIS (PU)	该配置脚与 CHIP_MODE1 共同配置芯片模式硬配置脚的值。请参见注10。

注 10： 配置脚引脚通过带下划线的符号名称标识。配置脚值在上电复位时或 **RST#** 置为无效时锁存。更多信息，请参见第51页上的第7.0节“配置脚”。

表3-13: 其他引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	中断输出	IRQ	VO8/VOD8	中断请求输出。该信号的极性、来源和缓冲器类型可通过 中断配置寄存器 (IRQ_CFG) 配置。更多信息，请参见第53页上的第8.0节“系统中断”。
1	系统复位输入	RST#	VIS/VOD8 (PU)	作为输入时，该低电平有效信号允许外部硬件复位器件。该器件还包含内部上电复位电路。因此，如果无需外部硬件复位，则可将该信号保持未连接状态。必须遵循第307页上的第18.0节“工作特性”中详细介绍的复位时序要求使用该信号。 作为输出时，该信号在 POR 或响应来自主控制器或主机接口的 EtherCAT 复位命令序列期间被驱动为低电平。
1	稳压器使能	REG_EN	AI	当连接3.3V电压时，将使能内部1.2V稳压器。
1	测试模式	TESTMODE	VIS (PD)	该引脚必须连接至 VSS 引脚，才能正常工作。
1	晶振输入	OSCI	ICLK	外部25 MHz晶振输入。该引脚也可由单端时钟振荡器驱动。如果采用这种方法， OSCO 应保持未连接状态。
1	晶振输出	OSCO	OCLK	外部25 MHz晶振输出。
1	晶振+1.2V电源	OSCVDD12	P	除非通过 REG_EN 配置为稳压器关闭模式，否则通过片上稳压器供电。
1	晶振地	OSCVSS	P	晶振地。

表3-14: JTAG 引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	JTAG 测试多路开关选择	TMS	VIS	JTAG 测试模式选择
1	JTAG 测试时钟	TCK	VIS	JTAG 测试时钟
1	JTAG 测试数据输入	TDI	VIS	JTAG 数据输入
1	JTAG 测试数据输出	TDO	VO12	JTAG 数据输出

表3-15: 内核和 I/O 电源引脚说明

引脚编号	名称	符号	缓冲器类型	说明
1	稳压器 +3.3V 电源	VDD33	P	内部稳压器 +3.3V 电源。请参见注 11。 注: 即使内部稳压器被禁止, 也必须为该引脚提供 +3.3V 电压。
5	+1.8V 至 +3.3V 可变 I/O 电源	VDDIO	P	+1.8V 至 +3.3V 可变 I/O 电源。请参见注 11。
3	+1.2V 数字内核电源	VDDCR	P	除非通过 REG_EN 配置为稳压器关闭模式, 否则通过片上稳压器供电。 应在引脚 6 上使用并联接地的 1 μF 和 470 pF 去耦电容。请参见注 11。
1 焊盘	地	VSS	P	公共接地端。此外露焊盘必须通过过孔阵列连接到地平面。

注 11: 有关更多的连接信息, 请参见第29页上的第4.0节“电源连接”、器件参考原理图以及器件LANCheck原理图清单。

4.0 电源连接

图4-1和图4-2分别给出了使能和禁止稳压器时的器件电源连接。更多信息，请参见器件参考原理图以及器件LANCheck原理图清单。第4.1节提供了有关器件内部稳压器的更多信息。

图4-1： 使能稳压器时的电源连接

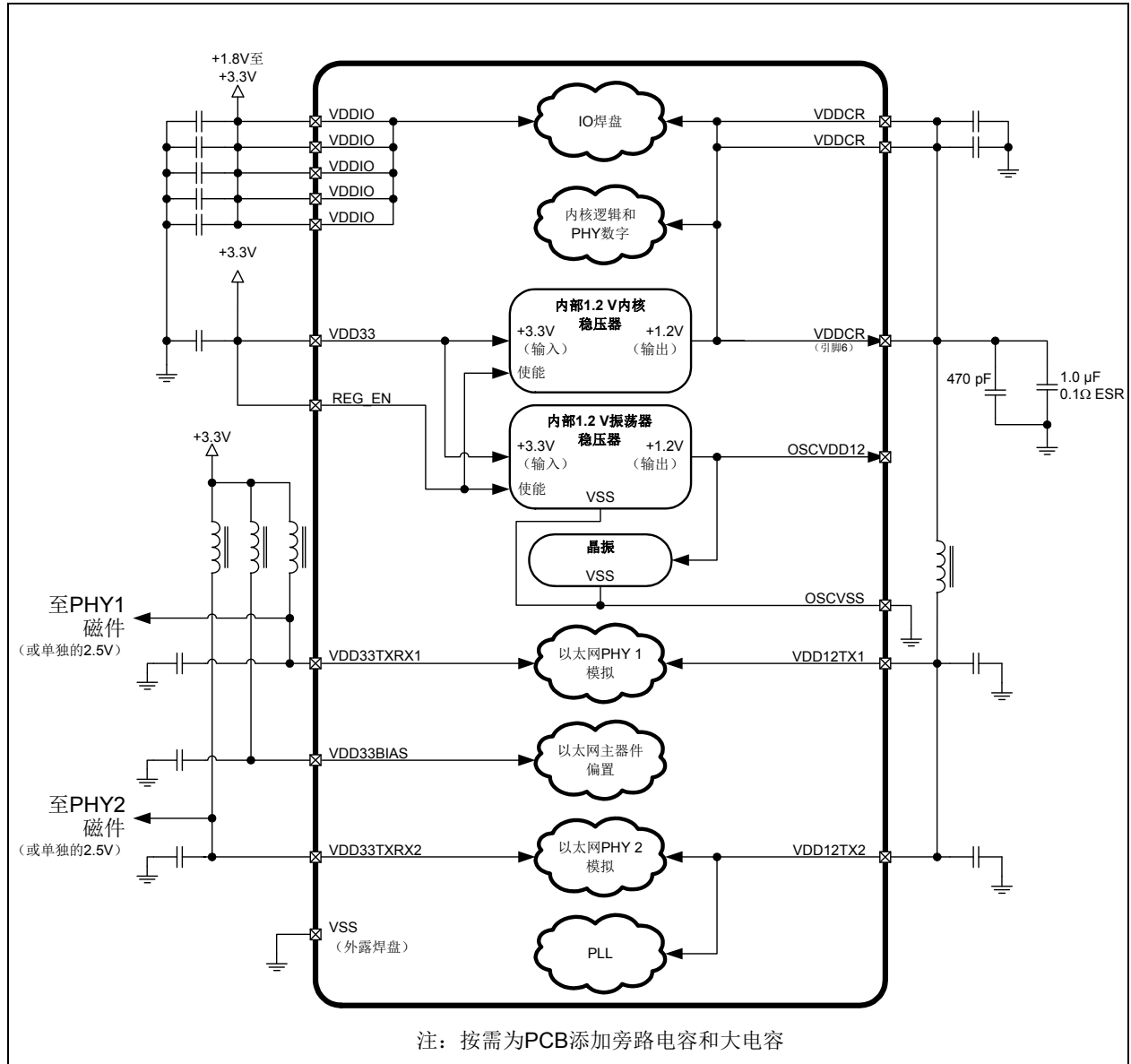
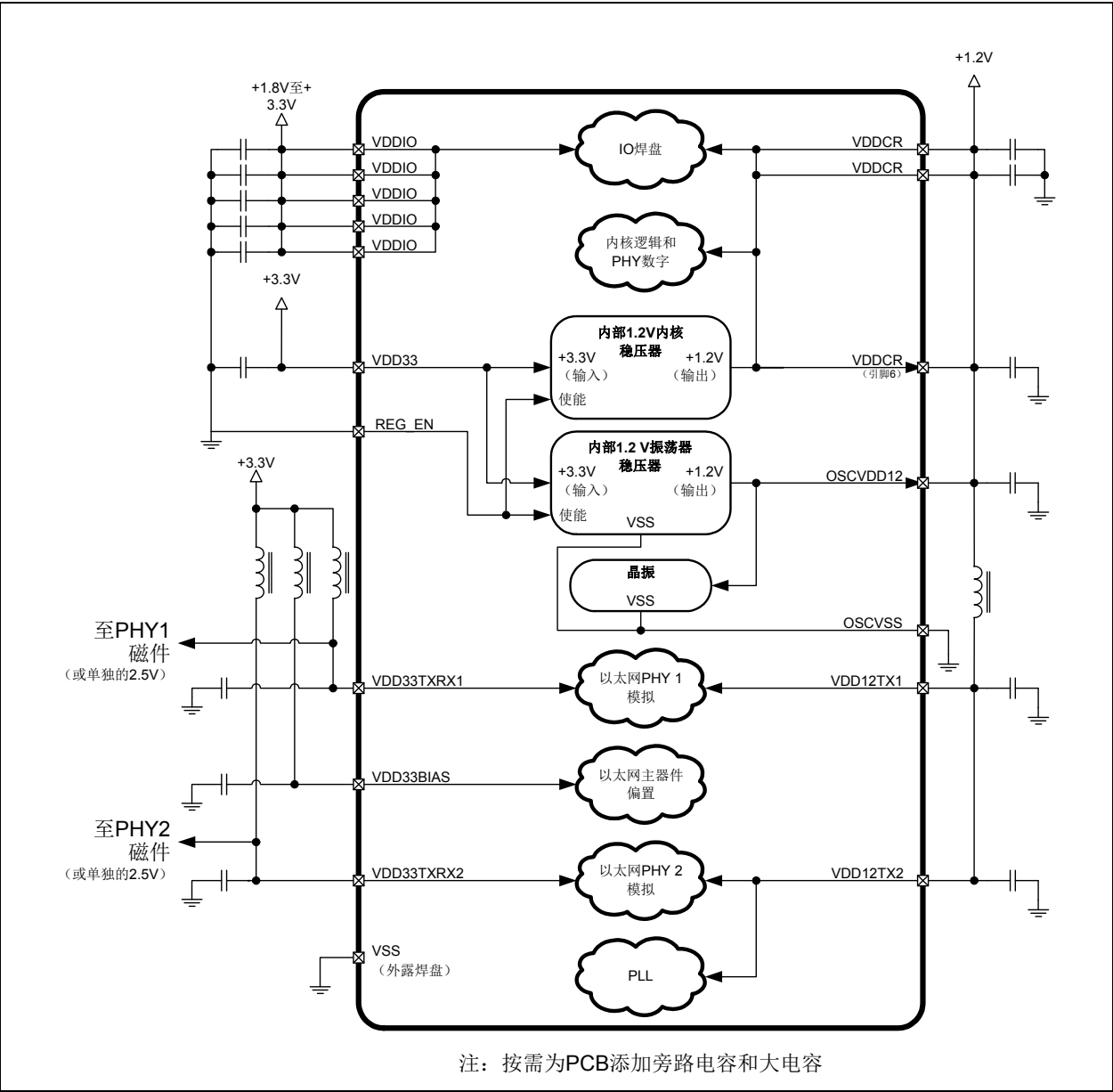


图4-2： 禁止稳压器时的电源连接



4.1 内部稳压器

器件包含两个内部 1.2V 稳压器：

- 1.2V 内核稳压器
- 1.2V 晶振稳压器

4.1.1 1.2V 内核稳压器

内核稳压器为主要内核数字逻辑、I/O 焊盘和 PHY 的数字逻辑提供 1.2V 电压，可用于通过外部连接为 PHY 模拟部分提供 1.2V 电源。

当 **REG_EN** 输入引脚连接至 3.3V 时，内核稳压器将使能并在 **VDD33** 引脚上获得 3.3V 电压。必须将一个 1.0 μ F 0.1 Ω ESR 电容连接至与稳压器关联的 **VDDCR** 引脚。

当 **REG_EN** 输入引脚连接至 **VSS** 时，将禁止内核稳压器。但是，必须仍为 **VDD33** 引脚提供 3.3V 电压。随后，必须从外部为 **VDDCR** 引脚输入 1.2V 内核电压。

4.1.2 1.2V 晶振稳压器

晶振稳压器为晶振提供 1.2V 电压。当 **REG_EN** 输入引脚连接至 3.3V 时，晶振稳压器将使能并在 **VDD33** 引脚上获得 3.3V 电压。无需外部电容。

当 **REG_EN** 输入引脚连接至 **VSS** 时，将禁止晶振稳压器。但是，必须仍为 **VDD33** 引脚提供 3.3V 电压。随后，必须从外部为 **OSCVDD12** 引脚输入 1.2V 晶振电压。

5.0 寄存器映射

本章将详细介绍器件寄存器映射并汇总各种可直接寻址的系统控制和状态寄存器（Control and Status Register，CSR）。有关系统CSR的详细说明，请参见与其功能对应的各个章节。器件的各个子模块中提供了更多可间接寻址的寄存器。这些寄存器的相应章节也提供了详细说明。

可直接寻址的寄存器

- [第214页上的第12.13节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”](#)
- [第34页上的第5.1节“系统控制和状态寄存器”](#)

可间接寻址的寄存器

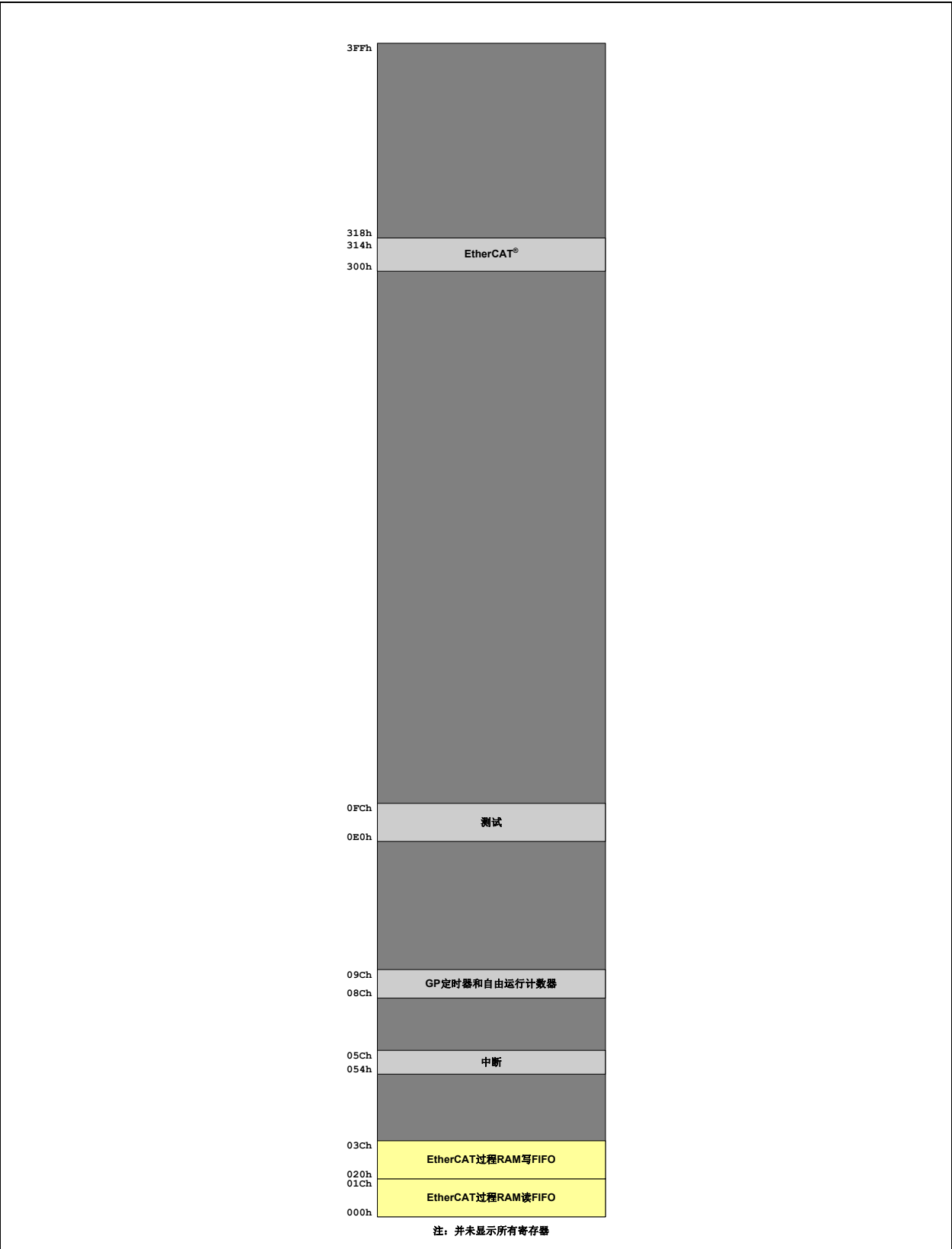
- [第142页上的第11.2.16节“PHY寄存器”](#)
- [第223页上的第12.14节“EtherCAT内核CSR寄存器（可间接寻址）”](#)

[图5-1](#)从总体上给出了器件的基础寄存器存储器映射。该存储器映射未按比例绘制，仅用于一般参考。[表5-1](#)提供了所有可直接寻址的CSR及其相应地址的汇总。

注： [第7页上的第1.3节“寄存器命名”](#)提供了寄存器位类型定义。

并非所有器件寄存器均映射到存储器或可直接寻址。有关各种器件寄存器的可访问性的详细信息，请参见上面列出的各寄存器小节。

图 5-1： 寄存器地址映射



5.1 系统控制和状态寄存器

系统CSR是直接寻址的存储器映射寄存器，其基址偏移范围为050h至314h。这些寄存器可由主机通过主机总线接口（Host Bus Interface, HBI）或SPI/SQI寻址。有关各种器件模式及其相应地址配置的详细信息，请参见第8页上的第2.0节“概述”。

表5-1按顺序列出了系统CSR及其相应地址。当触发芯片级复位时，所有系统CSR均复位为默认值。

系统CSR可分为以下几个子类别：其中每个子类别均位于相应的章节，并包含相关寄存器的系统CSR说明。寄存器说明的分类如下：

- 第42页上的第6.2.3节“复位寄存器”
- 第47页上的第6.3.5节“功耗管理寄存器”
- 第56页上的第8.3节“中断寄存器”
- 第214页上的第12.13节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”
- 第301页上的第16.1节“其他系统配置和状态寄存器”

注：未列出的寄存器保留供将来使用。

表5-1：系统控制和状态寄存器

地址	寄存器名称（符号）
000h-01Ch	EtherCAT 过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）
020h-03Ch	EtherCAT 过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）
050h	芯片ID和版本（ID_REV）
054h	中断配置寄存器（IRQ_CFG）
058h	中断状态寄存器（INT_STS）
05Ch	中断允许寄存器（INT_EN）
064h	字节顺序测试寄存器（BYTE_TEST）
074h	硬件配置寄存器（HW_CFG）
084h	功耗管理控制寄存器（PMT_CTRL）
08Ch	通用定时器配置寄存器（GPT_CFG）
090h	通用定时器计数寄存器（GPT_CNT）
09Ch	自由运行25 MHz计数器寄存器（FREE_RUN）
复位寄存器	
1F8h	复位控制寄存器（RESET_CTL）
EtherCAT® 寄存器	
300h	EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）
304h	EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）
308h	EtherCAT 过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）
30Ch	EtherCAT 过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）
310h	EtherCAT 过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）
314h	EtherCAT 过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）

5.2 背靠背周期的特殊限制

5.2.1 背靠背写读周期

务必注意，背靠背主机写读操作的时序存在特殊限制。这些限制关系到在任何可能影响寄存器的写周期后对寄存器进行的读操作。在所有情况下，写入寄存器与新值可被读取之间都存在一段延时。在其他情况下，写入寄存器与在其他寄存器上产生后续副作用之间也存在一段延时。

为了防止主机在写操作后读取过期数据，确定了最小等待周期。表5-2详细说明了这些周期。主机处理器需要在写入指示的寄存器之后等待指定的时间周期，才能读取表中指定的资源。请注意，所需的等待周期取决于写操作后读取的寄存器。

对字节顺序测试寄存器（**BYTE_TEST**）寄存器执行“空”读取是一种保证满足最低写读时序限制的简便方法。表5-2给出了在读取指示的寄存器前所需的空读次数。该表中的**BYTE_TEST**读取次数基于45 ns的最小周期时序。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。请注意，只要满足最小时间周期，就无需空读**BYTE_TEST**寄存器。

请注意，根据所用的主机接口模式，基本主机接口周期可能本来就提供足够的读写间隔时间。这是系统设计和寄存器访问机制确保正确时序所必需的。例如，对同一寄存器的读写操作可能快于对不同寄存器的读写操作。

对于8位和16位写周期，背靠背写读操作的等待时间仅适用于对寄存器最后一个字节或字的写操作，此操作将完成一次双字传送。

对于变址地址模式HBI操作，背靠背写读操作的等待时间仅适用于访问内部寄存器和FIFO。它不适用于主机总线接口变址寄存器或主机总线接口配置寄存器。

表 5-2: 写后读时序规则

写入后 ...	等待的纳秒数 ...	或读取 BYTE_TEST 的次数... (假定 T_{cyc} 为45 ns)	读取前 ...
任意寄存器	45	1	同一寄存器或受写入影响的任何其他寄存器
中断配置寄存器 (IRQ_CFG)	60	2	中断配置寄存器 (IRQ_CFG)
中断允许寄存器 (INT_EN)	90	2	中断配置寄存器 (IRQ_CFG)
	60	2	中断状态寄存器 (INT_STS)
中断状态寄存器 (INT_STS)	180	4	中断配置寄存器 (IRQ_CFG)
	170	4	中断状态寄存器 (INT_STS)
功耗管理控制寄存器 (PMT_CTRL)	165	4	功耗管理控制寄存器 (PMT_CTRL)
	170	4	中断配置寄存器 (IRQ_CFG)
	160	4	中断状态寄存器 (INT_STS)

表 5-2： 写后读时序规则（续）

写入后 ...	等待的纳秒数 ...	或读取 BYTE_TEST 的 次数 ... (假定 T_{cyc} 为 45 ns)	读取前 ...
通用定时器配置寄存器 (GPT_CFG)	55	2	通用定时器配置寄存器 (GPT_CFG)
	170	4	通用定时器计数寄存器 (GPT_CNT)
EtherCAT 过程 RAM 写数据 FIFO (ECAT_PRAM_WR_DATA)	50	2	EtherCAT 过程 RAM 写命令寄 存器 (ECAT_PRAM_WR_CMD)

5.2.2 背靠背读周期

对于特定的背靠背主机读操作也存在限制。这些限制关系到在读取有副作用的资源后对特定寄存器进行的读操作。在许多情况下，读取器件后要经过一段延时，控制和状态寄存器值才会出现预期的变化。

为了防止主机在背靠背读取时读取过期数据，确定了最小等待周期。表 5-3 详细说明了这些周期。主机处理器在对特定的资源组合执行连续读操作之间需要等待指定的时间周期。等待周期取决于所读取的寄存器组合。

对 **字节顺序测试寄存器 (BYTE_TEST)** 寄存器执行“空”读取是一种保证满足最小等待时间限制的简便方法。下面的表 5-3 还给出了背靠背读操作所需的空读次数。该表中的 **BYTE_TEST** 读取次数基于 T_{cyc} 的最小时序 (45 ns)。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。只要满足最小时间周期，就无需空读 **BYTE_TEST** 寄存器。

请注意，根据所用的主机接口模式，基本主机接口周期可能本来就已提供足够的读操作间隔时间。这是系统设计和寄存器访问机制确保正确时序所必需的。例如，对同一寄存器的多重读操作可能快于对不同寄存器的多重读操作。

对于 8 位和 16 位读周期，仅当读取寄存器最后一个字节或字之后（此操作将完成一次双字传送），背靠背读操作才需要等待时间。双字传送内的字节或字访问之间没有等待要求。

表 5-3： 读后读时序规则

读取后 ...	等待的纳秒数 ...	或读取 BYTE_TEST 的 次数 ... (假定 T_{cyc} 为 45 ns)	读取前 ...
EtherCAT 过程 RAM 读数据 FIFO (ECAT_PRAM_RD_DATA)	50	2	EtherCAT 过程 RAM 读命令寄 存器 (ECAT_PRAM_RD_CMD)

6.0 时钟、复位和功耗管理

6.1 时钟

器件可按照各个子模块的要求生成所有系统时钟。时钟子系统由以下部分组成：

- 晶振
- PHY PLL

6.1.1 晶振

器件需要固定频率 25 MHz 时钟源供内部时钟振荡器和 PLL 使用。这通常通过将 25 MHz 晶振连接到第 320 页上的第 18.7 节“时钟电路”中指定的 OSCI 和 OSCO 引脚来提供。此时钟也可以通过使用单端 25 MHz 时钟源驱动 OSCI 输入引脚来提供。如果选择单端源，则时钟输入必须连续运行，器件才能正常工作。节能模式允许振荡器或外部时钟输入暂停。

可以按照第 45 页上的第 6.3.4 节“芯片级功耗管理”所述禁止晶振。

对于系统级验证，可以使能将晶振输出到 IRQ 引脚上。请参见第 56 页上的第 8.2.7 节“时钟输出测试模式”。

晶振由专用稳压器或单独的输入引脚供电。请参见第 31 页上的第 4.1.2 节“1.2V 晶振稳压器”。

注： 第 320 页上的表 18-12 “晶振规范”中提供了晶振规范。

6.1.2 PHY PLL

PHY 模块接收 25 MHz 参考时钟，除了供内部时钟使用外，还会输出用于产生器件子系统时钟的主系统时钟。

PHY PLL 可以禁止，如第 45 页上的第 6.3.4 节“芯片级功耗管理”所述。仅当收到请求并且 PHY 端口处于掉电模式时，才会禁止 PHY PLL。

PHY PLL 由外部输入引脚供电，通常由器件的 1.2V 内核稳压器供电。请参见第 29 页上的第 4.0 节“电源连接”。

6.2 复位

器件提供多个硬件和软件复位源，这允许对器件的不同级别进行复位。所有复位可分为如下几节所述的三种复位类型：

- 芯片级复位
 - 上电复位（POR）
 - RST#引脚复位
 - EtherCAT 系统复位
- 多模块复位
 - 数字复位（DIGITAL_RST）
- 单模块复位
 - 端口A PHY 复位
 - 端口B PHY 复位
 - EtherCAT 控制器复位

器件支持使用配置脚来对各种器件参数进行自动自定义配置。这些配置脚值在所有芯片级复位置为无效时进行设置，可用于在上电或引脚（RST#）复位时轻松设置芯片的默认参数。有关这些配置脚的使用的详细信息，请参见第43页上的第6.3节“功耗管理”。

表6-1 汇总了各种复位源对器件的影响。有关每种复位类型的详细信息，请参见后面各小节。

表6-1： 复位源和受影响的器件功能

模块/功能	POR	RST# 引脚	EtherCAT 系统复位	数字复位	EtherCAT 模块复位
25 MHz 振荡器	(1)				
稳压器	(2)				
EtherCAT® 内核	X	X	X	X	X
PHY A	X	X	X		
PHY B	X	X	X		
通用 PHY	(3)				
电压监控	(3)				
PLL	(3)				
SPI/SQI 从器件	X	X	X	X	
主机总线接口	X	X	X	X	
功耗管理	X	X	X	X	
通用定时器	X	X	X	X	
自由运行计数器	X	X	X	X	
系统 CSR	X	X	X	X	
配置脚锁存	是	是	是	否 (4)	
EEPROM 加载程序运行	是	是	是	是	是
三态输出引脚 (5)	是	是	是		
RST# 引脚驱动为低电平	是		是		
注 1: POR 由 XTAL 稳压器执行，而不在系统级执行 2: POR 在稳压器内部执行 3: POR 在 PHY 内部执行 4: 配置脚输入不会重新锁存 5: 仅限用于配置脚的输出引脚					

6.2.1 芯片级复位

芯片级复位事件激活所有内部复位，可有效复位整个器件。芯片级复位通过触发以下任何输入事件启动：

- 上电复位（POR）
- RST#引脚复位
- EtherCAT 系统复位

首先可通过轮询字节顺序测试寄存器（[BYTE_TEST](#)）确定芯片级复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位的完成必须通过轮询硬件配置寄存器（[HW_CFG](#)）或功耗管理控制寄存器（[PMT_CTRL](#)）的READY位直至该位置1来确定。READY位置1时表示复位已完成且器件已准备好接受访问。

除了硬件配置寄存器（[HW_CFG](#)）、功耗管理控制寄存器（[PMT_CTRL](#)）、字节顺序测试寄存器（[BYTE_TEST](#)）和复位控制寄存器（[RESET_CTL](#)）外，当READY位清零时，对任何内部资源进行读访问都不应通过软件完成。在READY位置1之前，对任何地址的写操作均是无效的。

芯片级复位涉及可变输出电平焊盘的调节、配置脚的锁存以及主复位的生成。

配置脚锁存

在POR、EtherCAT复位或RST#引脚复位期间，配置脚锁存将开启。在POR、EtherCAT复位或RST#引脚复位释放后，配置脚锁存将关闭。

可变电平I/O焊盘调节

在EtherCAT、POR或RST#引脚复位释放后，将向VO调节电路发送1 μs脉冲（有效低电平）。2 μs后，输出引脚即使能。使能输出前的2 μs延时为可变输出电平引脚留出了调节时间，同时为与输出引脚共用的配置脚引脚提供了输入保持时间。

主复位和时钟生成复位

在使能输出引脚后，复位与主系统时钟同步而成为主复位。主复位用于生成本地复位以及复位时钟生成。

6.2.1.1 上电复位（POR）

当器件刚上电或者断开电源并将其重新施加到器件时，将发生上电复位。此事件会复位器件内的所有电路。此复位的结果是锁存配置脚并执行EEPROM加载。POR用于触发可变电平I/O焊盘的调节以及芯片级复位。

POR也可用作系统级复位。RST#变为漏极开路输出，并在POR期间置为有效。其目的是在EtherCAT内核复位时完全复位EtherCAT从器件并/或使外部PHY保持复位。作为漏极开路输出，RST应线或到系统复位中。

注： 以太网PHY应连接至RST#引脚，以使PHY在EtherCAT从器件就绪前保持复位。否则，远端链路伙伴会检测来自PHY的有效链路信号，并会“打开”其端口而假定本地EtherCAT从器件已就绪。

在所有电压均工作前，不会驱动RST#引脚。如果系统需要在电源斜升期间保持复位，则需要外部系统级解决方案。

施加有效电压后，POR复位通常需要约21 ms。

6.2.1.2 RST#引脚复位

将RST#输入引脚驱动为低电平会启动芯片级复位。此事件会复位器件内的所有电路。使用此复位输入是可选的，但使用时，必须将其驱动第317页上的第18.6.3节“复位和配置脚时序”中指定的时间段。此复位的结果是锁存配置脚并执行EEPROM加载。

LAN9252

RST#引脚复位通常需要约760 μs。

注： RST#引脚在内部拉高。如果未使用，此信号可保持未连接状态。请勿依靠内部上拉电阻驱动器件外部的信号。

有关RST#引脚的说明，请参见第27页上的表3-13“其他引脚说明”。

6.2.1.3 EtherCAT 系统复位

EtherCAT 系统复位由三个独立的连续帧/命令组成的特殊序列启动，其功能与RST#引脚复位相同，除了在EtherCAT系统复位期间，RST#引脚变为漏极开路输出，并且置为有效的时间至少需要80 ms。

RST#是漏极开路输出，应线或到系统复位中。

注： 将RST#引脚连接到系统复位的目的是对EtherCAT从器件执行完全复位。EtherCAT主器件只在极其罕见的情况下发起复位，即本地单片机因严重事件停止且无法被通知重新初始化时。

6.2.2 模块级复位

模块级复位包含各种复位寄存器位输入，并为各种模块生成复位。模块级复位可影响一个或多个模块。

6.2.2.1 多模块复位

多模块复位激活多个内部复位，但不会复位整个芯片。配置脚不会在多模块复位时锁存。多模块复位通过将以下位置为有效来启动：

- [数字复位 \(DIGITAL_RST\)](#)

首先可通过轮询[字节顺序测试寄存器 \(BYTE_TEST\)](#)确定多模块复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位的完成必须通过轮询[硬件配置寄存器 \(HW_CFG\)](#)或[功耗管理控制寄存器 \(PMT_CTRL\)](#)的READY位直至该位置1来确定。READY位置1时表示复位已完成且器件已准备好接受访问。

除了[硬件配置寄存器 \(HW_CFG\)](#)、[功耗管理控制寄存器 \(PMT_CTRL\)](#)、[字节顺序测试寄存器 \(BYTE_TEST\)](#)和[复位控制寄存器 \(RESET_CTL\)](#)外，当READY位清零时，对任何内部资源进行读访问都不应通过软件完成。在READY位置1之前，对任何地址的写操作均是无效的。

注： 数字复位不会复位指定为NASR的寄存器位。

数字复位 (DIGITAL_RST)

通过将[复位控制寄存器 \(RESET_CTL\)](#)的DIGITAL_RST位置1来执行数字复位。数字复位将复位器件的所有子模块，但以以太网PHY除外。EEPROM加载在此复位后执行。数字复位后不会锁存配置脚。

数字复位通常需要约760μs。

6.2.2.2 单模块复位

单模块复位将仅复位指定的模块。单模块复位不会锁存配置脚。单模块复位通过触发以下复位来启动：

- [端口A PHY复位](#)
- [端口B PHY复位](#)
- [EtherCAT控制器复位](#)

端口A PHY复位

端口A PHY复位通过将复位控制寄存器 (RESET_CTL) 的PHY_A_RST位或PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 中的软复位位置1来执行。完成端口A PHY复位后, PHY_A_RST位和软复位位自动清零。器件的其他模块不会受到此复位的影响。

端口A PHY复位的完成可通过轮询复位控制寄存器 (RESET_CTL) 中的PHY_A_RST位或PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 中的软复位位是否清零来确定。在正常情况下, 发生端口A PHY复位后, PHY_A_RST和软复位位将清零约102 µs。

注: 当使用软复位位复位端口A PHY时, 不会复位指定为NASR的寄存器位。

除了上述方法外, 端口A PHY会在从PHY掉电模式恢复后自动复位。此复位的不同之处在于PHY掉电模式复位不会重载或复位任何PHY寄存器。更多信息, 请参见第131页上的第11.2.8节“PHY掉电模式”。

有关端口A PHY复位的更多信息, 请参见第135页上的第11.2.10节“复位”。

如果端口A PHY处于100BASE-FX模式, 它将在增强型链路检测功能在端口0 (双端口模式或三端口下行模式) 或端口2 (三端口上行模式) 上检测到错误时复位。

端口B PHY复位

端口B PHY复位通过将复位控制寄存器 (RESET_CTL) 的PHY_B_RST位或PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 中的软复位位置1来执行。完成端口B PHY复位后, PHY_B_RST位和软复位位自动清零。器件的其他模块不会受到此复位的影响。

端口B PHY复位的完成可通过轮询复位控制寄存器 (RESET_CTL) 中的PHY_B_RST位或PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 中的软复位位是否清零来确定。在正常情况下, 发生端口B PHY复位后, PHY_B_RST和软复位位将清零约102 µs。

注: 当使用软复位位复位端口B PHY时, 不会复位指定为NASR的寄存器位。

除了上述方法外, 端口B PHY会在从PHY掉电模式恢复后自动复位。此复位的不同之处在于PHY掉电模式复位不会重载或复位任何PHY寄存器。更多信息, 请参见第131页上的第11.2.8节“PHY掉电模式”。

有关端口B PHY复位的更多信息, 请参见第135页上的第11.2.10节“复位”。

如果端口B PHY处于100BASE-FX模式, 它会在增强型链路检测功能在端口1上检测到错误时复位。

EtherCAT控制器复位

完全的器件和系统复位可通过EtherCAT主器件或本地主机向ESC复位ECAT寄存器 (对于主器件) 或ESC复位PDI寄存器 (对于本地主机) 写入值序列0x52 (“R”)、0x45 (“E”) 和0x53 (“S”) 来启动。这将触发第6.2.1.3节“EtherCAT系统复位”中所述的复位。

EtherCAT控制器的单独复位可通过将复位控制寄存器 (RESET_CTL) 中的ETHERCAT_RST位置1来执行。

这将复位EtherCAT内核及其寄存器。它还将复位第208页上的第12.11节中所述的EtherCAT CSR和过程数据RAM访问逻辑并将复位第214页上的第12.13节“EtherCAT CSR和过程数据RAM访问寄存器 (可直接寻址)”中所述的寄存器。

由于EtherCAT模块将通过EEPROM重新配置器件, 主机接口将被禁止, 直至复位完成。复位是否完成必须通过第64页上的第9.4.2.2节和第85页上的第9.5.3.2节 (用于HBI) 以及第104页上的第10.2.1.1节 (用于SPI/SQI) 中所述的方法来确定。

6.2.3.1 复位控制寄存器 (RESET_CTL)

此寄存器包含软件控制的复位。

不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

6.3 功耗管理

器件支持多个模块和芯片级功耗管理功能以及唤醒事件检测和通知。

6.3.1 唤醒事件检测

6.3.1.1 PHY A和PHY B能量检测

能量检测掉电模式会降低PHY功耗。在能量检测掉电模式下，当在电缆上检测到能量（通常来自链路脉冲）时，PHY将从掉电状态恢复，并将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的ENERGYON中断位置1。

有关PHY能量检测掉电模式的操作和配置的详细信息，请参见第131页上的第11.2.8.2节“能量检测掉电”。

注： 如果使能能量检测掉电模式时存在载波，则检测将立即进行。

如果通过PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）允许中断，PHY将产生中断。此中断反映在中断状态寄存器（INT_STS）中的bit 26（PHY_INT_A，用于PHY A）和bit 27（PHY_INT_B，用于PHY B）中。INT_STS寄存器位将触发IRQ中断输出引脚（如果使能），如第54页上的第8.2.1节“以太网PHY中断”中所述。

能量检测PHY中断还会将功耗管理控制寄存器（PMT_CTRL）的相应能量检测/WoL状态端口A（ED_WOL_STS_A）或能量检测/WoL状态端口B（ED_WOL_STS_B）位置1。能量检测/WoL使能端口A（ED_WOL_EN_A）和能量检测/WoL使能端口B（ED_WOL_EN_B）位将使能相应的状态位作为PME事件。

注： 任何PHY中断均会将上述状态位置1。主机应仅允许PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中相应的PHY中断源。

6.3.1.2 PHY A和PHY B LAN唤醒（WoL）

PHY A和PHY B提供对理想DA、广播、魔术包和唤醒帧的WoL事件检测。

允许中断时，PHY将检测WoL事件并将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的WoL中断位置1。如果通过PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）允许中断，PHY将产生中断。此中断反映在中断状态寄存器（INT_STS）中的bit 26（PHY_INT_A，用于PHY A）和bit 27（PHY_INT_B，用于PHY B）中。INT_STS寄存器中的位将触发IRQ中断输出引脚（如果使能），如第54页上的第8.2.1节“以太网PHY中断”中所述。

有关PHY WoL的操作和配置的详细信息，请参见第132页上的第11.2.9节“LAN唤醒（WoL）”。

WoL PHY中断还会将功耗管理控制寄存器（PMT_CTRL）的相应能量检测/WoL状态端口A（ED_WOL_STS_A）或能量检测/WoL状态端口B（ED_WOL_STS_B）位置1。能量检测/WoL使能端口A（ED_WOL_EN_A）和能量检测/WoL使能端口B（ED_WOL_EN_B）位将使能相应的状态位作为PME事件。

注： 任何PHY中断均会将上述状态位置1。主机应仅允许PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中相应的PHY中断源。

6.3.2 唤醒（PME）通知

图6-1给出了用于控制PME中断的逻辑的简化框图。

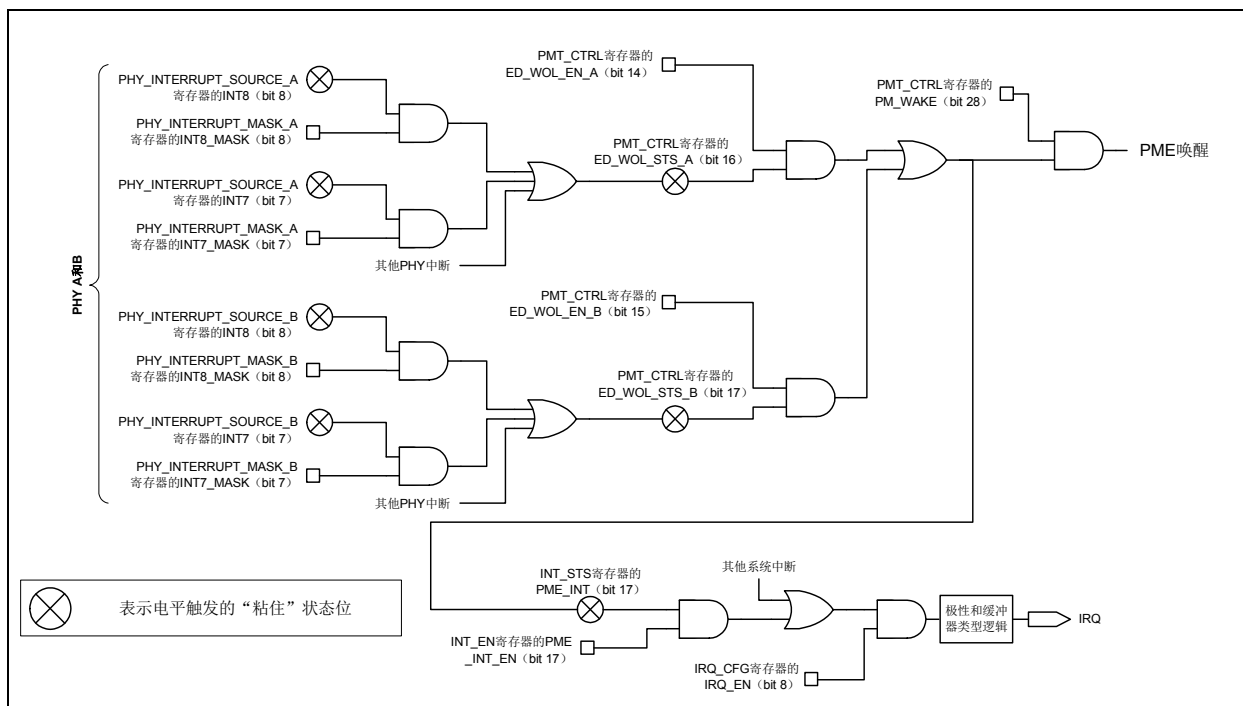
PME模块用于处理功耗管理控制寄存器（PMT_CTRL）中PHY A能量检测/WoL状态端口A（ED_WOL_STS_A）位和PHY B能量检测/WoL状态端口B（ED_WOL_STS_B）位的锁存。

此模块还会通过相应的使能位（能量检测/WoL 使能端口 B（ED_WOL_EN_B）和能量检测/WoL 使能端口 A（ED_WOL_EN_A））屏蔽状态位并将结果组合在一起以生成中断状态寄存器（INT_STS）中的功耗管理中断事件（PME_INT）状态位。PME_INT 状态位随后通过功耗管理事件中断允许（PME_INT_EN）位屏蔽，并与其他中断源结合以驱动 IRQ 输出引脚。

注： 无论 PME_INT_EN 的设置如何，INT_STS 寄存器中的 PME 中断状态位（PME_INT）都将置 1。

当功耗管理控制寄存器（PMT_CTRL）的 PM_WAKE 位置 1 时，PME 事件将在某些特定芯片级功耗模式下自动唤醒系统，如第 46 页上的第 6.3.4.2 节“退出低功耗模式”中所述。

图 6-1: PME 中断信号生成



6.3.3 模块级功耗管理

器件支持通过软件控制的时钟来禁止各个模块以降低功耗。

注： 禁止各个模块不会自动复位模块，只会将该模块置于静态非工作状态，以降低器件的功耗。如果重新使能模块前不执行模块复位，则务必注意确保模块处于禁止后可重新使能的状态。

6.3.3.1 禁止 EtherCAT 内核

可通过将功耗管理控制寄存器（PMT_CTRL）中的 ECAT_DIS 位置 1 来禁止整个 EtherCAT 内核。为安全起见，要将此位置 1，必须连续两次写入 1。写 0 将复位计数。

6.3.3.2 PHY掉电

可以将PHY置于掉电模式，如第131页上的第11.2.8节“PHY掉电模式”中所述。

6.3.3.3 LED引脚掉电

所有LED输出可通过将**功耗管理控制寄存器（PMT_CTRL）**中的LED_DIS位置1来禁止。

漏极开路/源极开路LED不进行驱动。推挽式LED仍进行驱动，但会设置为无效状态。

6.3.4 芯片级功耗管理

器件支持掉电模式，以允许应用最大程度降低功耗。

通过禁止时钟来降低功耗，如表6-2“**功耗管理状态**”中所述。在任何功耗状态下，都会保存所有配置数据。除非在寄存器说明中特别指出，否则寄存器内容不受影响。

共有三个正常工作功耗状态D0和三个节能状态：D1、D2和D3。尽管适用于各种唤醒检测功能，但功耗状态不会直接使能，也不会由这些功能强制执行。

D0：正常模式——这是此器件的正常工作模式。在此模式下，所有功能均可用。任何芯片级复位（POR、RST#引脚复位和EtherCAT系统复位）后即会自动进入此模式。

D1：禁止系统时钟，使能XTAL、PLL和网络时钟——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。如果通过PHY供电或外部供电，网络时钟保持使能状态。晶振和PLL保持使能状态。可以手动或自动退出此模式。

此模式可用于PHY通用掉电模式、PHY WoL模式和PHY能量检测掉电模式。

D2：禁止系统时钟，请求PLL禁止，使能XTAL——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。PLL被允许禁止（如果两个PHY均处于能量检测或通用掉电模式，则将禁止）。如果通过PHY供电或外部供电，网络时钟保持使能状态。晶振保持使能状态。可以手动或自动退出此模式。

此模式用于PHY能量检测掉电模式和PHY WoL模式。此模式可用于PHY通用掉电模式。

D3：禁止系统时钟，禁止PLL，禁止XTAL——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。PLL将被禁止。外部网络时钟关闭。晶振被禁止。只能手动退出此模式。

此模式可用于PHY通用掉电模式。

设置此功耗状态前，主机必须通过将**PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）**的掉电（PHY_PWR_DWN）位置1来将PHY置于通用掉电模式。

表 6-2： 功耗管理状态

时钟源	D0	D1	D2	D3
25 MHz 晶振	开	开	开	关
PLL	开	开	关(2)	关
系统时钟（100 MHz、50 MHz、25 MHz和其他频率）	开	关	关	关
网络时钟	可用(1)	可用(1)	可用(1)	关(3)
注 1： 如果通过PHY供电或外部供电 2： PLL被请求关闭，并且如果两个PHY均处于能量检测或通用掉电模式，则将禁止 3： PHY时钟关闭，外部时钟关闭				

6.3.4.1 进入低功耗模式

要从正常模式（D0）进入任一低功耗模式（D1-D3），请遵循以下步骤：

1. 向**功耗管理控制寄存器（PMT_CTRL）**中的PM_MODE和PM_WAKE字段写入所需值。
2. 按照第6.3.1节“**唤醒事件检测**”设置所需的唤醒检测。
3. 按照第6.3.2节“**唤醒（PME）通知**”设置适当的唤醒通知。

LAN9252

4. 确保器件处于可安全置于低功耗模式（发送所有数据包、禁止接收器并处理/刷新数据包等）的状态。
5. 将**功耗管理控制寄存器（PMT_CTRL）**中的**PM_SLEEP_EN**位置1。

注： 无法在**PM_SLEEP_EN**位置1的同时更改**PM_MODE**字段，也无法在更改**PM_MODE**字段的同时将**PM_SLEEP_EN**位置1。

进入任一低功耗模式后，**硬件配置寄存器（HW_CFG）**和**功耗管理控制寄存器（PMT_CTRL）**中的**器件就绪（READY）**位将被强制为低电平。

注： 进入任一节能状态后，主机接口将不起作用。

6.3.4.2 退出低功耗模式

可以手动或自动退出低功耗模式。

自动唤醒将基于第6.3.2节“**唤醒（PME）通知**”中所述的事件进行。通过**功耗管理控制寄存器（PMT_CTRL）**中的**功耗管理唤醒（PM_WAKE）**位来使能自动唤醒。

在以下情况下，将通过主机发起手动唤醒：

- 对器件执行**HBI**写操作（**CS**和**WR**或者**CS**、**RD_WR**和**ENB**）。尽管在唤醒器件并执行读操作前会忽略所有写操作，主机仍应该指示写入**字节顺序测试寄存器（BYTE_TEST）**。在器件唤醒前，不应尝试写入任何其他地址。
- 对器件执行**SPI/SQI**周期（**SCS#**低电平和**SCK**高电平）。尽管在器件唤醒前会忽略所有读写操作，主机仍应该指示通过读取**字节顺序测试寄存器（BYTE_TEST）**来唤醒器件。在器件唤醒前，不应尝试读取和写入任何其他地址。

要确定主机接口何时正常工作，应轮询**字节顺序测试寄存器（BYTE_TEST）**。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询**硬件配置寄存器（HW_CFG）**或**功耗管理控制寄存器（PMT_CTRL）**中的**器件就绪（READY）**位来确定器件何时完全唤醒。

对于自动和手动唤醒，一旦器件恢复到节能状态D0且PLL已重新稳定，**器件就绪（READY）**位即变为高电平。此时，**功耗管理控制寄存器（PMT_CTRL）**中的**PM_MODE**和**PM_SLEEP_EN**字段也将清零。

在正常情况下，器件将在**2 ms**内唤醒。

6.3.5 功耗管理寄存器

6.3.5.1 功耗管理控制寄存器（PMT_CTRL）

偏移量: 084h 大小: 32位

此读写寄存器控制器件的功耗管理功能。器件的就绪状态通过此寄存器的器件就绪（READY）位来确定。

注： 当器件处于复位或未就绪 / 节能状态且主机接口未处于中间状态时，可以读取此寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

位	说明	类型	默认值
31:29	功耗管理模式（PM_MODE） 此寄存器字段用于确定当功耗管理休眠使能（PM_SLEEP_EN）位置1时将进入的芯片级功耗管理模式。 000: D0 001: D1 010: D2 011: D3 100: 保留 101: 保留 110: 保留 111: 保留 如果功耗管理休眠使能（PM_SLEEP_EN）位正在被写入1，则对此字段的写操作将被忽略。 此字段在器件唤醒时清零。	R/W/SC	000b
28	功耗管理休眠使能（PM_SLEEP_EN） 将此位置1会进入通过功耗管理模式（PM_MODE）字段指定的芯片级功耗管理模式。 0: 器件未处于低功耗休眠状态 1: 器件处于低功耗休眠状态 此位不能与PM_MODE寄存器字段同时写入。PM_MODE字段必须置1，然后将此位置1才能使器件正常工作。 如果功耗管理模式（PM_MODE）正在写入新值，则向此位写入值1将被忽略。 注： 尽管硬件不会阻止，但当功耗管理模式（PM_MODE）的值为“D0”时，不应向此位写入值1。 此字段在器件唤醒时清零。	R/W/SC	0b

LAN9252

位	说明	类型	默认值
27	功耗管理唤醒 (PM_WAKE) 此位置1时，将使能基于PME事件的自动唤醒。 0: 仅手动唤醒 1: 使能自动唤醒	R/W	0b
26	LED禁止 (LED_DIS) 此位用于禁止LED输出。漏极开路/源极开路LED不进行驱动。推挽式LED仍进行驱动，但会设置为无效状态。 0: 使能LED 1: 禁止LED	R/W	0b
25:22	保留	RO	-
21	EtherCAT® 内核时钟禁止 (ECAT_DIS) 此位用于禁止EtherCAT内核的时钟。 0: 使能时钟 1: 禁止时钟 要将此位置1，必须连续两次写入1。写0将复位计数。	R/W	0b
20	保留	RO	-
19:18	保留	RO	-
17	能量检测/WoL状态端口B (ED_WOL_STS_B) 该位指示端口B PHY上是否发生了能量检测或WoL事件。 要将该位清零，还需要将PHY中的事件清除。事件源在 第43页上的第6.3节“功耗管理” 中说明。	R/WC	0b
16	能量检测/WoL状态端口A (ED_WOL_STS_A) 此位指示端口A PHY上发生的能量检测或WoL事件。 要将此位清零，还需要将PHY中的事件清除。 第43页上的第6.3节“功耗管理” 中介绍了事件源。	R/WC	0b
15	能量检测/WoL使能端口B (ED_WOL_EN_B) 如果置1，当端口B中出现能量检测或WoL事件时， 中断状态寄存器 (INT_STS) 中的PME_INT位将置为有效。	R/W	0b
14	能量检测/WoL使能端口A (ED_WOL_EN_A) 如果置1，当端口A中出现能量检测或WoL事件时， 中断状态寄存器 (INT_STS) 中的PME_INT位将置为有效。	R/W	0b
13:10	保留	RO	-
9	保留	RO	-
8:7	保留	RO	-
6:5	保留	RO	-

位	说明	类型	默认值
4	保留	RO	-
3:1	保留	RO	-
0	器件就绪 (READY) 此位置1时指示器件已准备好接受访问。上电、RST#复位、从节能状态恢复、EtherCAT 芯片级或模块级复位或者数字复位后，主机处理器可查询此字段来了解器件是否稳定并处于完全工作状态。 此位的上升沿将使INT_STS中的器件就绪 (READY)位置为有效，并且可引起中断（如果允许中断）。 注： 当 READY 位清零时，除 HW_CFG、PMT_CTRL、BYTE_TEST 和 RESET_CTL 寄存器外，禁止对任何内部资源进行读访问。在此位置1前，对任何地址的写操作均是无效的。 注： 此位与硬件配置寄存器 (HW_CFG)的bit 27相同。	RO	0b

6.4 器件就绪操作

器件支持就绪状态寄存器位，该位用于向主机软件指示器件何时完全准备好进行操作。此位可通过[功耗管理控制寄存器（PMT_CTRL）](#)或[硬件配置寄存器（HW_CFG）](#)读取。

上电复位、RST#复位、EtherCAT 芯片级复位或数字复位（见第6.2节“复位”）后，[器件就绪（READY）](#)位指示器件已读取并通过EEPROM的内容进行配置。

通过[复位控制寄存器（RESET_CTL）](#)进行的EtherCAT复位将使EtherCAT内核从EEPROM重载，从而暂时导致[器件就绪（READY）](#)位变为低电平。

进入除D0外的任何节能状态（见第6.3.4节“芯片级功耗管理”）都将导致[器件就绪（READY）](#)位变为低电平。唤醒后，一旦器件恢复到节能状态D0并且PLL已重新稳定，[器件就绪（READY）](#)位即变为高电平。

7.0 配置脚

配置脚允许将器件的各种功能自动配置为用户定义的值。硬配置脚在上电复位（POR）、EtherCAT 复位或引脚复位（RST#）时锁存。

配置脚包括用于防止信号在未连接时悬空的内部电阻。如果特定配置脚连接负载，则应使用外部上拉或下拉电阻增大内部电阻，以确保内部电阻在锁存前达到所需电压。也可通过增加外部电阻来改变内部电阻。

注： 系统设计人员必须确保配置脚引脚满足第 18.6.3 节“复位和配置脚时序”中指定的时序要求。如果配置脚引脚在锁存前未处于正确的电压值，器件可能捕捉到不正确的配置脚值。

7.1 硬配置脚

硬配置仅在上电复位（POR）、EtherCAT 复位或引脚复位（RST#）时锁存。这些配置脚用作直接配置值或寄存器默认值。表 7-1 提供了所有硬配置脚及其相关引脚的列表。第 11 页上的第 3.0 节“引脚说明和配置”中也完整定义了这些配置脚及其引脚分配。

表 7-1： 硬配置脚定义

配置脚名称	说明	引脚
eeeprom_size_strap	EEPROM 大小配置脚： 配置 EEPROM 大小范围。 低电平选择 1 Kb（128 x 8）至 16 Kb（2K x 8）。 高电平选择 32 Kb（4K x 8）至 4 Mb（512K x 8）。	<u>E2PSIZE</u>
chip_mode_strap[1:0]	EtherCAT® 芯片模式配置脚： 此配置脚决定活动端口数和端口类型。 00 = 双端口模式。 端口 0 和端口 1 连接至内部 PHY A 和 PHY B。 01 = 保留 10 = 3 端口下行模式。 端口 0 和端口 1 连接至内部 PHY A 和 PHY B。端口 2 连接至外部 MII 引脚。 11 = 3 端口上行模式。 端口 2 和端口 1 连接至内部 PHY A 和 PHY B。端口 0 连接至外部 MII 引脚。	<u>CHIP MODE1</u> 和 <u>CHIP MODE0</u>
link_pol_strap_mii	EtherCAT MII 端口链路极性配置脚： 此配置脚决定 MII_LINK 引脚的极性。 0 = MII_LINK 低电平，表示已建立 100 Mbps 全双工链路 1 = MII_LINK 高电平，表示已建立 100 Mbps 全双工链路	<u>MII LINKPOL</u>

表7-1： 硬配置脚定义（续）

配置脚名称	说明	引脚
tx_shift_strap[1:0]	EtherCAT MII 端口发送时序移位配置脚： 这些配置脚决定 MII 端口的 MII 发送时序移位值。 00 = 0 ns 01 = 10 ns 10 = 20 ns 11 = 30 ns	<u>TX_SHIFT[1:0]</u>
fx_mode_strap_1	PHY A FX 模式配置脚： 为 PHY A 选择 FX 模式。 当 <u>FXLOSEN</u> 高于 1V（典型值）或 <u>FXSDENA</u> 高于 1V（典型值）时，此配置脚设置为高电平。	<u>FXLOSEN</u>： <u>FXSDENA</u>
fx_mode_strap_2	PHY B FX 模式配置脚： 为 PHY B 选择 FX 模式。 当 <u>FXLOSEN</u> 高于 2V（典型值）或者 <u>FXSDENB</u> 高于 1V（典型值）时，此配置脚设置为高电平。	<u>FXLOSEN</u>： <u>FXSDENB</u>
fx_los_strap_1	PHY A FX-LOS 选择配置脚： 为 PHY A 选择信号损失模式。 当 <u>FXLOSEN</u> 高于 1V（典型值）时，此配置脚设置为高电平。	<u>FXLOSEN</u>
fx_los_strap_2	PHY B FX-LOS 选择配置脚： 为 PHY B 选择信号损失模式。 当 <u>FXLOSEN</u> 高于 2V（典型值）时，此配置脚设置为高电平。	<u>FXLOSEN</u>

8.0 系统中断

8.1 功能概述

本章介绍器件的系统中断结构。器件提供了多层可编程中断结构，此结构通过系统中断控制器来控制。可编程系统中断由各个器件子模块在内部生成，并可配置为通过**IRQ**中断输出引脚生成单个外部主机中断。主机中断的可编程性质为用户提供了根据应用要求优化性能的能力。**IRQ**中断缓冲器类型、极性和置为无效间隔是可修改的。**IRQ**中断可配置为漏极开路输出，以便与其他器件共用中断。所有内部中断均可屏蔽并且能够触发**IRQ**中断。

8.2 中断源

器件能生成以下类型的中断：

- 以太网PHY中断
- 功耗管理中断
- 通用定时器中断（GPT）
- EtherCAT中断
- 软件中断（通用）
- 器件就绪中断
- 时钟输出测试模式

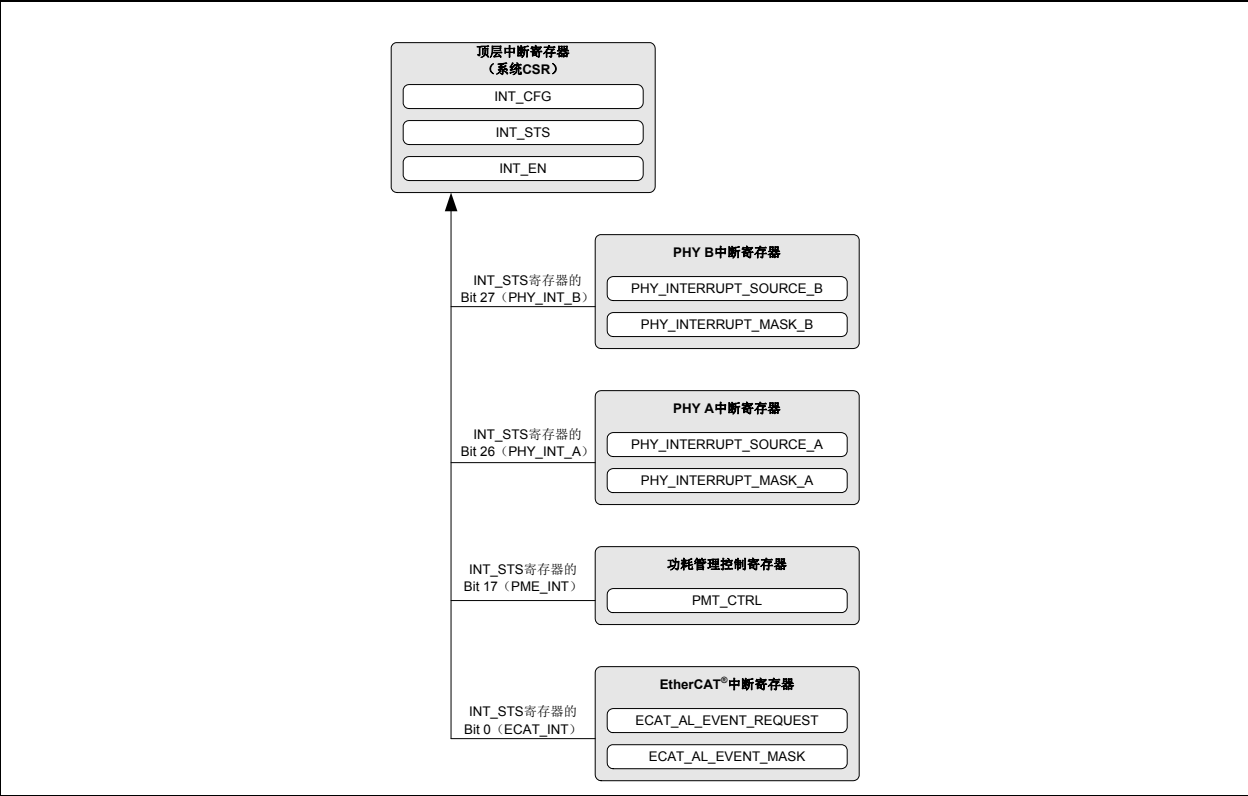
所有中断均通过排列成多层分支结构的寄存器（如图8-1所示）进行访问和配置。器件中断结构的顶层是**中断状态寄存器（INT_STS）**、**中断允许寄存器（INT_EN）**和**中断配置寄存器（IRQ_CFG）**。

中断状态寄存器（INT_STS）和**中断允许寄存器（INT_EN）**聚合并允许/禁止来自各个器件子模块的所有中断，将它们组合在一起以产生**IRQ**中断。这两个寄存器为通用定时器、软件和器件就绪中断提供直接中断访问/配置。可以在这两个寄存器内直接监视、允许/禁止和清除这些中断。此外，还为EtherCAT从器件、功耗管理和以太网PHY中断提供了事件指示。这些中断的区别在于中断源在其他子模块寄存器中生成和清除。**INT_STS**寄存器不提供有关子模块内的哪个特定事件引起中断的详细信息，需要软件轮询额外的子模块中断寄存器（如图8-1所示）才能确定准确的中断源并将其清除。对于涉及多个寄存器的中断，只有在处理了中断并在其中断源清除后，才能在**INT_STS**寄存器中将其清除。

中断配置寄存器（IRQ_CFG）负责使能/禁止**IRQ**中断输出引脚以及配置其属性。**IRQ_CFG**寄存器允许修改**IRQ**引脚缓冲器类型、极性和置为无效间隔。置为无效定时器可保证**IRQ**输出的最小中断置为无效周期，可通过**中断配置寄存器**

(IRQ_CFG) 的中断置为无效间隔 (INT_DEAS) 字段进行编程。全零设置将禁止置为无效定时器。无论出于何种原因，置为无效间隔都从IRQ引脚置为无效时开始。

图 8-1: 功能中断层级



以下各节详细介绍了每个中断类别及其相关的寄存器。有关所有中断寄存器中各位的定义，请参见相应功能的章节。

8.2.1 以太网PHY中断

每个以太网PHY都提供一组相同的中断源。中断状态寄存器 (INT_STS) 的顶层PHY A中断事件 (PHY_INT_A) 和PHY B中断事件 (PHY_INT_B) 位为PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 中的PHY中断事件发生提供指示。

PHY中断通过各自的PHY x中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x) 允许/禁止。PHY中断源可通过PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 确定和清除。各个中断基于以下事件生成：

- ENERGYON激活
- 自动协商完成
- 检测到远程故障
- 链路中断 (链路状态置为无效)
- 链路接通 (链路状态有效)
- 自动协商LP应答
- 并行检测故障
- 收到自动协商页
- 检测到LAN唤醒事件

为了使中断事件触发外部**IRQ**中断引脚，必须在相应的**PHY x**中断屏蔽寄存器（**PHY_INTERRUPT_MASK_x**）中允许所需的**PHY**中断事件，中断允许寄存器（**INT_EN**）的**PHY A**中断事件允许（**PHY_INT_A_EN**）和/或**PHY B**中断事件允许（**PHY_INT_B_EN**）位必须置1且**IRQ**输出必须通过中断配置寄存器（**IRQ_CFG**）的**IRQ**使能（**IRQ_EN**）位使能。

有关以太网**PHY**中断的更多详细信息，请参见第128页上的第11.2.7节“**PHY**中断”。

8.2.2 功耗管理中断

器件提供了多个功耗管理事件中断源。中断状态寄存器（**INT_STS**）的顶层功耗管理中断事件（**PME_INT**）位提供发生功耗管理控制寄存器（**PMT_CTRL**）中功耗管理中断事件的指示。

功耗管理控制寄存器（**PMT_CTRL**）提供所有功耗管理条件的使能/禁止以及状态。其中包括**PHY**上的能量检测以及通过**PHY A**和**PHY B**提供的**LAN**唤醒（理想DA、广播、唤醒帧或魔术包）检测。

为了使功耗管理中断事件触发外部**IRQ**中断引脚，必须在功耗管理控制寄存器（**PMT_CTRL**）中允许所需的功耗管理中断事件，中断允许寄存器（**INT_EN**）的功耗管理事件中断允许（**PME_INT_EN**）位必须置1且必须通过中断配置寄存器（**IRQ_CFG**）的bit 8 **IRQ**使能（**IRQ_EN**）使能**IRQ**输出。

功耗管理中断只是器件功耗管理功能的一部分。有关功耗管理的更多详细信息，请参见第43页上的第6.3节“功耗管理”。

8.2.3 通用定时器中断

顶层中断状态寄存器（**INT_STS**）和中断允许寄存器（**INT_EN**）中提供**GP**定时器（**GPT_INT**）中断。此中断在通用定时器计数寄存器（**GPT_CNT**）从0折回FFFFh时发出，在中断状态寄存器（**INT_STS**）的**GP**定时器（**GPT_INT**）位写1时清除。

为了使通用定时器中断事件触发外部**IRQ**中断引脚，必须通过通用定时器配置寄存器（**GPT_CFG**）中的通用定时器使能（**TIMER_EN**）位使能**GPT**，中断允许寄存器（**INT_EN**）的**GP**定时器中断允许（**GPT_INT_EN**）位必须置1且必须通过中断配置寄存器（**IRQ_CFG**）的**IRQ**使能（**IRQ_EN**）位使能**IRQ**输出。

有关通用定时器的更多详细信息，请参见第297页上的第15.1节“通用定时器”。

8.2.4 ETHERCAT 中断

中断状态寄存器（**INT_STS**）的顶层**EtherCAT**®中断事件（**ECAT_INT**）提供发生**AL**事件请求寄存器中**EtherCAT**中断事件的指示。**AL**事件屏蔽寄存器提供所有**EtherCAT**中断条件的允许/禁止。**AL**事件请求寄存器提供所有**EtherCAT**中断的状态。

为了使**EtherCAT**中断事件触发外部**IRQ**中断引脚，必须在**AL**事件屏蔽寄存器中允许所需的**EtherCAT**中断，中断允许寄存器（**INT_EN**）的**EtherCAT**®中断事件允许（**ECAT_INT_EN**）位必须置1且必须通过中断配置寄存器（**IRQ_CFG**）的**IRQ**使能（**IRQ_EN**）位使能**IRQ**输出。

有关**EtherCAT**中断的更多详细信息，请参见第196页上的第12.0节“**EtherCAT**®”。

8.2.5 软件中断

顶层中断状态寄存器（**INT_STS**）和中断允许寄存器（**INT_EN**）中提供了通用软件中断。当中断允许寄存器（**INT_EN**）的软件中断允许（**SW_INT_EN**）位从清零切换为置1（即，在使能的上升沿）时，将产生中断状态寄存器（**INT_STS**）的软件中断（**SW_INT**）位。此中断提供了一种简单的软件产生中断的方法，设计为用于常规软件使用。

为了使软件中断事件触发外部**IRQ**中断引脚，必须通过中断配置寄存器（**IRQ_CFG**）的**IRQ**使能（**IRQ_EN**）位使能**IRQ**输出。

8.2.6 器件就绪中断

顶层 [中断状态寄存器 \(INT_STS\)](#) 和 [中断允许寄存器 \(INT_EN\)](#) 中提供了器件就绪中断。[中断状态寄存器 \(INT_STS\)](#) 的 [器件就绪 \(READY\)](#) 位用于指示器件已准备好在上电或复位条件后接受访问。在 [中断状态寄存器 \(INT_STS\)](#) 中对该位写 1 会将其清零。

为了使器件就绪中断事件触发外部 **IRQ** 中断引脚，[中断允许寄存器 \(INT_EN\)](#) 的 [器件就绪中断允许 \(READY_EN\)](#) 位必须置 1 且必须通过 [中断配置寄存器 \(IRQ_CFG\)](#) 的 [IRQ 使能 \(IRQ_EN\)](#) 位使能 **IRQ** 输出。

8.2.7 时钟输出测试模式

要实现系统级调试，可通过将 [中断配置寄存器 \(IRQ_CFG\)](#) 的 [IRQ 时钟选择 \(IRQ_CLK_SELECT\)](#) 位置 1 将晶振时钟使能到 **IRQ** 引脚上。

IRQ 引脚应通过 [IRQ 缓冲器类型 \(IRQ_TYPE\)](#) 位设置为推挽式驱动器以获得最佳效果。

8.3 中断寄存器

本节详细介绍与可直接寻址中断相关的系统 CSR。这些寄存器用于控制、配置和监视 **IRQ** 中断输出引脚以及各种器件中断源。有关整个可直接寻址寄存器映射的概述，请参见 [第 32 页上的第 5.0 节“寄存器映射”](#)。

表 8-1: 中断寄存器

地址	寄存器名称 (符号)
054h	中断配置寄存器 (IRQ_CFG)
058h	中断状态寄存器 (INT_STS)
05Ch	中断允许寄存器 (INT_EN)

8.3.1 中断配置寄存器 (IRQ_CFG)

偏移量: 054h 大小: 32位

此读/写寄存器用于配置和指示IRQ信号的状态。

位	说明	类型	默认值
31:24	中断置为无效间隔 (INT_DEAS) 此字段用于确定中断请求置为无效间隔 (10微秒的倍数)。 将此字段设置为0会使器件禁止INT_DEAS间隔、复位间隔计数器并发出任何待处理中断。如果向此字段写入新的非零值, 任何后续中断都将遵循新设置。	R/W	00h
23:15	保留	RO	-
14	中断置为无效间隔清零 (INT_DEAS_CLR) 向此寄存器写入1会将中断控制器中的置为无效计数器清零, 从而使新的置为无效间隔开始 (无论中断控制器当前是否处于有效的置为无效间隔)。 0: 正常工作 1: 清零置为无效计数器	R/W SC	0h
13	中断置为无效状态 (INT_DEAS_STS) 此位置1时表示中断控制器当前处于置为无效间隔中并且可能的中断将不会发送到IRQ引脚。此位清零时表示中断控制器当前未处于置为无效间隔中并且中断将发送到IRQ引脚。 0: 中断控制器未处于置为无效间隔中 1: 中断控制器处于置为无效间隔中	RO	0b
12	主器件中断 (IRQ_INT) 此只读位用于指示内部IRQ线的状态, 无论IRQ_EN位的设置或中断置为无效功能的状态如何。当此位置1时, 允许的中断之一当前处于有效状态。 0: 没有允许的中断处于有效状态 1: 一个或多个允许的中断处于有效状态	RO	0b
11:9	保留	RO	-
8	IRQ使能 (IRQ_EN) 此位控制IRQ引脚的最终中断输出。清零时, IRQ输出禁止且永久置为无效。此位对任何内部中断状态位均不起作用。 0: 禁止IRQ引脚上的输出 1: 使能IRQ引脚上的输出	R/W	0b
7:5	保留	RO	-

LAN9252

位	说明	类型	默认值
4	IRQ极性 (IRQ_POL) 清零时，此位使IRQ线用作低电平有效输出。置1时，IRQ输出高电平有效。 当IRQ（通过IRQ_TYPE位）配置为漏极开路输出时，此位被忽略且中断始终低电平有效。 0: IRQ低电平有效输出 1: IRQ高电平有效输出	R/W NASR 注1	0b
3:2	保留	RO	-
1	IRQ时钟选择 (IRQ_CLK_SELECT) 当此位置1时，IRQ引脚上可输出晶振时钟。这用于系统调试，目的为观察时钟，不适用于任何功能目的。 注： 当使用此位时，IRQ引脚应设置为推挽式驱动器。	R/W	0b
0	IRQ缓冲器类型 (IRQ_TYPE) 当此位清零时，IRQ引脚用作漏极开路输出，用于线或中断配置。置1时，IRQ为推挽式驱动器。 注： 当配置为漏极开路输出时，IRQ_POL位被忽略且中断输出始终低电平有效。 0: IRQ引脚漏极开路输出 1: IRQ引脚推挽式驱动器	R/W NASR 注1	0b

注 1： 当复位控制寄存器（RESET_CTL）中的DIGITAL_RST位置1时，不会复位指定为NASR的寄存器位。

8.3.2 中断状态寄存器 (INT_STS)

偏移量: 058h 大小: 32位

此寄存器包含中断的当前状态。值1表示满足相应中断条件，而值0表示未满足中断条件。此寄存器的位反映了中断源的状态，与在中断允许寄存器 (INT_EN) 中是否允许中断源作为中断无关。当指示为R/WC时，向相应位写入1将响应并清除中断。

位	说明	类型	默认值
31	软件中断 (SW_INT) 当中断允许寄存器 (INT_EN) 的软件中断允许 (SW_INT_EN) 位设置为高电平时，将产生此中断。写入1将清除此中断。	R/WC	0b
30	器件就绪 (READY) 此中断用于指示器件已准备好在上电或复位条件后接受访问。	R/WC	0b
29	保留	RO	-
28	保留	RO	-
27	PHY B中断事件 (PHY_INT_B) 此位指示来自PHY B的中断事件。中断源可通过轮询PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 确定。	RO	0b
26	PHY A中断事件 (PHY_INT_A) 此位指示来自PHY A的中断事件。中断源可通过轮询PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 确定。	RO	0b
25:23	保留	RO	-
22	保留	RO	-
21:20	保留	RO	-
19	GP定时器 (GPT_INT) 当通用定时器计数寄存器 (GPT_CNT) 从0折回FFFFh时，将发出此中断。	R/WC	0b
18	保留	RO	-
17	功耗管理中断事件 (PME_INT) 当按功耗管理控制寄存器 (PMT_CTRL) 中的配置检测到功耗管理事件时，将发出此中断。写入1将清零此位。要将此位清零，必须先将功耗管理控制寄存器 (PMT_CTRL) 中的所有未屏蔽位清零。 注： 中断置为无效间隔不适用于PME中断。	R/WC	0b
16:13	保留	RO	-
12	保留	RO	-

LAN9252

位	说明	类型	默认值
11:3	保留	RO	-
2:1	保留	RO	-
0	EtherCAT®中断事件（ECAT_INT） 此位指示EtherCAT中断事件。中断源可通过轮询 AL事件请求寄存器 确定。	RO	0b

8.3.3 中断允许寄存器 (INT_EN)

偏移量: 05Ch 大小: 32位

此寄存器包含 **IRQ** 输出引脚的中断允许。向任何一位写入1均会允许相应中断作为 **IRQ** 的中断源。[中断状态寄存器 \(INT_STS\)](#) 寄存器中的位仍将反映中断源的状态，与在此寄存器中是否允许中断源作为中断无关 ([软件中断允许 \(SW_INT_EN\)](#) 除外)。有关每个中断的说明，请参见 [中断状态寄存器 \(INT_STS\)](#) 中的各位，这些位的布局与此寄存器的布局相同。

位	说明	类型	默认值
31	软件中断允许 (SW_INT_EN)	R/W	0b
30	器件就绪中断允许 (READY_EN)	R/W	0b
29	保留	RO	-
28	保留	RO	-
27	PHY B 中断事件允许 (PHY_INT_B_EN)	R/W	0b
26	PHY A 中断事件允许 (PHY_INT_A_EN)	R/W	0b
25:23	保留	RO	-
22	保留	RO	-
21:20	保留	RO	-
19	GP 定时器中断允许 (GPT_INT_EN)	R/W	0b
18	保留	RO	-
17	功耗管理事件中断允许 (PME_INT_EN)	R/W	0b
16:13	保留	RO	-
12	保留	RO	-
11:3	保留	RO	-
2:1	保留	RO	-
0	EtherCAT ® 中断事件允许 (ECAT_INT_EN)	R/W	0b

9.0 主机总线接口

9.1 功能概述

主机总线接口（HBI）模块提供高速异步从接口，简化了器件与主机系统之间的通信。HBI允许访问系统CSR、内部FIFO和存储器，并基于字节顺序选择来处理字节交换。

下面概述了HBI提供的功能：

- **地址总线输入：**支持两种寻址模式，分别是复用地址/数据总线和支持地址变址寄存器访问的解复用地址总线。模式选择通过配置输入来完成。
- **可选数据总线宽度：**主机数据总线宽度是可选的。支持16位和8位数据模式。该选择通过配置输入来完成。写入数据时，HBI执行字节/字到双字汇编；读取数据时，HBI会保持跟踪字节/字数。在16位模式下，不支持单字节访问。
- **可选读/写控制模式：**提供两种控制模式。单独的读取和写入引脚或者使能和方向引脚。模式选择通过配置输入来完成。
- **可选控制线极性：**片选、读/写和地址锁存信号的极性可通过配置输入选择。
- **动态字节顺序控制：**HBI支持基于字节顺序信号选择大尾数法和小尾数法的主机字节顺序。该高度灵活的接口提供混合字节顺序的方法来访问寄存器和存储器。根据器件寻址模式的不同，该信号可以是受配置寄存器控制的信号，或者作为选通地址输入的一部分。
- **直接FIFO访问：**FIFO直接选择信号将直接对EtherCAT过程RAM写数据FIFO（仅复用地址模式）执行所有主机写操作，并且直接从EtherCAT过程RAM读数据FIFO（仅复用地址模式）执行所有主机读操作。该信号作为地址输入的一部分选通。

9.2 读/写控制信号

器件支持两种不同的读/写信号方法：

- 读（RD）和写（WR）选通是单独引脚上的输入。
- 读信号和写信号从使能输入（ENB）和方向输入（RD_WR）解码。

9.3 控制线极性

器件支持对以下各项进行极性控制：

- 芯片选择输入（CS）
- 读选通（RD）/方向输入（RD_WR）
- 写选通（WR）/使能输入（ENB）
- 地址锁存控制（ALELO和ALEHI）

9.4 复用地址/数据模式

在复用地址/数据模式下，地址、FIFO直接选择和字节顺序选择输入与数据总线共用。支持两种方法，即单阶段地址（利用多达16个地址/数据引脚）和双阶段地址（仅利用低8位数据位）。

9.4.1 地址锁存周期

9.4.1.1 单阶段地址锁存

在单阶段模式下，所有地址位、FIFO直接选择信号和字节顺序选择均通过ALELO信号的后沿选通到器件中。地址锁存在全部16个地址/数据引脚上实现。在8位数据模式下，引脚AD[15:8]专用于寻址，不必通过读写操作连续驱动这些具有有效地址的高地址线。但由于器件始终不会驱动这些引脚，因此这种称为部分地址复用的操作是可以接受的。

可选择通过**CS**信号限定**ALELO**信号。使能限定时，**CS**必须在**ALELO**期间有效，以选通地址输入。未使能限定时，**CS**在地址阶段期间状态为无关。

地址将被保留以供未来所有读写操作使用，直至发生复位事件或加载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

9.4.1.2 双阶段地址锁存

在双阶段模式下，地址低8位通过**ALELO**信号的有效边沿选通到器件中，剩余的地址高位、**FIFO**直接选择信号和字节顺序选择均通过**ALEHI**信号的后沿选通到器件中。选通可采用任意顺序。在8位数据模式下，不使用引脚**AD[15:8]**。在16位数据模式下，引脚**D[15:8]**仅用于数据。

可选择通过**CS**信号限定**ALELO**和**ALEHI**信号。使能限定时，**CS**必须在**ALELO**和**ALEHI**期间有效，以选通地址输入。未使能限定时，**CS**在地址阶段期间状态为无关。

地址将被保留以供未来所有读写操作使用，直至发生复位事件或加载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

9.4.1.3 地址位到地址/数据引脚的映射

在8位数据模式下，地址bit 0与引脚**AD[0]**复用，地址bit 1与引脚**AD[1]**复用，以此类推。最高地址位是bit 9，与引脚**AD[9]**（单阶段）或**AD[1]**（双阶段）复用。锁存到器件中的地址被视为字节地址，包含1K字节（0至3FFh）。

在16位数据模式下，地址bit 1与引脚**AD[0]**复用，地址bit 2与引脚**AD[1]**复用，以此类推。最高地址位是bit 9，与引脚**AD[8]**（单阶段）或**AD[0]**（双阶段）复用。锁存到器件中的地址被视为字地址，包含512字（0至1FFh）。

当地址发送到器件的其余部分时，将被转换为字节地址。

9.4.1.4 字节顺序选择到地址/数据引脚的映射

字节顺序选择包含在复用地址中，从而允许主机系统基于所用的存储器地址动态选择字节顺序。这允许通过混合字节顺序的方法来访问寄存器和存储器。

字节顺序选择与最后一个地址位之前一位的数据引脚复用。

9.4.1.5 FIFO直接选择到地址/数据引脚的映射

将**FIFO**直接选择信号包含在复用地址中，从而允许主机系统将**EtherCAT**过程RAM数据**FIFO**视为较大的扁平地址空间进行寻址。

FIFO直接选择信号与最后一个地址位之前两位的数据引脚复用。

9.4.2 数据周期

主机数据总线可以是16位或8位宽，而所有内部寄存器均是32位宽。在8位或16位数据模式下，主机总线接口执行字/字节到双字的转换。要执行读/写操作，需要在同一双字中执行两次或四次连续访问。

9.4.2.1 写周期

当**CS**和**WR**有效时（或当**ENB**有效且**RD_WR**指示写操作时），将发生写周期。地址锁存周期期间已捕捉主机地址和字节顺序。

在写周期的后沿（**WR**、**CS**或**ENB**变为无效），主机数据将被捕捉到**HBI**中的寄存器内。根据总线宽度的不同，捕捉的数据可以是字或字节。对于8位或16位数据模式，其用作为双字汇编，受影响的字或字节由低地址输入确定。此时，字节交换也是基于字节顺序完成的。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至执行读周期以后。

功耗管理期间以及功耗管理之后的写操作

D0以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至执行读周期以后。

8位和16位访问

在8位或16位数据模式下，主机需要执行两次16位/四次8位写操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字/字节，前提是对其余的字或字节执行额外的写操作。

注： 在同一双字汇编周期写入相同的字或字节会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

写字节/字计数器会保持跟踪写操作次数。在写周期的后沿，计数器递增计数。所有写操作均发生后，便会对内部寄存器执行32位写操作。

如果功耗管理模式设置为D0以外的任何模式，则写字节/字计数器复位。

9.4.2.2 读周期

当CS和RD有效时（或当ENB有效且RD_WR指示读操作时），将发生读周期。地址锁存周期期间已捕捉主机地址和字节顺序。

在读周期开始时，会选择相应的寄存器，其中的数据会被驱动到数据引脚上。根据总线宽度的不同，读取的数据可以是字或字节。对于8位或16位数据模式，返回的字节或字由字节顺序和低地址输入确定。

初始化完成的轮询

器件初始化之前，HBI将不会返回有效数据。要确定HBI何时工作，应轮询字节顺序测试寄存器（BYTE_TEST）。每次轮询都应包含地址锁存周期和一个数据周期。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）位来确定器件何时完全配置。

功耗管理期间以及功耗管理之后的读操作

在D0以外的任何功耗管理模式期间，来自主机总线的读操作都将被忽略。如果功耗管理模式在有效读周期期间切换回D0，则读周期的尾端将被忽略。内部寄存器不受影响，HBI的状态不会改变。

8位和16位访问

对于某些寄存器访问，主机需要执行两次连续的16位/四次连续的8位读操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字或字节，前提是对其余的字或字节执行额外的读操作。

注： 从同一双字读取相同的字或字节会引发未定义或不需要的操作。HBI硬件不会阻止该操作。HBI仅计数是否已完成四次字节读操作。

读字节/字计数器保持跟踪读操作次数。该计数器与上述写计数器是相互独立的。在读周期的后沿，计数器递增计数。在最后一次读取双字时，会执行内部读操作以更新任何“读取时更改”CSR。

如果功耗管理模式设置为D0以外的任何模式，则读字节/字计数器复位。

特殊CSR处理

即时位

任何由硬件事件更新的寄存器位均从读周期开始时保持不变，以防止该位在读周期期间发生更改。

16位或8位模式下的多字节/字即时寄存器

一些寄存器具有跨越多个字节或字的“即时”字段或相关字段。对于16位和8位数据读操作，这些字段的值可能在各主机读周期之间发生更改。为避免读取中间值，这些寄存器在读取第一个字节或字时锁定，在读取最后一个字节或字时解锁。

如果功耗管理模式设置为D0以外的任何模式，则寄存器将解锁。

“读取时更改”寄存器和FIFO

FIFO或“读取时更改”寄存器在读周期结束时更新。

对于16位和8位模式，最后一个字节或字仅指示和发生一个内部读周期。

“读取时更改”即时寄存器位

如上文所述，具有即时位的寄存器从读周期开始时保持不变，另外具有跨越字节或字的多个位的寄存器在16位和8位访问时锁定。虽然保持不变或锁定期间发生的硬件事件仍会更新即时位，但即时位仅在读周期结束时才会受影响（例如，被清零）且硬件事件会丢失。

为了避免这种情况，各个CSR会将硬件事件更新延迟至读操作或多次读操作之后。

复位或初始化期间的寄存器轮询

一些寄存器支持在复位或器件初始化期间轮询，以确定何时可访问器件。对于这些寄存器，只可执行一次读操作，而无需读取其他字或字节。寄存器的同一字节或字可反复重读。

支持16位或8位读取或者可在复位或器件初始化期间读取的寄存器在其寄存器说明中进行了注释。

9.4.2.3 主机字节顺序

器件支持大尾数法和小尾数法两种主机字节顺序，具体取决于地址锁存周期期间锁存的字节顺序选择。当字节顺序选择为低电平时，主机访问为小尾数法；当字节顺序选择为高电平时，主机访问为大尾数法。在典型应用中，字节顺序选择连接高位地址线，从而基于地址进行字节顺序选择。该高度灵活的接口为寄存器和存储器提供混合字节顺序访问方法以进行PIO和主机DMA访问。

所有内部总线均为32位，并且采用小尾数法的字节顺序。主机总线接口的内部逻辑基于相应的字节顺序位以及最低有效地址位的状态重新排列字节的顺序。

[第66页上的图9-1：小尾数法顺序](#)和[第67页上的图9-2：大尾数法顺序](#)给出了支持的字节顺序配置的数据路径操作以及数据总线大小。

图9-1: 小尾数法顺序

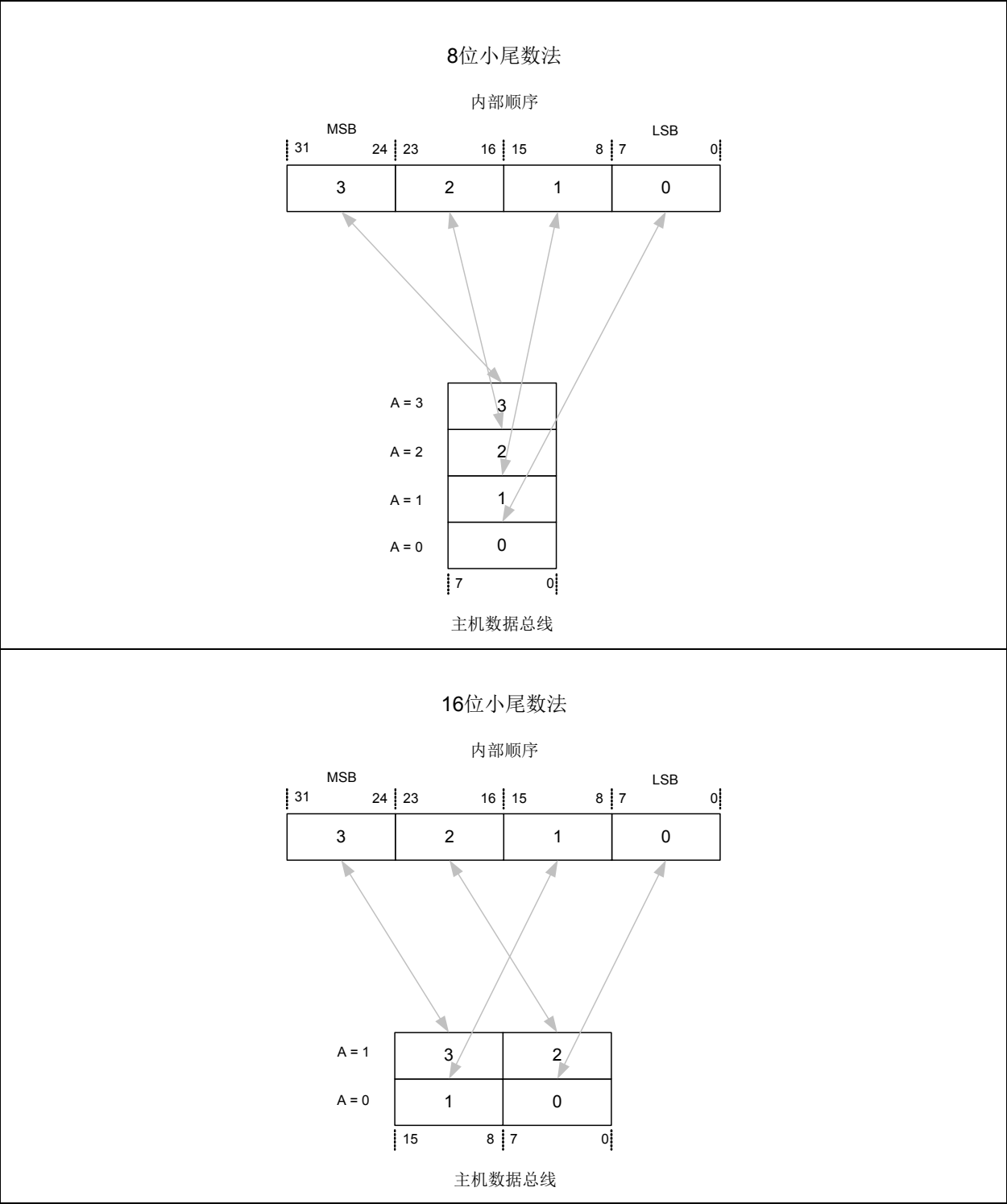
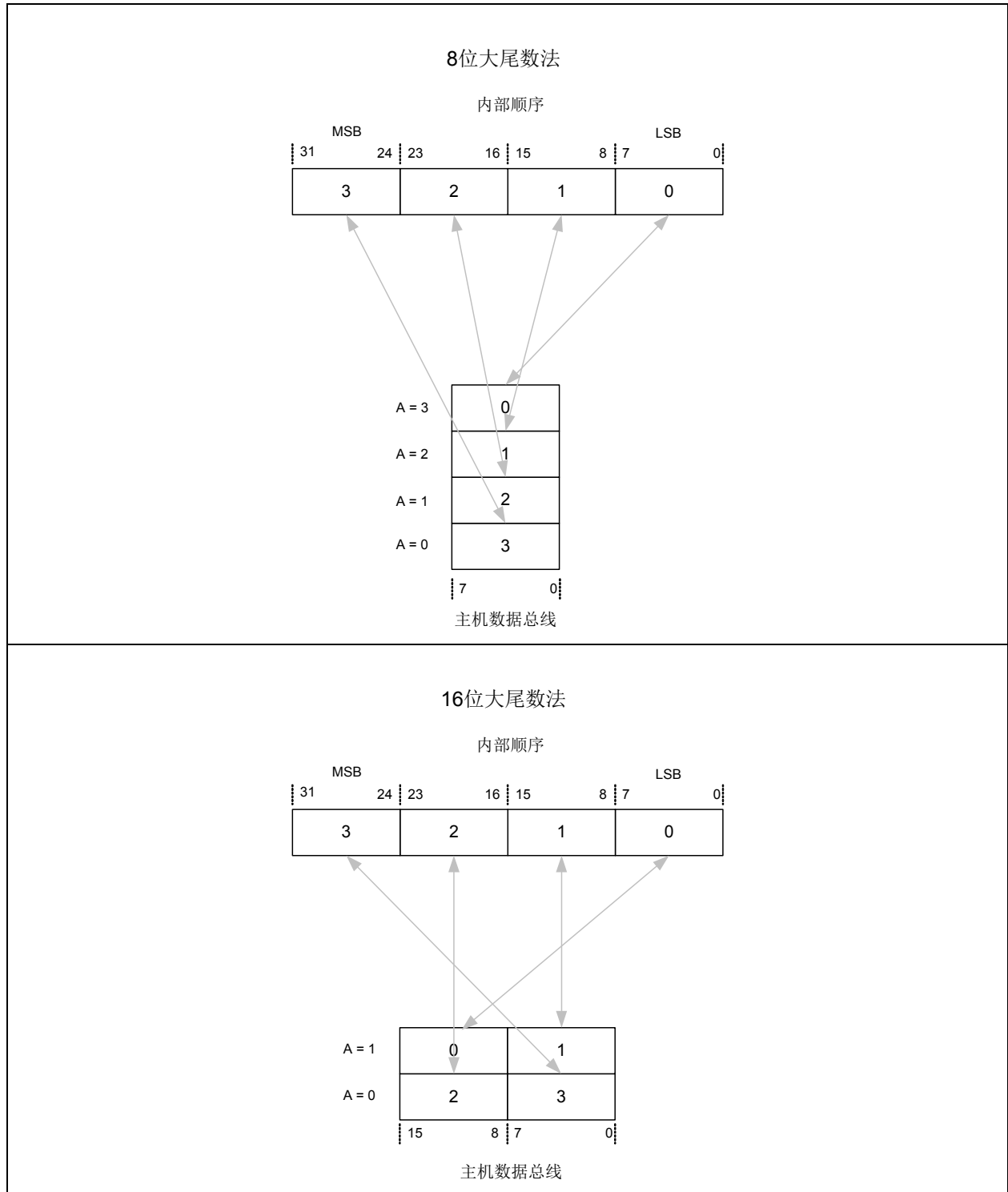


图9-2: 大尾数法顺序



9.4.3 ETHERCAT 过程RAM数据FIFO访问

9.4.3.1 FIFO直接选择地址

FIFO直接选择信号允许主机系统将EtherCAT过程RAM数据FIFO视为较大的扁平地址空间进行寻址。当地址锁存周期期间锁存的FIFO直接选择信号有效时，将对EtherCAT过程RAM写数据FIFO执行所有主机写操作，并从EtherCAT过程RAM读数据FIFO执行所有主机读操作。仅解码锁存的低地址信号，以选择正确的字节或字。该模式将忽略所有其他的地址输入。所有其他操作均相同（双字汇编和FIFO弹出等）。

FIFO直接选择访问的字节顺序取决于地址锁存周期期间锁存的字节顺序选择。

读取EtherCAT过程RAM读数据FIFO时不支持突发访问。但是，由于FIFO直接选择信号在复位事件发生或者新地址加载之前一直保留，因此无需多次执行地址锁存操作也可多次发出读写请求。

9.4.4 复用寻址模式功能时序图

以下各时序图给出了不同地址/数据配置和总线大小条件下的示例复用寻址模式读写周期。这些图并未涵盖支持的所有主机总线排列，但可选用于详细介绍复用寻址工作模式下的主要配置差异（总线大小和双/单阶段地址锁存）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了高电平有效的ALEHI/ALELO、CS、RD和WR信号。这些信号的极性可分别通过PDI配置寄存器（HBI模式）的HBI ALE极性、HBI片选极性、HBI读取以及读/写极性和HBI写入以及使能极性位选择。更多信息，请参见第62页上的第9.3节“控制线极性”。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见第63页上的第9.4.1.4节“字节顺序选择到地址/数据引脚的映射”。
- 第9.4.4.1节“双阶段地址锁存”和第9.4.4.2节“单阶段地址锁存”中的时序图利用RD和WR信号，另外还支持备用的RD_WR和ENB信号，如第9.4.4.3节“RD_WR/ENB控制模式示例”所示。HBI读/写模式可通过PDI配置寄存器（HBI模式）的HBI读/写模式位选择。RD_WR和ENB信号的极性可通过PDI配置寄存器（HBI模式）的HBI读取以及读/写极性和HBI写入以及使能极性位选择。
- 可选择通过PDI配置寄存器（HBI模式）的HBI ALE限定用CS信号限定ALELO和/或ALEHI。更多信息，请参见第62页上的第9.4.1.1节“单阶段地址锁存”和第63页上的第9.4.1.2节“双阶段地址锁存”。
- 在双阶段地址锁存模式下，ALEHI和ALELO周期的顺序可以是任意的。可能跳过ALELO和ALEHI周期的其中一个，也可能两个周期都跳过，器件保留锁存的最后一个地址。
- 在单阶段地址锁存模式下，可能跳过ALELO周期，器件保留锁存的最后一个地址。

注： 在8位和16位模式下，通常不会跳过ALELO周期，因为需要访问连续的字节或字才能满足完整的双字周期。但是，一些寄存器允许单字节或字访问，在这种情况下，可以对这些寄存器执行多次访问，而无需重新锁存重复的地址。

- 对于16位和8位模式，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（上述寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。

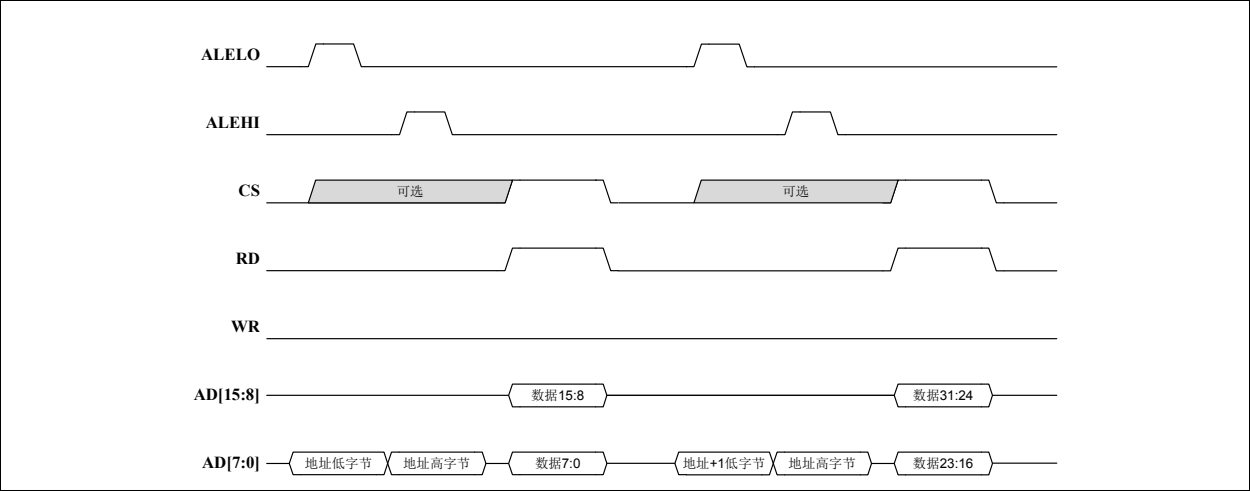
9.4.4.1 双阶段地址锁存

本节中的各图详细描述了双阶段地址锁存时复用寻址模式下的16位和8位读操作和写操作。

16位读操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会读取AD[15:0]。为双字的另外16位重复该周期。

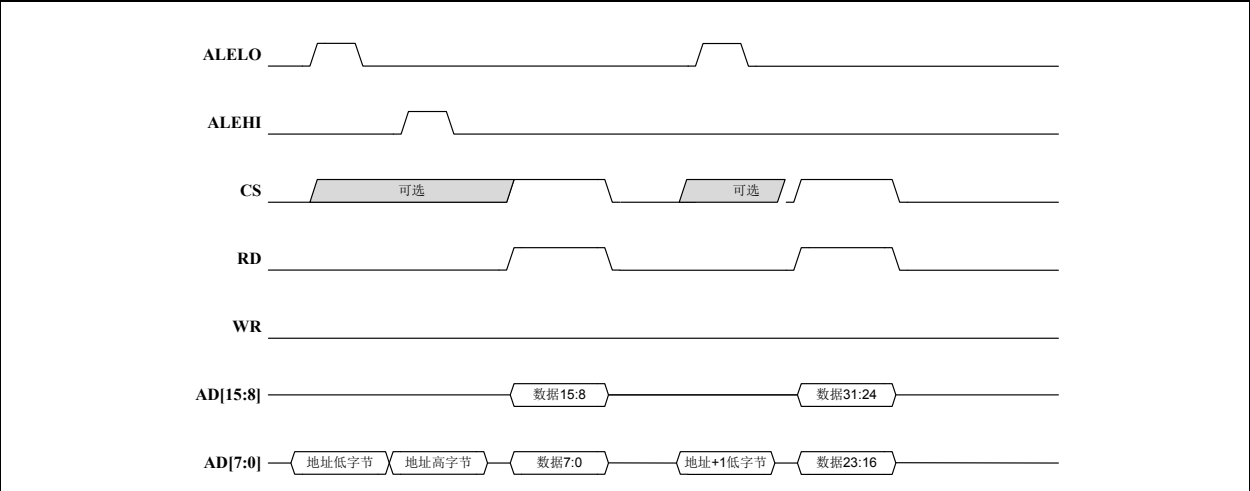
图9-3： 双阶段锁存时的复用寻址（16位读操作）



抑制ALEHI时的16位读操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会读取AD[15:0]。随后，会更新低地址以访问另外一个字。

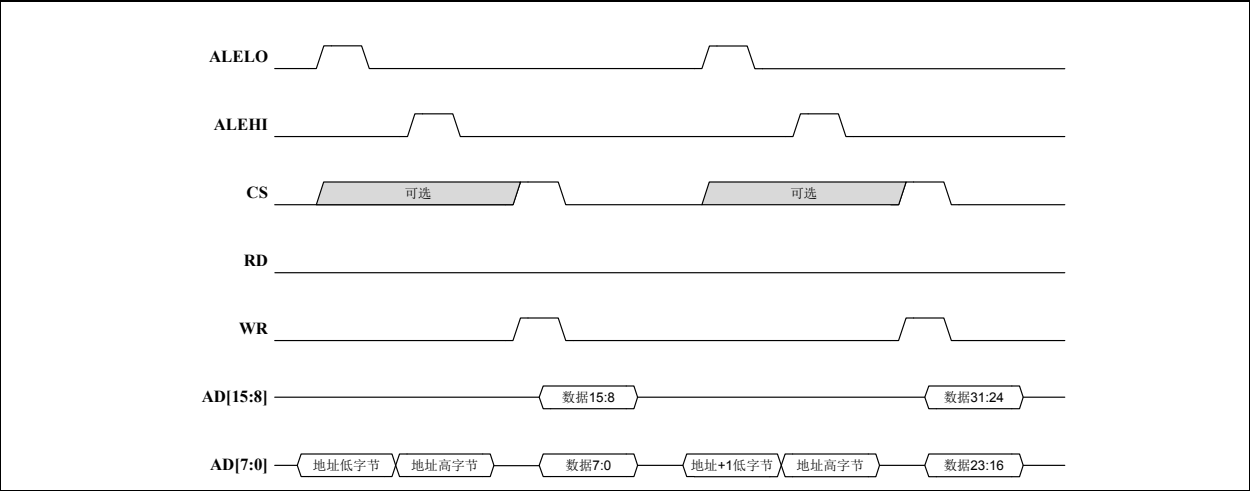
图9-4： 双阶段锁存时的复用寻址（16位读操作，无ALEHI）



16 位写操作

地址从 **AD[7:0]** 按顺序锁存。地址阶段不使用或驱动 **AD[15:8]**。接着会写入 **AD[15:0]**。为双字的另外 16 位重复该周期。

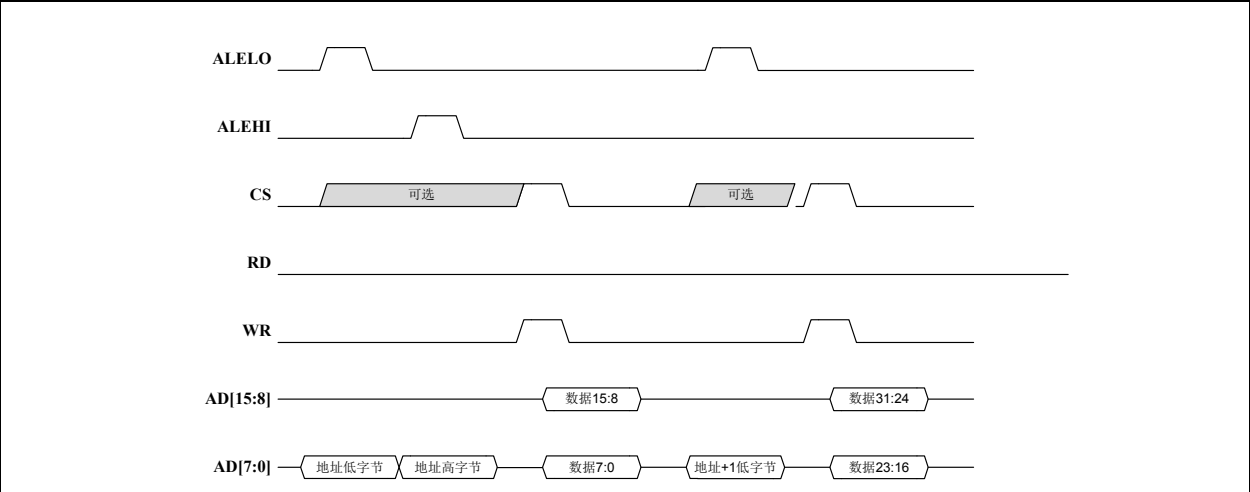
图9-5： 双阶段锁存时的复用寻址（16 位写操作）



抑制 ALEHI 时的 16 位写操作

地址从 **AD[7:0]** 按顺序锁存。地址阶段不使用或驱动 **AD[15:8]**。接着会写入 **AD[15:0]**。随后，会更新低地址以访问另外一个字。

图9-6： 双阶段锁存时的复用寻址（16 位写操作，无 ALEHI）

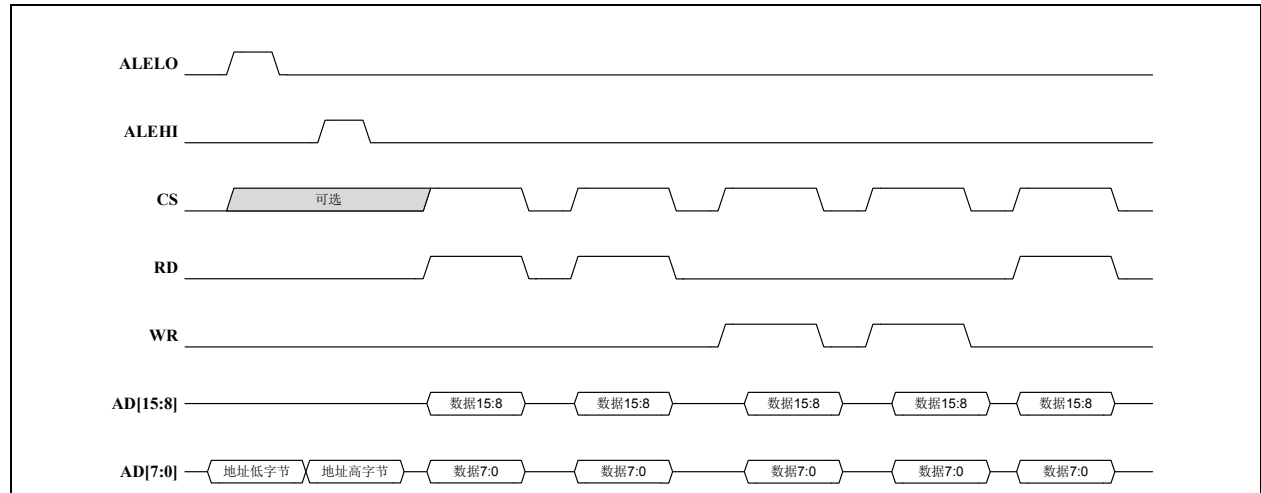


对常量地址的16位读操作和写操作

地址从AD[7:0]按顺序锁存。地址阶段不使用或驱动AD[15:8]。接着会对AD[15:0]执行读写混合操作。

注： 通常，需要对同一双字中的两个字分别执行一次16位读操作，在此期间需要通过ALELO更改低地址。对同一个字执行16位读操作和写操作是一个特例。

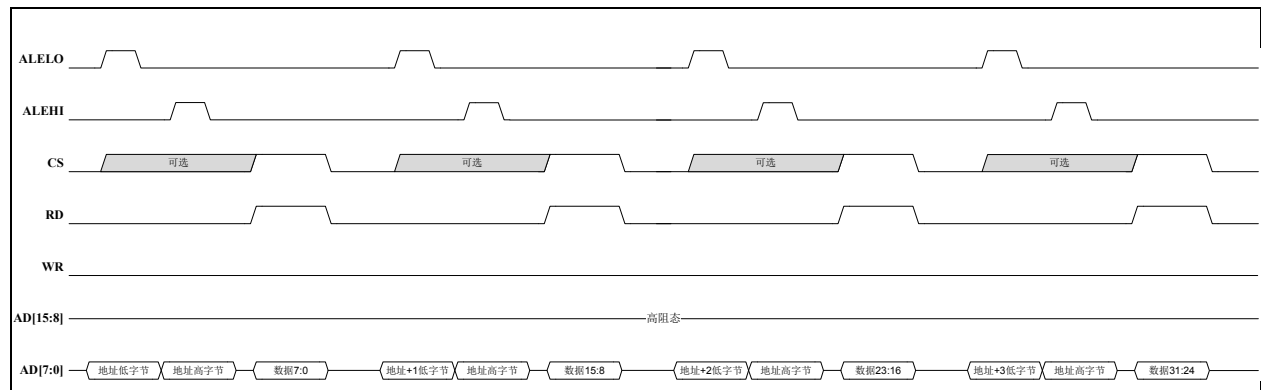
图9-7： 双阶段锁存时的复用寻址（对常量地址进行16位读操作和写操作）



8位读操作

地址从AD[7:0]按顺序锁存。接着会读取AD[7:0]。不会使用或驱动AD[15:8]引脚。为双字中的其他字节重复该周期。

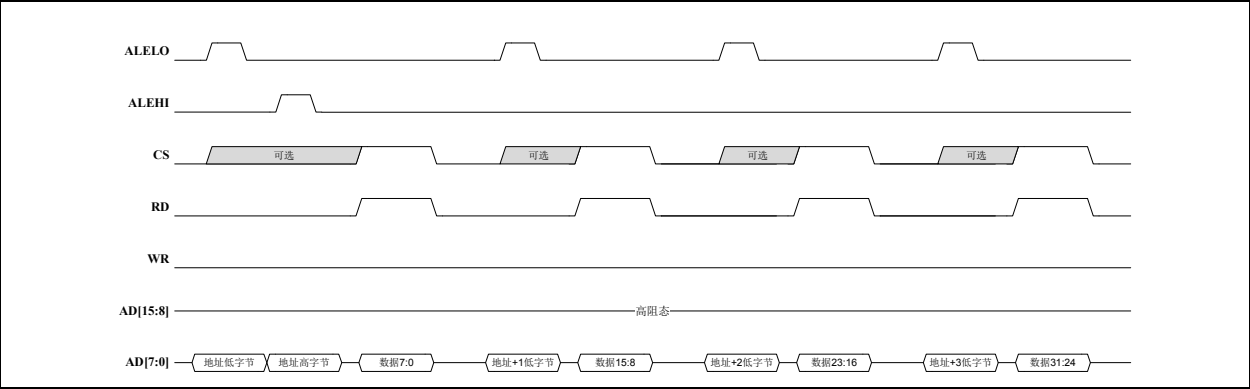
图9-8： 双阶段锁存时的复用寻址（8位读操作）



抑制ALEHI时的8位读操作

地址从AD[7:0]按顺序锁存。接着会读取AD[7:0]。不会使用或驱动AD[15:8]引脚。随后，会更新低地址以访问其他字节。

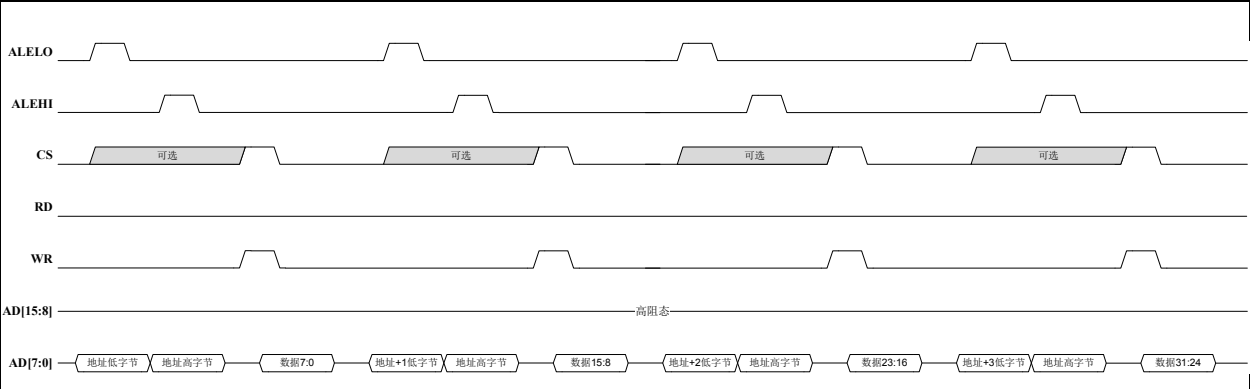
图9-9： 双阶段锁存时的复用寻址（8位读操作，无ALEHI）



8位写操作

地址从AD[7:0]按顺序锁存。接着会写入AD[7:0]。不会使用或驱动AD[15:8]引脚。为双字中的其他字节重复该周期。

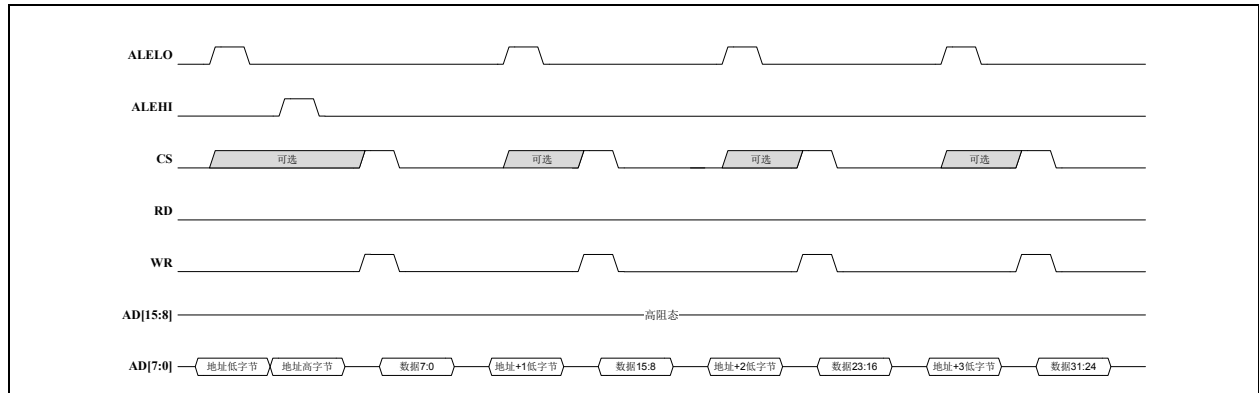
图9-10： 双阶段锁存时的复用寻址（8位写操作）



抑制ALEHI时的8位写操作

地址从AD[7:0]按顺序锁存。接着会写入AD[7:0]。不会使用或驱动AD[15:8]引脚。随后，会更新低地址以访问其他字节。

图9-11： 双阶段锁存时的复用寻址（8位写操作，无ALEHI）

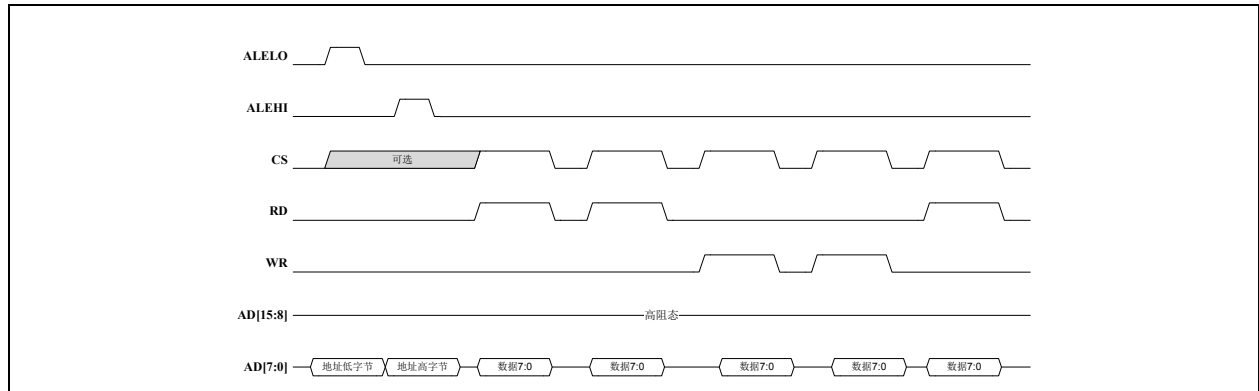


对常量地址的8位读操作和写操作

地址从AD[7:0]按顺序锁存。接着会对AD[7:0]执行读写混合操作。不会使用或驱动AD[15:8]引脚。

注： 通常，需要对同一双字中的四个字节分别执行一次8位读操作，在此期间至少需要通过ALELO更改低地址。对同一个字节执行8位读操作和写操作是一个特例。

图9-12： 双阶段锁存时的复用寻址（对常量地址进行8位读操作和写操作）



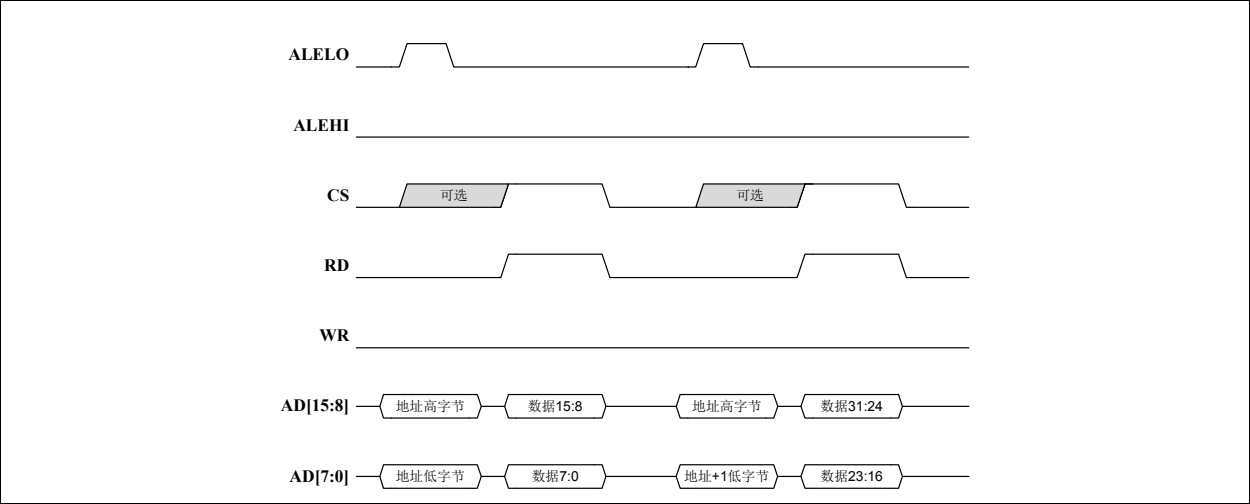
9.4.4.2 单阶段地址锁存

本节中的各图详细描述了单阶段寻址时复用寻址模式下的16位和8位工作模式。

16位读操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会读取AD[15:0]。为双字的另外16位重复该周期。

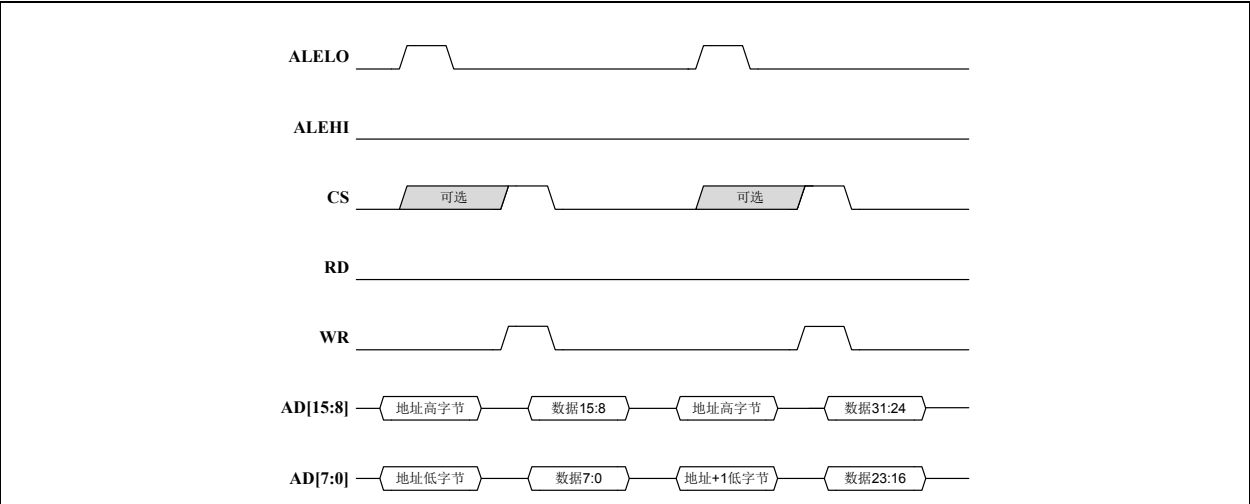
图9-13： 单阶段锁存时的复用寻址（16位读操作）



16位写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会写入AD[15:0]。为双字的另外16位重复该周期。

图9-14： 单阶段锁存时的复用寻址（16位写操作）

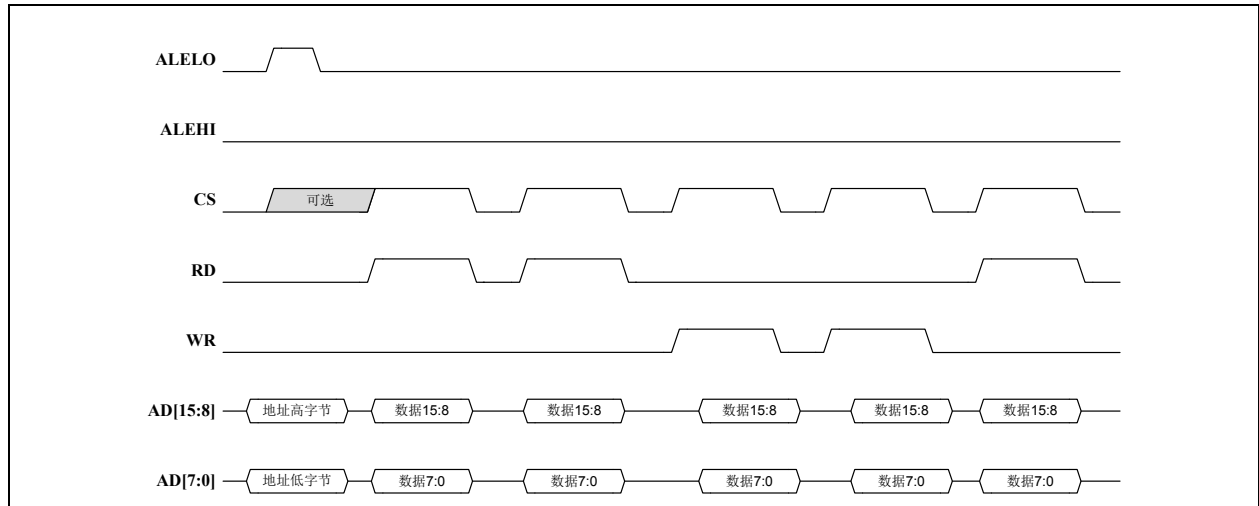


对常量地址的16位读操作和写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会对AD[15:0]执行读写混合操作。

注： 通常，需要对同一双字的两个字分别执行一次16位读操作。对同一个字执行16位读操作和写操作是一个特例。

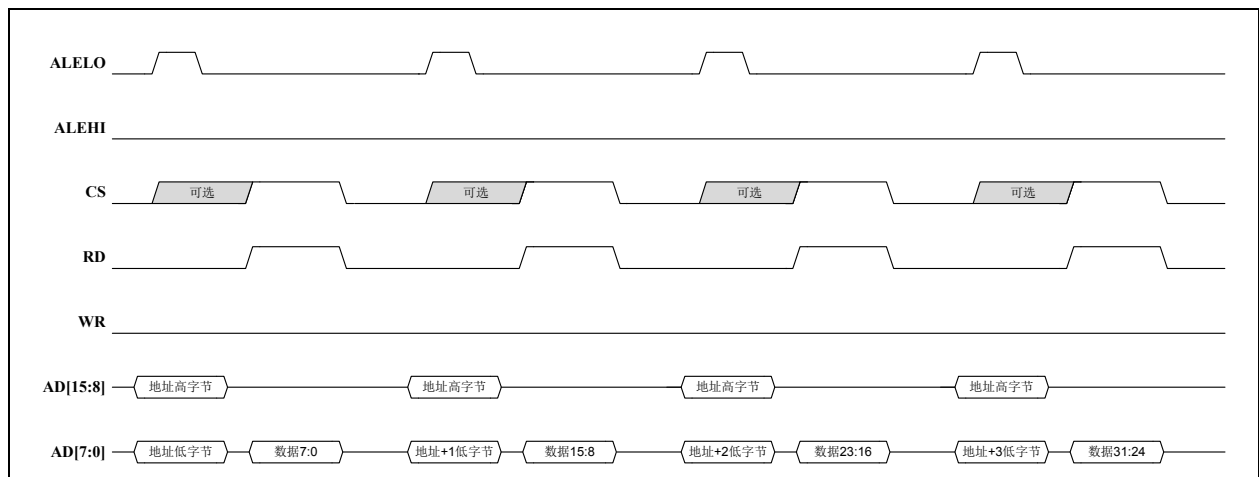
图9-15： 单阶段锁存时的复用寻址（对常量地址进行16位读操作和写操作）



8位读操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会读取AD[7:0]。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。为双字的其他字节重复该周期。

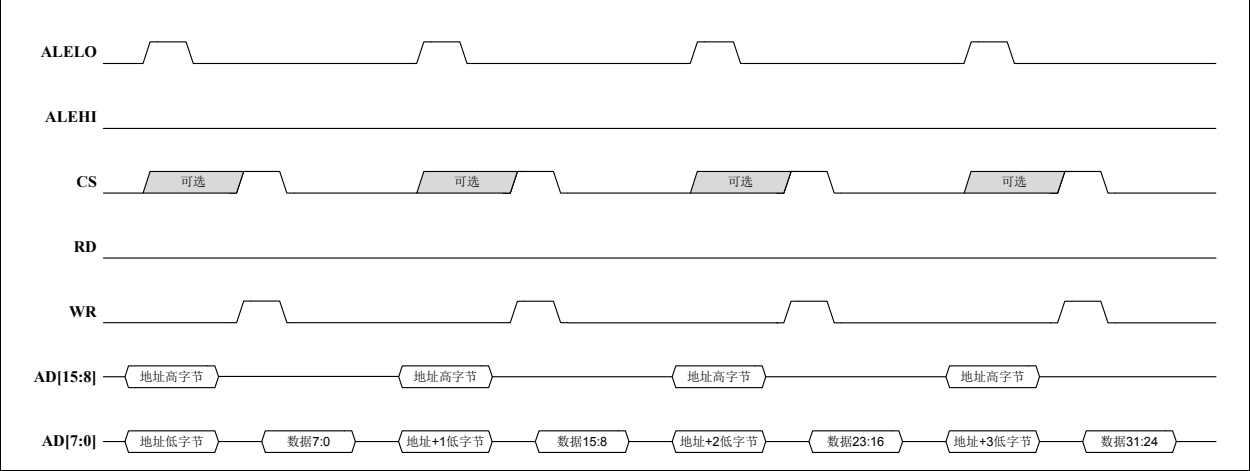
图9-16： 单阶段锁存时的复用寻址（8位读操作）



8位写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会写入AD[7:0]。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。为双字的其他字节重复该周期。

图9-17： 单阶段锁存时的复用寻址（8位写操作）

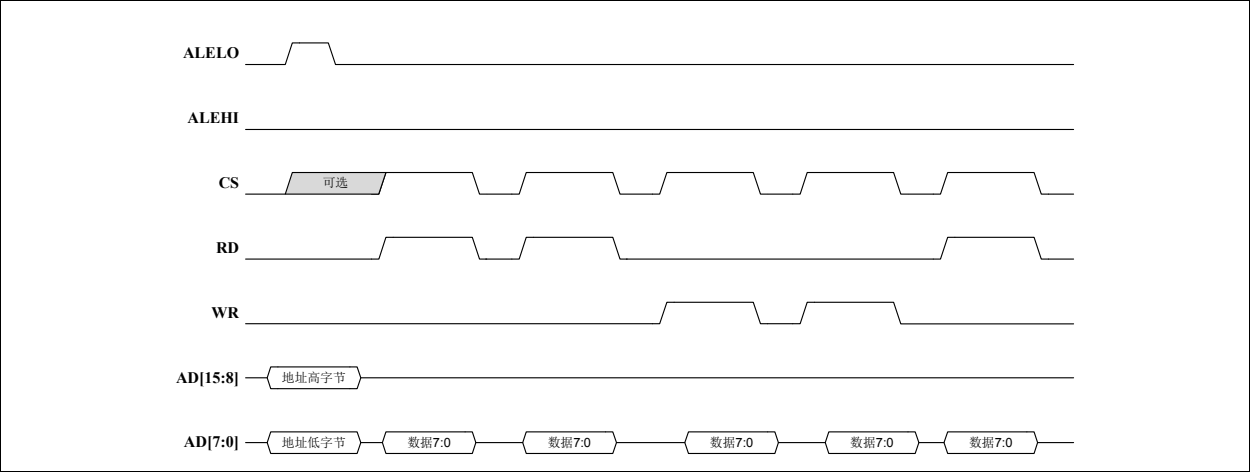


对常量地址的8位读操作和写操作

地址同时从AD[7:0]和AD[15:8]锁存。接着会对AD[7:0]执行读写混合操作。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。

注： 通常，需要对同一双字的四个字节分别执行一次8位读操作。对同一个字节执行8位读操作和写操作是一个特例。

图9-18： 单阶段锁存时的复用寻址（对常量地址进行8位读操作和写操作）



9.4.4.3 RD_WR/ENB控制模式示例

本节中的各图详细描述了利用备用RD_WR和ENB信号时的读操作和写操作。HBI读/写模式可通过PDI配置寄存器（HBI模式）的HBI读/写模式位选择。

注： 本节中的示例详细介绍了双阶段锁存时的16位模式。但是，RD_WR和ENB信号同样可用于所有其他复用寻址工作模式。

在本节的示例中，ENB信号高电平有效，RD_WR信号低电平时用于读操作，高电平时用于写操作。RD_WR和ENB信号的极性可通过PDI配置寄存器（HBI模式）的HBI读取以及读/写极性和HBI写入以及使能极性位选择。

16位

图9-19: 复用寻址RD_WR/ENB控制模式示例（16位读操作）

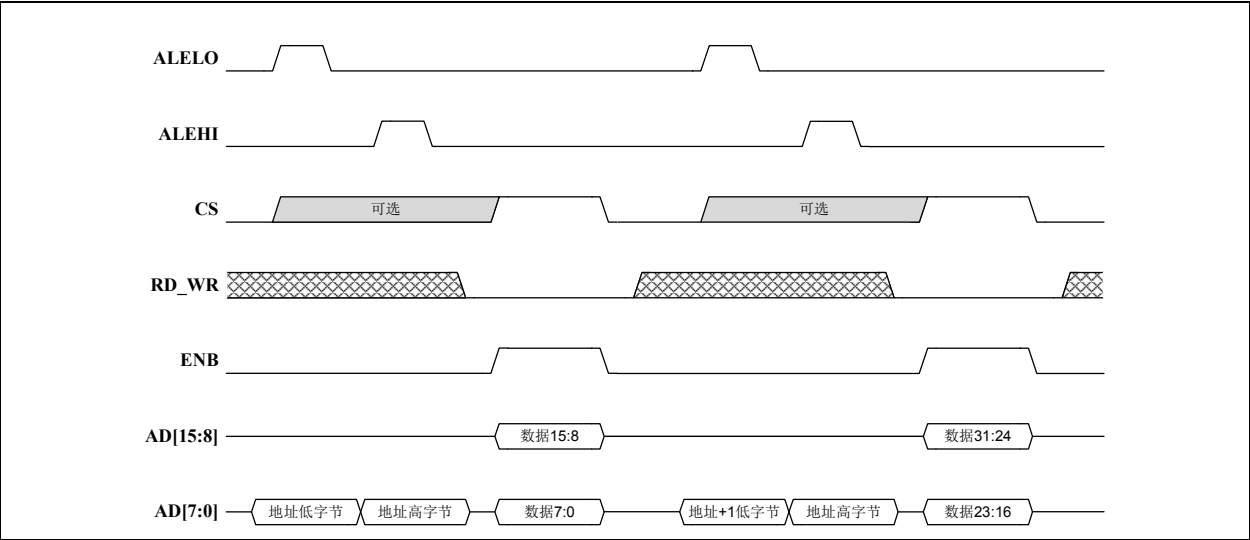
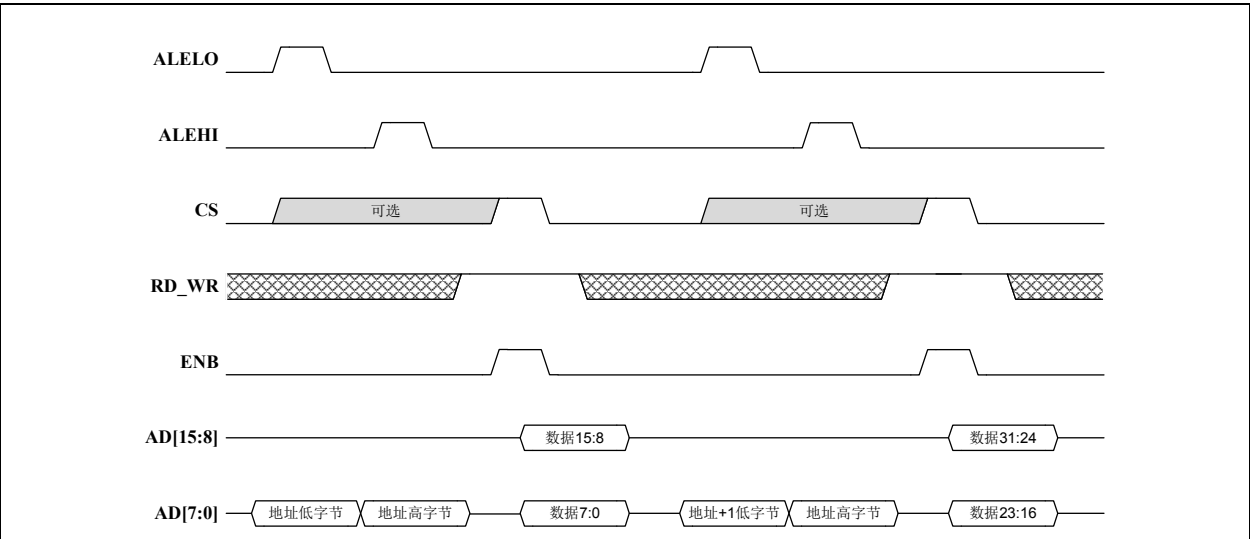


图9-20: 复用寻址RD_WR/ENB控制模式示例（16位写操作）



以下图表规定了复用地址/数据模式期间的时序要求。由于不同操作（例如，双阶段和单阶段，8位和16位）间的时序要求是类似的，因此许多时序要求在相同的图中进行了说明，而不必针对任何特定的功能操作单独说明。

- 本节中的时序图描述了高电平有效的 **ALEHI/ALELO**、**CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。这些信号的极性可分别通过 **PDI配置寄存器**（HBI模式）的 **HBI ALE** 极性、**HBI** 片选极性、**HBI** 读取以及读/写极性和 **HBI** 写入以及使能极性位选择。更多详细信息，请参见第62页上的第9.3节“控制线极性”。
- 可选择通过 **PDI配置寄存器**（HBI模式）的 **HBI ALE** 限定位用 **CS** 信号限定 **ALELO** 和/或 **ALEHI**。这用虚线表示。**ALELO/ALEHI** 和 **CS** 间的时序要求仅适用于该模式有效的情况。
- 在双阶段地址锁存模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的。**ALEHI** 首先用实线表示。**ALELO** 首先用虚线表示。
- 读周期后可能跟着地址周期、写周期或另一个读周期。写周期后可能跟着读周期或另一个写周期。这些用虚线表示。

如果使用**RD**和**WR**信号，当**CS**有效时将**RD**置为有效，主机读周期启动。当将**RD**置为无效时，该周期结束。**CS**可能与**RD**一起置为有效和无效，而并非在**RD**有效期间。

有关功能说明的信息，请参见第68页上的第9.4.4节“复用寻址模式功能时序图”。

The timing diagram illustrates the relationship between various signals during memory access operations. The signals shown are:

- CS**: Chip Select signal.
- ALEHI** and **ALELO**: Address Latch Enable High/Low signals.
- AD[7:0]输入** and **AD[15:8]输入**: Input address buses.
- RD_WR**: Read/Write strobe signal.
- ENB, RD**: Enable and Read signal.
- WR**: Write signal.
- AD[15:8]输出** and **AD[7:0]输出**: Output address buses.

Key timing parameters indicated by arrows include:

- t_{csale} , t_{csrcd} , t_{rdcs} : CS setup, hold, and delay times.
- t_{wale} , t_{aleale} : ALE setup and hold times.
- t_{adrs} , t_{adrh} : Address setup and hold times.
- t_{rdwr} , t_{aldrd} , t_{rd} , t_{rdcyc} , t_{rdrd} : Various delays related to RD and WR signals.
- t_{aledv} , t_{rdon} , t_{cson} , $t_{rd dv}$, t_{csdv} : Delays related to output enable and address drivers.
- t_{rddh} , t_{csdh} , t_{rddz} , t_{csdz} : Delays related to output drivers and tri-state control.

表9-1： 复用寻址读周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{csale}	从CS建立到ALELO和ALEHI有效的时间 注3和注2	0			ns
t_{csrd}	从CS建立到RD或ENB有效的时间	0			ns
t_{rdcs}	RD或ENB无效之后CS的保持时间	0			ns
t_{wale}	ALELO和ALEHI脉冲宽度	10			ns
t_{adrs}	从地址建立到ALELO和ALEHI无效的时间	10			ns
t_{adrh}	ALELO和ALEHI无效之后地址的保持时间	5			ns
t_{aleale}	从ALELO无效到ALEHI有效的时间 从ALEHI无效到ALELO有效的时间 注1和注2	0			ns
t_{alerd}	从ALELO和ALEHI无效到RD或ENB有效的时间 注2	5			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注4	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注4	5			ns
t_{rdon}	从RD或ENB到数据缓冲区开启的时间	0			ns
t_{rddv}	从RD或ENB有效到数据有效的时间			30	ns
t_{rddh}	RD或ENB无效之后数据输出的保持时间	0			ns
t_{rddz}	从RD或ENB无效到数据缓冲区关闭的时间			9	ns
t_{cson}	从CS到数据缓冲区开启的时间	0			ns
t_{csdv}	从CS有效到数据有效的时间			30	ns
t_{csdh}	从CS无效之后数据输出的保持时间	0			ns
t_{csdz}	从CS无效到数据缓冲区关闭的时间			9	ns
t_{aledv}	从ALELO和ALEHI无效到数据有效的时间 注2			35	ns
t_{rd}	RD或ENB的有效时间	32			ns
t_{rdcyc}	RD或ENB的周期时间	45			ns
t_{rdale}	地址阶段之前的RD或ENB无效时间	13			ns
t_{rdrd}	下一个RD或ENB之前的RD或ENB无效时间 注5	13			ns
t_{rdwr}	下一个WR之前的RD无效时间 注5和注6	13			ns

注 1： 双阶段寻址

注 2： 取决于ALEHI/ALELO顺序。

注：时序值在25 pF等效测试负载条件下得出。

有关功能说明的信息，请参见第68页上的第9.4.4节“复用寻址模式功能时序图”。

表9-2: 复用寻址写周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{csale}	从CS建立到ALELO和ALEHI有效的时间 注9和注8	0			ns
t_{cswr}	从CS建立到WR或ENB有效的时间	0			ns
t_{wrCS}	WR或ENB无效之后CS的保持时间	0			ns
t_{wale}	ALELO和ALEHI脉冲宽度	10			ns
t_{adrs}	从地址建立到ALELO和ALEHI无效的时间	10			ns
t_{adrh}	ALELO和ALEHI无效之后地址的保持时间	5			ns
t_{aleale}	从ALELO无效到ALEHI有效的时间 从ALEHI无效到ALELO有效的时间 注7和注8	0			ns
t_{alewr}	从ALELO和ALEHI无效到WR或ENB有效的时间 注8	5			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注10	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注10	5			ns
t_{ds}	从数据建立到WR或ENB无效的时间	7			ns
t_{dh}	WR或ENB无效之后数据的保持时间	0			ns
t_{wr}	WR或ENB的有效时间	32			ns
t_{wrcyc}	WR或ENB的周期时间	45			ns
$t_{wr ale}$	地址阶段之前的WR或ENB无效时间	13			ns
t_{wrwr}	下一个WR或ENB之前的WR或ENB无效时间 注11	13			ns
t_{wrrd}	下一个RD之前的WR无效时间 注11和注12	13			ns

注 7: 双阶段寻址

注 8: 取决于ALEHI/ALELO顺序。

注 9: 通过CS限定ALELO和/或ALEHI。

注 10: RD_WR和ENB信号。

注 11: 未插入地址阶段。

注 12: RD和WR信号。

9.5 变址地址模式

在变址地址模式下，对器件内部寄存器和存储器的访问通过变址和数据寄存器间接映射。所需的内部地址以特定偏移写入器件。写入的值随后用作内部地址，用于访问相关的数据寄存器地址。提供三个变址/数据寄存器组，可实现多线程操作，无需担心某个线程会损坏另一个线程设置的变址。字节顺序可根据变址/数据对配置。为访问FIFO，还提供了另一个数据寄存器。

下面给出了主机地址寄存器映射。在8位数据模式下，主机地址输入（ADDR[4:0]）是字节地址。在16位数据模式下，不提供ADDR0且主机地址输入（ADDR[4:1]）是字地址。

按照下面的第9.5.5.1节“变址寄存器旁路FIFO访问”所述，当读取或写入地址18h-1Bh时，会访问EtherCAT过程RAM数据FIFO。

表 9-3： 主机总线接口变址地址模式寄存器映射

字节地址	符号	寄存器名称
00h-03h	HBI_IDX_0	主机总线接口变址寄存器0
04h-07h	HBI_DATA_0	主机总线接口数据寄存器0
08h-0Bh	HBI_IDX_1	主机总线接口变址寄存器1
0Ch-0Fh	HBI_DATA_1	主机总线接口数据寄存器1
10h-13h	HBI_IDX_2	主机总线接口变址寄存器2
14h-17h	HBI_DATA_2	主机总线接口数据寄存器2
18h-1Bh	PROCESS_RAM_FIFO	过程RAM写数据FIFO 过程RAM读数据FIFO
1Ch-1Fh	HBI_CFG	主机总线接口配置寄存器

9.5.1 主机总线接口变址寄存器

变址寄存器可按字或字节写入，具体取决于数据模式。写入这些寄存器时，无需考虑双字汇编规则。变址寄存器的格式如下：

位	说明	类型	默认值
31:16	保留	RO	-
15:0	内部地址 访问相应数据寄存器时使用的地址。 注： 每个变址寄存器提供的内部地址始终被视为字节地址。	R/W	1234h 注 13

注 13： 默认值可用于帮助确定寄存器的字节顺序。

9.5.2 主机总线接口配置寄存器

HBI配置寄存器用于指定接口的字节顺序。每个变址/数据对和FIFO访问的字节顺序可单独指定。

该寄存器的字节顺序是不相干的，因为每个字节都投影到4个位置。

HBI配置寄存器可按字或字节写入，具体取决于数据模式。写入该寄存器时，无需考虑双字汇编规则。配置寄存器的格式如下：

位	说明	类型	默认值
31:28	保留	RO	-
27	FIFO字节顺序影子3 该位是bit 3的影子。	R/W	0b
26	主机总线接口变址/数据寄存器2字节顺序影子3 该位是bit 2的影子。	R/W	0b
25	主机总线接口变址/数据寄存器1字节顺序影子3 该位是bit 1的影子。	R/W	0b
24	主机总线接口变址/数据寄存器0字节顺序影子3 该位是bit 0的影子。	R/W	0b
23:20	保留	RO	-
19	FIFO字节顺序影子2 该位是bit 3的影子。	R/W	0b
18	主机总线接口变址/数据寄存器2字节顺序影子2 该位是bit 2的影子。	R/W	0b
17	主机总线接口变址/数据寄存器1字节顺序影子2 该位是bit 1的影子。	R/W	0b
16	主机总线接口变址/数据寄存器0字节顺序影子2 该位是bit 0的影子。	R/W	0b
15:12	保留	RO	-
11	FIFO字节顺序影子1 该位是bit 3的影子。	R/W	0b
10	主机总线接口变址/数据寄存器2字节顺序影子1 该位是bit 2的影子。	R/W	0b

LAN9252

位	说明	类型	默认值
9	主机总线接口变址/数据寄存器1字节顺序影子1 该位是bit 1的影子。	R/W	0b
8	主机总线接口变址/数据寄存器0字节顺序影子1 该位是bit 0的影子。	R/W	0b
7:4	保留	RO	-
3	FIFO 字节顺序 该位用于指定通过变址/数据寄存器以外的方法访问FIFO时的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 3、bit 11、bit 19和bit 27进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b
2	主机总线接口变址/数据寄存器2字节顺序 该位用于指定变址和数据寄存器组2的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 2、bit 10、bit 18和bit 26进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b
1	主机总线接口变址/数据寄存器1字节顺序 该位用于指定变址和数据寄存器组1的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 1、bit 9、bit 17和bit 25进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b
0	主机总线接口变址/数据寄存器0字节顺序 该位用于指定变址和数据寄存器组0的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 0、bit 8、bit 16和bit 24进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b

9.5.3 变址和配置寄存器数据访问

主机数据总线可以为16位宽或8位宽。HBI变址寄存器和HBI配置寄存器为32位宽，可以按字或字节写入，具体取决于数据模式。它们不存在也不需要字/字节到双字的转换。

9.5.3.1 写周期

当CS和WR有效时（或当ENB有效且RD_WR指示写操作时）将发生写周期。

在写周期的后沿（WR、CS或ENB变为无效），主机数据将被捕捉到配置寄存器或其中一个变址寄存器中。

根据总线宽度的不同，写入的数据可以是字或字节。受影响的字或字节由寄存器的字节顺序（在[主机总线接口配置寄存器](#)中指定）和低地址输入确定。不支持单字节访问（16位数据模式下）。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至执行读周期以后。

功耗管理期间以及功耗管理之后的写操作

D0以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至执行读周期以后。

9.5.3.2 读周期

当CS和RD有效时（或当ENB有效且RD_WR指示读操作时），将发生读周期。直接通过主机总线使用主机地址。

在读周期开始时，会选择相应的寄存器，其中的数据会被驱动到数据引脚上。根据总线宽度的不同，读取的数据可以是字或字节。对于8位或16位数据模式，返回的字节或字由寄存器的字节顺序（在[主机总线接口配置寄存器](#)中指定）和主机低地址输入确定。

9.5.4 内部寄存器数据访问

主机数据总线可以是16位或8位宽，而所有内部寄存器均是32位宽。在8位或16位数据模式下，主机总线接口执行字/字节到双字的转换。要执行写操作或读操作，需要在同一双字中执行两次或四次访问。

进行FIFO直接地址访问时，每个数据寄存器都会单独执行字/字节到双字的转换。可对这些寄存器（以及HBI变址和配置寄存器）进行混合访问，而无需担心数据损坏。

9.5.4.1 写周期

当CS和WR有效时（或当ENB有效且RD_WR指示写操作时）将发生写周期。来自主机总线的主机地址用于选择其中一个变址寄存器的内容。此操作的结果在写周期的前沿被捕捉。

来自主机总线的主机地址输入也在写周期的前沿被捕捉。这些输入用于递增相应的写字节/字计数器（对于下述8位或16位数据模式）以及选择正确的双字汇编寄存器。

在写周期的后沿（WR、CS或ENB变为无效），主机数据将被捕捉到其中一个数据寄存器中。根据总线宽度的不同，捕捉的数据可以是字或字节。对于8位或16位数据模式，其作用为双字汇编，受影响的字或字节由主机低地址输入确定。字节交换也在此时基于寄存器的字节顺序（在[主机总线接口配置寄存器](#)中指定）完成。

注： 对于三个数据寄存器中的任意一个以及FIFO访问，都有单独的写字节/字计数器和双字汇编寄存器。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至执行读周期以后。

功耗管理期间以及功耗管理之后的写操作

D0以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至执行读周期以后。

8位和16位访问

在8位或16位数据模式下，主机需要执行两次16位/四次8位写操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字/字节，前提是对其余的字或字节执行额外的写操作。

注： 向同一双字写入相同的字或字节会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

使用两个变址/数据寄存器对访问同一内部寄存器会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

对同一数据寄存器进行读写混合操作会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

写字节/字计数器会保持跟踪写操作次数。每个数据寄存器都有自己的字节/字计数器。在写周期的后沿，相应的计数器（基于上述捕捉的主机地址）递增。所有写操作均发生后，便会对通过上述捕捉的地址所选择的内部寄存器执行32位写操作。写入的数据基于上述捕捉的主机地址从三个双字汇编寄存器中选择。

如果功耗管理模式设置为D0以外的任何模式，则所有写字节/字计数器均复位。

9.5.4.2 读周期

当CS和RD有效时（或当ENB有效且RD_WR指示读操作时），将发生读周期。来自主机总线的主机地址用于选择其中一个变址寄存器的内容。该操作的结果用于选择要读取的内部寄存器，并且也在读周期的前沿被捕捉。

来自主机总线的主机地址输入也在读周期的前沿被捕捉。这些输入用于递增相应的读字节/字计数器（对于下述8位或16位数据模式）。

在读周期开始时，会选择相应的寄存器，其中的数据会被驱动到数据引脚上。根据总线宽度的不同，读取的数据可以是字或字节。对于8位或16位数据模式，返回的字节或字由数据寄存器的字节顺序（在[主机总线接口配置寄存器](#)中指定）和主机低地址输入确定。

注： 对于三个数据寄存器中的任意一个以及FIFO访问，都有单独的读字节/字计数器。

初始化完成的轮询

器件初始化之前，HBI将不会返回有效数据。要确定HBI何时工作，首先应轮询主机总线接口变址寄存器0，然后应轮询[字节顺序测试寄存器（BYTE_TEST）](#)。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询[硬件配置寄存器（HW_CFG）](#)的器件就绪（READY）位来确定器件何时完全配置。

功耗管理期间以及功耗管理之后的读操作

在D0以外的任何功耗管理模式期间，来自主机总线的读操作都将被忽略。如果功耗管理模式在有效读周期期间切换回D0，则读周期的尾端将被忽略。内部寄存器不受影响，HBI的状态不会改变。

8位和16位访问

对于某些寄存器访问，主机需要执行两次连续的16位/四次连续的8位读操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字或字节，前提是对其余的字或字节执行额外的读操作。

注： 从同一双字读取相同的字或字节会引发未定义或不需要的操作。HBI 硬件不会阻止该操作。HBI 仅计数是否已完成四次字节读操作。

使用两个变址/数据寄存器对访问同一内部寄存器会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

对同一数据寄存器进行读写混合操作会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

读字节/字计数器保持跟踪读操作次数。每个数据寄存器都有自己的字节/字计数器。这些计数器与上述写计数器是相互独立的。在读周期的后沿，相应的计数器（基于上述捕捉的主机地址）递增。在最后一次读取双字时，会执行内部读操作以更新任何“读取时更改”CSR。

如果功耗管理模式设置为D0以外的任何模式，则所有读字节/字计数器均复位。

特殊CSR处理

即时位

任何由硬件事件更新的寄存器位均从读周期开始时保持不变，以防止该位在读周期期间发生更改。

16位或8位模式下的多字节/字即时寄存器

一些内部寄存器具有跨越多个字节或字的“即时”字段或相关字段。对于16位和8位数据读操作，这些字段的值可能在各主机读周期之间发生更改。为避免读取中间值，这些寄存器在读取第一个字节或字时锁定，在读取最后一个字节或字时解锁。

如果功耗管理模式设置为D0以外的任何模式，则寄存器将解锁。

“读取时更改”寄存器和FIFO

FIFO或“读取时更改”寄存器在读周期结束时更新。

对于16位和8位模式，最后一个字节或字仅指示和发生一个内部读周期。

“读取时更改”即时寄存器位

如上文所述，具有即时位的寄存器从读周期开始时保持不变，另外具有跨越字节或字的多个位的寄存器在16位和8位访问时锁定。虽然保持不变或锁定期间发生的硬件事件仍会更新即时位，但即时位仅在读周期结束时才会受影响（例如，被清零）且硬件事件会丢失。

为了避免这种情况，各个CSR会将硬件事件更新延迟至读操作或多次读操作之后。

复位或初始化期间的寄存器轮询

一些寄存器支持在复位或器件初始化期间轮询，以确定何时可访问器件。对于这些寄存器，只可执行一次读操作，而无需读取其他字或字节。寄存器的同一字节或字可反复重读。

支持16位或8位读取或者可在复位或器件初始化期间读取的寄存器在其寄存器说明中进行了注释。

9.5.4.3 主机字节顺序

器件支持大尾数法和小尾数法两种主机字节顺序，具体取决于**主机总线接口配置寄存器**中的字节顺序位。当相应的字节顺序位为低电平时，主机访问为小尾数法；当相应的字节顺序位为高电平时，主机访问为大尾数法。每个变址/数据对以及FIFO直接选择访问均指定字节顺序。

所有内部总线均为32位，并且采用小尾数法的字节顺序。主机总线接口的内部逻辑基于相应的字节顺序位以及最低有效地址线（ADDR[1:0]）的状态重新排列字节的顺序。

第88页上的图9-23：小尾数法顺序和第89页上的图9-24：大尾数法顺序给出了支持的字节顺序配置的数据路径操作以及数据总线大小。

图9-23： 小尾数法顺序

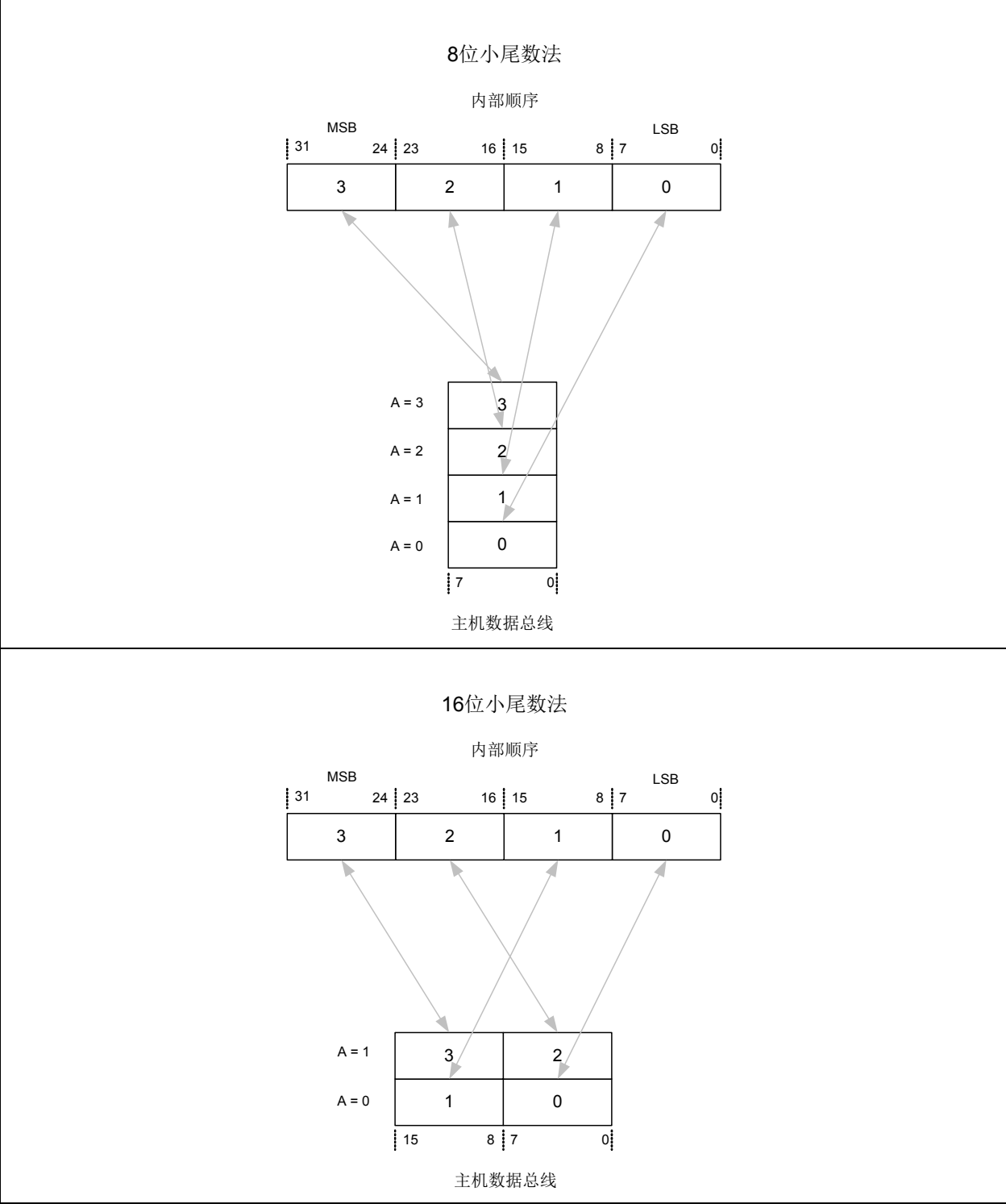
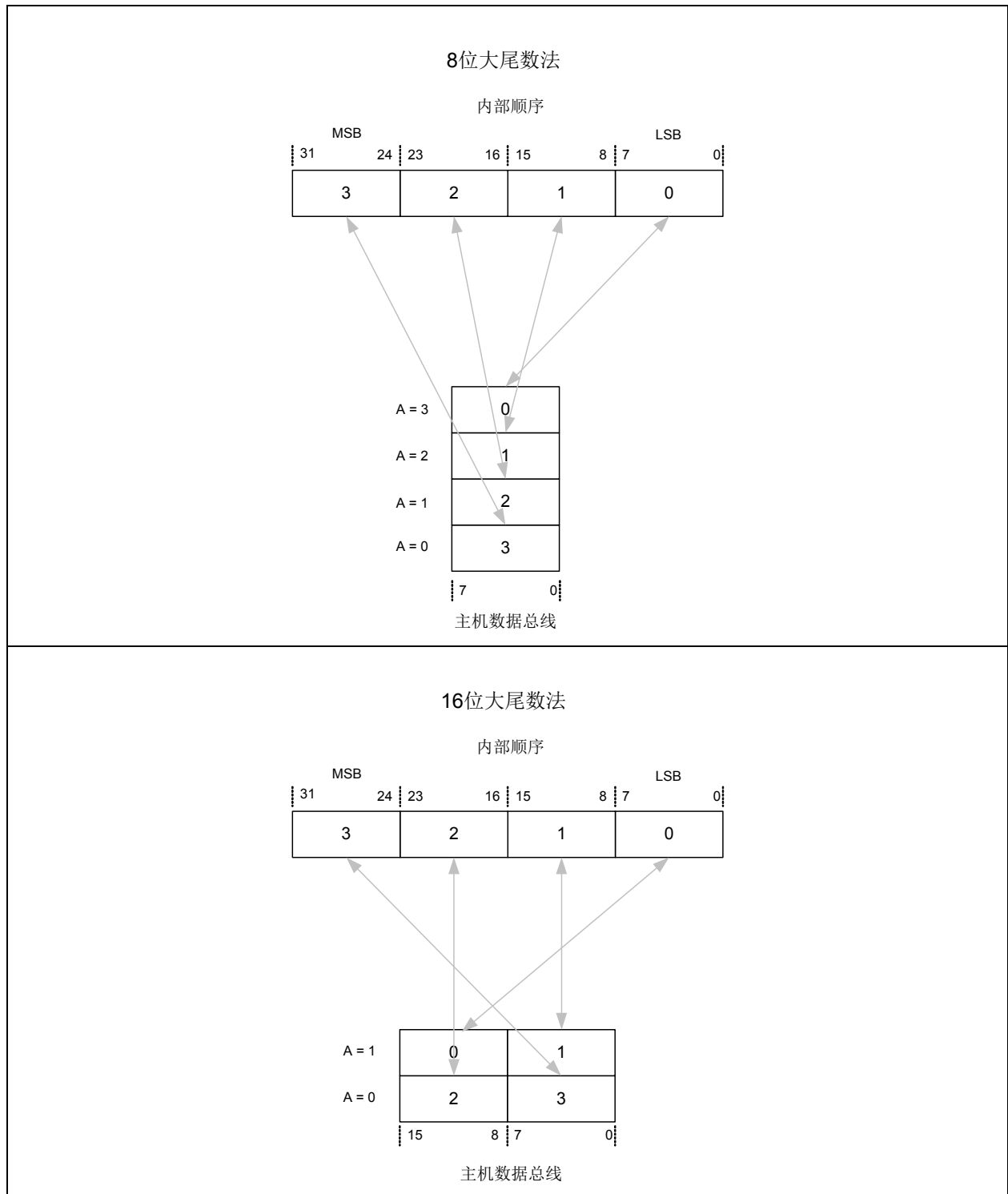


图9-24： 大尾数法顺序



9.5.5 ETHERCAT 过程RAM数据FIFO访问

9.5.5.1 变址寄存器旁路FIFO访问

除了变址访问外，还可旁路变址寄存器并在地址18h-1Bh处访问FIFO。在该地址处，将对EtherCAT过程RAM写数据FIFO执行主机写操作，并对EtherCAT过程RAM读数据FIFO执行主机读操作。没有相关的变址寄存器。

该FIFO访问方法的字节顺序由主机总线接口配置寄存器中的FIFO字节顺序位指定。

9.5.6 变址寻址模式功能时序图

以下各时序图给出了不同配置和总线大小条件下的示例变址（非复用）寻址模式读写周期。这些图并未涵盖支持的所有主机总线排列，但可选用于详细介绍变址寻址工作模式下的主要配置差异（总线大小和配置/变址/数据/FIFO直接周期）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了高电平有效的CS、RD和WR信号。这些信号的极性可分别通过PDI配置寄存器的HBI片选极性、HBI读取以及读/写极性和HBI写入以及使能极性位选择。更多详细信息，请参见第62页上的第9.3节“控制线极性”。
- 本节中的时序图描述了小尾数法的字节顺序。但通过主机总线接口配置寄存器中的字节顺序位，支持可配置的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见第87页上的第9.5.4.3节“主机字节顺序”。
- 本节中的时序图利用RD和WR信号，另外还支持备用的RD_WR和ENB信号，与第9.4.4.3节“RD_WR/ENB控制模式示例”中的复用示例类似。HBI读/写模式可通过PDI配置寄存器的HBI读/写模式位选择。RD_WR和ENB信号的极性可通过PDI配置寄存器的HBI读取以及读/写极性和HBI写入以及使能极性位配置。
- 在16位或8位模式下访问内部寄存器或FIFO时，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（一些内部寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。

9.5.6.1 配置寄存器数据访问

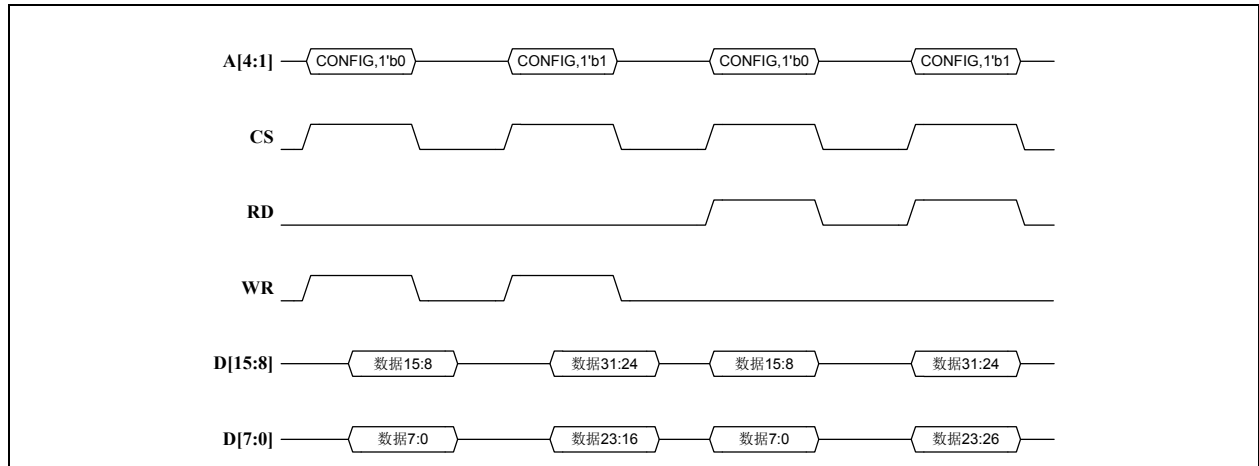
本节中的各图详细描述了变址寻址模式下对配置寄存器的16位和8位模式读操作和写操作。

16位读操作和写操作

对于写操作，地址设置为访问配置寄存器的低位字。D[15:0]上的数据在WR的后沿写入。如果主机需要，可为配置寄存器的高位字重复该周期。

对于读操作，地址设置为访问配置寄存器的低位字。在RD有效期间，读取的数据驱动到D[15:0]上。如果主机需要，可为配置寄存器的高位字重复该周期。

图9-25: 变址寻址配置寄存器访问（16位写操作/读操作）

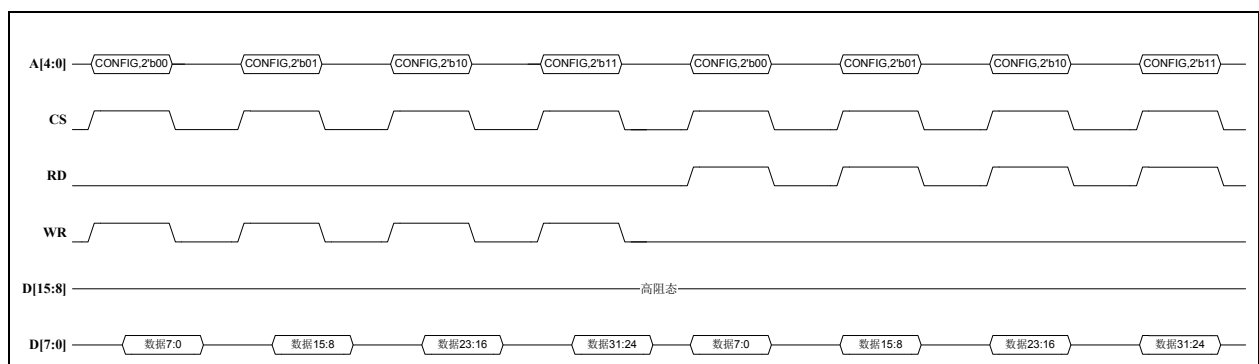


8位读操作和写操作

对于写操作，地址设置为访问配置寄存器的低字节。D[7:0]上的数据在WR的后沿写入。不会使用或驱动D[15:8]引脚。如果主机需要，可为配置寄存器的其余字节重复该周期。

对于读操作，地址设置为访问配置寄存器的低字节。在RD有效期间，读取的数据驱动到D[7:0]上。不会使用或驱动D[15:8]引脚。如果主机需要，可为配置寄存器的其余字节重复该周期。

图9-26: 变址寻址配置寄存器访问（8位写操作/读操作）



9.5.6.2 变址寄存器数据访问

本节中的各图详细描述了变址寻址模式下对变址寄存器的16位和8位模式读操作和写操作。

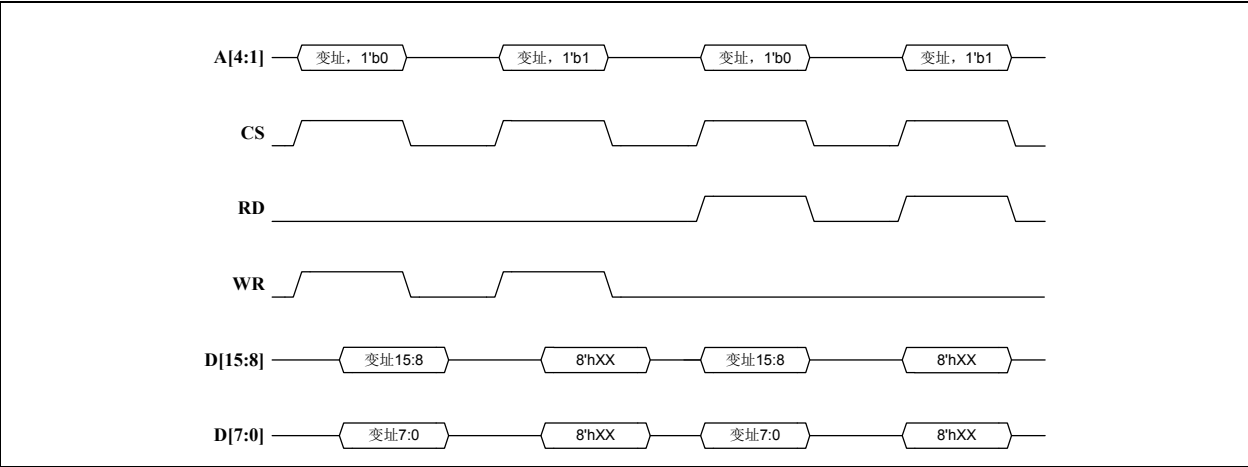
16位读操作和写操作

对于写操作，地址设置为访问其中一个变址寄存器的低位字。D[15:0]上的数据在WR的后沿写入。如果主机需要，可为变址寄存器的高位字重复该周期。

对于读操作，地址设置为访问其中一个变址寄存器的低位字。在RD有效期间，读取的数据驱动到D[15:0]上。如果主机需要，可为变址寄存器的高位字重复该周期。

注： 变址寄存器的高位字保留且无关。因此，对该字的读操作和写操作不起作用。

图9-27： 变址寻址变址寄存器访问（16位写操作/读操作）



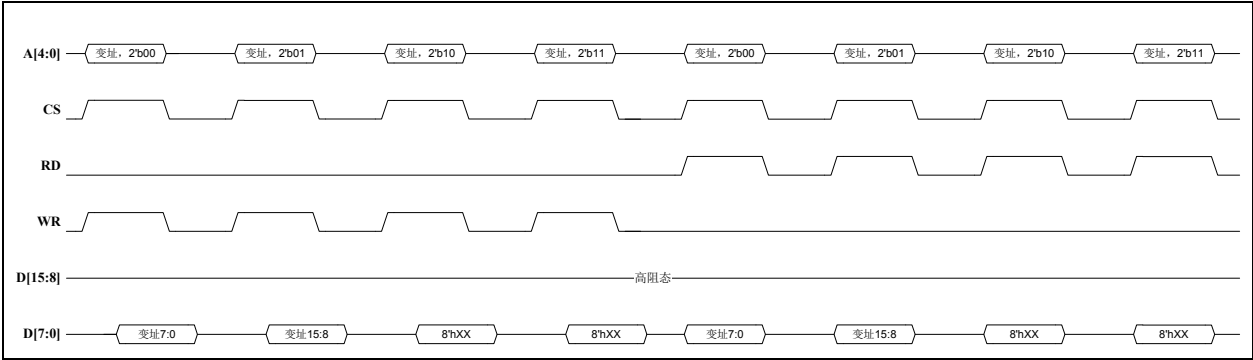
8位读操作和写操作

对于写操作，地址设置为访问其中一个变址寄存器的低字节。D[7:0]上的数据在WR的后沿写入。不会使用或驱动D[15:8]引脚。如果主机需要，可为变址寄存器的其余字节重复该周期。

对于读操作，地址设置为访问其中一个变址寄存器的低字节。在RD有效期间，读取的数据驱动到D[7:0]上。不会使用或驱动D[15:8]引脚。如果主机需要，可为变址寄存器的其余字节重复该周期。

注： 变址寄存器的高位字保留且无关。因此，对这些字节的读操作和写操作不起作用。

图9-28： 变址寻址变址寄存器访问（8位写操作/读操作）



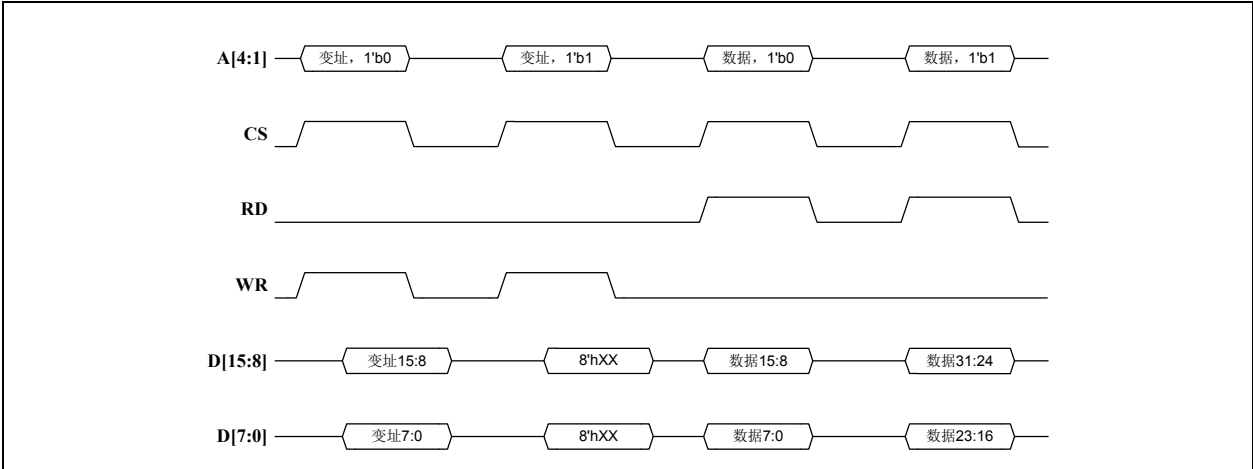
9.5.6.3 内部寄存器数据访问

本节中的各图详细描述了变址寻址模式下对典型内部寄存器的16位和8位模式数据读周期和写周期。其中包括一个变址寄存器写周期，后跟一个数据读周期或写周期。

16位读操作

其中一个变址寄存器按上述方式设置。地址随后设置为访问相应的数据寄存器的低位字。在RD有效期间，读取的数据驱动到D[15:0]上。为数据寄存器的高位字重复该周期。

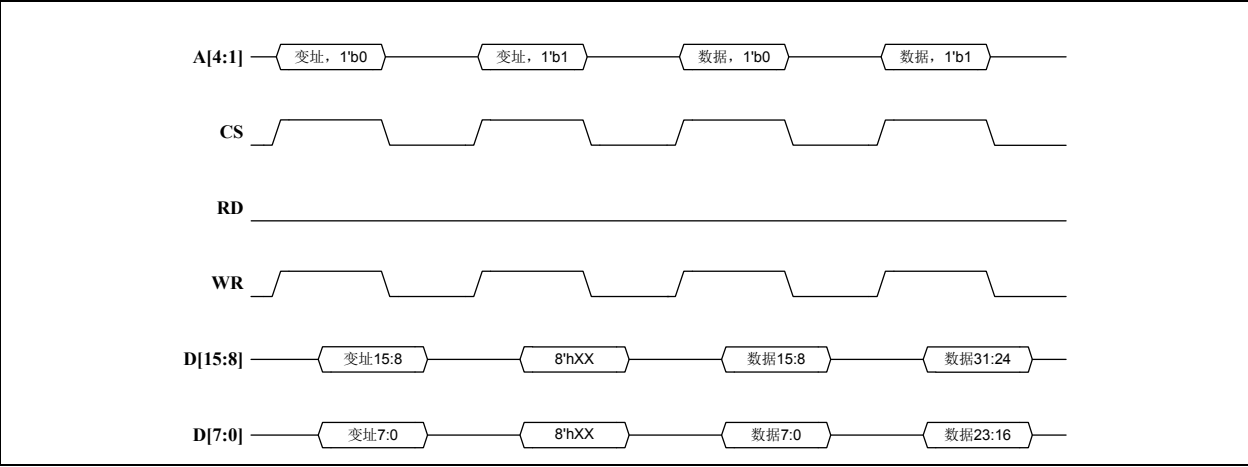
图9-29： 变址寻址内部寄存器数据访问（16位读操作）



16 位写操作

其中一个变址寄存器按上述方式设置。地址随后设置为访问相应的数据寄存器。D[15:0] 上的数据在WR 的后沿写入。为数据寄存器的高位字重复该周期。

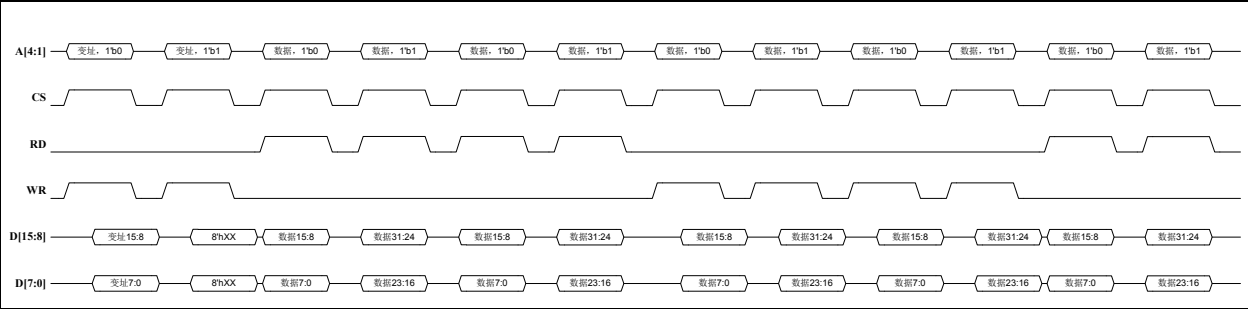
图9-30： 变址寻址内部寄存器数据访问（16 位写操作）



对内部常量地址的 16 位读操作和写操作

其中一个变址寄存器按上述方式设置。接着对 D[15:0] 执行读写混合操作，每次读/写操作包含对相应数据寄存器的低位字和高位字的访问。

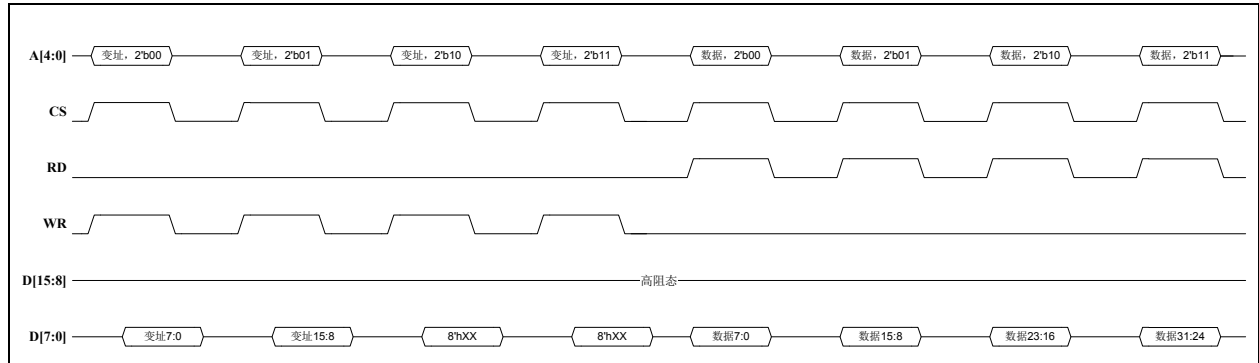
图9-31： 变址寻址内部寄存器数据访问（对常量地址进行 16 位读操作/写操作）



8位读操作

其中一个变址寄存器按上述方式设置。地址随后设置为访问相应数据寄存器的低字节。在**RD**有效期间，读取的数据驱动到**D[7:0]**上。不会使用或驱动**D[15:8]**引脚。为数据寄存器的其余字节重复该周期。

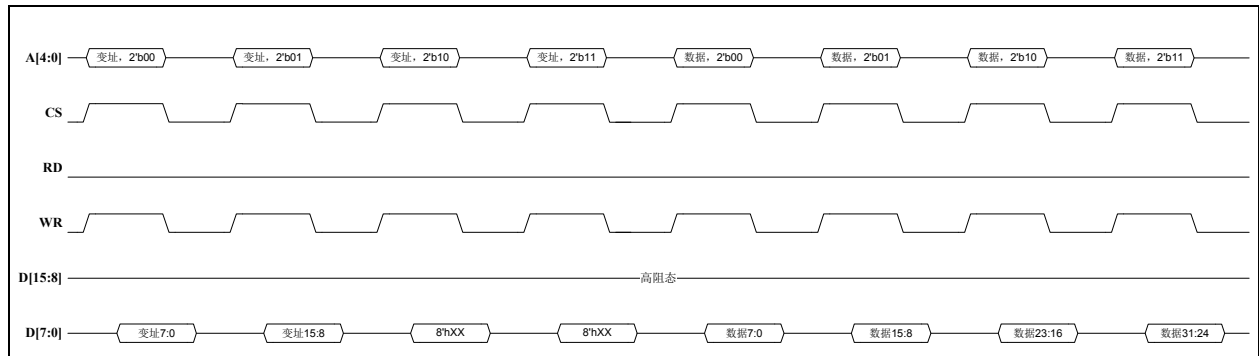
图9-32: 变址寻址内部寄存器数据访问（8位读操作）



8位写操作

其中一个变址寄存器按上述方式设置。地址随后设置为访问相应的数据寄存器。**D[7:0]**上的数据在**WR**的后沿写入。不会使用或驱动**D[15:8]**引脚。为数据寄存器的其余字节重复该周期。

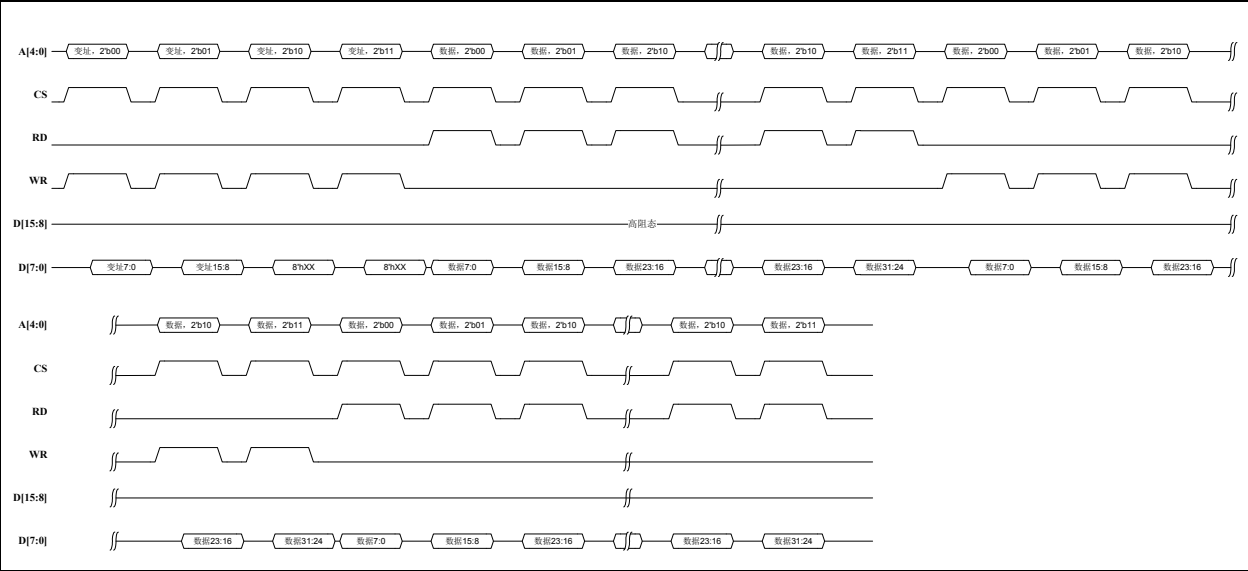
图9-33: 变址寻址内部寄存器数据访问（8位写操作）



对内部常量地址的8位读操作和写操作

其中一个变址寄存器按上述方式设置。接着对D[7:0]执行读写混合操作，每次读/写操作包含对相应数据寄存器全部四个字节的访问。

图9-34： 变址寻址内部寄存器数据访问（对常量地址进行8位读操作/写操作）



9.5.6.4 RD_WR/ENB控制模式示例

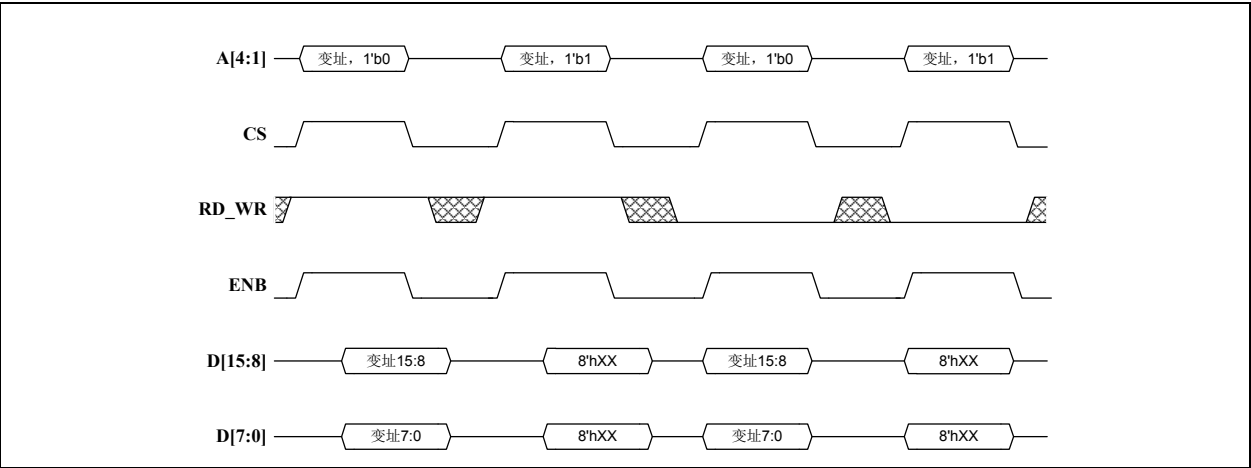
本节中的各图详细描述了利用备用RD_WR和ENB信号时的读操作和写操作。HBI读/写模式可通过PDI配置寄存器（HBI模式）的HBI读/写模式位选择。

注： 本节中的示例详细介绍了访问变址寄存器时的16位模式。但是，RD_WR和ENB信号同样可用于所有其他访问（包括FIFO直接选择访问）。

在本节的示例中，ENB信号高电平有效，RD_WR信号低电平时用于读操作，高电平时用于写操作。RD_WR和ENB信号的极性可通过PDI配置寄存器（HBI模式）的HBI读取以及读/写极性和HBI写入以及使能极性位选择。

16 位

图9-35: 变址寻址RD_WR/ENB控制模式示例（16位写操作/读操作）



9.5.7 变址寻址模式时序要求

以下图表规定了变址寻址模式期间的时序要求。由于不同操作（例如，8位和16位，变址、配置和数据寄存器，FIFO直接选择）间的时序要求是类似的，因此许多时序要求在相同的图中进行了说明，而不必针对任何特定的功能操作单独说明。

对于本节中的时序规范，应注意以下几点：

- 本节中的时序图描述了高电平有效的CS、RD、WR、RD_WR和ENB信号。这些信号的极性可分别通过PDI配置寄存器（HBI模式）的HBI片选极性、HBI读取以及读/写极性和HBI写入以及使能极性位选择。更多详细信息，请参见第62页上的第9.3节“控制线极性”。
- 读周期后可能跟着写周期或另一个读周期。写周期后可能跟着读周期或另一个写周期。这些用虚线表示。

9.5.7.1 读时序要求

如果使用RD和WR信号，当CS有效时将RD置为有效，主机读周期启动。当将RD置为无效时，该周期结束。CS可能与RD一起置为有效和无效，而并非在RD有效期间。

或者，如果使用RD_WR和ENB信号，当CS有效时将ENB置为有效且RD_WR指示读操作时，主机读周期启动。当将ENB置为无效时，该周期结束。CS可能与ENB一起置为有效和无效，而并非在ENB有效期间。

有关功能说明的信息，请参见第90页上的第9.5.6节“变址寻址模式功能时序图”。

图9-36： 变址寻址读周期时序

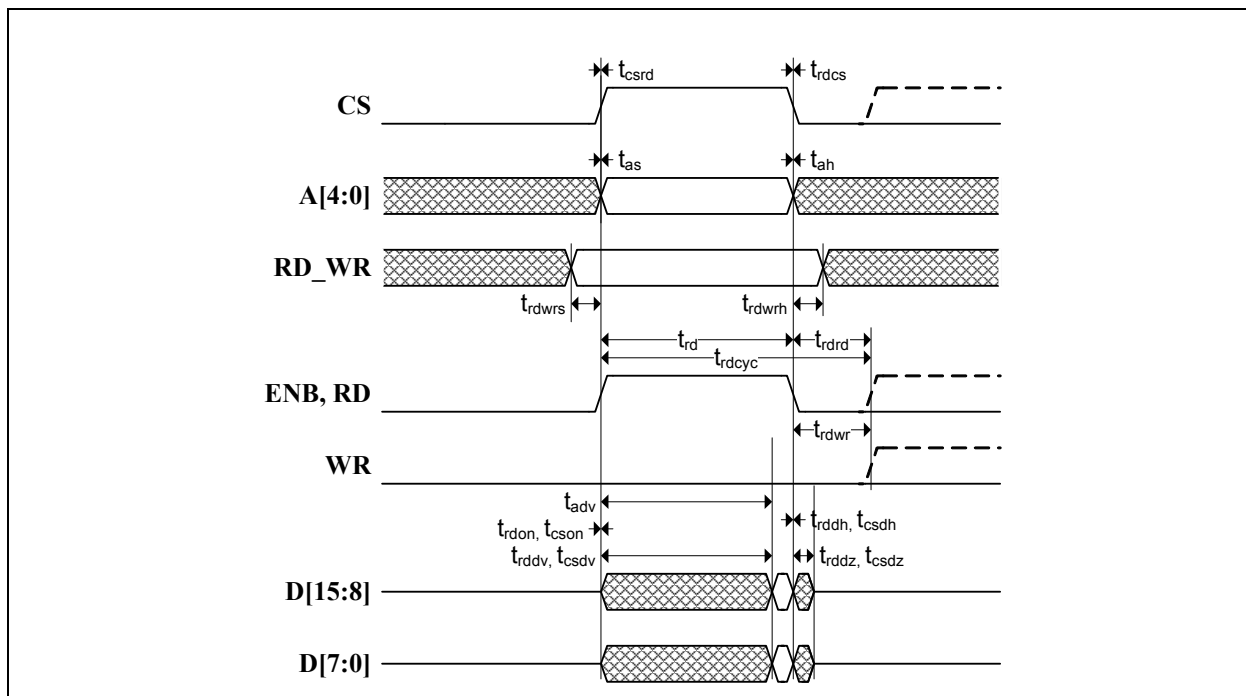


表9-4: 变址寻址读周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{csrd}	从CS建立到RD或ENB有效的时间	0			ns
t_{rdcs}	RD或ENB无效之后CS的保持时间	0			ns
t_{as}	从地址建立到RD或ENB有效的时间	0			ns
t_{ah}	RD或ENB无效之后地址的保持时间	0			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注 14	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注 14	5			ns
t_{rdon}	从RD或ENB到数据缓冲区开启的时间	0			ns
t_{rddv}	从RD或ENB有效到数据有效的时间			30	ns
t_{rddh}	RD或ENB无效之后数据输出的保持时间	0			ns
t_{rddz}	从RD或ENB无效到数据缓冲区关闭的时间			9	ns
t_{cson}	从CS到数据缓冲区开启的时间	0			ns
t_{csdv}	从CS有效到数据有效的时间			30	ns
t_{csdh}	从CS无效之后数据输出的保持时间	0			ns
t_{csdz}	从CS无效到数据缓冲区关闭的时间			9	ns
t_{adv}	从地址到数据有效的时间			30	ns
t_{rd}	RD或ENB的有效时间	32			ns
t_{rdcyc}	RD或ENB的周期时间	45			ns
t_{rdrd}	下一个RD或ENB之前的RD或ENB无效时间	13			ns
t_{rdwr}	下一个WR之前的RD无效时间 注 15	13			ns

注 14: RD_WR和ENB信号。

注 15: RD和WR信号。

注: 时序值在25 pF等效测试负载条件下得出。

9.5.7.2 写时序要求

如果使用**RD**和**WR**信号，当**CS**有效时将**WR**置为有效，主机写周期启动。当将**WR**置为无效时，该周期结束。**CS**可能与**WR**一起置为有效和无效，而并非在**WR**有效期间。

或者，如果使用**RD_WR**和**ENB**信号，当**CS**有效时将**ENB**置为有效且**RD_WR**指示写操作时，主机写周期启动。当将**ENB**置为无效时，该周期结束。**CS**可能与**ENB**一起置为有效和无效，而并非在**ENB**有效期间。

有关功能说明的信息，请参见第90页上的第9.5.6节“变址寻址模式功能时序图”。

图9-37： 变址寻址写周期时序

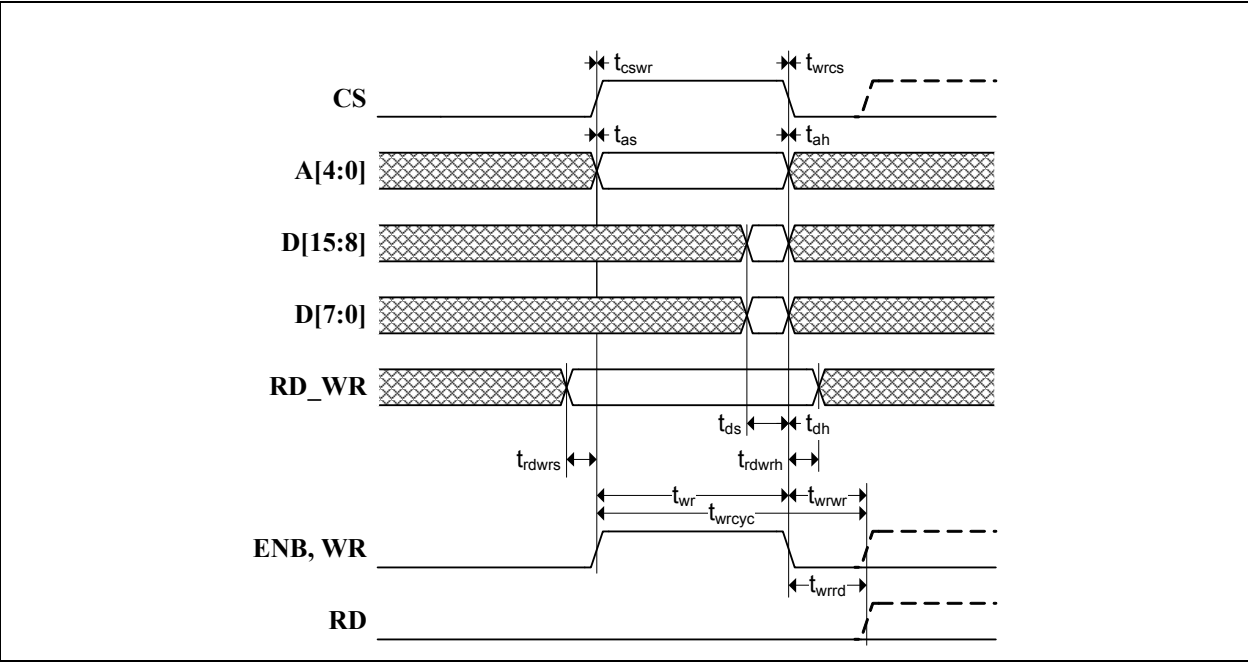


表9-5： 变址寻址写周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{cswr}	从 CS 建立到 WR 或 ENB 有效的时间	0			ns
$t_{wr cs}$	WR 或 ENB 无效之后 CS 的保持时间	0			ns
t_{as}	从地址建立到 WR 或 ENB 有效的时间	0			ns
t_{ah}	WR 或 ENB 无效之后地址的保持时间	0			ns
t_{rdwrs}	从 RD_WR 建立到 ENB 有效的时间 注 16	5			ns
t_{rdwrh}	ENB 无效之后 RD_WR 的保持时间 注 16	5			ns
t_{ds}	从数据建立到 WR 或 ENB 无效的时间	7			ns
t_{dh}	WR 或 ENB 无效之后数据的保持时间	0			ns
t_{wr}	WR 或 ENB 的有效时间	32			ns

表9-5: 变址寻址写周期时序值（续）

符号	说明	最小值	典型值	最大值	单位
t _{wrcyc}	WR或ENB的周期时间	45			ns
t _{wrwr}	下一个WR或ENB之前的WR或ENB无效时间	13			ns
t _{wrrd}	下一个RD之前的WR无效时间 注17	13			ns

注 16: RD_WR和ENB信号。

注 17: RD和WR信号。

10.0 SPI/SQI从器件

10.1 功能概述

SPI/SQI从模块提供低引脚数同步从接口，便于器件与主机系统之间的通信。凭借SPI/SQI从器件，可访问系统CSR、内部FIFO和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。SPI模式支持单、双和四位通道，时钟速率最高达80 MHz。SQI模式始终使用四位通道，其工作时钟速率最高也为80 MHz。

以下内容概述了SPI/SQI从器件提供的功能：

- **串行读操作：**以最高30 MHz的频率进行4线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **快速读操作：**以最高80 MHz的频率进行4线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **双/四输出读操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）读操作。串行命令和地址以及并行数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **双/四I/O读操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）读操作。串行命令、并行地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **SQI读操作：**以最高80 MHz的频率进行6线（时钟、选择、数据输入/数据输出）写操作。并行命令、地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **写操作：**以最高80 MHz的频率进行4线（时钟、选择、数据输入和数据输出）写操作。串行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- **双/四数据写操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）写操作。串行命令、地址和并行数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- **双/四地址/数据写操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）写操作。串行命令、并行地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- **SQI写操作：**以最高80 MHz的频率进行6线（时钟、选择、数据输入/数据输出）写操作。并行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。

10.2 SPI/SQI从器件操作

SIO[3:0]引脚上的输入数据在SCK输入时钟的上升沿被采样。SIO[3:0]引脚上的输出数据在时钟的下降沿被采样。SCK输入时钟可以是高电平有效脉冲或低电平有效脉冲。当SCS#片选输入为高电平时，SIO[3:0]输入被忽略，SIO[3:0]输出为三态。

在SPI模式下，8位指令在SCS#变为有效后从输入时钟的第一个上升沿开始。该指令始终以串行方式输入SI/SIO0。

对于读指令和写指令，指令字节后跟两个地址字节。根据指令的不同，地址字节可以串行方式输入，或者以每个时钟2位或4位的方式输入。虽然所有寄存器均按双字访问，但地址字段被视为字节地址。使用十四个地址位指定地址。地址字段的bit 15和bit 14用于指定连续访问时地址自动递减（10b）还是自动递增（01b）。

对于一些读指令，地址字节后跟空字节周期。器件不会在空字节周期期间驱动输出。空字节以串行方式输入，或者以每个时钟2位或4位的方式输入。

对于读指令和写指令，如果存在空字节，则一个或多个32位数据字段跟在空字节后面，否则将跟在地址字节后面。数据以串行方式输入，或者以每个时钟2位或4位的方式输入。

可通过使能四I/O（EQIO）指令从SPI模式切换至SQI模式。一旦处于SQI模式，后续的所有命令、地址、空字节和数据字节均以每个时钟4位的方式输入。可通过复位四I/O（RSTQIO）指令退出SQI模式。

所有指令、地址和数据均以最高有效位（msb）、最高双位（msd）或最高半字节（msn）在前的方式传输。地址以最高有效字节（MSB）在前的方式传输。数据以最低有效字节（LSB）在前（小尾数法）的方式传输。

SPI接口支持最高80 MHz的输入时钟。正常（非高速）读指令限制在30 MHz。

SPI接口支持最短50 ns的连续命令间隔时间（最短SCS#无效时间为50 ns）。

表10-1列出了SPI模式下支持的指令。表10-2列出了SQI指令。不得使用不受支持的命令。

表10-1: SPI指令

指令	说明	位宽度 注1	指令代码	地址字节	空字节	数据字节	最大频率
配置							
EQIO	使能SQI	1-0-0	38h	0	0	0	80 MHz
RSTQIO	复位SQI	1-0-0	FFh	0	0	0	80 MHz
读							
READ	读操作	1-1-1	03h	2	0	4至∞	30 MHz
FASTREAD	以较高速度进行读操作	1-1-1	0Bh	2	1	4至∞	80 MHz
SDOR	SPI双输出读操作	1-1-2	3Bh	2	1	4至∞	80 MHz
SDIOR	SPI双I/O读操作	1-2-2	BBh	2	2	4至∞	80 MHz
SQOR	SPI四输出读操作	1-1-4	6Bh	2	1	4至∞	80 MHz
SQIOR	SPI四I/O读操作	1-4-4	EBh	2	4	4至∞	80 MHz
写							
WRITE	写操作	1-1-1	02h	2	0	4至∞	80 MHz
SDDW	SPI双数据写操作	1-1-2	32h	2	0	4至∞	80 MHz
SDADW	SPI双地址/数据写操作	1-2-2	B2h	2	0	4至∞	80 MHz
SQDW	SPI四数据写操作	1-1-4	62h	2	0	4至∞	80 MHz
SQADW	SPI四地址/数据写操作	1-4-4	E2h	2	0	4至∞	80 MHz

注 1: 位宽度格式为：命令位宽度、地址/空位宽度和数据位宽度。

表10-2： Sqi指令

指令	说明	位宽度 注2	指令代码	地址字节	空字节	数据字节	最大频率
配置							
RSTQIO	复位Sqi	4-0-0	FFh	0	0	0	80 MHz
读							
FASTREAD	以较高速度进行读操作	4-4-4	0Bh	2	3	4至∞	80 MHz
写							
WRITE	写操作	4-4-4	02h	2	0	4至∞	80 MHz

注 2： 位宽度格式为： 命令位宽度、地址/空位宽度和数据位宽度。

10.2.1 器件初始化

直到器件初始化为各种配置输入均有效的程度，Sqi/Sqi接口才会响应任意外部引脚活动并受其影响。
一旦器件完成初始化，Sqi/Sqi接口便会忽略这些引脚，直至检测到SCS#的上升沿。

10.2.1.1 初始化完成的Sqi/Sqi从器件读轮询

器件初始化之前，Sqi/Sqi接口将不会返回有效数据。要确定Sqi/Sqi接口何时工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）位来确定器件何时完全配置。

注： 主机在轮询BYTE_TEST寄存器时，应只使用单寄存器读操作（每次SCS#为低电平时发生一个数据周期）。

10.2.2 功耗管理期间以及功耗管理之后的访问

在D0以外的任何功耗管理模式期间，会忽略读写操作，Sqi/Sqi接口不会响应任何外部引脚活动，也不会受其影响。
一旦功耗管理模式切换回D0，Sqi/Sqi接口便会忽略这些引脚，直至检测到SCS#的上升沿。
要确定Sqi/Sqi接口何时工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）位来确定器件何时完全配置。

注： 主机在轮询BYTE_TEST寄存器时，应只使用单寄存器读操作（每次SCS#为低电平时发生一个数据周期）。

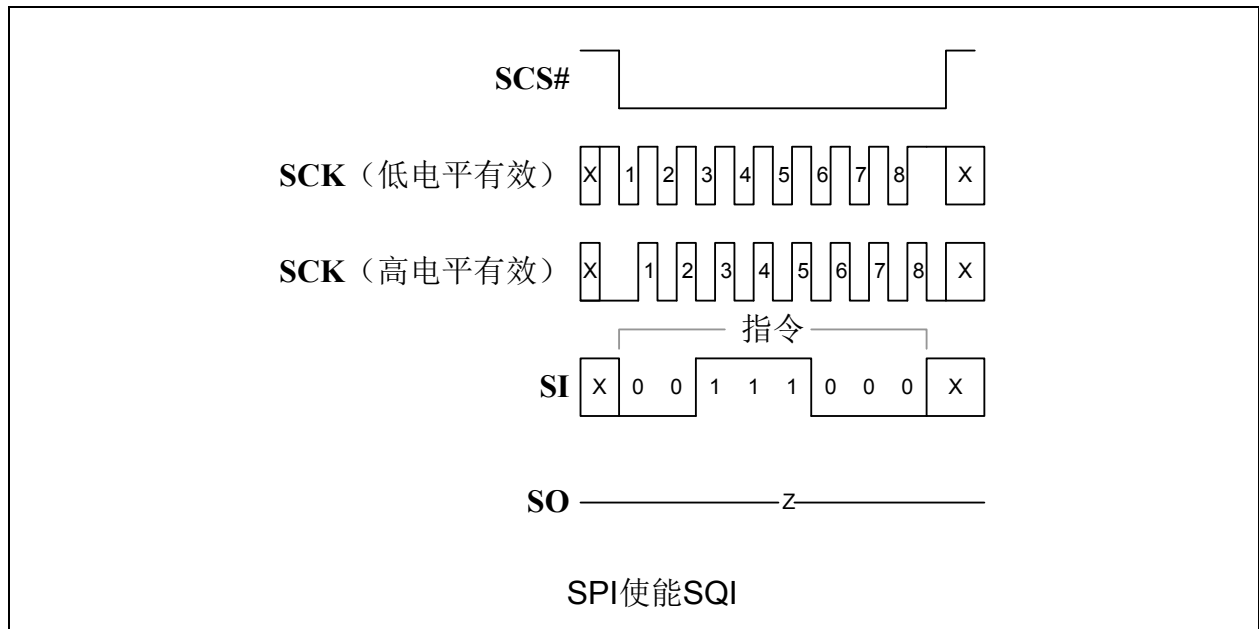
10.2.3 Sqi配置命令

10.2.3.1 使能Sqi

使能Sqi指令用于将工作模式切换至Sqi。仅当时钟频率高达80 MHz时，Sqi总线协议才支持该指令。Sqi总线协议不支持该指令。
首先将SCS#置为有效，选择Sqi从接口。8位EQIO指令（38h）以每个时钟1位的方式输入SI/SIO[0]引脚。要结束该周期，需将SCS#输入置为无效。

图 10-1 给出了使能 SQI 指令图示。

图 10-1: 使能 SQI



10.2.3.2 复位 SQI

复位 SQI 指令用于将工作模式切换至 SPI。仅当时钟频率高达 80 MHz 时，SPI 总线协议和 SQI 总线协议才支持该指令。首先将 SCS# 置为有效，选择 SPI/SQI 从接口。8 位 RSTQIO 指令 (FFh) 在 SPI 模式下以每个时钟 1 位的方式输入 SI/SIO[0] 引脚，在 SQI 模式下以每个时钟 4 位的方式输入 SIO[3:0] 引脚。要结束该周期，需将 SCS# 输入置为无效。

图 10-2 给出了 SPI 模式下的复位 SQI 指令图示。图 10-3 给出了 SQI 模式下的复位 SQI 指令图示。

图 10-2: SPI 模式复位 SQI

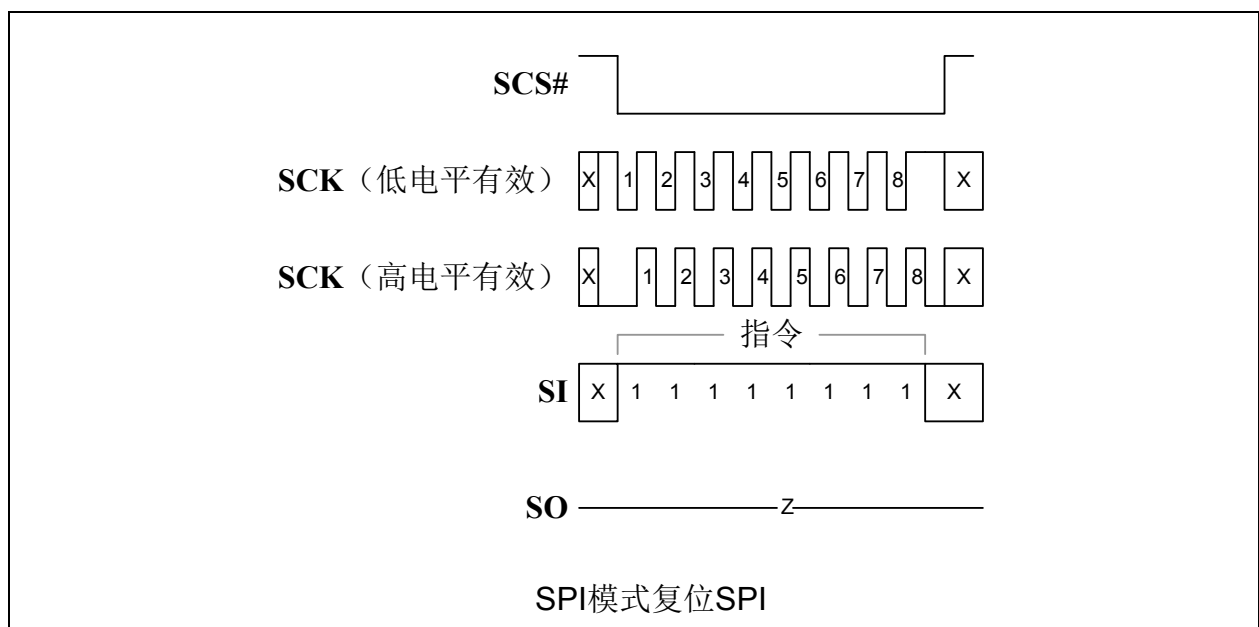
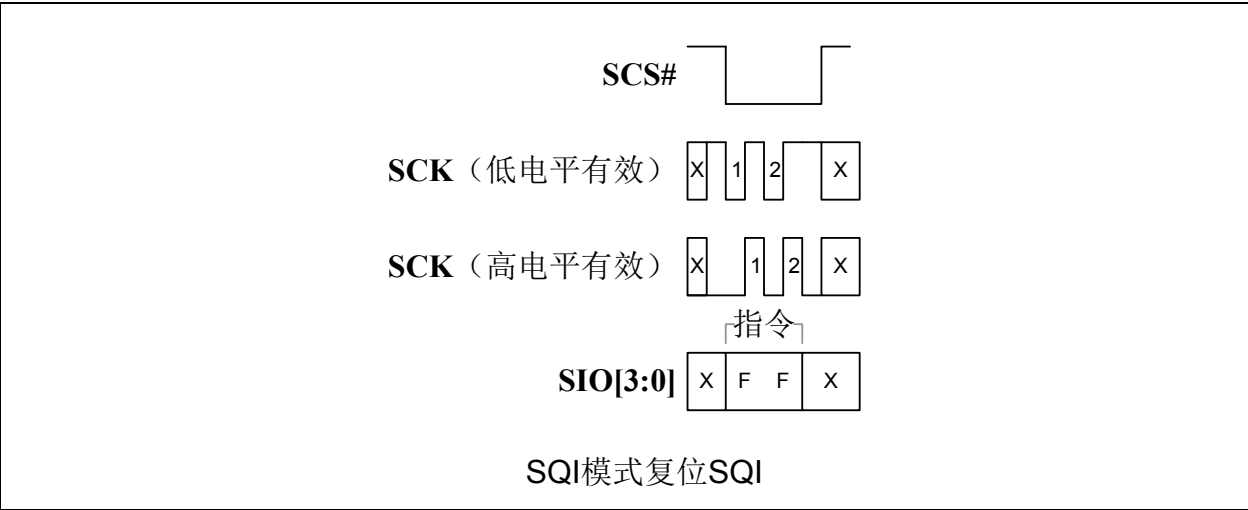


图10-3： Sqi模式复位Sqi



10.2.4 SPI 读命令

SPI/Sqi从器件支持各种读命令。以下内容适用于所有读命令。

多次读操作

当SCS#有效时，可通过继续提供时钟脉冲来执行除第一次读操作外的其他读操作。地址的高2位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器轮询很有用。

特殊CSR处理

即时位

由于数据以串行方式读取，因此所选寄存器的值在每次32位读操作开始时进行保存，以防止主机读取中间值。多次读序列中将进行多次保存。

“读取时更改”寄存器和FIFO

一旦当前数据输出开始移位，便会更新受读操作影响的任何寄存器（例如，读取时清零位或FIFO）。如果在SCS#恢复高电平时未读取32位，则寄存器仍受影响且之前的任何数据都将丢失。

“读取时更改”即时寄存器位

如上文所述，具有即时位的寄存器（任何寄存器）的当前值在数据移出之前保存。虽然捕捉数据之后发生的硬件事件仍会更新即时位，但即时位仍将在输出移位开始后受影响（例如，被清零）且硬件事件会丢失。为了避免这种情况，各个CSR会将硬件事件更新延迟至指示读操作之后。

10.2.4.1 读

读操作指令以每个时钟1位的方式输入指令代码和地址字节，并以每个时钟1位的方式输出数据。仅当时钟频率高达30 MHz时，SPI总线协议才支持该指令。Sqi总线协议不支持该指令。

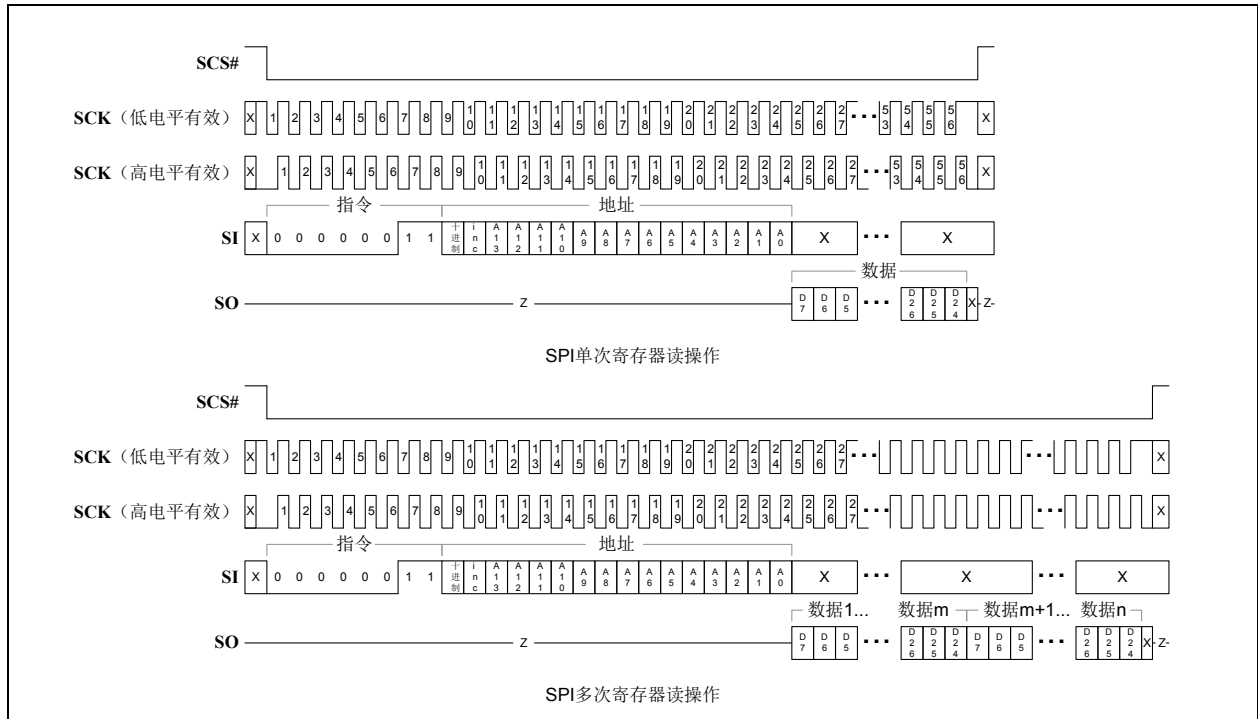
首先将SCS#置为有效，选择SPI从接口。8位READ指令（03h）输入到SI/SIO[0]引脚，其后跟两个地址字节。地址字节用于指定器件内的字节地址。

在最后一个地址位的上升沿后的时钟下降沿，SO/SIO[1]引脚将以所选寄存器的LSB的msb在前的方式驱动。其余寄存器位在后续的时钟下降沿移出。

要结束该周期，需将SCS#输入置为无效。此时，SO/SIO[1]引脚为三态。

图10-4给出了单次寄存器读操作和多次寄存器读操作的典型图示。

图10-4: SPI读操作



10.2.4.2 快速读操作

以较高速度进行读操作指令以每个时钟1位的方式输入指令代码、地址和空字节，并以每个时钟1位的方式输出数据。在SQI模式下，以每个时钟4位的方式输入指令代码、地址和空字节，并以每个时钟4位的方式输出数据。仅当时钟频率高达80 MHz时，SPI总线协议和SQI总线协议才支持该指令。

首先将SCS#置为有效，选择SPI/SQI从接口。对于SPI模式，8位FASTREAD指令(0Bh)输入到SI/SIO[0]引脚，其后跟2个地址字节以及1个空字节。对于SQI模式，8位FASTREAD指令输入到SIO[3:0]引脚，其后跟2个地址字节以及3个空字节。地址字节用于指定器件内的字节地址。

在最后一个空位（或半字节）的上升沿后的时钟下降沿，SO/SIO[1]引脚将以所选寄存器的LSB的msb在前的方式驱动。对于SQI模式，SIO[3:0]将以所选寄存器的LSB的msn在前的方式驱动。其余寄存器位在后续的时钟下降沿移出。

要结束该周期，需将SCS#输入置为无效。此时，SO/SIO[3:0]引脚为三态。

图10-5给出了SPI模式下单次寄存器快速读操作和多次寄存器快速读操作的典型图示。图10-6给出了SQI模式下单次寄存器快速读操作和多次寄存器快速读操作的典型图示。

图10-5： SPI快速读操作

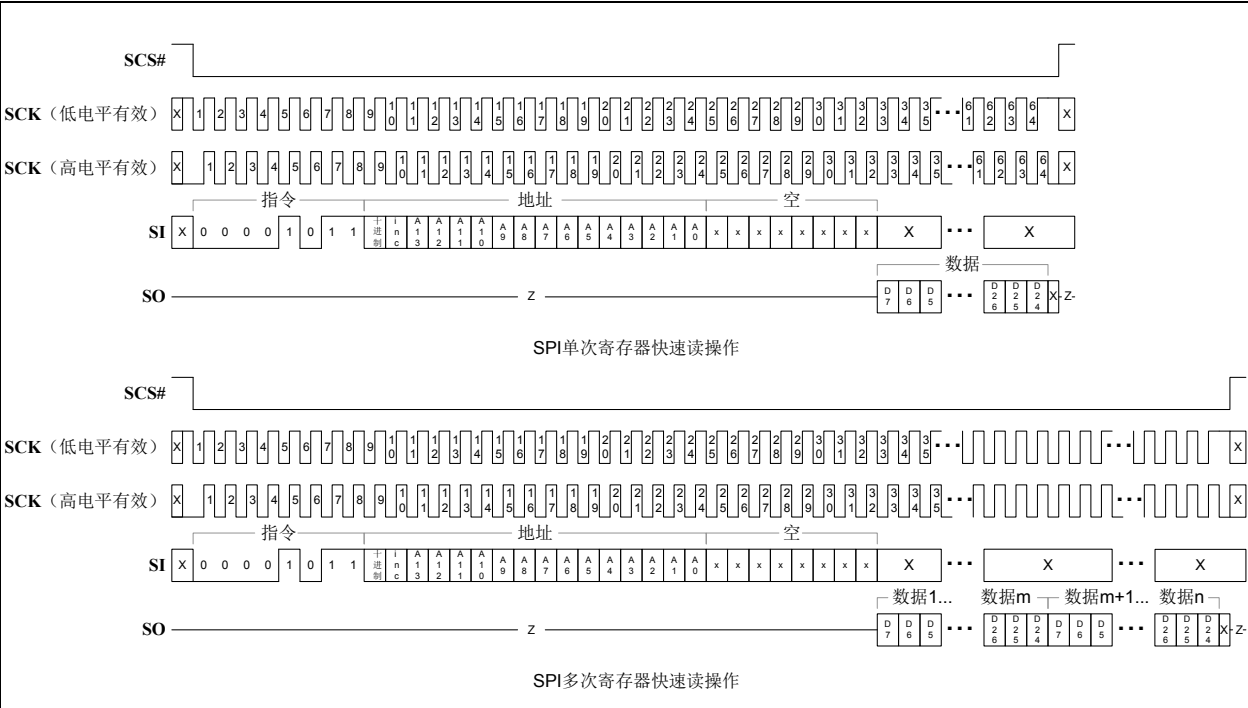
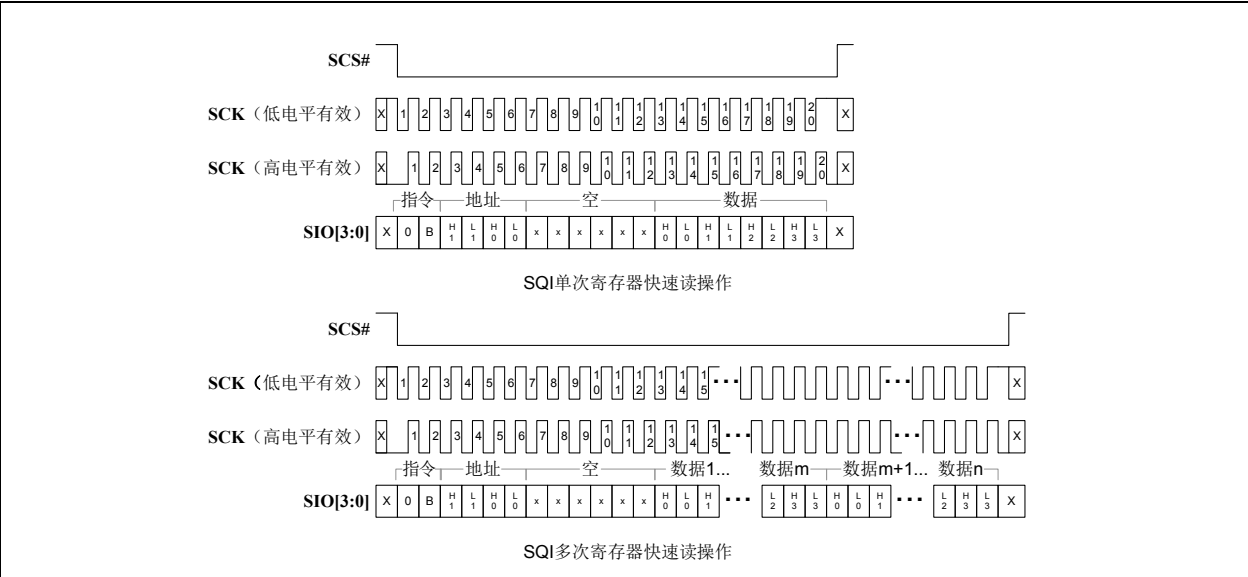


图10-6： SQI快速读操作



10.2.4.3 双输出读操作

SPI双输出读操作指令以每个时钟1位的方式输入指令代码、地址和空字节，并以每个时钟2位的方式输出数据。仅当时钟频率高达**80 MHz**时，SPI总线协议才支持该指令。**SQI**总线协议不支持该指令。

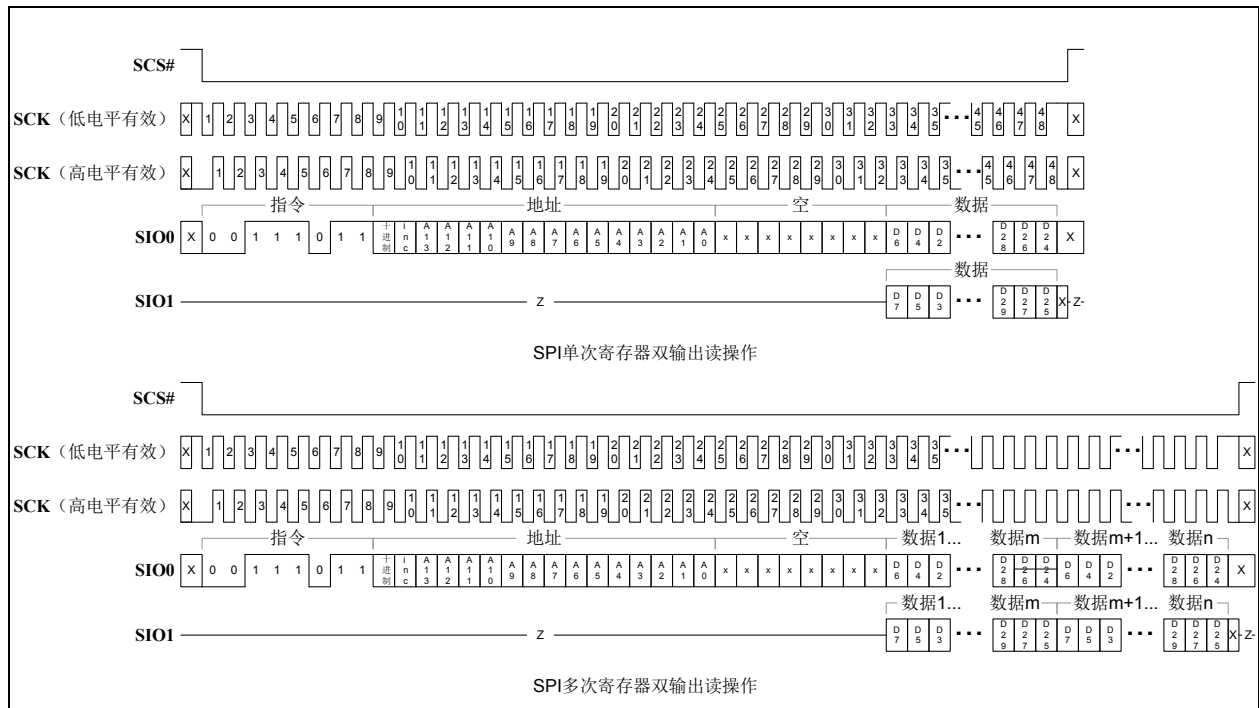
首先将**SCS#**置为有效，选择**SPI**从接口。**8位SDOR**指令（**3Bh**）输入到**SIO[0]**引脚，其后跟**2个**地址字节以及**1个**空字节。地址字节用于指定器件内的字节地址。

在最后一个空双位的上升沿后的时钟下降沿，**SIO[1:0]**引脚将以所选寄存器的**LSB的msb**在前的方式驱动。其余寄存器双位在后续的时钟下降沿移出。

要结束该周期，需将**SCS#**输入置为无效。此时，**SIO[1:0]**引脚为三态。

图10-7给出了单次寄存器双输出读操作和多次寄存器双输出读操作的典型图示。

图10-7： SPI双输出读操作



10.2.5 四输出读操作

SPI四输出读操作指令以每个时钟1位的方式输入指令代码、地址和空字节，并以每个时钟4位的方式输出数据。仅当时钟频率高达**80 MHz**时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

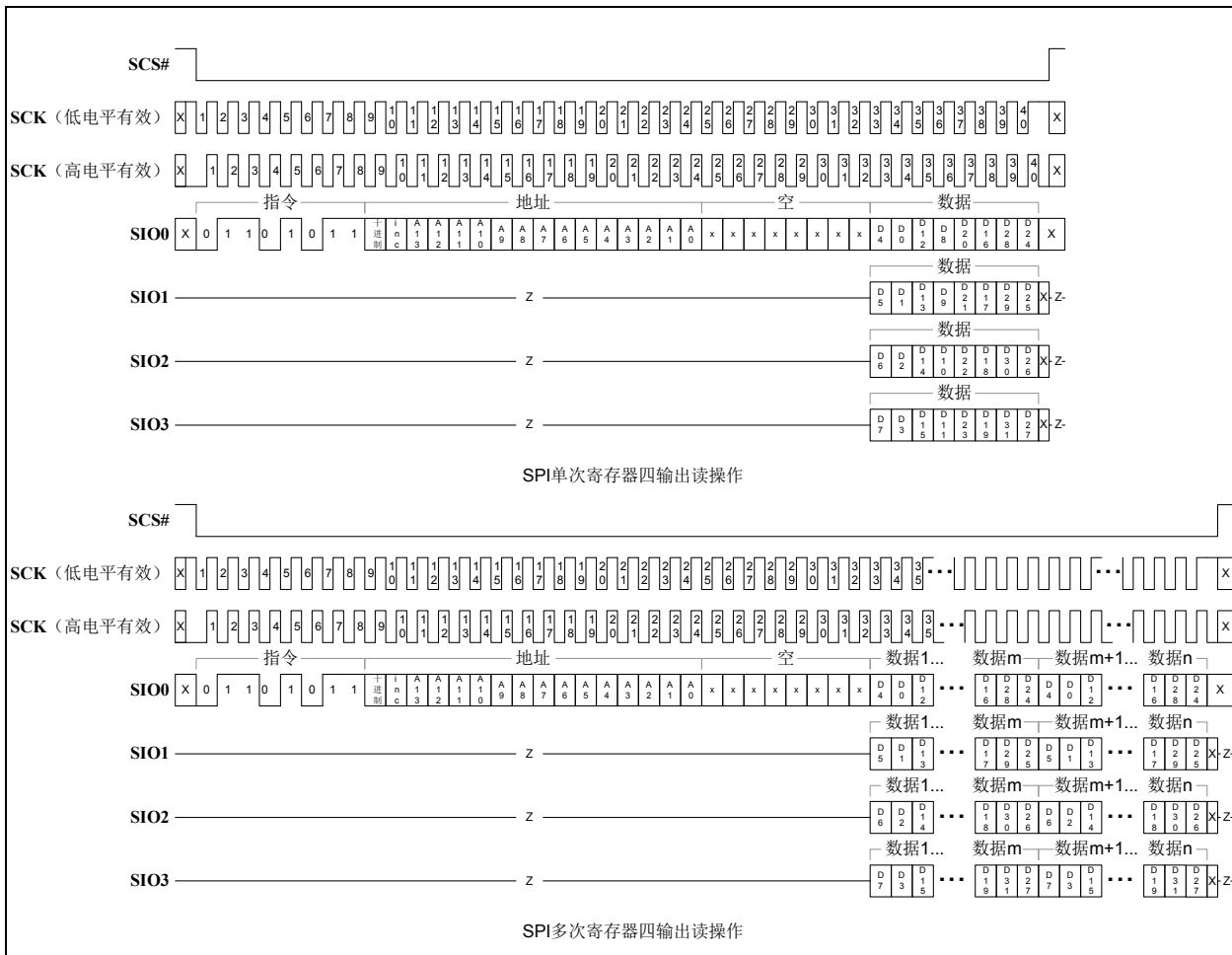
首先将**SCS#**置为有效，选择SPI从接口。**8位SQOR**指令（**6Bh**）输入到**SIO[0]**引脚，其后跟**2**个地址字节以及**1**个空字节。地址字节用于指定器件内的字节地址。

在最后一个空位的上升沿后的时钟下降沿，**SIO[3:0]**引脚将以所选寄存器的LSB的msb在前的方式驱动。其余寄存器半字节移出。

要结束该周期，需将**SCS#**输入置为无效。此时，**SIO[3:0]**引脚为三态。

图10-8给出了单次寄存器四输出读操作和多次寄存器四输出读操作的典型图示。

图10-8: SPI四输出读操作



10.2.5.1 双 I/O 读操作

SPI 双 I/O 读操作指令以每个时钟 1 位的方式输入指令代码，以每个时钟 2 位的方式输入地址和空字节，并以每个时钟 2 位的方式输出数据。仅当时钟频率高达 **80 MHz** 时，SPI 总线协议才支持该指令。SQI 总线协议不支持该指令。

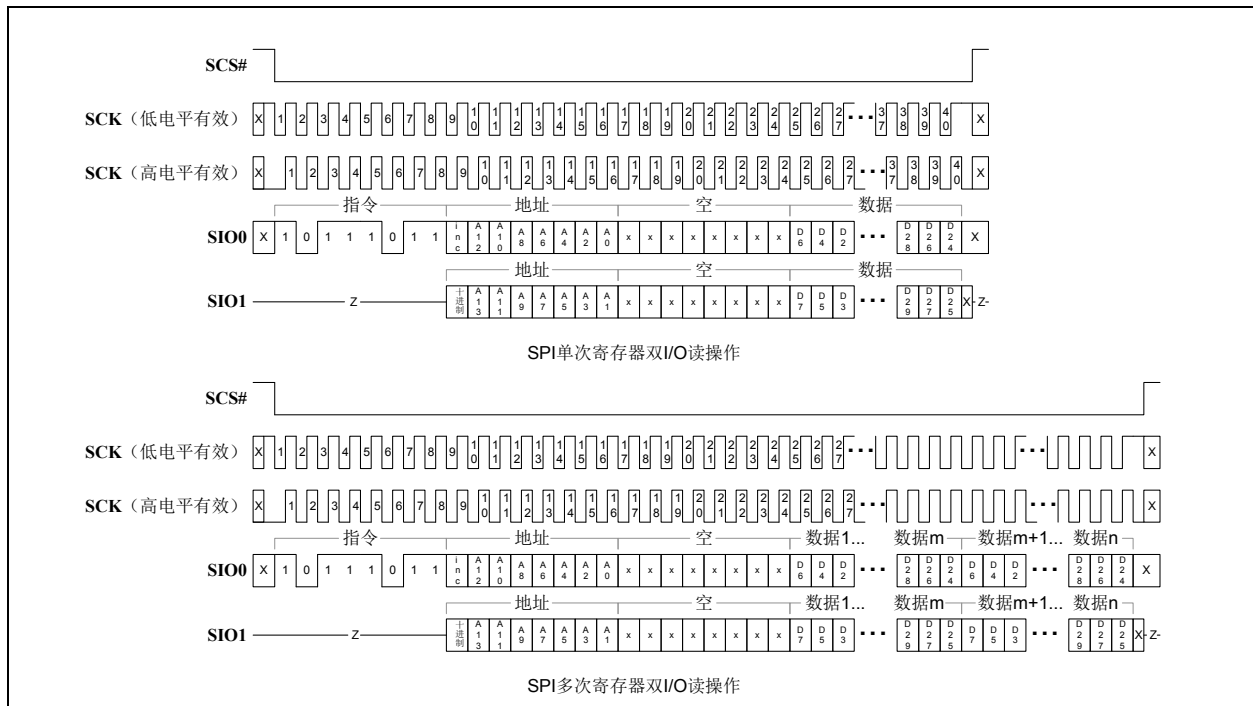
首先将 **SCS#** 置为有效，选择 SPI 从接口。**8 位 SDIOR** 指令 (**BBh**) 输入到 **SIO[0]** 引脚，其后跟的 2 个地址字节和 2 个空字节输入到 **SIO[1:0]** 引脚。地址字节用于指定器件内的字节地址。

在最后一个空双位的上升沿后的时钟下降沿，**SIO[1:0]** 引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。其余寄存器双位在后续的时钟下降沿移出。

要结束该周期，需将 **SCS#** 输入置为无效。此时，**SIO[1:0]** 引脚为三态。

图 10-9 给出了单次寄存器双 I/O 读操作和多次寄存器双 I/O 读操作的典型图示。

图 10-9: SPI 双 I/O 读操作



10.2.5.2 四 I/O 读操作

SPI 四 I/O 读操作 指令以每个时钟 1 位的方式输入指令代码，以每个时钟 4 位的方式输入地址和空字节，并以每个时钟 4 位的方式输出数据。仅当时钟频率高达 **80 MHz** 时，SPI 总线协议才支持该指令。SQI 总线协议不支持该指令。

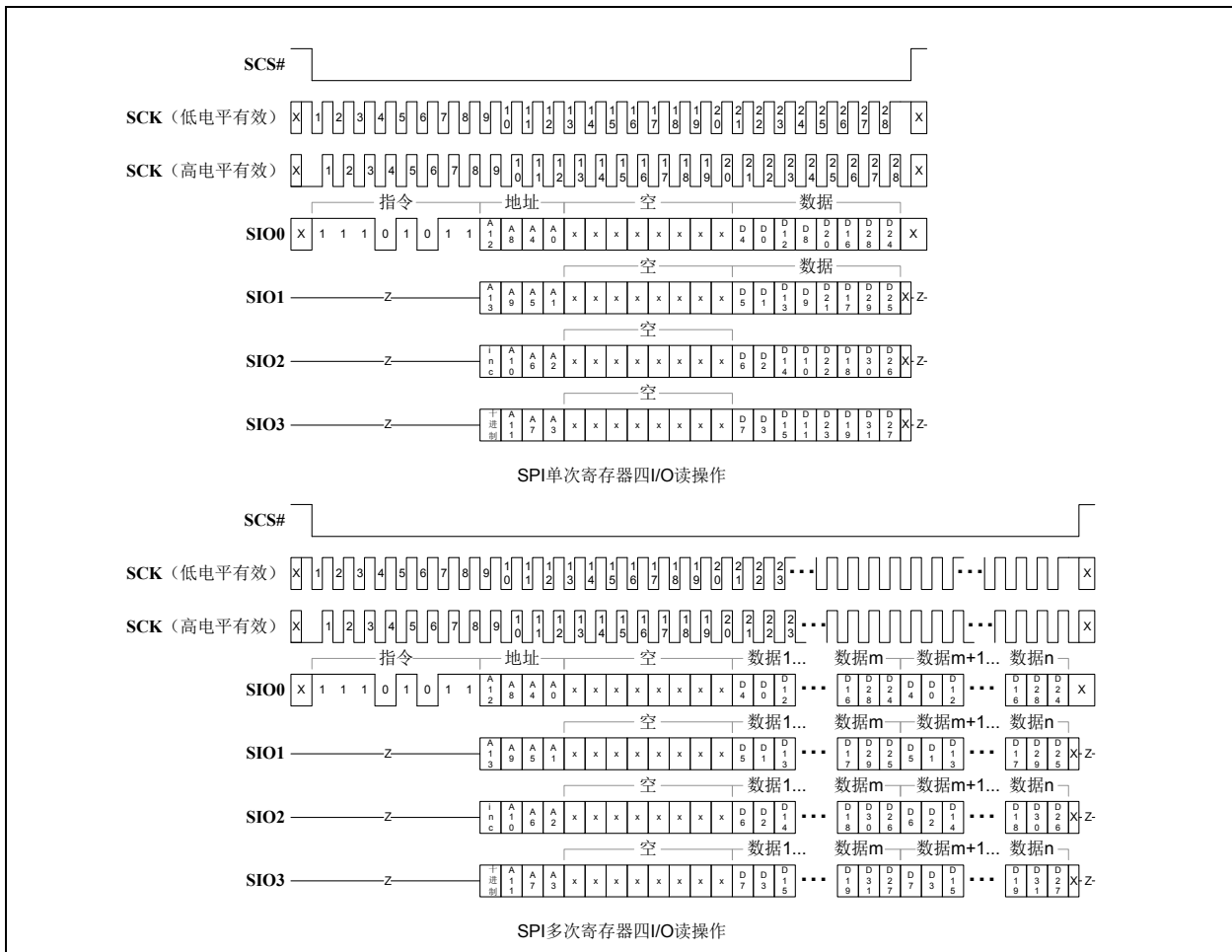
首先将 **SCS#** 置为有效，选择 SPI 从接口。8 位 **SQIOR** 指令 (**EBh**) 输入到 **SIO[0]** 引脚，其后跟的 2 个地址字节和 4 个空字节输入到 **SIO[3:0]** 引脚。地址字节用于指定器件内的字节地址。

在最后一个空半字节的上升沿后的时钟下降沿，**SIO[3:0]** 引脚将以所选寄存器的 LSB 的 **msn** 在前的方式驱动。其余寄存器半字节在后续的时钟下降沿移出。

要结束该周期，需将 **SCS#** 输入置为无效。此时，**SIO[3:0]** 引脚为三态。

图 10-10 给出了单次寄存器四 I/O 读操作和多次寄存器四 I/O 读操作的典型图示。

图 10-10: SPI 四 I/O 读操作



10.2.6 SPI写命令

SPI/SQI从器件支持多种写命令。以下内容适用于所有写命令。

多次写操作

当SCS#有效时，通过继续提供时钟脉冲和输入数据来执行多次写操作。地址的高2位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器“位拆裂”或其他重复的写操作很有用。

10.2.6.1 写

写操作指令以每个时钟1位的方式输入指令代码、地址和数据字节。在SQI模式下，以每个时钟4位的方式输入指令代码、地址和数据字节。仅当时钟频率高达80 MHz时，SPI总线协议和SQI总线协议才支持该指令。

首先将SCS#置为有效，选择SPI/SQI从接口。对于SPI模式，8位WRITE指令（02h）输入到SI/SIO[0]引脚，其后跟2个地址字节。对于SQI模式，8位WRITE指令（02h）输入到SIO[3:0]引脚，其后跟2个地址字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。对于SPI模式，数据以LSB的msb在前的方式输入到SI/SIO[0]引脚。对于SQI模式，以LSB的msn在前的方式向SIO[3:0]输入半字节宽的数据。其余位/半字节在后续的时钟边沿移入。输入32位后，会对寄存器写入数据。如果在SCS#恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。

要结束该周期，需将SCS#输入置为无效。

图10-11给出了SPI模式下单次寄存器写操作和多次寄存器写操作的典型图示。图10-12给出了SQI模式下单次寄存器写操作和多次寄存器写操作的典型图示。

图10-11: SPI写

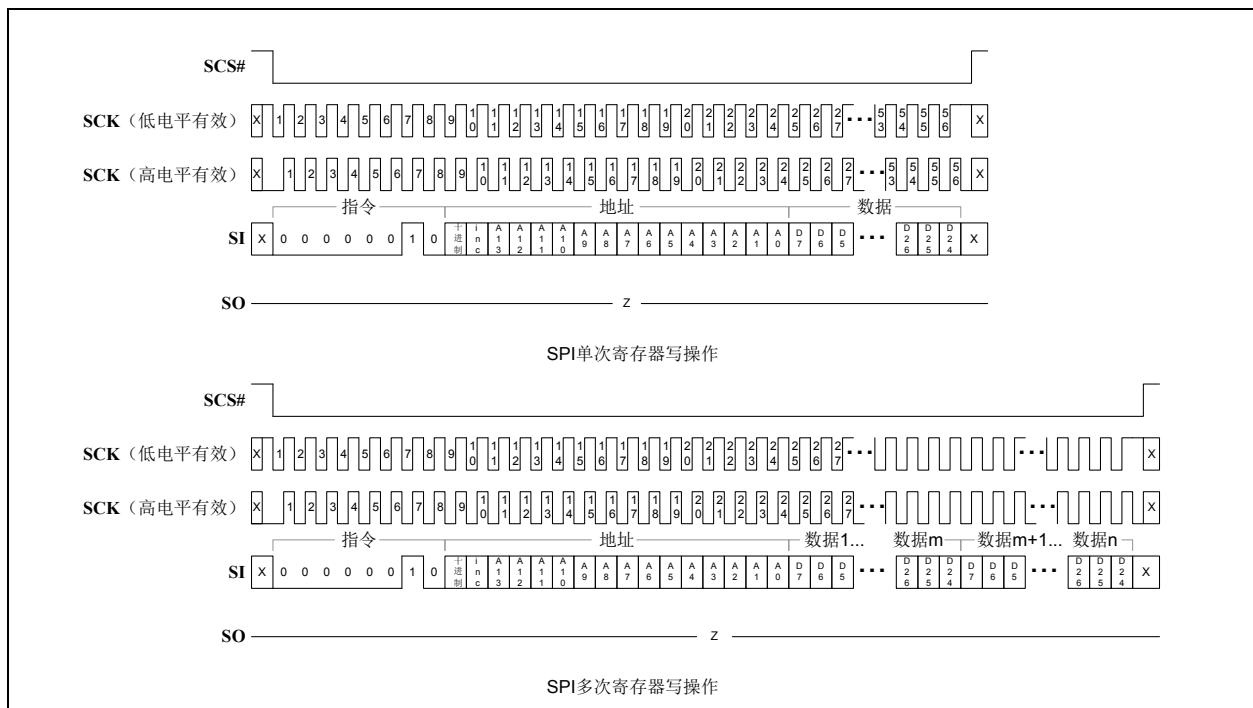
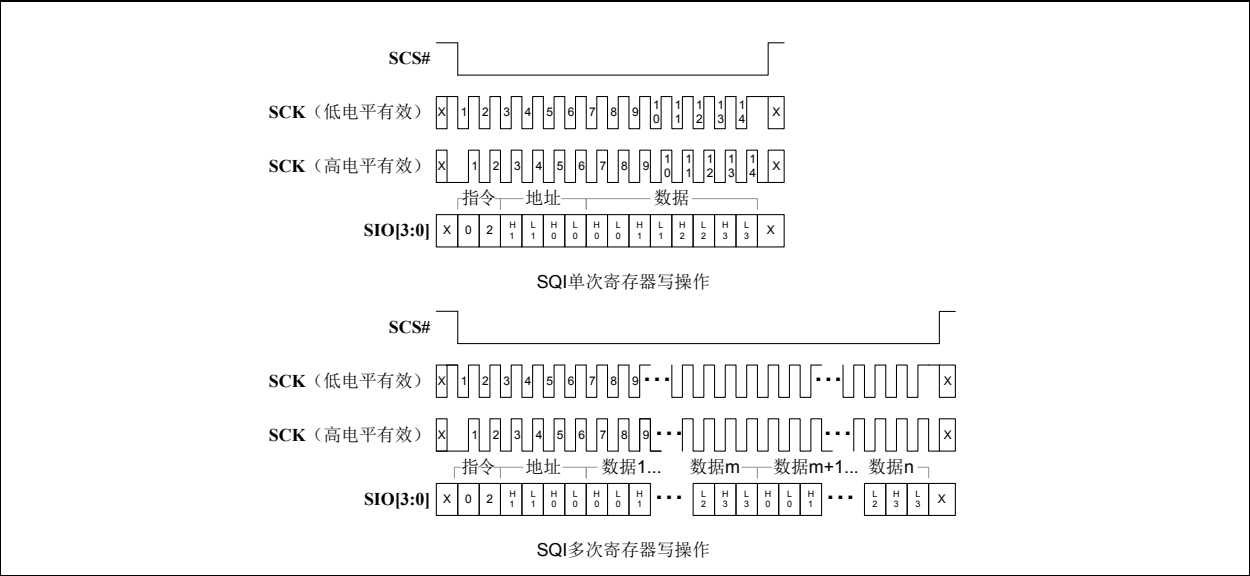


图10-12: SQI写



10.2.6.2 双数据写操作

SPI双数据写操作指令以每个时钟1位的方式输入指令代码和地址字节，并以每个时钟2位的方式输入数据。仅当时钟频率高达 **80 MHz** 时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

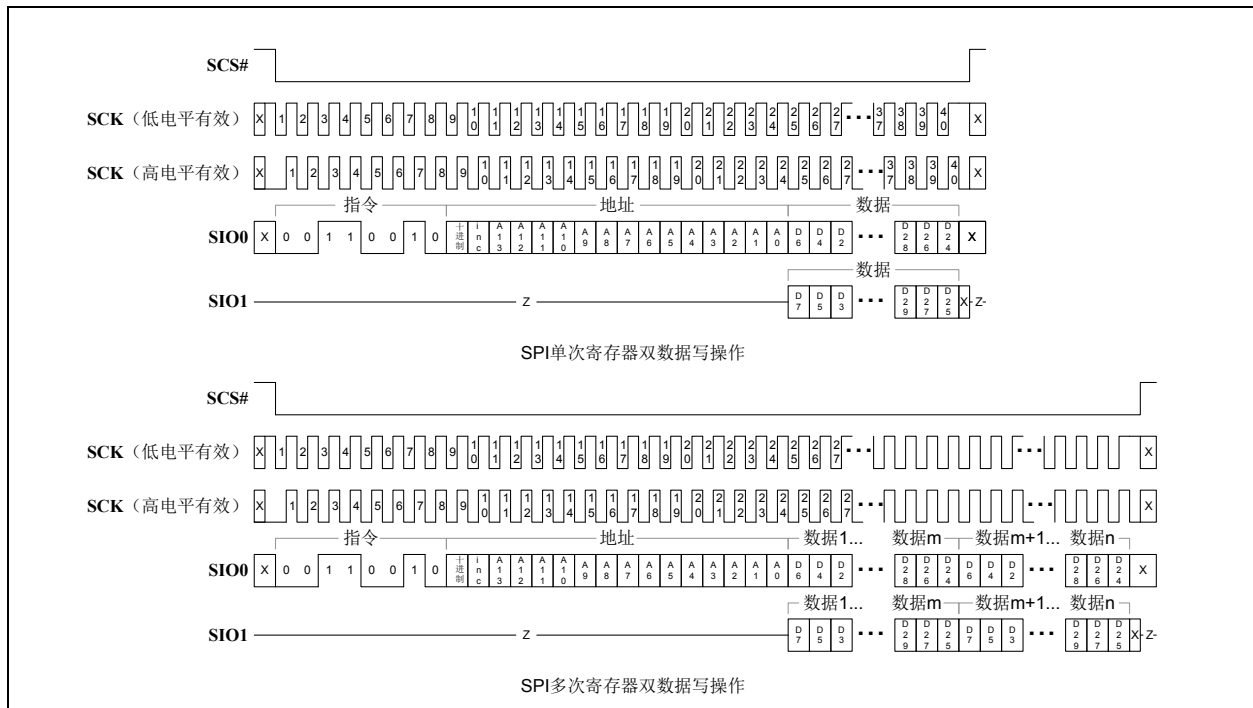
首先将SCS#置为有效，选择SPI从接口。**8位SDDW指令（32h）**输入到SIO[0]引脚，其后跟两个地址字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以LSB的msb在前的方式输入到SIO[1:0]引脚。其余双位在后续时钟边沿移入。输入32位后，会对寄存器写入数据。如果在SCS#恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。

要结束该周期，需将SCS#输入置为无效。

图10-13给出了单次寄存器双数据写操作和多次寄存器双数据写操作的典型图示。

图10-13： SPI双数据写操作



10.2.6.3 四数据写操作

SPI四数据写操作指令以每个时钟1位的方式输入指令代码和地址字节，并以每个时钟4位的方式输入数据。仅当时钟频率高达 **80 MHz** 时，SPI总线协议才支持该指令。**SQI** 总线协议不支持该指令。

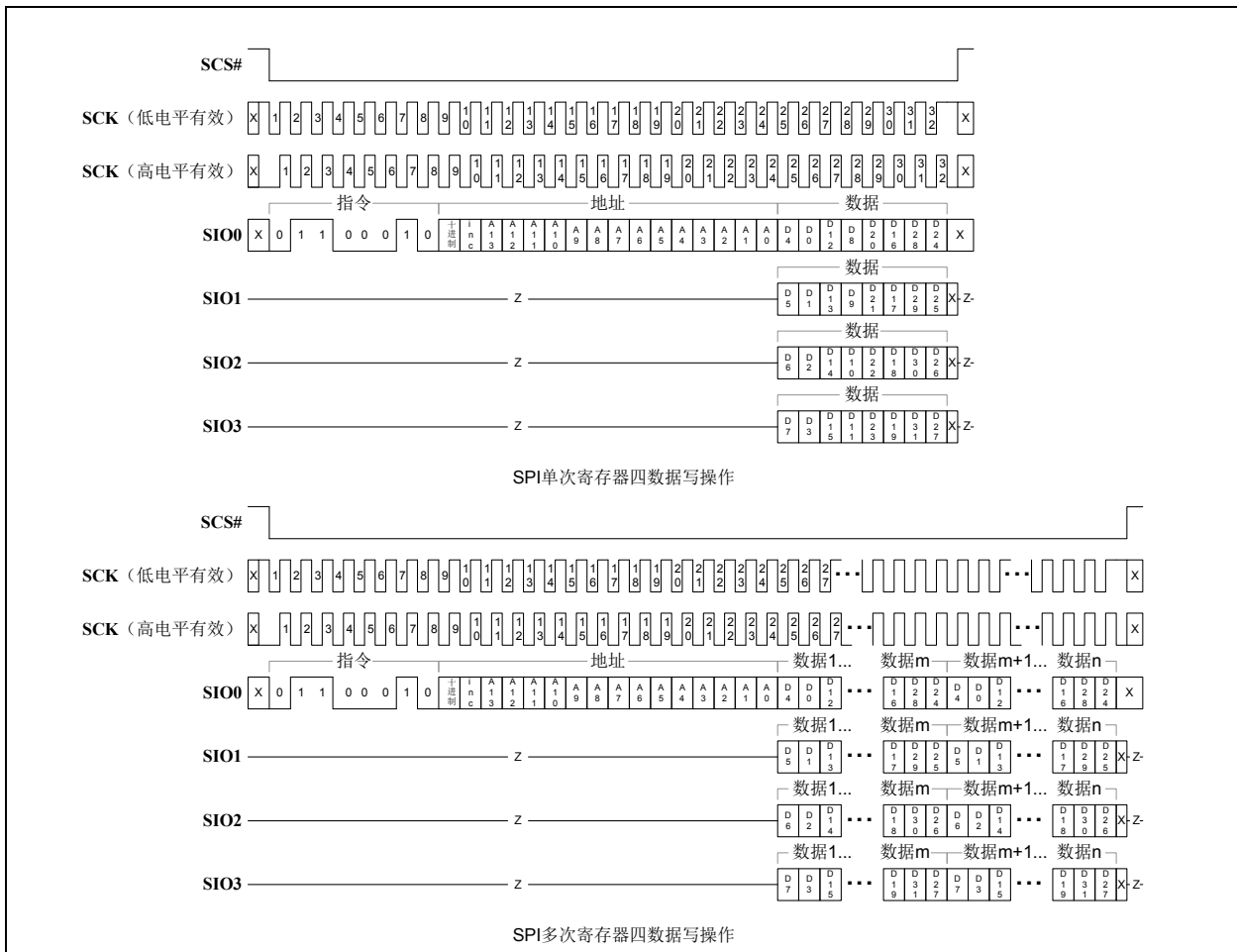
首先将 **SCS#** 置为有效，选择SPI从接口。8位 **SQDW** 指令（**62h**）输入到 **SIO[0]** 引脚，其后跟两个地址字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以LSB的msn在前的方式输入到 **SIO[3:0]** 引脚。其余半字节在后续的时钟边沿移入。输入32位后，会对寄存器写入数据。如果在 **SCS#** 恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。

要结束该周期，需将 **SCS#** 输入置为无效。

图10-14给出了单次寄存器四数据写操作和多次寄存器四数据写操作的典型图示。

图10-14： SPI四数据写操作



10.2.6.4 双地址/数据写操作

SPI双地址/数据写操作指令以每个时钟1位的方式输入指令代码，并以每个时钟2位的方式输入地址和数据字节。仅当时钟频率高达**80 MHz**时，SPI总线协议才支持该指令。**SQI**总线协议不支持该指令。

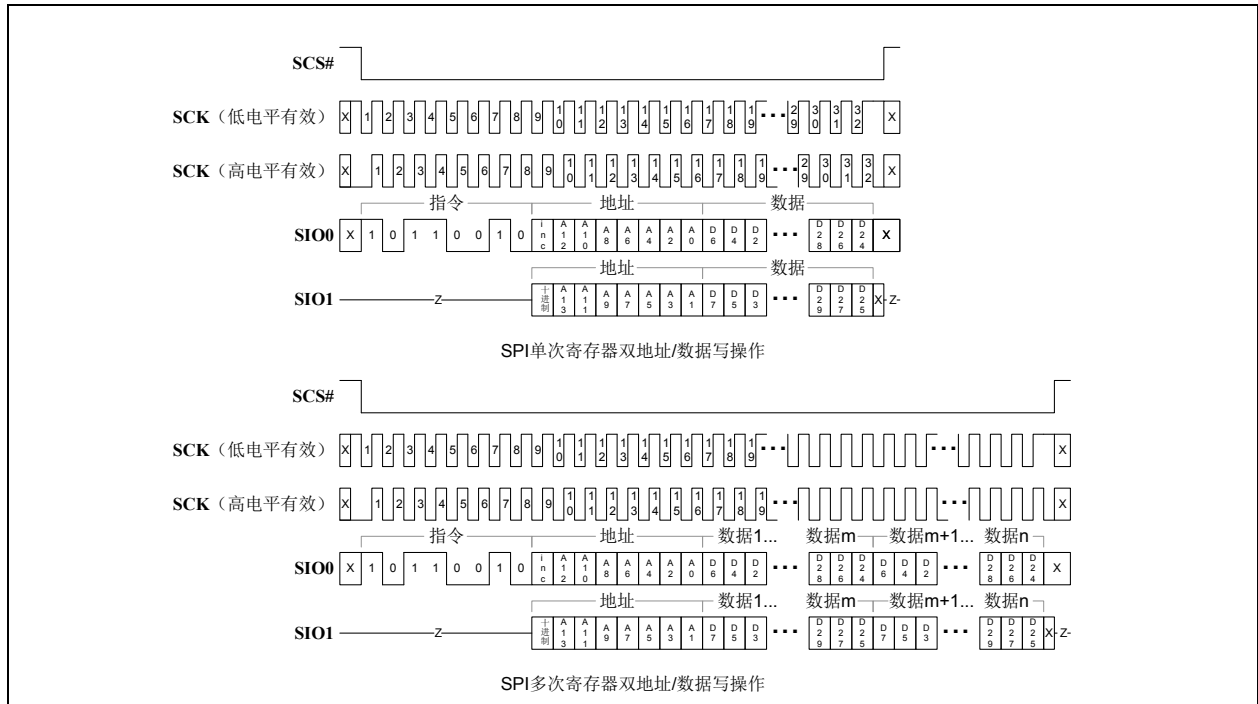
首先将**SCS#**置为有效，选择**SPI**从接口。**8位SDADW**指令（**B2h**）输入到**SIO[0]**引脚，其后跟的2个地址字节输入到**SIO[1:0]**引脚。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以**LSB**的**msb**在前的方式输入到**SIO[1:0]**引脚。其余双位在后续的时钟边沿移入。输入**32**位后，会对寄存器写入数据。如果在**SCS#**恢复高电平时未写入**32**位，则写操作被视为无效且寄存器不受影响。

要结束该周期，需将**SCS#**输入置为无效。

图10-15给出了单次寄存器双地址/数据写操作和多次寄存器双地址/数据写操作的典型图示。

图10-15： SPI双地址/数据写操作



10.2.6.5 四地址/数据写操作

SPI四地址/数据写操作指令以每个时钟1位的方式输入指令代码，并以每个时钟4位的方式输入地址和数据字节。仅当时钟频率高达**80 MHz**时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

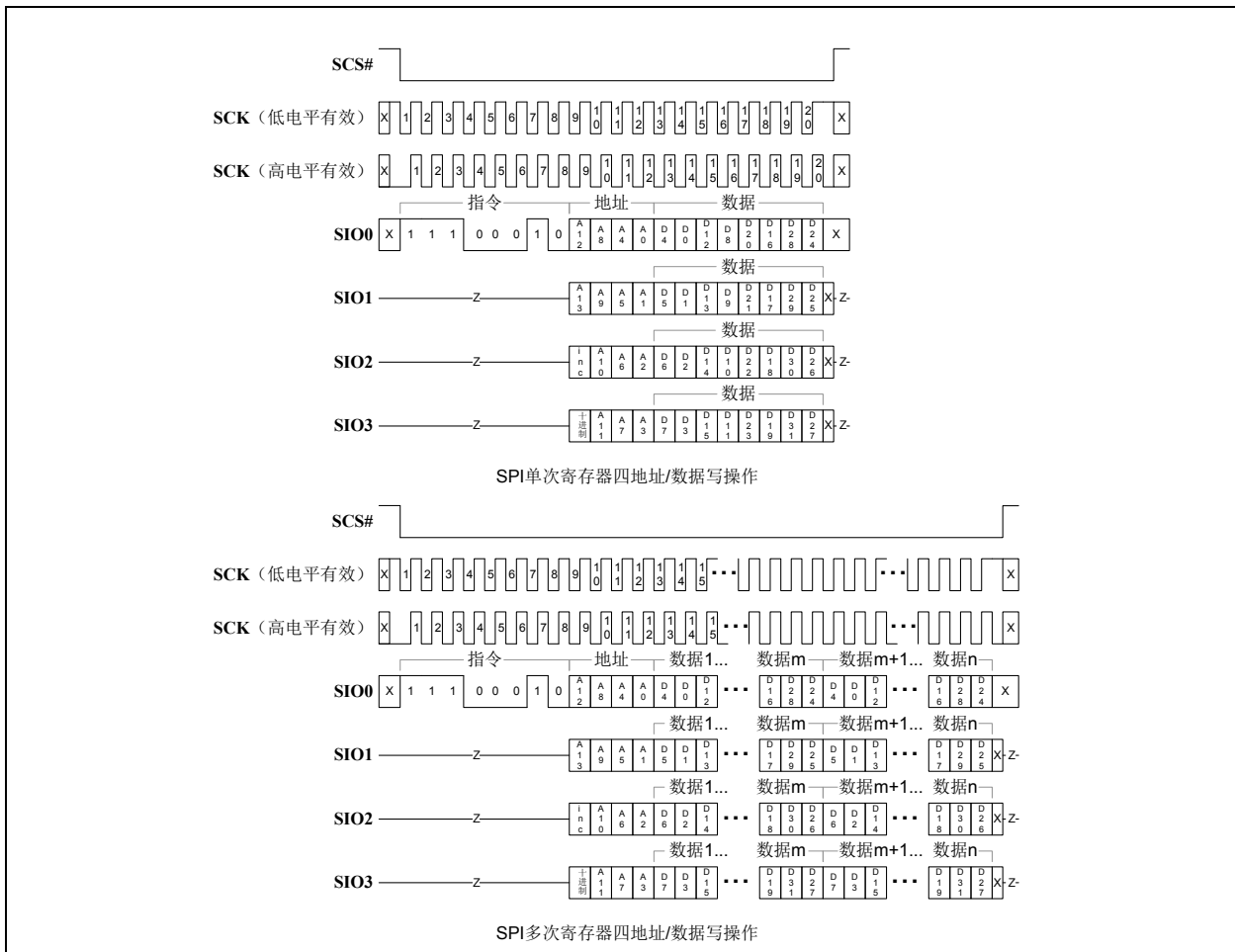
首先将**SCS#**置为有效，选择SPI从接口。8位**SQADW**指令（**E2h**）输入到**SIO[0]**引脚，其后跟的2个地址字节输入到**SIO[3:0]**引脚。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以LSB的msb在前的方式输入到**SIO[3:0]**引脚。其余半字节在后续的时钟边沿移入。输入32位后，会对寄存器写入数据。如果在**SCS#**恢复高电平时未写入32位，则写操作被视为无效且寄存器不受影响。

要结束该周期，需将**SCS#**输入置为无效。

图10-16给出了单次寄存器四地址/数据写操作和多次寄存器四地址/数据写操作的典型图示。

图10-16： SPI四地址/数据写操作



10.3 SPI/SQI时序要求

图10-17: SPI/SQI输入时序

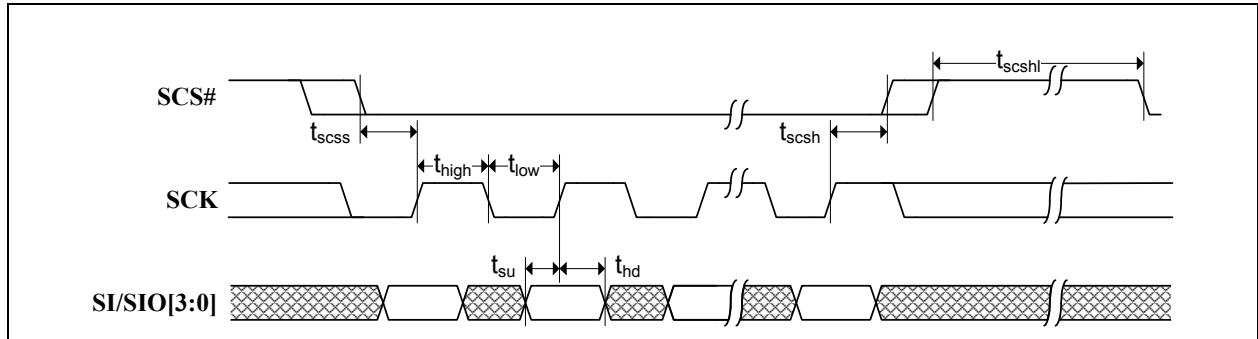


图10-18: SPI/SQI输出时序

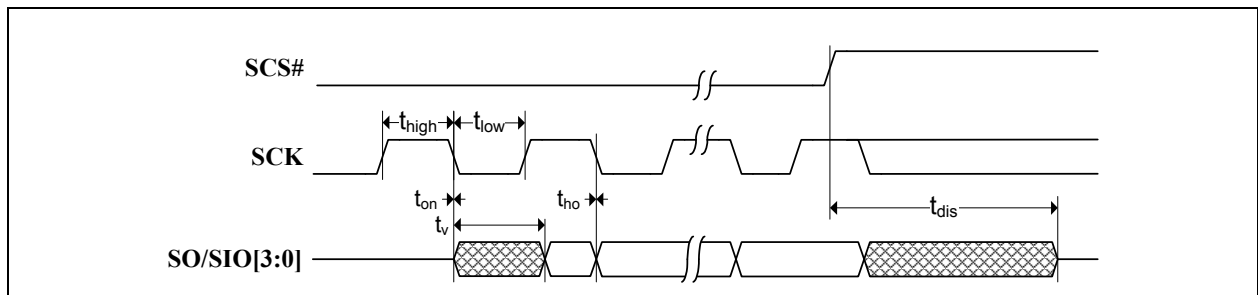


表 10-3: SPI/SQI时序值

符号	说明	最小值	典型值	最大值	单位
f_{sck}	SCK 时钟频率 (注3)			30/80	MHz
t_{high}	SCK 高电平时间	5.5			ns
t_{low}	SCK 低电平时间	5.5			ns
t_{scss}	从SCS# 建立到SCK 的时间	5			ns
t_{scsh}	SCK 之后SCS# 的保持时间	5			ns
t_{scshl}	SCS# 无效时间	50			ns
t_{su}	从数据输入建立到SCK 的时间	3			ns
t_{hd}	SCK 之后数据输入的保持时间	4			ns
t_{on}	从SCK 到数据输出开启的时间	0			ns
t_v	从SCK 到数据输出有效的时间 (注4和注5)			11.0/9.0	ns
t_{ho}	SCK 之后数据输出的保持时间	0			ns
t_{dis}	从SCS# 无效到数据输出禁止的时间			20	ns

注 3: 读操作指令限制为最高30 MHz

注 4: 取决于负载为30 pF 还是 10 pF

注 5: 取决于时钟频率和脉冲宽度, 直至 SCK 的下一个上升沿后, 数据才会有效。主机 SPI 控制器可能需要将数据的采样延迟一段固定的时间, 或者使用 SCK 的下降沿对数据进行采样。

11.0 以太网PHY

11.1 功能概述

该器件包含PHY A和PHY B。

PHY A和PHY B的功能相同。PHY A连接到EtherCAT内核端口0或2。PHY B连接到EtherCAT内核端口1。这些PHY通过内部MII接口与相应的MAC接口。

PHY符合针对双绞线以太网的IEEE 802.3物理层标准，可配置为全双工100 Mbps（100BASE-TX/100BASE-FX）以太网操作。所有PHY寄存器均遵循IEEE 802.3（第22.2.4条）指定的MII管理寄存器组规范并且可完全配置。

11.1.1 PHY寻址

根据器件模式将PHY A的地址设置为0或2，并将PHY B的地址固定设置为1。

此外，可以通过PHY x特殊模式寄存器（PHY_SPECIAL_MODES_x）中的PHY地址（PHYADD）字段更改PHY A和PHY B的地址。为确保正常工作，PHY A和PHY B的地址必须惟一。不会执行任何检查来确保每个PHY已设置为不同的地址。

11.2 PHY A和PHY B

该器件集成了两个IEEE 802.3 PHY功能。PHY可配置为100 Mbps铜缆（100BASE-TX）或100 Mbps光缆（100BASE-FX）以太网操作，并包括自动协商和HP Auto-MDIX功能。

注： 由于PHY A和PHY B的功能相同，因此本节将它们统称为“PHY x”或简称为“PHY”。只要端口或信号名称后追加有小写字母“x”，均可将其替换为“A”或“B”以分别表示PHY A或PHY B。在某些情况下，可能用“1”或“2”适当替代。本节中对“PHY”的所有引用均可互换用于PHY A和PHY B。

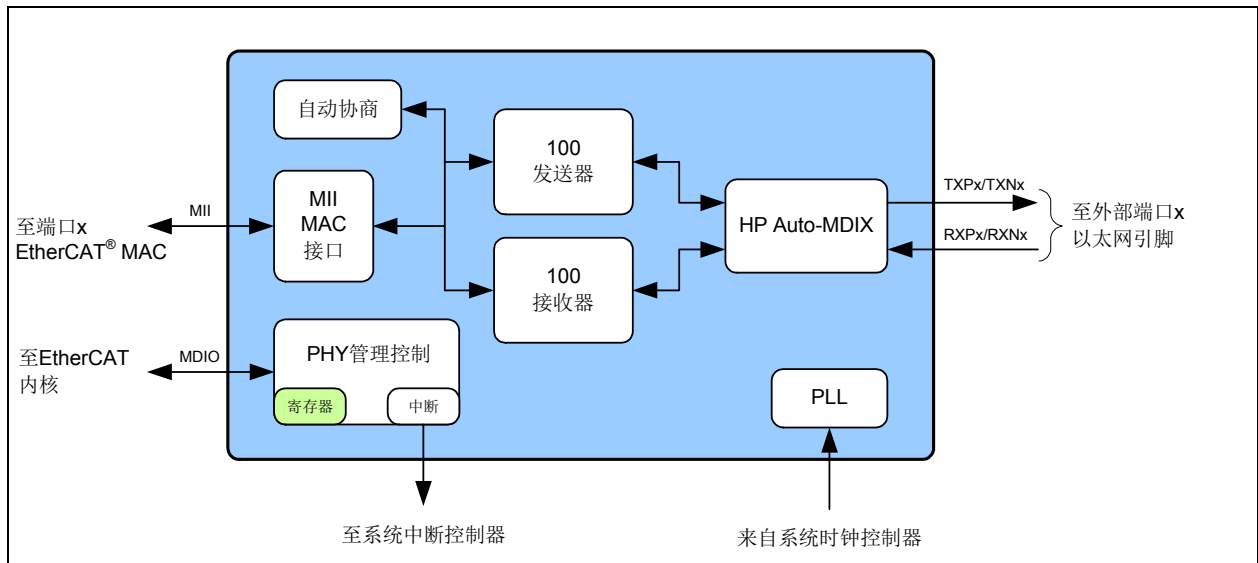
11.2.1 功能说明

每个PHY在功能上可分为以下几部分：

- 100BASE-TX发送和100BASE-TX接收
- 自动协商
- HP Auto-MDIX
- PHY管理控制和PHY中断
- PHY掉电模式
- LAN唤醒（WoL）
- 复位
- 链路完整性测试
- 电缆诊断
- 环回运行
- 100BASE-FX远端故障指示

图 11-1 给出了每个PHY主要组成部分的框图。

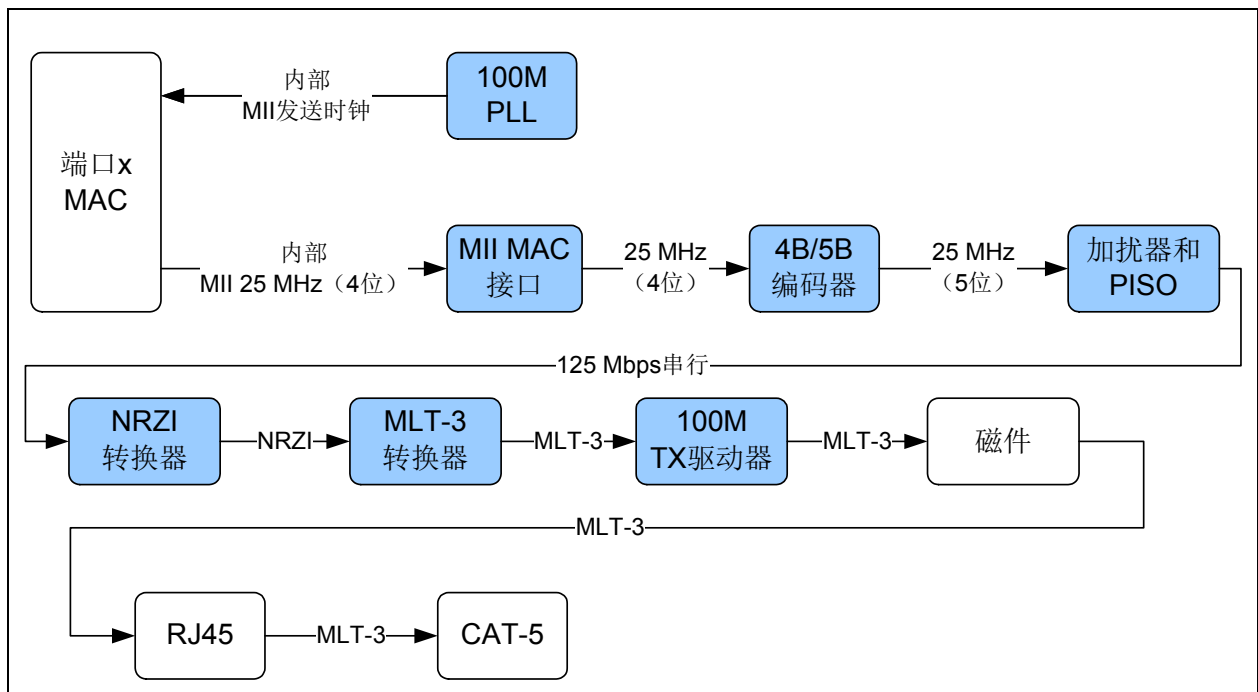
图 11-1: PHY 框图



11.2.2 100BASE-TX 发送

图 11-2 给出了 100BASE-TX 发送数据路径。阴影模块为 PHY 的内部模块。下面几节将介绍各个主要模块。

图 11-2: 100BASE-TX 发送数据路径



11.2.2.1 通过内部 MII 接口进行的 100BASE-TX 发送数据

对于发送操作，EtherCAT 内核 MAC 将发送数据驱动到内部 MII TXD 总线上，并将内部 MII TXEN 置为有效以指示数据有效。该数据为 4 位宽格式的 25 MHz 数据。

LAN9252

11.2.2.2 4B/5B 编码器

将发送数据从MII模块传递到4B/5B编码器。该模块根据表11-1将数据从4位半字节编码为5位符号（称为“编码组”）。将每个4位数据半字节映射到32个可能的编码组中的16个。其余16个编码组用于控制信息或者无效。

前16个编码组按其相应数据半字节的十六进制值（从0至F）进行引用。其余编码组指定为两侧带斜杠的字母标识。例如，空闲编码组为//，发送错误编码组为/H/等。

表11-1： 4B/5B 编码表

编码组	符号	接收器说明			发送器说明		
11110	0	0	0000	数据	0	0000	数据
01001	1	1	0001		1	0001	
10100	2	2	0010		2	0010	
10101	3	3	0011		3	0011	
01010	4	4	0100		4	0100	
01011	5	5	0101		5	0101	
01110	6	6	0110		6	0110	
01111	7	7	0111		7	0111	
10010	8	8	1000		8	1000	
10011	9	9	1001		9	1001	
10110	A	A	1010		A	1010	
10111	B	B	1011		B	1011	
11010	C	C	1100		C	1100	
11011	D	D	1101		D	1101	
11100	E	E	1110		E	1110	
11101	F	F	1111		F	1111	
11111	//	空闲			/T/R/ 后发送，直到接收到MII发送器使能信号（TXEN）		
11000	/J/	SSD 的第一个半字节，空闲后转换为“0101”，否则为MII接收错误（RXER）			MII发送器使能信号（TXEN）上升沿时发送		
10001	/K/	SSD 的第二个半字节，在J后转换为“0101”，否则为MII接收错误（RXER）			MII发送器使能信号（TXEN）上升沿时发送		
01101	/T/	ESD 的第一个半字节，后跟/R/时会导致CRS置为无效，否则将MII接收错误（RXER）置为有效			MII发送器使能信号（TXEN）下降沿时发送		
00111	/R/	ESD 的第二个半字节，在/T/后会导致CRS置为无效，否则将MII接收错误（RXER）置为有效			MII发送器使能信号（TXEN）下降沿时发送		
00100	/H/	发送错误符号			MII发送错误（TXER）上升沿时发送		

表 11-1: 4B/5B 编码表 (续)

编码组	符号	接收器说明	发送器说明
00110	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
11001	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
00000	/P/	无效	无效
00001	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
00010	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
00011	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
00101	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
01000	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
01100	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效
10000	/V/	无效, MII 接收数据有效 (RXDV) 期间为 MII 接收错误 (RXER)	无效

11.2.2.3 加扰器和 PISO

重复的数据模式 (特别是空闲编码组) 可能会有带较大窄带峰值的功率谱密度。对数据加扰有助于消除这些峰值并在整个通道带宽上更均匀地分布信号功率。FCC 法规要求采用这种统一的谱密度以避免物理接线辐射过多的 EMI。

加扰器的种子由 PHY 地址产生, 从而确保每个 PHY 都有自己的加扰器序列。有关 PHY 寻址的更多信息, 请参见第 11.1.1 节“PHY 寻址”。

加扰器还会对数据执行并行输入串行输出 (Parallel In Serial Out, PISO) 转换。

11.2.2.4 NRZI 和 MLT-3 编码

加扰器模块将 5 位宽的并行数据传递到 NRZI 转换器, 数据将在该转换器中变为串行 125 MHz NRZI 数据流。然后将 NRZI 编码为 MLT-3。MLT-3 是一种 3 级编码方法, 其中逻辑电平变化表示编码位 “1”, 逻辑输出保持同一电平表示编码位 “0”。

11.2.2.5 100M 发送驱动器

MLT-3 数据随后会传递到模拟发送器, 该发送器将输出引脚 TXP_x 和 TXN_x 上的 MLT-3 差分信号驱动到 1:1 比例隔离变压器两端的双绞线介质中。发送器驱动到 CAT-5 电缆的 100Ω 阻抗中。电缆端接和阻抗匹配需要外部元件。

11.2.2.6 100M 锁相环 (PLL)

100M PLL 锁定到参考时钟并生成用于驱动 125 MHz 逻辑和 100BASE-TX 发送器的 125 MHz 时钟。

图 11-3 给出了 100BASE-TX 接收数据路径。阴影模块为 PHY 的内部模块。下面几节将介绍各个主要模块。

来自电缆的MLT-3数据在输入RXPx和RXNx上通过1:1比例变压器馈入PHY。ADC以每秒125M个采样的速率对传入的差分信号进行采样。利用64级量化器,生成6个数字位以代表每个采样。DSP根据观测到的信号电平调整ADC的增益,以便可以使用ADC的整个动态范围。

将ADC的此6位馈入DSP模块。DSP部分中的均衡器用于补偿由磁件、连接器和CAT-5电缆组成的物理通道引起的相位和幅值失真。均衡器可以为长度在1m到100m之间的任何高品质CAT-5电缆恢复信号。

100M PLL生成125 MHz时钟的多个相位。由DSP定时单元控制的多路开关会选择最佳相位以对数据进行采样。此时钟被用作接收的恢复时钟。此时钟用于从接收的信号中提取串行数据。

DSP生成馈入MLT-3转换器的MLT-3恢复电平。MLT-3随后会转换为NRZI数据流。

解扰器执行与发送器中的加扰器相反的功能，还会对数据执行串行输入并行输出（Serial In Parallel Out, SIPO）转换。

在接收空闲（//）符号期间，解扰器将其解扰器密钥与传入的流同步。同步完成后，解扰器会锁定此密钥并且能够解扰传入的数据。

解扰器中的特殊逻辑通过在4000字节（40 μs）的窗口中搜索空闲符号确保与远程收发器同步。该窗口确保可以无干扰地接收符合IEEE 802.3标准、最大大小为1514字节的数据包。如果在此时间段内未检测到空闲符号，则接收操作将中止，解扰器会重启同步过程。

然后通过数据包开始时识别/J/K/流起始分隔符（Start-of-Stream Delimiter, SSD）对，将解扰后的信号对齐到5位编码组中。确定码字对齐后，会对其进行存储和利用，直到下一个帧开始。

11.2.3.5 5B/4B解码

根据4B/5B表将5位编码组转换为4位数据半字节。转换后的数据出现在内部MII RXD[3:0]信号线上。SSD（/J/K/）转换为“0101 0101”，作为MAC前导码的前2个半字节。接收SSD会导致收发器将接收数据有效信号置为有效，指示在RXD总线上存在有效数据。连续的有效编码组将转换为数据半字节。接收由/T/R/符号组成的结束帧分隔符（End of Stream Delimiter, ESD）或至少两个//符号，会导致收发器将载波监听和接收数据有效信号置为无效。

注： 这些符号不会转换为数据。

11.2.3.6 接收数据有效信号

内部MII的接收数据有效信号（RXDV）指示与RXCLK同步的RXD[3:0]输出上出现已恢复和解码的半字节。RXDV在识别到/J/K/分隔符后变为有效，RXD与半字节边界对齐。RXDV保持有效，直到识别到/T/R/分隔符、链路测试指示失败或SIGDET变为假。

准备通过介质无关接口传输转换后的/J/K/的第一个半字节时，RXDV置为有效。

11.2.3.7 接收器错误

在帧传输期间，意外的编码组会被视为接收错误。预期的编码组是数据集（0至F）和/T/R/（ESD）符号对。发生接收错误时，内部MII的RXER信号置为有效并将任意数据驱动到内部MII的RXD[3:0]线上。如果正在解码/J/K/分隔符期间检测到错误（不良SSD错误），则RXER将置为真并将值1110b驱动到RXD[3:0]线上。请注意，不良SSD出现时，内部MII的数据有效信号（RXDV）尚未置为有效。

11.2.3.8 通过内部MII接口进行的100M接收数据

对于接收操作，将4位数据半字节发送到MII MAC接口模块。这些数据半字节以25 MHz的速率在时钟控制下输入控制器。RXCLK是内部MII总线的输出时钟。它从接收的数据中恢复以为RXD总线提供时钟。如果没有接收的信号，则其将由系统参考时钟产生。

11.2.4 自动协商

自动协商功能的用途是根据其链路伙伴的能力将收发器自动配置为最优链路参数。自动协商是一种在两个链路伙伴之间交换配置信息和自动选择受双方支持的最高性能工作模式的机制。自动协商在IEEE 802.3规范的第28条中有完整定义，并通过将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的自动协商使能（PHY_AN）位置1来使能。

注： 自动协商不适用于100BASE-FX模式。

PHY的通告能力存储在PHY x自动协商通告寄存器（PHY_AN_ADV_x）中。PHY能够在全双工或半双工模式下通告100BASE-TX和10BASE-T。除连接速度外，PHY还可以通告远程故障指示和IEEE 802.3规范中定义的对称或非对称暂停流控制。收发器支持“下一页”功能，此功能用于协商高效节能以太网功能，并支持软件控制页面。通过如第150页上的第11.2.16.5节“PHY x自动协商通告寄存器（PHY_AN_ADV_x）”所示的配置脚确定许多PHY默认通告功能。有关如何使用器件配置脚的更多详细信息，请参见第51页上的第7.0节“配置脚”。

LAN9252

自动协商完成后，有关已解析链路的信息和协商过程的结果反映在 [PHY x 特殊控制/状态寄存器 \(PHY_SPECIAL_CONTROL_STATUS_x\)](#) 的速度指示位和 [PHY x 自动协商链路伙伴基本页面能力寄存器 \(PHY_AN_LP_BASE_ABILITY_x\)](#) 中。自动协商协议纯粹是物理层活动，其执行与 MAC 控制器无关。

自动协商会话期间将激活以下模块：

- 自动协商（数字）
- 100M ADC（模拟）
- 100M PLL（模拟）
- 100M 均衡器/BLW/时钟恢复（DSP）
- 10M SQUELCH（模拟）
- 10M PLL（模拟）
- 10M 发送器（模拟）

使能时，发生以下任何事件均会启动自动协商：

- 上电复位（POR）
- 硬件复位（RST#）
- PHY 软件复位（通过 [复位控制寄存器 \(RESET_CTL\)](#) 或 [PHY x 基本控制寄存器 \(PHY_BASIC_CONTROL_x\)](#) 的 bit 15）
- PHY 掉电复位（第 131 页上的第 11.2.8 节“PHY 掉电模式”）
- PHY 链路状态中断（[PHY x 基本状态寄存器 \(PHY_BASIC_STATUS_x\)](#) 的 bit 2 清零）
- 将 [PHY x 基本控制寄存器 \(PHY_BASIC_CONTROL_x\)](#) 的 bit 9 设置为高电平（自动协商重启）
- [EtherCAT 系统复位](#)

注： 有关这些和其他系统复位的信息，请参见第 38 页上的第 6.2 节“复位”。

检测到这些事件之一时，收发器通过发送快速链路脉冲（Fast Link Pulses, FLP）突发启动自动协商。链路脉冲突发来自 10M TX 驱动器。这些脉冲被整形为常规链路脉冲并且可以无损地传递至 CAT-3 或 CAT-5 电缆。一个快速链路脉冲突发包含最多 33 个脉冲。始终存在的 17 个奇数脉冲构成 FLP 突发。可能存在或缺失的 16 个偶数脉冲包含正在传输的数据字。存在数据脉冲表示“1”，缺失表示“0”。

FLP 突发发送的数据称为“链路编码字”。它们由 IEEE 802.3 第 28 条完整定义。总的来说，收发器在其选择器字段（链路编码字的前 5 位）中通告 802.3 的合规性。它根据 [PHY x 自动协商通告寄存器 \(PHY_AN_ADV_x\)](#) 中设置的位通告其技术能力。

存在 4 种可能的技术能力匹配。按优先级依次为：

- 100M 全双工（最高优先级）
- 100M 半双工
- 10M 全双工
- 10M 半双工（最低优先级）

如果通告了收发器的完全能力（100M，全双工）且链路伙伴支持 10M 和 100M，则自动协商将选择 100M 作为最高性能模式。如果链路伙伴支持半双工和全双工模式，则自动协商将选择全双工作为最高性能模式。

确定功能匹配后，通过应答位设置重复链路编码字。此时链路编码字主要内容的任何差异都将导致自动协商重启。如果未接收到全部所需 FLP 突发，则自动协商也将重启。

写入 [PHY x 自动协商通告寄存器 \(PHY_AN_ADV_x\)](#) 位 [8:5] 可以用软件控制收发器通告的功能。写入 [PHY x 自动协商通告寄存器 \(PHY_AN_ADV_x\)](#) 不会自动重启自动协商。通告新功能之前，必须将 [PHY x 基本控制寄存器 \(PHY_BASIC_CONTROL_x\)](#) 的重启自动协商（[PHY_RST_AN](#)）位置 1。也可以通过软件将 [PHY x 基本控制寄存器 \(PHY_BASIC_CONTROL_x\)](#) 的自动协商使能（[PHY_AN](#)）位清零来禁止自动协商。

11.2.4.1 并行检测

如果与该器件相连的器件不能自动协商（即，未检测到FLP），则其可以根据100M MLT-3符号或10M常规链路脉冲确定链路速度。在这种情况下，将根据IEEE 802.3标准假定链路为半双工。这种能力称为“并行检测”。此特性可确保与传统链路伙伴的互操作性。如果通过并行检测构成链路，则将PHY x自动协商扩展寄存器（PHY_AN_ADV_x）的链路伙伴的自动协商能力位清零以指示链路伙伴不能自动协商。如果并行检测期间发生故障，则将PHY x自动协商扩展寄存器（PHY_AN_ADV_x）的并行检测故障位置1。

PHY x自动协商链路伙伴基本页面能力寄存器（PHY_AN_LP_BASE_ABILITY_x）用于存储链路伙伴能力信息，该信息编码在接收的FLP中。如果链路伙伴不能自动协商，则在完成并行检测后更新此寄存器以反映链路伙伴的速度能力。

11.2.4.2 重启自动协商

可以随时通过将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的重启自动协商（PHY_RST_AN）位置1来重启自动协商。链路断开时，自动协商也将随时重启。链路断开是由于信号损耗所致。发生这种情况的原因可能是由于电缆断开或链路伙伴发送的信号中断。尝试恢复自动协商以确定新的链路配置。

如果管理实体通过将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的重启自动协商（PHY_RST_AN）位置1重启自动协商，则器件将通过停止所有发送/接收操作进行响应。在自动协商状态机中完成内部break_link_time（约1200 ms）后，自动协商将重启。在这种情况下，链路伙伴会由于缺少接收信号而断开链路，因此也会恢复自动协商。

11.2.4.3 禁止自动协商

可以将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的自动协商使能（PHY_AN）位清零来禁止自动协商。随后收发器将强制其运行速度以反映PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）（速度选择LSB（PHY_SPEED_SEL_LSB）和双工模式（PHY_DUPLEX））中的信息。使能自动协商时，这些位会被忽略。

11.2.4.4 半双工与全双工

半双工运行依赖于载波监听多路访问/冲突检测（Carrier Sense Multiple Access/Collision Detect, CSMA/CD）协议来处理网络通信和冲突。在此模式下，载波监听信号CRS响应发送和接收活动。如果在收发器发送数据期间接收数据，则会产生冲突。

在全双工模式下，收发器能够同时发送和接收数据。在此模式下，CRS仅响应接收活动。CSMA/CD协议不适用并且会禁止冲突检测。

11.2.5 HP AUTO-MDIX

借助HP Auto-MDIX，可方便地使用CAT-3（10 BASE-T）或CAT-5（100 BASE-T）介质UTP互连电缆，无需考虑接口布线方案。如果用户插入直接连接的LAN电缆或交叉接线电缆（如图11-4所示），则收发器能够配置TXPx/TXNx和RXPx/RXNx双绞线的引脚以确保收发器正确运行。

注： Auto-MDIX不适用于100BASE-FX模式。

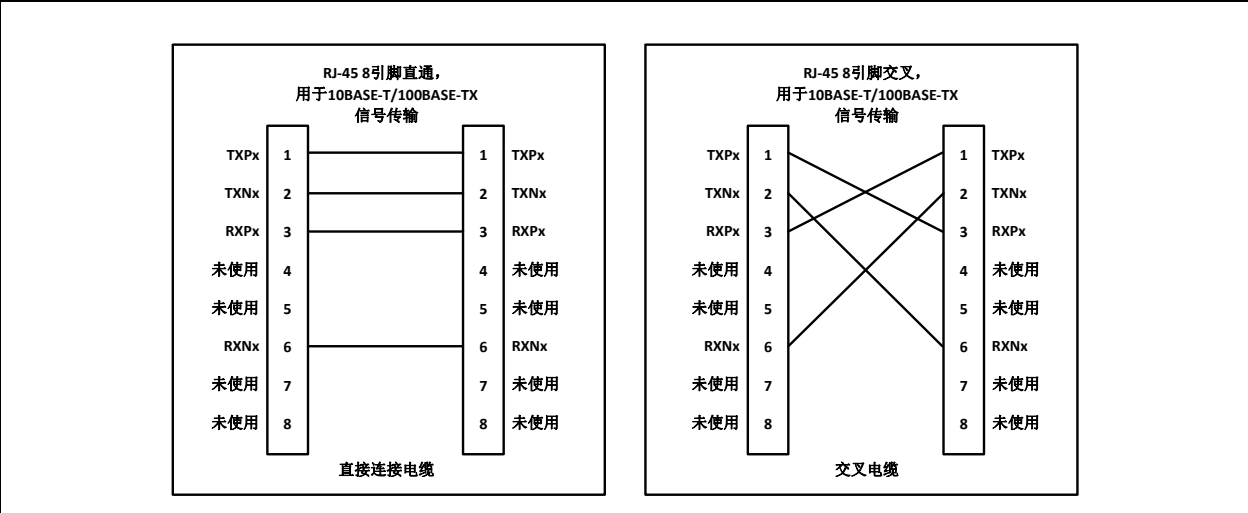
器件的内部逻辑会检测连接器件的发送和接收引脚。由于接收和发送线对可以互换，因此需要特殊的PCB设计注意事项以适应Auto-MDIX设计的对称磁件和端子。

可以通过PHY x特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x）的Auto-MDIX控制（AMDIXCTRL）位对Auto-MDIX功能执行基于软件的控制。当AMDIXCTRL置1时，Auto-MDIX功能由PHY x特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x）的Auto-MDIX使能（AMDIXEN）和Auto-MDIX状态（AMDIXSTATE）位决定。

注： 在 10BASE-T 或 100BASE-TX 手动模式下工作时，可以通过 [PHY x EDPD NLP/交叉时间/EEE 配置寄存器（PHY_EDPD_CFG_x）](#) 的 [延长手动 10/100 Auto-MDIX 交叉时间](#) 位延长 Auto-MDIX 的交叉时间。更多信息，请参见第 159 页上的第 11.2.16.12 节。

使能能量检测掉电后，可以通过 [PHY x EDPD NLP/交叉时间/EEE 配置寄存器（PHY_EDPD_CFG_x）](#) 的 [EDPD 延长交叉](#) 位延长 Auto-MDIX 的交叉时间。更多信息，请参见第 159 页上的第 11.2.16.12 节。

图 11-4： 直接电缆连接与交叉电缆连接



11.2.6 PHY 管理控制

PHY 管理控制模块负责 PHY 的管理功能，包括寄存器访问和中断产生。根据 IEEE 802.3（第 22 条）的要求，串行管理接口（Serial Management Interface, SMI）用于支持寄存器，以及规范允许的供应商特定寄存器。SMI 接口由 MII 管理数据（MII Management Data, MDIO）信号和 MII 管理时钟（MII Management Clock, MDC）信号组成。这些信号允许访问全部的 PHY 寄存器。关于受支持的所有寄存器和寄存器说明的列表，请参见第 142 页上的第 11.2.16 节“PHY 寄存器”。不受支持的寄存器将读为 FFFFh。

11.2.7 PHY 中断

PHY 能够产生多种中断事件。读取 [PHY x 中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）](#) 可显示中断源。[PHY x 中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）](#) 允许或禁止每个 PHY 中断。

PHY 管理控制时钟模块将允许的中断状态聚合到内部信号中，该内部信号随后会发送到系统中断控制器中并通过 [中断状态寄存器（INT_STS）](#) 的 [PHY A 中断事件（PHY_INT_A）](#) 和 [PHY B 中断事件（PHY_INT_B）](#) 位反映。有关器件中断的更多信息，请参见第 53 页上的第 8.0 节“系统中断”。

PHY 中断系统提供两种模式，即主要中断模式和备用中断模式。相应屏蔽位置 1 时，两种模式会将发送到系统中断控制器的内部中断信号置为有效。这些模式仅在将内部中断信号置为无效的方式上有差异。以下几个小节详细介绍了这些模式。

注： 上电或硬复位后，主要中断模式为默认中断模式。上电或硬复位后，备用中断模式需要设置。

11.2.7.1 主要中断模式

主要中断模式为默认中断模式。上电或硬复位后，始终选择主要中断模式。在此模式下，要允许中断，将**PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）**中的相应屏蔽位置1（见**表11-2**）。当将中断置为有效的事件为真时，内部中断信号将被置为有效。当将中断置为无效的相应事件为真时，内部中断信号将被置为无效。

表11-2: 中断管理表

屏蔽	中断源标志		中断源		将中断置为有效的事件	将中断置为无效的事件
30.9	29.9	链路接通	LINKSTAT 见 注1	链路状态	LINKSTAT 上升沿	LINKSTAT 下降沿或读寄存器29
30.8	29.8	LAN唤醒	WOL_INT 见 注2	已使能WOL事件	WOL_INT 上升沿	WOL_INT 下降沿或读寄存器29
30.7	29.7	ENERGYON	17.1	ENERGYON	17.1 上升沿（ 注3 ）	17.1 下降沿或读寄存器29
30.6	29.6	自动协商完成	1.5	自动协商完成	1.5 上升沿	1.5 下降沿或读寄存器29
30.5	29.5	检测到远程故障	1.4	远程故障	1.4 上升沿	1.4 下降沿、读寄存器1或读寄存器29
30.4	29.4	链路中断	1.2	链路状态	1.2 下降沿	读寄存器1或读寄存器29
30.3	29.3	自动协商LP应答	5.14	应答	5.14 上升沿	5.14 下降沿或读寄存器29
30.2	29.2	并行检测故障	6.4	并行检测故障	6.4 上升沿	6.4 下降沿、读寄存器6、读寄存器29、再次自动协商或链路中断
30.1	29.1	接收到自动协商页面	6.1	接收到页面	6.1 上升沿	6.1 下降沿、读寄存器6、读寄存器29、再次自动协商或链路中断。

注 1: LINKSTAT为内部链路状态，不直接在任何寄存器位中提供。

注 2: WOL_INT定义为**PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）**中的bit 7:4与同一寄存器的bit 3:0进行逻辑与运算，然后将得到的4位进行逻辑或运算。

注 3： 如果在 ENERGYON 仍为高电平时使能了屏蔽位并已将内部中断信号置为无效，则内部中断信号将置为有效 256 ms，拔下电缆时在 ENERGYON 变为低电平后内部中断信号将置为有效约一秒钟。作为 ENERGYON 中断服务程序的一部分，应始终将 ENERGYON 中断屏蔽位清零，以防止意外将内部中断信号置为有效。

注： 在信号采集过程开始时，PHY x 模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）中的能量开启（ENERGYON）位默认设置为 1，因此 PHY x 中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的 INT7 位将在上电时也读为 1。如果信号不存在，则能量开启（ENERGYON）和 INT7 将在几毫秒内清零。

11.2.7.2 备用中断模式

通过将 PHY x 模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）的 ALTINT 位置 1 使能备用中断模式。在此模式下，要允许中断，将 PHY x 中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中的相应位置 1（见表 11-3）。要清除中断，清除中断源并向相应的中断源标志写 1。向中断源标志写 1 将使状态机检查中断源以确定应该将中断源标志清零还是保持为 1。如果置为无效的条件为真，则中断源标志将清零，内部中断信号也将置为无效。如果置为无效的条件为假，则中断源标志保持置 1，内部中断信号保持有效。

表 11-3： 备用中断模式管理表

屏蔽	中断源标志		中断源		将中断置为有效的事件	置为无效的条件	清除中断位
30.9	29.9	链路接通	LINKSTAT 见注 4	链路状态	LINKSTAT 上升沿	LINKSTAT 低电平	29.9
30.8	29.8	LAN 唤醒	WOL_INT 见注 5	已使能 WOL 事件	WOL_INT 上升沿	WOL_INT 低电平	29.8
30.7	29.7	ENERGYON	17.1	ENERGYON	17.1 上升沿	17.1 低电平	29.7
30.6	29.6	自动协商完成	1.5	自动协商完成	1.5 上升沿	1.5 低电平	29.6
30.5	29.5	检测到远程故障	1.4	远程故障	1.4 上升沿	1.4 低电平	29.5
30.4	29.4	链路中断	1.2	链路状态	1.2 下降沿	1.2 高电平	29.4
30.3	29.3	自动协商 LP 应答	5.14	应答	5.14 上升沿	5.14 低电平	29.3
30.2	29.2	并行检测故障	6.4	并行检测故障	6.4 上升沿	6.4 低电平	29.2
30.1	29.1	接收到自动协商页面	6.1	接收到页面	6.1 上升沿	6.1 低电平	29.1

注 4： LINKSTAT 为内部链路状态，不直接在任何寄存器位中提供。

注 5： WOL_INT定义为PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）中的bit 7:4与同一寄存器的bit 3:0进行逻辑与运算，然后将得到的4位进行逻辑或运算。

注： 在信号采集过程开始时，PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）中的能量开启（ENERGYON）位默认设置为1，因此PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的INT7位将在上电时也读为1。如果信号不存在，则能量开启（ENERGYON）和INT7将在几毫秒内清零。

11.2.8 PHY掉电模式

有两种PHY掉电模式：常规掉电模式和能量检测掉电模式。以下几个小节详细介绍了这些模式。

注： 有关器件的各种功耗管理功能的更多信息，请参见第43页上的第6.3节“功耗管理”。

每个PHY的掉电模式单独进行控制。

PHY掉电模式不会重载或复位PHY寄存器。

11.2.8.1 常规掉电

此掉电模式由PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的掉电（PHY_PWR_DWN）位控制。在此模式下，除PHY管理控制接口外，整个收发器将掉电。只要掉电（PHY_PWR_DWN）位置1，收发器就将保持在此掉电状态。掉电（PHY_PWR_DWN）位清零后，收发器上电并自动复位。

11.2.8.2 能量检测掉电

通过将PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）的能量检测掉电（EDPWRDOWN）位置1使能此掉电模式。在此模式下，当线路中不存在能量时，整个收发器掉电（除PHY管理控制接口、SQUELCH电路和ENERGYON逻辑外）。ENERGYON逻辑用于检测是否存在来自100BASE-TX、10BASE-T或自动协商信号的有效能量。

在此模式下，当PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）中的能量开启（ENERGYON）位信号为低电平时，收发器掉电且不发送任何数据。接收到能量时，通过链路脉冲或数据包，能量开启（ENERGYON）位变为高电平且收发器上电。收发器自动复位到掉电前的状态，并将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）的INT7位置为有效。用于激活ENERGYON的第一个数据包和第二个数据包可能丢失。

当PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）的能量检测掉电（EDPWRDOWN）位为低电平时，禁止能量检测掉电。

处于EDPD模式时，可以修改器件的NLP特性。可以在EDPD下通过PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD TX NLP使能位将器件配置为发送NLP。使能时，可通过PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD TX NLP间隔定时器选择字段配置TX NLP时间间隔。处于EDPD模式时，还可将器件配置为在接收到一个或两个NLP时唤醒。将PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD RX单个NLP唤醒使能位置1可将器件使能为在接收到单个NLP时唤醒。如果EDPD RX单个NLP唤醒使能位清零，则可通过PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD RX NLP最大间隔检测选择字段配置检测到接收两个NLP后从EDPD唤醒的最大间隔。

能量检测掉电特性是器件各种功耗管理特性的一部分，可用于触发功耗管理事件或一般中断请求引脚（IRQ）。这可通过使能PHY的能量检测掉电特性（如上文所述）以及将功耗管理控制寄存器（PMT_CTRL）的相应能量检测使能位（PHY A的bit 14和PHY B的bit 15）置1来完成。更多信息，请参见功耗管理。

11.2.9 LAN唤醒（WoL）

PHY支持理想DA、广播、魔术包和唤醒帧的层WoL事件检测。

每类支持的唤醒事件（理想DA、广播、魔术包或唤醒帧）均可通过PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的理想DA唤醒使能（PFDA_EN）、广播唤醒使能（BCST_EN）、魔术包使能（MPEN）和唤醒帧使能（WUEN）位单独使能。通过PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）的INT8位指示WoL事件。

WoL特性是器件多种功耗管理特性的一部分，可用于触发功耗管理事件或一般中断请求引脚（IRQ）。这可通过使能PHY的WoL特性（如上文所述）以及将功耗管理控制寄存器（PMT_CTRL）的相应WoL使能位（PHY A的bit 14和PHY B的bit 15）置1来完成。更多信息，请参见第43页上的第6.3节“功耗管理”。

PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）还提供了已配置WoL位，可在配置过所有WoL寄存器后通过软件将该位置1。由于所有WoL相关的寄存器均不受软件复位影响，因此软件可以轮询已配置WoL位以确保所有WoL寄存器都已完全配置。这样软件便可在因WoL事件导致重启后跳过WoL寄存器的重新编程。

以下几个小节详细介绍了每种WoL事件。有关主要系统中断的更多信息，请参见第53页上的第8.0节“系统中断”。

11.2.9.1 理想DA（目标地址）检测

使能时，理想DA检测模式允许检测目标地址与PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）、PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）和PHY x MAC接收地址C寄存器（PHY_RX_ADDRRC_x）中存储的地址相匹配的帧。此帧也必须通过FCS和数据包长度检查。

例如，主机系统必须执行以下步骤来使能器件检测理想DA WoL事件：

1. 在PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）、PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）和PHY x MAC接收地址C寄存器（PHY_RX_ADDRRC_x）中设置所需MAC地址以引起唤醒事件。
2. 将PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的理想DA唤醒使能（PFDA_EN）位置1以使能理想DA检测。
3. 将PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）的bit 8（WoL事件指示）置1以使能WoL事件。

触发匹配时，将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）的bit 8和PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的接收到理想DA帧（PFDA_FR）位置1。

11.2.9.2 广播检测

使能时，广播检测模式允许检测目标地址值为FF FF FF FF FF FF的帧。此帧也必须通过FCS和数据包长度检查。

例如，主机系统必须执行以下步骤来使能器件检测广播WoL事件：

1. 将PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的广播唤醒使能（BCST_EN）位置1以使能广播检测。
2. 将PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）的bit 8（WoL事件指示）置1以使能WoL事件。

触发匹配时，将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）的bit 8和PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的接收到广播帧（BCAST_FR）位置1。

11.2.9.3 魔术包检测

使能时，魔术包检测模式允许检测魔术包帧。魔术包是寻址到器件的帧（至已编程地址的单播或者广播），其中在目标地址和源地址字段后包含模式48'h FF_FF_FF_FF_FF_FF，后面重复16次所需MAC地址（装入PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）、PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）和PHY x MAC接收地址C

寄存器 (PHY_RX_ADDR_C_x) 且无任何间隔或中断。如果 16 次地址重复中存在间隔, 则在传入帧中对 48'h FF_FF_FF_FF_FF_FF 模式再次进行逻辑扫描。16 次地址重复可位于帧中的任何位置, 但前面必须是同步流。此帧也必须通过 FCS 检查和数据包长度检查。

例如, 如果所需地址为 00h 11h 22h 33h 44h 55h, 则将扫描以太网帧中的以下数据序列:

```
目标地址源地址 .....FF FF FF FF FF FF
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55
...FCS
```

例如, 主机系统必须执行以下步骤来使能器件检测魔术包 WoL 事件:

在 PHY x MAC 接收地址 A 寄存器 (PHY_RX_ADDR_A_x)、PHY x MAC 接收地址 B 寄存器 (PHY_RX_ADDR_B_x) 和 PHY x MAC 接收地址 C 寄存器 (PHY_RX_ADDR_C_x) 中设置所需 MAC 地址以引起唤醒事件。

将 PHY x 唤醒控制和状态寄存器 (PHY_WUCSR_x) 的魔术包使能 (MPEN) 位置 1 以使能魔术包检测。

将 PHY x 中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x) 的 bit 8 (WoL 事件指示) 置 1 以使能 WoL 事件。

触发匹配时, 将 PHY x 中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 的 bit 8 和 PHY x 唤醒控制和状态寄存器 (PHY_WUCSR_x) 的接收到魔术包 (MPR) 位置 1。

11.2.9.4 唤醒帧检测

使能时, 唤醒帧检测模式允许检测已预编程的唤醒帧。唤醒帧检测向系统设计人员提供一种通过可编程唤醒帧过滤器在数据包内检测自定义模式的方法。过滤器具有一个 128 位字节的掩码, 指示应由检测逻辑比较帧的哪些字节。计算这些字节的 CRC-16。然后将结果与过滤器的相应 CRC-16 进行比较, 以确定是否匹配。接收到唤醒模式时, PHY x 唤醒控制和状态寄存器 (PHY_WUCSR_x) 的接收到远程唤醒帧 (WUFR) 位置 1。

如果使能, 过滤器还可以包括目标地址与 PHY x MAC 接收地址 A 寄存器 (PHY_RX_ADDR_A_x)、PHY x MAC 接收地址 B 寄存器 (PHY_RX_ADDR_B_x) 和 PHY x MAC 接收地址 C 寄存器 (PHY_RX_ADDR_C_x) 中所指定地址的比较结果。指定的地址可以是单播或多播。如果使能了地址匹配, 则只有已编程的单播或多播将被视为匹配。可分别使能非特定多播地址和广播地址。对地址匹配结果进行逻辑或运算 (即, 指定地址匹配结果与任一多播结果或广播结果进行逻辑或运算)。

是否已使能过滤器以及是否已检查目标地址, 都通过配置 PHY x 唤醒过滤器配置寄存器 A (PHY_WUF_CFGA_x) 进行确定。使能过滤器前, 应用程序必须通过采样帧和相应字节掩码提供检测逻辑。通过写 PHY x 唤醒过滤器配置寄存器 A (PHY_WUF_CFGA_x)、PHY x 唤醒过滤器配置寄存器 B (PHY_WUF_CFGB_x) 和 PHY x 唤醒过滤器字节掩码寄存器 (PHY_WUF_MASK_x) 提供此信息。分别由过滤模式偏移量和过滤器 CRC-16 字段确定帧内的起始偏移量和过滤器的预期 CRC-16。

如果使能了远程唤醒模式, 则远程唤醒功能对每一帧针对过滤器进行检查并在帧通过过滤器的地址过滤和 CRC 值匹配时将其识别为远程唤醒帧。

模式偏移量定义了应进行检查的第一个字节在帧中的位置。字节掩码为 128 位字段, 指定是否应检查帧中以模式偏移量开始的每 128 个连续字节。如果字节掩码的 bit j 置 1, 则检测逻辑会在帧中检查字节 (模式偏移量 + j), 否则字节 (模式偏移量 + j) 将被忽略。

完成CRC-16校验过程时，将通过模式偏移量与字节掩码计算得到的CRC-16与过滤器相关的预期CRC-16值进行比较。如果匹配，则发出远程唤醒事件信号。此帧也必须通过FCS检查和数据包长度检查。

表 11-4 给出了产生唤醒事件的情况。所有其他情况均不生成唤醒事件。

表 11-4： 唤醒产生情况

是否使能过滤器	帧类型	CRC匹配	是否使能地址匹配	是否使能任一多播	是否使能广播	帧地址匹配
是	单播	是	否	X	X	X
是	单播	是	是	X	X	是
是	多播	是	X	是	X	X
是	多播	是	是	否	X	是
是	广播	是	X	X	是	X

例如，主机系统必须执行以下步骤来使能器件检测唤醒帧WoL事件：

声明模式：

- 1. 更新PHY x唤醒过滤器字节掩码寄存器（PHY_WUF_MASK_x）以指示要匹配的有效字节。
- 2. 离线计算有效字节的CRC-16值并更新PHY x唤醒过滤器配置寄存器B（PHY_WUF_CFGB_x）。可按如下方式计算CRC-16：

帧开始时，将CRC-16初始化为值FFFFh。当模式偏移量和掩码指示接收的字节是校验和计算的一部分时，更新CRC-16。此时使用以下算法更新CRC-16：

假设：

- ^表示异或运算符。
- Data[7:0]是将包含在校验和中的已接收数据字节。
- CRC[15:0]包含计算得到的CRC-16校验和。
- F0 ... F7为中间结果，当数据字节确定为CRC-16的一部分时进行计算。

计算：

- F0 = CRC[15] ^ Data[0]
- F1 = CRC[14] ^ F0 ^ Data[1]
- F2 = CRC[13] ^ F1 ^ Data[2]
- F3 = CRC[12] ^ F2 ^ Data[3]
- F4 = CRC[11] ^ F3 ^ Data[4]
- F5 = CRC[10] ^ F4 ^ Data[5]
- F6 = CRC[09] ^ F5 ^ Data[6]
- F7 = CRC[08] ^ F6 ^ Data[7]

按如下所述更新CRC-32：

- CRC[15] = CRC[7] ^ F7
- CRC[14] = CRC[6]
- CRC[13] = CRC[5]
- CRC[12] = CRC[4]
- CRC[11] = CRC[3]


```

CRC[10] = CRC[2]
CRC[9] = CRC[1] ^ F0
CRC[8] = CRC[0] ^ F1
CRC[7] = F0 ^ F2
CRC[6] = F1 ^ F3
CRC[5] = F2 ^ F4
CRC[4] = F3 ^ F5
CRC[3] = F4 ^ F6
CRC[2] = F5 ^ F7
CRC[1] = F6
CRC[0] = F7

```

- 通过作为目标地址第一个字节的偏移量0确定偏移量模式。在PHY x唤醒过滤器配置寄存器A (PHY_WUF_CFGA_x) 的过滤模式偏移量字段中更新偏移量。

确定地址匹配条件:

- 根据表11-4确定地址匹配方案，并相应地更新PHY x唤醒过滤器配置寄存器A (PHY_WUF_CFGA_x) 的过滤广播使能、过滤任意多播使能和地址匹配使能位。
- 必要时（见第4步），在PHY x MAC接收地址A寄存器 (PHY_RX_ADDRA_x)、PHY x MAC接收地址B寄存器 (PHY_RX_ADDRB_x) 和PHY x MAC接收地址C寄存器 (PHY_RX_ADDR_C_x) 中设置所需MAC地址以引起唤醒事件。
- 将PHY x唤醒过滤器配置寄存器A (PHY_WUF_CFGA_x) 的过滤器使能位置1以使能过滤器。

使能唤醒帧检测:

- 将PHY x唤醒控制和状态寄存器 (PHY_WUCSR_x) 的唤醒帧使能 (WUEN) 位置1以使能唤醒帧检测。
- 将PHY x中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x) 的bit 8 (WoL 事件指示) 置1以使能WoL事件。

触发匹配时，PHY x唤醒控制和状态寄存器 (PHY_WUCSR_x) 的接收到远程唤醒帧 (WUFR) 位将置1。要为软件提供额外的可视性，PHY x唤醒过滤器配置寄存器A (PHY_WUF_CFGA_x) 的过滤器触发位将置1。

11.2.10 复位

除芯片级硬件复位 (RST#)、EtherCAT系统复位和上电复位 (POR) 外，PHY支持三种模块特定的复位。以下几节将讨论这些复位。有关所有器件复位和复位序列的详细信息，请参见第38页上的第6.2节“复位”。

注： 只有硬件复位 (RST#)、上电复位 (POR) 或EtherCAT系统复位会将配置脚值自动重载到PHY寄存器中。

复位控制寄存器 (RESET_CTL) 中的数字复位 (DIGITAL_RST) 位不会复位PHY。

对于所有其他PHY复位，将需要通过软件手动配置PHY寄存器。

11.2.10.1 通过RESET_CTL进行PHY软件复位

可以通过复位控制寄存器 (RESET_CTL) 复位PHY。大约102 μs后，这些位将自清零。此复位不会将配置脚值重载到PHY寄存器中。

11.2.10.2 通过PHY_BASIC_CTRL_x进行PHY软件复位

也可以通过将PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1来复位PHY。复位完成后，该位自清零并恢复为0。此复位不会将配置脚值重载到PHY寄存器中。

11.2.10.3 PHY掉电复位

PHY从掉电状态返回后，会自动产生PHY复位。PHY掉电模式不会重载或复位PHY寄存器。更多信息，请参见第131页上的第11.2.8节“PHY掉电模式”。

11.2.11 链路完整性测试

器件按照IEEE 802.3u（第24-15条）链路监视状态图中所述执行链路完整性测试。链路状态与10 Mbps链路状态复用，构成PHY x基本状态寄存器（PHY_BASIC_STATUS_x）中的链路状态位并驱动链路LED功能。

DSP通过内部的DATA_VALID信号向链路监视状态机指示由ANSI X3.263 TP-PMD标准定义的RXPx和RXNx信号中的有效MLT-3波形。当DATA_VALID置为有效时，控制逻辑转至链路就绪状态并等待来自自动协商模块的使能信号。接收到使能信号后，将进入链路接通状态，发送和接收逻辑模块变为有效。如果禁止自动协商，则链路完整性逻辑将在DATA_VALID置为有效时立即切换至链路接通状态。

要使链路稳定，链路完整性逻辑将从DATA_VALID置为有效开始等待至少330 ms，直到进入链路就绪状态。如果在任何时候将DATA_VALID输入置为无效，则此逻辑将立即使链路信号无效并进入链路中断状态。

11.2.12 电缆诊断

PHY提供电缆诊断功能，可以对以太网电缆的开路/短路和长度进行检测。电缆诊断包括两个主要工作模式：

- **时域反射法（TDR）电缆诊断**
TDR电缆诊断能够检测TX或RX对上的开路或短路连接，以及估算开路/短路故障的电缆长度。
- **匹配的电**缆诊断
匹配的电

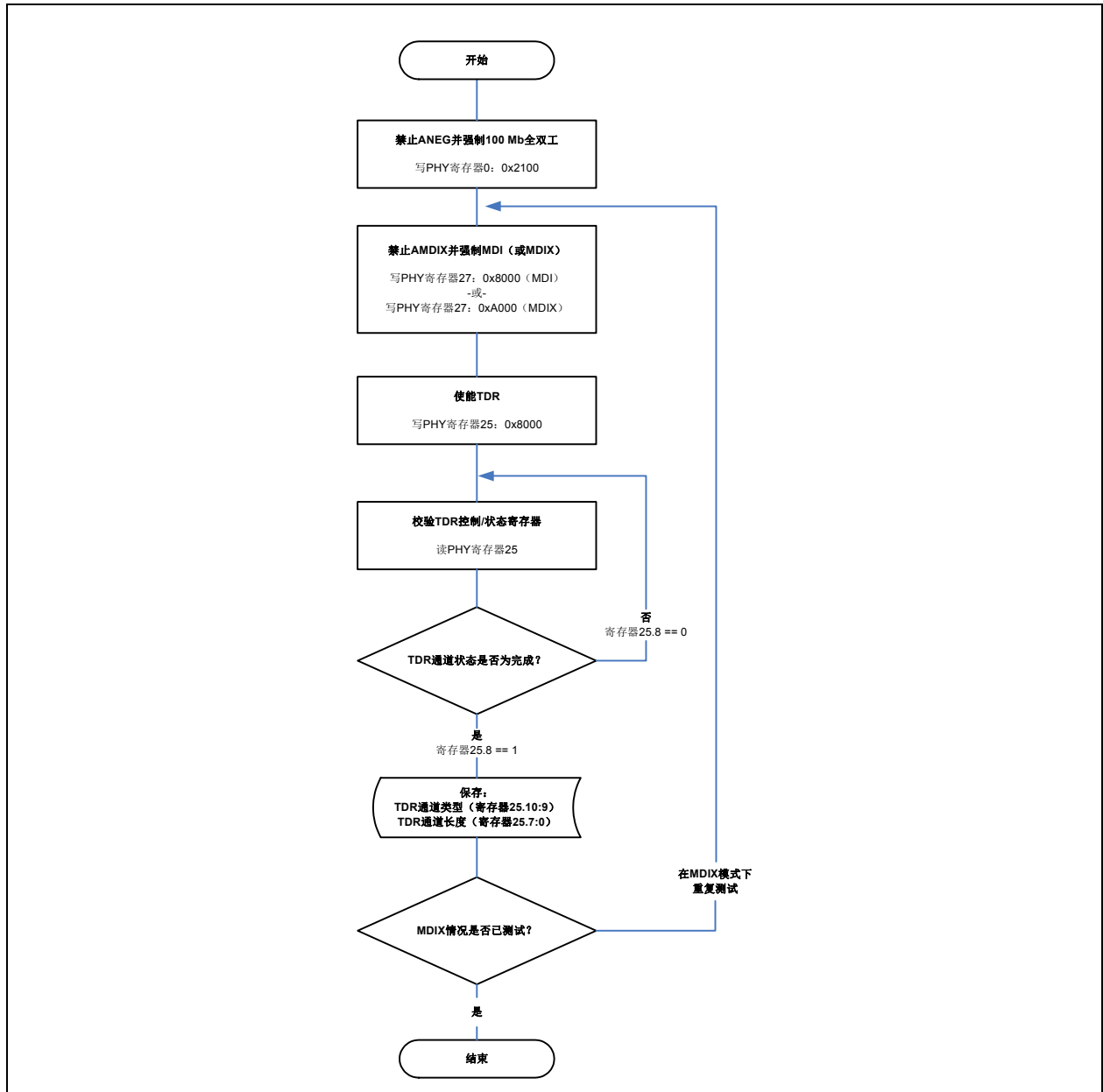
有关每种电缆诊断模式正常工作的详细信息，请参见以下几个小节。

注： 电缆诊断不适用于100BASE-FX模式。

11.2.12.1 时域反射法（TDR）电缆诊断

PHY提供TDR电缆诊断功能，能够检测TX或RX对上的开路或短路连接，以及估算开路/短路故障的电缆长度。要利用TDR电缆诊断，必须禁止Auto-MDIX和自动协商，并且必须将PHY强制为100 Mbps全双工模式。将PHY x TDR控制/状态寄存器（PHY_TDR_CONTROL_STAT_x）中的TDR使能位置1前，必须执行这些操作。禁止Auto-MDIX时，TDR将对通过寄存器的bit 27.13（Auto-MDIX状态（AMDIXSTATE））选择的TX或RX对进行测试。适当的电缆测试应包括每个对的测试。TDR电缆诊断不适用于100BASE-FX模式。TDR测试完成时，可能会恢复之前的寄存器设置。图11-5提供了正确的TDR使用流程图。

图11-5: TDR使用流程图



TDR通过在以太网电缆中所选双绞线上发送脉冲来工作（MDI模式下为发送，MDIX模式下为接收）。如果被测试对开路或短路，则形成的阻抗间断会产生可由PHY检测到的反射信号。PHY测量发送信号与接收反射之间的时间间隔，并在PHY x TDR控制/状态寄存器（PHY_TDR_CONTROL_STAT_x）的TDR通道长度字段中给出结果。TDR通道长度字段指示的电缆“电气”长度可与表11-5中适当的传播常数相乘，以确定与故障的近似物理距离。

注： TDR功能通常在链路无法工作时使用。但是，运行TDR时活动链路将断开。

由于TDR依赖于未正确端接电缆的反射信号，因此有几个因素会影响物理长度估算的精度。包括：

- 1. **电缆类型（CAT 5、CAT 5e或CAT 6）**：由于内部信号对的每米缠绕数和信号传播速度的差异，每种电缆类型的电气长度均略有不同。如果已知电缆类型，则可以通过使用适合该电缆类型的传播常数（见表11-5）更精确地估算长度。在许多实际应用中，电缆类型未知，或者可能是不同电缆类型及长度的组合。在这种情况下，使用“未知”电缆类型的传播常数。
- 2. **发送和接收对**：针对每种电缆类型，EIA 标准为以太网电缆中的每个信号对规定了不同的缠绕率（每米缠绕数）。这导致接收对和发送对具有不同的测量结果。
- 3. **实际电缆长度**：估算的电缆长度与实际电缆长度之间的差值随物理电缆长度的增加而增大，最精确的结果约小于100m。
- 4. **开路/短路情况**：与故障的物理距离相同时，开路和短路情况将返回不同的TDR通道长度值（电气长度）。通过使用不同的传播常数计算电缆的物理长度来实现对这种情况的补偿。

对于开路情况，可通过如下公式计算与故障的估算距离：

与开路故障的距离（以米为单位） $\cong$ TDR通道长度 * P_{OPEN}
其中：P_{OPEN}是从表11-5选择的传播常数

对于短路情况，可通过如下公式计算与故障的估算距离：

与短路故障的距离（以米为单位） $\cong$ TDR通道长度 * P_{SHORT}
其中：P_{SHORT}是从表11-5选择的传播常数

表 11-5： TDR传播常数

TDR传播常数	电缆类型			
	未知	CAT 6	CAT 5E	CAT 5
P _{OPEN}	0.769	0.745	0.76	0.85
P _{SHORT}	0.793	0.759	0.788	0.873

开路和短路情况的典型电缆长度测量误差范围取决于所选电缆类型和器件与开路/短路故障的距离。表11-6和表11-7分别详细介绍了开路和短路情况的典型测量误差。

表 11-6： 开路电缆的典型测量误差（+/-米）

与故障的物理距离	所选传播常数			
	P _{OPEN} = 未知	P _{OPEN} = CAT 6	P _{OPEN} = CAT 5E	P _{OPEN} = CAT 5
CAT 6 电缆，0-100m	9	6		
CAT 5E 电缆，0-100m	5		5	
CAT 5 电缆，0-100m	13			3
CAT 6 电缆，101-160m	14	6		
CAT 5E 电缆，101-160m	8		6	
CAT 5 电缆，101-160m	20			6

表 11-7: 短路电缆的典型测量误差 (+/- 米)

与故障的物理距离	所选传播常数			
	P _{SHORT} = 未知	P _{SHORT} = CAT 6	P _{SHORT} = CAT 5E	P _{SHORT} = CAT 5
CAT 6 电缆, 0-100m	8	5		
CAT 5E 电缆, 0-100m	5		5	
CAT 5 电缆, 0-100m	11			2
CAT 6 电缆, 101-160m	14	6		
CAT 5E 电缆, 101-160m	7		6	
CAT 5 电缆, 101-160m	11			3

11.2.12.2 匹配的电缆诊断

匹配的电缆诊断能够估算最长 120 米的 100 Mbps 链路电缆的电缆长度。如果存在活动的 100 Mbps 链路，则可以使用 **PHY x 电缆长度寄存器 (PHY_CABLE_LEN_x)** 估算与链路伙伴的近似距离。如果电缆已正确端接但不存在活动的 100 Mbps 链路（链路伙伴被禁止、不起作用或链路速度为 10 Mbps 等），则无法估算电缆长度并应忽略 **PHY x 电缆长度寄存器 (PHY_CABLE_LEN_x)**。可以使用表 11-8 中提供的查找表通过 **PHY x 电缆长度寄存器 (PHY_CABLE_LEN_x)** 的 **电缆长度 (CBLN)** 字段确定与链路伙伴的估算距离。匹配的电缆情况的典型电缆长度测量误差范围为 +/- 20m。对于从 0 至 120m 的所有电缆类型，匹配的电缆长度误差范围均一致。

表 11-8: 匹配情况下的估算电缆长度 (CBLN) 查找表

CBLN 字段值	估算的电缆长度
0 - 3	0
4	6
5	17
6	27
7	38
8	49
9	59
10	70
11	81
12	91
13	102
14	113
15	123

注： 对于正确端接的电缆（匹配情况），不存在反射信号。在这种情况下，**TDR 通道长度**字段无效且应当被忽略。

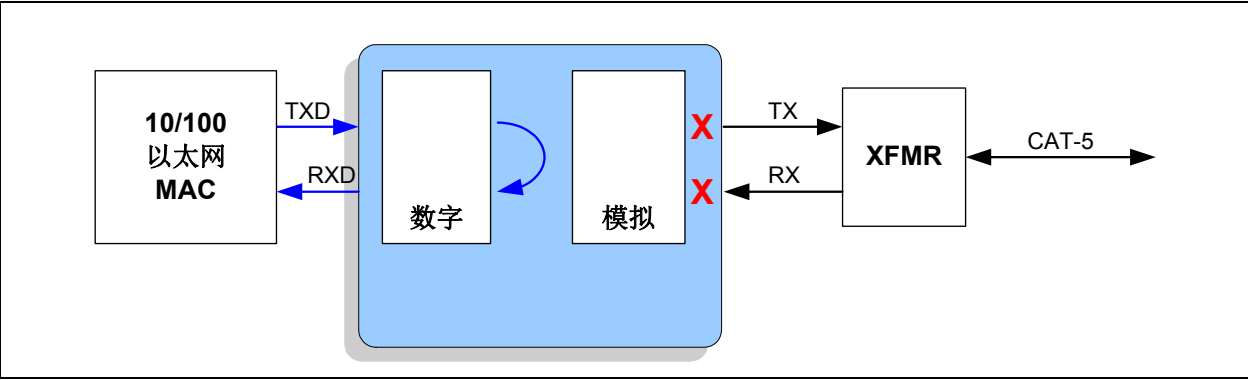
11.2.13 环回运行

PHY可以配置为近端环回和连接器环回。以下几节详细介绍了这些环回模式。

11.2.13.1 近端环回

为进行测试，近端环回模式将数字发送数据发送回收数据信号，如图 11-6 中的蓝色箭头所示。通过将 **PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x)** 的环回 (**PHY_LOOPBACK**) 位置 1 使能近端环回模式。大多数数字电路都在近端环回模式下工作，因为在将数据环回前会经由 PCS 和 PMA 层将其发送到 PMD 子层中。在此模式下 COL 信号将处于无效状态，除非使能了 **PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x)** 中的冲突测试模式 (**PHY_COL_TEST**)。无论内部 MII TXEN 信号的状态如何，发送器都掉电。

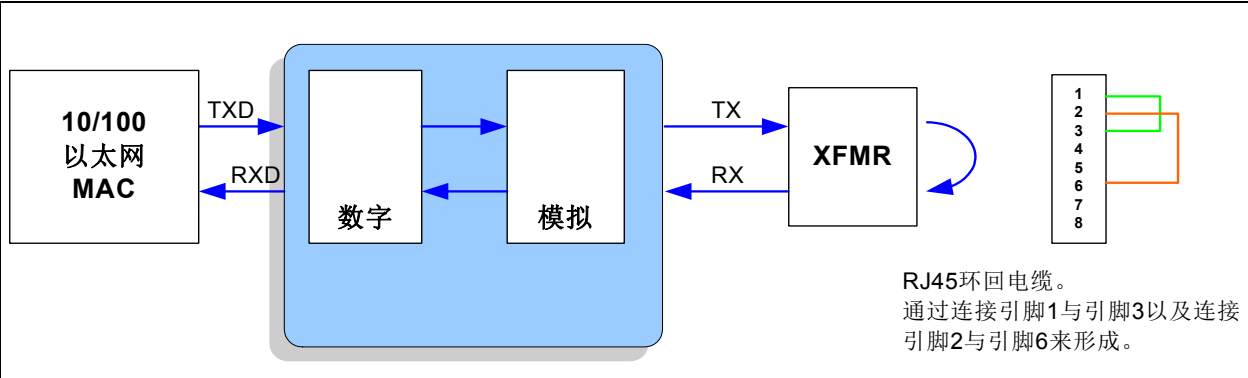
图 11-6： 近端环回框图



11.2.13.2 连接器环回

器件在非常短的电缆上保持可靠传输，并可在连接器环回中进行测试，如图 11-7 所示。RJ45 环回电缆可以用于将来自变压器输出的发送信号发送回收器输入。此环回可以 10 Mbps 和 100 Mbps 速度工作。

图 11-7： 连接环回框图



11.2.14 100BASE-FX 操作

设置为100BASE-FX操作时，禁止加扰器和MTL-3模块，模拟接收和发送引脚更改为差分LVPECL引脚，并通过外部端子连接到外部光纤收发器。差分LVPECL引脚支持与SFF（LVPECL）和SFP（精简LVPECL）类型收发器兼容的信号电压范围。

处于100BASE-FX操作中时，由外部收发器提供接收信号质量作为漏极开路、CMOS电平、信号损失（SFP）或LVPECL信号检测（SFF）。

11.2.14.1 100BASE-FX远端故障指示

由于没有为100BASE-FX指定自动协商，因此其远程故障功能不可用。但是，100BASE-FX提供了一个可选的远端故障功能。

未在接收信号时，远端故障功能向其远端对等设备发送一个特殊的远端故障指示。仅当接收通道上检测到物理错误条件时，才发送远端故障指示。

远端故障指示由三个或多个重复的周期组成，每84个1后跟随一个0。此信号为带内发送并且易于检测，但其构造不满足100BASE-X载波监听标准。

远端故障通过远端故障生成、远端故障检查和链路监视处理实现。远端故障生成过程负责检测接收通道故障（`signal_status = OFF`）并发送远端故障指示作为响应。仅需根据`signal_status`便可随时启动和停止发送远端故障指示。远端故障检测过程持续监视远端故障指示的接收过程。检测到远端故障指示通过导致链路监视过程将`link_status`置为无效来禁用站，反过来会导致站变为源空闲。

处于100BASE-FX模式下时，远端故障默认通过PHY x特殊控制/状态指示寄存器（`PHY_SPECIAL_CONTROL_STAT_IND_x`）的远端故障指示使能（`FEFI_EN`）位使能。

11.2.14.2 100BASE-FX使能和LOS/SD选择

100BASE-FX操作可通过使用FX模式配置脚（`fx_mode_strap_1`和`fx_mode_strap_2`）使能并反映在PHY x特殊模式寄存器（`PHY_SPECIAL_MODES_x`）的100BASE-FX模式（`FX_MODE`）位中。

由三级FXLOSEN配置脚输入引脚为两个PHY选择信号损失模式。这三级分别对应于不同情况下的信号损失模式：a) 不属于任何PHY（小于1V（典型值））；b) 属于PHY A（大于1V（典型值）但小于2V（典型值））；c) 同时属于两个PHY（大于2V（典型值））。无法仅为PHY B选择信号损失模式。

如果未选择信号损失模式，则通过FXSDENA或FXSDENB配置脚输入引脚单独选择信号检测模式。大于1V（典型值）时，使能信号检测模式；小于1V（典型值）时，使能铜制双绞线模式。

注： `FXSDENA` 配置脚输入引脚与 `FXSDA` 引脚共用，`FXSDENB` 配置脚输入引脚与 `FXSDB` 引脚共用。因此，LVPECL电平确保输入大于1V（典型值）并已选择信号检测模式。需要TP铜缆时，无需信号检测输入功能，引脚应设置为0V。

请务必注意，确保未供电或已禁止的收发器不会加载低于有效LVPECL电平的信号检测输入。

表 11-9 和表 11-10 总结了这些选择。

表 11-9： PHY A的100BASE-FX LOS、SD和TP铜缆选择

<code>FXLOSEN</code>	<code>FXSDENA</code>	PHY 模式
<1V（典型值）	<1V（典型值）	TP 铜缆
	>1V（典型值）	100BASE-FX 信号检测
>1V（典型值）	n/a	100BASE-FX LOS

表 11-10: PHY B 的 100BASE-FX LOS、SD 和 TP 铜缆选择

<u>FXLOSEN</u>	<u>FXSDENB</u>	PHY 模式
<1V (典型值)	<1V (典型值)	TP 铜缆
	>1V (典型值)	100BASE-FX 信号检测
>2V (典型值)	n/a	100BASE-FX LOS

11.2.15 需要的以太网磁件 (100BASE-TX)

选择与器件配合使用的磁件应为 Auto-MDIX 型磁件，许多供应商都普遍提供这种磁件。关于最新的合格和建议磁件，请查看 SMSC/Microchip 应用笔记 8.13 “Suggested Magnetics”。该应用笔记提供了供应商和器件编号列表。

11.2.16 PHY 寄存器

PHY A 与 PHY B 在功能上相当，具有同一组非存储器映射寄存器。这些寄存器通过 [MII 管理控制/状态寄存器](#)、[PHY 地址寄存器](#)、[PHY 寄存器地址寄存器](#)、[PHY 数据寄存器](#)、[MII 管理 ECAT 访问状态寄存器](#) 和 [MII 管理 ECAT 访问状态寄存器](#) 间接访问。

由于 PHY A 和 PHY B 寄存器功能相同，因此已将它们的寄存器说明合并。本节中每个 PHY 寄存器名称末尾追加小写的“x”，其中“x”可替换为“A”或“B”以分别代表 PHY A 或 PHY B 寄存器。在某些情况下，用“1”或“2”适当替代。

[表 11-11](#) 中包含 MII 串行可访问控制和状态寄存器的列表和相应的寄存器索引编号。每个 PHY 都分配有惟一的 PHY 地址，如 [第 120 页上的第 11.1.1 节“PHY 寻址”](#) 中所详述。

除 MII 串行可访问控制和状态寄存器外，还有一组可间接访问的寄存器为 [IEEE 802.3 第 45.2 节 MDIO 可管理器件 \(MMD\)](#) 寄存器提供支持。[表 11-14](#) 中包含这些寄存器的列表和相应的寄存器索引编号。

控制和状态寄存器

[表 11-11](#) 提供了支持的寄存器列表。以下几个小节提供了寄存器的详细信息，包括位定义。

除非另外说明，否则写入寄存器时保留的字段必须写入 0。

表 11-11: PHY A 和 PHY B MII 串行可访问控制和状态寄存器

索引	寄存器名称 (符号)	组
0	PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x)	基本
1	PHY x 基本状态寄存器 (PHY_BASIC_STATUS_x)	基本
2	PHY x 标识 MSB 寄存器 (PHY_ID_MSB_x)	扩展
3	PHY x 标识 LSB 寄存器 (PHY_ID_LSB_x)	扩展
4	PHY x 自动协商通告寄存器 (PHY_AN_ADV_x)	扩展
5	PHY x 自动协商链路伙伴基本页面能力寄存器 (PHY_AN_LP_BASE_ABILITY_x)	扩展
6	PHY x 自动协商扩展寄存器 (PHY_AN_ADV_x)	扩展
7	PHY x 自动协商下一页发送寄存器 (PHY_AN_NP_TX_x)	扩展
8	PHY x 自动协商下一页接收寄存器 (PHY_AN_NP_RX_x)	扩展

表11-11: PHY A和PHY B MII串行可访问控制和状态寄存器 (续)

索引	寄存器名称 (符号)	组
13	PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS)	扩展
14	PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA)	扩展
16	PHY x EDPD NLP/交叉时间/EEE配置寄存器 (PHY_EDPD_CFG_x)	供应商 特定
17	PHY x模式控制/状态寄存器 (PHY_MODE_CONTROL_STATUS_x)	供应商 特定
18	PHY x特殊模式寄存器 (PHY_SPECIAL_MODES_x)	供应商 特定
24	PHY x TDR模式/延时控制寄存器 (PHY_TDR_PAT_DELAY_x)	供应商 特定
25	PHY x TDR控制/状态寄存器 (PHY_TDR_CONTROL_STAT_x)	供应商 特定
26	PHY x符号错误计数器寄存器	供应商 特定
27	PHY x特殊控制/状态指示寄存器 (PHY_SPECIAL_CONTROL_STAT_IND_x)	供应商 特定
28	PHY x电缆长度寄存器 (PHY_CABLE_LEN_x)	供应商 特定
29	PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x)	供应商 特定
30	PHY x中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x)	供应商 特定
31	PHY x特殊控制/状态寄存器 (PHY_SPECIAL_CONTROL_STATUS_x)	供应商 特定

11.2.16.1 PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x)

索引（十进制）： 0 大小： 16位

此读/写寄存器用于配置PHY。

位	说明	类型	默认值
15	软复位 (PHY_SRST) 置1时，除标记为NASR类型的寄存器之外，该位将所有PHY寄存器复位为其默认状态。该位自清零。 0: 正常工作 1: 复位	R/W SC	0b
14	环回 (PHY_LOOPBACK) 该位用于使能/禁止环回模式。使能时，不会将传输数据发送到网络。但是，会将它们环回到PHY中。 0: 禁止环回模式（常规操作） 1: 使能环回模式	R/W	0b
13	速度选择LSB (PHY_SPEED_SEL_LSB) 禁止 自动协商使能 (PHY_AN) 位时，该位用于设置PHY速度。 0: 10 Mbps 1: 100 Mbps	R/W	1b
12	自动协商使能 (PHY_AN) 该位用于使能/禁止自动协商。使能时，将改写 速度选择LSB (PHY_SPEED_SEL_LSB) 和 双工模式 (PHY_DUPLEX) 位。 如果PHY x特殊模式寄存器 (PHY_SPECIAL_MODES_x) 的 100BASE-FX 模式 (FX_MODE) 位为高电平，则将该位强制为0。 0: 禁止自动协商 1: 使能自动协商	R/W	注6
11	掉电 (PHY_PWR_DWN) 该位控制PHY的掉电模式。 0: 正常工作 1: 一般掉电模式	R/W	0b
10	保留	RO	-
9	重启自动协商 (PHY_RST_AN) 置1时，该位重启自动协商过程。 0: 正常工作 1: 重启自动协商	R/W SC	0b

位	说明	类型	默认值
8	双工模式 (PHY_DUPLEX) 禁止 自动协商使能 (PHY_AN) 位时，该位用于设置双工模式。 0: 半双工 1: 全双工	R/W	1b
7	冲突测试模式 (PHY_COL_TEST) 该位用于使能/禁止 PHY 的冲突测试模式。置 1 时，发送期间冲突信号有效。建议只在环回模式下使用该功能。 0: 禁止冲突测试模式 1: 使能冲突测试模式	R/W	0b
6:0	保留	RO	-

注 6: 处于 100BASE-FX 模式下时该字段默认为 0，否则为 1。EtherCAT 始终使用自动协商、100 Mbps 和全双工。

11.2.16.2 PHY x基本状态寄存器 (PHY_BASIC_STATUS_x)

索引（十进制）： 1 大小： 16 位

该寄存器用于监视PHY的状态。

位	说明	类型	默认值
15	100BASE-T4 该位显示 100BASE-T4 兼容性的状态。 0: PHY无法执行 100BASE-T4 标准 1: PHY可以执行 100BASE-T4 标准	RO	0b
14	100BASE-X全双工 该位显示 100BASE-X全双工兼容性的状态。 0: PHY无法执行 100BASE-X全双工 1: PHY可以执行 100BASE-X全双工	RO	1b
13	100BASE-X半双工 该位显示 100BASE-X半双工兼容性的状态。 0: PHY无法执行 100BASE-X半双工 1: PHY可以执行 100BASE-X半双工	RO	1b
12	10BASE-T全双工 该位显示 10BASE-T全双工兼容性的状态。 0: PHY无法执行 10BASE-T全双工 1: PHY可以执行 10BASE-T全双工	RO	1b
11	10BASE-T半双工（典型值） 该位显示 10BASE-T半双工兼容性的状态。 0: PHY无法执行 10BASE-T半双工 1: PHY可以执行 10BASE-T半双工	RO	1b
10	100BASE-T2全双工 该位显示 100BASE-T2全双工兼容性的状态。 0: PHY无法执行 100BASE-T2全双工 1: PHY可以执行 100BASE-T2全双工	RO	0b
9	100BASE-T2半双工 该位显示 100BASE-T2半双工兼容性的状态。 0: PHY无法执行 100BASE-T2半双工 1: PHY可以执行 100BASE-T2半双工	RO	0b
8	扩展状态 该位用于显示扩展状态信息是否位于寄存器 15 中（根据 IEEE 802.3 第 22.2.4 条）。 0: 寄存器 15 中没有扩展状态信息 1: 寄存器 15 中有扩展状态信息	RO	0b

位	说明	类型	默认值
7	单向能力 该位指示PHY能否进行发送，无论PHY是否确定已建立有效链路。 0: 仅能在已建立有效链路时发送 1: 无论何时均可发送	RO	0b
6	MF前导码抑制 该位指示PHY是否接受带抑制前导码的管理帧。 0: 不接受带抑制前导码的管理帧 1: 接受带抑制前导码的管理帧	RO	0b
5	自动协商完成 该位指示自动协商过程的状态。 0: 自动协商尚未完成 1: 自动协商已完成	RO	0b
4	远程故障 该位指示是否检测到远程故障情况。 0: 未检测到远程故障情况 1: 检测到远程故障情况	RO/LH	0b
3	自动协商能力 该位指示PHY的自动协商能力。 0: PHY无法执行自动协商 1: PHY可以执行自动协商	RO	1b
2	链路状态 该位指示链路的状态。 0: 链路中断 1: 链路接通	RO/LL	0b
1	Jabber检测 该位指示Jabber条件的状态。 0: 未检测到Jabber条件 1: 检测到Jabber条件	RO/LH	0b
0	扩展能力 该位指示是否支持扩展寄存器功能。 0: 仅限基本寄存器组功能 1: 扩展寄存器组功能	RO	1b

11.2.16.3 PHY x标识MSB 寄存器 (PHY_ID_MSB_x)

索引（十进制）：[2](#) 大小： 16 位

此读/写寄存器包含PHY的组织惟一标识符（Organizationally Unique Identifier, OUI）的MSB。PHY OUI的LSB包含在[PHY x标识LSB 寄存器 \(PHY_ID_LSB_x\)](#) 中。

位	说明	类型	默认值
15:0	PHY ID 将此字段分别分配给OUI的第3至第18位（OUI = 00800Fh）。	R/W	0007h

11.2.16.4 PHY x标识LSB寄存器（PHY_ID_LSB_x）

索引（十进制）： 3 大小： 16位

此读/写寄存器包含PHY的组织惟一标识符（OUI）的LSB。PHY OUI的MSB包含在PHY x标识MSB寄存器（PHY_ID_MSB_x）中。

位	说明	类型	默认值
15:10	PHY ID 将此字段分别分配给PHY OUI的第19至第24位。（OUI = 00800Fh）。	R/W	C140h
9:4	型号 该字段包含PHY的6位制造商型号。	R/W	
3:0	版本号 该字段包含PHY的4位制造商版本号。	R/W	

注： 版本号字段的默认值可能有所不同，具体取决于芯片版本号。

LAN9252

11.2.16.5 PHY x自动协商通告寄存器 (PHY_AN_ADV_x)

索引（十进制）： 4

大小： 16位

该读/写寄存器包含PHY的通告功能并用于与链路伙伴的自动协商过程。

位	说明	类型	默认值
15	下一页 0 = 无下一页能力 1 = 有下一页能力	R/W	0b
14	保留	RO	-
13	远程故障 该位确定是否向链路伙伴通告远程故障指示。 0 : 不通告远程故障指示 1 : 通告远程故障指示	R/W	0b
12	扩展的下一页 注： 该位应写为0。	R/W	0b
11	非对称暂停 该位确定通告非对称暂停功能。 0 : 不向链路伙伴通告非对称暂停 1 : 向链路伙伴通告非对称暂停	R/W	0b
10	对称暂停 该位确定通告对称暂停功能。 0 : 不向链路伙伴通告对称暂停 1 : 向链路伙伴通告对称暂停	R/W	0b
9	保留	RO	-
8	100BASE-X全双工 该位确定通告100BASE-X全双工能力。 0 : 不通告100BASE-X全双工能力 1 : 通告100BASE-X全双工能力	R/W	1b
7	100BASE-X半双工 该位确定通告100BASE-X半双工能力。 0 : 不通告100BASE-X半双工能力 1 : 通告100BASE-X半双工能力	R/W	0b
6	10BASE-T全双工 该位确定通告10BASE-T全双工能力。 0 : 不通告10BASE-T全双工能力 1 : 通告10BASE-T全双工能力	R/W	0b

位	说明	类型	默认值
5	10BASE-T 半双工 该位确定通告 10BASE-T 半双工能力。 0: 不通告 10BASE-T 半双工能力 1: 通告 10BASE-T 半双工能力	R/W	0b
4:0	选择器字段 该字段标识自动协商所发送报文的类型。 00001: IEEE 802.3	R/W	00001b

大小: 16位

位	说明	类型	默认值
7	100BASE-X半双工 该位指示链路伙伴PHY的100BASE-X半双工能力。 0: 不支持100BASE-X半双工能力 1: 支持100BASE-X半双工能力	RO	0b
6	10BASE-T全双工 该位指示链路伙伴PHY的10BASE-T全双工能力。 0: 不支持10BASE-T全双工能力 1: 支持10BASE-T全双工能力	RO	0b
5	10BASE-T半双工 该位指示链路伙伴PHY的10BASE-T半双工能力。 0: 不支持10BASE-T半双工能力 1: 支持10BASE-T半双工能力	RO	0b
4:0	选择器字段 该字段标识自动协商所发送报文的类型。 00001: IEEE 802.3	RO	00001b

11.2.16.7 PHY x自动协商扩展寄存器 (PHY_AN_ADV_x)

索引（十进制）：[6](#) 大小： 16位

该读/写寄存器用于链路伙伴和PHY之间的自动协商过程。

位	说明	类型	默认值
15:7	保留	RO	-
6	接收下一页存储单元的能力 0 = 不由 bit 6.5 指定接收的下一页存储单元 1 = 由 bit 6.5 指定接收的下一页存储单元	RO	1b
5	接收的下一页存储单元 0 = 链路伙伴下一页存储在PHY x自动协商链路伙伴基本页面能力寄存器 (PHY_AN_LP_BASE_ABILITY_x) 中 (PHY寄存器5) 1 = 链路伙伴下一页存储在PHY x自动协商下一页接收寄存器 (PHY_AN_NP_RX_x) 中 (PHY寄存器8)	RO	1b
4	并行检测故障 该位指示是否检测到并行检测故障。 0: 未通过并行检测功能检测到故障 1: 通过并行检测功能检测到故障	RO/LH	0b
3	链路伙伴的下一页能力 该位指示链路伙伴是否具有下一页能力。 0: 链路伙伴不包含下一页能力 1: 链路伙伴包含下一页能力	RO	0b
2	下一页能力 该位指示本地器件是否具有下一页能力。 0: 本地器件不包含下一页能力 1: 本地器件包含下一页能力	RO	1b
1	接收到页面 该位指示新页面的接收情况。 0: 未接收到新页面 1: 已接收到新页面	RO/LH	0b
0	链路伙伴的自动协商能力 该位指示链路伙伴的自动协商能力。 0: 链路伙伴不能自动协商 1: 链路伙伴能够自动协商	RO	0b

11.2.16.8 PHY x自动协商下一页发送寄存器 (PHY_AN_NP_TX_x)

索引（十进制）： 7

大小： 16位

位	说明	类型	默认值
15	下一页 0 = 无下一页能力 1 = 有下一页能力	R/W	0b
14	保留	RO	-
13	报文页面 0 = 未格式化的页面 1 = 报文页面	R/W	1b
12	应答2 0 = 器件无法符合报文要求。 1 = 器件符合报文要求。	R/W	0b
11	翻转 0 = 前一个值为高电平。 1 = 前一个值为低电平。	RO	0b
10:0	报文代码 报文/未格式化的代码字段	R/W	000 0000 0001b

11.2.16.9 PHY x自动协商下一页接收寄存器 (PHY_AN_NP_RX_x)

索引 (十进制): 8 大小: 16 位

位	说明	类型	默认值
15	下一页 0 = 无下一页能力 1 = 有下一页能力	RO	0b
14	应答 0 = 尚未从伙伴接收链路代码字 1 = 已从伙伴接收链路代码字	RO	0b
13	报文页面 0 = 未格式化的页面 1 = 报文页面	RO	0b
12	应答2 0 = 器件无法符合报文要求。 1 = 器件符合报文要求。	RO	0b
11	翻转 0 = 前一个值为高电平。 1 = 前一个值为低电平。	RO	0b
10:0	报文代码 报文/未格式化的代码字段	RO	000 0000 0000b

11.2.16.10 PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS)

索引 (十进制): 13 大小: 16位

该寄存器与PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA) 结合使用，提供对MDIO可管理器件 (MDIO Manageable Device, MMD) 寄存器的间接访问。更多详细信息，请参见第175页上的MDIO可管理器件 (MMD) 寄存器。

位	说明	类型	默认值
15:14	MMD 功能 该字段用于选择所需 MMD 功能: 00 = 地址 01 = 数据, 无后递增 10 = 保留 11 = 保留	R/W	00b
13:5	保留	RO	-
4:0	MMD 器件地址 (DEVAD) 该字段用于选择所需 MMD 器件地址: (3 = PCS, 7 = 自动协商)	R/W	0h

11.2.16.11 PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA)

索引 (十进制): 14 大小: 16位

该寄存器与PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS) 结合使用，提供对MDIO可管理器件 (MMD) 寄存器的间接访问。更多详细信息，请参见第175页上的MDIO可管理器件 (MMD) 寄存器。

位	说明	类型	默认值
15:0	MMD寄存器地址/数据 如果PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS) 的MMD功能字段为“00”，则此字段用于指示MMD器件地址 (DEVAD) 字段中所指定器件的要读/写的MMD寄存器地址。否则，该寄存器用于读/写先前指定的MMD地址中的数据。	R/W	0000h

11.2.16.12 PHY x EDPD NLP/交叉时间/EEE 配置寄存器 (PHY_EDPD_CFG_x)

索引（十进制）： 16

大小： 16 位

该寄存器用于使能PHY的EEE功能并控制PHY的NLP脉冲生成和Auto-MDIX交叉时间。

位	说明	类型	默认值
15	EDPD TX NLP使能 使能在能量检测掉电模式下生成具有可选择间隔的常规链路脉冲（Normal Link Pulse, NLP）。0 = 禁止，1 = 使能。 需要将 PHY x模式控制/状态寄存器 (PHY_MODE_CONTROL_STATUS_x) 的 能量检测掉电 (EDPWRDOWN) 位置1以进入能量检测掉电模式，并且PHY需要处于能量检测掉电状态以使该位生成NLP。 将此位置1时，还需将该寄存器的 EDPD TX NLP独立模式 位置1。	R/W NASR 注7	0b
14:13	EDPD TX NLP间隔定时器选择 指定处于能量检测掉电状态时，发送NLP的频率。 00b: 1s 01b: 768 ms 10b: 512 ms 11b: 256 ms	R/W NASR 注7	00b
12	EDPD RX单个NLP唤醒使能 置1时，接收单个常规链路脉冲后PHY将唤醒。清零时，PHY需要下面指定间隔内的两个链路脉冲以便唤醒。 连接到“绿色”网络器件时，建议使用单个NLP唤醒模式。	R/W NASR 注7	0b
11:10	EDPD RX NLP最大间隔检测选择 这两位用于指定可被视为有效唤醒信号的两个连续常规链路脉冲之间的最大时间间隔。 00b: 64 ms 01b: 256 ms 10b: 512 ms 11b: 1s	R/W NASR 注7	00b
9:4	保留	RO	-
3	EDPD TX NLP独立模式 置1时，每个PHY端口独立检测掉电情况，以实现EDPD TX NLP功能（通过该寄存器的 EDPD TX NLP使能位 ）。清零时，两个端口均需要处于掉电状态，以便在能量检测掉电期间产生TX NLP。 置1 EDPD TX NLP使能位 时，通常会将该位置1。	R/W NASR 注7	0b

LAN9252

位	说明	类型	默认值
2	保留	RO	-
1	EDPD 延长交叉 处于能量检测掉电（Energy Detect Power-Down, EDPD）模式下（ 能量检测掉电（EDPWRDOWN） 位 = 1）时，将该位置 1 以将交叉时间延长 2976 ms。 0 = 禁止交叉时间延长 1 = 使能交叉时间延长（2976 ms）	R/W NASR 注 7	0b
0	延长手动 10/100 Auto-MDIX 交叉时间 禁止自动协商时，将该位置 1 以将 Auto-MDIX 交叉时间延长 32 个采样时间（32 * 62 ms = 1984 ms）。这样便可与已使能自动协商功能的伙伴 PHY 建立链路。 使能自动协商时，该位不起作用。 建议在禁止已使能 Auto-MDIX 功能的 AN 时将该位置 1。	R/W NASR 注 7	1b

注 7： 通过[复位控制寄存器（RESET_CTL）](#)产生 PHY 复位时，指定为 NASR 的寄存器位将复位。仅在 [PHY x 基本控制寄存器（PHY_BASIC_CONTROL_x）](#) 的软复位（[PHY_SRST](#)）位置 1 时，NASR 标识才适用。

11.2.16.13 PHY x模式控制/状态寄存器 (PHY_MODE_CONTROL_STATUS_x)

索引（十进制）： 17

大小： 16 位

该读/写寄存器用于控制和监视各种PHY配置选项。

位	说明	类型	默认值
15:14	保留	RO	-
13	能量检测掉电 (EDPWRDOWN) 该位控制能量检测掉电模式。 0：禁止能量检测掉电 1：使能量检测掉电 注： 处于EDPD模式时，可以通过 PHY x EDPD NLP/交叉时间/EEE配置寄存器 (PHY_EDPD_CFG_x) 修改器件的NLP特性。	R/W	0b
12:7	保留	RO	-
6	ALTINT 备用中断模式： 0 = 使能主要中断系统（默认值） 1 = 使能备用中断系统 更多信息，请参见第128页上的第11.2.7节“PHY中断”。	R/W NASR 注8	0b
5:2	保留	RO	-
1	能量开启 (ENERGYON) 指示是否检测到能量。如果在256 ms内未检测到有效能量（如果使能了自动协商，则为1500 ms），则该位变为“0”。通过硬件复位或软件复位（如果已使能或将要通过配置脚使能自动协商）将其复位为“1”。更多信息，请参见第131页上的第11.2.8.2节“能量检测掉电”。	RO	1b
0	保留	RO	-

注 8： 通过复位控制寄存器 (RESET_CTL) 产生PHY复位时，指定为NASR的寄存器位将复位。仅在PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1时，NASR标识才适用。

11.2.16.14 PHY x特殊模式寄存器 (PHY_SPECIAL_MODES_x)

索引（十进制）：18 大小：16 位

该读/写寄存器用于控制PHY的特殊模式。

位	说明	类型	默认值
15:11	保留	RO	-
10	100BASE-FX模式 (FX_MODE) 该位使能 100BASE-FX 模式。 注： 无法通过该位正确更改 FX_MODE。该位必须始终写入其当前值。必须使用器件配置脚设置所需模式。	R/W NASR 注9	注10
9:8	保留	RO	-
7:5	PHY 模式 (MODE[2:0]) 该字段控制PHY的工作模式。有关每种模式的定义，请参见表 11-12。 注： 该字段应写入其读取值。	R/W NASR 注9	注11
4:0	PHY 地址 (PHYADD) PHY 地址字段确定PHY将响应的MMI 地址，也用于初始化加密（加扰器）密钥。每个PHY必须具有惟一的地址。更多信息，请参见第120页上的第11.1.1节“PHY 寻址”。 注： 未执行任何检查来确保此地址与其他PHY 地址（PHY A和PHY B）相比是惟一的。	R/W NASR 注9	注12

- 注 9： 通过复位控制寄存器 (RESET_CTL) 产生PHY复位时，指定为NASR的寄存器位将复位。仅在PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1时，NASR标识才适用。
- 注 10： 该位的默认值由过滤器使能配置脚（PHY A的fx_mode_strap_1，PHY B的fx_mode_strap_2）确定。
- 注 11： 处于100BASE-TX模式时，该字段默认为100b（因为EtherCAT仅使用自动协商、100 Mbps和全双工）；处于100BASE-FX模式时，该字段默认为011b（因为EtherCAT仅使用100 Mbps和全双工）。
- 注 12： 按照第120页上的第11.1.1节“PHY 寻址”确定该字段的默认值。

表 11-12: MODE[2:0] 定义

MODE[2:0]	模式定义
000	10BASE-T 半双工。禁止自动协商。
001	10BASE-T 全双工。禁止自动协商。
010	100BASE-TX或100BASE-FX半双工。禁止自动协商。发送和接收期间CRS处于有效状态。
011	100BASE-TX或100BASE-FX全双工。禁止自动协商。接收期间 CRS 处于有效状态。

表 11-12: **MODE[2:0]** 定义 (续)

MODE[2:0]	模式定义
100	通告 100BASE-TX 全双工。使能自动协商。接收期间 CRS 处于有效状态。
101	保留
110	掉电模式
111	全部可以。使能自动协商。

11.2.16.15 PHY x TDR 模式/延时控制寄存器 (PHY_TDR_PAT_DELAY_x)

索引 (十进制): 24 大小: 16 位

位	说明	类型	默认值
15	TDR 延时 0 = 线路断开时间为 2 ms。 1 = 器件使用 TDR 线路断开计数器增加启动 TDR 前的线路断开时间。	R/W NASR 注 13	1b
14:12	TDR 线路断开计数器 TDR 延时为 1 时，该字段以 256 ms 为增量指定线路断开时间的增大，最长为 2 秒。	R/W NASR 注 13	001b
11:6	TDR 模式高电平 该字段指定高电平周期时 TDR 模式下发送的数据模式。	R/W NASR 注 13	101110b
5:0	TDR 模式低电平 该字段指定低电平周期时 TDR 模式下发送的数据模式。	R/W NASR 注 13	011101b

注 13: 通过复位控制寄存器 (RESET_CTL) 产生 PHY 复位时，指定为 NASR 的寄存器位将复位。仅在 PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置 1 时，NASR 标识才适用。

11.2.16.16 PHY x TDR控制/状态寄存器 (PHY_TDR_CONTROL_STAT_x)

索引 (十进制):

25

大小:

16 位

位	说明	类型	默认值
15	TDR使能 0 = 禁止 TDR 模式 1 = 使能 TDR 模式 注: TDR 完成 (TDR 通道状态变为高电平) 时, 该位自清零。	R/W NASR SC 注 14	0b
14	TDR 模数滤波器使能 0 = 禁止 TDR 模数滤波器 1 = 使能 TDR 模数滤波器 (减少 TDR 脉冲期间的噪声尖峰)	R/W NASR 注 14	0b
13:11	保留	RO	-
10:9	TDR 通道电缆类型 指示由 TDR 测试确定的电缆类型。 00 = 默认值 01 = 短路电缆条件 10 = 开路电缆条件 11 = 匹配电缆条件	R/W NASR 注 14	00b
8	TDR 通道状态 高电平时, 该位指示 TDR 操作已完成。该位将一直保持高电平, 直到复位或重启 TDR 操作 (TDR 使能位 = 1)。	R/W NASR 注 14	0b
7:0	TDR 通道长度 该八位值指示短路或开路电缆条件期间的 TDR 通道长度。有关该字段使用的更多信息, 请参见第 136 页上的第 11.2.12.1 节 “时域反射法 (TDR) 电缆诊断”。 注: 匹配电缆条件期间, 该字段无效。无开路/短路 (匹配) 条件期间, 必须使用 PHY x 电缆长度寄存器 (PHY_CABLE_LEN_x) 确定电缆长度。更多信息, 请参见第 136 页上的第 11.2.12 节 “电缆诊断”。	R/W NASR 注 14	00h

注 14: 通过复位控制寄存器 (RESET_CTL) 产生 PHY 复位时, 指定为 NASR 的寄存器位将复位。仅在 PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置 1 时, NASR 标识才适用。

11.2.16.17 PHY x符号错误计数器寄存器

索引（十进制）：26 大小：16位

位	说明	类型	默认值
15:0	符号错误计数器（SYM_ERR_CNT） 接收无效代码符号（包括空闲符号）时，该100BASE-TX基于接收器的错误计数器递增。该计数器针对每个数据包仅递增一次，即使接收的数据包中包含多个符号错误。该字段最多可计数至65,536，如果递增至超过其最大值，则计满返回0。 注： 该寄存器在复位时清零，但是读取该寄存器不会将其清零。它在10BASE-T模式下不递增。	RO	0000h

11.2.16.18 PHY x特殊控制/状态指示寄存器 (PHY_SPECIAL_CONTROL_STAT_IND_x)

索引（十进制）： 27

大小： 16位

该读/写寄存器用于控制PHY的各种选项。

位	说明	类型	默认值
15	Auto-MDIX控制 (AMDIXCTRL) 该位负责确定端口x的Auto-MDIX控制源。 0：使能端口x的Auto-MDIX 1：由bit 14和bit 13确定端口x的Auto-MDIX	R/W NASR 注 15	0b
14	Auto-MDIX使能 (AMDIXEN) 该寄存器的AMDIXCTRL位置1时，该位与AMDIXSTATE位配合使用以控制端口的Auto-MDIX功能，如 表 11-13 所示。 Auto-MDIX不适用于100BASE-FX模式，不应为该模式使能它。	R/W NASR 注 15	0b
13	Auto-MDIX状态 (AMDIXSTATE) 该寄存器的AMDIXCTRL位置1时，该位与AMDIXEN位配合使用以控制端口的Auto-MDIX功能，如 表 11-13 所示。	R/W NASR 注 15	0b
12	保留	RO	-
11	SQE测试禁止 (SQEOFF) 该位控制SQE测试（心跳）的禁止。默认情况下使能SQE测试。 0：使能SQE测试 1：禁止SQE测试	R/W NASR 注 15	0b
10:6	保留	RO	-
5	远端故障指示使能 (FEFI_EN) 该位使能远端故障生成和检测。更多信息，请参见 第141页上的第11.2.14.1节“100BASE-FX远端故障指示” 。	R/W	注 16
4	10Base-T极性状态 (XPOL) 该位显示10Base-T的极性状态。 0：正常极性 1：反转极性	RO	0b
3:0	保留	RO	-

注 15：通过复位控制寄存器 (RESET_CTL) 产生PHY复位时，指定为NASR的寄存器位将复位。仅在PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1时，NASR标识才适用。

注 16：处于100BASE-FX模式时该位的默认值为1，否则默认值为0。

表 11-13: AUTO-MDIX 使能和 AUTO-MDIX 状态位功能

Auto-MDIX 使能	Auto-MDIX 状态	模式
0	0	手动模式，无交叉
0	1	手动模式，交叉
1	0	Auto-MDIX 模式
1	1	保留（不使用该状态）

11.2.16.19 PHY x 电缆长度寄存器 (PHY_CABLE_LEN_x)

索引 (十进制):

28

大小:

16 位

位	说明	类型	默认值
15:12	电缆长度 (CBLN) 该四位值指示电缆长度。有关该字段使用的更多信息, 请参见第 139 页上的第 11.2.12.2 节“匹配的电缆诊断”。 注: 该字段指示电缆没有开路/短路情况的 100BASE-TX 链路器件的电缆长度。要确定电缆的开路/短路状态, 必须使用 PHY x TDR 模式/延时控制寄存器 (PHY_TDR_PAT_DELAY_x) 和 PHY x TDR 控制/状态寄存器 (PHY_TDR_CONTROL_STAT_x)。10BASE-T 链路不支持电缆长度。更多信息, 请参见第 136 页上的第 11.2.12 节“电缆诊断”。	RO	0000b
11:0	保留——写为 100000000000b, 读取时忽略	R/W	-

11.2.16.20 PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x)

索引（十进制）： 29 大小： 16 位

该只读寄存器用于确定各种PHY中断源。该寄存器中的所有中断源位均为只读位，并在检测到相应中断（如果已允许）时锁存高电平。读该寄存器会清除中断。通过PHY x中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x) 允许或屏蔽这些中断。

位	说明	类型	默认值
15:9	保留	RO	-
9	INT9 该中断源位指示链路接通（链路状态置为有效）。 0 : 不是中断源 1 : 链路接通（链路状态置为有效）	RO/LH	0b
8	INT8 0 : 不是中断源 1 : 检测到LAN唤醒（WoL）事件	RO/LH	0b
7	INT7 该中断源位指示何时PHY x模式控制/状态寄存器 (PHY_MODE_CONTROL_STATUS_x) 的能量开启（ENERGYON）位被置1。 0 : 不是中断源 1 : 产生ENERGYON	RO/LH	0b
6	INT6 该中断源位指示自动协商完成。 0 : 不是中断源 1 : 自动协商完成	RO/LH	0b
5	INT5 该中断源位指示检测到远程故障。 0 : 不是中断源 1 : 检测到远程故障	RO/LH	0b
4	INT4 该中断源位指示链路中断（链路状态置为无效）。 0 : 不是中断源 1 : 链路中断（链路状态置为无效）	RO/LH	0b
3	INT3 该中断源位指示自动协商LP应答。 0 : 不是中断源 1 : 自动协商LP应答	RO/LH	0b

位	说明	类型	默认值
2	INT2 该中断源位指示并行检测故障。 0: 不是中断源 1: 并行检测故障	RO/LH	0b
1	INT1 该中断源位用于指示已接收到自动协商页面。 0: 不是中断源 1: 接收到自动协商页面	RO/LH	0b
0	保留	RO	-

11.2.16.21 PHY x中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x)

索引 (十进制): 30 大小: 16位

该读/写寄存器用于允许或屏蔽各种PHY中断并与PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 配合使用。

位	说明	类型	默认值
15:10	保留	RO	-
9	INT9_MASK 该中断屏蔽位允许/屏蔽链路接通（链路状态置为有效）中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
8	INT8_MASK 该中断屏蔽位用于允许/屏蔽WoL中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
7	INT7_MASK 该中断屏蔽位允许/屏蔽ENERGYON中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
6	INT6_MASK 该中断屏蔽位允许/屏蔽自动协商中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
5	INT5_MASK 该中断屏蔽位允许/屏蔽远程故障中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
4	INT4_MASK 该中断屏蔽位允许/屏蔽链路中断（链路状态置为无效）中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
3	INT3_MASK 该中断屏蔽位允许/屏蔽自动协商LP应答中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b

位	说明	类型	默认值
2	INT2_MASK 该中断屏蔽位允许/屏蔽并行检测故障中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
1	INT1_MASK 该中断屏蔽位允许/屏蔽接收自动协商页面中断。 0: 屏蔽中断源 1: 允许中断源	R/W	0b
0	保留	RO	-

11.2.16.22 PHY x特殊控制/状态寄存器（PHY_SPECIAL_CONTROL_STATUS_x）

索引（十进制）：31 大小：16位

该读/写寄存器用于控制和监视PHY的各种选项。

位	说明	类型	默认值																		
15:13	保留	RO	-																		
12	自动完成 该位指示PHY上的自动协商状态。 0：自动协商未完成、已禁止或未激活 1：自动协商完成	RO	0b																		
11:5	保留——写为0000010b，读取时忽略	R/W	0000010b																		
4:2	速度指示 该字段指示当前PHY的速度配置。 <table><tr><th>状态</th><th>说明</th></tr><tr><td>000</td><td>保留</td></tr><tr><td>001</td><td>10BASE-T半双工</td></tr><tr><td>010</td><td>100BASE-TX半双工</td></tr><tr><td>011</td><td>保留</td></tr><tr><td>100</td><td>保留</td></tr><tr><td>101</td><td>10BASE-T全双工</td></tr><tr><td>110</td><td>100BASE-TX全双工</td></tr><tr><td>111</td><td>保留</td></tr></table>	状态	说明	000	保留	001	10BASE-T半双工	010	100BASE-TX半双工	011	保留	100	保留	101	10BASE-T全双工	110	100BASE-TX全双工	111	保留	RO	XXXb
状态	说明																				
000	保留																				
001	10BASE-T半双工																				
010	100BASE-TX半双工																				
011	保留																				
100	保留																				
101	10BASE-T全双工																				
110	100BASE-TX全双工																				
111	保留																				
1:0	保留	RO	0b																		

MDIO可管理器件（MMD）寄存器

该器件的MMD寄存器遵循*IEEE 802.3-2008 45.2 MDIO 接口寄存器*规范。MMD寄存器不进行存储器映射。这些寄存器通过**PHY x MMD访问控制寄存器（PHY_MMD_ACCESS）**和**PHY x MMD访问地址/数据寄存器（PHY_MMD_ADDR_DATA）**进行间接访问。支持的MMD器件地址为3（PCS）、7（自动协商）和30（供应商特定）。

表11-14 “MMD寄存器”详细介绍了每个MMD器件内支持的寄存器。

表11-14： MMD寄存器

MMD器件地址 (十进制)	索引 (十进制)	寄存器名称
3 (PCS)	5	PHY x PCS MMD器件存在1寄存器 (PHY_PCS_MMD_PRESENT1_x)
	6	PHY x PCS MMD器件存在2寄存器 (PHY_PCS_MMD_PRESENT2_x)
	32784	PHY x唤醒控制和状态寄存器 (PHY_WUCSR_x)
	32785	PHY x唤醒过滤器配置寄存器A (PHY_WUF_CFGA_x)
	32786	PHY x唤醒过滤器配置寄存器B (PHY_WUF_CFGB_x)
	32801	PHY x唤醒过滤器字节掩码寄存器 (PHY_WUF_MASK_x)
	32802	
	32803	
	32804	
	32805	
	32806	
	32807	
	32808	
	32865	PHY x MAC接收地址A寄存器 (PHY_RX_ADDRA_x)
	32866	PHY x MAC接收地址B寄存器 (PHY_RX_ADDRB_x)
	32867	PHY x MAC接收地址C寄存器 (PHY_RX_ADDR_C_x)
7 (自动协商)	5	PHY x自动协商MMD器件存在1寄存器 (PHY_AN_MMD_PRESENT1_x)
	6	PHY x自动协商MMD器件存在2寄存器 (PHY_AN_MMD_PRESENT2_x)

表 11-14： MMD 寄存器（续）

MMD 器件地址 (十进制)	索引 (十进制)	寄存器名称
30 (供应商特定)	2	PHY x 供应商特定 MMD 1 器件 ID 1 寄存器 (PHY_VEND_SPEC_MMD1_DEVID1_x)
	3	PHY x 供应商特定 MMD 1 器件 ID 2 寄存器 (PHY_VEND_SPEC_MMD1_DEVID2_x)
	5	PHY x 供应商特定 MMD 1 器件存在 1 寄存器 (PHY_VEND_SPEC_MMD1_PRESENT1_x)
	6	PHY x 供应商特定 MMD 1 器件存在 2 寄存器 (PHY_VEND_SPEC_MMD1_PRESENT2_x)
	8	PHY x 供应商特定 MMD 1 状态寄存器 (PHY_VEND_SPEC_MMD1_STAT_x)
	14	PHY x 供应商特定 MMD 1 封装 ID 1 寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID1_x)
	15	PHY x 供应商特定 MMD 1 封装 ID 2 寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID2_x)

要读或写 MMD 寄存器，必须遵循以下步骤：

1. 向 PHY x MMD 访问控制寄存器 (PHY_MMD_ACCESS) 的 MMD 功能字段写入 00b（地址），并向 MMD 器件地址 (DEVAD) 字段写入所需 MMD 器件（PCS 为 3，自动协商为 7）。
2. 向 PHY x MMD 访问地址/数据寄存器 (PHY_MMD_ADDR_DATA) 写入所需 MMD 寄存器的 16 位地址以在先前选定的 MMD 器件（PCS 或自动协商）内进行读/写。
3. 向 PHY x MMD 访问控制寄存器 (PHY_MMD_ACCESS) 的 MMD 功能字段写入 01b（数据），并为 MMD 器件地址 (DEVAD) 字段选择先前选定的 MMD 器件（PCS 为 3，自动协商为 7）。
4. 进行读操作时，读取包含所选 MMD 寄存器内容的 PHY x MMD 访问地址/数据寄存器 (PHY_MMD_ADDR_DATA)。进行写操作时，向 PHY x MMD 访问地址/数据寄存器 (PHY_MMD_ADDR_DATA) 写入用于先前选定 MMD 寄存器的寄存器内容。

除非另外说明，否则写入寄存器时保留的字段必须写入 0。

11.2.16.23 PHY x PCS MMD 器件存在1 寄存器 (PHY_PCS_MMD_PRESENT1_x)

索引 (十进制):

3.5

大小:

16 位

位	说明	类型	默认值
15:8	保留	RO	-
7	自动协商存在 0 = 封装中不存在自动协商 1 = 封装中存在自动协商	RO	1b
6	TC 存在 0 = 封装中不存在 TC 1 = 封装中存在 TC	RO	0b
5	DTE XS 存在 0 = 封装中不存在 DTE XS 1 = 封装中存在 DTE XS	RO	0b
4	PHY XS 存在 0 = 封装中不存在 PHY XS 1 = 封装中存在 PHY XS	RO	0b
3	PCS 存在 0 = 封装中不存在 PCS 1 = 封装中存在 PCS	RO	1b
2	WIS 存在 0 = 封装中不存在 WIS 1 = 封装中存在 WIS	RO	0b
1	PMD/PMA 存在 0 = 封装中不存在 PMD/PMA 1 = 封装中存在 PMD/PMA	RO	0b
0	第22条寄存器存在 0 = 封装中不存在第22条寄存器 1 = 封装中存在第22条寄存器	RO	0b

11.2.16.24 PHY x PCS MMD 器件存在2 寄存器 (PHY_PCS_MMD_PRESENT2_x)

索引 (十进制): 3.6 大小: 16 位

位	说明	类型	默认值
15	供应商特定器件2 存在 0 = 封装中不存在供应商特定器件2 1 = 封装中存在供应商特定器件2	RO	0b
14	供应商特定器件1 存在 0 = 封装中不存在供应商特定器件1 1 = 封装中存在供应商特定器件1	RO	1b
13	第22条扩展存在 0 = 封装中不存在第22条扩展 1 = 封装中存在第22条扩展	RO	0b
12:0	保留	RO	-

11.2.16.25 PHY x唤醒控制和状态寄存器 (PHY_WUCSR_x)

索引 (十进制):

3.32784

大小:

16 位

位	说明	类型	默认值
15:9	保留	RO	-
8	已配置WoL 配置WoL寄存器后可以通过软件将该位置1。该粘住位（以及所有其他WoL相关寄存器位）只能通过掉电再上电或引脚复位进行复位，允许软件跳过对WoL寄存器的编程来响应WoL事件。 注： 更多信息，请参见第132页上的第11.2.9节“LAN唤醒（WoL）”。	R/W/ NASR 注 17	0b
7	接收到理想DA帧 (PFDA_FR) 接收到具有与物理地址匹配的目标地址的有效帧时，MAC将该位置1。	R/WC/ NASR 注 17	0b
6	接收到远程唤醒帧 (WUFR) 接收到有效的远程唤醒帧时，MAC将该位置1。	R/WC/ NASR 注 17	0b
5	接收到魔术包 (MPR) 接收到有效的魔术包时，MAC将该位置1。	R/WC/ NASR 注 17	0b
4	接收到广播帧 (BCAST_FR) 接收到有效的广播帧时，MAC将该位置1。	R/WC/ NASR 注 17	0b
3	理想DA唤醒使能 (PFDA_EN) 置1时，使能远程唤醒模式，并且MAC可以在接收到具有与器件物理地址相匹配目标地址的帧时唤醒。物理地址存储在PHY x MAC接收地址A寄存器 (PHY_RX_ADDRA_x)、PHY x MAC接收地址B寄存器 (PHY_RX_ADDRB_x) 和PHY x MAC接收地址C寄存器 (PHY_RX_ADDRC_x) 中。	R/W/ NASR 注 17	0b
2	唤醒帧使能 (WUEN) 置1时，使能远程唤醒模式，并且MAC能够检测在唤醒过滤器中编程的唤醒帧。	R/W/ NASR 注 17	0b
1	魔术包使能 (MPEN) 置1时，使能魔术包唤醒模式。	R/W/ NASR 注 17	0b
0	广播唤醒使能 (BCST_EN) 置1时，使能远程唤醒模式，并且MAC能够由广播帧唤醒。	R/W/ NASR 注 17	0b

注 17： 通过复位控制寄存器 (RESET_CTL) 产生PHY复位时，指定为NASR的寄存器位将复位。仅在PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1时，NASR标识才适用。

11.2.16.26 PHY x唤醒过滤器配置寄存器A (PHY_WUF_CFGA_x)

索引 (十进制): 3.32785 大小: 16 位

位	说明	类型	默认值
15	过滤器使能 0 = 禁止过滤器 1 = 使能过滤器	R/W/ NASR 注 18	0b
14	过滤器触发 0 = 不触发过滤器 1 = 触发过滤器	R/WC/ NASR 注 18	0b
13:11	保留	RO	-
10	地址匹配使能 置 1 时，目标地址必须与编程的地址相匹配。清零时，接受任何单播包。更多信息，请参见第 133 页上的第 11.2.9.4 节“唤醒帧检测”。	R/W/ NASR 注 18	0b
9	过滤任意多播使能 置 1 时，除广播外的任何多播数据包都将引起地址匹配。更多信息，请参见第 133 页上的第 11.2.9.4 节“唤醒帧检测”。 注： 该位的优先级高于该寄存器的 bit 10。	R/W/ NASR 注 18	0b
8	过滤广播使能 置 1 时，任何广播帧都将引起地址匹配。更多信息，请参见第 133 页上的第 11.2.9.4 节“唤醒帧检测”。 注： 该位的优先级高于该寄存器的 bit 10。	R/W/ NASR 注 18	0b
7:0	过滤模式偏移量 指定帧中第一个字节的偏移量，从该帧开始进行 CRC 校验以进行唤醒帧识别。偏移量 0 是传入帧目标地址的第一个字节。	R/W/ NASR 注 18	00h

注 18: 通过复位控制寄存器 (RESET_CTL) 产生 PHY 复位时，指定为 NASR 的寄存器位将复位。仅在 PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置 1 时，NASR 标识才适用。

11.2.16.27 PHY x唤醒过滤器配置寄存器B (PHY_WUF_CFGB_x)

索引（十进制）：3.32786 大小：16位

位	说明	类型	默认值
15:0	过滤器CRC-16 该字段为过滤器指定预期的16位CRC值，该值应通过使用模式偏移量和为过滤器编程的字节掩码获得。该值与根据传入帧计算的CRC进行比较，匹配时接收唤醒帧。	R/W/ NASR 注 19	0000h

注 19：通过复位控制寄存器 (RESET_CTL) 产生PHY复位时，指定为NASR的寄存器位将复位。仅在PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1时，NASR标识才适用。

11.2.16.28 PHY x唤醒过滤器字节掩码寄存器 (PHY_WUF_MASK_x)

索引（十进制）：3.32801 大小：16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[127:112]	R/W/ NASR 注20	0000h

索引（十进制）：3.32802 大小：16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[111:96]	R/W/ NASR 注20	0000h

索引（十进制）：3.32803 大小：16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[95:80]	R/W/ NASR 注20	0000h

索引（十进制）：3.32804 大小：16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[79:64]	R/W/ NASR 注20	0000h

索引（十进制）： 3.32805 大小： 16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[63:48]	R/W/ NASR 注 20	0000h

索引（十进制）： 3.32806 大小： 16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[47:32]	R/W/ NASR 注 20	0000h

索引（十进制）： 3.32807 大小： 16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[31:16]	R/W/ NASR 注 20	0000h

索引（十进制）： 3.32808 大小： 16 位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[15:0]	R/W/ NASR 注 20	0000h

注 20：通过复位控制寄存器（[RESET_CTL](#)）产生PHY复位时，指定为NASR的寄存器位将复位。仅在[PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）](#)的软复位（[PHY_SRST](#)）位置1时，NASR标识才适用。

11.2.16.29 PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）

索引（十进制）：3.32865 大小：16位

位	说明	类型	默认值
15:0	物理地址[47:32]	R/W/ NASR 注21	FFFFh

注 21：通过[复位控制寄存器（RESET_CTL）](#)产生PHY复位时，指定为NASR的寄存器位将复位。仅在[PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）](#)的软复位（[PHY_SRST](#)）位置1时，NASR标识才适用。

11.2.16.30 PHY x MAC接收地址B寄存器 (PHY_RX_ADDRB_x)

索引（十进制）：3.32866 大小：16 位

位	说明	类型	默认值
15:0	物理地址[31:16]	R/W/ NASR 注22	FFFFh

注 22: 通过[复位控制寄存器 \(RESET_CTL\)](#)产生PHY复位时，指定为NASR的寄存器位将复位。仅在[PHY x基本控制寄存器 \(PHY_BASIC_CONTROL_x\)](#)的软复位 ([PHY_SRST](#)) 位置1时，NASR标识才适用。

11.2.16.31 PHY x MAC接收地址C寄存器（PHY_RX_ADDRC_x）

索引（十进制）：3.32867 大小：16位

位	说明	类型	默认值
15:0	物理地址[15:0]	R/W/ NASR 注23	FFFFh

注 23: 通过复位控制寄存器（RESET_CTL）产生PHY复位时，指定为NASR的寄存器位将复位。仅在PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的软复位（PHY_SRST）位置1时，NASR标识才适用。

11.2.16.32 PHY x自动协商MMD器件存在1寄存器 (PHY_AN_MMD_PRESENT1_x)

索引（十进制）：

7.5

大小：

16位

位	说明	类型	默认值
15:8	保留	RO	-
7	自动协商存在 0 = 封装中不存在自动协商 1 = 封装中存在自动协商	RO	1b
6	TC存在 0 = 封装中不存在TC 1 = 封装中存在TC	RO	0b
5	DTE XS存在 0 = 封装中不存在DTE XS 1 = 封装中存在DTE XS	RO	0b
4	PHY XS存在 0 = 封装中不存在PHY XS 1 = 封装中存在PHY XS	RO	0b
3	PCS存在 0 = 封装中不存在PCS 1 = 封装中存在PCS	RO	1b
2	WIS存在 0 = 封装中不存在WIS 1 = 封装中存在WIS	RO	0b
1	PMD/PMA存在 0 = 封装中不存在PMD/PMA 1 = 封装中存在PMD/PMA	RO	0b
0	第22条寄存器存在 0 = 封装中不存在第22条寄存器 1 = 封装中存在第22条寄存器	RO	0b

11.2.16.33 PHY x自动协商MMD 器件存在2 寄存器（PHY_AN_MMD_PRESENT2_x）

索引（十进制）：7.6 大小：16 位

位	说明	类型	默认值
15	供应商特定器件2 存在 0 = 封装中不存在供应商特定器件2 1 = 封装中存在供应商特定器件2	RO	0b
14	供应商特定器件1 存在 0 = 封装中不存在供应商特定器件1 1 = 封装中存在供应商特定器件1	RO	1b
13	第22条扩展存在 0 = 封装中不存在第22条扩展 1 = 封装中存在第22条扩展	RO	0b
12:0	保留	RO	-

11.2.16.34 PHY x 供应商特定 MMD 1 器件 ID 1 寄存器 (PHY_VEND_SPEC_MMD1_DEVID1_x)

索引（十进制）： 30.2 大小： 16 位

位	说明	类型	默认值
15:0	保留	RO	0000h

11.2.16.35 PHY x 供应商特定 MMD 1 器件 ID 2 寄存器 (PHY_VEND_SPEC_MMD1_DEVID2_x)

索引（十进制）： 30.3 大小： 16 位

位	说明	类型	默认值
15:0	保留	RO	0000h

11.2.16.36 PHY x 供应商特定 MMD 1 器件存在 1 寄存器 (PHY_VEND_SPEC_MMD1_PRESENT1_x)

索引（十进制）：

30.5

大小：

16 位

位	说明	类型	默认值
15:8	保留	RO	-
7	自动协商存在 0 = 封装中不存在自动协商 1 = 封装中存在自动协商	RO	1b
6	TC 存在 0 = 封装中不存在 TC 1 = 封装中存在 TC	RO	0b
5	DTE XS 存在 0 = 封装中不存在 DTE XS 1 = 封装中存在 DTE XS	RO	0b
4	PHY XS 存在 0 = 封装中不存在 PHY XS 1 = 封装中存在 PHY XS	RO	0b
3	PCS 存在 0 = 封装中不存在 PCS 1 = 封装中存在 PCS	RO	1b
2	WIS 存在 0 = 封装中不存在 WIS 1 = 封装中存在 WIS	RO	0b
1	PMD/PMA 存在 0 = 封装中不存在 PMD/PMA 1 = 封装中存在 PMD/PMA	RO	0b
0	第 22 条寄存器存在 0 = 封装中不存在第 22 条寄存器 1 = 封装中存在第 22 条寄存器	RO	0b

11.2.16.37 PHY x 供应商特定 MMD 1 器件存在 2 寄存器 (PHY_VEND_SPEC_MMD1_PRESENT2_x)

索引（十进制）：30.6 大小：16 位

位	说明	类型	默认值
15	供应商特定器件 2 存在 0 = 封装中不存在供应商特定器件 2 1 = 封装中存在供应商特定器件 2	RO	0b
14	供应商特定器件 1 存在 0 = 封装中不存在供应商特定器件 1 1 = 封装中存在供应商特定器件 1	RO	1b
13	第 22 条扩展存在 0 = 封装中不存在第 22 条扩展 1 = 封装中存在第 22 条扩展	RO	0b
12:0	保留	RO	-

11.2.16.38 PHY x 供应商特定 MMD 1 状态寄存器 (PHY_VEND_SPEC_MMD1_STAT_x)

索引（十进制）： 30.8 大小： 16 位

位	说明	类型	默认值
15:14	器件存在 00 = 此地址处无器件响应 01 = 此地址处无器件响应 10 = 此地址处有器件响应 11 = 此地址处无器件响应	RO	10b
13:0	保留	RO	-

11.2.16.39 PHY x 供应商特定 MMD 1 封装 ID 1 寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID1_x)

索引（十进制）： 30.14 大小： 16 位

位	说明	类型	默认值
15:0	保留	RO	0000h

11.2.16.40 PHY x 供应商特定 MMD 1 封装 ID 2 寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID2_x)

索引（十进制）： 30.15 大小： 16 位

位	说明	类型	默认值
15:0	保留	RO	0000h

12.0 ETHERCAT®

12.1 EtherCAT 功能概述

EtherCAT模块实现了一个3端口EtherCAT从控制器，该控制器具有4 Kb双端口存储器（DPRAM）、4个SyncManager、3个现场总线存储器管理单元（FMMU）和1个64位分布式时钟。

每个端口均接收以太网帧、执行帧校验并将以太网帧转发到下一个端口。接收到帧时会生成时间戳。如果某个端口上没有链路、端口不可用或者端口的环路关闭，则各端口的环回功能会将以太网帧转发到下一个逻辑端口。端口0的环回功能将帧转发到EtherCAT处理单元。环路设置可通过EtherCAT主器件控制。

数据包按以下顺序转发：端口0->EtherCAT处理单元->端口1->端口2。

EtherCAT处理单元（EtherCAT Processing Unit, EPU）接收、分析并处理EtherCAT数据流。EtherCAT处理单元的主要用途是实现并协调对ESC的内部寄存器和存储空间访问，这两部分均可被EtherCAT主器件和本地应用寻址。主器件和从器件应用间的数据交换与双端口存储器（过程存储器）相当，并且通过一致性校验（SyncManager）和数据映射（FMMU）等特殊功能得到了增强。

每个FMMU均执行将逻辑EtherCAT系统地址按位映射到器件物理地址的任务。

SyncManager负责确保EtherCAT主器件与从器件之间的数据交换和邮箱通信的一致性。每个SyncManager的方向和工作模式由EtherCAT主器件配置。提供两种工作模式：缓冲模式和邮箱模式。在缓冲模式下，本地单片机和EtherCAT主器件可同时写入器件。LAN9252中的缓冲区始终包含最新数据。如果新数据在旧数据可读出前到达，则旧数据将丢失。在邮箱模式下，本地单片机和EtherCAT主器件通过握手来访问缓冲区，从而确保不会丢失任何数据。

凭借分布式时钟（Distributed Clock, DC），可以精确同步输出信号、输入采样和事件时间戳的生成。

EtherCAT一章包含以下主要章节：

- [第197页上的第12.2节“分布式时钟”](#)
- [第198页上的第12.3节“PDI选择和配置”](#)
- [第198页上的第12.4节“数字I/O PDI”](#)
- [第200页上的第12.5节“主机接口PDI”](#)
- [第201页上的第12.6节“GPIO”](#)
- [第201页上的第12.7节“用户RAM”](#)
- [第201页上的第12.8节“EEPROM可配置寄存器”](#)
- [第202页上的第12.9节“端口接口”](#)
- [第208页上的第12.10节“LED”](#)
- [第208页上的第12.11节“EtherCAT CSR和过程数据RAM访问”](#)
- [第213页上的第12.12节“EtherCAT复位”](#)
- [第214页上的第12.13节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”](#)
- [第223页上的第12.14节“EtherCAT内核CSR寄存器（可间接寻址）”](#)

有关器件内EtherCAT模块的互连概览，请参见图2-2：第9页上的内部框图。

12.2 分布式时钟

器件支持64位分布式时钟，以下各小节将详细介绍。

12.2.1 SYNC/LATCH引脚复用

EtherCAT内核提供两个输入引脚（**LATCH0**和**LATCH1**），用于外部事件的时间戳。上升沿和下降沿时间戳均会被记录。这两个引脚分别与**SYNC0**和**SYNC1**输出引脚共用，用于指示是否发生了时间事件。**SYNC0/LATCH0**和**SYNC1/LATCH1**引脚的功能分别由**SYNC/LATCH PDI配置寄存器**的**SYNC0/LATCH0配置**和**SYNC1/LATCH1配置**位确定。

当设置为**SYNC0/SYNC1**功能时，输出类型（推挽式和漏极/源极开路）和输出极性由**SYNC/LATCH PDI配置寄存器**的**SYNC0输出驱动器/极性**和**SYNC1输出驱动器/极性**位确定。

注： **SYNC/LATCH PDI配置寄存器**根据EEPROM的内容进行初始化。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

12.2.2 SYNC IRQ映射

SYNC0和**SYNC1**的状态可分别映射到**AL事件请求寄存器**的**DC SYNC0**的状态和**DC SYNC1**的状态位。**SYNC0**和**SYNC1**的状态的映射分别由**SYNC/LATCH PDI配置寄存器**的**SYNC0映射**和**SYNC1映射**位使能。

注： **SYNC/LATCH PDI配置寄存器**根据EEPROM的内容进行初始化。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

12.2.3 SYNC脉冲长度

SYNC0和**SYNC1**脉冲长度由**同步信号寄存器**的脉冲长度控制。**同步信号寄存器**的脉冲长度根据EEPROM的内容进行初始化。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

12.2.4 SYNC/LATCH I/O时序要求

本节规定了**SYNC0/LATCH0**和**SYNC1/LATCH1**的输入与输出时序。

图12-1： ETHERCAT SYNC/LATCH时序图

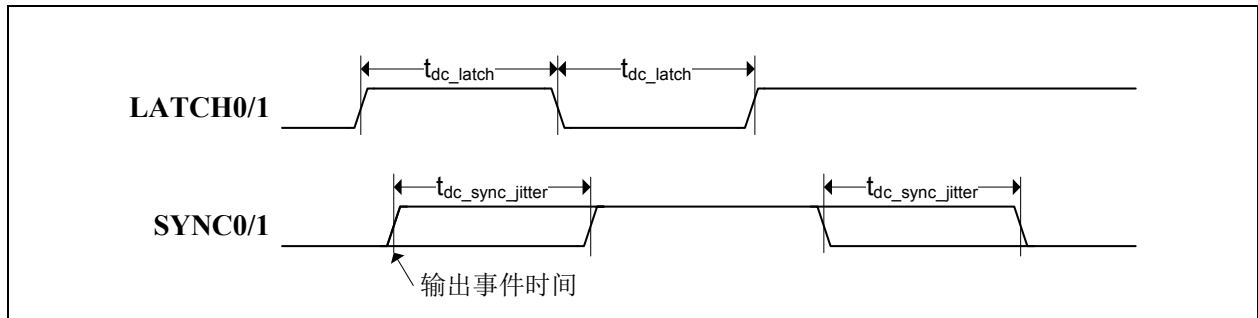


表12-1： ETHERCAT SYNC/LATCH时序值

符号	说明	最小值	典型值	最大值	单位
t_{dc_latch}	相邻两个 LATCH0 或 LATCH1 事件的间隔时间	15	-	-	ns
$t_{dc\_sync\_jitter}$	SYNC0 或 SYNC1 输出抖动	-	-	15	ns

12.3 PDI选择和配置

器件使用的过程数据接口（Process Data Interface, PDI）由PDI控制寄存器指示。可用的PDI包括：

- **04h：数字I/O PDI**
- **80h-8Dh：主机接口PDI**（SPI和HBI复用/变址单/双阶段8/16位）

注： PDI控制寄存器可通过EEPROM配置。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

主机接口PDI用于支持HBI和SPI模式，如第296页上的第14.0节“芯片模式配置”所述。

已使能PDI的配置由PDI配置寄存器和扩展PDI配置寄存器控制。这些寄存器的定义取决于所选的工作模式。但是，只存在一个寄存器组。

12.4 数字I/O PDI

数字I/O PDI提供16个可配置数字I/O（DIGIO[15:0]），用于不带主机控制器的简单系统。数字I/O输出数据寄存器用于控制输出值，而数字I/O输入数据寄存器用于读取输入值。每2位数字I/O对可配置为输入或输出。方向由扩展PDI配置寄存器选择，该寄存器通过EEPROM配置（更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”）。数字I/O也可配置为双向模式，此时输出会在外部驱动和锁存并在之后释放，以便可采样输入数据。双向操作由PDI配置寄存器的单向/双向模式位选择。PDI配置寄存器根据EEPROM的内容进行初始化。

12.4.1 输出看门狗行为

通过配置数字输出的看门狗控制，可以指定SyncManager看门狗超时后立即作用于I/O信号（看门狗超时后立即复位输出），还是延迟到下一个输出事件作用于I/O信号（通过下一个输出事件复位输出）。具体选择由PDI配置寄存器的看门狗行为位确定。PDI配置寄存器根据EEPROM的内容进行初始化。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

12.4.2 OE_EXT输出看门狗行为

对于外部看门狗实现，可使用WD_TRIG（看门狗触发信号）引脚。如果触发SyncManager看门狗，则会产生一个脉冲。在这种情况下，应禁止内部SyncManager看门狗。如果外部看门狗超时，可使用OE_EXT引脚复位I/O信号。

PDI配置寄存器的OUTVALID模式位控制WD_TRIG是否映射到OUTVALID引脚。PDI配置寄存器根据EEPROM的内容进行初始化。由于有专用的WD_TRIG引脚，EEPROM中的该位通常设置为0。

12.4.3 输入数据采样

数字输入可配置为四种采样方式：在每个以太网帧开始时、在LATCH_IN引脚的上升沿、在分布式时钟SYNC0事件时或者在分布式时钟SYNC1事件时。具体的采样模式选择由PDI配置寄存器的输入数据采样选择位确定。PDI配置寄存器根据EEPROM的内容进行初始化。

12.4.4 输出数据更新

数字输出可配置为四种更新方式：在每个以太网帧结束时、在分布式时钟SYNC0事件时、在分布式时钟SYNC1事件时或者在EtherCAT帧结束时（触发过程数据看门狗）。具体的更新模式选择由PDI配置寄存器的输出数据采样选择位确定。PDI配置寄存器根据EEPROM的内容进行初始化。

12.4.5 OUTVALID极性

OUTVALID引脚的输出极性由PDI配置寄存器的OUTVALID极性位确定。PDI配置寄存器根据EEPROM的内容进行初始化。

12.4.6 数字 I/O 时序要求

本节规定了 DIGIO[15:0]、LATCH_IN 和 SOF 的输入与输出时序。

图 12-2: ETHERCAT 数字 I/O 输入时序图

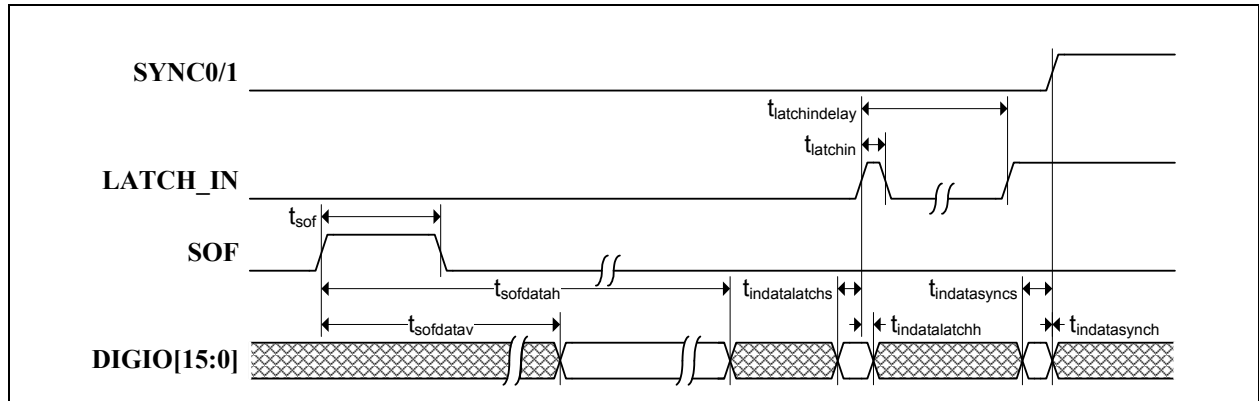


图 12-3: ETHERCAT 数字 I/O 输出时序图

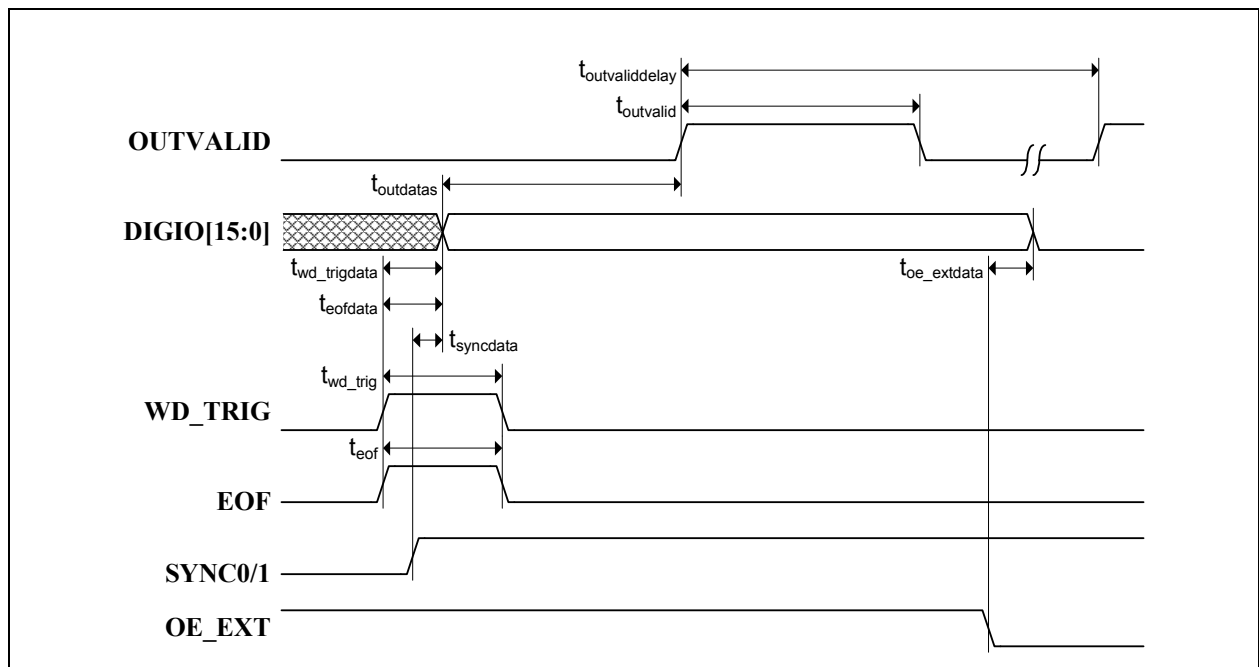


图 12-4: ETHERCAT 数字 I/O 双向时序图

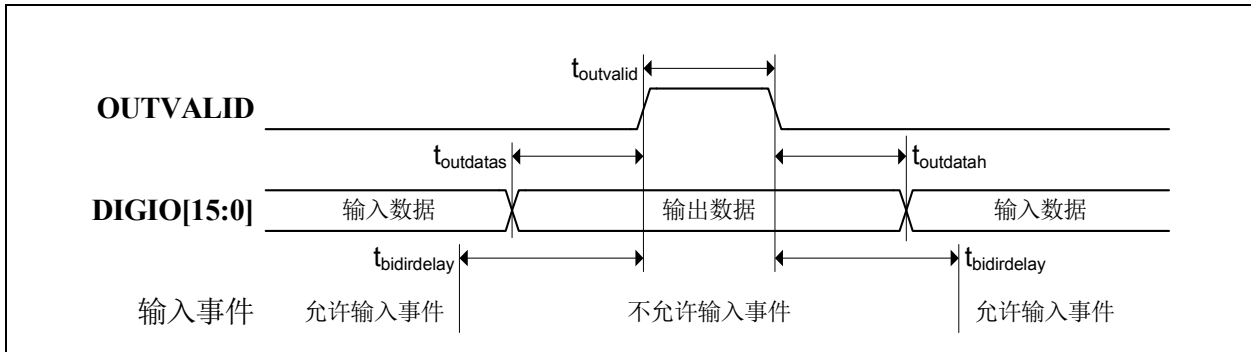


表 12-2: ETHERCAT 数字 I/O 时序值

符号	说明	最小值	典型值	最大值	单位
$t_{indatasyncs}$	从输入数据建立到 SYNC0/1 上升的时间	10	-	-	ns
$t_{indatasynch}$	SYNC0/1 上升之后输入数据的保持时间	0	-	-	ns
$t_{indatalatchs}$	从输入数据建立到 LATCH_IN 上升的时间	8	-	-	ns
$t_{indatalatchh}$	LATCH_IN 上升之后输入数据的保持时间	4	-	-	ns
$t_{latchin}$	LATCH_IN 高电平时间	8	-	-	ns
$t_{latchindelay}$	相邻两连续输入事件的间隔时间	440	-	-	ns
t_{sof}	SOF 高电平时间	35	-	45	ns
$t_{sofdata}$	SOF 有效之后输入数据的有效时间（以便可在同一个帧中读取输入数据）	-	-	1.2	μ s
$t_{sofdatah}$	SOF 有效之后输入数据的保持时间（以便可在同一个帧中读取输入数据）	1.6	-	-	μ s
$t_{outdatas}$	从输出数据建立到 OUTVALID 上升的时间	65	-	-	ns
$t_{outdatah}$	OUTVALID 下降之后输出数据的保持时间	65	-	-	ns
$t_{outvalid}$	OUTVALID 高电平时间	75	-	85	ns
$t_{outvaliddelay}$	相邻两连续输出事件的间隔时间	320	-	-	ns
t_{eof}	EOF 高电平时间	35	-	45	ns
$t_{eofdata}$	EOF 之后输出数据的有效时间	-	-	35	ns
t_{wd_trig}	WD_TRIG 高电平时间	35	-	45	ns
$t_{wd\_trigdata}$	WD_TRIG 之后输出数据的有效时间	-	-	35	ns
$t_{syncdata}$	SYNC0/1 之后输出数据的有效时间	-	-	25	ns
$t_{oe\_extdata}$	从 OE_EXT 到数据低电平的时间	0	-	15	ns
$t_{bidirdelay}$	相邻两连续输入或输出事件的间隔时间	440	-	-	ns

12.5 主机接口 PDI

主机接口 PDI 用于带主机控制器的系统，该系统使用 HBI 或 SPI 芯片级主机接口。

PDI 配置寄存器和**扩展 PDI 配置寄存器**中的值反映来自 EEPROM 的值。**PDI 配置寄存器**中的值用于在主机接口模式下配置 HBI。如果使能了 GPIO（SPI 使能 GPIO），则会使用**扩展 PDI 配置寄存器**中的值。

PDI 配置寄存器和**扩展 PDI 配置寄存器**根据 EEPROM 的内容进行初始化。更多信息，请参见第 201 页上的第 12.8 节“EEPROM 可配置寄存器”。

12.6 GPIO

EtherCAT 内核提供 16 个通用输入（GPI[15:0]）和 16 个通用输出（GPO[15:0]）。通用输出寄存器用于控制输出值。通用输入寄存器用于读取输入值。

注： 当由于芯片配置而导致 GPIO 不可用时，通用输出寄存器将保持 R/W，但不起作用。当由于芯片配置而导致 GPIO 不可用时，通用输入寄存器将返回 0。

每 2 位 GPIO 对可配置为输入、推挽式输出或漏极开路输出。方向和缓冲器类型由扩展 PDI 配置寄存器确定。Bit 7:0 控制 GPIO 对的方向（bit 0 用于 GPIO[1:0]，bit 1 用于 GPIO[3:2]，以此类推）。值 1 选择输出方向。Bit 15:8 控制输出类型（bit 8 用于 GPIO[1:0]，bit 9 用于 GPIO[3:2]，以此类推）。值 1 选择漏极开路。扩展 PDI 配置寄存器根据 EEPROM 的内容进行初始化。更多信息，请参见第 201 页上的第 12.8 节“EEPROM 可配置寄存器”。

注： 扩展 PDI 配置寄存器还用于数字 I/O PDI 方向。但是，数字 I/O 模式期间不使用 GPIO。

12.7 用户 RAM

128 字节用户 RAM 位于 0F80h-0FFFh。该 RAM 中的默认值对于所有地址均未定义。

12.8 EEPROM 可配置寄存器

以下寄存器可通过 EEPROM 配置。有关每位功能的详细信息，请参见相应的寄存器定义。

注： 除非另外说明，否则保留的位必须写为 0。

表 12-3: ETHERCAT 内核 EEPROM 可配置寄存器

寄存器	位	EEPROM 字/[位]
PDI 控制寄存器 (0140h)	[7:0] 过程数据接口	0/[7:0]
ESC 配置寄存器 (0141h)	[7] (未使用)	0/[15]
	[6] 增强型链路端口 2	0/[14]
	[5] 增强型链路端口 1	0/[13]
	[4] 增强型链路端口 0	0/[12]
	[3] 分布式时钟锁存输入单元 注： Bit 3 并非由 EEPROM 置 1	-
	[2] 分布式时钟 SYNC 输出单元 注： Bit 2 并非由 EEPROM 置 1	-
	[1] 增强型链路检测所有端口	0/[9]
	[0] 器件仿真 (AL 状态寄存器控制)	0/[8]

表12-3: ETHERCAT 内核EEPROM可配置寄存器（续）

寄存器	位	EEPROM 字/[位]
PDI配置寄存器（0150h） 数字I/O模式	[7:6] 输出数据采样选择	1/[7:6]
	[5:4] 输入数据采样选择	1/[5:4]
	[3] 看门狗行为	1/[3]
	[2] 单向/双向模式	1/[2]
	[1] OUTVALID 模式	1/[1]
	[0] OUTVALID 极性	1/[0]
PDI配置寄存器（0150h） HBI模式	[7] HBI ALE 限定	1/[7]
	[6] HBI 读/写模式	1/[6]
	[5] HBI 片选极性	1/[5]
	[4] HBI 读取以及读/写极性	1/[4]
	[3] HBI 写入以及使能极性	1/[3]
	[2] HBI ALE 极性	1/[2]
	[1:0] 保留（未使用）	1/[1:0]
SYNC/LATCH PDI配置寄存器 （0151h）	[7] SYNC1 映射	1/[15]
	[6] SYNC1/LATCH1 配置	1/[14]
	[5:4] SYNC1 输出驱动器/极性	1/[13:12]
	[3] SYNC0 映射	1/[11]
	[2] SYNC0/LATCH0 配置	1/[10]
	[1:0] SYNC0 输出驱动器/极性	1/[9:8]
同步信号寄存器的脉冲长度 （0982h-0983h）	[15:0] 同步信号的脉冲长度	2/[15:0]
扩展PDI配置寄存器 （0152h-0153h） 数字I/O模式	[15:8] 保留	3/[15:8]
	[7:0] I/O 15-0 方向	3/[7:0]
扩展PDI配置寄存器 （0152h-0153h） SPI模式	[15:8] I/O 15-0 缓冲器类型	3/[15:8]
	[7:0] I/O 15-0 方向	3/[7:0]
已配置站别名寄存器 （0012h-0013h）	[15:0] 已配置站别名地址	4/[15:0]
MII管理控制/状态寄存器（0510h-0511h）	[2] MI 链路检测	5/[15]
ASIC配置寄存器（0142h-0143h）	[15] MI 链路检测	
	[14:8] 保留	5/[14:8]
	[7] 千兆位寄存器9 MI 写操作使能	5/[7]
	[6:0] 保留	5/[6:0]
保留的寄存器（0144h-0145h）	[15:0] 保留	6/[15:0]

12.9 端口接口

12.9.1 端口0和端口2（内部PHY A或外部MII）

当chip_mode_strap[1:0] 不等于 11b 时（双端口或三端口下行模式），EtherCAT 从器件的端口0连接至内部PHY A。当chip_mode_strap[1:0] 等于 11b 时（三端口上行模式），端口0连接至MII引脚。

当chip_mode_strap[1:0] 等于 11b 时（三端口上行模式），EtherCAT 从器件的端口2连接至内部PHY A。当chip_mode_strap[1:0] 等于 10b 时（三端口下行模式），端口2连接至MII引脚。

12.9.1.1 外部MII PHY连接

外部PHY连接至MII端口，如图12-5所示。以太网PHY与EtherCAT从器件的时钟源必须相同。25 MHz输出（**MII_CLK25**）用作PHY的参考时钟。由于EtherCAT从器件不包含发送FIFO，因此PHY的TX_CLK未连接。来自EtherCAT从器件的发送信号可根据CLK25输出通过发送移位补偿进行延时，以便其像由PHY的TX_CLK驱动一样正确对齐。第12.9.7节“外部PHY时序”对MII时序进行了说明。

以太网PHY应连接至EtherCAT从器件RST#引脚，以便其在EtherCAT从器件就绪之前保持复位。否则，远端链路伙伴会检测到来自PHY的有效链路信号，并会“打开”其端口，假定本地EtherCAT从器件就绪。

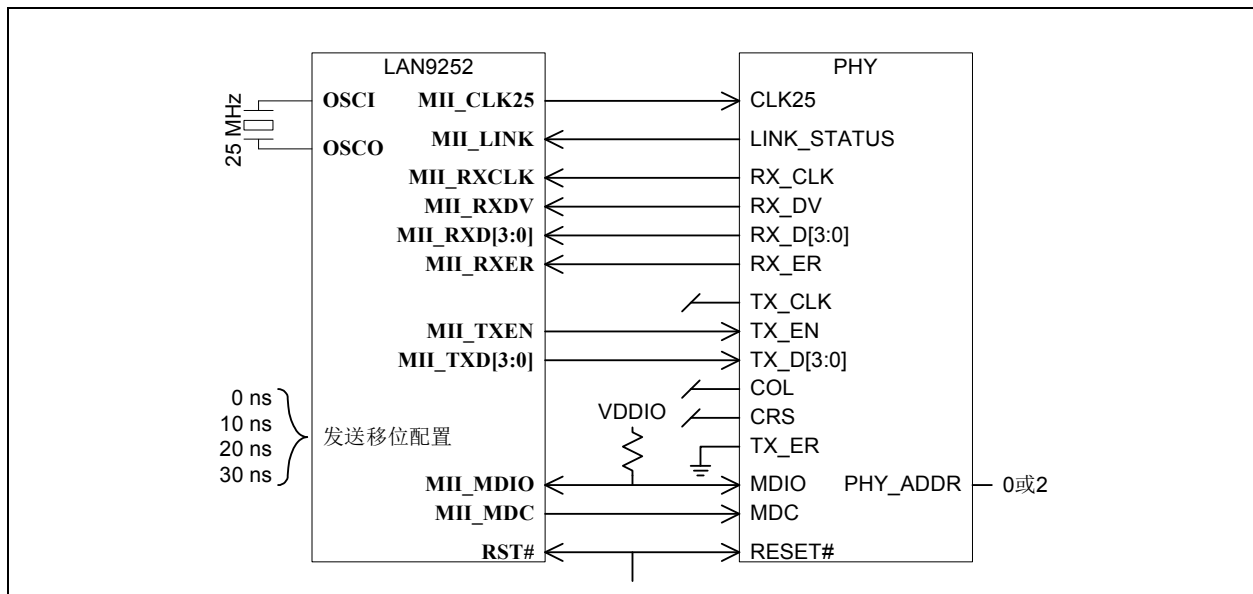
MII_MDC和**MII_MDIO**信号在EtherCAT从器件和PHY之间连接。**MII_MDIO**需要外部上拉。外部PHY的管理地址必须在`chip_mode_strap[1:0]`等于11b时（三端口上行模式）设置为0，在`chip_mode_strap[1:0]`等于10b时（三端口下行模式）设置为2。

PHY的LINK_STATUS是LED输出，指示100 Mbps全双工链路是否处于活动状态。EtherCAT从器件的**MII_LINK**输入的极性可配置。

由于EtherCAT在全双工模式下工作，因此PHY的COL和CRS输出未连接。

由于EtherCAT从器件从不产生发送错误，因此PHY的TX_ER输入连接至系统地。

图12-5: ETHERCAT外部PHY连接



12.9.1.2 背靠背连接

两个EtherCAT从器件可采用背靠背MII连接的方式相连，如图12-6所示。一个器件置于三端口上行模式，另一个器件置于三端口下行模式。

每个EtherCAT从器件的时钟源可以不同。其中一个器件的25 MHz输出（**MII_CLK25**）用作另一个器件的**RX_CLK**输入。来自每个EtherCAT从器件的发送信号可根据CLK25输出通过发送移位补偿进行延时，以便其正确对齐，从而满足另一个器件的接收时序要求。第12.9.7节“外部PHY时序”对背靠背MII时序进行了说明。

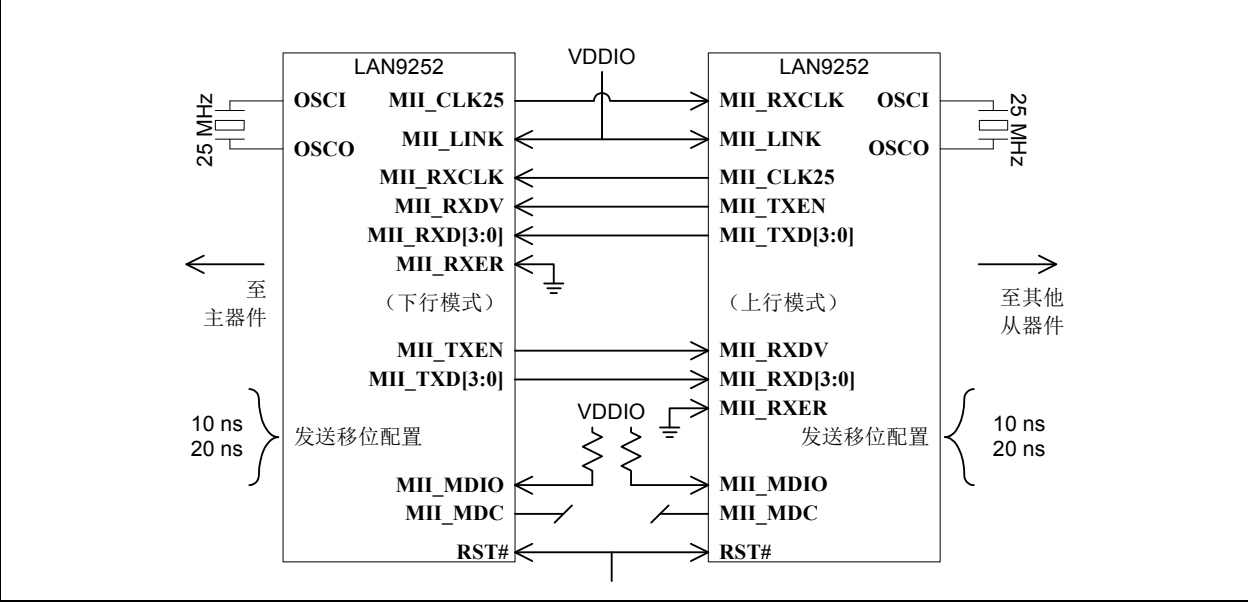
由于EtherCAT从器件从不产生错误，因此不使用**MII_RXER**信号。

由于两个器件均不包含PHY寄存器组，因此不使用**MII_MDIO**和**MII_MDC**信号。当尝试读取PHY寄存器时，**MII_MDIO**引脚需要（单独）上拉以返回高电平值。

LAN9252

如果两个EtherCAT从器件几乎同时从复位状态释放，则MII_LINK会一直保持活动状态。否则，MII_LINK可用于向伙伴指示器件未就绪。

图12-6: ETHERCAT背靠背MII连接



12.9.1.3 双端口操作

当配置为双端口模式（[chip_mode_strap\[1:0\]](#)等于00b）时，端口2将禁止。端口状态也将在[端口描述符寄存器的端口2配置](#)位中显示，并在器件配置为双端口操作时设置为01b（未配置）。

12.9.2 端口1（内部PHY B）

EtherCAT内核的端口1始终连接至内部PHY B。

12.9.3 PHY配置

默认情况下，内部PHY配置为100 Mbps全双工操作。自动协商在100BASE-TX模式下使能，在100BASE-FX模式下禁止。必要时，EtherCAT内核还将校验和更新配置。

默认情况下，外部PHY配置为100 Mbps全双工操作且使能自动协商。必要时，EtherCAT内核将校验和更新配置。

12.9.4 PHY链路状态

链路状态源自PHY的链路信号（内部或外部）。EtherCAT内核还会校验PHY状态以确定链路是否正常。它通过循环轮询PHY校验自动协商寄存器配置是否正确、链路是否已建立、自动协商是否已成功完成以及链路伙伴是否也使用自动协商。

通过MII管理接口（Management Interface，MI）实现的链路校验由EEPROM使能并反映在[MII管理控制/状态寄存器](#)中。

注： 在通过EEPROM成功配置器件之前，MI链路检测一直处于禁止状态。

仅当上电或复位之后第一次装载EEPROM时，MI链路检测的EEPROM设置才生效。即使最初无法读取EEPROM，更改及手动重载EEPROM也不会影响MI链路检测的使能状态。

如表 12-3 “EtherCAT 内核 EEPROM 可配置寄存器” 所示，ASIC 配置寄存器的 bit 7 用于使能对 PHY 的 PHY 寄存器 9 的写操作，PHY 按照 IEEE 802.3 标准使用该寄存器。

12.9.4.1 MI 链路检测和配置状态机

MI 链路检测和配置状态机按如下工作：

- 检查是否使能了自动协商
- 检查是否仅通告了 100BASE-X 全双工
- 检查是否未通告 1000BASE-T
- 检查是否完成了自动协商
- 检查链路伙伴是否为 100BASE-X 全双工
- 否则，按需设置寄存器并重启自动协商

12.9.5 增强型链路检测

EtherCAT 内核支持增强型链路检测功能，该功能的使能由 EEPROM 控制。凭借该功能，如果固定时间间隔（约 10 μ s）内出现了至少 32 个接收错误（RX_ER），则 EtherCAT 内核将断开链路。更多信息，请参见第 201 页上的第 12.8 节“EEPROM 可配置寄存器”。

12.9.6 100BASE-FX 支持

由于 100BASE-FX 操作不支持自动协商，因此需要特别注意 MI 和增强型链路检测操作。

MII 链路检测

当任何端口设置为 100BASE-FX 操作时，必须通过使 MII 管理控制/状态寄存器的 bit 2 保持低电平来禁止 MI 链路检测。

增强型链路检测

增强型链路检测仍可使能。如果增强型链路检测功能检测到错误条件，它仍将尝试重启自动协商。由于这将不起作用，因此内部 PHY 也会复位。

使用外部 100BASE-FX PHY 的系统必须实现 Beckhoff PHY 选型指南的增强型 FX 链路检测部分介绍的逻辑，以检测重启自动协商命令、复位外部 PHY 以及复位/禁止外部收发器。

12.9.7 外部PHY时序

由于EtherCAT内核不使用PHY发送时钟，因此必须基于通用25 MHz参考时钟确保正确的时序（该参考时钟通过MII_CLK25引脚输出至外部PHY）。为帮助实现这一目的，EtherCAT内核使能了发送移位功能。该功能可使来自EtherCAT内核的发送信号延迟0 ns、10 ns、20 ns或30 ns之后产生。具体值通过tx_shift_strap[1:0]手动设置。

12.9.7.1 MII连接时序

MII接口的发送和接收时序如下：

图12-7： MII发送时序

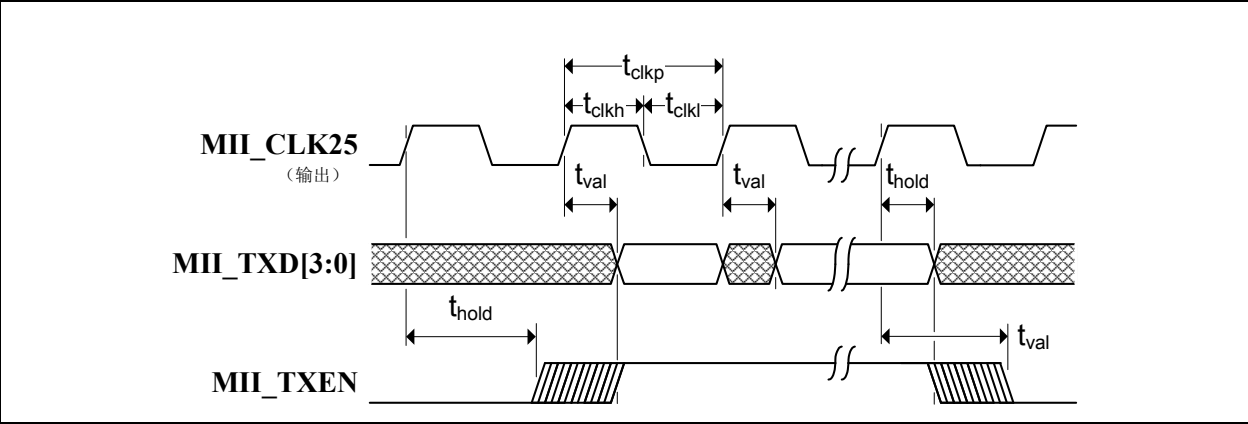


表12-4： MII发送时序值

符号	说明	最小值	最大值	单位	注
t_{clkp}	MII_CLK25周期	40	-	ns	
t_{clkh}	MII_CLK25 高电平时间	$t_{clkp} * 0.45$	$t_{clkp} * 0.55$	ns	
t_{clkl}	MII_CLK25 低电平时间	$t_{clkp} * 0.45$	$t_{clkp} * 0.55$	ns	
t_{val}	MII_CLK25上升沿之后 MII_TXD[3:0] 和 MII_TXEN 输出的有效时间 (注2)	-	10.0	ns	注1
t_{hold}	MII_CLK25上升沿之后 MII_TXD[3:0] 和 MII_TXEN 输出的保持时间 (注2)	0	-	ns	注1

注 1： 时序设计为用于 10 pF 和 25 pF 之间的系统负载。
注 2： 假设发送移位值为2，则发送移位的单位增量为10 ns（移位值依次为3、0和1）。

图12-8: MII接收时序

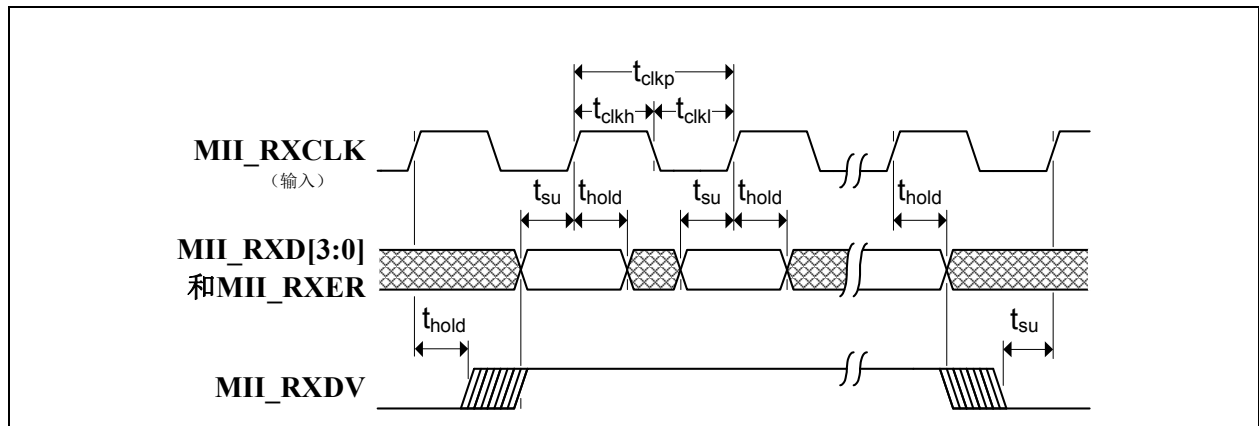


表12-5: MII接收时序值

符号	说明	最小值	最大值	单位	注
t_{clkp}	MII_RXCLK周期	40	-	ns	
t_{clkh}	MII_RXCLK高电平时间	$t_{clkp} * 0.4$	$t_{clkp} * 0.6$	ns	
t_{clkl}	MII_RXCLK低电平时间	$t_{clkp} * 0.4$	$t_{clkp} * 0.6$	ns	
t_{su}	从MII_RXD[3:0]、MII_RXER和MII_RXDV建立到MII_RXCLK的上升沿的时间	5.0	-	ns	注3
t_{hold}	MII_RXCLK上升沿之后MII_RXD[3:0]、MII_RXER和MII_RXDV的保持时间	6.0	-	ns	注3

注 3: 时序设计为用于 10 pF 和 25 pF 之间的系统负载。

12.9.7.2 背靠背MII连接时序

根据上述MII发送和接收时序，背靠背连接应使用发送移位值3或0。

12.9.7.3 管理接口时序
MII_MDIO和MII_MDC的时序如下：

图12-9： 管理访问时序

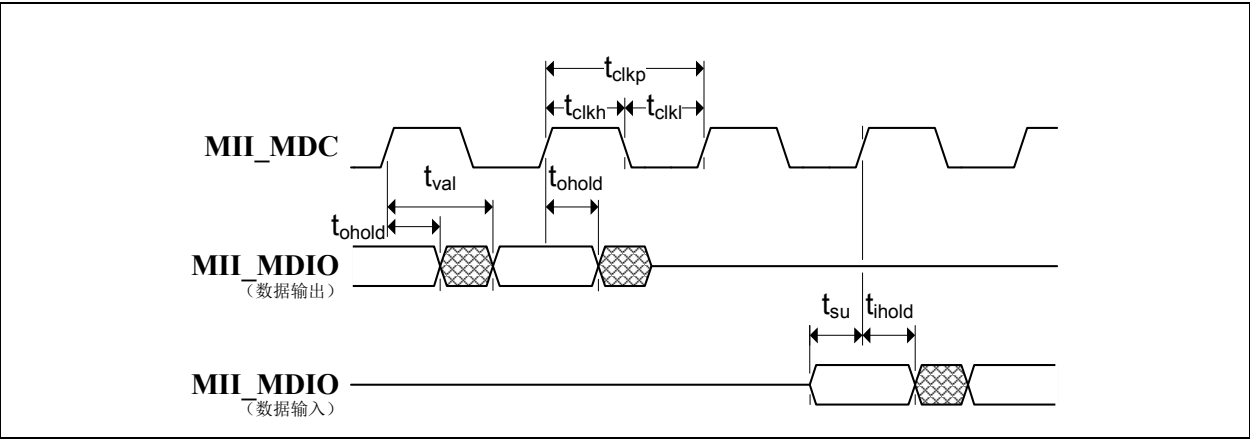


表12-6： 管理访问时序值

符号	说明	最小值	最大值	单位	注
t_{clkp}	MII_MDC 周期	400	-	ns	
t_{clkh}	MII_MDC 高电平时间	180 (90%)	-	ns	
t_{clkl}	MII_MDC 低电平时间	180 (90%)	-	ns	
t_{val}	MII_MDC 的上升沿之后 MII_MDIO 输出的有效时间	-	250	ns	
t_{ohold}	MII_MDC 的上升沿之后 MII_MDIO 输出的保持时间	150	-	ns	
t_{su}	从 MII_MDIO 输入建立到 MII_MDC 的上升沿的时间	70	-	ns	
t_{ihold}	MII_MDC 上升沿之后 MII_MDIO 输入的保持时间	0	-	ns	

12.10 LED

器件的每个端口都包含一个运行LED（RUNLED）和一个链路/活动LED（LINKACTLED[0:2]）。LED引脚的极性由相应的LED极性配置脚确定。引脚输出为漏极开路或源极开路。

注： 端口0和端口2的LED引脚并非基于芯片模式交换。

EtherCAT 内核配置能够通过[运行LED改写寄存器](#)直接控制运行LED。

通过将[功耗管理控制寄存器（PMT_CTRL）](#)中的LED_DIS位置1可禁止（停止驱动）所有LED输出。

12.11 EtherCAT CSR和过程数据RAM访问

EtherCAT CSR提供对EtherCAT内核的各种参数的寄存器级访问。根据访问方式的不同，EtherCAT的相关寄存器主要分为两类：直接和间接。

可直接访问的EtherCAT寄存器是主系统CSR的一部分，将在第214页上的第12.13节“[EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）](#)”中详细说明。这类寄存器提供数据/命令寄存器（用于访问间接EtherCAT内核寄存器）。

可间接访问的EtherCAT内核寄存器位于EtherCAT内核中，必须通过[EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）](#)和[EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）](#)间接访问。可间接访问的EtherCAT内核CSR提供对EtherCAT内核的许多可配置参数的完全访问。可间接访问的EtherCAT内核CSR在地址0h至0FFFh处进行访问，将在第223页上的第12.14节“[EtherCAT 内核CSR寄存器（可间接寻址）](#)”中详细说明。

EtherCAT 内核过程数据RAM可通过[EtherCAT CSR接口数据寄存器 \(ECAT_CSR_DATA\)](#)和[EtherCAT CSR接口命令寄存器 \(ECAT_CSR_CMD\)](#)从1000h处开始间接访问。EtherCAT 内核过程数据RAM还可通过[EtherCAT 过程RAM读数据FIFO \(ECAT_PRAM_RD_DATA\)](#)和[EtherCAT 过程RAM写数据FIFO \(ECAT_PRAM_WR_DATA\)](#)更高效地进行访问。该方法能够通过FIFO机制使用单条命令和较少的状态读操作来传输多个双字。

12.11.1 ETHERCAT CSR 读操作

要读取单个EtherCAT 内核寄存器，必须通过以下方式发起读周期：单次写入[EtherCAT CSR接口命令寄存器 \(ECAT_CSR_CMD\)](#)，将CSR繁忙 (CSR_BUSY) 位置1、将CSR地址 (CSR_ADDR) 字段设置为所需寄存器地址、将读/写 (R_nW) 位置1以及将CSR大小 (CSR_SIZE) 字段设置为所需大小。

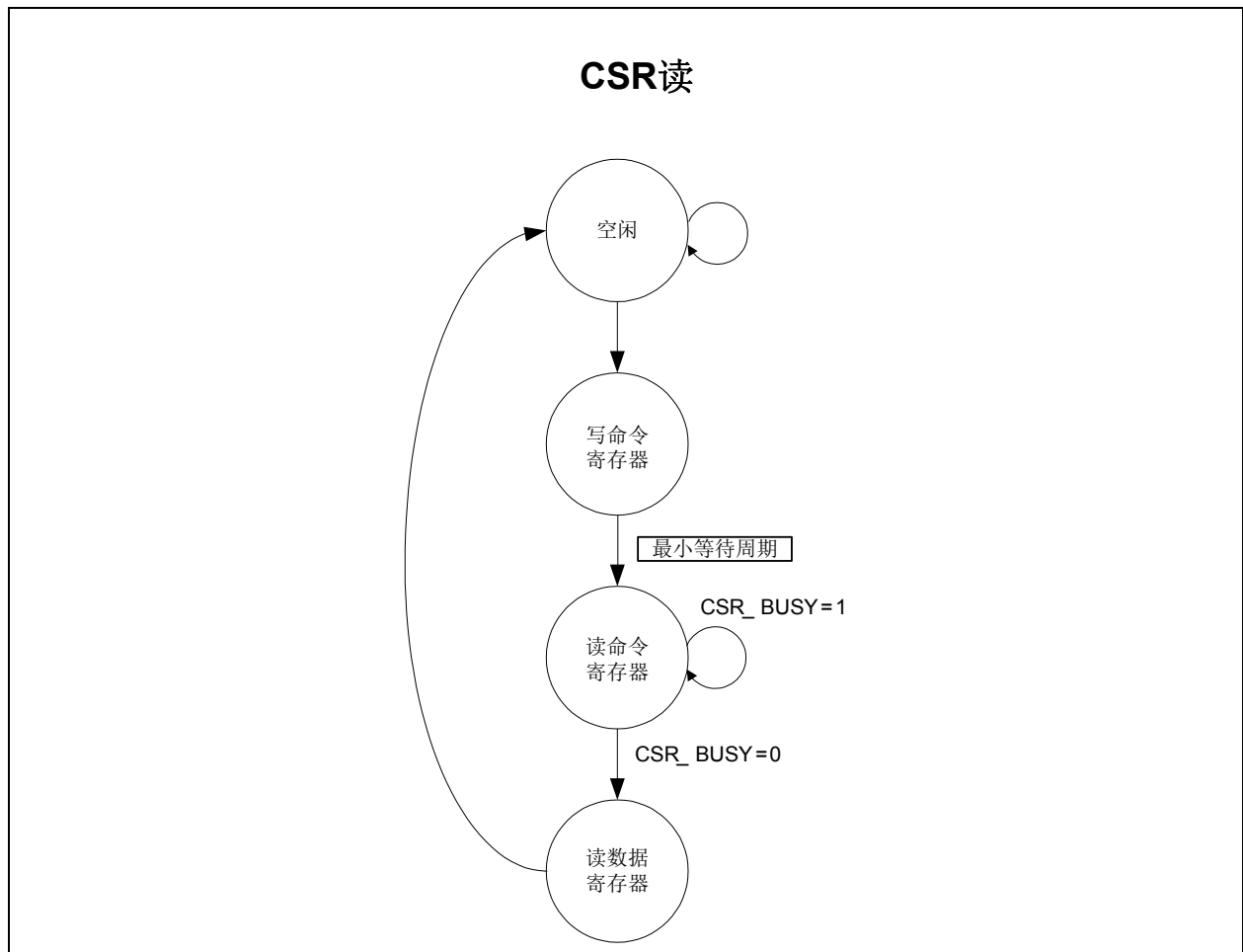
当CSR繁忙 (CSR_BUSY) 位清零时，可读取有效数据，即可以从[EtherCAT CSR接口数据寄存器 \(ECAT_CSR_DATA\)](#)读取数据。

有效数据始终与[EtherCAT CSR接口数据寄存器 \(ECAT_CSR_DATA\)](#)的最低位对齐。

注： 无论CSR大小 (CSR_SIZE) 的值为何，均会更新[EtherCAT CSR接口数据寄存器 \(ECAT_CSR_DATA\)](#)的所有字节。

图12-10给出了读取EtherCAT 内核CSR时所需过程的图示。特别注明时需要最小等待周期。特别注明时需要第35页上的表5-2“写后读时序规则”中指定的最小等待周期。

图12-10： ETHERCAT CSR 读访问流程图



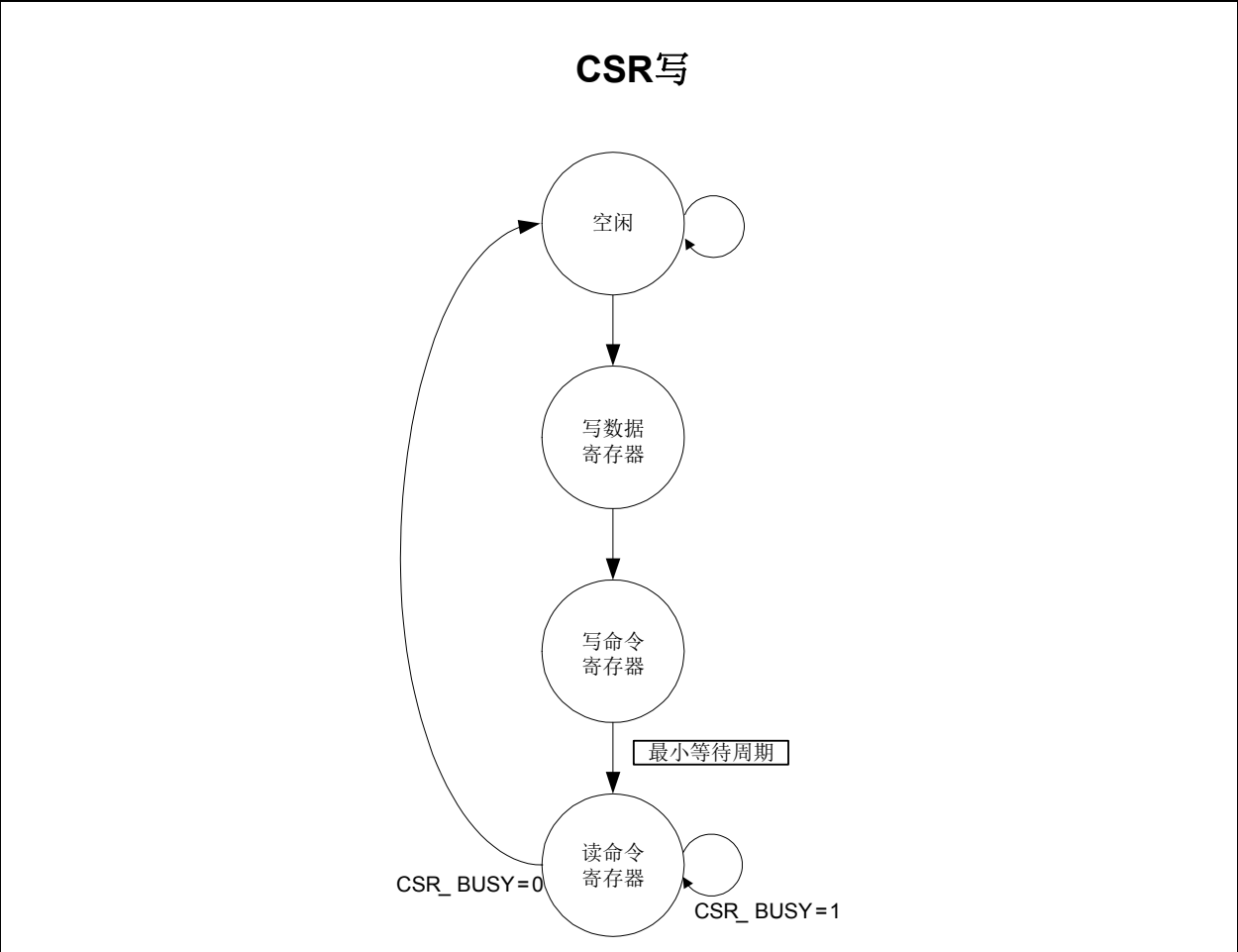
12.11.2 ETHERCAT CSR 写操作

要写入单个 EtherCAT 内核寄存器，必须首先向 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）写入所需数据。有效数据始终与 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）的最低位对齐。

必须通过以下方式发起写周期：单次写入 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD），将 CSR 繁忙（CSR_BUSY）位置 1、将 CSR 地址（CSR_ADDR）字段设置为所需寄存器地址、将读/写（R_nW）位清零以及将 CSR 大小（CSR_SIZE）字段设置为所需大小。写周期的完成由 CSR 繁忙（CSR_BUSY）位清零来指示。

图 12-11 给出了写入 EtherCAT 内核 CSR 时所需过程的图示。特别注明时需要最小等待周期。特别注明时需要最小等待周期。特别注明时需要第 35 页上的表 5-2 “写后读时序规则”中指定的最小等待周期。

图 12-11： ETHERCAT CSR 写访问流程图



12.11.3 ETHERCAT 过程 RAM 读操作

过程数据从 EtherCAT 内核经 16 级深 32 位宽 FIFO 传输。FIFO 的基址为 00h，但它也可在其他 7 个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问 FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对连续地址进行突发访问。

对于 HBI 访问，过程 RAM 读数据 FIFO 也可通过 FIFO 直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程 RAM 读数据 FIFO 执行所有读访问。请参见第 68 页上的第 9.4.3.1 节 “FIFO 直接选择地址”。

要读取 EtherCAT 过程 RAM，需要通过以下方式发起读周期：首先向 **EtherCAT 过程 RAM 读地址和长度寄存器 (ECAT_PRAM_RD_ADDR_LEN)** 写入所需传输的起始字节地址和长度（单位为字节），接着写入 **EtherCAT 过程 RAM 读命令寄存器 (ECAT_PRAM_RD_CMD)** 以将 **PRAM 读繁忙 (PRAM_READ_BUSY)** 位置 1。

注： 起始字节地址和长度必须编程为有效值，以使所有传输均在边界为 1000h 和 1FFFh 的过程 RAM 地址范围内。

有效数据（由 **EtherCAT 过程 RAM 读命令寄存器 (ECAT_PRAM_RD_CMD)** 的 **PRAM 可读数据 (PRAM_READ_AVAIL)** 位指示）通过 **EtherCAT 过程 RAM 读数据 FIFO (ECAT_PRAM_RD_DATA)** 从 FIFO 读取。 **PRAM 数据可读次数 (PRAM_READ_AVAIL_CNT)** 字段指示在无需再次校验状态的条件可执行的读操作次数。最后一次读取 **EtherCAT 过程 RAM 读数据 FIFO (ECAT_PRAM_RD_DATA)** 后， **PRAM 读繁忙 (PRAM_READ_BUSY)** 将自清零。

注： 最后一次读取 **EtherCAT 过程 RAM 读数据 FIFO (ECAT_PRAM_RD_DATA)** 意味着已读取全部四个字节，即使无需全部字节也如此。

当数据从 EtherCAT 内核传输到 FIFO 时， **PRAM 读长度 (PRAM_READ_LEN)** 和 **PRAM 读地址 (PRAM_READ_ADDR)** 会进行更新以显示进程。

根据起始地址的不同，第一次 FIFO 读操作的有效字节如下：

表 12-7: ETHERCAT 过程 RAM 第一次读操作的有效字节

起始地址 [1:0]	
00b	字节 3、字节 2、字节 1 和字节 0
01b	字节 3、字节 2 和字节 1
10b	字节 3 和字节 2
11b	字节 3

根据起始地址和长度的不同，最后一次 FIFO 读操作的有效字节如下：

表 12-8: ETHERCAT 过程 RAM 最后一次读操作的有效字节

起始地址 [1:0]	起始长度 [1:0]			
	01b (例如, 5 和 9 等)	10b (例如, 6 和 10 等)	11b (例如, 7 和 11 等)	00b (例如, 8 和 12 等)
00b	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0
01b	字节 1 和字节 0	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0	字节 0
10b	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0
11b	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0

如果初始长度为4字节或4字节以下并且单次读操作可包含所有字节，则惟一一次FIFO读操作的有效字节如下：

表 12-9： ETHERCAT 过程RAM 单次读操作的有效字节

起始地址[1:0]	起始长度			
	4	1	2	3
00b	字节3、字节2、 字节1和字节0	字节0	字节1和字节0	字节2、字节1和 字节0
01b	na	字节1	字节2和字节1	字节3、字节2和 字节1
10b	na	字节2	字节3和字节2	na
11b	na	字节3	na	na

12.11.3.1 中止读命令

必要时，可通过将EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）中的PRAM读中止（PRAM_READ_ABORT）位置1来中止读命令。

12.11.4 ETHERCAT 过程RAM 写操作

过程数据经16级深32位宽FIFO传输到EtherCAT内核。FIFO的基址为20h，但它也可在其他7个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对连续地址进行突发访问。

对于HBI访问，过程RAM写数据FIFO也可通过FIFO直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程RAM读数据FIFO执行所有写访问。请参见第68页上的第9.4.3.1节“FIFO直接选择地址”。

要写入EtherCAT过程RAM，需要通过以下方式发起写周期：首先向EtherCAT过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）写入所需传输的起始字节地址和长度（单位为字节），接着写入EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）以使PRAM写繁忙（AM_WRITE_BUSY）位置1。

注： 起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

数据经16级深32位宽FIFO传输到EtherCAT内核中。当EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）中的PRAM可写空间（PRAM_WRITE_AVAIL）位指示空间可用时，主机可通过EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）向FIFO写入数据。PRAM空间可写次数（PRAM_WRITE_AVAIL_CNT）字段指示在无需再次校验状态的条件可执行的写操作次数。最后一次向EtherCAT内核写入数据后，PRAM写繁忙（AM_WRITE_BUSY）将自清零。

注： 最后一次写入EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）意味着已写入全部四个字节，即使无需全部字节也如此。

当数据从FIFO传输到EtherCAT内核时，PRAM写长度（PRAM_WRITE_LEN）和PRAM写地址（PRAM_WRITE_ADDR）会进行更新以显示进程。

根据起始地址的不同，第一次FIFO写操作的有效字节如下：

表12-10: ETHERCAT过程RAM第一次写操作的有效字节

起始地址[1:0]	
00b	字节3、字节2、字节1和字节0
01b	字节3、字节2和字节1
10b	字节3和字节2
11b	字节3

根据起始地址和长度的不同，最后一次FIFO写操作的有效字节如下：

表12-11: ETHERCAT过程RAM最后一次写操作的有效字节

起始地址[1:0]	起始长度[1:0]			
	01b (例如, 5和9等)	10b (例如, 6和10等)	11b (例如, 7和11等)	00b (例如, 8和12等)
00b	字节0	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0
01b	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0
10b	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0	字节1和字节0
11b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0

如果初始长度为4字节或小于4字节并且单次写操作可包含所有字节，则惟一一次FIFO写操作的有效字节如下：

表12-12: ETHERCAT过程RAM单次写操作的有效字节

起始地址[1:0]	起始长度			
	4	1	2	3
00b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0
01b	na	字节1	字节2和字节1	字节3、字节2和字节1
10b	na	字节2	字节3和字节2	na
11b	na	字节3	na	na

12.11.4.1 中止写命令

必要时，可通过将[EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）](#)中的PRAM写中止（PRAM_WRITE_ABORT）位置1来中止写命令。

12.12 EtherCAT复位

根据第40页上的第6.2.1.3节“EtherCAT系统复位”的定义，通过3个连续帧向[ESC复位ECAT寄存器](#)写入0x52（R）、0x45（E）和0x53（S）之后或者通过3个连续的写操作向[ESC复位PDI寄存器](#)写入0x52（R）、0x45（E）和0x53（S）之后，会发生器件复位（和可选系统复位）。

注： 序列的最后一个帧可能不会返回给主器件（取决于拓扑），因为主器件与被复位的从器件之间的链路将中断。

12.13 EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）

本节将详细介绍EtherCAT内核以外与EtherCAT内核相关的可直接寻址的系统CSR。有关如何访问EtherCAT寄存器的信息，请参见第208页上的第12.11节“EtherCAT CSR和过程数据RAM访问”。第223页上的第12.14节“EtherCAT内核CSR寄存器（可间接寻址）”中将详细介绍EtherCAT内核寄存器。

表12-13: ETHERCAT 过程RAM和CSR访问寄存器

地址	寄存器名称（符号）
000h-01Ch	EtherCAT 过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）
020h-03Ch	EtherCAT 过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）
300h	EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）
304h	EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）
308h	EtherCAT 过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）
30Ch	EtherCAT 过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）
310h	EtherCAT 过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）
314h	EtherCAT 过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）

12.13.1 ETHERCAT 过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）

偏移量: 000h-01Ch 大小: 32位

该只读寄存器与EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）和EtherCAT过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）配合使用，以对EtherCAT内核过程RAM执行读操作。

仅当EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）中的PRAM可读数据（PRAM_READ_AVAIL）位为1时，从该寄存器读取的数据才有效。除非存在有效数据，否则主机不得读取该寄存器。

位	说明	类型	默认值
31:0	EtherCAT®过程RAM读数据（PRAM_RD_DATA） 该字段包含从EtherCAT内核过程RAM读取的值。 注： 一些字节可能无效，具体取决于起始地址和传输长度。	RO	-

12.13.2 ETHERCAT 过程RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）

偏移量：020h-03Ch 大小：32 位

该只写寄存器与 EtherCAT 过程RAM 写命令寄存器（ECAT_PRAM_WR_CMD）和 EtherCAT 过程RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）配合使用，以对 EtherCAT 内核过程RAM 执行写操作。

除非 EtherCAT 过程RAM 写命令寄存器（ECAT_PRAM_WR_CMD）中的 PRAM 可写空间（PRAM_WRITE_AVAIL）位指示存在可用空间，否则主机不得写入该寄存器。

位	说明	类型	默认值
31:0	EtherCAT® 过程RAM 写数据（PRAM_WR_DATA） 该字段包含写入 EtherCAT 内核过程RAM 的值。 注： 一些字节可能无效，具体取决于起始地址和传输长度。	WO	-

12.13.3 ETHERCAT CSR接口数据寄存器（ECAT_CSR_DATA）

偏移量： 300h 大小： 32位

该读/写寄存器与EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）配合使用，以对EtherCAT内核CSR执行读写操作。

位	说明	类型	默认值
31:0	EtherCAT® CSR数据（CSR_DATA） 该字段包含从EtherCAT内核CSR读取的值或者写入EtherCAT内核CSR的值。EtherCAT内核CSR由EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）的CSR地址（CSR_ADDR）位选择。 始终在该字段的低位写入或读取有效数据。通过硬件处理任何需要的字节对齐。 执行读操作之后，返回的值取决于EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）中的读/写（R_nW）位。如果读/写（R_nW）置1，则数据来自EtherCAT内核。如果读/写（R_nW）清零，则数据为最后写入该寄存器的值。	R/W	00000000h

12.13.4 ETHERCAT CSR接口命令寄存器（ECAT_CSR_CMD）

偏移量：304h大小：32位

该读/写寄存器与EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）配合使用，以对EtherCAT内核CSR执行读写操作。

位	说明	类型	默认值
31	CSR繁忙（CSR_BUSY） 向该位写入1时，将对CSR地址（CSR_ADDR）中指定的EtherCAT®内核CSR执行读操作或写操作（由R_nW位确定）。 该位将保持置1状态，直至操作完成（此时该位将自清零）。在读操作情况下，清零该位会向主机指示可从EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）读取有效数据。 向该位写入0不起作用。 除非该位为0，否则主机不得修改ETHERCAT_CSR_CMD和ETHERCAT_CSR_DATA寄存器。	R/W SC	0b
30	读/写（R_nW） 该位用于确定主机向指定的EtherCAT®内核CSR执行读操作还是写操作。 0：写操作 1：读操作	R/W	0b
29:19	保留	RO	-
18:16	CSR大小（CSR_SIZE） 该字段用于指定EtherCAT内核CSR的大小（单位为字节）。 有效值为1、2和4。主机不得使用无效值。注4。	R/W	0h
15:0	CSR地址（CSR_ADDR） 该字段用于选择将通过读操作或写操作访问的EtherCAT内核CSR。这是一个字节地址，该字节地址是用于指定EtherCAT内核CSR的偏移量的格式。注4。	R/W	00h

注 4： 字和双字访问必须根据下表在适当的地址边界上对齐。

表 12-14： ETHERCAT CSR地址与大小

CSR_SIZE[2:0]	CSR_ADDR[1:0]
1	00b、01b、10b和11b
2	00b和10b
4	00b

12.13.5 ETHERCAT 过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）

偏移量： 308h 大小： 32位

该读/写寄存器与EtherCAT 过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）和EtherCAT 过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）配合使用，以对EtherCAT内核过程RAM执行读操作。

注： 起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

位	说明	类型	默认值
31:16	PRAM读长度（PRAM_READ_LEN） 该字段用于指示要从EtherCAT® 内核过程RAM 读取的字节数。当数据被从EtherCAT内核读取并置于FIFO中时，该字段递减。 除非PRAM读繁忙（PRAM_READ_BUSY）位为低电平，否则主机不得修改该字段。	R/W	0000h
15:0	PRAM读地址（PRAM_READ_ADDR） 该字段用于指示要读取的EtherCAT内核字节地址。当数据被从EtherCAT内核读取并置于FIFO中时，该字段递增。 注： 过程RAM从地址 1000h处开始。 除非PRAM读繁忙（PRAM_READ_BUSY）位为0，否则主机不得修改该字段。	R/W	0000h

12.13.6 ETHERCAT 过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）

偏移量：30Ch 大小：32位

该读/写寄存器与 EtherCAT 过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）和EtherCAT 过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）配合使用，以对 EtherCAT 内核过程RAM执行读操作。

位	说明	类型	默认值
31	PRAM读繁忙（PRAM_READ_BUSY） 向该位写入 1 时，将从 PRAM 读地址（PRAM_READ_ADDR）中指定的 EtherCAT®内核过程RAM存储单元开始启动读操作，具体长度在PRAM读长度（PRAM_READ_LEN）中指定。该位将保持置 1 状态，直至整个读操作完成（此时该位将自清零）。 向该位写入 0 不起作用。	R/W SC	0b
30	PRAM读中止（PRAM_READ_ABORT） 向该位写入 1 将取消正在进行的读操作。PRAM读繁忙（PRAM_READ_BUSY）将清零，读数据FIFO以及状态位将复位。该位将自清零。 向该位写入 0 不起作用。	R/W SC	0b
29:13	保留	RO	-
12:8	PRAM数据可读次数（PRAM_READ_AVAIL_CNT） 该字段用于指示在无需进一步校验状态的条件下 EtherCAT 过程RAM 读数据FIFO（ECAT_PRAM_RD_DATA）可读取的次数。 当数据被从EtherCAT内核读取并置于FIFO中时，该字段递增。当从EtherCAT过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）读取完整个双字数据时，该字段递减。	RO	00000b
7:1	保留	RO	-
0	PRAM可读数据（PRAM_READ_AVAIL） 该字段用于指示EtherCAT过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）是否存在有效数据可供读取。	RO	0b

12.13.7 ETHERCAT 过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）

偏移量：310h 大小：32位

该读/写寄存器与EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）和EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）配合使用，以对EtherCAT内核过程RAM执行写操作。

注： 起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

位	说明	类型	默认值
31:16	PRAM写长度（PRAM_WRITE_LEN） 该字段用于指示要写入EtherCAT®内核过程RAM的字节数。当数据从FIFO写入EtherCAT内核时，该字段递减。 除非PRAM写繁忙（AM_WRITE_BUSY）位为低电平，否则主机不得修改该字段。	R/W	0000h
15:0	PRAM写地址（PRAM_WRITE_ADDR） 该字段用于指示要写入的EtherCAT内核字节地址。当数据从FIFO写入EtherCAT内核时，该字段递增。 注： 过程RAM从地址1000h处开始。 除非PRAM写繁忙（AM_WRITE_BUSY）位为0，否则主机不得修改该字段。	R/W	0000h

12.13.8 ETHERCAT 过程RAM 写命令寄存器（ECAT_PRAM_WR_CMD）

偏移量：314h 大小：32 位

该读/写寄存器与EtherCAT 过程RAM 写数据FIFO（ECAT_PRAM_WR_DATA）和EtherCAT 过程RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）配合使用，以对EtherCAT 内核过程RAM 执行写操作。

位	说明	类型	默认值
31	PRAM 写繁忙（AM_WRITE_BUSY） 向该位写入 1 时，将从PRAM 写地址（PRAM_WRITE_ADDR）中指定的 EtherCAT® 内核过程RAM 存储单元开始启动写操作，具体长度在PRAM 写长度（PRAM_WRITE_LEN）中指定。该位将保持置 1 状态，直至整个写操作完成（此时该位将自清零）。 向该位写入 0 不起作用。	R/W SC	0b
30	PRAM 写中止（PRAM_WRITE_ABORT） 向该位写入 1 将取消正在进行的写操作。PRAM 写繁忙（AM_WRITE_BUSY）将清零，写数据 FIFO 以及状态位将复位。该位将自清零。 向该位写入 0 不起作用。	R/W SC	0b
29:13	保留	RO	-
12:8	PRAM 空间可写次数（PRAM_WRITE_AVAIL_CNT） 该字段用于指示在无需进一步校验状态的条件下 EtherCAT 过程RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）可写入的次数。 当将整个双字数据写入 EtherCAT 过程RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）时，该字段递减。当数据被从 FIFO 读取并置于 EtherCAT 内核时，该字段递增。	RO	10000b
7:1	保留	RO	-
0	PRAM 可写空间（PRAM_WRITE_AVAIL） 该字段用于指示 EtherCAT 过程RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）是否存在可用空间可供写入数据。	RO	1b

12.14 EtherCAT 内核 CSR 寄存器（可间接寻址）

本节将详细介绍可间接寻址的 EtherCAT 内核 CSR，它们通过可直接寻址的 [EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）](#) 和 [EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）](#) 进行访问。有关如何访问 EtherCAT 寄存器的信息，请参见第 208 页上的第 12.11 节“[EtherCAT CSR 和过程数据 RAM 访问](#)”。第 214 页上的第 12.13 节“[EtherCAT CSR 和过程数据 RAM 访问寄存器（可直接寻址）](#)”将详细介绍可直接寻址的 EtherCAT 寄存器。

注： 对于超过一个字节的 EtherCAT 内核 CSR 寄存器，LSB 具有最低地址，MSB 具有最高地址。

根据寄存器访问方式的不同，具体 EtherCAT 内核寄存器位的读/写行为可能有所不同。每个 EtherCAT 内核寄存器均包含“ECAT 类型”和“PDI 类型”列，分别提供通过 EtherCAT 主节点或过程数据接口（SPI/ 主机总线）访问寄存器时的位/字段类型。

表 12-15: ETHERCAT 内核 CSR 寄存器

地址	寄存器名称（符号）
ESC 信息	
0000h	类型寄存器
0001h	版本寄存器
0002h-0003h	编译寄存器
0004h	FMMU 支持寄存器
0005h	SyncManager 支持寄存器
0006h	RAM 大小寄存器
0007h	端口描述符寄存器
0008h-0009h	ESC 功能支持寄存器
站地址	
0010h-0011h	已配置站寄存器
0012h-0013h	已配置站别名寄存器
写保护	
0020h	写寄存器使能寄存器
0021h	写寄存器保护寄存器
0030h	ESC 写寄存器使能寄存器
0031h	ESC 写寄存器保护寄存器
数据链路层	
0040h	ESC 复位 ECAT 寄存器
0041h	ESC 复位 PDI 寄存器
0100h-0103h	ESC DL 控制寄存器
0108h-0109h	物理读/写偏移寄存器
0110h-0111h	ESC DL 状态寄存器
应用层	
0120h-0121h	AL 控制寄存器
0130h-0131h	AL 状态寄存器
0134h-0135h	AL 状态代码寄存器
0138h	运行 LED 改写寄存器
0139h	保留
PDI（过程数据接口）	
0140h	PDI 控制寄存器

LAN9252

表12-15: ETHERCAT 内核 CSR 寄存器 (续)

地址	寄存器名称 (符号)
0141h	ESC 配置寄存器
0142h-0143h	ASIC 配置寄存器
0144h-0145h	保留的寄存器
0150h	PDI 配置寄存器
0151h	SYNC/LATCH PDI 配置寄存器
0152h-0153h	扩展 PDI 配置寄存器
中断	
0200h-0201h	ECAT 事件屏蔽寄存器
0204h-0207h	AL 事件屏蔽寄存器
0210h-0211h	ECAT 事件请求寄存器
0220h-0223h	AL 事件请求寄存器
错误计数器	
0300h-0307h	接收错误计数器寄存器
0308h-030Bh	转发的接收错误计数器寄存器
030Ch	ECAT 处理单元错误计数器寄存器
030Dh	PDI 错误计数器寄存器
030Eh	PDI 错误代码寄存器
0310h-0313h	丢失链路计数器寄存器
看门狗	
0400h-0401h	看门狗分频器寄存器
0410h-0411h	看门狗时间 PDI 寄存器
0420h-0421h	看门狗时间过程数据寄存器
0440h-0441h	看门狗状态过程数据寄存器
0442h	看门狗计数器过程数据寄存器
0443h	看门狗计数器 PDI 寄存器
EEPROM 接口	
0500h	EEPROM 配置寄存器
0501h	EEPROM PDI 访问状态寄存器
0502h-0503h	EEPROM 控制/状态寄存器
0504h-0507h	EEPROM 地址寄存器
0508h-050Bh	EEPROM 数据寄存器
MII 管理接口	
0510h-0511h	MII 管理控制/状态寄存器
0512h	PHY 地址寄存器
0513h	PHY 寄存器地址寄存器
0514h-0515h	PHY 数据寄存器
0516h	MII 管理 ECAT 访问状态寄存器
0517h	MII 管理 PDI 访问状态寄存器
0518h-051Bh	PHY 端口状态寄存器
0600h-062Fh	FMMU[2:0] 寄存器 (3x16 字节)
+0h-3h	FMMUx 逻辑起始地址寄存器
+4h-5h	FMMUx 长度寄存器
+6h	FMMUx 逻辑起始位寄存器
+7h	FMMUx 逻辑停止位寄存器

表12-15: ETHERCAT 内核 CSR 寄存器 (续)

地址	寄存器名称 (符号)
+8h-9h	FMMUx 物理起始地址寄存器
+Ah	FMMUx 物理起始位寄存器
+Bh	FMMUx 类型寄存器
+Ch	FMMUx 激活寄存器
+Dh-Fh	FMMUx 保留寄存器
0630h-06FFh	保留
0800h-081Fh	SyncManager[3:0] 寄存器 (4x8 字节)
+0h-1h	SyncManager x 物理起始地址寄存器
+2h-3h	SyncManager x 长度寄存器
+4h	SyncManager x 控制寄存器
+5h	SyncManager x 状态寄存器
+6h	SyncManager x 激活寄存器
+7h	SyncManager x PDI 控制寄存器
0820h-087Fh	保留
0900h-09FFh	分布式时钟 (DC)
分布式时钟——接收时间	
0900h-0903h	接收时间端口 0 寄存器
0904h-0907h	接收时间端口 1 寄存器
0908h-090Bh	接收时间端口 2 寄存器
090Ch-090Fh	保留
分布式时钟——时间环路控制单元	
0910h-0917h	系统时间寄存器
0918h-091Fh	接收时间 ECAT 处理单元寄存器
0920h-0927h	系统时间偏移寄存器
0928h-092Bh	系统时间延时寄存器
092Ch-092Fh	系统时间差值寄存器
0930h-0931h	速度计数器起始值寄存器
0932h-0933h	速度计数器差值寄存器
0934h	系统时间差值滤波器深度寄存器
0935h	速度计数器滤波器深度寄存器
分布式时钟——循环单元控制	
0980h	循环单元控制寄存器
分布式时钟——SYNC 输出单元	
0981h	激活寄存器
0982h-0983h	同步信号寄存器的脉冲长度
0984h	激活状态寄存器
098Eh	SYNC0 状态寄存器
098Fh	SYNC1 状态寄存器
0990h-0997h	起始时间循环操作寄存器
0998h-099Fh	下一个 SYNC1 脉冲寄存器
09A0h-09A3h	SYNC0 周期时间寄存器
09A4h-09A7h	SYNC1 周期时间寄存器
分布式时钟——锁存输入单元	
09A8h	LATCH0 控制寄存器

表12-15: ETHERCAT 内核 CSR 寄存器（续）

地址	寄存器名称（符号）
09A9h	LATCH1 控制寄存器
09AEh	LATCH0 状态寄存器
09AFh	LATCH1 状态寄存器
09B0h-09B7h	LATCH0 时间上升沿寄存器
09B8h-09BFh	LATCH0 时间下降沿寄存器
09C0h-09C7h	LATCH1 时间上升沿寄存器
09C8h-09CFh	LATCH1 时间下降沿寄存器
分布式时钟——SyncManager 事件时间	
09F0h-09F3h	EtherCAT 缓冲区变化事件时间寄存器
09F8h-09FBh	PDI 缓冲区起始时间事件寄存器
09FCh-09FFh	PDI 缓冲区变化事件时间寄存器
ESC 特定	
0E00h-0E07h	产品 ID 寄存器
0E08h-0E0Fh	供应商 ID 寄存器
数字输入/输出	
0F00h-0F01h	数字 I/O 输出数据寄存器
0F10h-0F11h	通用输出寄存器
0F18h-0F19h	通用输入寄存器
用户 RAM	
0F80h-0FFFh	用户 RAM
过程数据 RAM	
1000h-1001h	数字 I/O 输入数据寄存器
1000h-1FFFh	过程数据 RAM

12.14.1 类型寄存器

偏移量: 0000h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	EtherCAT®控制器类型 C0h = Microchip。	RO	RO	C0h

12.14.2 版本寄存器

偏移量: 0001h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	EtherCAT®控制器版本	RO	RO	02h

12.14.3 编译寄存器

偏移量: 0002h-0003h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	EtherCAT®控制器编译 [7:4] = 次要版本 [3:0] = 维护版本	RO	RO	0000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.4 FMMU支持寄存器

偏移量: 0004h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	支持的FMMU 该字段详细说明EtherCAT®从控制器支持的FMMU通道（或实体）的数量。该器件提供3个通道（或实体）。	RO	RO	03h

12.14.5 SYNCMANAGER支持寄存器

偏移量: 0005h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	支持的SyncManager 该字段详细说明EtherCAT®从控制器支持的SyncManager通道（或实体）的数量。该器件提供4个通道（或实体）。	RO	RO	04h

12.14.6 RAM大小寄存器

偏移量: 0006h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	过程数据RAM大小 该字段详细说明EtherCAT®从控制器中包含的过程数据RAM的大小。该器件提供4 KB。	RO	RO	04h

12.14.7 端口描述符寄存器

偏移量: 0007h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:6	端口3配置 该字段详细说明端口3的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	00b
5:4	端口2配置 该字段详细说明端口2的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	11b (三端口操作) 01b (双端口操作) 请参见第14.0节 “芯片模式配置”
3:2	端口1配置 该字段详细说明端口1的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	11b
1:0	端口0配置 该字段详细说明端口0的配置。 00: 未实现 01: 未配置 10: EBUS 11: MII/RMII	RO	RO	11b

12.14.8 ESC功能支持寄存器

偏移量: 0008h-0009h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:12	保留	RO	RO	0h
11	固定FMMU/SyncManager配置 0: 可变配置 1: 固定配置	RO	RO	0b
10	EtherCAT®读/写命令支持 0: 支持 1: 不支持	RO	RO	0b
9	EtherCAT LRW命令支持 0: 支持 1: 不支持	RO	RO	0b
8	增强型DC SYNC激活 0: 不可用 1: 可用 注: 该功能请参见 激活寄存器 和 激活状态寄存器	RO	RO	1b
7	单独处理FCS错误 0: 不支持 1: 支持, 具有错误FCS的帧以及额外的半字节将在转发的接收计数器中单独计数	RO	RO	1b
6	增强型链路检测MII 0: 不可用 1: 可用	RO	RO	1b
5	增强型链路检测EBUS 0: 不可用 1: 可用	RO	RO	0b
4	低抖动EBUS 0: 不可用, 正常抖动 1: 可用, 最低抖动	RO	RO	0b
3	分布式时钟(宽度) 0: 32位 1: 64位	RO	RO	1b
2	分布式时钟 0: 不可用 1: 可用	RO	RO	1b
1	保留	RO	RO	0b
0	FMMU操作 0: 针对位操作 1: 针对字节操作	RO	RO	0b

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.9 已配置站寄存器

偏移量: 0010h-0011h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	已配置站地址 该字段包含用于节点寻址（FPxx命令）的地址	R/W	RO	0000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.10 已配置站别名寄存器

偏移量: 0012h-0013h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	已配置站别名地址 该字段包含用于节点寻址（FPxx命令）的别名地址。该别名的使用由 ESC DL控制寄存器 的 站别名 位激活。 注： 仅在上电复位后第一次装载EEPROM时接受EEPROM值。	RO	R/W	0000h 注5

注 5： 该字段的默认值可通过EEPROM配置。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.11 写寄存器使能寄存器

偏移量: 0020h 大小: 8位

LAN9252

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	写寄存器使能 如果使能了写保护，必须在同一以太网帧中写入该寄存器（值无关），之后才允许对该站执行其他写操作。写保护在该帧之后仍有效（如果 写寄存器保护寄存器 没有变化）	R/W	RO	0b

12.14.12 写寄存器保护寄存器

偏移量: 0021h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	写寄存器保护 0: 禁止保护 1: 使能保护 注: 除了0030h之外, 寄存器0000h-0F0Fh均受写保护。	R/W	RO	0b

12.14.13 ESC写寄存器使能寄存器

偏移量: 0030h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	ESC写寄存器使能 如果使能了ESC写保护, 必须在同一以太网帧中写入该寄存器(值无关), 之后才允许对该站执行其他写操作。ESC写保护在该帧后仍有效(如果ESC写寄存器保护寄存器没有变化)	R/W	RO	0b

12.14.14 ESC写寄存器保护寄存器

偏移量: 0031h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	ESC写寄存器保护 0: 禁止保护 1: 使能保护 注: 除了0030h之外，所有区域均受写保护。	R/W	RO	0b

12.14.15 ESC复位ECAT寄存器

偏移量: 0040h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
写				
7:0	ESC复位ECAT 通过3个连续的命令向该寄存器中写入52h（“R”）、45h（“E”）和53h（“S”）之后，将触发复位。	R/W	RO	00h
读				
7:2	保留	RO	RO	000000b
1:0	复位步骤进度 01: 在写入52h后 10: 在写入45h后（如果之前已写入52h） 00: 其他	R/W	RO	00b

12.14.16 ESC复位PDI寄存器

偏移量: 0041h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
写				
7:0	ESC复位PDI 通过3个连续的命令向该寄存器中写入52h（“R”）、45h（“E”）和53h（“S”）之后，将触发复位。	RO	R/W	00h
读				
7:2	保留	RO	RO	000000b
1:0	复位步骤进度 01: 在写入52h后 10: 在写入45h后（如果之前已写入52h） 00: 其他	RO	R/W	00b

LAN9252

12.14.17 ESC DL控制寄存器

偏移量: 0100h-0103h 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值																		
31:25	保留 写为0。	RO	RO	0000000b																		
24	站别名 0: 忽略站别名 1: 别名可用于所有已配置地址命令类型（FPRD和FPWR等）	R/W	RO	0b																		
23:20	保留 写为0。	RO	RO	0000b																		
19	EBUS低抖动 0: 正常抖动 1: 较低抖动	R/W	RO	0b																		
18:16	接收FIFO大小/接收延时缩短 （ESC延迟启动转发，直至FIFO至少半满） 请参见 注6 。 <table><tr><td>EBUS</td><td>MII</td></tr><tr><td>000: -50 ns</td><td>-40 ns</td></tr><tr><td>001: -40 ns</td><td>-40 ns</td></tr><tr><td>010: -30 ns</td><td>-40 ns</td></tr><tr><td>011: -20 ns</td><td>-40 ns</td></tr><tr><td>100: -10 ns</td><td>无变化</td></tr><tr><td>101: 无变化</td><td>无变化</td></tr><tr><td>110: 无变化</td><td>无变化</td></tr><tr><td>111: 默认值</td><td>默认值</td></tr></table>	EBUS	MII	000: -50 ns	-40 ns	001: -40 ns	-40 ns	010: -30 ns	-40 ns	011: -20 ns	-40 ns	100: -10 ns	无变化	101: 无变化	无变化	110: 无变化	无变化	111: 默认值	默认值	R/W	RO	111b
EBUS	MII																					
000: -50 ns	-40 ns																					
001: -40 ns	-40 ns																					
010: -30 ns	-40 ns																					
011: -20 ns	-40 ns																					
100: -10 ns	无变化																					
101: 无变化	无变化																					
110: 无变化	无变化																					
111: 默认值	默认值																					
15:14	保留 写为0。	RO	RO	00b																		
13:12	环路端口2 00: 自动 01: 自动关闭。 10: 开启。 11: 关闭。	R/W 注7	RO	00b																		
11:10	环路端口1 00: 自动 01: 自动关闭。 10: 开启。 11: 关闭。	R/W 注7	RO	00b																		
9:8	环路端口0 00: 自动 01: 自动关闭。 10: 开启。 11: 关闭。	R/W 注7	RO	00b																		
7:2	保留 写为0。	RO	RO	000000b																		

位	说明	ECAT 类型	PDI 类型	默认值
1	临时使用寄存器0101h设置 0: 永久使用 1: 临时使用约1s, 然后恢复之前的设置。	R/W	RO	0b
0	转发规则 0: 处理 EtherCAT® 帧, 转发非 EtherCAT 帧而不处理 1: 处理 EtherCAT 帧, 破坏非 EtherCAT 帧。 无论转发规则如何, 都会为每个帧更改源MAC地址 (SOURCE_MAC[1] 设置为1——本地管理的地址)。	R/W	RO	1b

注 6: 能否减小接收FIFO的大小取决于ESC的时钟源精度以及连接的每个EtherCAT/以太网器件（主器件和从器件等）的时钟源精度。接收FIFO大小为111b时足以满足100 ppm精度, 接收FIFO大小为000b时可满足25 ppm精度（帧大小为1518/1522字节）。

注 7: 环路配置更改将延迟至端口上当前接收或发送的帧结束。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.18 物理读/写偏移寄存器

偏移量: 0108h-0109h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	物理读/写偏移 读地址和写地址之间的R/W命令（FPRW和APRW）的偏移。 RD_ADR - ADR 和 WR_ADR = ADR + R/W- 偏移。	R/W	RO	0b

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

LAN9252

12.14.19 ESC DL 状态寄存器

偏移量: 0110h-0111h 大小: 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:14	保留	RO	RO	00b
13	端口 2 上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
12	环路端口 2 0: 开启。 1: 关闭。	RO	RO	0b
11	端口 1 上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
10	环路端口 1 0: 开启。 1: 关闭。	RO	RO	0b
9	端口 0 上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
8	环路端口 0 0: 开启。 1: 关闭。	RO	RO	0b
7	保留	RO	RO	0b
6	端口 2 上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
5	端口 1 上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
4	端口 0 上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
3	保留	RO	RO	0b
2	增强型链路检测 0: 所有端口均禁止 1: 至少一个端口激活 注: 仅在上电复位后第一次装载 EEPROM 时接受 EEPROM 值。	RO	RO	0b (直至第一次装载 EEPROM, 然后为 EEPROM 地址 0000h bit 9 或 0000h[15:12])
1	PDI 看门狗状态 0: 看门狗超时 1: 看门狗重载	RO	RO	0b

位	说明	ECAT 类型	PDI 类型	默认值
0	PDI工作/EEPROM正确装载 0: EEPROM未装载，PDI未工作（未访问过程数据RAM） 1: EEPROM正确装载，PDI工作（访问过程数据RAM）	RO	RO	0b

注： 通过ECAT读取该寄存器会将ECAT事件请求寄存器中的DL状态事件位清零。

对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.20 AL控制寄存器

偏移量： 0120h-0121h 大小： 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:5	保留 写为0。	R/W 注8	R/WC	000h
4	错误指示应答 0: AL状态寄存器中无错误指示应答 1: AL状态寄存器中有错误指示应答	R/W 注8	R/WC	0b
3:0	启动器件状态机的状态转换 1h: 请求启动状态 2h: 请求预工作状态 3h: 请求自举状态 4h: 请求安全工作状态 8h: 请求工作状态	R/W 注8	R/WC	1h

注 8： 如果器件仿真关闭（ESC配置寄存器的器件仿真位为0），则该寄存器的行为将类似于邮箱。ECAT写入该寄存器后，PDI必须读取该寄存器。否则，ECAT无法再次写入该寄存器。复位后，该寄存器可通过ECAT写入。寄存器0120h和0121h的邮箱功能是等效的，例如，读取0121h足以使该寄存器能够再次被写入。如果器件仿真开启，该寄存器可始终被写入，其内容复制到AL状态寄存器。通过PDI读取该寄存器将清除所有事件请求（寄存器0220h bit 0）。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.21 AL 状态寄存器

偏移量: 0130h-0131h 大小: 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:5	保留 写为0。	RO	R/W 注9	000h
4	错误指示 0: 器件处于请求的状态或者标志由命令清零 1: 本地操作后，器件未进入请求的状态或更改的状态	RO	R/W 注9	0b
3:0	器件状态机的实际状态 1h: 启动状态 2h: 预工作状态 3h: 自举状态 4h: 安全工作状态 8h: 工作状态	RO	R/W 注9	1h

注 9: 如果器件仿真关闭，则该寄存器只可写入（ESC 配置寄存器的器件仿真位为0）。否则，该寄存器将反映AL控制寄存器的值。通过ECAT读取该寄存器会将ECAT事件请求寄存器中的AL状态事件位清零。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.22 AL 状态代码寄存器

偏移量: 0134h-0135h 大小: 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	AL 状态代码	RO	R/W	0000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.23 运行LED改写寄存器

偏移量: 0138h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:5	保留 写为0。	R/W	R/W	000b
4	运行改写 0: 禁止改写 1: 使能改写	R/W	R/W	0b
3:0	运行LED代码 代码 FSM状态 0h: 熄灭 1h-Ch: 慢速闪烁 (1x-12x) Dh: 快速闪烁 Eh: 非等时闪烁 Fh: 点亮 1——启动 4——安全工作 (1x) 2——预工作 3——自举 8——工作	R/W	R/W	0h

注: 用有效值更改AL状态寄存器将禁止运行改写 (bit 4 = 0)。在该寄存器中读取的值始终反映当前的LED输出。

12.14.24 PDI控制寄存器

偏移量: 0140h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	过程数据接口 04h: 数字 I/O 80h: SPI 88h: HBI 复用 1 阶段 8 位 89h: HBI 复用 1 阶段 16 位 8Ah: HBI 复用 2 阶段 8 位 8Bh: HBI 复用 2 阶段 16 位 8Ch: HBI 变址 8 位 8Dh: HBI 变址 16 位 其他: 保留	RO	RO	00h 注 10

注 10: 该字段的默认值可通过EEPROM配置。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

12.14.25 ESC配置寄存器

偏移量: 0141h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7	保留	RO	RO	0b
6	增强型链路端口 2 0: 禁止 (如果 bit 1 = 0) 1: 使能	RO	RO	0b 注 11
5	增强型链路端口 1 0: 禁止 (如果 bit 1 = 0) 1: 使能	RO	RO	0b 注 11
4	增强型链路端口 0 0: 禁止 (如果 bit 1 = 0) 1: 使能	RO	RO	0b 注 11
3	分布式时钟锁存输入单元 0: 禁止 (节能) 1: 使能 注: 该位无作用。	RO	RO	0b
2	分布式时钟 SYNC 输出单元 0: 禁止 (节能) 1: 使能 注: 该位无作用。	RO	RO	0b
1	增强型链路检测所有端口 0: 禁止 (如果 bit[7:4] = 0) 1: 使能所有端口	RO	RO	0b 注 11
0	器件仿真 (控制 AL 状态寄存器) 0: AL 状态寄存器必须由 PDI 设置 1: AL 状态寄存器设置为写入 AL 控制寄存器的值 注: 对于数字 I/O 模式, 编程的值应为 1; 对于具有主机控制器的应用, 编程的值应为 0。	RO	RO	0b 注 11

注 11: 该字段的默认值可通过EEPROM配置。更多信息, 请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注: 该寄存器根据 EEPROM 的内容进行初始化。仅当上电复位后第一次装载 EEPROM 时采用增强型链路检测的 EEPROM 设置 (bit 6、bit 5、bit 4 和 bit 1)。即使最初无法读取 EEPROM, 更改及手动重载 EEPROM 也不会影响增强型链路检测的使能状态。

12.14.26 ASIC配置寄存器

偏移量: 0142h-0143h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15	MI链路检测 (链路配置, 链路检测, 寄存器PHY端口状态寄存器) 0: 不可用 1: MI链路检测有效	RO	RO	0b 注 12
14:6	保留	RO	RO	0000000b 注 12
7	千兆位寄存器9 MI写操作使能 使能对PHY的PHY寄存器9的写操作, PHY按照IEEE 802.3标准使用该寄存器 0: 禁止对千兆位寄存器9的MI写操作 1: 使能对千兆位寄存器9的MI写操作	RO	RO	0b 注 12
6:0	保留	RO	RO	0000000b 注 12

注 12: 该字段的默认值可通过EEPROM配置。更多信息, 请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.27 保留的寄存器

偏移量: 0144h-0145h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	保留	RO	RO	0000h 注 13

注 13: 该字段的默认值可通过EEPROM配置。更多信息, 请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.28 PDI配置寄存器

偏移量: 0150h 大小: 8位

该寄存器的位定义取决于所选的PDI模式（PDI控制寄存器中的过程数据接口字段）：数字I/O模式或HBI模式。

PDI配置寄存器：数字I/O模式

位	说明	ECAT 类型	PDI 类型	默认值
7:6	输出数据采样选择 00: 帧结束 01: 保留 10: DC SYNC0事件 11: DC SYNC1事件 注: 如果 OUTVALID模式 = 1 ，输出数据将在过程数据看门狗触发事件时更新（ 输出数据采样选择 位被忽略）	RO	RO	00b 注 14
5:4	输入数据采样选择 00: 帧结束 01: LATCH_IN的上升沿 10: DC SYNC0事件 11: DC SYNC1事件	RO	RO	00b 注 14
3	看门狗行为 0: 输出在看门狗超时后立即复位 1: 输出在看门狗超时后的下一个输出事件时复位	RO	RO	0b 注 14
2	单向/双向模式 0: 单向模式：单独配置引脚的输入/输出方向 1: 双向模式：所有I/O引脚均是双向的，忽略方向配置	RO	RO	0b 注 14
1	OUTVALID模式 0: 输出事件信号传输 1: OUTVALID上的过程数据看门狗触发信号（WD_TRIG）传输。如果看门狗被触发，则会更新输出数据。改写 输出数据采样选择 位。	RO	RO	0b 注 14
0	OUTVALID极性 0: 高电平有效 1: 低电平有效	RO	RO	0b 注 14

注 14: 该字段的默认值可通过EEPROM配置。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

LAN9252

PDI配置寄存器：HBI模式

位	说明	ECAT 类型	PDI 类型	默认值
7	HBI ALE 限定 配置HBI接口，以通过CS信号限定ALEHI和ALELO信号。 0: 通过ALEHI和ALELO锁存地址输入 1: 只有CS有效时，才通过ALEHI和ALELO锁存地址输入	RO	RO	0b 注 15
6	HBI 读/写模式 配置HBI接口以用于单独的读写信号或者方向和使能信号。 0: 读取和写入 1: 方向和使能	RO	RO	0b 注 15
5	HBI 片选极性 配置HBI接口片选信号的极性。 0: 低电平有效 1: 高电平有效	RO	RO	0b 注 15
4	HBI 读取以及读/写极性 配置HBI接口读信号的极性。 0: 低电平有效读取 1: 高电平有效读取 配置HBI接口读/写信号的极性。 0: 1时读取，0时写入（R/nW） 1: 1时写入，0时读取（W/nR）	RO	RO	0b 注 15
3	HBI 写入以及使能极性 配置HBI接口写信号的极性。 0: 低电平有效写入 1: 高电平有效写入 配置HBI接口读/写信号的极性。 0: 低电平有效使能 1: 高电平有效使能	RO	RO	0b 注 15
2	HBI ALE 极性 配置HBI接口ALEHI和ALELO信号的极性。 0: 低电平有效选通（在上升沿保存地址） 1: 高电平有效选通（在下降沿保存地址）	RO	RO	0b 注 15
1:0	保留	RO	RO	00b 注 15

注 15: 该字段的默认值可通过EEPROM配置。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

12.14.29 SYNC/LATCH PDI配置寄存器

偏移量: 0151h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7	SYNC1映射 SYNC1映射到AL事件请求寄存器（0220h bit 3） 0: 禁止 1: 使能	RO	RO	0b 注 16
6	SYNC1/LATCH1配置 0: LATCH1输入 1: SYNC1输出	RO	RO	0b 注 16
5:4	SYNC1输出驱动器/极性 00: 推挽式（低电平有效） 01: 漏极开路（低电平有效） 10: 推挽式（高电平有效） 11: 源极开路（高电平有效）	RO	RO	00b 注 16
3	SYNC0映射 SYNC0映射到AL事件请求寄存器（0220h bit 2） 0: 禁止 1: 使能	RO	RO	0b 注 16
2	SYNC0/LATCH0配置 0: LATCH0输入 1: SYNC0输出	RO	RO	0b 注 16
1:0	SYNC0输出驱动器/极性 00: 推挽式（低电平有效） 01: 漏极开路（低电平有效） 10: 推挽式（高电平有效） 11: 源极开路（高电平有效）	RO	RO	00b 注 16

注 16: 该字段的默认值可通过EEPROM配置。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

12.14.30 扩展PDI配置寄存器

偏移量：0152h-0153h 大小：16位

该寄存器的位定义取决于所选的PDI模式（PDI控制寄存器中的过程数据接口字段）：数字I/O模式或SPI模式。

扩展PDI配置寄存器：数字I/O模式

位	说明	ECAT 类型	PDI 类型	默认值
15:8	保留	RO	RO	0000h
7	I/O[15:14]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17
6	I/O[13:12]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17
5	I/O[11:10]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17
4	I/O[9:8]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17
3	I/O[7:6]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17
2	I/O[5:4]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17
1	I/O[3:2]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17
0	I/O[1:0]方向 0: 输入 1: 输出 注： 在双向模式（0b）下保留。	RO	RO	0b 注 17

注 17： 该字段的默认值可通过EEPROM配置。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

PDI配置寄存器：SPI模式

位	说明	ECAT 类型	PDI 类型	默认值
15	I/O[15:14]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
14	I/O[13:12]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
13	I/O[11:10]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
12	I/O[9:8]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
11	I/O[7:6]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
10	I/O[5:4]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
9	I/O[3:2]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
8	I/O[1:0]缓冲器类型 0: 推挽式 1: 漏极开路	RO	RO	0b 注 18
7	I/O[15:14]方向 0: 输入 1: 输出	RO	RO	0b 注 18
6	I/O[13:12]方向 0: 输入 1: 输出	RO	RO	0b 注 18
5	I/O[11:10]方向 0: 输入 1: 输出	RO	RO	0b 注 18
4	I/O[9:8]方向 0: 输入 1: 输出	RO	RO	0b 注 18
3	I/O[7:6]方向 0: 输入 1: 输出	RO	RO	0b 注 18
2	I/O[5:4]方向 0: 输入 1: 输出	RO	RO	0b 注 18
1	I/O[3:2]方向 0: 输入 1: 输出	RO	RO	0b 注 18

位	说明	ECAT 类型	PDI 类型	默认值
0	I/O[1:0]方向 0: 输入 1: 输出	RO	RO	0b 注 18

注 18: 该字段的默认值可通过EEPROM配置。更多信息, 请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.31 ECAT 事件屏蔽寄存器

偏移量: 0200h-0201h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	ECAT 事件屏蔽 ECAT 事件请求寄存器事件的 ECAT 事件屏蔽, 用于映射到 EtherCAT® 帧的 ECAT 事件字段。 0: 不映射相应的 ECAT 事件请求寄存器位 1: 映射相应的 ECAT 事件请求寄存器位	R/W	RO	0000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.32 AL 事件屏蔽寄存器

偏移量: 0204h-0207h 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	AL 事件屏蔽 AL事件请求寄存器事件的AL事件屏蔽, 用于映射到PDI IRQ信号。 0: 不映射相应的AL事件请求寄存器位 1: 映射相应的AL事件请求寄存器位	RO	R/W	00FFFF0Fh

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.33 ECAT 事件请求寄存器

偏移量: 0210h-0211h 大小: 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:8	保留	RO	RO	00h
7	SyncManager 状态镜像 该位用于镜像 SyncManager 通道 3 状态的值。 0: 无同步通道 3 事件 1: 同步通道 3 事件待处理	RO	RO	0b
6	SyncManager 状态镜像 该位用于镜像 SyncManager 通道 2 状态的值。 0: 无同步通道 2 事件 1: 同步通道 2 事件待处理	RO	RO	0b
5	SyncManager 状态镜像 该位用于镜像 SyncManager 通道 1 状态的值。 0: 无同步通道 1 事件 1: 同步通道 1 事件待处理	RO	RO	0b
4	SyncManager 状态镜像 该位用于镜像 SyncManager 通道 0 状态的值。 0: 无同步通道 0 事件 1: 同步通道 0 事件待处理	RO	RO	0b
3	AL 状态事件 0: AL 状态无变化 1: AL 状态变化 注: 该位的清零方式是通过 ECAT 读取 AL 状态寄存器 。	RO	RO	0b
2	DL 状态事件 0: DL 状态无变化 1: DL 状态变化 注: 该位的清零方式是通过 ECAT 读取 ESC DL 状态寄存器 。	RO	RO	0b
1	保留	RO	RO	0b
0	DC 锁存事件 0: DC 锁存输入无变化 1: 至少有一个 DC 锁存输入变化 注: 该位的清零方式是通过 ECAT 读取 ECAT 控制的锁存单元的 DC 锁存事件的时间, 以使 LATCH0 状态寄存器 / LATCH1 状态寄存器 指示无事件。	RO	RO	0b

注: 对于超过一个字节的 EtherCAT 内核 CSR 寄存器, LSB 具有最低地址, MSB 具有最高地址。

12.14.34 AL 事件请求寄存器

偏移量: 0220h-0223h 大小: 32 位

位	说明	ECAT 类型	PDI 类型	默认值
31:12	保留	RO	RO	000h
11	SyncManager 3 中断 (SyncManager 寄存器偏移 5h, bit 0 或 bit 1) 0: 无 SyncManager 3 中断 1: SyncManager 3 中断待处理	RO	RO	0b
10	SyncManager 2 中断 (SyncManager 寄存器偏移 5h, bit 0 或 bit 1) 0: 无 SyncManager 2 中断 1: SyncManager 2 中断待处理	RO	RO	0b
9	SyncManager 1 中断 (SyncManager 寄存器偏移 5h, bit 0 或 bit 1) 0: 无 SyncManager 1 中断 1: SyncManager 1 中断	RO	RO	0b
8	SyncManager 0 中断 (SyncManager 寄存器偏移 5h, bit 0 或 bit 1) 0: 无 SyncManager 0 中断 1: SyncManager 0 中断待处理	RO	RO	0b
7	保留	RO	RO	0b
6	看门狗过程数据 0: 未超时 1: 已超时 注: 该位的清零方式是读取看门狗状态过程数据寄存器。	RO	RO	0b
5	EEPROM 仿真 0: 无命令待处理 1: EEPROM 命令待处理 注: 该位的清零方式是通过 PDI 应答 EEPROM 控制/状态寄存器中的命令。	RO	RO	0b
4	SyncManager x 激活寄存器变化 (SyncManager x 激活寄存器) 0: 任何 SyncManager 中均无变化 1: 至少一个 SyncManager 发生变化 注: 该位的清零方式是通过 PDI 读取相应的 SyncManager x 激活寄存器。	RO	RO	0b
3	DC SYNC1 的状态 (如果 SYNC/LATCH PDI 配置寄存器的 bit 7 = 1) 注: 该位的清零方式是读取 SYNC1 状态 0x098F。	RO	RO	0b
2	DC SYNC0 的状态 (如果 SYNC/LATCH PDI 配置寄存器的 bit 3 = 1) 注: 该位的清零方式是读取 SYNC0 状态 0x098E。	RO	RO	0b

位	说明	ECAT 类型	PDI 类型	默认值
1	DC 锁存事件 0: DC 锁存输入无变化 1: 至少有一个 DC 锁存输入变化 注: 该位的清零方式是通过 PDI 读取 PDI 控制的锁存单元的 DC 锁存事件的时间, 以使 LATCH0 状态寄存器/LATCH1 状态寄存器指示无事件。	RO	RO	0b
0	AL 控制事件 0: AL 控制寄存器无变化 1: 已写入 AL 控制寄存器 (只有 PDI 仿真关闭 (ESC 配置寄存器的 bit 8 = 0) 时, 才会产生 AL 控制事件)。 注: 该位的清零方式是通过 PDI 读取 AL 控制寄存器。	RO	RO	0b

注: 对于超过一个字节的 EtherCAT 内核 CSR 寄存器, LSB 具有最低地址, MSB 具有最高地址。

12.14.35 接收错误计数器寄存器

偏移量:0300h-0307h大小:16位

端口0: 0300h-0301h

端口1: 0302h-0303h

端口2: 0304h-0305h

端口3: 0306h-0307h

共有4个16位接收错误计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	ECAT 类型	PDI 类型	默认值
15:8	端口x接收错误计数器 当达到FFh时，计数停止。这直接耦合到MII/EBUS接口的RX ERR。	R/WC	RO	00h
7:0	端口x无效帧计数器 当达到FFh时，计数停止。	R/WC	RO	

- 注：写入接收错误计数器寄存器中的任意一个都会清零该寄存器。
- 注：对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。
- 注：端口3未使用。

12.14.36 转发的接收错误计数器寄存器

偏移量: **0308h-030Bh** 大小: 8位
 端口 0: 0308h
 端口 1: 0309h
 端口 2: 030Ah
 端口 3: 030Bh

共有4个8位转发的接收错误计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“**x**”表示端口0-3。

位	说明	ECAT 类型	PDI 类型	默认值
7:0	端口 x 转发的接收错误计数器 当达到FFh时，计数停止。这直接耦合到MII/EBUS接口的RX ERR。	R/WC	RO	00h

注： 写入**接收错误计数器寄存器**中的任意一个都会清零该寄存器。

注： 端口3未使用。

12.14.37 ECAT 处理单元错误计数器寄存器

偏移量: **030Ch** 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	ECAT 处理单元错误计数器 当达到FFh时，计数停止。该字段对传送到处理单元的帧错误（例如，FCS 错误或数据报结构错误）进行计数。	R/WC	RO	00h

12.14.38 PDI 错误计数器寄存器

偏移量: **030Dh** 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	PDI 错误计数器 当达到FFh时，计数停止。如果PDI访问具有接口错误，该字段将计数。	R/WC	RO	00h

12.14.39 PDI 错误代码寄存器

偏移量: 030Eh 大小: 8 位

该寄存器的位定义取决于所选的PDI模式（PDI控制寄存器中的过程数据接口字段）：SPI模式或HBI模式。

注： 当写入PDI 错误计数器寄存器时，该寄存器将清零。

PDI 错误代码：SPI 模式

位	说明	ECAT 类型	PDI 类型	默认值
7:0	保留	RO	RO	00h

PDI 错误代码：HBI 模式

位	说明	ECAT 类型	PDI 类型	默认值
7:0	保留	RO	RO	00h

12.14.40 丢失链路计数器寄存器

偏移量: [0310h-0313h](#) 大小: 8位
 端口 0: 0310h
 端口 1: 0311h
 端口 2: 0312h
 端口 3: 0313h

共有4个8位丢失链路计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“**x**”表示端口0-3。

位	说明	ECAT 类型	PDI 类型	默认值
7:0	端口 x 丢失链路计数器 当达到 FFh 时，计数停止。仅当端口环路处于自动模式或自动关闭模式时，该计数器才会计数。 注： 仅对开启端口上丢失的链路进行计数。	R/WC	RO	00h

注： 写入 [丢失链路计数器寄存器](#) 中的任意一个都会清零该寄存器。

注： 端口 3 未使用。

12.14.41 看门狗分频器寄存器

偏移量: [0400h-0401h](#) 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	看门狗分频器 25 MHz 计时周期数（减2），表示基本看门狗递增次数。（默认值为 100 μ s = 2498）	R/W	RO	09C2h

注： 对于超过一个字节的 EtherCAT 内核 CSR 寄存器，LSB 具有最低地址，MSB 具有最高地址。

12.14.42 看门狗时间PDI寄存器

偏移量: 0410h-0411h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	看门狗时间PDI 基本看门狗递增次数。 (100 μs看门狗分频器默认值对应于100 ms看门狗。)	R/W	RO	03E8h

注: 如果看门狗时间PDI设置为0000h, 则将禁止看门狗。每次访问PDI时, 都将重启看门狗。
注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.43 看门狗时间过程数据寄存器

偏移量: 0420h-0421h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	看门狗时间过程数据 基本看门狗递增次数。 (100 μs看门狗分频器默认值对应于100 ms看门狗。)	R/W	RO	03E8h

注: 存在一个适用于所有SyncManager的看门狗。如果看门狗时间PDI设置为0000h, 则将禁止看门狗。每次通过将看门狗触发信号使能位置1对SyncManager执行写访问时, 将重启看门狗。
注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.44 看门狗状态过程数据寄存器

偏移量: 0440h-0441h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:1	保留	RO	RO	0000h
0	看门狗过程数据的状态 (由SyncManager触发) 0: 看门狗过程数据超时 1: 看门狗过程数据激活或禁止	RO	RO	0b

- 注: 读取该寄存器会将AL事件请求寄存器中的看门狗过程数据位清零。
- 注: PDI的看门狗状态可在ESC DL状态寄存器的PDI看门狗状态位中读取。
- 注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.45 看门狗计数器过程数据寄存器

偏移量: 0442h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	看门狗计数器过程数据 当达到FFh时, 计数停止。计数以确定过程数据看门狗是否超时。如果写入其中一个看门狗计数器(0442h-0443h), 则该字段清零。	R/WC	RO	00h

12.14.46 看门狗计数器PDI寄存器

偏移量: 0443h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:0	看门狗PDI计数器 当达到FFh时, 计数停止。计数以确定PDI看门狗是否超时。如果写入其中一个看门狗计数器(0442h-0443h), 则该字段清零。	R/WC	RO	00h

12.14.47 EEPROM配置寄存器

偏移量: 0500h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	强制ECAT访问 0: 不改变 1: 复位	R/W	RO	0b
0	PDI EEPROM控制 0: 无 1: 有（PDI具有EEPROM控制）	R/W	RO	0b

注： 如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0，则EtherCAT控制SII EEPROM接口。否则，PDI控制EEPROM接口。

12.14.48 EEPROM PDI访问状态寄存器

偏移量: 0501h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	EEPROM访问 0: 不改变 1: 复位	RO	R/W 注 19	0b

注 19: 仅当EEPROM配置寄存器的PDI EEPROM控制位为1且强制ECAT访问位为0时, 才可执行写访问。

注: 如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0, 则EtherCAT控制SII EEPROM接口。否则, PDI控制EEPROM接口。

12.14.49 EEPROM控制/状态寄存器

偏移量: 0502h-0503h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15	繁忙 0: EEPROM接口空闲 1: EEPROM接口繁忙	RO	RO	0b
14	错误写使能 0: 无错误 1: 未进行写使能的写命令 (见注20)	RO	RO	0b
13	错误应答/命令 0: 无错误 1: 丢失EEPROM应答或无效命令 (见注20) 注: 仅EEPROM仿真: 如果发生临时故障, 则PDI写为1。	RO	R/[W] 注 21	0b
12	EEPROM装载状态 0: EEPROM已装载, 器件信息可用 1: EEPROM未装载, 器件信息不可用 (正在装载EEPROM或者EEPROM装载失败)	RO	RO	0b
11	ESC配置区域中的校验和错误 0: 校验和正确 1: 校验和错误	RO	R/[W] 注 21	0b

位	说明	ECAT 类型	PDI 类型	默认值
10:8	命令寄存器 写：启动命令 读：当前执行的命令 000 ：无命令/EEPROM空闲（清零错误位） 001 ：读 010 ：写 100 ：重载 其他 ：保留/无效命令（不发出） （见 注22 ）	R/W	R/[W] 注21	000b
7	选择的EEPROM算法 0 ：1个地址字节（1 Kb - 16 Kb EEPROM） 1 ：2个地址字节（32 Kb - 4 Mb EEPROM）	RO	RO	注23
6	支持的EEPROM字节数 0 ：4字节 1 ：8字节	RO	RO	0b
5	EEPROM仿真 0 ：正常工作（使用I ² C接口） 1 ：PDI仿真EEPROM（未使用I ² C） 注 ： 必须写为0。	RO	RO	0b
4:1	保留	RO	RO	0b
0	ECAT写使能 0 ：禁止写请求 1 ：使能写请求 （见 注24 ）	R/W	RO	0b

- 注 20：** 通过向**命令寄存器**位写入“000”（或任何有效命令）来将错误位清零。
- 注 21：** EEPROM接口繁忙时（**繁忙位** = 1），可执行写访问。PDI通过向相应的命令寄存器位bit 10:8写入1来应答待处理命令。可通过向错误位（bit 11和bit 13）写入1来指示错误。应答会将**AL事件请求寄存器**的bit 5清零。
- 注 22：** 执行命令后（EEPROM 繁忙结束），**命令寄存器**位将自清零。向**命令寄存器**位写入“000”还会将错误位bit 14:13清零。如果**错误应答/命令**待处理，则**命令寄存器**位将被忽略。
- 注 23：** 该位的默认值取决于**eprom_size_strap**。
- 注 24：** **ECAT写使能**位在下一个帧的SOF处自清零。
- 注：** 如果**EEPROM配置寄存器**的**PDI EEPROM控制**位为0且**EEPROM PDI访问状态寄存器**的**EEPROM访问**位也为0，则EtherCAT控制SII EEPROM接口。否则，PDI控制EEPROM接口。
- 注：** 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.50 EEPROM地址寄存器

偏移量: 0504h-0507h 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	EEPROM地址 Bit 0: 第一个字 (16位) Bit 1: 第二个字 注: 实际使用的EEPROM地址位: [9:0]: EEPROM大小最大为16 Kb [17:0]: EEPROM大小为32 Kb - 4 Mb [31:0]: EEPROM仿真	R/W	R/W	00000000h

注: 写访问取决于EEPROM接口 (ECAT/PDI) 的分配。EEPROM接口繁忙时 ([EEPROM控制/状态寄存器的繁忙位 = 1](#))，通常会阻止写访问。

注: 如果[EEPROM配置寄存器](#)的**PDI EEPROM控制**位为0且[EEPROM PDI访问状态寄存器](#)的**EEPROM访问**位也为0，则EtherCAT控制SII EEPROM接口。否则，PDI控制EEPROM接口。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.51 EEPROM数据寄存器

偏移量: 0508h-050Bh 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:16	EEPROM读数据 要从EEPROM读取的数据的高字节	RO	RO	0000h
15:0	EEPROM读/写数据 要从EEPROM读取的数据的低字节或者要写入EEPROM的数据	R/W	R/W	0000h

注: 写访问取决于EEPROM接口 (ECAT/PDI) 的分配。EEPROM接口繁忙时 ([EEPROM控制/状态寄存器的繁忙位 = 1](#))，通常会阻止写访问。

注: 如果[EEPROM配置寄存器](#)的**PDI EEPROM控制**位为0且[EEPROM PDI访问状态寄存器](#)的**EEPROM访问**位也为0，则EtherCAT控制SII EEPROM接口。否则，PDI控制EEPROM接口。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.52 MII管理控制/状态寄存器

偏移量: 0510h-0511h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15	繁忙 0: MII控制状态机空闲 1: MII控制状态机工作	RO	RO	0b
14	命令错误 0: 最后一条命令成功 1: 无效命令或未进行写使能的写命令 注: 通过无效命令或通过向 命令寄存器 写入“00”来清零。	RO	RO	0b
13	读错误 0: 无读错误 1: 出现读错误 (PHY或寄存器不可用) 注: 通过写入该寄存器清零。	R/W 注25	R/W 注25	0b
12:10	保留	RO	RO	0b
9:8	命令寄存器 写: 启动命令 读: 当前执行的命令 请参见注26。 命令: 00: 无命令/MI空闲 (清零错误位) 01: 读 10: 写 11: 保留 (不发出)	R/W 注25	R/W 注25	00b
7:3	PHY地址偏移量	RO	RO	00000b
2	MI链路检测 (链路配置, 链路检测, 寄存器 PHY端口状态寄存器) 0: 不可用 1: MI链路检测有效	RO	RO	0b 注27
1	管理接口控制 0: 仅ECAT控制 1: 可进行MPDI控制 (MII管理ECAT访问状态寄存器 和 MII管理PDI访问状态寄存器)	RO	RO	1b
0	写使能 0: 禁止写操作 1: 使能写操作 注: 如果PDI具有MI控制, 该位始终为1。(见注28)	R/W 注25	RO	0b

注 25: 写访问取决于MI接口 (ECAT/PDI) 的分配。MII接口繁忙时 (**MII管理控制/状态寄存器**的**繁忙位** = 1), 通常会阻止写访问。

注 26: 执行命令后（繁忙结束），命令寄存器位（bit 9:8）将自清零。向命令寄存器位写入“00”还会将该寄存器的错误位bit 14:13清零。执行命令后，命令寄存器位（bit 9:8）将清零。

注 27: 该字段的默认值可通过EEPROM配置。在通过EEPROM成功配置器件前，该位为0且MI链路检测为禁止状态。仅当上电复位之后第一次装载EEPROM时，MI链路检测的EEPROM设置才生效。即使最初无法读取EEPROM，更改及手动重载EEPROM也不会影响MI链路检测的使能状态。更多信息，请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注 28: 写使能位bit 0在下一个帧的SOF处（或PDI访问结束时）自清零。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.53 PHY地址寄存器

偏移量: 0512h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:5	保留 写为0。	RO	RO	000b
4:0	PHY地址	R/W 注 29	R/W 注 29	00000b

注 29: 写访问取决于MI接口（ECAT/PDI）的分配。MII接口繁忙时（MII管理控制/状态寄存器的繁忙位 = 1），通常会阻止写访问。

12.14.54 PHY寄存器地址寄存器

偏移量: 0513h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:5	保留 写为0。	RO	RO	000b
4:0	要读取/写入的PHY寄存器的地址	R/W 注 30	R/W 注 30	00000b

注 30: 写访问取决于MI接口（ECAT/PDI）的分配。MII接口繁忙时（MII管理控制/状态寄存器的繁忙位 = 1），通常会阻止写访问。

12.14.55 PHY数据寄存器

偏移量: 0514h-0515h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	PHY读/写数据	R/W 注 31	R/W 注 31	0000h

注 31: 写访问取决于MI接口（ECAT/PDI）的分配。MII接口繁忙时（MII管理控制/状态寄存器的繁忙位 = 1），通常会阻止写访问。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.56 MII管理ECAT访问状态寄存器

偏移量: 0516h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	MII管理访问（ECAT） 0: ECAT允许PDI接管MII管理控制 1: ECAT声明对MII管理的独占访问	R/W 注 32	RO	0b

注 32: 仅当MII管理PDI访问状态寄存器的MII管理访问（PDI）位为0时，才可执行写访问。

12.14.57 MII管理PDI访问状态寄存器

偏移量: 0517h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	强制PDI访问状态 0: 不更改MII管理访问 (PDI) 位 1: 复位MII管理访问 (PDI) 位	R/W	RO	0b
0	MII管理访问 (PDI) 0: ECAT可以进行MII管理访问 1: PDI可以进行MII管理访问	RO	R/W 注33	0b

注 33: 仅当该寄存器的强制PDI访问状态位为0且MII管理ECAT访问状态寄存器的MII管理访问 (ECAT) 位也为0时, 才可对该寄存器的MII管理访问 (PDI) 位执行写访问。

12.14.58 PHY端口状态寄存器

偏移量: 0518h-051Bh 大小: 8位
 端口0: 0518h
 端口1: 0519h
 端口2: 051Ah
 端口3: 051Bh

共有4个8位PHY端口状态寄存器, 每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	ECAT 类型	PDI 类型	默认值
7:6	保留 写为0。	RO	RO	00b
5	端口x丢失链路计数器 0: 无更新 1: 更新了PHY配置 注: 通过向至少一个PHY端口状态寄存器写入任意值来清零。	R/WC 注34	R/WC 注34	0b
4	端口x链路伙伴错误 0: 未检测到错误 1: 链路伙伴错误	RO	RO	0b
3	端口x读错误 0: 未检测到读错误 1: 发生了读错误 注: 通过向至少一个PHY端口状态寄存器写入任意值来清零。	R/WC 注34	R/WC 注34	0b

LAN9252

位	说明	ECAT 类型	PDI 类型	默认值
2	端口 x 链路状态错误 0: 无错误 1: 链路错误, 链路被禁止	RO	RO	0b
1	端口 x 链路状态 (100 Mbps, 全双工, 自动协商) 0: 无链路 1: 检测到链路	RO	RO	0b
0	端口 x 物理链路 (PHY 状态寄存器 1.2) 0: 无物理链路 1: 检测到物理链路	RO	RO	0b

注 34: 写访问取决于 MI 接口 (ECAT/PDI) 的分配。

注: 端口 3 未使用。

12.14.59 FMMU[2:0] 寄存器

该器件包含 3 个 FMMU。从 0600h 开始, 每个 FMMU 用 16 个字节描述。表 12-16 详细给出了每个 FMMU 的基址。后续 FMMU 寄存器将以相对于这些不同基址的偏移量的形式进行引用。以下位说明中使用变量 “**x**” 表示 FMMU 0 至 FMMU 2。

表 12-16: FMMU **X** 基址

FMMU	基址
0	0600h
1	0610h
2	0620h

12.14.59.1 FMMU**x** 逻辑起始地址寄存器

偏移量: FMMU**x** 基址 +0h-3h 大小: 32 位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	逻辑起始地址 EtherCAT [®] 地址空间内的逻辑起始地址。	R/W	RO	00000000h

注: 对于超过一个字节的 EtherCAT 内核 CSR 寄存器, LSB 具有最低地址, MSB 具有最高地址。

12.14.59.2 FMMUx长度寄存器

偏移量: FMMUx 基址 +4h-5h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	长度 最后一个FMMU字节相对于第一个逻辑FMMU字节的偏移量+ 1 (例如, 如果使用两个字节, 则该参数将包含2)。	R/W	RO	0000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.59.3 FMMUx逻辑起始位寄存器

偏移量: FMMUx 基址 +6h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	逻辑起始位 将进行映射的逻辑起始位(位的计数范围为最低有效位(0)到最高有效位(7))。	R/W	RO	000b

12.14.59.4 FMMUx逻辑停止位寄存器

偏移量: FMMUx 基址 +7h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	逻辑停止位 将进行映射的最后一个逻辑位(位的计数范围为最低有效位(0)到最高有效位(7))。	R/W	RO	000b

大小: 16位

大小: 8位

大小: 8位

12.14.59.8 FMMUx激活寄存器

偏移量: FMMUx 基址+Ch 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	FMMU激活 0: 禁止FMMUx 1: 激活FMMUx。FMMUx根据配置的映射来校验要进行映射的逻辑寻址块。	R/W	RO	0b

12.14.59.9 FMMUx保留寄存器

偏移量: FMMUx 基址+Dh-Fh 大小: 24位

位	说明	ECAT 类型	PDI 类型	默认值
23:0	保留 写为0。	RO	RO	000000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.60 SYNCMANAGER[3:0] 寄存器

该器件包含4个SyncManager。从0800h开始，每个SyncManager用8个字节描述。表12-17详细给出了每个SyncManager的基址。后续SyncManager寄存器将以相对于这些不同基址的偏移量的形式进行引用。以下说明中使用变量“x”表示SyncManager 0至SyncManager 3。

表12-17： SYNCMANAGER X基址

SyncManager	基址
0	0800h
1	0808h
2	0810h
3	0818h

12.14.60.1 SyncManager x物理起始地址寄存器

偏移量： SyncManager x 基址 +0h-1h 大小： 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	物理起始地址 指定将通过 SyncManager x处理的第一个字节。	R/W 注 35	RO	0000h

注 35: 只有通过 SyncManager x激活寄存器的 SyncManager使能/禁止位禁止相应的 SyncManager时，才能写入该寄存器。

注: 对于超过一个字节的 EtherCAT 内核 CSR 寄存器，LSB 具有最低地址，MSB 具有最高地址。

12.14.60.2 SyncManager x长度寄存器

偏移量： SyncManager x 基址 +2h-3h 大小： 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	长度 分配给 SyncManager x的字节数。（该字段应大于1，否则不会激活 SyncManager。如果设置为1，则仅产生看门狗触发信号（如已配置）。）	R/W 注 36	RO	0000h

注 36: 只有通过 SyncManager x激活寄存器的 SyncManager使能/禁止位禁止 SyncManager x时，才能写入该寄存器。

注: 对于超过一个字节的 EtherCAT 内核 CSR 寄存器，LSB 具有最低地址，MSB 具有最高地址。

12.14.60.3 SyncManager x控制寄存器

偏移量: SyncManager x 基址 +4h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7	保留 写为0。	RO	RO	0b
6	看门狗触发信号使能 0: 禁止 1: 使能	R/W 注 37	RO	0b
5	PDI事件请求寄存器中的中断 0: 禁止 1: 允许	R/W 注 37	RO	0b
4	ECAT事件请求寄存器中的中断 0: 禁止 1: 允许	R/W 注 37	RO	0b
3:2	方向 00: 读: ECAT读访问, PDI写访问 01: 写: ECAT写访问, PDI读访问 10: 保留 11: 保留	R/W 注 37	RO	00b
1:0	工作模式 00: 缓冲 (三缓冲区模式) 01: 保留 10: 邮箱 (单缓冲区模式) 11: 保留	R/W 注 37	RO	00b

注 37: 只有通过SyncManager x激活寄存器的SyncManager使能/禁止位禁止SyncManager x时, 才能写入该寄存器。

12.14.60.4 SyncManager x状态寄存器

偏移量: SyncManager x 基址 +5h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7	正在使用的写缓冲区 (已开启)	RO	RO	0b
6	正在使用的读缓冲区 (已开启)	RO	RO	0b
5:4	缓冲区状态 (最后写入的缓冲区) 缓冲模式: 00: 第1个缓冲区 01: 第2个缓冲区 10: 第3个缓冲区 11: 未写入缓冲区 邮箱模式: 保留	RO	RO	11b
3	邮箱状态 邮箱模式: 0: 邮箱为空 1: 邮箱已满 缓冲模式: 保留	RO	RO	0b
2	保留 写为0。	RO	RO	0b
1	读中断 0: 在写入缓冲区的第一个字节后清除中断 1: 在完全成功读取缓冲区后产生中断	RO	RO	0b
0	写中断 0: 在读取缓冲区的第一个字节后清除中断 1: 在完全成功写入缓冲区后产生中断	RO	RO	0b

12.14.60.5 SyncManager x 激活寄存器

偏移量: SyncManager x 基址 +6h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7	锁存事件PDI 0: 无 1: 如果PDI发起缓冲区交换或者PDI访问缓冲区起始地址, 则会产生锁存事件。	R/W	RO	0b
6	锁存事件ECAT 0: 无 1: 如果EtherCAT®主器件发起缓冲区交换, 则会产生锁存事件。	R/W	RO	0b
5:2	保留 写为0。	RO	RO	0000b
1	重复请求 重复请求翻转表示需要邮箱重试 (主要与ECAT读邮箱配合使用)	R/W	RO	0b
0	SyncManager使能/禁止 0: 禁止: 在没有SyncManager控制的情况下访问存储器 1: 使能: SyncManager工作并控制配置中设置的存储区。	R/W	RO	0b

注: 在已更改激活状态的所有SyncManager中通过PDI读取该寄存器会将AL事件请求寄存器中的“SyncManager x 激活寄存器变化”位清零。

12.14.60.6 SyncManager x PDI控制寄存器

偏移量: SyncManager x 基址+7h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	重复应答 如果将该位设置为与 重复请求 相同的值，则PDI将对上一次设置的重复请求的执行做出应答。	RO	R/W	0b
0	禁止 SyncManager x 读: 0: 正常工作，激活 SyncManager x 1: 禁止 SyncManager x并复位 SyncManager x对存储区的访问锁定 写: 0: 激活 SyncManager 1: 禁止请求 SyncManager	RO	R/W	0b

12.14.61 接收时间端口0寄存器

偏移量: 0900h-0903h 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	写: 通过BWR、APWR（任何地址）或FPWR（配置地址）对寄存器0900h执行写访问将锁存每个端口上的接收帧开始时（前导码的第一位开始时）的本地时间。 读: 包含对该寄存器的写访问的最后一个接收帧开始时的本地时间。 注: 无法在写入该寄存器的同一个帧中读取时间戳。	R/W	RO	未定义

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.62 接收时间端口1寄存器

偏移量: 0904h-0907h 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	包含用于接收时间端口0寄存器的BWR/APWR或FPWR的端口1上接收的帧开始时（前导码的第一位开始时）的本地时间。	RO	RO	未定义

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.63 接收时间端口2寄存器

偏移量: 0908h-090Bh 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	包含用于接收时间端口0寄存器的BWR/APWR或FPWR的端口2上接收的帧开始时（前导码的第一位开始时）的本地时间。	RO	RO	未定义

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.64 系统时间寄存器

偏移量: 0910h-0917h 大小: 64 位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	<u>ECAT 读访问:</u> 帧通过参考时钟（即，包含系统时间延时）时系统时间的本地副本。在帧起始时（以太网SOF分隔符）锁存的时间。 <u>PDI 读访问:</u> 系统时间的本地副本。读取第一个字节（0910h）时锁存的时间。	RO	RO	00000000h 00000000h
31:0	<u>写访问:</u> 写入的值将与系统时间的本地副本进行比较。结果为时间控制环的输入。 注: 如果至少写入了第一个字节（0910h），则写入的值将在帧结束时与锁存的（SOF）系统时间本地副本进行比较。	W 注 38	RO	00000000h

注 38: 当通过ECAT执行写操作时，将触发控制环以处理新值。
注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.65 接收时间ECAT处理单元寄存器

偏移量: 0918h-091Fh 大小: 64 位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	包含对接收时间端口0寄存器（0900h）的写访问的ECAT处理单元上接收的帧起始时（前导码的第一位开始时）的本地时间。 注: 如果端口0开启，该寄存器将以64位值反映接收时间端口0寄存器。	RO	RO	00000000h 00000000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.66 系统时间偏移寄存器

偏移量: 0920h-0927h 大小: 64 位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	本地时间与系统时间的时间差。偏移添加到本地时间。包含对接收时间端口0寄存器（0900h）的写访问的ECAT处理单元上接收的帧起始时（前导码的第一位开始时）的本地时间。 注： 如果端口0开启，该寄存器将以64位值反映接收时间端口0寄存器。	R/W	RO	00000000h 00000000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.67 系统时间延时寄存器

偏移量: 0928h-092Bh 大小: 32 位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	参考时钟和ESC之间的延时	R/W	RO	00000000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.68 系统时间差值寄存器

偏移量: 092Ch-092Fh 大小: 32 位

位	说明	ECAT 类型	PDI 类型	默认值
31	0: 系统时间本地副本大于或等于所接收系统时间 1: 系统时间本地副本小于所接收系统时间	RO	RO	0b
30:0	系统时间本地副本与所接收系统时间值的平均差值。	RO	RO	00000000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.69 速度计数器起始值寄存器

偏移量: 0930h-0931h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15	保留 写为0。	RO	RO	0b
14:0	用于调节系统时间本地副本的带宽（较大值 -> 较小带宽和较平滑的调节）。写访问将复位系统时间差值寄存器和速度计数器差值寄存器。 有效范围：0080h-3FFFh。	R/W	RO	1000h

注：对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.70 速度计数器差值寄存器

偏移量: 0932h-0933h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	本地时钟周期与参考时钟的时钟周期之间偏差的表示法（表示法：二进制补码）。 有效范围：+/-（速度计数器起始值寄存器-7Fh）。	RO	RO	0000h

注：系统时间差值稳定到低值后的时钟偏差可按如下公式计算：
偏差 = 速度计数器差值 / 5(速度计数器起始值 + 速度计数器差值 + 2)(速度计数器起始值 - 速度计数器差值 + 2)

注：对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.71 系统时间差值滤波器深度寄存器

偏移量: 0934h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:4	保留	RO	RO	0h
3:0	用于对所接收系统时间的偏差求平均值的滤波器深度。 注: 写访问将复位系统时间差值寄存器。	R/W	RO	4h

12.14.72 速度计数器滤波器深度寄存器

偏移量: 0935h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:4	保留	RO	RO	0h
3:0	用于对时钟周期偏差求平均值的滤波器深度。 注: 写访问将复位内部速度计数器滤波器。	R/W	RO	Ch

LAN9252

12.14.73 循环单元控制寄存器

偏移量: 0980h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:6	保留 写为0。	RO	RO	00b
5	锁存输入单元1 0: ECAT控制 1: PDI控制 注: 锁存中断传递到ECAT/PDI, 具体取决于该设置。	R/W	RO	0b
4	锁存输入单元0 0: ECAT控制 1: PDI控制 注: 始终为1 (PDI 控制) 表示系统时钟由 PDI 控制。锁存 中断传递到ECAT/PDI, 具体取决于该设置。	R/W	RO	0b
3:1	保留 写为0。	RO	RO	000b
0	同步输出单元控制 0: ECAT控制 1: PDI控制	R/W	RO	0b

12.14.74 激活寄存器

偏移量: 0981h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7	同步信号调试脉冲 (Vasili位) 0: 禁止 1: 根据该寄存器的bit 2和bit 1, 立即在SYNC0和SYNC1上产生单个调试ping。	R/W	R/W	0b
6	近期范围配置 (近似值) 0: 1/2 DC宽度 (2^{31} ns或 2^{63} ns) 1: 2.1s (2^{31} ns)	R/W	R/W	0b
5	起始时间似真校验 0: 禁止。如果到达起始时间, 则产生同步信号。 1: 如果起始时间超出 近期范围配置 (近似值) , 则立即产生同步信号。	R/W	R/W	0b
4	起始时间循环操作扩展 (起始时间循环操作寄存器) 0: 无扩展 1: 将写入的32位起始时间扩展为64位	R/W	R/W	0b
3	自动激活 (通过写入 起始时间循环操作寄存器) 0: 禁止 1: 使能自动激活。 同步输出单元激活 在写入起始时间后自动置1。	R/W	R/W	0b
2	SYNC1产生 0: 禁止 1: 产生SYNC1脉冲	R/W	R/W	0b
1	SYNC0产生 0: 禁止 1: 产生SYNC0脉冲	R/W	R/W	0b
0	同步输出单元激活 0: 禁止 1: 激活 注: 在写入起始时间后写1。	R/W	R/W	0b

注: 根据**循环单元控制寄存器**的**同步输出单元控制**位写入该寄存器。

12.14.75 同步信号寄存器的脉冲长度

偏移量: 0982h-0983h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	同步信号的脉冲长度 (单位为10 ns) 值0用于应答模式: 同步信号的清零方式是读取 SYNC0状态寄存器 / SYNC1状态寄存器 。	RO	RO	0000h 注39

注 39: 该字段的默认值可通过EEPROM配置。更多信息, 请参见第201页上的第12.8节“EEPROM可配置寄存器”。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.76 激活状态寄存器

偏移量: 0984h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:3	保留	RO	RO	00000b
2	激活同步输出单元时的起始时间循环操作 (起始时间循环操作寄存器) 似真校验结果。 0: 起始时间在近期范围内 1: 起始时间超出近期范围	RO	RO	0b
1	SYNC1激活状态 0: 第一个SYNC1脉冲未处于待处理状态 1: 第一个SYNC1脉冲处于待处理状态	RO	RO	0b
0	SYNC0激活状态 0: 第一个SYNC0脉冲未处于待处理状态 1: 第一个SYNC0脉冲处于待处理状态	RO	RO	0b

12.14.77 SYNC0状态寄存器

偏移量: 098Eh 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留	RO	RO	0000000b
0	应答模式下的 SYNC0 状态 在应答模式下， SYNC0 的清零方式是通过PDI读取该寄存器。仅在应答模式下使用。	RO	RO	0b

12.14.78 SYNC1状态寄存器

偏移量: 098Fh 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:1	保留	RO	RO	0000000b
0	应答模式下的 SYNC1 状态 在应答模式下， SYNC1 的清零方式是通过PDI读取该寄存器。仅在应答模式下使用。	RO	RO	0b

12.14.79 起始时间循环操作寄存器

偏移量: 0990h-0997h 大小: 64位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	写: 循环操作的起始时间（系统时间）（单位为ns）。 读: 下一个 SYNC0 脉冲的系统时间（单位为ns）。	R/W	R/W	00000000h 00000000h

注: 根据**循环单元控制寄存器**的**同步输出单元控制**位写入该寄存器。仅当**同步输出单元控制**为0时才可写入。

注: 当**激活寄存器**的**自动激活**位为1时：如果一个帧中仅写入低32位，则将自动扩展高32位。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.80 下一个SYNC1脉冲寄存器

偏移量: 0998h-099Fh 大小: 64位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	下一个SYNC1脉冲的系统时间（单位为ns）。	RO	RO	00000000h 00000000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.81 SYNC0周期时间寄存器

偏移量: 09A0h-09A3h 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	相邻两个连续SYNC0脉冲的时间间隔（单位为ns）。 值0表示单脉冲模式——仅产生一个SYNC0脉冲。	R/W	R/W	00000000h

注： 根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.82 SYNC1周期时间寄存器

偏移量: 09A4h-09A7h 大小: 32位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	SYNC1脉冲与SYNC0脉冲的时间间隔（单位为ns）。	R/W	R/W	00000000h

注： 根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.83 LATCH0控制寄存器

偏移量: 09A8h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	LATCH0下降沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b
0	LATCH0上升沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b

注: 根据循环单元控制寄存器的锁存输入单元0位写入该寄存器。

12.14.84 LATCH1控制寄存器

偏移量: 09A9h 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	LATCH1下降沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b
0	LATCH1上升沿 0: 连续锁存有效 1: 单个事件（仅第一个事件有效）	R/W	R/W	0b

注: 根据循环单元控制寄存器的锁存输入单元1位写入该寄存器。

LAN9252

12.14.85 LATCH0状态寄存器

偏移量: 09AEh 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2	LATCH0 引脚状态	RO	RO	0b
1	事件LATCH0下降沿 0: 未检测到下降沿或连续模式。 1: 仅在单个事件模式下检测到下降沿。 注: 通过读取LATCH0时间下降沿寄存器将标志清零。	RO	RO	0b
0	事件LATCH0上升沿 0: 未检测到上升沿或连续模式。 1: 仅在单个事件模式下检测到上升沿。 注: 通过读取LATCH0时间上升沿寄存器将标志清零。	RO	RO	0b

12.14.86 LATCH1状态寄存器

偏移量: 09AFh 大小: 8位

位	说明	ECAT 类型	PDI 类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2	LATCH1 引脚状态	RO	RO	0b
1	事件LATCH1下降沿 0: 未检测到下降沿或连续模式。 1: 仅在单个事件模式下检测到下降沿。 注: 通过读取LATCH1时间下降沿寄存器将标志清零。	RO	RO	0b
0	事件LATCH1上升沿 0: 未检测到上升沿或连续模式。 1: 仅在单个事件模式下检测到上升沿。 注: 通过读取LATCH1时间上升沿寄存器将标志清零。	RO	RO	0b

12.14.87 LATCH0时间上升沿寄存器

偏移量: 09B0h-09B7h 大小: 64 位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	该寄存器在LATCH0信号的上升沿捕捉系统时间。 注: 读取该寄存器会将LATCH0状态寄存器的事件LATCH0上升沿位清零	RO	RO	00000000h 00000000h

注: 当读取bit [7:0]时, 寄存器的bit [63:8]在内部锁存 (ECAT/PDI独立), 从而保证读取值的一致性。根据循环单元控制寄存器的锁存输入单元0位的设置将LATCH0状态寄存器的事件LATCH0上升沿位清零。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.88 LATCH0时间下降沿寄存器

偏移量: 09B8h-09BFh 大小: 64 位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	该寄存器在LATCH0信号的下降沿捕捉系统时间。 注: 读取该寄存器会将LATCH0状态寄存器的事件LATCH0下降沿位清零	RO	RO	00000000h 00000000h

注: 当读取bit [7:0]时, 寄存器的bit [63:8]在内部锁存 (ECAT/PDI独立), 从而保证读取值的一致性。根据循环单元控制寄存器的锁存输入单元0位的设置将LATCH0状态寄存器的事件LATCH0下降沿位清零。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.89 LATCH1时间上升沿寄存器

偏移量: 09C0h-09C7h 大小: 64 位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	该寄存器在LATCH1信号的上升沿捕捉系统时间。 注： 读取该寄存器会将LATCH1状态寄存器的事件LATCH1上升沿位清零	RO	RO	00000000h 00000000h

注： 当读取bit [7:0]时，寄存器的bit [63:8]在内部锁存（ECAT/PDI独立），从而保证读取值的一致性。根据循环单元控制寄存器的锁存输入单元1位的设置将LATCH1状态寄存器的事件LATCH1上升沿位清零。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.90 LATCH1时间下降沿寄存器

偏移量: 09C8h-09CFh 大小: 64 位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	该寄存器在LATCH1信号的下降沿捕捉系统时间。 注： 读取该寄存器会将LATCH1状态寄存器的事件LATCH1下降沿位清零	RO	RO	00000000h 00000000h

注： 当读取bit [7:0]时，寄存器的bit [63:8]在内部锁存（ECAT/PDI独立），从而保证读取值的一致性。根据循环单元控制寄存器的锁存输入单元1位的设置将LATCH1状态寄存器的事件LATCH1下降沿位清零。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.91 ETHERCAT 缓冲区变化事件时间寄存器

偏移量: 09F0h-09F3h 大小: 32 位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	该寄存器捕捉导致至少一个SyncManager触发ECAT事件的帧起始时的本地时间。	RO	RO	00000000h

注: 当读取bit [7:0]时, 寄存器的bit [31:8]在内部锁存 (ECAT/PDI独立), 从而保证读取值的一致性。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.92 PDI缓冲区起始时间事件寄存器

偏移量: 09F8h-09FBh 大小: 32 位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	该寄存器捕捉至少一个SyncManager触发PDI缓冲区起始事件时的本地时间。	RO	RO	00000000h

注: 当读取bit [7:0]时, 寄存器的bit [31:8]在内部锁存 (ECAT/PDI独立), 从而保证读取值的一致性。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.93 PDI缓冲区变化事件时间寄存器

偏移量: 09FCh-09FFh 大小: 32 位

位	说明	ECAT 类型	PDI 类型	默认值
31:0	该寄存器捕捉至少一个SyncManager触发PDI缓冲区变化事件时的本地时间。	RO	RO	00000000h

注: 当读取bit [7:0]时, 寄存器的bit [31:8]在内部锁存 (ECAT/PDI独立), 从而保证读取值的一致性。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.94 产品ID寄存器

偏移量: 0E00h-0E07h 大小: 64位

位	说明	ECAT 类型	PDI 类型	默认值
63:0	产品ID	RO	RO	0000h 00ssh 9252h rrrrh 注40

注 40: “ss”的值为0, 0, link_pol_strap_mii, tx_shift_strap[1:0], eeprom_size_strap, chip_mode_strap[1:0]。
“rrrr”的值为最新硅片版本。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.95 供应商ID寄存器

偏移量: 0E08h-0E0Fh 大小: 64位

位	说明	ECAT 类型	PDI 类型	默认值
63:32	保留	RO	RO	00000000h
31:0	供应商ID	RO	RO	000004D8h (Microchip)

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.96 数字I/O输出数据寄存器

偏移量: 0F00h-0F01h 大小: 16位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	输出数据	R/W	RO	0000h

注: 该寄存器可按位写入(使用逻辑寻址)。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.97 通用输出寄存器

偏移量: 0F10h-0F11h 大小: 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	通用输出数据	R/W	R/W	0000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.98 通用输入寄存器

偏移量: 0F18h-0F19h 大小: 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	通用输入数据	RO	RO	0000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.99 用户RAM

偏移量: 0F80h-0FFFh 大小: 128 字节

位	说明	ECAT 类型	PDI 类型	默认值
-	用户RAM (128 字节)	R/W	R/W	未定义

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.14.100 数字 I/O 输入数据寄存器

偏移量: 1000h-1001h 大小: 16 位

位	说明	ECAT 类型	PDI 类型	默认值
15:0	输入数据	R/W	R/W	未定义

- 注: 该寄存器是过程RAM地址空间的一部分。过程RAM还可通过[EtherCAT 过程RAM读数据 FIFO \(ECAT_PRAM_RD_DATA\)](#)和[EtherCAT 过程RAM写数据 FIFO \(ECAT_PRAM_WR_DATA\)](#)直接寻址。
- 注: 仅当EEPROM正确装载时 ([ESC DL 状态寄存器](#)的PDI工作/EEPROM正确装载位 = 1)，才可访问过程数据RAM。
- 注: 如果配置为数字 I/O PDI (输入)，则数字 I/O 输入数据会写入过程数据RAM的这些地址。
- 注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

12.14.101 过程数据RAM

偏移量: 1000h-1FFFh 大小: 4 KB

位	说明	ECAT 类型	PDI 类型	默认值
-	过程数据RAM (4 KB)	R/W	R/W	未定义

- 注: 仅当EEPROM正确装载时 ([ESC DL 状态寄存器](#)的PDI工作/EEPROM正确装载位 = 1)，才可访问过程数据RAM。
- 注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

13.0 EEPROM 接口

器件包含 I²C 主控制器，该主控制器使用 EESCL 和 EESDA 引脚。EESCL 和 EESDA 需要外部上拉电阻。支持通过 1 字节和 2 字节寻址的 EEPROM。具体大小由 `eeeprom_size_strap` 确定。

13.1 I²C 接口时序要求

本节规定 I²C 主接口的输入和输出时序。I²C 主接口在快速模式下以 148.8 kHz 的速率运行。

图 13-1: I²C 主器件时序图

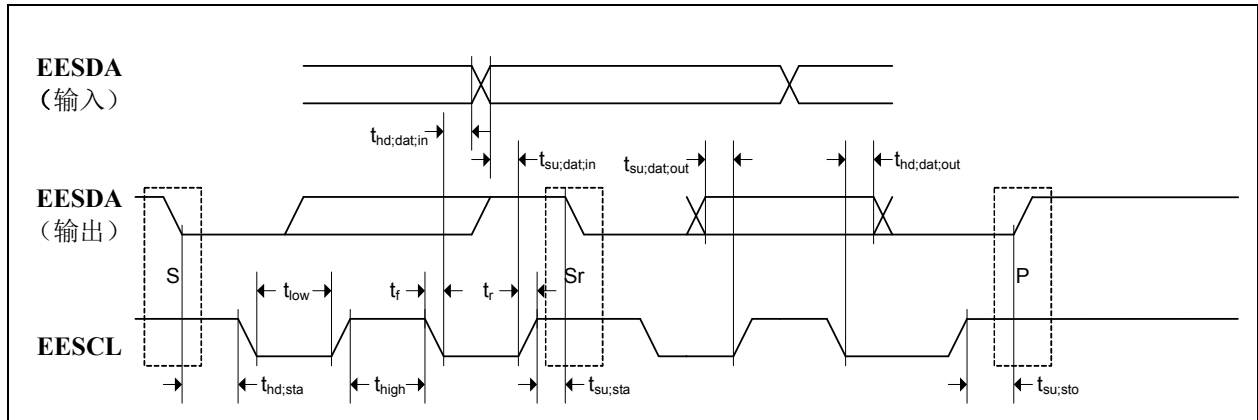


表 13-1: I²C 主器件时序值

符号	说明	最小值	典型值	最大值	单位
f_{scl}	EESCL 时钟频率	-	148.8	-	kHz
t_{high}	EESCL 高电平时间	3.0	-	-	μs
t_{low}	EESCL 低电平时间	3.0	-	-	μs
t_r	EESDA 和 EESCL 的上升时间		-	300	ns
t_f	EESDA 和 EESCL 的下降时间		-	300	ns
$t_{su,sta}$	重复启动条件下 EESDA 输出下降前 EESCL 高电平的建立时间（提供给从器件）	1000 注 41	-	-	ns
$t_{hd,sta}$	启动或重复启动条件下 EESDA 输出下降后 EESCL 的保持时间（提供给从器件）	1000 注 41	-	-	ns
$t_{su,dat,in}$	EESCL 上升前 EESDA 输入的建立时间（来自从器件）	200 注 42	-	-	ns
$t_{hd,dat,in}$	EESCL 下降后 EESDA 输入的保持时间（来自从器件）	0	-	-	ns
$t_{su,dat,out}$	EESCL 上升前 EESDA 输出的建立时间（提供给从器件）	400 注 42	-	-	ns
$t_{hd,dat,out}$	EESCL 下降后 EESDA 输出的保持时间（提供给从器件）	400 注 42	-	-	ns
$t_{su,sto}$	停止条件下 EESDA 输出上升前 EESCL 高电平的建立时间（提供给从器件）	1000 注 41	-	-	ns

注 41：与 I²C 快速模式规范相比，这些值提供 400 ns 的裕量。

注 42：与 I²C 快速模式规范相比，这些值提供大约 2100 ns 的裕量。

注 43：与 I²C 快速模式规范相比，这些值提供 300 ns 的建立裕量和 400 ns 的保持裕量。

14.0 芯片模式配置

芯片模式通过`chip_mode_strap[1:0]`（`CHIP_MODE1/CHIP_MODE0`）硬件配置脚控制，具体如下：

表 14-1： 芯片模式选择

CHIP_MODE[1:0]	模式
00	双端口模式。端口 0 = PHY A，端口 1 = PHY B
01	保留
10	三端口下行模式。端口 0 = PHY A，端口 1 = PHY B，端口 2 = MII
11	三端口上行模式。端口 0 = MII，端口 1 = PHY B，端口 2 = PHY A

选择芯片模式后，便会通过PDI控制寄存器（0x0140）选择使用的过程数据接口（PDI）。有效选择如下：

表 14-2： PDI模式选择

PDI_SELECT	PDI 模式
0x04	DIG I/O
0x80	SPI
0x88	HBI 复用 1 阶段 8 位
0x89	HBI 复用 1 阶段 16 位
0x8A	HBI 复用 2 阶段 8 位
0x8B	HBI 复用 2 阶段 16 位
0x8C	HBI 变址 8 位
0x8D	HBI 变址 16 位
其他	保留

注： 通过`chip_mode_strap[1:0]`硬件配置脚选择的芯片模式不受PDI选择的影响。

注： 由于引脚共用，当器件处于三端口模式时，惟一可用的接口是SPI。

14.1 HBI子配置

PDI配置寄存器（0x0150）用于表 12-3 “EtherCAT 内核EEPROM可配置寄存器”所示的HBI配置脚。

PDI配置寄存器（0x0150）根据EEPROM的内容进行初始化。

15.0 通用定时器和自由运行时钟

本章详细介绍了通用定时器（General Purpose Timer, GPT）和自由运行时钟。

15.1 通用定时器

该器件提供了一个16位可编程通用定时器，可用于产生周期性系统中断。该定时器的分辨率为100 μ s。

当通用定时器配置寄存器（GPT_CFG）的通用定时器使能（TIMER_EN）位置为有效（1）时，GPT会将通用定时器配置寄存器（GPT_CFG）的通用定时器预载（GPT_LOAD）字段中的值装载到通用定时器计数寄存器（GPT_CNT）中。在芯片级复位时或者当通用定时器使能（TIMER_EN）位从有效状态（1）切换为无效状态（0）时，通用定时器预载（GPT_LOAD）字段将初始化为FFFFh。复位时，通用定时器计数寄存器（GPT_CNT）也将初始化为FFFFh。

使能后，GPT将递减计数至0000h。到达0000h时，计数器将回绕到FFFFh、将中断状态寄存器（INT_STS）中的GP定时器（GPT_INT）中断状态位置为有效并将IRQ中断置为有效（如果中断允许寄存器（INT_EN）中GP定时器中断允许（GPT_INT_EN）位置1），然后继续计数。GP定时器（GPT_INT）中断状态位是粘住位。该位置为有效后，只能通过写1将其清零。有关GPT中断的更多信息，请参见第55页上的第8.2.3节“通用定时器中断”。

软件可随时向通用定时器预载（GPT_LOAD）字段写入预载值（例如，通用定时器使能（TIMER_EN）位置为有效之前或之后）。通用定时器计数寄存器（GPT_CNT）将立即设置为新值并从该值继续递减计数（如果使能）。

15.2 自由运行时钟

自由运行时钟（Free-Running Clock, FRC）是一个以25 MHz固定时钟工作的简单32位递增计数器。当前FRC值可通过自由运行25 MHz计数器寄存器（FREE_RUN）读取。芯片级复位置为有效时，该计数器将清零。复位置为无效时，计数器将每隔一个25 MHz时钟周期递增1次。当到达最大计数时，计数器将计满返回至0。FRC不会产生中断。

注： 复位事件后，自由运行计数器会花费160 ns清零。

15.3 通用定时器和自由运行时钟寄存器

本节详细介绍了与可直接寻址的通用定时器和自由运行时钟相关的系统CSR。有关整个可直接寻址寄存器映射的概述，请参见第32页上的第5.0节“寄存器映射”。

表15-1： 其他寄存器

地址	寄存器名称（符号）
08Ch	通用定时器配置寄存器（GPT_CFG）
090h	通用定时器计数寄存器（GPT_CNT）
09Ch	自由运行25 MHz计数器寄存器（FREE_RUN）

15.3.1 通用定时器配置寄存器（GPT_CFG）

偏移量：08Ch 大小：32位

该读/写寄存器用于配置器件的通用定时器（GPT）。GPT可配置为以该寄存器中定义的时间间隔产生主机中断。GPT的当前值可通过通用定时器计数寄存器（GPT_CNT）监视。更多信息，请参见第297页上的第15.1节“通用定时器”。

位	说明	类型	默认值
31:30	保留	RO	-
29	通用定时器使能（TIMER_EN） 该位用于使能GPT。置1时，GPT将进入运行状态。清零时，GPT将暂停。当该位从1跳变为0时，该寄存器的GPT_LOAD字段将预设为FFFFh。 0：禁止GPT 1：使能GPT	R/W	0b
28:16	保留	RO	-
15:0	通用定时器预载（GPT_LOAD） 该值预载到GPT中。这是GPT的起始值。使能时，定时器将从该值开始递减。	R/W	FFFFh

15.3.2 通用定时器计数寄存器（GPT_CNT）

偏移量：090h 大小：32位

该只读寄存器反映通用定时器（GPT）的当前值。该寄存器应与通用定时器配置寄存器（GPT_CFG）配合使用，以配置和监视GPT。更多信息，请参见第297页上的第15.1节“通用定时器”。

位	说明	类型	默认值
31:16	保留	RO	-
15:0	通用定时器当前计数（GPT_CNT） 该16位字段表示GPT的当前值。	RO	FFFFh

15.3.3 自由运行 25 MHz 计数器寄存器（FREE_RUN）

偏移量: 09Ch 大小: 32 位

该只读寄存器反映自由运行 25 MHz 计数器的当前值。更多信息，请参见第297页上的第 15.2 节 “自由运行时钟”。

位	说明	类型	默认值
31:0	自由运行计数器（FR_CNT） 该字段反映自由运行32位计数器的当前值。复位时，计数器从0开始计数，每个25 MHz周期递增1。当到达最大计数时，计数器将计满返回至0并继续计数。 注： 复位事件后，自由运行计数器会花费 160 ns 清零。	RO	00000000h

16.0 其他

本章介绍了器件中的其他功能和寄存器。

16.1 其他系统配置和状态寄存器

本节详细介绍了其余可直接寻址的系统CSR。凭借这些寄存器，可监视和配置芯片ID/版本、字节顺序测试和硬件配置等各种器件功能。

有关整个可直接寻址寄存器映射的概述，请参见第32页上的第5.0节“寄存器映射”。

表16-1： 其他寄存器

地址	寄存器名称（符号）
050h	芯片ID和版本（ID_REV）
064h	字节顺序测试寄存器（BYTE_TEST）
074h	硬件配置寄存器（HW_CFG）

LAN9252

16.1.1 芯片ID和版本（ID_REV）

偏移量：050h 大小：32位

该只读寄存器包含器件的ID和版本字段。

位	说明	类型	默认值
31:16	芯片ID 该字段用于指示芯片ID。	RO	9252
15:0	芯片版本 该字段用于指示设计版本。	RO	注1

注 1：默认值取决于器件版本。

16.1.2 字节顺序测试寄存器 (BYTE_TEST)

偏移量: 064h 大小: 32 位

该只读寄存器可用于确定当前配置的字节排序。字节排序取决于主机数据总线宽度和字节顺序。有关字节排序的更多信息，请参见第62页上的第9.0节“主机总线接口”。

可选择使用BYTE_TEST寄存器作为假读寄存器，从而确保最小写-读或读-读时序。更多信息，请参见第62页上的第9.0节“主机总线接口”。

对于复位状态期间禁止的主机接口，BYTE_TEST寄存器可用于确定器件何时退出复位状态。

注： 当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。但是，在复位期间，返回的数据将与正常有效数据模式不匹配。

注： 不必读取该寄存器的全部四个字节。双字访问规则不适用于该寄存器。

位	说明	类型	默认值
31:0	字节测试 (BYTE_TEST) 该字段反映当前字节排序。	RO	87654321h

16.1.3 硬件配置寄存器（HW_CFG）

偏移量：074h 大小：32 位

凭借该寄存器，可配置各种硬件功能。

- 注：** 当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。
- 注：** 不必读取该寄存器的全部四个字节。双字访问规则不适用于该寄存器。

位	说明	类型	默认值
31:28	保留	RO	-
27	器件就绪（READY） 置1时，该位指示器件已准备好接受访问。上电复位、RST#复位、退出节能状态、EtherCAT®芯片级/模块级复位或数字复位后，主机处理器可询问该字段以指示器件是否已稳定且完全激活。 该位的上升沿会将中断状态寄存器（INT_STS）中的器件就绪（READY）位置为有效，并且可引起中断（如果允许）。 注： 当READY位清零时，将禁止对除了HW_CFG、PMT_CTRL、BYTE_TEST和RESET_CTL寄存器以外的任何内部资源进行读访问。该位置1之前，对任何地址的写访问都是无效的。 注： 该位与功耗管理控制寄存器（PMT_CTRL）的bit 0相同。	RO	0b
26	保留	RO	-
25	保留	RO	-
24:22	保留	RO	-
21:16	保留	RO	-
15:14	保留	RO	-
13:12	保留	RO	-
11:0	保留	RO	-

17.0 JTAG

17.1 JTAG

符合IEEE 1149.1的TAP控制器支持边界扫描和各种测试模式。

该器件包含一个集成的JTAG边界扫描测试端口，用于进行电路板级测试。该接口包含4个引脚（**TDO**、**TDI**、**TCK**和**TMS**）、1个状态机、数据寄存器阵列和1个指令寄存器。第28页上的表3-14“JTAG引脚说明”说明了JTAG引脚。JTAG接口符合IEEE标准1149.1 - 2001 *标准测试访问端口（TAP）和边界扫描架构*。

所有输入和输出数据均与**TCK**测试时钟输入同步。**TAP**输入信号**TMS**和**TDI**在**TCK**的上升沿在时钟控制下移入测试逻辑，而输出信号**TDO**在下降沿在时钟控制下移出。

JTAG引脚与GPIO/LED和EEPROM引脚复用。当**TESTMODE**引脚置为有效时，选择JTAG功能。

表17-1列出了实现的IEEE 1149.1指令及其操作码。

表 17-1: IEEE 1149.1 操作码

指令	操作码	备注
BYPASS 0	16'h0000	强制性指令
BYPASS 1	16'hFFFF	强制性指令
SAMPLE/PRELOAD	16'hFFF8	强制性指令
EXTEST	16'hFFE8	强制性指令
CLAMP	16'hFFEf	可选指令
ID_CODE	16'hFFFE	可选指令
HIGHZ	16'hFFCF	可选指令
INT_DR_SEL	16'hFFFD	私有指令

注： JTAG 器件ID为00101445h

注： 所有数字I/O引脚均支持IEEE 1149.1操作。模拟引脚和**OSCI/OSCO**引脚不支持IEEE 1149.1操作。

17.1.1 JTAG时序要求

本节规定了器件的JTAG时序。

图 17-1: JTAG 时序

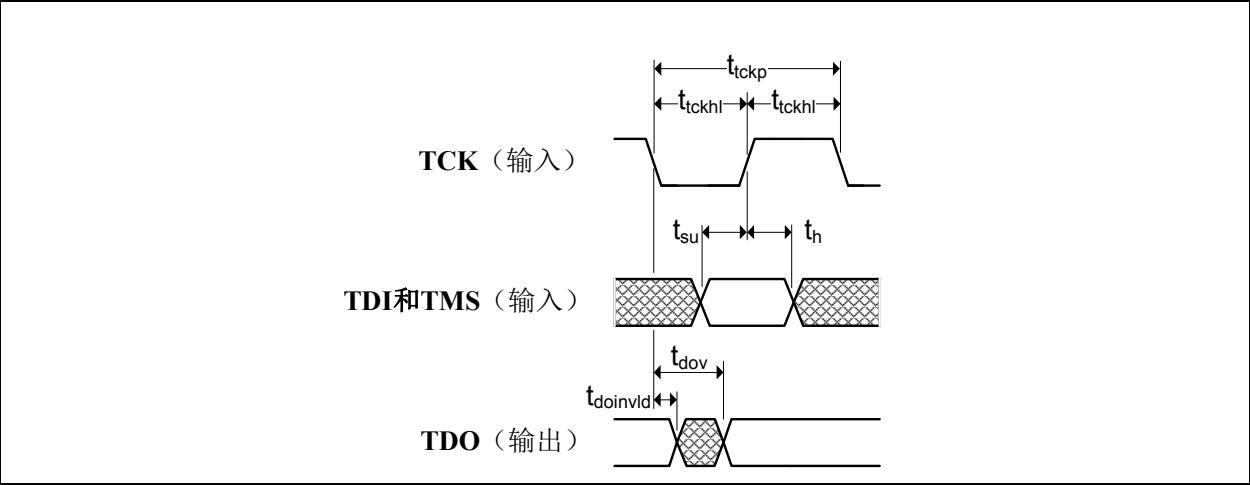


表 17-2: JTAG 时序值

符号	说明	最小值	最大值	单位	注
t_{tckp}	TCK 时钟周期	40		ns	
t_{tckhl}	TCK 时钟高电平/低电平时间	$t_{tckp} \cdot 0.4$	$t_{tckp} \cdot 0.6$	ns	
t_{su}	从 TDI 和 TMS 建立到 TCK 上升沿的时间	5		ns	
t_h	TCK 上升沿之后 TDI 和 TMS 的保持时间	5		ns	
t_{dov}	TCK 下降沿之后 TDO 输出的有效时间		15	ns	
$t_{doinvld}$	TCK 下降沿之后 TDO 输出的无效时间	0		ns	

注： 时序值在 25 pF 等效测试负载条件下得出。

18.0 工作特性

18.1 绝对最大值*

电源电压 (VDD12TX1、VDD12TX2、OSCVDD12和VDDCR) (注1)	0V至+1.5V
电源电压 (VDD33TXRX1、VDD33TXRX2、VDD33BIAS、VDD33和VDDIO) (注1)	0V至+3.6V
以太网磁件电源电压	-0.5V至+3.6V
输入信号引脚相对于地的正电压 (注2)	VDDIO + 2.0V
输入信号引脚相对于地的负电压 (注3)	-0.5V
OSCI相对于地的正电压	+3.6V
存储温度	-55°C至+150°C
结温	+150°C
引脚温度范围	请参见JEDEC规范J-STD-020
HBM ESD性能	JEDEC 3A类

注 1: 通过实验室或系统电源为此器件供电时，务必保证不要超过绝对最大值，否则可能导致器件出现故障。接通或关断交流电源时，某些电源的输出端会出现电压尖峰。此外，交流电源线上的电压瞬变可能会出现在直流输出上。如果存在这种可能性，建议使用钳位电路。

注 2: 该额定值不适用于以下引脚：OSCI和RBIAS

注 3: 该额定值不适用于以下引脚：RBIAS

*如果器件的工作条件超过上述绝对最大值，可能对器件造成永久性损坏。上述数值仅是工作条件最大值。器件长时间工作在绝对最大值条件下，其可靠性可能受到影响。我们建议不要使器件工作在超过第18.2节“工作条件**”、第18.5节“直流规范”或本规范任何其他适用章节中规定的最大值条件下。请注意，器件信号并非5V耐压。

18.2 工作条件**

电源电压 (VDD12TX1、VDD12TX2、OSCVDD12和VDDCR)	+1.14V至+1.26V
模拟端口电源电压 (VDD33TXRX1、VDD33TXRX2、VDD33BIAS和VDD33)	+3.0V至+3.6V
I/O 电源电压 (VDDIO) (注1)	+1.62V至+3.6V
以太网磁件电源电压	+2.25V至+3.6V
静止空气中的工作环境温度 (T _A)	注4

注 4: 商业级为0°C至+70°C，工业级为-40°C至+85°C，扩展工业级为-40°C至+105°C。

满足以下限制时，支持扩展工业级温度范围：

- 64-QFN封装：需要外部稳压器（禁止内部稳压器）且以太网磁件电压为2.5V（典型值）。

** 只有在本节规定的范围内才能保证器件正常工作。器件完成上电后，VDDIO和磁件电源的电压变化必须保持在±10%范围内。如果器件完成上电后，电压变化超过±10%，则会导致器件操作出现错误。

注: 请勿在未向器件供电的情况下驱动输入信号。

18.3 封装的热规范

表18-1: 64引脚QFN封装的热参数

参数	符号	值	单位	备注
结到环境的热阻	Θ_{JA}	23.6	°C/W	在静止空气中测量
结到外壳底部的热阻	Ψ_{JT}	0.1	°C/W	在静止空气中测量
结到外壳顶部的热阻	Θ_{JC}	1.8	°C/W	气流 1 m/s

表18-2: 64引脚TQFP-EP封装的热参数

参数	符号	值	单位	备注
结到环境的热阻	Θ_{JA}	29.0	°C/W	在静止空气中测量
结到外壳底部的热阻	Ψ_{JT}	0.3	°C/W	在静止空气中测量
结到外壳顶部的热阻	Θ_{JC}	12.8	°C/W	气流 1 m/s

注：热参数是根据 JESD51 标准，针对多层 2S2P PCB 中的器件测量或估算的。

表18-3: 最大功耗

模式	最大功耗 (mW)
禁止内部稳压器, 2.5V 以太网磁件	568
禁止内部稳压器, 3.3V 以太网磁件	640
使能内部稳压器, 2.5V 以太网磁件	749
使能内部稳压器, 3.3V 以太网磁件	821

18.4 电流消耗和功耗

本节详细介绍了使能和禁止内部稳压器时，100BASE-TX和功耗管理工作模式下器件的电源电流消耗和功耗典型值。

18.4.1 禁止内部稳压器

表 18-4: 电流消耗和功耗（禁止稳压器）

		3.3V 器件电流 (mA) (A) 注 5 和注 7	1.2V 器件电流 (mA) (B) 注 6 和注 7	发送磁件电流 (mA) (C) 注 8	2.5V 磁件时的 器件功耗 (mW) 注 9 和注 10	3.3V 磁件时的 器件功耗 (mW) 注 9 和注 11
复位 (RST#)	典型值	23.6	28.3	0.0	112	112
D0, 100BASE-TX 通信	典型值	58.7	51.0	82.0	461	526
D0, 100BASE-TX 空闲	典型值	63.4	49.9	82.0	475	540
D0, PHY 能量检测掉电 (两个 PHY)	典型值	7.9	30.8	0.0	64	63
D0, PHY 通用掉电 (两个 PHY)	典型值	1.5	30.6	0.0	42	42
D1, 100BASE-TX 空闲	典型值	63.4	37.5	82.0	460	525
D1, PHY 能量检测掉电 (两个 PHY)	典型值	7.8	17.6	0.0	47	47
D1, PHY 通用掉电 (两个 PHY)	典型值	1.5	17.7	0.0	27	27
D2, 100BASE-TX 空闲	典型值	63.4	37.5	82.0	460	525
D2, PHY 能量检测掉电 (两个 PHY)	典型值	7.8	6.3	0.0	34	34
D2, PHY 通用掉电 (两个 PHY)	典型值	1.5	6.1	0.0	13	13
D3, PHY 通用掉电 (两个 PHY)	典型值	1.5	2.7	0.0	9	9

注 5: VDD33TXRX1、VDD33TXRX2、VDD33BIAS、VDD33 和 VDDIO

注 6: VDD12TX1、VDD12TX2、OSCVDD12 和 VDDCR

注 7: 电流测量不包含施加到磁件或可选外部 LED 上的电源。

注 8: 以太网元件的电流与变压器的电源轨电压（2.5V 或 3.3V）无关。假设为双铜 TP 操作。如果其中一个 PHY 使用 100BASE-FX 模式，则电流减半。如果两个 PHY 均使用 100BASE-FX 模式，则电流为零。

注 9: 这包括电流流经变压器时发送器的功耗。

注 10: $3.3*(A) + 1.2*(B) + (2.5)*(C)$ （典型值）

注 11: $3.3*(A) + 1.2*(B) + (3.3)*(C)$ （典型值）

18.4.2 使能内部稳压器

表 18-5： 电流消耗和功耗（使能稳压器）

		3.3V 器件电流 (mA) (A) 注 12、注 13 和注 14	发送磁件电流 (mA) (C) 注 15	2.5V 磁件时的 器件功耗 (mW) 注 16 和注 17	3.3V 磁件时的 器件功耗 (mW) 注 16 和注 18
复位 (RST#)	典型值	51.2	0.0	169	169
D0, 100BASE-TX 通信	典型值	112.0	82.0	576	642
D0, 100BASE-TX 空闲	典型值	113.5	82.0	580	646
D0, PHY 能量检测掉电 (两个 PHY)	典型值	39.7	0.0	132	132
D0, PHY 通用掉电 (两个 PHY)	典型值	33.0	0.0	109	109
D1, 100BASE-TX 空闲	典型值	100.5	82.0	537	603
D1, PHY 能量检测掉电 (两个 PHY)	典型值	26.0	0.0	86	86
D1, PHY 通用掉电 (两个 PHY)	典型值	19.4	0.0	65	65
D2, 100BASE-TX 空闲	典型值	100.5	82.0	537	603
D2, PHY 能量检测掉电 (两个 PHY)	典型值	14.8	0.0	49	49
D2, PHY 通用掉电 (两个 PHY)	典型值	7.8	0.0	26	26
D3, PHY 通用掉电 (两个 PHY)	典型值	4.3	0.0	15	15

注 12: VDD33TXRX1、VDD33TXRX2、VDD33BIAS、VDD33 和 VDDIO

注 13: VDD12TX1 和 VDD12TX2 通过 PCB 由内部稳压器驱动。流经 VDD33 的电流计算在内。

注 14: 电流测量不包含施加到磁件或可选外部 LED 上的电源。

注 15: 以太网元件的电流与变压器的电源轨电压 (2.5V 或 3.3V) 无关。假设为双铜 TP 操作。如果其中一个 PHY 使用 100BASE-FX 模式，则电流减半。如果两个 PHY 均使用 100BASE-FX 模式，则电流为零。

注 16: 这包括电流流经变压器时发送器的功耗。

注 17: $3.3*(A) + (2.5)*(C)$ (典型值)

注 18: $3.3*(A) + (3.3)*(C)$ (典型值)

18.5 直流规范

表 18-6: 不变的 I/O 直流电气特性

参数	符号	最小值	典型值	最大值	单位	注
IS 型输入缓冲器						
低电平输入电压	V _{ILI}	-0.3		0.8	V	注 19
高电平输入电压	V _{IHI}	2.0		3.6	V	
施密特触发器迟滞电压 (V _{IHT} - V _{ILT})	V _{HYS}	121		151	mV	
输入泄漏 (V _{IN} = VSS 或 VDD33)	I _{IH}	-10		10	μA	
输入电容	C _{IN}			3	pF	
上拉阻抗 (V _{IN} = VSS)	R _{DPU}	6		8.9	KΩ	
下拉阻抗 (V _{IN} = VDD33)	R _{DPD}	52		79	KΩ	
AI 型输入缓冲器 (FXSDENA/FXSDENB)						
低电平输入电压	V _{IL}	-0.3		0.8	V	
高电平输入电压	V _{IH}	1.2		VDD33+0.3	V	
AI 型输入缓冲器 (RXPA/RXNA/RXPB/RXNB)						
差分输入电压	V _{IN-DIFF}	0.1	VDD33TXRXx-1.3	VDD33TXRXx	V	
共模电压	V _{CM}	1.0			V	
输入电容	C _{IN}			5	pF	
AI 型输入缓冲器 (FXLOSEN 输入)						
状态 A 阈值	V _{THA}	-0.3		0.8	V	
状态 B 阈值	V _{THB}	1.2		1.7	V	
状态 C 阈值	V _{THC}	2.3		VDD33+0.3	V	
ICLK 型输入缓冲器 (OSCI 输入)						
低电平输入电压	V _{ILI}	-0.3	OSCVDD12-0.35	0.35	V	注 20
高电平输入电压	V _{IHI}			3.6	V	
输入泄漏	I _{ILCK}	-10		10	μA	

表18-6： 不变的I/O直流电气特性（续）

参数	符号	最小值	典型值	最大值	单位	注
ILVPECL 输入缓冲器						
低电平输入电压	$V_{IL-VDD33TXRXx}$	$VDD33TXRXx+0.3$		-1.48	V	注21
高电平输入电压	$V_{IH-VDD33TXRXx}$	-1.14		0.3	V	注21
OLVPECL 输出缓冲器						
低电平输出电压	V_{OL}	$VDD33TXRXx-1.025$		$VDD33TXRXx-1.62$	V	
高电平输出电压	V_{OH}				V	
峰峰值差分电压（SFF模式）	$V_{DIFF-SFF}$	1.2	1.6	2.0	V	
峰峰值差分电压（SFP模式）	$V_{DIFF-SFP}$	0.6	0.8	1.0	V	
共模电压	V_{CM}	1.0	$VDD33TXRXx-1.3$		V	
失调电压	V_{OFFSET}		40		mV	
负载电容	C_{LOAD}			10	pF	

注 19：此规范适用于所有输入引脚及三态双向引脚。内部下拉和上拉电阻可使每个引脚增加或减少 50 μ A（典型值）。

注 20：OSCI可选择通过 25 MHz 单端时钟振荡器驱动。

注 21：兼容 LVPECL。

注 22： V_{OFFSET} 是外部电阻网络配置的函数。建议使用表中列出的值，避免因串扰导致出现问题。

表18-7: 可变的I/O直流电气特性

参数	符号	最小值	1.8 V 典型值	3.3 V 典型值	最大值	单位	注
VIS型输入缓冲器							
低电平输入电压	V_{ILI}	-0.3				V	
高电平输入电压	V_{IHI}				3.6	V	
下降阈值	V_{ILT}	0.64	0.83	1.41	1.76	V	施密特触发器
上升阈值	V_{IHT}	0.81	0.99	1.65	1.90	V	施密特触发器
施密特触发器迟滞电压 ($V_{IHT} - V_{ILT}$)	V_{HYS}	102	158	138	288	mV	
输入泄漏 ($V_{IN} = VSS$ 或 $VDDIO$)	I_{IH}	-10			10	μA	注23
输入电容	C_{IN}				2	pF	
上拉阻抗 ($V_{IN} = VSS$)	R_{DPU}	54	68	82		K Ω	
上拉电流 ($V_{IN} = VSS$)	I_{DPU}	20	27	67		μA	
下拉阻抗 ($V_{IN} = VDD33$)	R_{DPD}	54	68	85		K Ω	
下拉电流 ($V_{IN} = VDD33$)	I_{DPD}	19	26	66		μA	
VO8型缓冲器							
低电平输出电压	V_{OL}				0.4	V	$I_{OL} = 8\text{ mA}$
高电平输出电压	V_{OH}	$VDDIO - 0.4$				V	$I_{OH} = -8\text{ mA}$
VOD8型缓冲器							
低电平输出电压	V_{OL}				0.4	V	$I_{OL} = 8\text{ mA}$
VO12型缓冲器							
低电平输出电压	V_{OL}				0.4	V	$I_{OL} = 12\text{ mA}$
高电平输出电压	V_{OH}	$VDDIO - 0.4$				V	$I_{OH} = -12\text{ mA}$
VOD12型缓冲器							
低电平输出电压	V_{OL}				0.4	V	$I_{OL} = 12\text{ mA}$
VOS12型缓冲器							
高电平输出电压	V_{OH}	$VDDIO - 0.4$				V	$I_{OH} = -12\text{ mA}$
VO16型缓冲器							
低电平输出电压	V_{OL}				0.4	V	$I_{OL} = 16\text{ mA}$
高电平输出电压	V_{OH}	$VDDIO - 0.4$				V	$I_{OH} = -16\text{ mA}$

LAN9252

注 23: 此规范适用于所有输入引脚及三态双向引脚。内部下拉和上拉电阻可使每个引脚增加或减少50 μ A（典型值）。

表 18-8: 100BASE-TX收发器特性

参数	符号	最小值	典型值	最大值	单位	注
峰值差分输出高电压	V _{PPH}	950	-	1050	mVpk	注24
峰值差分输出低电压	V _{PPL}	-950	-	-1050	mVpk	注24
信号幅值对称	V _{SS}	98	-	102	%	注24
信号上升和下降时间	T _{RF}	3.0	-	5.0	ns	注24
上升和下降对称	T _{RFS}	-	-	0.5	ns	注24
占空比失真	D _{CD}	35	50	65	%	注25
过冲和下冲	V _{OS}	-	-	5	%	
抖动	-	-	-	1.4	ns	注26

注 24: 在变压器的线路侧测量，线路用100 Ω （+/- 1%）电阻代替。

注 25: 相对于脉冲峰值50%处的16 ns脉冲宽度的偏移。

注 26: 以差分方式测量。

18.6 交流规范

本节详细介绍了器件的各种交流时序规范。

注： I²C时序遵循NXP I²C总线规范。有关I²C时序的详细信息，请参见NXP I²C总线规范。

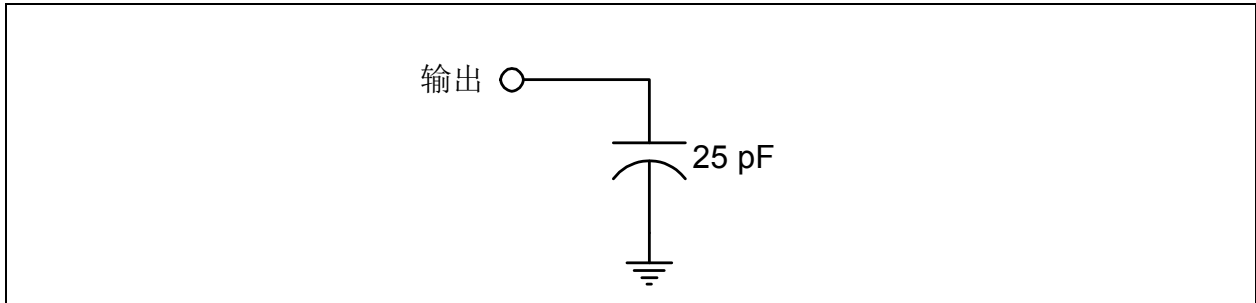
注： MII/SMI时序遵循IEEE 802.3规范。

注： RMII时序遵循RMII联盟RMII规范R1.2。

18.6.1 等效测试负载

除非另外说明，否则输出时序规范假定等效测试负载为25 pF，如图18-1所示。

图18-1： 输出等效测试负载



18.6.2 电源排序时序

这些图给出了器件的电源排序要求。**VDDIO**、**VDD33**、**VDD33TXRX1**、**VDD33TXRX2**、**VDD33BIAS** 和磁件电源必须全部在规定的时间周期 t_{pon} 内达到工作电压。在禁止内部稳压器的情况下工作时，该要求还涉及 **VDDCR**、**OSCVDD12**、**VDD12TX1** 和 **VDD12TX2**。

此外，**VDDIO** 电源达到 1.0V 后，必须在接下来的 15 ms 内达到其工作电压的 80%（在 1.8V 下工作时为 1.44V，在 2.5V 下工作时为 2.0V，在 3.3V 下工作时为 2.64V）。如果使用第 18.6.3 节“复位和配置脚时序”所示的外部复位，则可放心忽略该要求。

如果器件电源均在规定的周期 t_{poff} 内达到 0V，则它们可以任意顺序关断。

图 18-2： 电源序列时序——内部稳压器

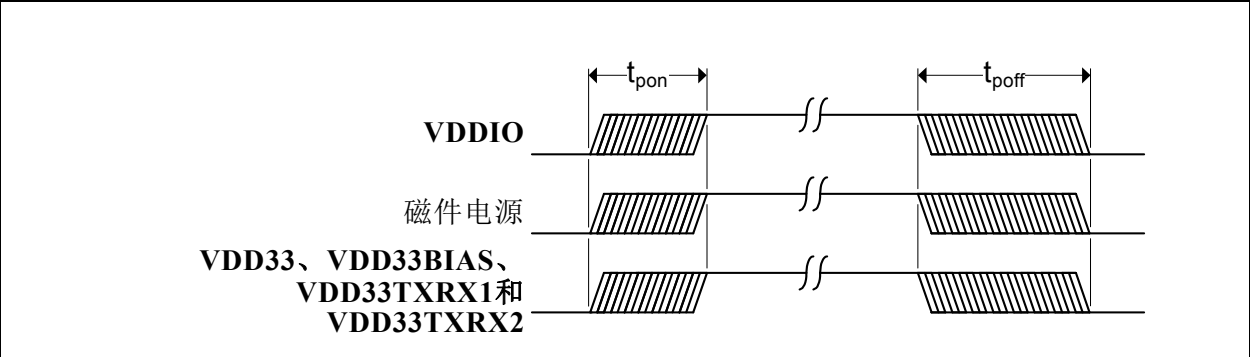


图 18-3： 电源序列时序——外部稳压器

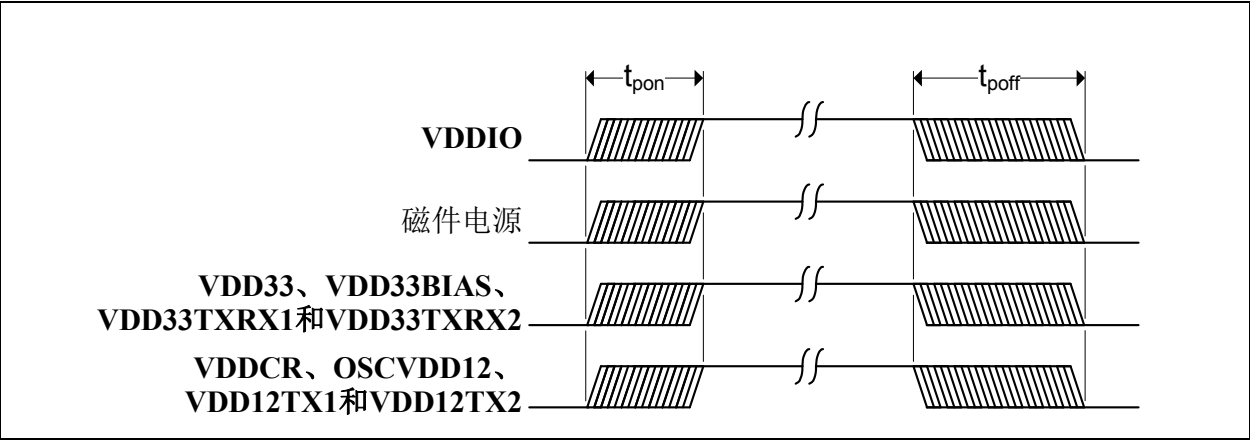


表 18-9： 电源排序时序值

符号	说明	最小值	典型值	最大值	单位
t_{pon}	电源导通时间	-	-	50	ms
t_{poff}	电源关断时间	-	-	500	ms

18.6.3 复位和配置脚时序

该图给出了 **RST#** 引脚时序要求及其与配置脚引脚和输出驱动的关系。将 **RST#** 置为有效并不作为一项要求。但如果使用该引脚，则必须使其在规定的最小周期内保持有效状态。**RST#** 引脚可随时置为有效，但必须在所有外部电源达到工作电压后再经过 t_{purstd} 才可置为无效。更多信息，请参见第38页上的第6.2节“复位”。

图18-4: **RST#** 引脚配置脚锁存时序

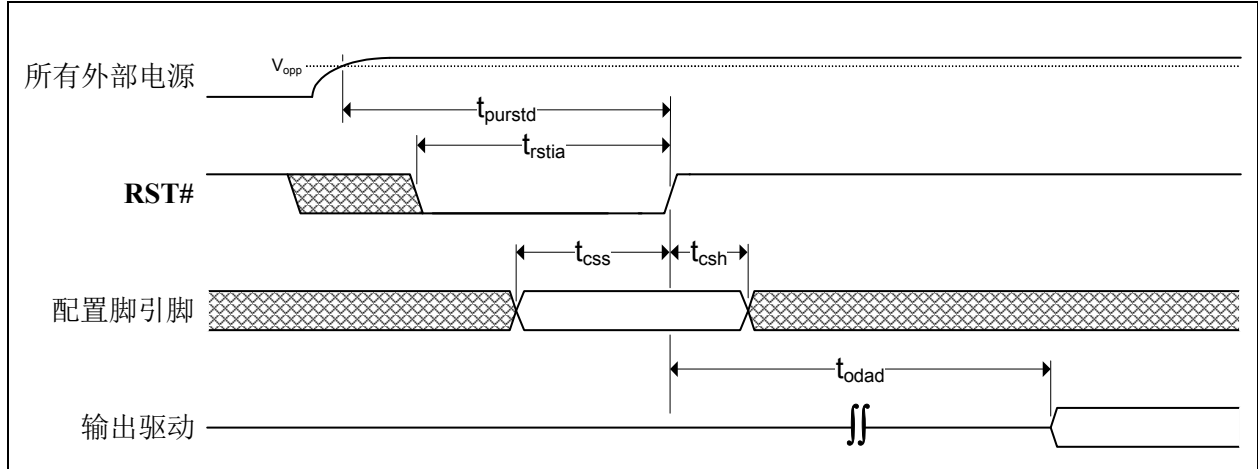


表18-10: **RST#** 引脚配置脚锁存时序值

符号	说明	最小值	典型值	最大值	单位
t_{purstd}	从外部电源达到工作电压到 RST# 置为无效的时间	25			ms
t_{rstia}	RST# 输入有效时间	200	-	-	μ s
t_{css}	从配置脚引脚建立到 RST# 置为无效的时间	200	-	-	ns
t_{csh}	RST# 置为无效之后配置脚引脚的保持时间	10	-	-	ns
t_{odad}	RST# 置为无效之后输出驱动的时间	3	-	-	μ s

注：时钟输入必须在 **RST#** 置为无效前保持稳定。

注：由于 **RST#** 置为有效，将锁存器件配置脚。有关详细信息，请参见第39页上的第6.2.1节“芯片级复位”。

注：显示的配置脚锁存和输出驱动时序假设上电复位已预先完成，否则应用第18.6.4节“上电和配置脚时序”中的时序。

18.6.4 上电和配置脚时序

该图给出了上电时的配置脚有效时序要求。为了在上电时读取有效的配置脚值，必须满足以下时序要求。

图18-5： 上电配置脚锁存时序

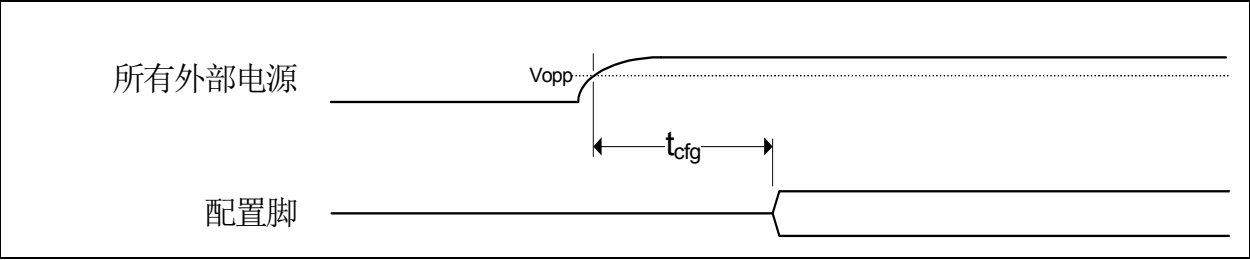


表18-11： 上电配置脚锁存时序值

符号	说明	最小值	典型值	最大值	单位
t _{cfg}	配置脚有效时间	-	-	15	ms

注： 配置脚只能拉高或拉低。配置脚不得驱动为输入。
由于RST#置为有效，还将锁存器件配置脚。更多详细信息，请参见第18.6.3节“复位和配置脚时序”和第39页上的第6.2.1节“芯片级复位”。

18.6.5 主机总线接口 I/O 时序

第78页上的第9.4.5节“复用寻址模式时序要求”和第98页上的第9.5.7节“变址寻址模式时序要求”给出了主机总线接口的时序规范。

18.6.6 SPI/SQI 从接口 I/O 时序

第119页上的第10.3节“SPI/SQI时序要求”给出了SPI/SQI从总线接口的时序规范。

18.6.7 I²C EEPROM I/O 时序

第295页上的第13.1节“I²C接口时序要求”给出了I²C EEPROM访问的时序规范。

18.6.8 ETHERCAT MII 端口管理访问 I/O 时序

第206页上的第12.9.7节“外部PHY时序”给出了MII端口管理访问的时序规范。

18.6.9 MII I/O 时序

第206页上的第12.9.7节“外部PHY时序”给出了MII端口接口的时序规范。

18.6.10 JTAG 时序

第306页上的表17.1.1“JTAG时序要求”给出了JTAG接口的时序规范。

18.7 时钟电路

器件可以接受25 MHz晶振或25 MHz单端时钟振荡器（±50 ppm）输入。如果采用单端时钟振荡器方法，**OSCO**应保持未连接状态，**OSCI**应通过遵循第18.0节“工作特性”所概述规范的时钟信号驱动。有关建议的晶振规范，请参见表18-12。

表18-12： 晶振规范

参数	符号	最小值	标称值	最大值	单位	注
晶体切割	AT切割（典型方式）					
晶振模式	基本模式					
晶振校准模式	并联谐振模式					
频率	F_{fund}	-	25.000	-	MHz	
802.3 频率容差（25°C）	F_{tol}	-	-	±40	ppm	注27
802.3 过温时的频率稳定性	F_{temp}	-	-	±40	ppm	注27
802.3 随时间的频率偏差	F_{age}	-	±3 至 5	-	ppm	注28
802.3 允许的总 PPM 预算		-	-	±50	ppm	注29
EtherCAT® 频率容差（25°C）	F_{tol}	-	-	±15	ppm	注30
EtherCAT 过温时的频率稳定性	F_{temp}	-	-	±15	ppm	注30
EtherCAT 随时间的频率偏差	F_{age}	-	±3 至 5	-	ppm	注28
EtherCAT 允许的总 PPM 预算		-	-	±25	ppm	注31
并联电容	C_O	-	-	7	pF	
负载电容	C_L	-	-	18	pF	
驱动功率	P_W	300 注32	-	-	μW	
等效串联电阻	R_1	-	-	100	Ω	
工作温度范围		注33	-	注34	°C	
OSCI 引脚电容		-	3（典型值）	-	pF	注35
OSCO 引脚电容		-	3（典型值）	-	pF	注35

注 27：允许的最大频率容差值和最大频率稳定性值取决于具体应用。由于任何特定应用均必须满足IEEE ±50 ppm总 PPM 预算，因此这两个值的组合结果必须约为±45 ppm（考虑到老化）。

注 28：随时间产生的频率偏差也称为老化。

注 29：100BASE-TX 的总偏差为±50 ppm。

注 30：允许的最大频率容差值和最大频率稳定性值取决于具体应用。由于任何特定应用均必须满足EtherCAT ±25 ppm 总 PPM 预算，因此这两个值的组合结果必须约为±15 ppm（考虑到老化）。

注 31: EtherCAT 的总偏差为 ± 25 ppm。

注 32: 如果 $C_O \leq 5$ pF、 $C_L \leq 12$ pF 且 $R1 \leq 80\Omega$ ，则添加 500Ω 串联电阻时，最小驱动功率要求 P_W 降至 100 μ W

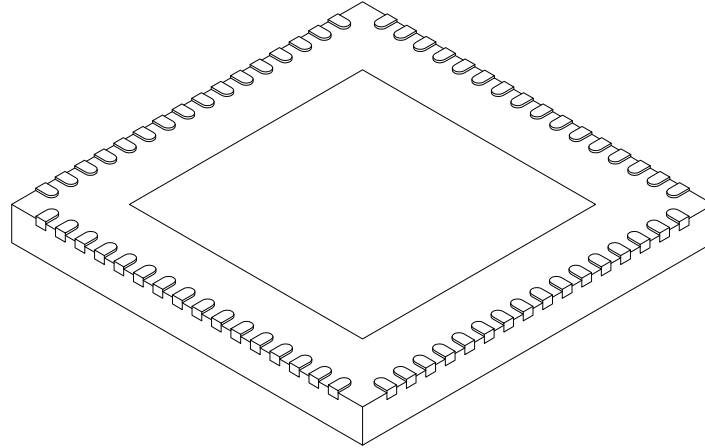
注 33: 商业级为 0°C ，工业级和扩展工业级为 -40°C

注 34: 商业级为 $+70^\circ\text{C}$ ，工业级为 $+85^\circ\text{C}$ ，扩展工业级为 $+105^\circ\text{C}$

注 35: 此数值包括焊盘、接线和引脚框架。该值不包括 PCB 电容。要精确计算两个外部负载电容的值，需要 OSCI 引脚电容值、OSCO 引脚电容值和 PCB 电容值。总负载电容必须与电路中晶振所需的电容等效，从而使晶振以 25.000 MHz 的频率工作。



图 19-2: 64-QFN 封装尺寸



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	64		
Pitch	e	0.50 BSC		
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	9.00 BSC		
Exposed Pad Width	E2	5.90	6.00	6.10
Overall Length	D	9.00 BSC		
Exposed Pad Length	D2	5.90	6.00	6.10
Contact Width	b	0.18	0.25	0.30
Contact Length	L	0.30	0.40	0.50
Contact-to-Exposed Pad	K	0.90	1.10	-

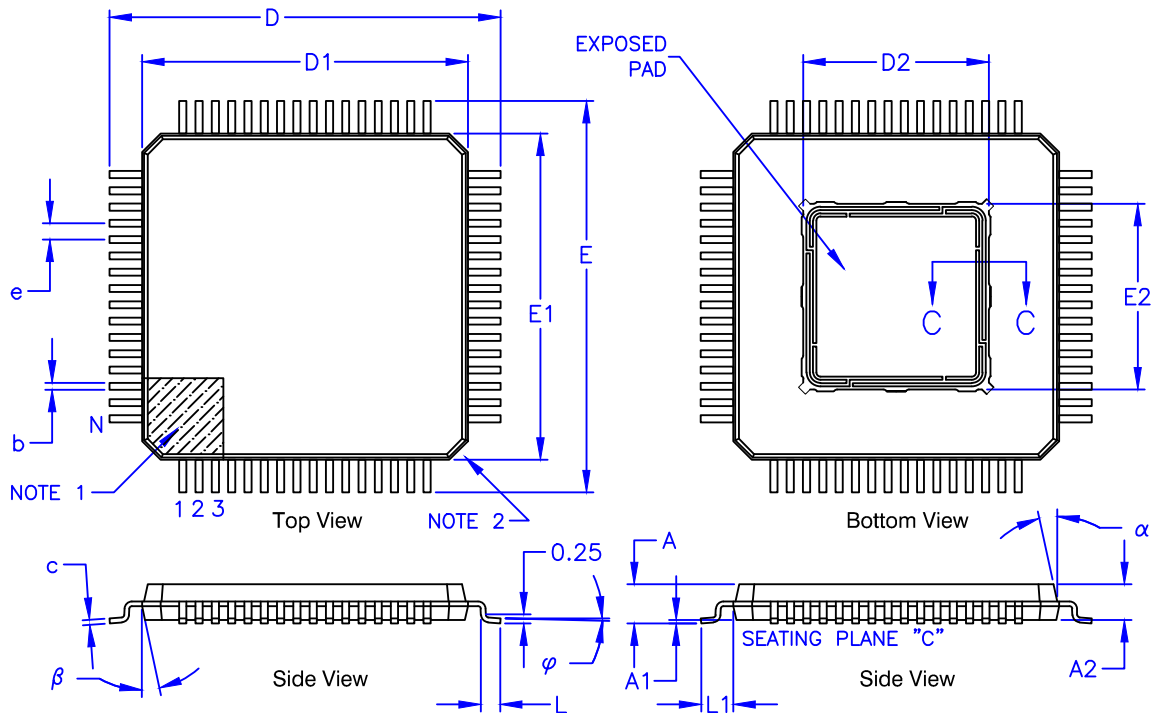
Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Package is saw singulated.
- Dimensioning and tolerancing per ASME Y14.5M.
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

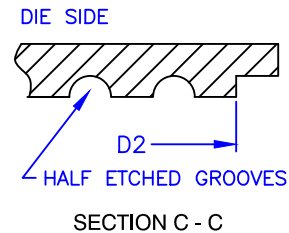
LAN9252

19.2 64-TQFP-EP

图19-3: 64-TQFP-EP封装



Dimension	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Leads	N	64		
Lead Pitch	e	0.50 BSC		
Overall Height	A	—	—	1.20
Molded Package Thickness	A2	0.95	1.00	1.05
Standoff	A1	0.05	—	0.15
Foot Length	L	0.45	0.60	0.75
Footprint	L1	1.00 REF		
Foot Angle	ϕ	0°	3.5°	7°
Overall PKG Length/Width	D/E	12.00 BSC		
PKG Body Length/Width	D1/E1	10.00 BSC		
Exposed Pad Length/Width	D2/E2	5.65	5.70	5.75
Lead Thickness	c	0.09	—	0.20
Lead Width	b	0.17	0.22	0.27
Mold Draft Angle Top	α	11°	12°	13°
Mold Draft Angle Bottom	β	11°	12°	13°



Lead Position Tolerance (dim "b")

ϕ	0.08M	C

Lead Coplanarity Tolerance

$\cup$	0.08	C

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Chamfers at corners are optional; size may vary.
- Dimensions D1 and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.25mm per side.
- Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

20.0 版本历史

表20-1: 版本历史

版本	节/图/条目	修正
DS00001909A_CN (2015年04月08日)		初始版本

MICROCHIP 网站

Microchip 网站（www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联网浏览器即可访问，网站提供以下信息：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答（FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

开发系统变更通知客户服务

Microchip 的客户通知服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

要注册，请先访问 Microchip 网站 www.microchip.com，点击“变更通知客户”（Customer Change Notification），然后按照注册指示完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师（FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师（FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 <http://microchip.com/support> 获得网上技术支持。

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

器件编号

器件

[X]

卷带式选项

[X]

温度范围

/

XX

封装

器件:

LAN9252

卷带式选项:

空白

= 标准包装 (托盘)

T

= 卷带式 (注1)

温度范围:

空白

= 0°C 至 +70°C (商业级)

I

= -40°C 至 +85°C (工业级)

V

= -40°C 至 +105°C (扩展工业级) (注2)

封装:

ML

= 64 引脚 QFN

PT

= 64 引脚 TQFP-EP

示例:

a)

LAN9252/ML

标准封装 (托盘),

商业级温度,

64 引脚 QFN

b)

LAN9252TI/PT

卷带式

工业级温度,

64 引脚 TQFP-EP

注 1:

卷带式标识符仅出现在产品目录的部件编号说明中。该标识符用于订货目的, 不会印刷在器件封装上。关于包装是否提供卷带式选项的信息, 请咨询当地的 Microchip 销售办事处。

2:

仅 64-QFN 封装支持扩展工业级温度 (105°C)

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案（Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、dsPIC、FlashFlex、flexPWR、JukeBlox、KEELOQ、KEELOQ 徽标、Kleer、LANCheck、MediaLB、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、PICSTART、PIC³² 徽标、RightTouch、SpyNIC、SST、SST 徽标、SuperFlash 及 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

The Embedded Control Solutions Company 和 mTouch 为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、BodyCom、chipKIT、chipKIT 徽标、CodeGuard、dsPICDEM、dsPICDEM.net、ECAN、In-Circuit Serial Programming、ICSP、Inter-Chip Connectivity、KleerNet、KleerNet 徽标、MiWi、motorBench、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、RightTouch 徽标、REAL ICE、SQI、Serial Quad I/O、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2015, Microchip Technology Inc. 版权所有。

ISBN: 978-1-63277-942-7

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949 ==

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务中心

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:

<http://www.microchip.com/support>

网址: www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110

加拿大多伦多 Toronto
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 **Asia Pacific Office**
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

亚太地区

台湾地区 - 高雄
Tel: 886-7-213-7828

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Dusseldorf
Tel: 49-2129-3766400

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Venice
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

波兰 Poland - Warsaw
Tel: 48-22-3325737

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820