



集成双通道 Σ - Δ 型ADC和ARM Cortex-M3的低功耗精密模拟微控制器

ADuCM360/ADuCM361

产品特性

模拟输入/输出

- 双通道、24位ADC (ADuCM360)
- 单通道、24位ADC (ADuCM361)
- 可编程ADC输出速率(3.5 Hz至3.906 kHz)
- 50 Hz/60 Hz同步噪声抑制
- 50 SPS连续转换模式
- 16.67 SPS单次转换模式

所有ADC均采用灵活的输入多路复用，输入通道可选

两个24位多通道ADC(ADC0和ADC1)

- 6路差分或11路单端输入通道
- 4路内部通道，用于监控DAC、温度传感器、IOVDD/4和AVDD/4(仅ADC1)
- 可编程增益(1至128)
- 均方根(RMS)噪声：52 nV(3.53 Hz时)，200 nV(50 Hz时)

可编程传感器激励电流源

片内精密基准电压源

单12位电压输出DAC

- 用于4 mA至20 mA环路应用的NPN模式

微控制器

- ARM Cortex-M3 32位处理器
- 串行线下载和调试
- 用于唤醒定时器的内部时钟晶体
- 具有8路可编程分频器的16 MHz振荡器

存储器

- 128 kB Flash/EE存储器，8 kB SRAM
- 通过串行线和UART在线调试/下载

电源电压范围：1.8 V至3.6 V(最大值)

MCU主动模式时的功耗

- 内核功耗：290 μ A/MHz
- 内核工作在500 kHz时的系统总电流消耗为1.0 mA(两个ADC均打开、输入缓冲器关闭、PGA增益为4、一个SPI端口打开、所有定时器均打开)
- 省电模式时的功耗：4 μ A(唤醒定时器有效)

片内外设

- UART、I²C和2 $\times$ SPI串行I/O
- 16位PWM控制器
- 19引脚多功能GPIO端口
- 2个通用定时器
- 唤醒定时器/看门狗定时器
- 多通道DMA和中断控制器

封装和温度范围

- 48引脚、7 mm $\times$ 7 mm LFCSP封装
- 额定工作温度范围：-40°C至+125°C

开发工具

- 低成本QuickStart开发系统
- 支持第三方编译器和仿真器工具
- 多功能安全特性提高诊断能力

应用

- 工业自动化和过程控制
- 智能精密检测系统
- 4 mA至20 mA环路供电智能传感器系统
- 医疗设备、病人监护

Rev. C

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012–2014 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	SPI时序规格.....	16
应用	1	绝对最大额定值	18
修订历史.....	2	热阻	18
概述.....	3	ESD警告.....	18
功能框图	4	引脚配置和功能描述	19
技术规格	6	典型性能参数	22
微控制器电气规格	6	典型系统配置	23
ADC0和ADC1的均方根噪声分辨率.....	11	外形尺寸	24
I ² C时序规格	15	订购指南.....	24

修订历史

2014年10月 — 修订版B至修订版C

更改表1	6
更改表3	11
更改表5	12
更改表7	13
更改表9	14
更改表14	18
更改表16中引脚35和引脚36的描述	20
更改图11	22

2013年7月—修订版A至修订版B

更改“产品特性”和“概述”部分	3
更改图1	4
增加图2；重新排序	5
更改表1	6
更改表2和表3	10
更改表4和表5	11
更改表6和表7	12
更改表8和表9	13
更改表16	17
更改图14	21

2012年11月—修订版0至修订版A

更改表16中的引脚35和引脚36	18
------------------------	----

2012年9月—修订版0：初始版

概述

ADuCM360是完全集成的3.9 kSPS、24位数据采集系统，在单芯片上集成双核高性能多通道 Σ - Δ 型模数转换器(ADC)、32位ARM Cortex™-M3处理器和Flash/EE存储器。在有线和电池供电应用中，ADuCM360设计为与外部精密传感器直接连接。ADuCM361集成了ADuCM360的全部功能，不过它仅有一个24位 Σ - Δ ADC (ADC1)。

ADuCM360/ADuCM361自带一个片内32 kHz振荡器和一个内部16 MHz高频振荡器。高频振荡器通过一个可编程时分频器进行中继，在其中产生处理器内核时钟工作频率。最大内核时钟速度为16 MHz；该速度不局限于工作电压或温度。

微控制器内核为低功耗ARM Cortex-M3处理器，它是一个32位RISC机器，峰值性能最高可达20 MIPS。Cortex-M3处理器集成了灵活的11通道DMA控制器，支持全部有线通信外设(SPI、UART和I²C)。片内还集成128 kB非易失性Flash/EE存储器和8 kB SRAM。

模拟子系统由双通道ADC组成，每个ADC均连接到一个灵活的输入多路复用器。两个ADC都可在全差分 and 单端模式下工作。其他的片内ADC功能包括：双通道可编程激励电流源、诊断电流源和偏置电压产生器AVDD_REG/2(900 mV)，可设置输入通道的共模电压。低端内部接地开关可在两次转换之间关断外部电路(例如桥电路)。

ADC包含两个并联的滤波器：一个sinc3或sinc4滤波器与sinc2滤波器并联。Sinc3或Sinc4滤波器用于精密测量。sinc2滤波器用于快速测量和输入信号的步进变化检测。

该器件集成一个低噪声、低漂移内部带隙基准电压源，但在采用比例式测量配置时可配置成接受一或两个外部基准电压源。片内集成了可缓存外部基准电压输入的选项。片内集成一个单通道缓冲电压输出DAC。

ADuCM360/ADuCM361集成了一系列片内外设，可以根据应用需要通过微控制器软件控制进行配置。这些外设包括：UART、I²C和双通道SPI串行I/O通信控制器、19引脚GPIO端口；两个通用定时器；唤醒定时器及系统看门狗定时器。同时提供了一个带6个输出通道的16位PWM控制器。

ADuCM360/ADuCM361专为要求低功耗工作的电池供电应用而设计。微控制器内核可配置为普通工作模式，功耗290 μ A/MHz(包括flash/ SRAM I_{DD})。在两个ADC均打开(输入缓冲器关闭)、PGA增益为4、一个SPI端口打开和所有定时器均打开时，系统总电流消耗可以达到1 mA。

ADuCM360/ADuCM361通过直接编程控制可配置为许多低功耗工作模式，包括休眠模式(内部唤醒定时器有效)，此时能耗仅为4 μ A。在休眠模式下，诸如外部中断或内部唤醒定时器等外设可以唤醒该器件。该模式可让器件在功耗极低的情况下运行，同时仍然响应外部异步或周期事件。

片内出厂固件支持通过串行线接口(2引脚JTAG系统)和UART进行串行在线下载，还支持通过串行线接口进行非介入式仿真。这些特性都集成在一个支持精密模拟微控制器系列的低成本QuickStart™开发系统中。

这些器件采用外部1.8 V至3.6 V电源供电，额定温度范围为-40°C至+125°C工业温度范围。

有关ADuCM360/ADuCM361的更多信息，参见UG-367用户指南。

ADuCM360/ADuCM361

功能框图

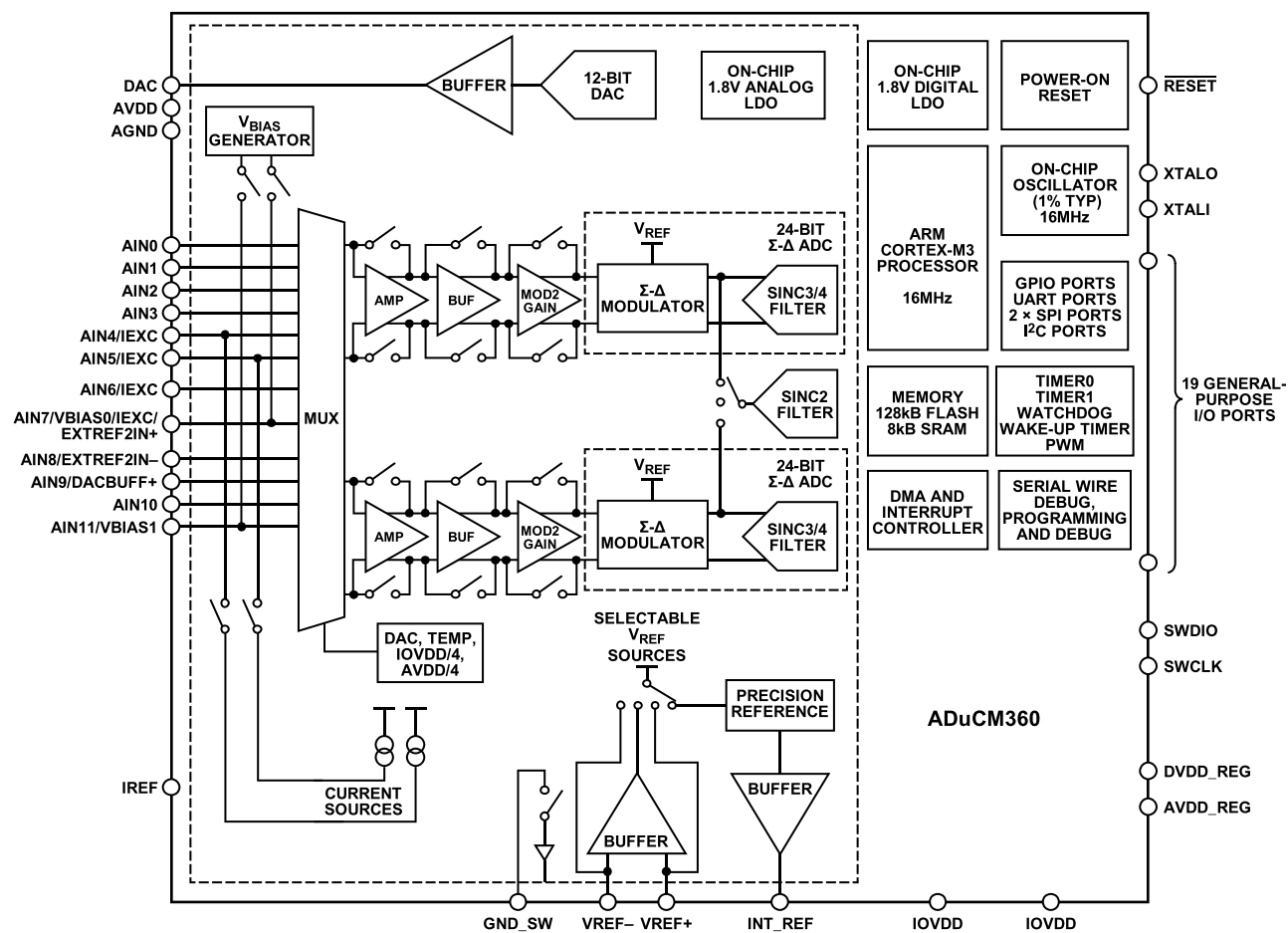


图1. ADuCM360功能框图

09743-001

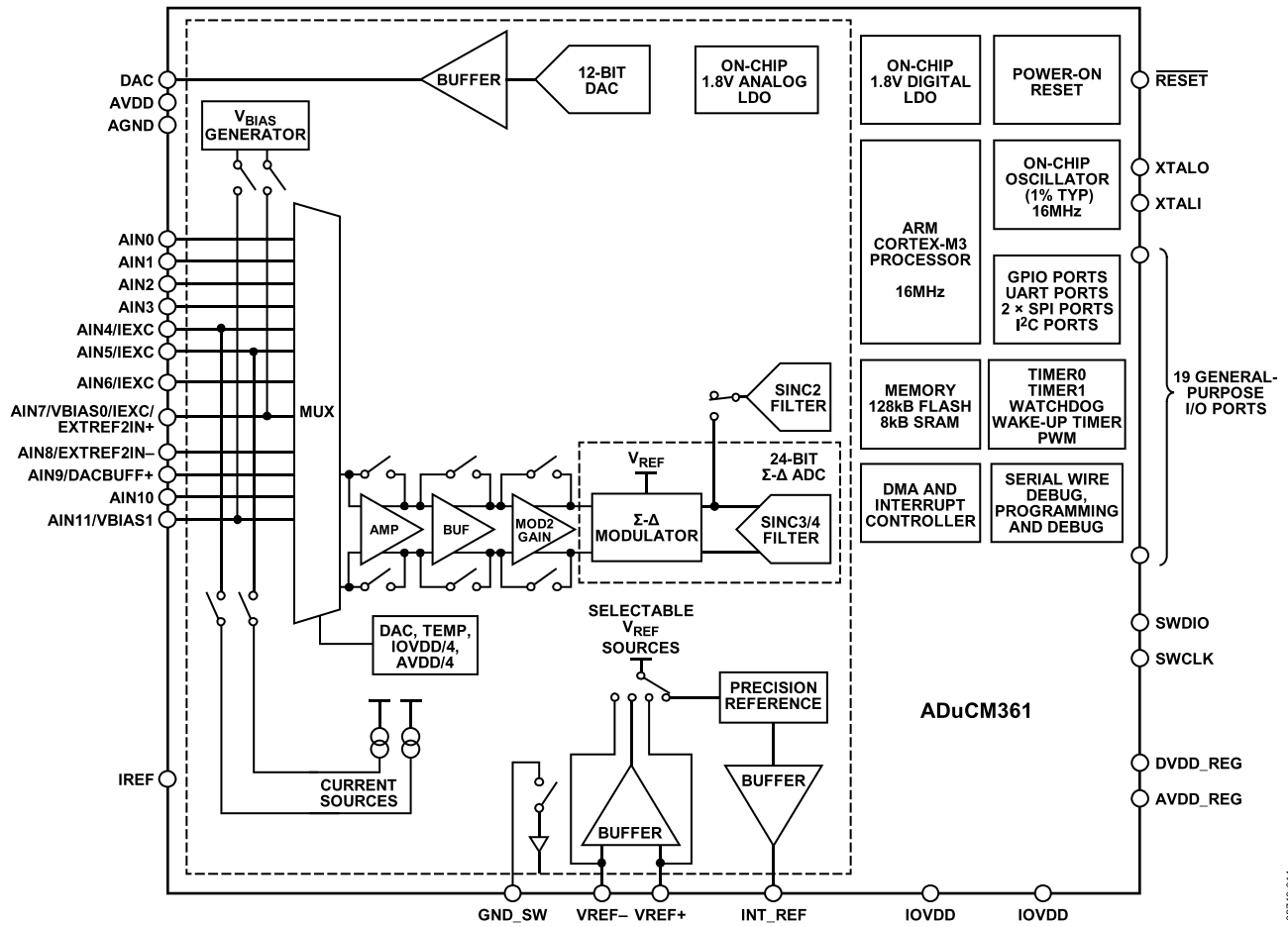


图2. ADuCM361功能框图

ADuCM360/ADuCM361

技术规格

微控制器电气规格

除非另有说明，AVDD/IOVDD = 1.8 V至3.6 V，AVDD和IOVDD之差必须小于或等于0.3 V，1.2 V内部基准电压， $f_{\text{CORE}} = 16 \text{ MHz}$ ，所有规格在 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 下测得。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
ADC技术规格	ADC0和ADC1				
转换速率 ¹	斩波关闭	3.5		3906	Hz
	斩波开启	3.5		1302	Hz
无失码 ¹	斩波关闭， $f_{\text{ADC}} \leq 500 \text{ Hz}$	24			位
	斩波开启， $f_{\text{ADC}} \leq 250 \text{ Hz}$	24			位
均方根噪声与输出数据速率积分非线性(INL) ¹	参见表2至表9				
	增益 = 1，输入缓冲关		±10		ppm of FSR
	增益 = 2、4、8或16		±15		ppm of FSR
	增益 = 32、64或128		±20		ppm of FSR
失调误差 ^{2, 3, 4, 6, 7}	斩波关闭，校准之后，失调误差与选定的编程增益和更新速率所对应的噪声相当。		±100/增益		μV
	斩波开启 ¹		±1.0		μV
失调误差漂移与温度的关系 ^{1, 4, 5}	斩波关闭，增益 ≤ 4		1/增益		μV/°C
	斩波关闭，增益 ≥ 8		230		nV/°C
	斩波开启		10		nV/°C
失调误差的时间稳定性 ⁵	增益 = 128		1		μV/1000Hr
满量程误差 ^{1, 4, 6, 7, 8}			±0.5/增		mV
满量程误差的时间稳定性 ⁵	增益 = 128		70		μV/1000Hr
增益误差漂移与温度的关系 ^{1, 4, 6}	外部基准电压源				
	增益 = 1、2、4、8或16		±3		ppm/°C
	增益 = 32、64或128		±6		ppm/°C
PGA增益不匹配误差			±0.15		%
电源抑制 ¹	外部基准电压源				
	斩波开启，ADC输入 = 0.25 V，增益 = 4	95			dB
	斩波关闭，ADC输入 = 7.8 mV，增益 = 128	80			dB
	斩波关闭，ADC输入 = 1 V，增益 = 1	90			dB
绝对输入电压范围					
无缓冲模式		AGND		AVDD	V
缓冲模式	不提供增益 = 1；有关硅片异常信息，请参见 ADuCM360/ADuCM361				
差分输入电压范围 ¹	产品页面 增益 ≥ 2	AGND + 0.1		AVDD – 0.1	V
	对于增益 = 32、64和128时允许的输入范围和噪声值，请参见表3和表7				
	增益 = 1			±V _{REF}	V
	增益 = 2			±500	mV
	增益 = 4			±250	mV
	增益 = 8			±125	mV
	增益 = 16			±62.5	mV
共模电压V _{CM} ¹	理想情况下， $V_{\text{CM}} = ((\text{AIN}+) + (\text{AIN}-))/2$ ；增益 = 2至128；输入电流会随着V _{CM} 而变化(见图9和图10)	AGND		AVDD	V

ADuCM360/ADuCM361

参数	测试条件/注释	最小值	典型值	最大值	单位
输入电流 ⁹					
缓冲模式	增益 > 1(AIN4、AIN5、AIN6和AIN7引脚除外)		1		nA
	增益 > 1(AIN4、AIN5、AIN6和AIN7引脚)		2		nA
无缓冲模式	输入电流随输入电压而变化		500		nA/V
平均输入电流漂移 ¹					
缓冲模式	AIN0、AIN1、AIN2、AIN3		±5		pA/°C
	AIN4、AIN5、AIN6、AIN7		±16		pA/°C
	AIN8、AIN9、AIN10、AIN11		±9		pA/°C
无缓冲模式			±250		pA/V/°C
共模抑制DC ¹	ADC输入				
	ADC增益 = 1, AVDD < 2 V	65	100		dB
	ADC增益 = 1, AVDD > 2 V	80	100		dB
	ADC增益 = 2至128	80			dB
共模抑制50 Hz/60 Hz ¹	50 Hz/60 Hz ± 1 Hz; f _{ADC} = 16.7 Hz, 斩波开启: f _{ADC} = 50 Hz, 斩波关闭				
	ADC增益 = 1	97			dB
	ADC增益 = 2至128	90			dB
正常模式抑制50 Hz/60 Hz ¹	ADC输入				
	50 Hz/60 Hz ± 1 Hz; f _{ADC} = 16.7 Hz, 斩波开启: f _{ADC} = 50 Hz, 斩波关闭	60	80		dB
温度传感器 ¹	用户校准后				
25°C时电压输出	测量前处理器关断或处于待机模式		82.1		mV
电压温度系数(TC)			250		μV/°C
精度			6		°C
接地开关					
R _{ON}		3.7	10	19	Ω
容许电流 ¹	20 kΩ电阻关闭, 直接短路至接地			20	mA
基准电压源	ADC内部基准电压				
内部V _{REF}			1.2		V
初始精度	在T _A = 25°C时测定	-0.1		+0.1	%
基准电压源温度系数(TC) ^{1,10}		-15	±5	+15	ppm/°C
电源抑制 ¹		82	90		dB
外部基准输入					
输入范围					
缓冲模式		AGND + 0.1		AVDD - 0.1	V
无缓冲模式	VREF+和VREF-引脚的最低差分电压为400 mV	0		AVDD	V
输入电流					
缓冲模式		-20	+4	+27	nA
无缓冲模式			500		nA/V
串模干扰抑制 ¹			80		dB
共模抑制 ¹		85	100		dB
基准电压检测水平 ¹			400		mV
激励电流源					
输出电流	各电流源可用; 可编程数值范围为10 μA至1 mA	10	50	1000	μA
初始容差(25°C) ¹	I _{OUT} ≥ 50 μA		±5		%
漂移 ¹	使用内部参考电阻		100	400	ppm/°C
	使用位于IREF引脚和AGND之间的外部150 kΩ参考电阻; 该电阻的漂移规格必须为5 ppm/°C		75	400	ppm/°C
25°C时初始电流匹配 ¹	在两个电流源之间匹配		±0.5		%

ADuCM360/ADuCM361

参数	测试条件/注释	最小值	典型值	最大值	单位
漂移匹配 ¹ 负载调整率AVDD ¹ 输出电压电压 ¹	AVDD = 3.3 V $I_{OUT} = 10\text{ }\mu A$ 至210 μA $I_{OUT} > 210\text{ }\mu A$	AGND – 0.03 AGND – 0.03	50 0.2 AVDD – 0.45 AVDD – 0.55	AVDD – 0.85 AVDD – 1.1	ppm/ $^{\circ}C$ %/V V V
DAC通道规格 电压范围 直流特性 ¹¹ 分辨率 相对精度 微分非线性 失调误差 增益误差 NPN模式 ¹ 分辨率 相对精度 微分非线性 失调误差 增益误差 输出电流范围 插值模式 ¹ 分辨率 相对精度 差分非线性 失调误差 增益误差	R _L = 5 kΩ, C _L = 100 pF 内部基准电压源 外部基准电压源 保证单调性 1.2 V内部基准电压 V _{REF} 范围(基准电压 = 1.2 V) 仅14位单调性 14位分辨率 单调性(14位) 1.2 V内部基准电压 V _{REF} 范围(基准电压 = 1.2 V) AVDD范围	0 0 12 12 0.008 	 ±3 ±0.5 ±2 ±3 ±0.5 ±0.35 ±0.75 14 ±4 ±0.5 ±2 ±1 ±1	V _{REF} 1.8 ±1 ±10 ±0.5 23.6 	V V 位 LSB LSB mV % 位 LSB LSB mA mA mA 位 LSB LSB mV % %
DAC交流特性 ¹ 输出电压建立时间 数模转换脉冲干扰	 主进位1 LSB变化(DAC0DAT寄存器中同时变化的最大位数)		10 ±20		μs nV-sec
上电复位(POR) POR触发电平 POR复位超时 ¹	DVDD引脚电平 上电电平 关断电平		1.6 1.6 50		V V ms
看门狗定时器(WDT)1 超时时间 超时步幅	T3CON[3:2] = 10	0.00003	7.8125	8192	秒 ms
FLASH/EE存储器 ¹ 耐久性 ¹² 数据保留期 ¹³	T _J = 85°C	10,000 10			周期 年
数字输入 输入漏电流 逻辑1 逻辑0	所有数字输入 除RESET、SWCLK和SWDIO引脚外的数字输入 V _{INH} = IOVDD或V _{INH} = 1.8 V 内部上拉禁用 V _{INL} = 0 V 内部上拉禁用		140 1 160 10		μA nA μA nA

参数	测试条件/注释	最小值	典型值	最大值	单位
输入漏电流	除RESET、SWCLK和SWDIO引脚外的数字输入				
逻辑1			140		μA
逻辑0			160		μA
输入电容 ¹			10		pF
逻辑输入					
输入低电压 V_{INL}				$0.2 \times IOVDD$	V
输入高电压 V_{INH}		$0.7 \times IOVDD$			V
逻辑输出					
输出高电压 V_{OH}	$I_{SOURCE} = 1\text{ mA}$	$IOVDD - 0.4$			V
输出低电压 V_{OL}	$I_{SINK} = 1\text{ mA}$			0.4	V
晶体振荡器 ¹	32.768 kHz晶振输入				
逻辑输入, 仅限XTALI ¹⁴					
输入低电压 V_{INL}				0.8	V
输入高电压 V_{INH}		1.7			V
XTALI电容			6		pF
XTALO电容			6		pF
片内低功耗振荡器					
振荡器频率			32.768		kHz
精度		-30	± 10	+30	%
片内高频振荡器					
振荡器频率			16		MHz
精度	-40°C至+125°C	-1.8		+1.4	%
长期稳定性 ⁵			0.8		%/1000 Hr
处理器时钟速率 ¹	在此规定范围内九个可编程内核时钟选择	0.0625	0.5	16	MHz
使用外部时钟		0.032768		16	MHz
处理器启动时间 ¹					
上电时	包括内核上电执行时间		41		ms
复位事件后	包括内核上电执行时间		1.44		ms
从处理器进入省电模式开始 (模式1、模式2和模式3)	f_{CLK} 是Cortex-M3的内核时钟		3 to 5		f_{CLK}
从整机进入挂起或休眠模式开始 (模式4或模式5)			30.8		μs
电源要求					
电源电压 V_{DD}	AVDD, IOVDD	1.8		3.6	V
功耗					
I_{DD} (MCU激活模式) ^{14, 15}	处理器时钟速率 = 16 MHz; 所有外设开启(CLKSYSDIV = 0)		5.5		mA
	处理器时钟速率 = 8 MHz; 所有外设开启(CLKSYSDIV = 1)		3		mA
	处理器时钟速率 = 500 kHz; 两个ADC均开启(输入缓冲器关闭), PGA增益 = 4, 1 × SPI端口开启, 所有定时器开启 整个温度范围, 完全挂起模式(模式4)		1		mA
I_{DD} (MCU关断)	缩小的温度范围, -40°C至+85°C		4		μA
总 I_{DD} (ADC0) ^{15, 16}	PGA使能, 增益 ≥ 32		4		μA
PGA	增益 = 4、8或16, 仅PGA		320		μA
	增益 = 32、64或128, 仅PGA		130		μA
输入缓冲器	2 × 输入缓冲器 = 70 μA		180		μA
数字接口和调制器			70		μA
			70		μA

ADuCM360/ADuCM361

参数	测试条件/注释	最小值	典型值	最大值	单位
I _{DD} (ADC1)	输入缓冲器关闭，增益仅 = 4、8或16		200		μA
外部基准输入缓冲器	每个均为60 μA		120		μA

¹ 这些参数未经过产品测试，但在产品发布时由设计和/或特性数据保证。

² 初始失调校准后在增益 = 4时测试。

³ 利用内部短路测定。系统零电平校准消除此误差。

⁴ 在任意温度下重新校准将消除这些误差。

⁵ 长期稳定性规格为非累积性。在后续1000小时周期内的漂移大幅低于第一个1000小时周期。

⁶ 这些参数不包括内部基准电压温度漂移。

⁷ 增益 = 1时工厂校准。

⁸ 在具体增益下的系统校准可以消除此增益下的误差。

⁹ 输入电流的测量条件为每通道使用一个ADC进行测量。若两个ADC均测量同一输入通道，则输入电流会增加(大约翻倍)。

¹⁰ 利用盒子方法测定。

¹¹ 参考DAC的线性度是使用一个缩减的数据范围0x0AB到0xF30计算出来的。

¹² 耐久性是根据JEDEC标准22方法A117认定为10,000个周期，并分别在-40°C、+25°C和+125°C测得。在25°C时的典型耐久性为170,000个周期。

¹³ 根据JEDEC 22标准方法A117，保持期限相当于85°C结温时的寿命。保持期限会随着结温递减。

¹⁴ 电压输入水平仅当电压源驱动XTAL输入时才相关。若晶振直连，则共模电压由内部晶振接口决定。

¹⁵ 在Flash/EE存储器编程和擦除周期期间的典型额外电源电流消耗为7 mA。

¹⁶ ADC的总IDD包括PGA ≥ 32、输入缓冲器、数字接口和Σ-Δ调制器的相关数字。

ADC0和ADC1的均方根噪声分辨率

1.2 V内部基准电压源

表2到表5提供采用内部基准电压源(1.2 V)时ADC0和ADC1的均方根噪声规格。表2和表3列出了针对两个ADC的不同增益和输出更新速率时的均方根噪声值。表4和表5列出了两个ADC在正常模式下，不同增益和输出更新速率情况下的典型输出均方根噪声有效位数(ENOB)。(括号中的数字表示p-p ENOB)

表2. 均方根噪声与增益和输出更新速率的关系，采用内部基准电压(1.2 V)，增益 = 1、2、4、8和16

更新速率 (Hz)	斩波/Sinc	ADCFLT 寄存器值	均方根噪声(μ V)				
			增益 = 1、 $\pm V_{REF}$ 、 ADCxMDE = 0x01	增益=2、 ± 500 mV、 ADCxMDE= 0x11	增益=4、 ± 250 mV、 ADCxMDE = 0x21	增益=8、 ± 125 mV、 ADCxMDE = 0x31	增益=16、 ± 62.5 mV、 ADCxMDE = 0x41
3.53	开启/Sinc3	0x8D7C	1.05	0.45	0.23	0.135	0.072
30	关闭/Sinc3	0x007E	2.1	1.37	0.63	0.37	0.22
50	关闭/Sinc3	0x007D	3.7	1.6	0.83	0.47	0.29
100	关闭/Sinc3	0x004D	5.45	2.41	1.13	0.63	0.38
488	关闭/Sinc4	0x100F	10	4.7	2.2	1.3	0.79
976	关闭/Sinc4	0x1007	13.5	6.5	3.3	1.7	1.1
1953	关闭/Sinc4	0x1003	19.3	10	4.7	2.6	1.55
3906	关闭/Sinc4	0x1001	67.0	36	16.6	8.8	4.9

表3. 均方根噪声与增益和输出更新速率的关系，采用内部基准电压(1.2 V)，增益 = 32、64和128

更新速率 (Hz)	斩波/Sinc	ADCFLT 寄存器值	均方根噪声(μ V)					
			增益 = 32 ¹ ， ± 37.5 mV， ADCxMDE = 0x49	增益 = 32 ^{1,2} ， ± 22.18 mV， ADCxMDE = 0x51	增益 = 64 ³ ， ± 18.75 mV， ADCxMDE = 0x59	增益 = 64 ^{3,4} ， ± 10.3125 mV， ADCxMDE = 0x61	增益 = 128 ⁵ ， ± 9.375 mV， ADCxMDE = 0x69	增益 = 128 ^{5,6} ， ± 3.98 mV， ADCxMDE = 0x71
3.53	开启/Sinc3	0x8D7C	0.067	0.064	0.073	0.055	0.058	0.052
30	关闭/Sinc3	0x007E	0.202	0.2	0.196	0.16	0.174	0.155
50	关闭/Sinc3	0x007D	0.24	0.24	0.25	0.21	0.21	0.2
100	关闭/Sinc3	0x004D	0.35	0.32	0.36	0.27	0.31	0.25
488	关闭/Sinc4	0x100F	0.7	0.67	0.71	0.58	0.62	0.57
976	关闭/Sinc4	0x1007	0.99	0.91	1.01	0.74	0.83	0.7
1953	关闭/Sinc4	0x1003	1.78	1.3	1.48	1.15	1.25	1.0
3906	关闭/Sinc4	0x1001	6.44	2.68	3.59	1.4	2.2	1.4

¹ ADCxMDE = 0x49设置PGA的增益为16、调制器增益为2。调制器增益为2则通过调节调制器内的采样电容实现。ADCxMDE = 0x51设置PGA的增益为32，调制器增益关闭。ADCxMDE = 0x49具有稍高的噪声，但支持更宽的输入范围。

² 若AVDD < 2.0 V且ADCxMDE = 0x51，则输入范围为 ± 17.5 mV。

³ ADCxMDE = 0x59设置PGA的增益为32、调制器增益为2。调制器增益为2则通过调节调制器内的采样电容实现。ADCxMDE = 0x61设置PGA的增益为64，调制器增益关闭。ADCxMDE = 0x59具有稍高的噪声，但支持更宽的输入范围。

⁴ 若AVDD < 2.0 V且ADCxMDE = 0x61，则输入范围为 ± 8.715 mV。

⁵ ADCxMDE = 0x69设置PGA的增益为64、调制器增益为2。调制器增益为2则通过调节调制器内的采样电容实现。ADCxMDE = 0x71设置PGA的增益为128，调制器增益关闭。ADCxMDE = 0x69具有稍高的噪声，但支持更宽的输入范围。

⁶ 若AVDD < 2.0 V且ADCxMDE = 0x71，则输入范围为 ± 3.828 mV。

ADuCM360/ADuCM361

表4. 正常模式下的典型输出均方根噪声有效位数，采用内部基准电压(1.2 V)，增益 = 1、2、4、8和16

更新速率 (Hz)	斩波/Sinc	不同输入电压范围和增益的有效位数(ENOB) ¹				
		增益 = 1、 $\pm V_{REF}$ 、 ADCxMDE = 0x01	增益 = 2、 ± 500 mV、 ADCxMDE = 0x11	增益 = 4、 ± 250 mV、 ADCxMDE = 0x21	增益 = 8、 ± 125 mV、 ADCxMDE = 0x31	增益 = 16、 ± 62.5 mV、 ADCxMDE = 0x41
3.53	开启/Sinc3	21.1 (18.4 p-p)	21.1 (18.4 p-p)	21.1 (18.3 p-p)	20.8 (18.1 p-p)	20.7 (18.0 p-p)
30	关闭/Sinc3	20.1 (17.4 p-p)	19.5 (16.8 p-p)	19.6 (16.9 p-p)	19.4 (16.6 p-p)	19.1 (16.4 p-p)
50	关闭/Sinc3	19.3 (16.6 p-p)	19.25 (16.5 p-p)	19.2 (16.5 p-p)	19.0 (16.3 p-p)	18.7 (16.0 p-p)
100	关闭/Sinc3	18.7 (16.0 p-p)	18.66 (15.9 p-p)	18.75 (16.0 p-p)	18.6 (15.9 p-p)	18.3 (15.6 p-p)
488	关闭/Sinc4	17.9 (15.2 p-p)	17.7 (15.0 p-p)	17.8 (15.1 p-p)	17.55 (14.8 p-p)	17.3 (14.5 p-p)
976	关闭/Sinc4	17.4 (14.7 p-p)	17.2 (14.5 p-p)	17.2 (14.5 p-p)	17.2 (14.4 p-p)	16.8 (14.1 p-p)
1953	关闭/Sinc4	16.9 (14.2 p-p)	16.6 (13.9 p-p)	16.7 (14.0 p-p)	16.55 (13.8 p-p)	16.3 (13.6 p-p)
3906	关闭/Sinc4	15.1 (12.4 p-p)	14.8 (12.0 p-p)	14.9 (12.2 p-p)	14.8 (12.1 p-p)	14.6 (11.9 p-p)

¹ 均方根噪声位可通过下式算得： $\log_2((2 \times \text{输入范围})/\text{均方根噪声})$ ；p-p位可通过下式算得： $\log_2((2 \times \text{输入范围})/(6.6 \times \text{均方根噪声}))$ 。

表5. 正常模式下的典型输出均方根噪声有效位数，采用内部基准电压(1.2 V)，增益 = 32、64和128

更新速率 (Hz)	斩波/Sinc	不同输入电压范围和增益的有效位数(ENOB) ¹					
		增益 = 32、 ± 37.5 mV、 ADCxMDE = 0x49	增益 = 32、 ± 22.18 mV、 ADCxMDE = 0x51	增益 = 64、 ± 18.75 mV、 ADCxMDE = 0x59	增益 = 64、 ± 10.3125 mV、 ADCxMDE = 0x61	增益 = 128、 ± 9.375 mV、 ADCxMDE = 0x69	增益 = 128、 ± 3.98 mV、 ADCxMDE = 0x71
3.53	开启/Sinc3	19.8 (17.1 p-p)	19.4 (16.7 p-p)	18.7 (16.0 p-p)	18.5 (15.8 p-p)	18.0 (15.3 p-p)	17.2 (14.5 p-p)
30	关闭/Sinc3	18.2 (15.5 p-p)	17.75 (15.0 p-p)	17.3 (14.6 p-p)	17.0 (14.25 p-p)	16.45 (13.7 p-p)	15.6 (12.9 p-p)
50	关闭/Sinc3	18.0 (15.2 p-p)	17.5 (14.8 p-p)	16.93 (14.2 p-p)	16.6 (13.86 p-p)	16.2 (13.5 p-p)	15.3 (12.55 p-p)
100	关闭/Sinc3	17.4 (14.7 p-p)	17.1 (14.35 p-p)	16.4 (13.7 p-p)	16.2 (13.5 p-p)	15.6 (12.9 p-p)	15.0 (12.2 p-p)
488	关闭/Sinc4	16.4 (13.7 p-p)	16.0 (13.3 p-p)	15.4 (12.7 p-p)	15.1 (12.4 p-p)	14.6 (11.9 p-p)	13.8 (11.0 p-p)
976	关闭/Sinc4	15.9 (13.2 p-p)	15.6 (12.85 p-p)	14.91 (12.2 p-p)	14.8 (12.0 p-p)	14.2 (11.5 p-p)	13.4 (10.75 p-p)
1953	关闭/Sinc4	15.1 (12.4 p-p)	15.05 (12.3 p-p)	14.4 (11.6 p-p)	14.1 (11.4 p-p)	13.6 (10.9 p-p)	13.0 (10.2 p-p)
3906	关闭/Sinc4	13.2 (10.5 p-p)	14.0 (11.3 p-p)	13.1 (10.4 p-p)	13.8 (11.1 p-p)	12.8 (10.1 p-p)	12.5 (9.75 p-p)

¹ 均方根噪声位可通过下式算得： $\log_2((2 \times \text{输入范围})/\text{均方根噪声})$ ；p-p位可通过下式算得： $\log_2((2 \times \text{输入范围})/(6.6 \times \text{均方根噪声}))$ 。

外部基准电压(2.5 V)

表6到表9提供采用外部基准电压源(2.5 V)时ADC0和ADC1的均方根噪声规格。表6和表7列出了针对两个ADC的不同增益和输出更新速率时的均方根噪声值。表8和表9列出了两个ADC在正常模式下，不同增益和输出更新速率情况下的典型输出均方根噪声有效位数(ENOB)。(括号中的数字表示p-p ENOB)

表6. 均方根噪声与增益和输出更新速率的关系，采用外部基准电压(2.5 V)，增益 = 1、2、4、8和16

更新速率 (Hz)	斩波/Sinc	ADCFLT 寄存器值	均方根噪声(μV)				
			增益 = 1, $\pm V_{\text{REF}}$, ADCxMDE = 0x01	增益 = 2, $\pm 500\text{ mV}$, ADCxMDE = 0x11	增益 = 4, $\pm 250\text{ mV}$, ADCxMDE = 0x21	增益 = 8, $\pm 125\text{ mV}$, ADCxMDE = 0x31	增益 = 16, $\pm 62.5\text{ mV}$, ADCxMDE = 0x41
3.53	开启/Sinc3	0x8D7C	1.1	0.5	0.27	0.17	0.088
30	关闭/Sinc3	0x007E	3	1.4	0.85	0.44	0.27
50	关闭/Sinc3	0x007D	3.9	2.2	0.92	0.46	0.3
100	关闭/Sinc3	0x004D	5.2	2.8	1.25	0.63	0.38
488	关闭/Sinc4	0x100F	9.3	5.0	2.5	1.2	0.75
976	关闭/Sinc4	0x1007	12.5	7	3.5	1.75	1.2
1953	关闭/Sinc4	0x1003	20.0	10	5.7	2.6	1.71
3906	关闭/Sinc4	0x1001	140.0	70.0	35.0	17.2	8.9

表7. 均方根噪声与增益和输出更新速率的关系，采用外部基准电压(2.5 V)，增益 = 32、64和128

更新速率 (Hz)	斩波/Sinc	ADCFLT 寄存器值	均方根噪声(μV)					
			增益 = 32 ¹ , $\pm 62.5\text{ mV}$, ADCxMDE = 0x49	增益 = 32 ^{1,2} , $\pm 22.18\text{ mV}$, ADCxMDE = 0x51	增益 = 64 ³ , $\pm 22.18\text{ mV}$, ADCxMDE = 0x59	增益 = 64 ^{3,4} , $\pm 10.3125\text{ mV}$, ADCxMDE = 0x61	增益 = 128 ⁵ , $\pm 10.3125\text{ mV}$, ADCxMDE = 0x69	增益 = 128 ^{5,6} , $\pm 3.98\text{ mV}$, ADCxMDE = 0x71
3.53	开启/Sinc3	0x8D7C	0.076	0.07	0.088	0.06	0.068	0.058
30	关闭/Sinc3	0x007E	0.21	0.22	0.21	0.19	0.175	0.17
50	关闭/Sinc3	0x007D	0.265	0.21	0.27	0.2	0.225	0.19
100	关闭/Sinc3	0x004D	0.37	0.32	0.366	0.28	0.32	0.26
488	关闭/Sinc4	0x100F	0.73	0.7	0.73	0.57	0.64	0.5
976	关闭/Sinc4	0x1007	1.1	0.83	1.01	0.77	0.89	0.75
1953	关闭/Sinc4	0x1003	2.05	1.3	1.6	1.24	1.3	1.1
3906	关闭/Sinc4	0x1001	9.4	4.8	5.1	2.65	3.2	1.88

¹ ADCxMDE = 0x49设置PGA的增益为16、调制器增益为2。调制器增益为2则通过调节调制器内的采样电容实现。ADCxMDE = 0x51设置PGA的增益为32，调制器增益关闭。ADCxMDE = 0x49具有稍高的噪声，但支持更宽的输入范围。

² 若AVDD < 2.0 V且ADCxMDE = 0x51，则输入范围为 $\pm 17.5\text{ mV}$ 。

³ ADCxMDE = 0x59设置PGA的增益为32、调制器增益为2。调制器增益为2则通过调节调制器内的采样电容实现。ADCxMDE = 0x61设置PGA的增益为64，调制器增益关闭。ADCxMDE = 0x59具有稍高的噪声，但支持更宽的输入范围。

⁴ 若AVDD < 2.0 V且ADCxMDE = 0x61，则输入范围为 $\pm 8.715\text{ mV}$ 。

⁵ ADCxMDE = 0x69设置PGA的增益为64、调制器增益为2。调制器增益为2则通过调节调制器内的采样电容实现。ADCxMDE = 0x71设置PGA的增益为128，调制器增益关闭。ADCxMDE = 0x69具有稍高的噪声，但支持更宽的输入范围。

⁶ 若AVDD < 2.0 V且ADCxMDE = 0x71，则输入范围为 $\pm 3.828\text{ mV}$ 。

ADuCM360/ADuCM361

表8. 正常模式下的典型输出均方根噪声有效位数，采用外部基准电压(2.5 V)，增益 = 1、2、4、8和16

更新速率 (Hz)	斩波/Sinc	不同输入电压范围和增益的有效位数(ENOB) ¹				
		增益 = 1、 $\pm V_{REF}$ 、 ADCxMDE = 0x01	增益 = 2、 ± 500 mV、 ADCxMDE = 0x11	增益 = 4、 ± 250 mV、 ADCxMDE = 0x21	增益 = 8、 ± 125 mV、 ADCxMDE = 0x31	增益 = 16、 ± 62.5 mV、 ADCxMDE = 0x41
3.53	开启/Sinc3	22.1 (19.4 p-p)	20.9 (18.2 p-p)	20.8 (18.1 p-p)	20.5 (17.7 p-p)	20.43 (17.7 p-p)
30	关闭/Sinc3	20.7 (18.0 p-p)	19.4 (16.7 p-p)	19.2 (16.4 p-p)	19.1 (16.4 p-p)	18.82 (16.1 p-p)
50	关闭/Sinc3	20.3 (17.6 p-p)	18.8 (16.1 p-p)	19.05 (16.3 p-p)	19.05 (16.3 p-p)	18.66 (15.9 p-p)
100	关闭/Sinc3	19.9 (17.2 p-p)	18.4 (15.7 p-p)	18.6 (15.9 p-p)	18.6 (15.9 p-p)	18.32 (15.6 p-p)
488	关闭/Sinc4	19.0 (16.3 p-p)	17.6 (14.9 p-p)	17.6 (14.9 p-p)	17.7 (14.9 p-p)	17.34 (14.6 p-p)
976	关闭/Sinc4	18.6 (15.9 p-p)	17.1 (14.4 p-p)	17.1 (14.4 p-p)	17.1 (14.4 p-p)	16.66 (13.9 p-p)
1953	关闭/Sinc4	17.9 (15.2 p-p)	16.6 (13.9 p-p)	16.4 (13.7 p-p)	16.55 (13.8 p-p)	16.15 (13.4 p-p)
3906	关闭/Sinc4	15.1 (12.4 p-p)	13.8 (11.1 p-p)	13.8 (11.1 p-p)	13.8 (11.1 p-p)	13.77 (11.05 p-p)

¹ 均方根位可根据下式算得： $\log_2((2 \times \text{输入范围})/(\text{均方根噪声}))$ ；p-p位可通过下式算得： $\log_2((2 \times \text{输入范围})/(6.6 \times \text{均方根噪声}))$ 。

表9. 正常模式下的典型输出均方根噪声有效位数，采用外部基准电压(2.5 V)，增益 = 32、64和128

更新速率 (Hz)	斩波/Sinc	不同输入电压范围和增益的有效位数(ENOB) ¹					
		增益 = 32、 ± 62.5 mV、 ADCxMDE = 0x49	增益 = 32、 ± 22.18 mV、 ADCxMDE = 0x51	增益 = 64、 ± 22.18 mV、 ADCxMDE = 0x59	增益 = 64、 ± 10.3125 mV、 ADCxMDE = 0x61	增益 = 128、 ± 10.3125 mV、 ADCxMDE = 0x69	增益 = 128、 ± 3.98 mV、 ADCxMDE = 0x71
3.53	开启/Sinc3	19.6 (16.9 p-p)	19.3 (16.55 p-p)	18.4 (15.7 p-p)	18.4 (15.7 p-p)	17.8 (15.1 p-p)	17.1 (14.3 p-p)
30	关闭/Sinc3	18.2 (15.5 p-p)	17.6 (14.9 p-p)	17.2 (14.5 p-p)	16.7 (14.0 p-p)	16.4 (13.7 p-p)	15.5 (12.8 p-p)
50	关闭/Sinc3	17.8 (15.1 p-p)	17.7 (15.0 p-p)	16.8 (14.1 p-p)	16.65 (13.9 p-p)	16.1 (13.4 p-p)	15.35 (12.6 p-p)
100	关闭/Sinc3	17.4 (14.6 p-p)	17.1 (14.35 p-p)	16.4 (13.7 p-p)	16.2 (13.4 p-p)	15.6 (12.85 p-p)	14.9 (12.2 p-p)
488	关闭/Sinc4	16.4 (13.7 p-p)	16.0 (13.2 p-p)	15.4 (12.7 p-p)	15.1 (12.4 p-p)	14.6 (11.85 p-p)	14.0 (11.2 p-p)
976	关闭/Sinc4	15.8 (13.1 p-p)	15.7 (13.0 p-p)	14.9 (12.2 p-p)	14.7 (12.0 p-p)	14.1 (11.4 p-p)	13.4 (10.6 p-p)
1953	关闭/Sinc4	14.9 (12.1 p-p)	15.1 (12.3 p-p)	14.25 (11.5 p-p)	14.0 (11.3 p-p)	13.55 (10.8 p-p)	12.8 (10.1 p-p)
3906	关闭/Sinc4	12.7 (10.0 p-p)	13.2 (10.4 p-p)	12.6 (9.9 p-p)	12.9 (10.2 p-p)	12.25 (9.5 p-p)	12.0 (9.3 p-p)

¹ 均方根噪声位可通过下式算得： $\log_2((2 \times \text{输入范围})/(\text{均方根噪声}))$ ；p-p位可通过下式算得： $\log_2((2 \times \text{输入范围})/(6.6 \times \text{均方根噪声}))$ 。

I²C时序规格

根据I²C总线规范，每条I²C总线线路上的容性负载(CB)最大为400 pF。通过设计保证I²C时序，但未经生产测试。

表10. 快速模式下I²C时序(400 kHz)

参数	描述	最小值	最大值	单位
t _L	串行时钟(SCL)低电平脉宽	1300		ns
t _H	SCL高电平脉宽	600		ns
t _{SHD}	起始条件保持时间	600		ns
t _{DSU}	数据建立时间	100		ns
t _{DHD}	数据保持时间	0		ns
t _{RSU}	重复起始建立时间	600		ns
t _{PSU}	停止条件的建立时间	600		ns
t _{BUF}	一个结束条件和起始条件之间的总线空闲时间	1.3		ns
t _R	SCL和串行数据(SDA)的上升时间	20 + 0.1 C _B	300	ns
t _F	SCL和SDA的下降时间	20 + 0.1 C _B	300	ns
t _{SUP}	抑制尖峰的脉冲宽度	0	50	ns

表11. 标准模式下I²C时序(100 kHz)

参数	描述	最小值	最大值	单位
t _L	SCL低电平脉宽	4.7		μs
t _H	SCL高电平脉宽	4.0		ns
t _{SHD}	起始条件保持时间	4.7		μs
t _{DSU}	数据建立时间	250		ns
t _{DHD}	数据保持时间	0		μs
t _{RSU}	重复起始建立时间	4.0		μs
t _{PSU}	停止条件的建立时间	4.0		μs
t _{BUF}	一个结束条件和起始条件之间的总线空闲时间	4.7		μs
t _R	SCL和SDA的上升时间		1	μs
t _F	SCL和SDA的下降时间		300	ns

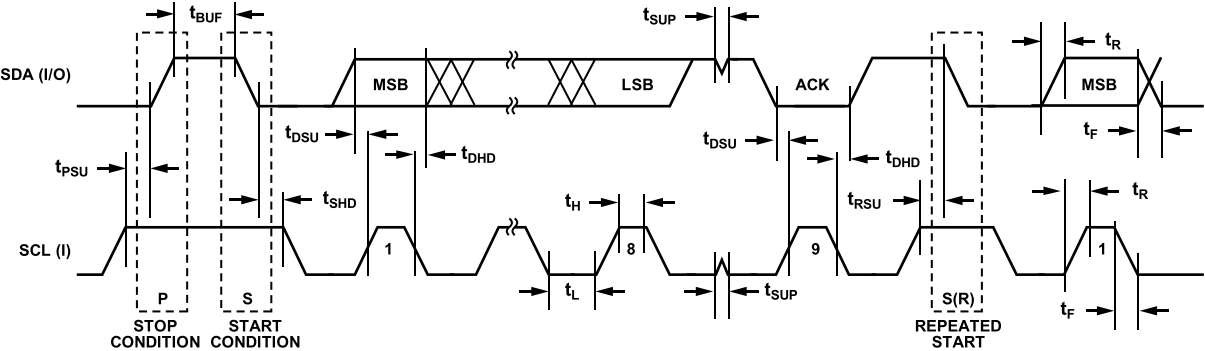


图3. I²C兼容接口时序

09743-002

ADuCM360/ADuCM361

SPI时序规格

表12. SPI主机模式时序

参数	描述	最小值	典型值	最大值	单位
t_{SL}	SCLK低电平脉宽 ¹		$(SPIDIV + 1) \times t_{UCLK}$		ns
t_{SH}	SCLK高电平脉宽 ¹		$(SPIDIV + 1) \times t_{UCLK}$		ns
t_{DAV}	SCLK边沿之后数据输出有效时间		0	35.5	ns
t_{DOSU}	SCLK边沿之前数据输出建立时间 ¹	$(SPIDIV + 1) \times t_{UCLK}$			ns
t_{DSU}	SCLK边沿之前数据输入建立时间	58.7			ns
t_{DHD}	SCLK边沿之后数据输入保持时间	16			ns
t_{DF}	数据输出下降时间		12	35.5	ns
t_{DR}	数据输出上升时间		12	35.5	ns
t_{SR}	SCLK上升时间		12	35.5	ns
t_{SF}	SCLK下降时间		12	35.5	ns

¹ $t_{UCLK} = 62.5$ ns。它对应位于时钟分频器之前的内部16 MHz时钟。

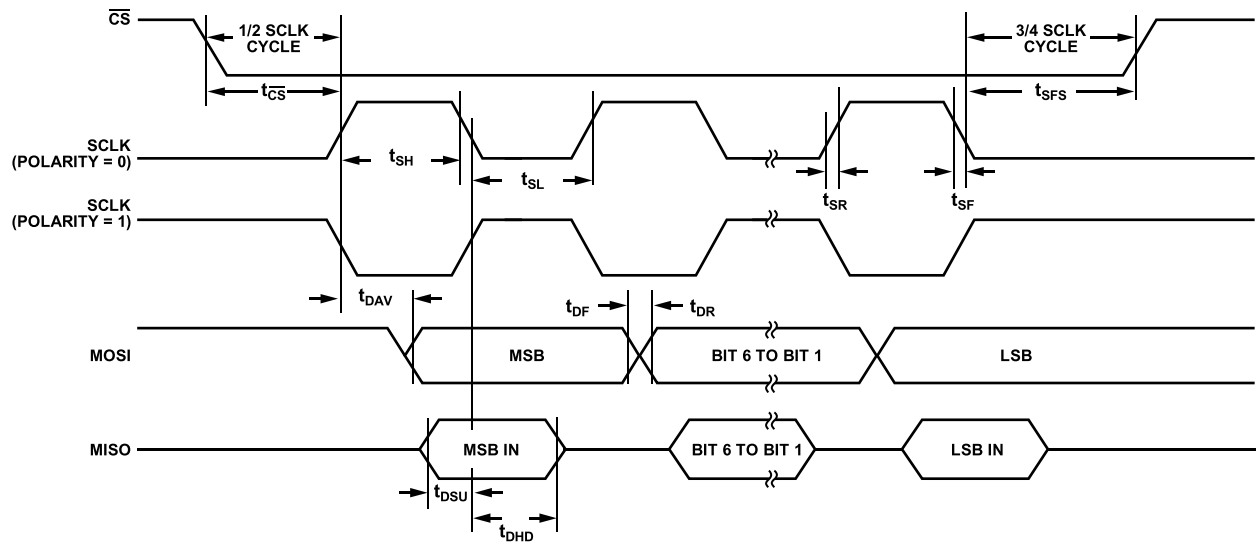


图4. SPI主机定时(相位模式 = 1)

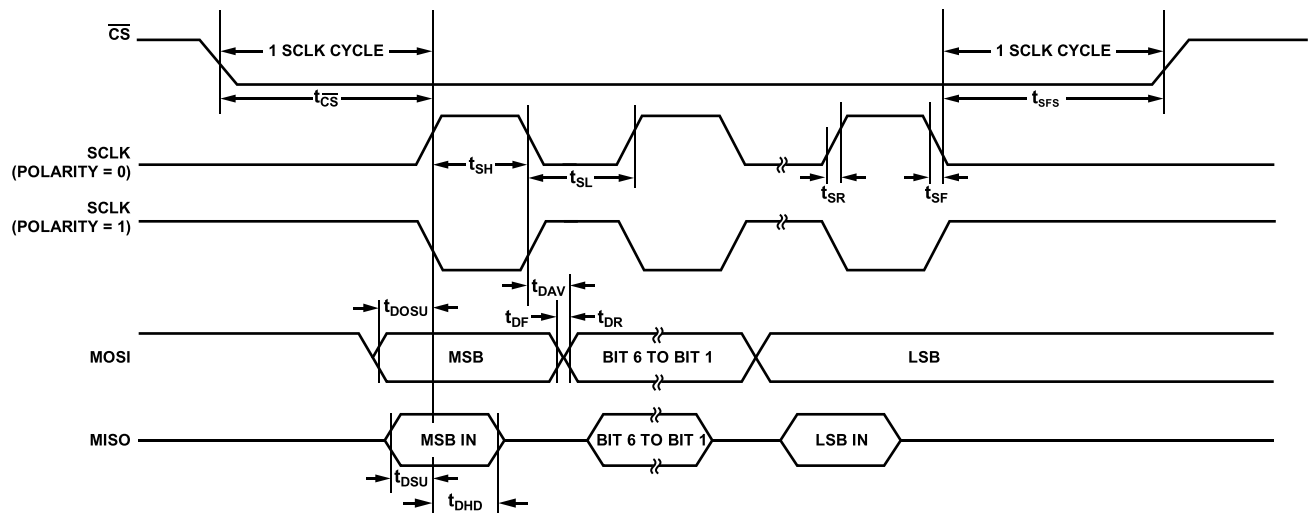


图5. SPI主机定时(相位模式 = 0)

表13. SPI从机模式时序

参数	描述	最小值	典型值	最大值	单位
$t_{\overline{CS}}$	$\overline{CS}$ 至 SCLK 边沿	62.5			ns
t_{SL}	SCLK 低电平脉宽 ¹		$(SPIDIV + 1) \times t_{UCLK}$		ns
t_{SH}	SCLK 高电平脉宽 ¹	62.5	$(SPIDIV + 1) \times t_{UCLK}$		ns
t_{DAV}	SCLK 边沿之后数据输出有效时间			49.1	ns
t_{DSU}	SCLK 边沿之前数据输入建立时间	20.2			ns
t_{DHD}	SCLK 边沿之后数据输入保持时间	10.1			ns
t_{DF}	数据输出下降时间		12	35.5	ns
t_{DR}	数据输出上升时间		12	35.5	ns
t_{SR}	SCLK 上升时间		12	35.5	ns
t_{SF}	SCLK 下降时间		12	35.5	ns
t_{DOCS}	$\overline{CS}$ 边沿之后数据输出有效			25	ns
t_{SFS}	$\overline{CS}$ 在 SCLK 沿后变高	0			ns

¹ $t_{UCLK} = 62.5$ ns。它对应位于时钟分频器之前的内部 16 MHz 时钟。

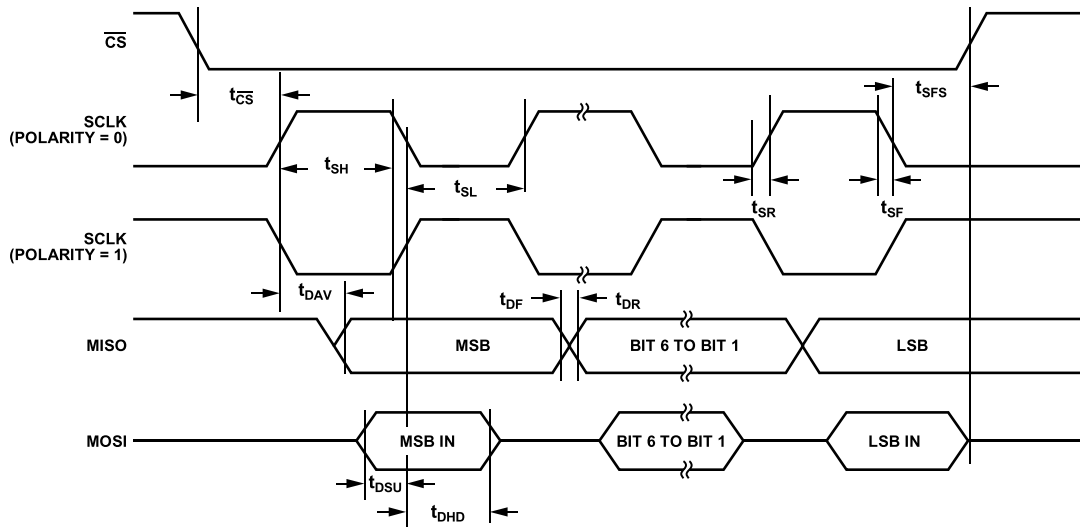


图6. SPI从机定时(相位模式 = 1)

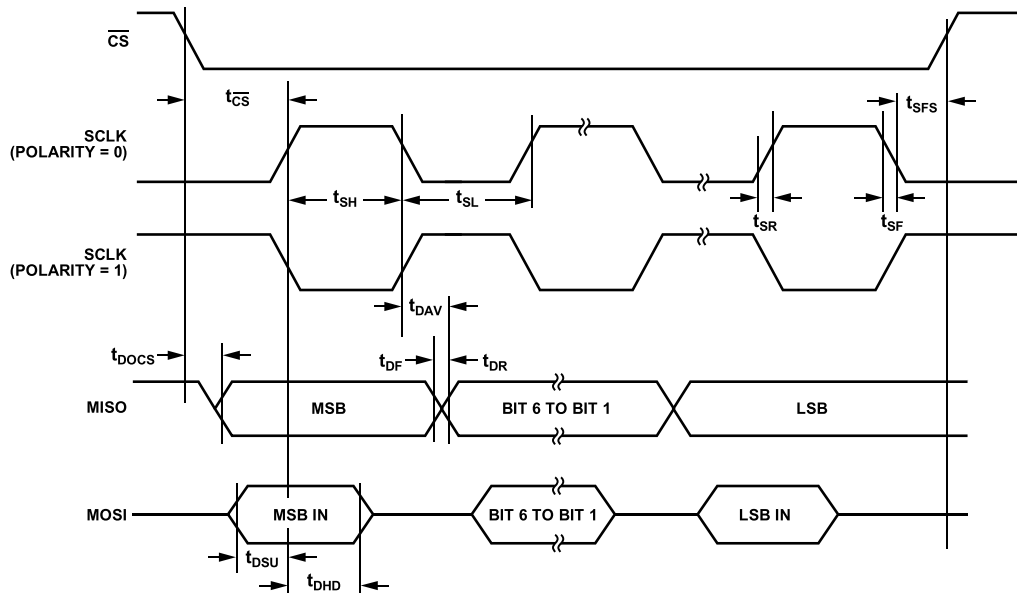


图7. SPI从机定时(相位模式 = 0)

绝对最大额定值

表14

参数	额定值
AVDD至AGND	−0.3 V至+3.96 V
IOVDD至DGND	−0.3 V至+3.96 V
AGND至DGND	−0.3 V至+0.3 V
AVDD至DVDD	−0.3 V至+0.3 V
数字输入电压至DGND	−0.3 V至+3.96 V
数字输出电压至DGND	−0.3 V至+3.96 V
模拟输入至AGND	−0.3 V至+3.96 V
工作温度范围	−40°C 至+125°C
存储温度范围	−65°C至+150°C
结温	150°C
ESD额定值，所有引脚	
人体模型(HBM)	±2.5 kV
场感应充电器件模型(FICDM)	±1 kV
回流焊峰值温度	
锡铅体系(10秒至30秒)	240°C
无铅组装(20秒至40秒)	260°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件；即器件焊接在电路板上以实现表贴封装。

表15. 热阻

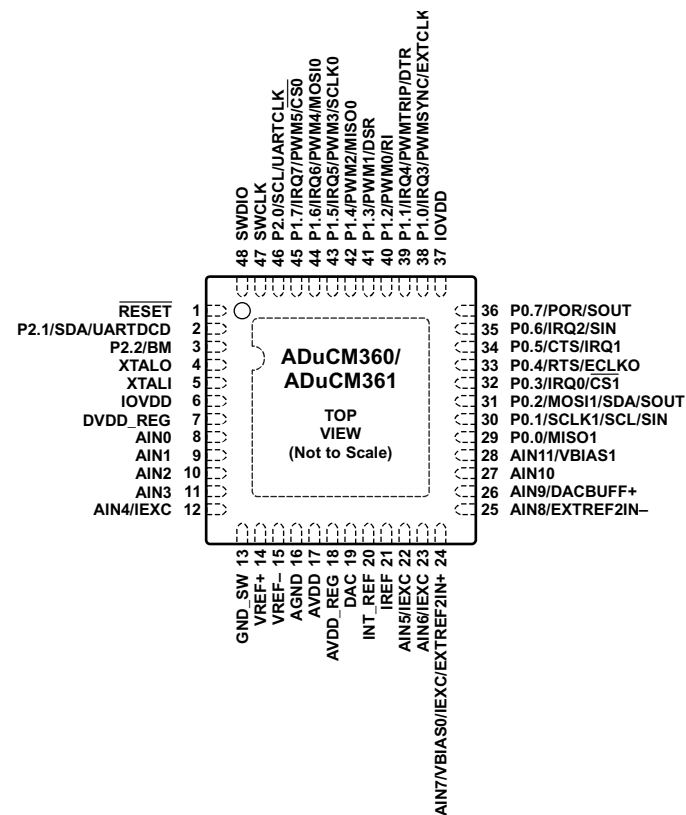
封装类型	θ_{JA}	单位
48引脚 LFCSP_WQ	27	°C/W

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE LFCSP HAS AN EXPOSED PAD THAT MUST BE SOLDERED TO A METAL PLATE ON THE PCB FOR MECHANICAL REASONS AND TO DGND.

图8. 引脚配置

表16. 引脚功能描述

引脚编号	名称	描述
1	RESET	复位引脚，低电平输入有效。提供一个内部上拉电阻。
2	P2.1/SDA/UARTDCD	通用输入/输出P2.1/I ² C串行数据引脚/UART数据载波检测引脚。
3	P2.2/BM	通用输入/输出P2.2/引导模式输入检测引脚。当该引脚在任意复位序列中及其后的较短时间内保持低电平时，该器件进入UART下载模式。
4	XTALO	外部晶体振荡器输出引脚。针对实时时钟的可选32.768 kHz源。
5	XTALI	外部晶体振荡器输入引脚。针对实时时钟的可选32.768 kHz源。
6	IOVDD	数字系统电源引脚。此引脚必须通过一个0.1 μF电容连接至DGND。
7	DVDD_REG	此引脚必须通过一个470 nF电容连接至DGND和引脚18、AVDD_REG。
8	AIN0	ADC模拟输入0。该引脚能够以差分或单端模式配置为任意ADC的正或负输入。
9	AIN1	ADC模拟输入1。该引脚能够以差分或单端模式配置为任意ADC的正或负输入。
10	AIN2	ADC模拟输入2。该引脚能够以差分或单端模式配置为任意ADC的正或负输入。
11	AIN3	ADC模拟输入3。该引脚能够以差分或单端模式配置为任意ADC的正或负输入。
12	AIN4/IEXC	ADC模拟输入4/激励电流源该引脚能够以差分或单端模式配置为任意ADC的正或负输入(AIN4)。该引脚还可配置为激励电流源0或激励电流源1(IEXC)的输出引脚。
13	GND_SW	传感器电源切换至模拟地基准电压。

ADuCM360/ADuCM361

引脚编号	名称	描述
14	VREF+	外部基准电压正输入。外部基准电压可施加在VREF+和VREF-引脚之间。
15	VREF-	外部基准电压负输入。外部基准电压可施加在VREF+和VREF-引脚之间。
16	AGND	模拟系统地基准引脚。
17	AVDD	模拟系统电源引脚。此引脚必须通过一个0.1 μ F电容连接至AGND。
18	AVDD_REG	内部模拟稳压器电源输出。此引脚必须通过一个470 nF电容连接至AGND和引脚7、DVDD_REG。
19	DAC	DAC电压输出。
20	INT_REF	内部基准电压源。此引脚必须通过一个470 nF去耦电容连接至地。
21	IREF	针对激励电流源的可选基准电流电阻连接。用于激励电流源的基准电流通过一个连接至该引脚的低漂移(5 ppm/°C)外部电阻设置。
22	AIN5/IEXC	ADC模拟输入5/激励电流源该引脚能够以差分或单端模式配置为任意ADC的正或负输入(AIN5)。该引脚还可配置为激励电流源0或激励电流源1(IEXC)的输出引脚。
23	AIN6/IEXC	ADC模拟输入6/激励电流源该引脚能够以差分或单端模式配置为任意ADC的正或负输入(AIN6)。该引脚还可配置为激励电流源0或激励电流源1(IEXC)的输出引脚。
24	AIN7/VBIAS0/IEXC/EXTREF2IN+	ADC模拟输入7/偏置电压输出/激励电流源/外部基准电压2正输入。该引脚能够以差分或单端模式配置为任意ADC的正或负输入(AIN7)。该引脚还可配置为：模拟输出引脚，以产生偏置电压(AVDD_REG/2的VBIAS0, VBIAS0)；激励电流源0或激励电流源1(IEXC)的输出引脚；或外部基准电压2的正输入(EXTREF2IN+)。
25	AIN8/EXTREF2IN-	ADC模拟输入8/外部基准电压2负输入。该引脚能够以差分或单端模式配置为任意ADC的正或负输入(AIN8)。该引脚还可配置为外部基准电压2的负输入(EXTREF2IN-)。
26	AIN9/DACBUFF+	ADC模拟输入9/DAC输出缓冲器的同相输入。该引脚能够以差分或单端模式配置为任意ADC的正或负输入(AIN9)。当DAC配置为NPN模式时，该引脚还可配置为DAC输出缓冲器的同相输入(DACBUFF+)。
27	AIN10	ADC模拟输入10。该引脚能够以差分或单端模式配置为任意ADC的正或负输入。
28	AIN11/VBIAS1	ADC模拟输入11/偏置电压输出。该引脚能够以差分或单端模式配置为任意ADC的正或负输入(AIN11)。该引脚还可配置为模拟输出引脚，以生成偏置电压(AVDD_REG/2的VBIAS1, VBIAS1)。
29	P0.0/MISO1	通用输入/输出P0.0/SPI1主机输入、从机输出引脚。
30	P0.1/SCLK1/SCL/SIN	通用输入/输出P0.1/SPI1串行时钟引脚/I ² C串行时钟引脚/UART串行输入(UART下载器的数据输入)
31	P0.2/MOSI1/SDA/SOUT	通用输入/输出P0.2/SPI1主机输出、从机输入引脚/I ² C串行数据引脚/UART串行输出(UART下载器的数据输出)。
32	P0.3/IRQ0/ $\overline{\text{CS1}}$	通用输入/输出P0.3/外部中断请求0/SPI1芯片选择引脚(低电平有效)。
33	P0.4/RTS/ECLKO	通用输入/输出P0.4/UART请求发送信号/用于测试的外部时钟输出引脚。
34	P0.5/CTS/IRQ1	通用输入/输出P0.5/UART清零发送信号/外部中断请求1。
35	P0.6/IRQ2/SIN	通用输入/输出P0.6/外部中断请求2/UART串行输入。UART下载器不使用。
36	P0.7/POR/SOUT	通用输入/输出P0.7/上电复位引脚(高电平有效)/UART串行输出。UART下载器不使用。
37	IOVDD	数字系统电源引脚。此引脚必须通过一个0.1 μ F电容连接至DGND。
38	P1.0/IRQ3/PWMSYNC/EXTCLK	通用输入/输出P1.0/外部中断请求3/PWM外部同步输入/外部时钟输入引脚。
39	P1.1/IRQ4/PWMTRIP/DTR	通用输入/输出P1.1/外部中断请求4/PWM外部触发输入/UART数据终端就绪引脚。
40	P1.2/PWM0/RI	通用输入/输出P1.2/PWM0输出/UART响铃指示引脚。
41	P1.3/PWM1/DSR	通用输入/输出P1.3/PWM1输出/UART数据设置就绪引脚。
42	P1.4/PWM2/MISO0	通用输入/输出P1.4/PWM2输出/SPI0主机输入、从机输出引脚。

引脚编号	名称	描述
43	P1.5/IRQ5/PWM3/SCLK0	通用输入/输出P1.5/外部中断请求5/PWM3输出/SPI0串行时钟引脚。
44	P1.6/IRQ6/PWM4/MOSIO	通用输入/输出P1.6/外部中断请求6/PWM4输出/SPI0主机输出、从机输入引脚。
45	P1.7/IRQ7/PWM5/ $\overline{CS0}$	通用输入/输出P1.7/外部中断请求7/PWM5输出/SPI0芯片选择引脚(低电平有效)。
46	P2.0/SCL/UARTCLK	通用输入/输出P2.0/I ² C串行时钟引脚/仅用于UART模块的输入时钟引脚。
47	SWCLK	串行线路调试时钟输入引脚。
48	SWDIO	串行线路调试数据输入/输出引脚。
	EP	裸露焊盘。LFCSP具有裸露焊盘，出于机械方面的考虑，必须将其焊接在PCB的金属片及DGND上。

典型性能参数

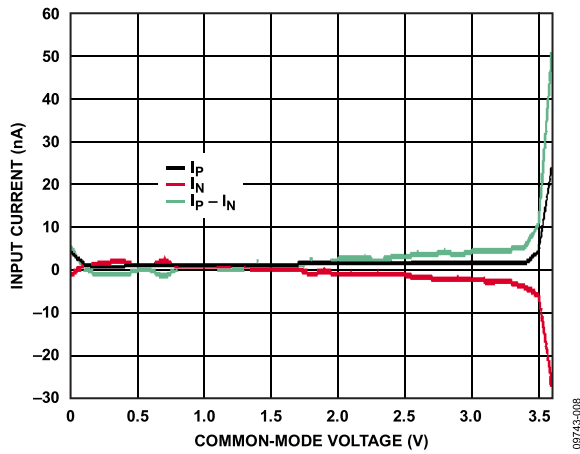


图9. 输入电流与共模电压(V_{CM})的关系, 增益 = 4、ADC输入 = 250 mV、 $AVDD = 3.6$ V、 $T_A = 25^\circ\text{C}$ 、 $V_{CM} = ((AIN+) + (AIN-))/2$

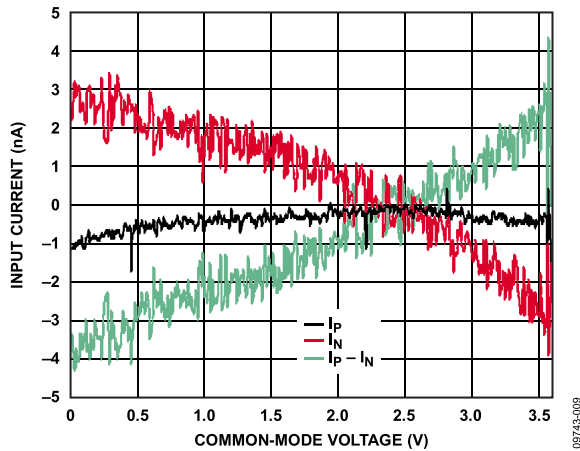


图10. 输入电流与共模电压(V_{CM})的关系, 增益 = 128、ADC输入 = 7.8125 mV、 $AVDD = 3.6$ V、 $T_A = 25^\circ\text{C}$ 、 $V_{CM} = ((AIN+) + (AIN-))/2$

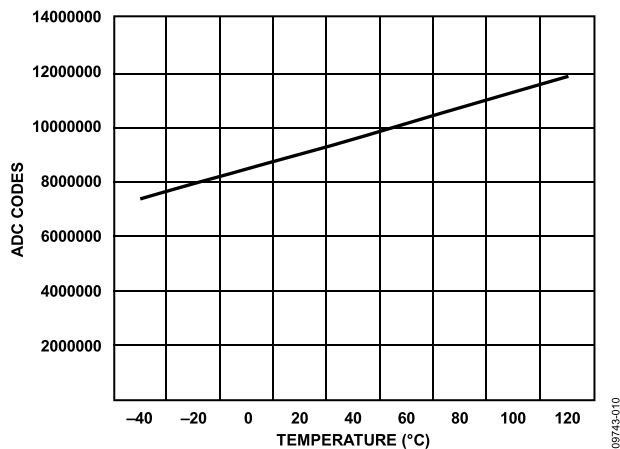


图11. ADC代码(十进制数值)与芯片温度的关系, 测量仪针对温度传感器

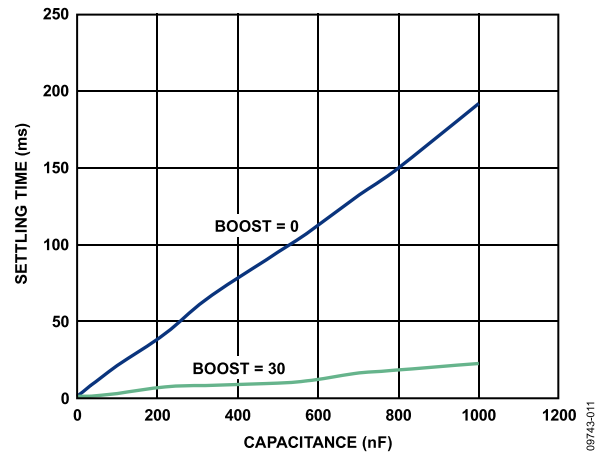


图12. VBIAS输出设置时间与负载电容的关系, $T_A = 25^\circ\text{C}$ 、 $IOVDD$ 和 $AVDD = 3.3$ V

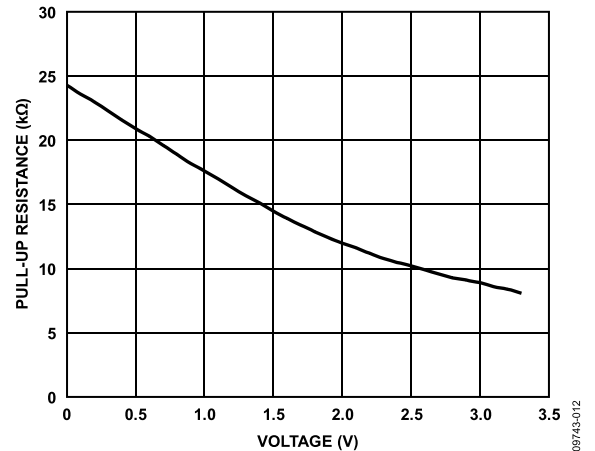


图13. 数字输入引脚上拉电阻值与施加在数字引脚上电压的关系, $T_A = 25^\circ\text{C}$ 、 $IOVDD = 3.4$ V

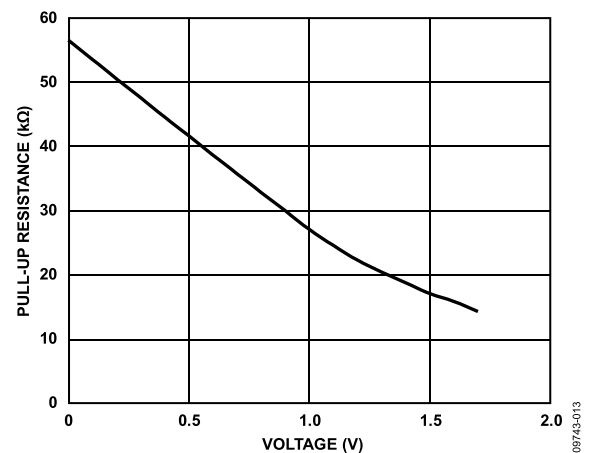


图14 数字输入引脚上拉电阻值与施加在数字引脚上电压的关系, $T_A = 25^\circ\text{C}$ 、 $IOVDD = 1.8$ V

典型系统配置

图15显示ADuCM360/ADuCM361的典型配置。该图展示了某些硬件考虑因素。LFCSP封装的底部具有裸露焊盘，出于机械方面的考虑，必须将其焊接在PCB的金属片及DGND上。PCB上的金属片可以连接到地。AVDD_REG和DVDD_REG引脚上的0.47 μF 电容应尽可能靠近引脚放置。在高噪声环境下，可添加一个额外的1 nF电容至IOVDD和AVDD。

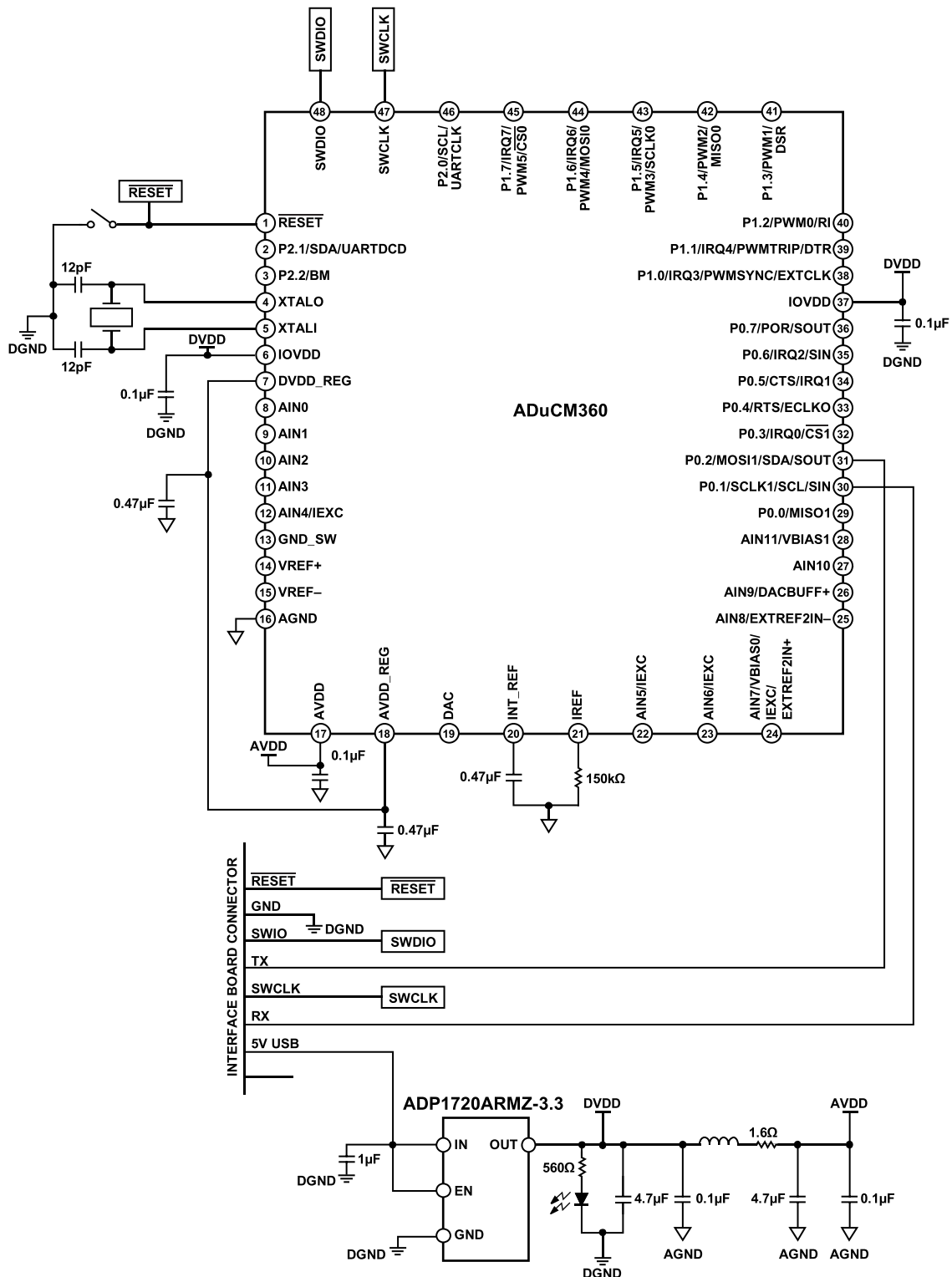
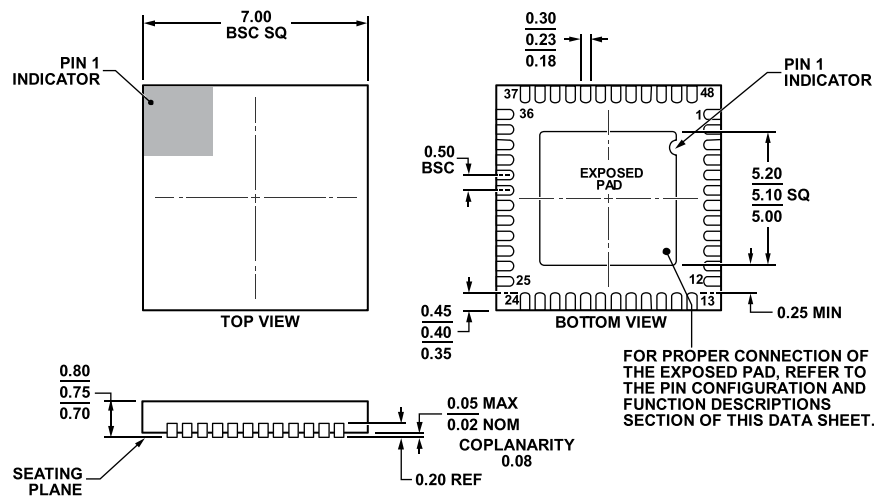


图15. 典型系统配置
Rev. C | Page 23 of 24

ADuCM360/ADuCM361

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WKKD.
图16. 48引脚引脚架构芯片级封装 [LFCSP_WQ]
7 mm x 7 mm, 超薄体
(CP-48-4)
尺寸单位: mm

订购指南

型号 ¹	ADC	闪存/SRAM	温度范围	封装描述	封装选项	订购数量
ADuCM360BCPZ128	双路24	128	−40°C至+125°C	48引脚 LFCSP_WQ	CP-48-4	750
ADuCM360BCPZ128-R7	双路24	128	−40°C至+125°C	48引脚 LFCSP_WQ	CP-48-4	
ADuCM361BCPZ128	双路24	128	−40°C至+125°C	48引脚 LFCSP_WQ	CP-48-4	
ADuCM361BCPZ128-R7	双路24	128	−40°C至+125°C	48引脚 LFCSP_WQ	CP-48-4	750
EVAL-ADuCM360QSPZ				AduCM360 QuickStart Plus开发系统		

¹ Z = 符合RoHS标准的器件。

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。