



ADP5052

产品特性

宽输入电压范围：4.5 V至15 V

输出精度: $\pm 1.5\%$ (整个温度范围内)

可调开关频率范围：250 kHz至1.4 MHz

可调/固定输出选项，可通过工厂熔丝调节

电源调节

通道1和通道2：带低端FET驱动器的可编程1.2 A/2.5 A/4 A

同步降压调节器

通道3和通道4：1.2 A同步降压调节器

通道5: 200 mA低压差(LDO)调节器

针对小负载要求，5.1 V LDO电源始终处于激活状态

8 A单通道输出(通道1和通道2并联工作)

精密使能，0.8 V精确閾值

有源输出放电开关

FPWM或自动PWM/PSM模式选择

频率同步输入或输出

针对OVP/OCP故障提供可选的闩锁保护

所选通道的电源良好指示

UVLO、OCP和TSD保护

48引脚7 mm × 7 mm LFCSP封装

结温范围：-40℃至+125℃

应用

小型蜂窝基站

FPGA和处理器应用

安防和监控

医疗应用

概述

ADP5052 在一个 48 引脚 LFCSP 封装中集成了四个高性能降压调节器和一个 200 mA 低压差 (LDO) 调节器，可满足严苛的性能和电路板空间要求。器件可直接连接高达 15 V 的输入电压，无需使用前置调节器。

通道1和通道2集成高端功率MOSFET和低端MOSFET驱动器。低端功率器件可使用外部NFET,以优化解决方案的效率并提供1.2 A、2.5 A或4 A的可编程输出电流。以并联配置方式组合通道1和通道2可提供高达8 A的单路输出电流。

典型应用电路

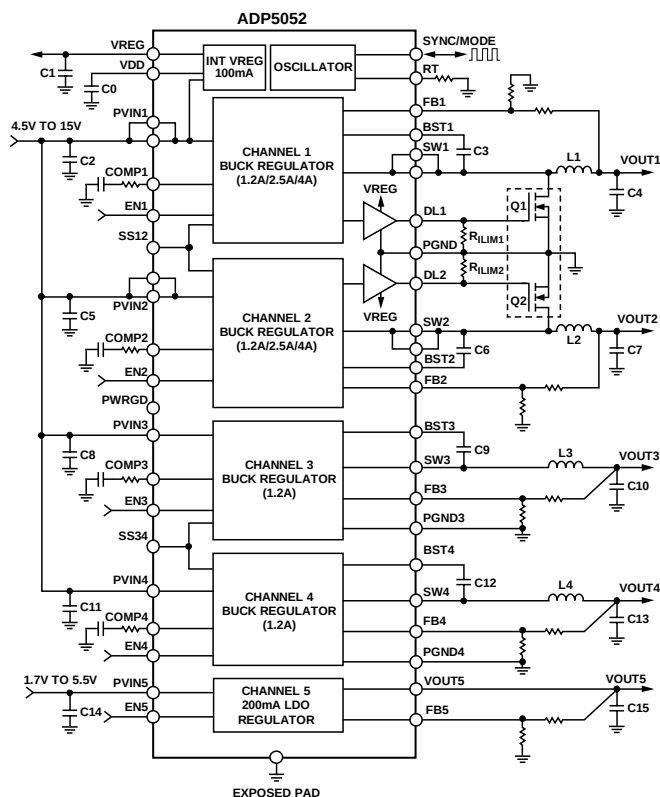


图1.

通道3和通道4同时集成高端和低端MOSFET，以提供1.2 A输出电流。

ADP5052的开关频率可编程或同步至外部时钟。ADP5052的每个通道均集成一个精密使能引脚，可方便地设置上电时序或改变可调节UVLO阈值。

ADP5052集成通用LDO调节器，具有低静态电流和低压差特性，提供高达200 mA的输出电流。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

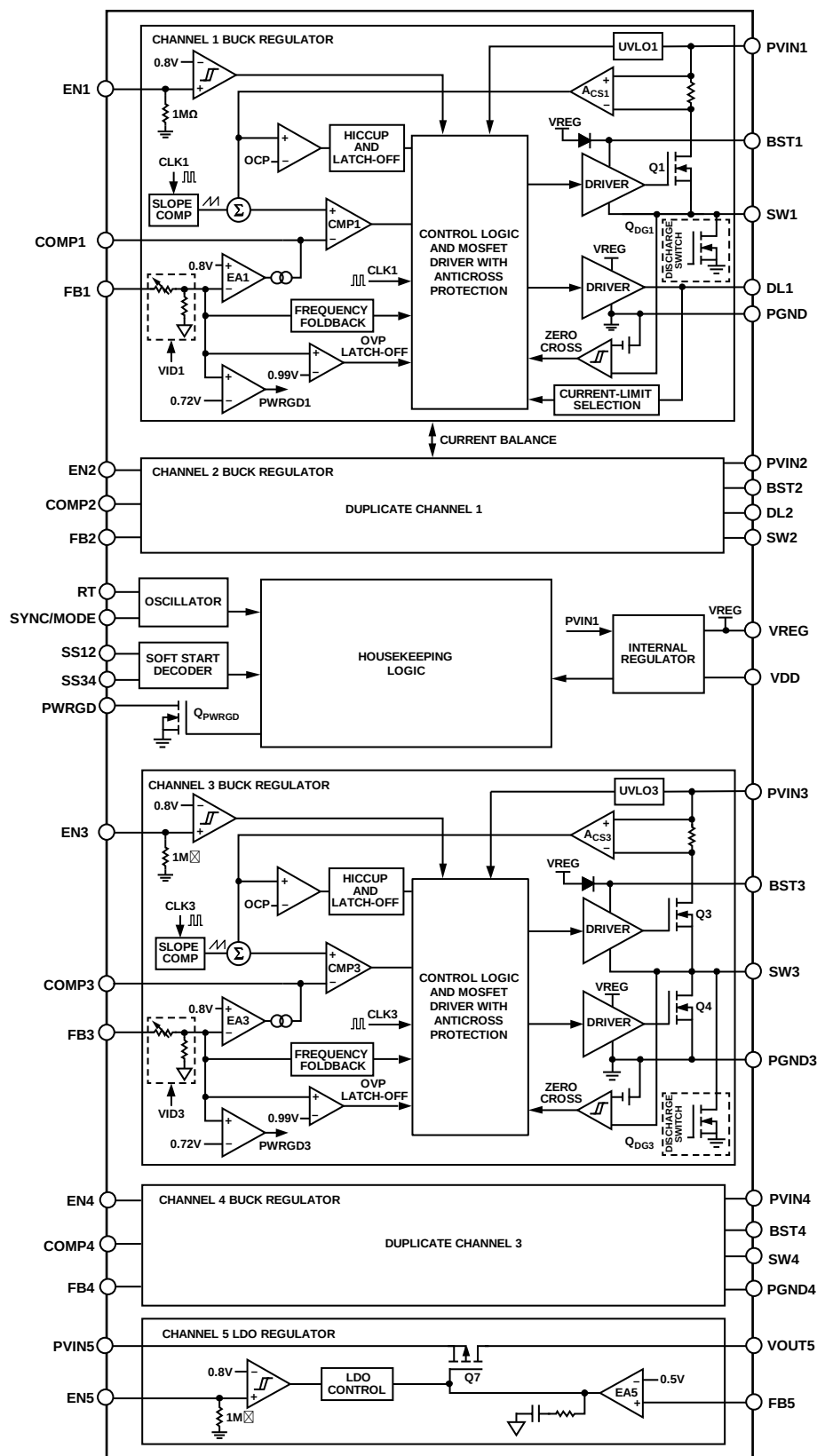
目录

特性.....	1	热关断	22
应用.....	1	LDO调节器	22
应用电路.....	1	应用信息	23
概述.....	1	ADIsimPower设计工具.....	23
修订历史.....	2	可调输出电压编程	23
详细功能框图.....	3	电压转换限制	23
技术规格	4	限流设置.....	23
降压调节器规格	5	软启动设置	24
LDO调节器规格	7	电感选择.....	24
绝对最大额定值.....	8	输出电容选择.....	24
热阻	8	输入电容选择	25
ESD警告.....	8	低端功率器件选择	25
引脚配置和功能描述	9	UVLO输入编程.....	25
典型性能参数	11	补偿器件设计	26
工作原理	17	功耗	26
降压调节器工作模式.....	17	结温	27
可调和固定输出电压.....	17	设计示例	28
内部稳压器(VREG和VDD).....	17	设置开关频率.....	28
独立电源应用	18	设置输出电压.....	28
低端器件选择	18	设置电流限值.....	28
自举电路.....	18	选择电感.....	28
有源输出放电开关	18	选择输出电容	29
精密使能.....	18	选择低端MOSFET.....	29
振荡器	18	设计补偿网络	29
同步输入/输出	19	选择软启动时间.....	29
软启动	19	选择输入电容	29
并行操作.....	20	推荐外部器件	30
带预充电输出的启动.....	20	电路板布局建议.....	31
限流保护.....	20	典型应用电路	32
折频	21	工厂编程选项	35
打嗝保护.....	21	工厂默认选项	37
白锁保护.....	21	外形尺寸	38
欠压闭锁(UVLO).....	22	订购指南.....	38
电源良好功能	22		

修订历史

2013年5月—修订版0：初始版

详细功能框图



10900-202

图2.

ADP5052

技术规格

除非另有说明，对于最小值/最大值规格， $V_{IN} = 12\text{ V}$ ， $V_{VREG} = 5.1\text{ V}$ ， $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；对于典型值规格， $T_A = 25^{\circ}\text{C}$ 。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
输入电源电压范围	V_{IN}	4.5		15.0	V	PVIN1、PVIN2、PVIN3、PVIN4引脚
静态电流						PVIN1、PVIN2、PVIN3、PVIN4引脚
工作静态电流	$I_{Q(4-BUCKS)}$		4.8	6.25	mA	无切换，所有ENx引脚均为高电平
	$I_{SHDN(4BUCKS+LDO)}$		25	65	μA	所有ENx引脚均为低电平
欠压闭锁	UVLO					PVIN1、PVIN2、PVIN3、PVIN4引脚
上升阈值	$V_{UVLO-RISING}$		4.2	4.36	V	
下降阈值	$V_{UVLO-FALLING}$	3.6	3.78		V	
迟滞	V_{HYS}		0.42		V	
振荡器电路						
开关频率	f_{SW}	700	740	780	kHz	RT = 25.5 k Ω
开关频率范围		250		1400	kHz	
SYNC输入						
输入时钟范围	f_{SYNC}	250		1400	kHz	
输入时钟脉冲宽度						
最短导通时间	$t_{SYNC_MIN_ON}$	100			ns	
最短关断时间	$t_{SYNC_MIN_OFF}$	100			ns	
输入时钟高电压	$V_{H(SYNC)}$	1.3			V	
输入时钟低电压	$V_{L(SYNC)}$			0.4	V	
SYNC输出						
时钟频率	f_{CLK}		f_{SW}		kHz	
正脉冲占空比	$t_{CLK_PULSE_DUTY}$		50		%	
上升或下降时间	$t_{CLK_RISE_FALL}$		10		ns	
高电平电压	$V_{H(SYNC_OUT)}$		V_{VREG}		V	
精密使能						EN1、EN2、EN3、EN4、EN5输入
高电平阈值	$V_{TH_H(EN)}$		0.806	0.832	V	
低电平阈值	$V_{TH_L(EN)}$	0.688	0.725		V	
下拉电阻	$R_{PULL-DOWN(EN)}$		1.0		M Ω	
电源良好						
内部电源良好上升阈值	$V_{PWRGD(RISE)}$	86.3	90.5	95	%	$I_{PWRGD} = 1\text{ mA}$
内部电源良好迟滞	$V_{PWRGD(HYS)}$		3.3		%	
内部电源良好下降延迟	t_{PWRGD_FALL}		50		μs	
PWRGD引脚的上升延迟	$t_{PWRGD_PIN_RISE}$		1		ms	
PWRGD引脚的漏电流	$I_{PWRGD_LEAKAGE}$		0.1	1	μA	
PWRGD引脚的输出低电压	V_{PWRGD_LOW}		50	100	mV	
内部调节器						
VDD输出电压	V_{VDD}	3.2	3.305	3.4	V	$I_{VDD} = 10\text{ mA}$
VDD电流限值	I_{LIM_VDD}	20	51	80	mA	
VREG输出电压	V_{VREG}	4.9	5.1	5.3	V	$I_{VREG} = 50\text{ mA}$
VREG压差电压	$V_{DROPOUT}$		225		mV	
VREG电流限值	I_{LIM_VREG}	50	95	140	mA	
热关断						
热关断阈值	T_{SHDN}		150		$^{\circ}\text{C}$	
热关断迟滞	T_{HYS}		15		$^{\circ}\text{C}$	

降压调节器规格

除非另有说明，对于最小值/最大值规格， $V_{IN} = 12\text{ V}$ ， $V_{VREG} = 5.1\text{ V}$ ， $f_{SW} = 600\text{ kHz}$ (所有通道)， $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；对于典型值规格， $T_A = 25^\circ\text{C}$ 。

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
通道1同步降压调节器						
FB1引脚						
固定输出选项	V_{OUT1}	0.85		1.60	V	熔丝调整
可调反馈电压	V_{FB1}		0.800		V	
反馈电压精度	$V_{FB1}(\text{DEFAULT})$	-0.55		+0.55	%	$T_J = 25^\circ\text{C}$
		-1.25		+1.0	%	$0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$
		-1.5		+1.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
反馈偏置电流	I_{FB1}			0.1	μA	可调电压
SW1引脚						
高端功率FET 导通电阻	$R_{DS(ON)(1H)}$		100		$\text{m}\Omega$	引脚对引脚测量
限流阈值	$I_{TH}(\text{ILIM1})$	3.50	4.4	5.28	A	$R_{ILIM1} = \text{悬空}$
		1.91	2.63	3.08	A	$R_{ILIM1} = 47\text{ k}\Omega$
		4.95	6.44	7.48	A	$R_{ILIM1} = 22\text{ k}\Omega$
最短导通时间	$t_{\text{MIN_ON1}}$		117	155	ns	$f_{SW} = 250\text{ kHz}$ 至 1.4 MHz
最短关断时间	$t_{\text{MIN_OFF1}}$		$1/9 \times t_{SW}$		ns	$f_{SW} = 250\text{ kHz}$ 至 1.4 MHz
低端驱动器，DL1引脚						
上升时间	t_{RISING1}		20		ns	$C_{ISS} = 1.2\text{ nF}$
下降时间	t_{FALLING1}		3.4		ns	$C_{ISS} = 1.2\text{ nF}$
源电流电阻	$t_{\text{SOURCING1}}$		10		Ω	
吸电流电阻	t_{SINKING1}		0.95		Ω	
误差放大器(EA)，COMP1引脚						
EA跨导	g_{m1}	310	470	620	μS	
软启动						
软启动时间	t_{SS1}		2.0		ms	SS12连接到VREG
可编程软启动范围		2.0		8.0	ms	
打嗝时间	t_{HICCUP1}		$7 \times t_{SS1}$		ms	
C_{OUT} 放电开关导通电阻	R_{DIS1}		250		Ω	
通道2同步降压调节器						
FB2引脚						
固定输出选项	V_{OUT2}	3.3		5.0	V	熔丝调整
可调反馈电压	V_{FB2}		0.800		V	
反馈电压精度	$V_{FB2}(\text{DEFAULT})$	-0.55		+0.55	%	$T_J = 25^\circ\text{C}$
		-1.25		+1.0	%	$0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$
		-1.5		+1.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
反馈偏置电流	I_{FB2}			0.1	μA	可调电压
SW2引脚						
高端功率FET 导通电阻	$R_{DS(ON)(2H)}$		110		$\text{m}\Omega$	引脚对引脚测量
限流阈值	$I_{TH}(\text{ILIM2})$	3.50	4.4	5.28	A	$R_{ILIM2} = \text{悬空}$
		1.91	2.63	3.08	A	$R_{ILIM2} = 47\text{ k}\Omega$
		4.95	6.44	7.48	A	$R_{ILIM2} = 22\text{ k}\Omega$
最短导通时间	$t_{\text{MIN_ON2}}$		117	155	ns	$f_{SW} = 250\text{ kHz}$ 至 1.4 MHz
最短关断时间	$t_{\text{MIN_OFF2}}$		$1/9 \times t_{SW}$		ns	$f_{SW} = 250\text{ kHz}$ 至 1.4 MHz
低端驱动器，DL2引脚						
上升时间	t_{RISING2}		20		ns	$C_{ISS} = 1.2\text{ nF}$
下降时间	t_{FALLING2}		3.4		ns	$C_{ISS} = 1.2\text{ nF}$
源电流电阻	$t_{\text{SOURCING2}}$		10		Ω	
吸电流电阻	t_{SINKING2}		0.95		Ω	

ADP5052

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
误差放大器(EA), COMP2引脚						
EA跨导	g_{m2}	310	470	620	μS	
软启动						
软启动时间	t_{SS2}		2.0		ms	SS12连接到VREG
可编程软启动范围		2.0		8.0	ms	
打嗝时间	$t_{HICCUP2}$		$7 \times t_{SS2}$		ms	
C_{OUT} 放电开关导通电阻	R_{DIS2}		250		Ω	
通道3同步降压调节器						
FB3引脚						
固定输出选项	V_{OUT3}	1.20		1.80	V	熔丝调整
可调反馈电压	V_{FB3}		0.800		V	
反馈电压精度	$V_{FB3(DEFAULT)}$	-0.55		+0.55	%	$T_J = 25^{\circ}C$
		-1.25		+1.0	%	$0^{\circ}C \leq T_J \leq 85^{\circ}C$
		-1.5		+1.5	%	$-40^{\circ}C \leq T_J \leq +125^{\circ}C$
反馈偏置电流	I_{FB3}			0.1	μA	可调电压
SW3引脚						
高端功率FET	$R_{DS(ON)(3H)}$		225		m Ω	引脚对引脚测量
导通电阻						
低端功率FET	$R_{DS(ON)(3L)}$		150		m Ω	引脚对引脚测量
导通电阻						
限流阈值	$I_{TH(ILIM3)}$	1.7	2.2	2.55	A	
最短导通时间	t_{MIN_ON3}		90	120	ns	$f_{SW} = 250\text{ kHz至}1.4\text{ MHz}$
最短关断时间	t_{MIN_OFF3}		$1/9 \times t_{SW}$		ns	$f_{SW} = 250\text{ kHz至}1.4\text{ MHz}$
误差放大器(EA), COMP3引脚						
EA跨导	g_{m3}	310	470	620	μS	
软启动						
软启动时间	t_{SS3}		2.0		ms	SS34连接到VREG
可编程软启动范围		2.0		8.0	ms	
打嗝时间	$t_{HICCUP3}$		$7 \times t_{SS3}$		ms	
C_{OUT} 放电开关导通电阻	R_{DIS3}		250		Ω	
通道4同步降压调节器						
FB4引脚						
固定输出选项	V_{OUT4}	2.5		5.5	V	熔丝调整
可调反馈电压	V_{FB4}		0.800		V	
反馈电压精度	$V_{FB4(DEFAULT)}$	-0.55		+0.55	%	$T_J = 25^{\circ}C$
		-1.25		+1.0	%	$0^{\circ}C \leq T_J \leq 85^{\circ}C$
		-1.5		+1.5	%	$-40^{\circ}C \leq T_J \leq +125^{\circ}C$
反馈偏置电流	I_{FB4}			0.1	μA	
SW4引脚						
高端功率FET	$R_{DS(ON)(4H)}$		225		m Ω	引脚对引脚测量
导通电阻						
低端功率FET	$R_{DS(ON)(4L)}$		150		m Ω	引脚对引脚测量
导通电阻						
限流阈值	$I_{TH(ILIM4)}$	1.7	2.2	2.55	A	
最短导通时间	t_{MIN_ON4}		90	120	ns	$f_{SW} = 250\text{ kHz至}1.4\text{ MHz}$
最短关断时间	t_{MIN_OFF4}		$1/9 \times t_{SW}$		ns	$f_{SW} = 250\text{ kHz至}1.4\text{ MHz}$
误差放大器(EA), COMP4引脚						
EA跨导	g_{m4}	310	470	620	μS	
软启动						
软启动时间	t_{SS4}		2.0		ms	SS34连接到VREG
可编程软启动范围		2.0		8.0	ms	
打嗝时间	$t_{HICCUP4}$		$7 \times t_{SS4}$		ms	
C_{OUT} 放电开关导通电阻	R_{DIS4}		250		Ω	

LDO调节器规格

除非另有说明, $V_{IN5} = (V_{OUT5} + 0.5 \text{ V})$ 或 1.7 V (取较大值) 至 5.5 V; $C_{IN} = C_{OUT} = 1 \mu\text{F}$; 对于最小值/最大值规格, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$; 对于典型值规格, $T_A = 25^\circ\text{C}$ 。

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
输入电源电压范围	1.7		5.5	V	PVIN5引脚
工作电源电流					
LDO调节器的偏置电流		30	130	μA	$I_{OUT5} = 200 \mu\text{A}$
		60	170	μA	$I_{OUT5} = 10 \text{ mA}$
		145	320	μA	$I_{OUT5} = 200 \text{ mA}$
电压反馈(FB5引脚)					
可调反馈电压		0.500		V	$T_J = 25^\circ\text{C}$
反馈电压精度	-1.0		+1.0	%	$0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$
	-1.6		+1.6	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
	-2.0		+2.0	%	
压差					
		80		mV	$I_{OUT5} = 200 \text{ mA}$
		100		mV	$V_{OUT5} = 3.3 \text{ V}$
		180		mV	$V_{OUT5} = 2.5 \text{ V}$
				mV	$V_{OUT5} = 1.5 \text{ V}$
限流阈值	250	510		mA	输出电压降至额定典型值的90%
输出噪声		92		$\mu\text{V rms}$	10 Hz至100 kHz, $V_{PVIN5} = 5 \text{ V}$, $V_{OUT5} = 1.8 \text{ V}$
电源抑制比					$V_{PVIN5} = 5 \text{ V}$, $V_{OUT5} = 1.8 \text{ V}$, $I_{OUT5} = 1 \text{ mA}$
		77		dB	10 kHz
		66		dB	100 kHz

绝对最大额定值

表4.

参数	额定值
PVIN1至PGND	−0.3 V至+18 V
PVIN2至PGND	−0.3 V至+18 V
PVIN3至PGND3	−0.3 V至+18 V
PVIN4至PGND4	−0.3 V至+18 V
PVIN5至GND	−0.3 V至+6.5 V
SW1至PGND	−0.3 V至+18 V
SW2至PGND	−0.3 V至+18 V
SW3至PGND3	−0.3 V至+18 V
SW4至PGND4	−0.3 V至+18 V
PGND至GND	−0.3 V至+0.3 V
PGND3至GND	−0.3 V至+0.3 V
PGND4至GND	−0.3 V至+0.3 V
BST1至SW1	−0.3 V至+6.5 V
BST2至SW2	−0.3 V至+6.5 V
BST3至SW3	−0.3 V至+6.5 V
BST4至SW4	−0.3 V至+6.5 V
DL1至PGND	−0.3 V至+6.5 V
DL2至PG ND	−0.3 V至+6.5 V
SS12, SS34至GND	−0.3 V至+6.5 V
EN1, EN2, EN3, EN4, EN5至GND	−0.3 V至+6.5 V
VREG至GND	−0.3 V至+6.5 V
SYNC/MODE至GND	−0.3 V至+6.5 V
VOUT5, FB5至GND	−0.3 V至+6.5 V
RT至GND	−0.3 V至+3.6 V
PWRGD至GND	−0.3 V至+6.5 V
FB1, FB2, FB3, FB4至GND ¹	−0.3 V至+3.6 V
FB2至GND ²	−0.3 V至+6.5 V
FB4至GND ²	−0.3 V至+7 V
COMP1, COMP2, COMP3, COMP4至GND	−0.3 V至+3.6 V
VDD至GND	−0.3 V至+3.6 V
存储温度范围	−65°C至+150°C
工作结温范围	−40°C至+125°C

¹ 此额定值适用于ADP5052的可调输出电压型号。

² 此额定值适用于ADP5052的固定输出电压型号。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
48引脚 LFCSP	27.87	2.99	°C/W

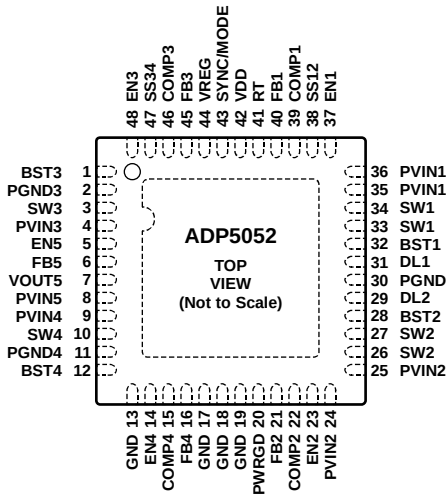
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED AND SOLDERED TO AN EXTERNAL GROUND PLANE.

10900-002

图3. 引脚配置

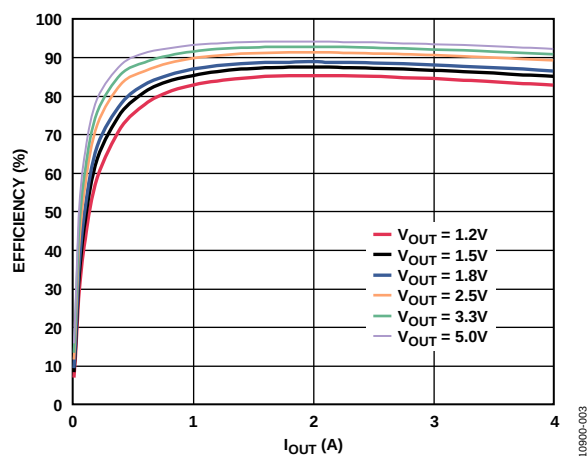
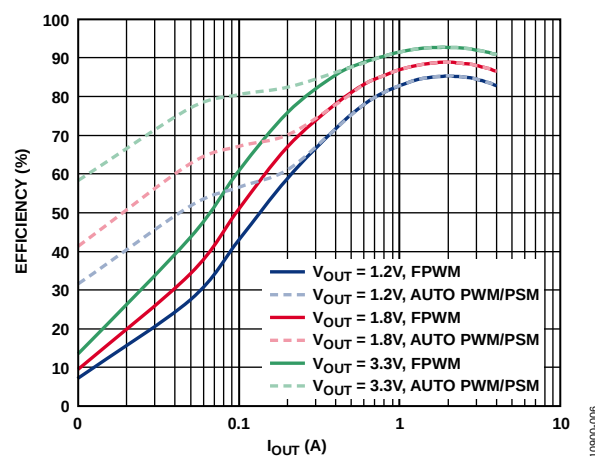
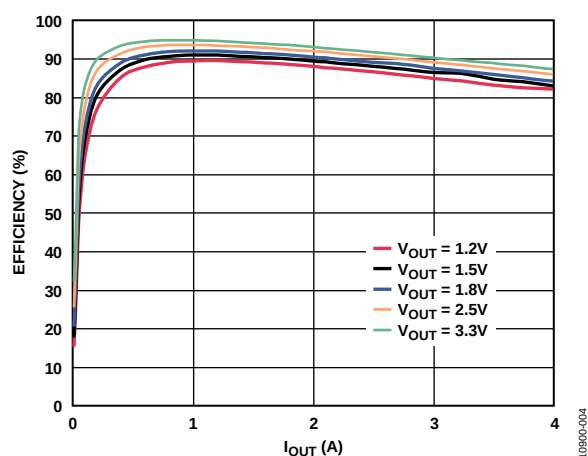
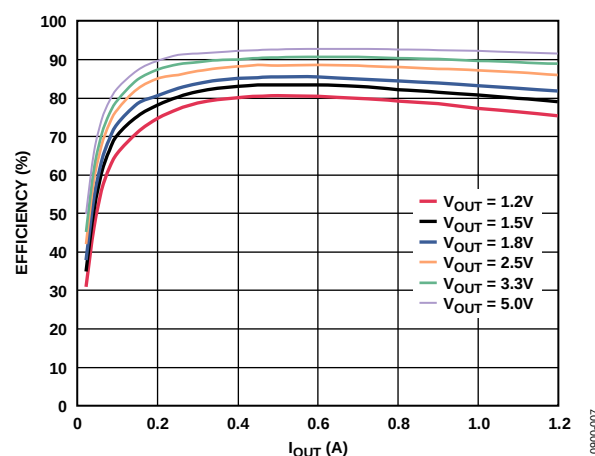
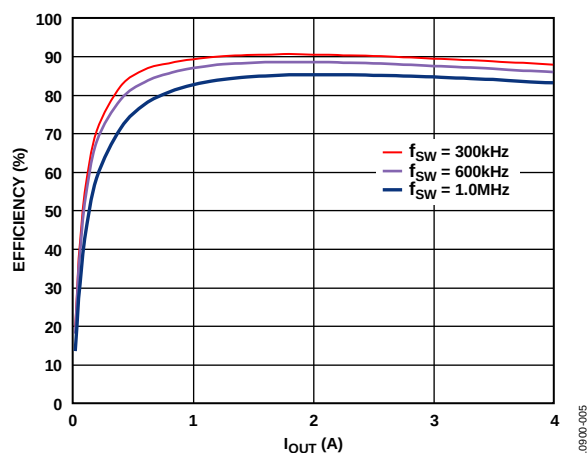
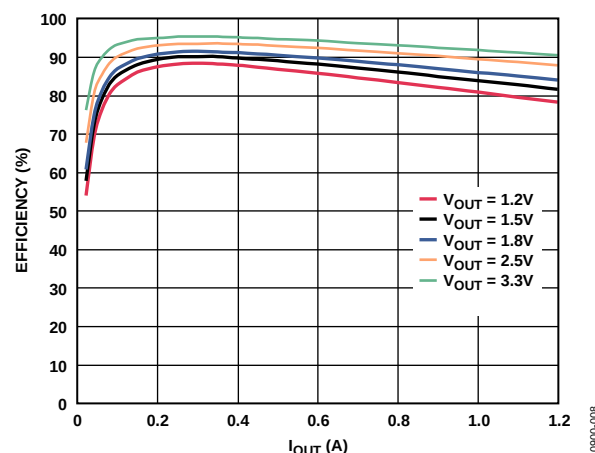
表6. 引脚功能描述

引脚编号	引脚名称	说明
1	BST3	通道3的高端FET驱动器电源。
2	PGND3	通道3的电源地。
3	SW3	通道3的开关节点输出。
4	PVIN3	通道3的电源输入。在此引脚和地之间连接一个旁路电容。
5	EN5	通道5的使能输入。可使用外部电阻分压器来设定启动阈值。
6	FB5	通道5的反馈检测输入引脚。
7	VOUT5	通道5的电源输出。
8	PVIN5	通道5的电源输入。在此引脚和地之间连接一个旁路电容。
9	PVIN4	通道4的电源输入。在此引脚和地之间连接一个旁路电容。
10	SW4	通道4的开关节点输出。
11	PGND4	通道4的电源地。
12	BST4	通道4的高端FET驱动器电源。
13	GND	此引脚仅用于内部测试。连接此引脚到地。
14	EN4	通道4的使能输入。可使用外部电阻分压器来设定启动阈值。
15	COMP4	通道4的误差放大器输出引脚。在此引脚与地之间连接一个RC网络。
16	FB4	通道4的反馈检测输入引脚。
17, 18, 19	GND	这些引脚仅用于内部测试。连接这些引脚到地。
20	PWRGD	电源良好信号输出。此开漏输出是所选通道的电源良好信号。
21	FB2	通道2的反馈检测输入引脚。
22	COMP2	通道2的误差放大器输出引脚。在此引脚与地之间连接一个RC网络。
23	EN2	通道2的使能输入。可使用外部电阻分压器来设定启动阈值。
24, 25	PVIN2	通道2的电源输入。在此引脚和地之间连接一个旁路电容。
26, 27	SW2	通道2的开关节点输出。
28	BST2	通道2的高端FET驱动器电源。
29	DL2	通道2的低端FET栅极驱动器。在此引脚与地之间连接一个电阻可设置通道2的限流阈值。
30	PGND	通道1和通道2的电源地。
31	DL1	通道1的低端FET栅极驱动器。在此引脚与地之间连接一个电阻可设置通道1的限流阈值。
32	BST1	通道1的高端FET驱动器电源。

ADP5052

引脚编号	引脚名称	说明
33, 34	SW1	通道1的开关节点输出。
35, 36	PVIN1	内部5.1 V VREG线性调节器和通道1降压调节器的电源输入。在此引脚和地之间连接一个旁路电容。
37	EN1	通道1的使能输入。可使用外部电阻分压器来设定启动阈值。
38	SS12	在此引脚与VREG和地之间连接一个电阻分压器，用以配置通道1和通道2的软启动时间(参见“软启动”部分)。此引脚还用来配置通道1和通道2的并行操作(参见“并行操作”部分)。
39	COMP1	通道1的误差放大器输出引脚。在此引脚与地之间连接一个RC网络。
40	FB1	通道1的反馈检测输入引脚。
41	RT	将一个电阻连接在RT和地之间，用以在250 kHz至1.4 MHz之间设置开关频率。更多信息参见“振荡器”部分。
42	VDD	内部3.3 V线性调节器的输出。在此引脚与地之间连接一个1 μ F陶瓷电容。
43	SYNC/MODE	同步输入/输出(SYNC)。要将器件的开关频率与外部时钟同步，可将该引脚连接至频率为250 kHz至1.4 MHz的外部时钟。也可利用工厂熔丝将此引脚配置为同步输出。 强制PWM或自动PWM/PSM选择引脚(MODE)。此引脚为逻辑高电平时，器件以强制PWM (FPWM)模式工作。此引脚为逻辑低电平时，器件以自动PWM/PSM模式工作。
44	VREG	内部5.1 V线性调节器的输出。在此引脚与地之间连接一个1 μ F陶瓷电容。
45	FB3	通道3的反馈检测输入引脚。
46	COMP3	通道3的误差放大器输出引脚。在此引脚与地之间连接一个RC网络。
47	SS34	在此引脚与VREG和地之间连接一个电阻分压器，用以配置通道3和通道4的软启动时间(参见“软启动”部分)。
48	EN3	通道3的使能输入。可使用外部电阻分压器来设定启动阈值。
	EPAD	裸露焊盘(模拟地)。裸露焊盘必须连接并焊接到外部接地层。

典型工作特性

图4. 通道1/通道2效率曲线, $V_{IN} = 12\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM模式图7. 通道1/通道2效率曲线, $V_{IN} = 12\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM和自动PWM/PSM模式图5. 通道1/通道2效率曲线, $V_{IN} = 5.0\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM模式图8. 通道3/通道4效率曲线, $V_{IN} = 12\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM模式图6. 通道1/通道2效率曲线, $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.8\text{ V}$, FPWM模式图9. 通道3/通道4效率曲线, $V_{IN} = 5.0\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM模式

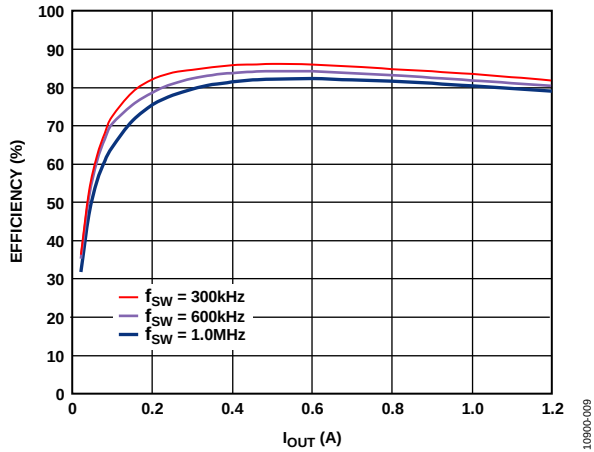


图10. 通道3/通道4效率曲线, $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.8\text{ V}$, FPWM模式

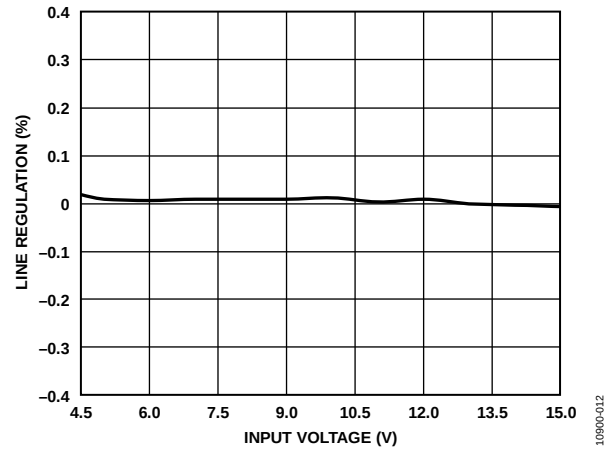


图13. 通道1电压调整率, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 4\text{ A}$, $f_{SW} = 600\text{ kHz}$, FPWM模式

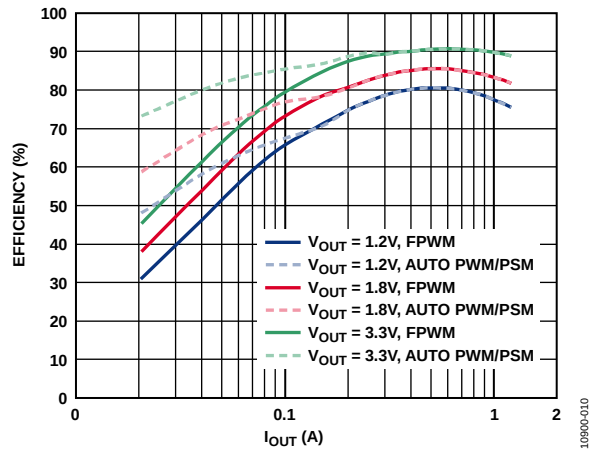


图11. 通道3/通道4效率曲线, $V_{IN} = 12\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM和自动PWM/PSM模式

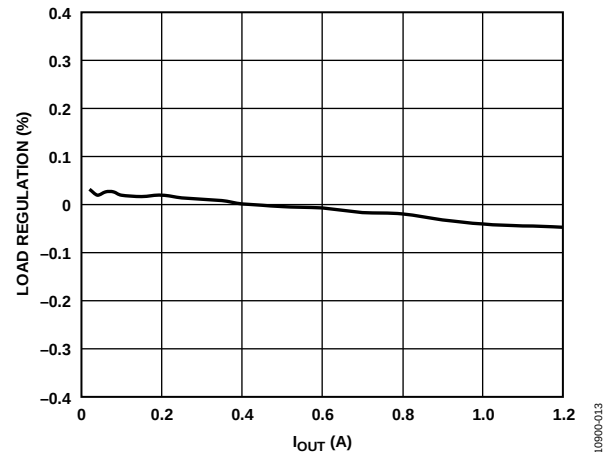


图14. 通道3负载调整率, $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM模式

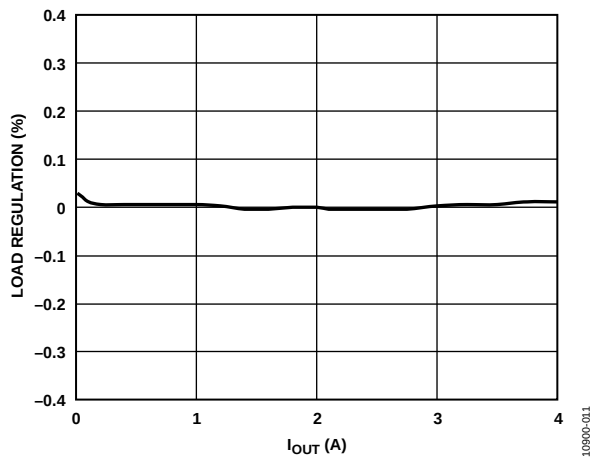


图12. 通道1负载调整率, $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM模式

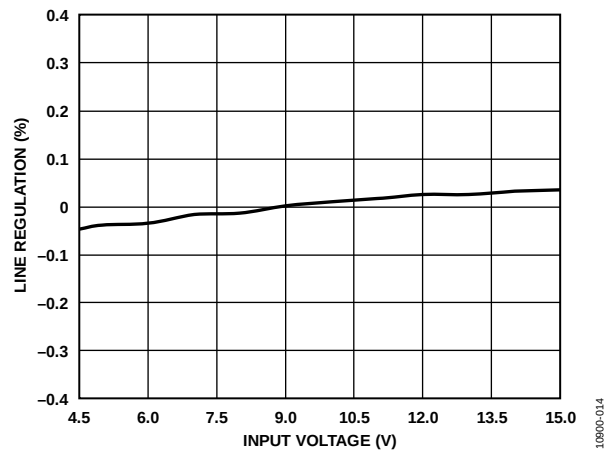


图15. 通道3电压调整率, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 1\text{ A}$, $f_{SW} = 600\text{ kHz}$, FPWM模式

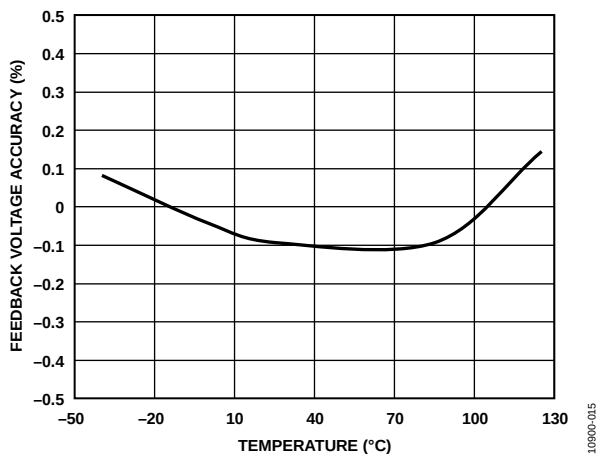


图16. 0.8 V反馈电压精度与温度的关系(通道1, 可调输出型号)

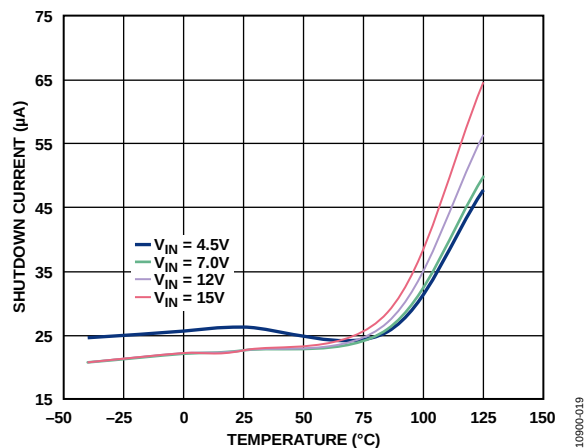
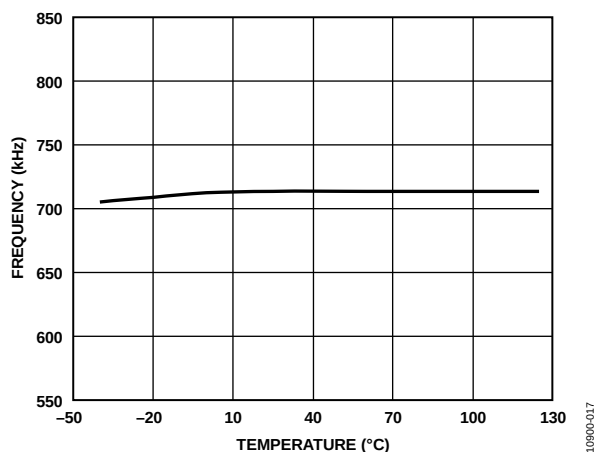
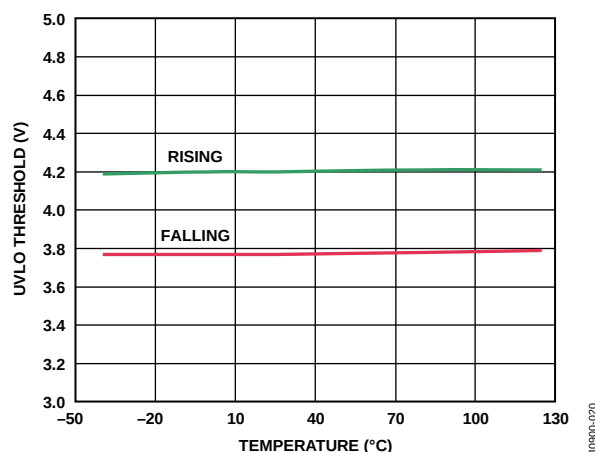
图19. 关断电流与温度的关系
(EN1、EN2、EN3、EN4和EN5均为低电平)图17. 频率与温度的关系, $V_{IN} = 12\text{ V}$ 

图20. 欠压闭锁(UVLO)阈值与温度的关系

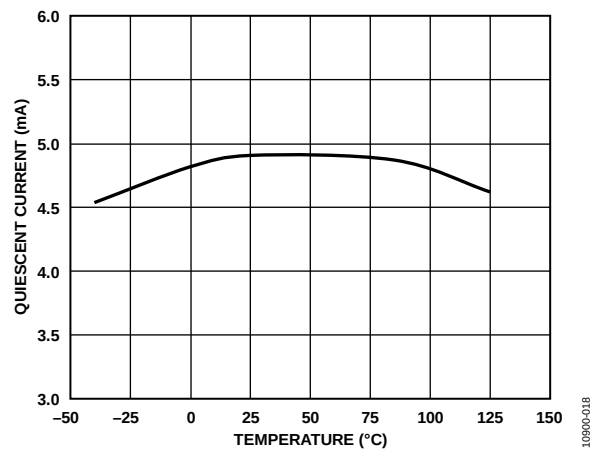


图18. 静态电流与温度的关系(包括PVIN1、PVIN2、PVIN3和PVIN4)

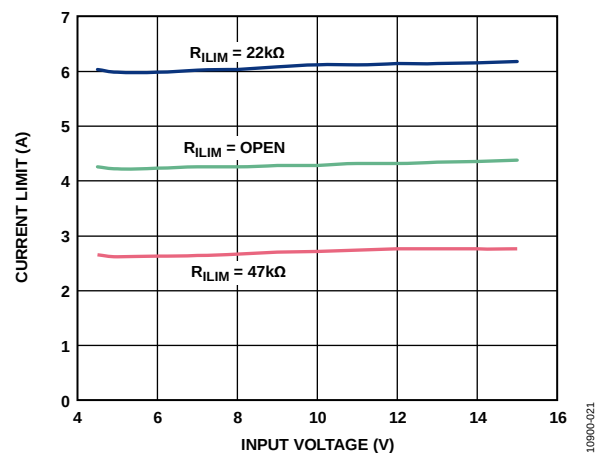


图21. 通道1/通道2电流限值与输入电压的关系

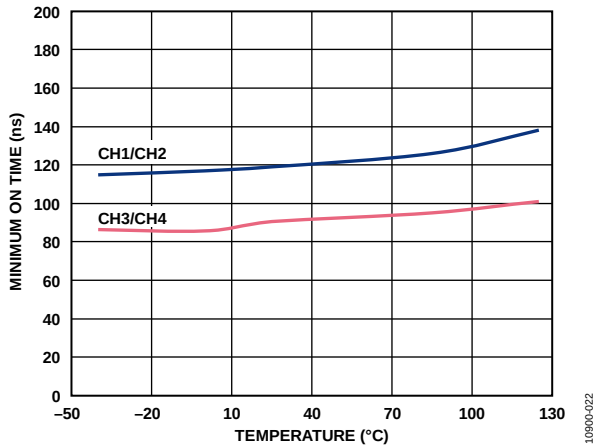


图22. 最短导通时间与温度的关系

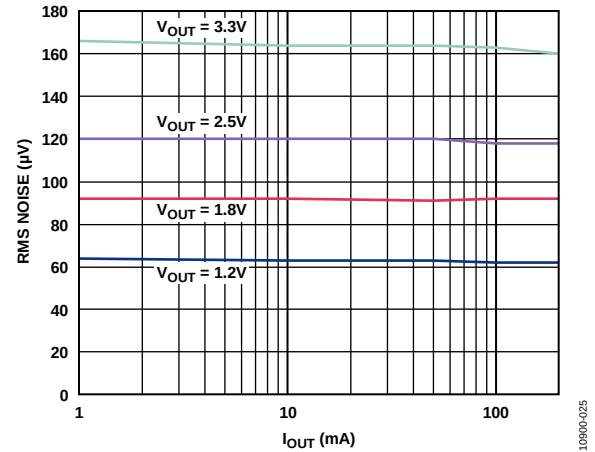


图25. 通道5(LDO调节器)输出噪声与输出负载的关系,
 $V_{IN} = 5\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$

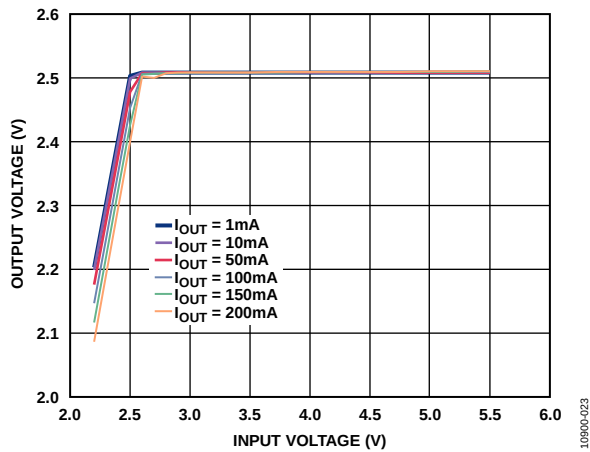


图23. 不同输出负载下的通道5(LDO调节器)电压调整率

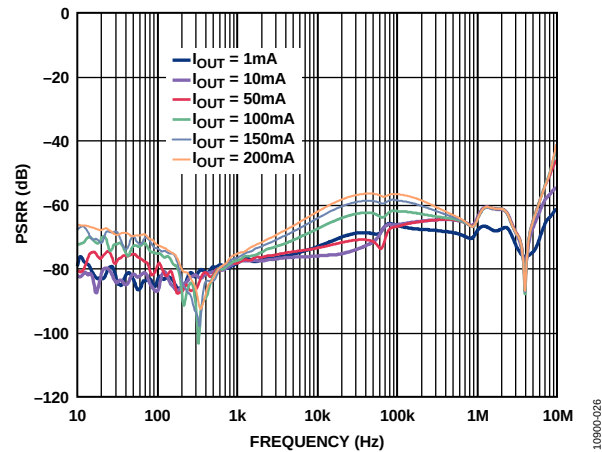


图26. 不同输出负载下的通道5(LDO调节器)PSRR,
 $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$

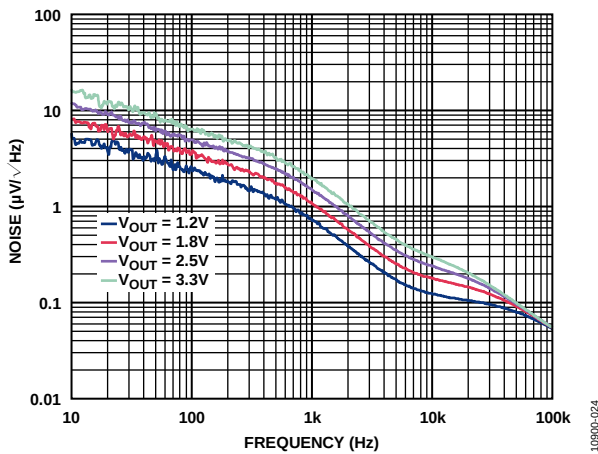


图24. 通道5(LDO调节器)输出噪声频谱,
 $V_{IN} = 5\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$, $I_{OUT} = 10\text{ mA}$

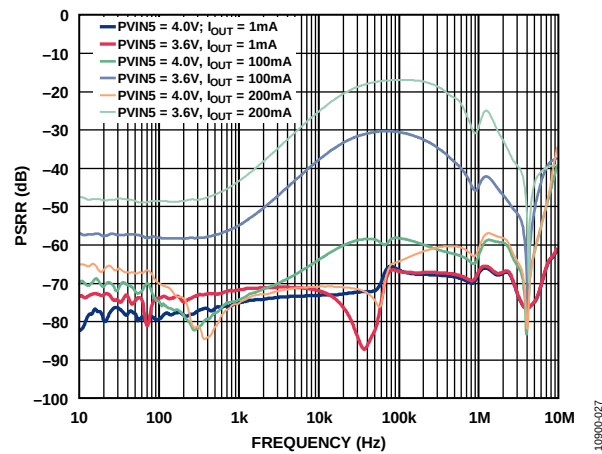


图27. 不同负载和压差电压下的通道5(LDO调节器)PSRR,
 $V_{OUT} = 3.3\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$

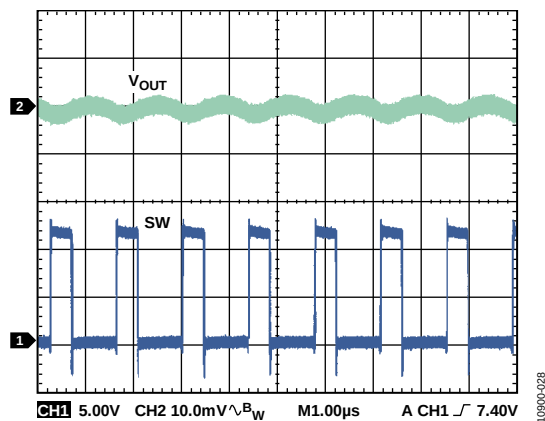


图28. 重负载下的稳态波形, $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 3\text{ A}$, $f_{SW} = 600\text{ kHz}$, $L = 4.7\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$, FPWM模式

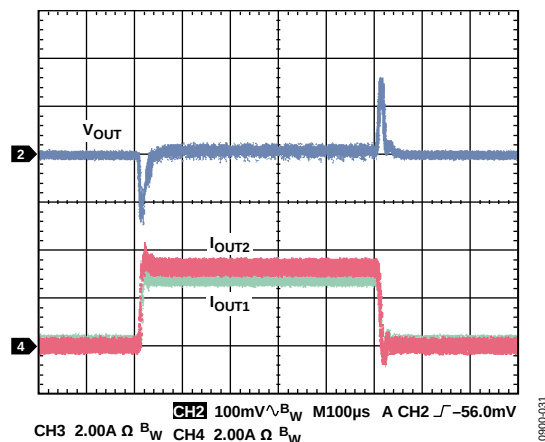


图31. 负载瞬态响应, 通道1/通道2并行输出, 0 A至6 A, $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 4.7\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 4$

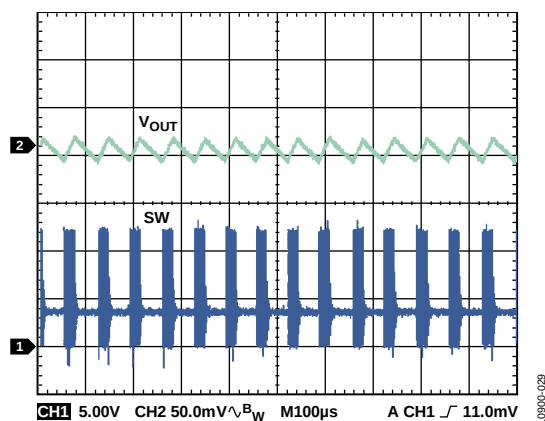


图29. 轻负载下的稳态波形, $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 30\text{ mA}$, $f_{SW} = 600\text{ kHz}$, $L = 4.7\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$, 自动PWM/PSM模式

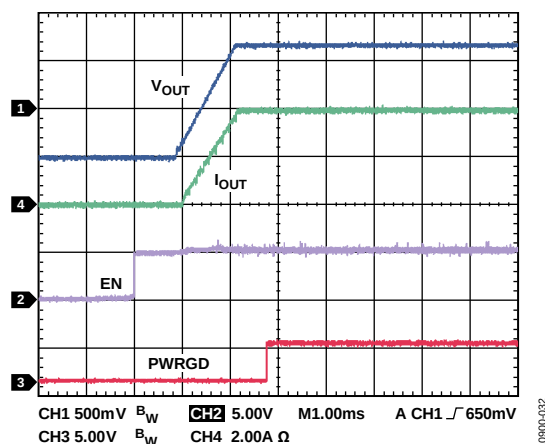


图32. 通道1/通道2软启动, 4 A阻性负载, $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

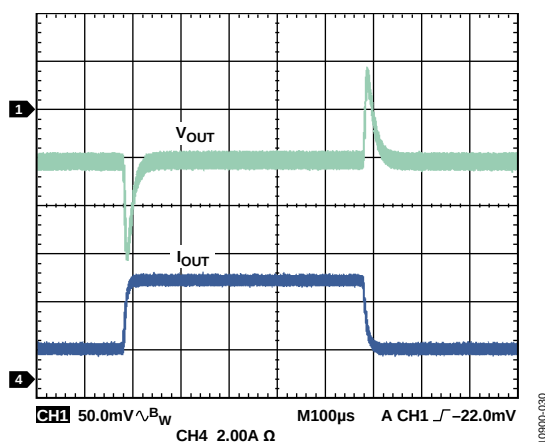


图30. 通道1/通道2负载瞬态响应, 1 A至4 A, $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 2.2\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

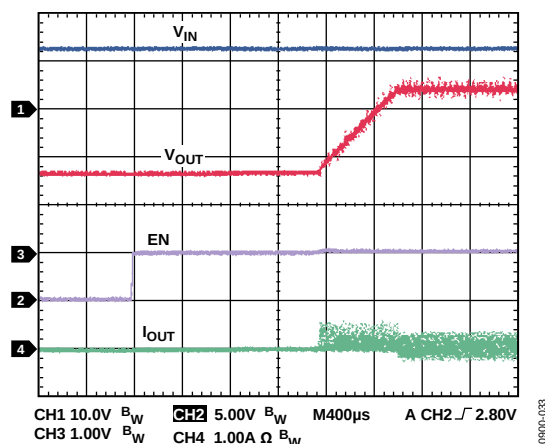


图33. 带预充电输出的软启动, $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$

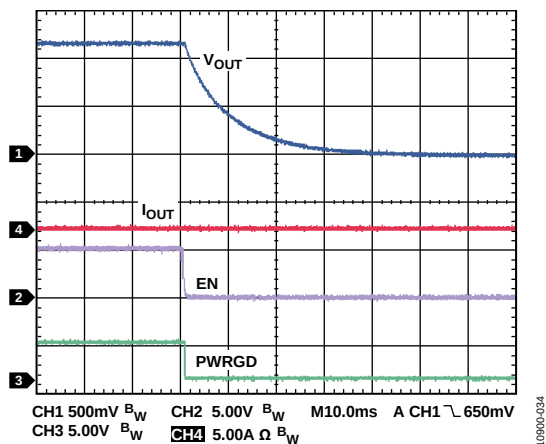


图34. 通道1/通道2关断, 有源输出放电, $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

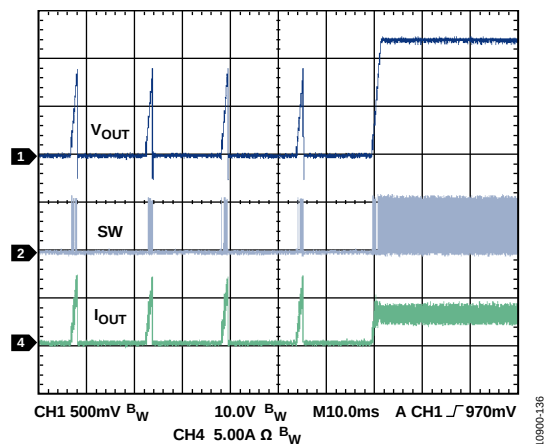


图36. 短路保护恢复, $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

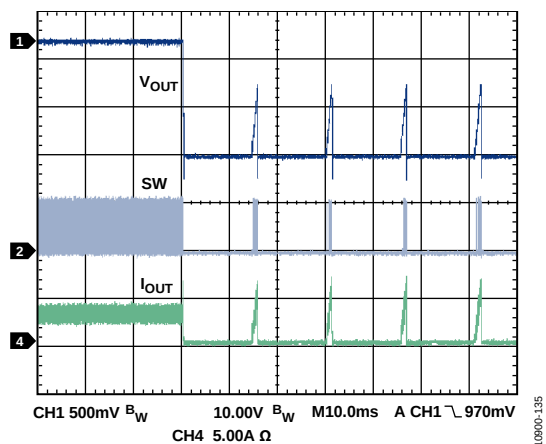


图35. 短路保护进入, $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

工作原理

ADP5052是一款微功耗电源管理单元，在一个48引脚LFCSP封装中集成了四个高性能降压调节器和一个200 mA低压差(LDO)调节器，可满足严苛的性能和电路板空间要求。器件可直接连接高达15 V的输入电压，无需使用前置调节器，因此应用更简单、效率更高。

降压调节器工作模式

PWM模式

在脉宽调制(PWM)模式下，ADP5052中的降压调节器以固定频率工作，此频率由内部振荡器设置，该振荡器通过RT引脚编程。每个振荡器周期开始时，高端MOSFET开启，给电感两端发送一个正电压。电感电流增加，直至电流检测信号超过可关断高端MOSFET的峰值电感电流阈值。此阈值由误差放大器的输出设定。

在高端MOSFET关断期间，电感电流流经低端MOSFET并下降，直到下个振荡时钟脉冲开始另一个新的周期。ADP5052中的降压调节器通过调节峰值电感电流阈值来调节输出电压。

PSM模式

为了实现更高的效率，当输出负载低于PSM电流阈值时，ADP5052中的降压调节器平稳过渡到可变频率省电工作模式(PSM)。当输出电压跌至规定值以下时，降压调节器进入PWM模式，并停留数个振荡器周期，直至输出电压升至规定值。在突发脉冲之间的空闲时间内，MOSFET关断，由输出电容提供所有输出电流。

PSM比较器监测可提供峰值电感电流信息的内部补偿节点。平均PSM电流阈值取决于输入电压(V_{IN})、输出电压(V_{OUT})、电感和输出电容。由于输出电压会不定期地降到规定值以下然后恢复，因此在轻负载调节下，PSM模式下的输出电压纹波比强制PWM模式下的纹波要大。

强制PWM和自动PWM/PSM模式

利用SYNC/MODE引脚，可以将降压调节器配置为始终以PWM模式工作。在强制PWM(FPWM)模式下，即使输出电流小于PWM/PSM阈值，调节器仍然以固定频率工作。在轻载条件下，PWM模式下的效率低于PSM模式。当电感电流降至0 A以下时，低端MOSFET仍然接通，导致ADP5052进入连续导通模式(CCM)。

利用SYNC/MODE引脚，可以将降压调节器配置为始终以PWM模式工作。在自动PWM/PSM模式下，降压调节器以PWM模式或PSM模式工作，具体取决于输出电流。当平均输出电流降至PWM/PSM阈值以下时，降压调节器进入PSM工作模式；在PSM模式下，为保持高效率，调节器以降低的开关频率工作。当输出电流达到0 A时，低端MOSFET开关断开，致使调节器以断续导通模式(DCM)工作。

SYNC/MODE引脚连接VREG时，器件以强制PWM(FPWM)模式工作。SYNC/MODE引脚接地时，器件以自动PWM/PSM模式工作。

可调和固定输出电压

ADP5052通过工厂熔丝提供可调和固定输出电压设置。对于可调输出设置，应利用外部电阻分压器，通过反馈基准电压(通道1和通道4为0.8 V，通道5为0.5 V)设置所需的输出电压。

对于固定输出设置，反馈电阻分压器内置于ADP5052，必须将反馈引脚(FBx)直接与输出相连。表7列出了每个降压调节器通道的可用固定输出电压范围。

表7. 固定输出电压范围

通道	固定输出电压范围
通道1	0.85 V至1.6 V，步进为25 mV
通道2	3.3 V至5.0 V，步进为300 mV或200 mV
通道3	1.2 V至1.8 V，步进为100 mV
通道4	2.5 V至5.5 V，步进为100 mV

输出范围也可通过工厂熔丝设置。如需其它输出电压范围，请联系当地的ADI公司办事处或代理商。

内部调节器(VREG和VDD)

ADP5052的内部VREG调节器提供稳定的5.1 V电源作为MOSFET驱动器的偏置电压。ADP5052的内部VDD调节器为内部控制电路提供稳定的3.3 V电源。VREG与地之间连接一个1.0 μ F陶瓷电容，VDD与地之间连接一个1.0 μ F陶瓷电容。只要PVIN1可用，内部VREG和VDD调节器即有效。

内部VREG调节器可提供总共95 mA的负载电流，包括MOSFET驱动电流；对于较低的系统电流需求，它可用作始终有效的5.1 V电源。VREG调节器内置限流电路，在重负载下可保护电路。

VDD调节器用于内部电路，建议不要用于其他目的。

ADP5052

独立电源应用

ADP5052的4个降压调节器可接受独立的输入电压。这意味着，4个降压调节器的输入电压可连接至不同的电源电压。

PVIN1电压为内部调节器和控制电路提供电源。因此，如果用户打算为降压调节器提供不同的电源电压，PVIN1电压必须高于UVLO阈值，然后其他通道才能开始工作。

可以利用精密使能来监测PVIN1电压，延迟输出的启动，确保PVIN1足够高以便支持输出调节。更多信息，请参见“精密使能”部分。

ADP5052的4个降压调节器支持级联电源操作。如图37所示，PVIN2、PVIN3和PVIN4由通道1输出供电。这种配置中，通道1输出电压必须高于PVIN2、PVIN3和PVIN4的UVLO阈值。

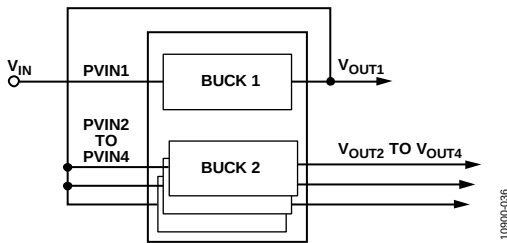


图37. 级联电源应用

低端器件选择

通道1和通道2中的降压调节器集成4 A高端功率MOSFET和低端MOSFET驱动器。选择用于ADP5052的N沟道MOSFET必须能配合同步降压调节器工作。一般而言，使用低RDSON N沟道MOSFET可实现更高的效率；建议使用单封装的双MOSFET(用于通道1和通道2)以节省PCB空间。更多信息，请参见“低端功率器件选择”部分。

自举电路

ADP5052的各降压调节器均集成一个自举调节器。自举调节器要求在BSTx和SWx引脚之间放置一个0.1 μF陶瓷电容(X5R或X7R)，以提供高端MOSFET的栅极驱动电压。

有源输出放电开关

ADP5052的每个降压调节器均集成一个放电开关，它连接在开关节点与地之间。当其相关调节器禁用时，开关接通，有助于使输出电容快速放电。通道1至通道4的放电开关的典型值为250 Ω。可通过工厂熔丝使能或禁用全部四个降压调节器的放电开关功能。

精密使能

ADP5052的每个调节器都有一个使能控制引脚，包括LDO调节器。使能控制引脚(ENx)具有一个0.8 V基准电压的精密使能电路。当ENx引脚电压大于0.8 V时，调节器使能。当ENx引脚电压低于0.725 V时，调节器禁用。内部1 MΩ下拉电阻可以防止ENx引脚悬空时发生错误。

利用精密使能阈值电压，很容易控制器件内各通道以及ADP5052与其它输入/输出电源的时序。借助电阻分压器，也可以将ENx引脚用作可编程UVLO输入(参见图38)。更多信息请参见“UVLO输入编程”部分。

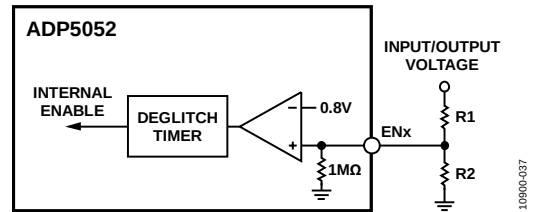


图38. 一个通道的精密使能图

振荡器

将一个电阻连接在RT引脚与地之间，可将ADP5052的开关频率(f_{SW})设置为250 kHz到1.4 MHz的值。RT电阻的值可通过下式计算：

$$R_{RT} \text{ (k}\Omega\text{)} = [14,822/f_{SW} \text{ (kHz)}]^{1.081}$$

图39所示为开关频率(f_{SW})和RT电阻之间的典型关系。可调频率特性允许用户在效率与解决方案尺寸之间权衡取舍，做出适当选择。

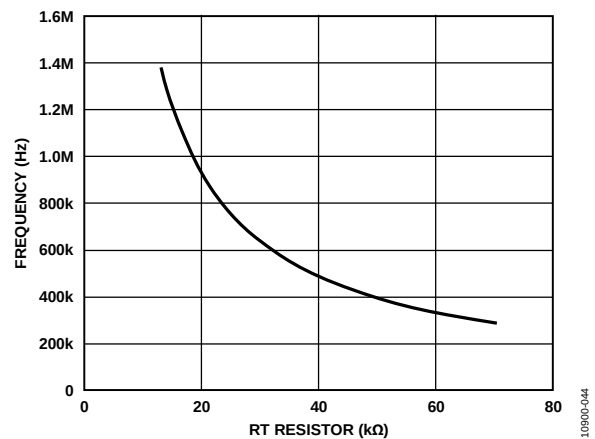


图39. 开关频率与RT电阻的关系

通道1和通道3的频率可设置为RT引脚所设置的主开关频率的一半。可通过工厂熔丝选择设置。如果主开关频率低于250 kHz，不建议将通道1或通道3的频率设置为其一半。

相移

通道1和通道2之间以及通道3和通道4之间的相移为 180° 。因此，通道3与通道1同相，通道4与通道2同相(见图40)。此相移可最大化反相操作的优势，降低输入纹波电流和接地噪声。

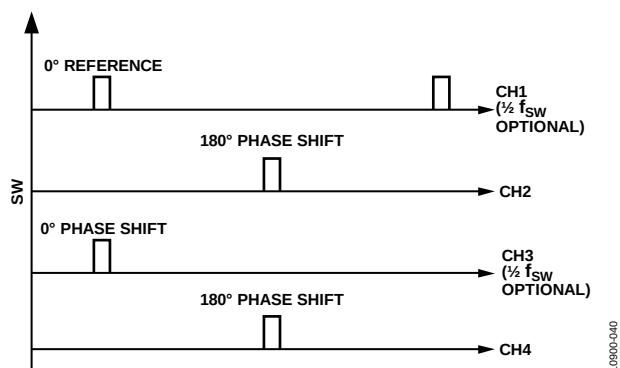


图40. 相移图(四个降压调节器)

同步输入/输出

ADP5052的开关频率可与250 kHz至1.4 MHz的外部时钟同步。ADP5052自动检测SYNC/MODE引脚上有无施加外部时钟，如有，开关频率将平稳过渡至外部时钟的频率。当外部时钟信号停止时，器件自动切换到内部时钟并继续工作。

注意，为成功同步，必须将RT引脚所设置的内部开关频率编程为接近于外部时钟值的值。对于典型应用，频率差建议小于 $\pm 15\%$ 。

利用工厂熔丝，SYNC/MODE引脚可配置为同步时钟输出。当频率等于RT引脚设置的内部开关频率时，SYNC/MODE引脚产生50%占空比的正时钟脉冲。从产生同步时钟到通道1开关节点有一个较短的延迟时间(约为 t_{SW} 的15%)。

图41显示了两个配置为频率同步模式的ADP5052：一个ADP5052器件配置为时钟输出以同步另一个ADP5052器件。建议使用100 k Ω 上拉电阻，防止SYNC/MODE引脚悬空时发生逻辑错误。

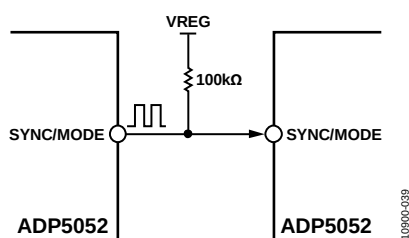


图41. 两个配置为同步模式的ADP5052器件

在图41所示配置中，第一个ADP5052器件的通道1与第二个ADP5052器件的通道1之间的相移为 0° (参见图42)。

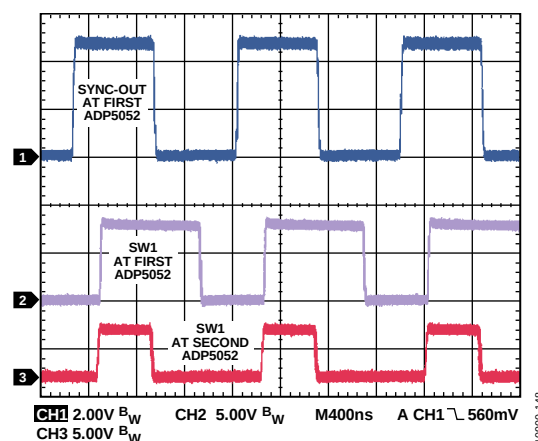


图42. 两个以同步模式工作的ADP5052器件的波形

软启动

ADP5052的降压调节器内置软启动电路，启动时输出电压以可控方式缓升，从而限制浪涌电流。当SS12和SS34引脚连接至VREG时，各降压调节器的软启动时间为典型值2 ms。

要将软启动时间设置为2 ms、4 ms或8 ms的值，应在SS12或SS34引脚与VREG引脚和地之间连接一个电阻分压器(参见图43)。为了支持特定启动序列或具有大输出电容的值，可能需要这种配置。

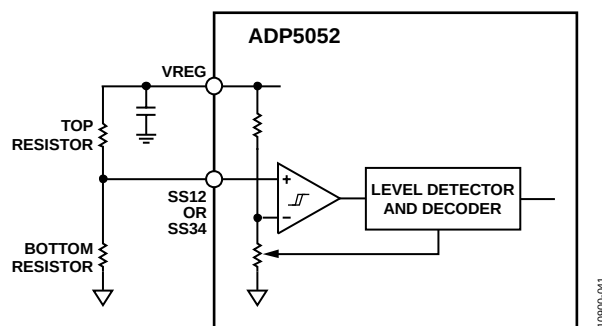


图43. 用于软启动的电平检测电路

ADP5052

SS12引脚可用来设置通道1和通道2的软启动时间和并行操作。SS34引脚可用来设置通道3和通道4的软启动时间。表8给出了设置软启动时间所需的电阻值。

表8. SS12和SS34引脚设置的软启动时间

R _{TOP} (kΩ)	R _{BOT} (kΩ)	软启动时间		软启动时间	
		通道1	通道2	通道3	通道4
0	N/A	2 ms	2 ms	2 ms	2 ms
100	600	2 ms	并行	2 ms	4 ms
200	500	2 ms	8 ms	2 ms	8 ms
300	400	4 ms	2 ms	4 ms	2 ms
400	300	4 ms	4 ms	4 ms	4 ms
500	200	8 ms	2 ms	4 ms	8 ms
600	100	8 ms	并行	8 ms	2 ms
N/A	0	8 ms	8 ms	8 ms	8 ms

并行操作

ADP5052支持通道1和通道2两相并行操作，以提供高达8 A的单路输出电流。要将通道1和通道2配置为两相单路输出的并行操作，请执行以下步骤(参见图44)：

- 按照表8的规定，使用SS12引脚选择并行操作。
- COMP2引脚保持开路。
- 使用FB1引脚设置输出电压。
- 将FB2引脚连接到地(忽略FB2)。
- 将EN2引脚连接到地(忽略EN2)。

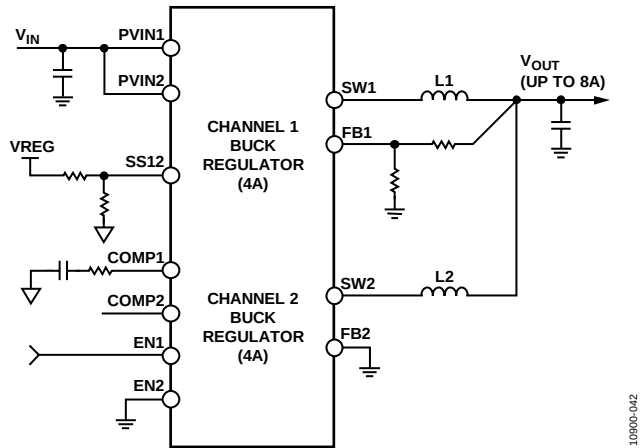


图44. 通道1和通道2并行操作

当通道1和通道2以并行配置工作时，应按如下方式配置通道：

- 通道1和通道2的输入电压和限流设置应设置为相同的值。
- 两个通道均以强制PWM模式工作。

并行配置下的电流平衡由内部控制环路进行调节。图45显示了并行输出配置下的典型电流平衡匹配。

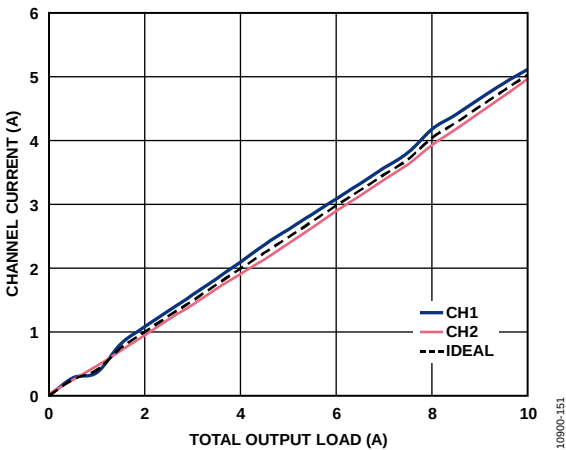


图45. 并行输出配置下的电流平衡， $V_{IN} = 12\text{ V}$ ， $V_{OUT} = 1.2\text{ V}$ ， $f_{SW} = 600\text{ kHz}$ ，FPWM模式

带预充电输出的启动

ADP5052的降压调节器具有预充电启动特性，可防止启动期间低端FET受损。如果输出电压在调节器开启前已预充电，则调节器可在内部软启动基准电压超过反馈(FBx)引脚电压之前防止反向电感电流(该电流会导致输出电容放电)。

限流保护

ADP5052的降压调节器内置峰值电流限制保护电路，可限制流过高端MOSFET的正电流。功率开关的峰值电流限值限制可从输入端流向输出端的电流量。可编程限流阈值特性允许低电流应用使用小尺寸电感。

要配置通道1的限流阈值，应将一个电阻连接在DL1引脚与地之间；要配置通道2的限流阈值，应将一个电阻连接在DL2引脚与地之间。表9列出了通道1和通道2的峰值电流限制阈值设置。

表9. 通道1和通道2的峰值电流限制阈值设置

R _{LIM1} 或 R _{LIM2}	典型峰值电流限制阈值
悬空	4.4 A
47 kΩ	2.63 A
22 kΩ	6.44 A

ADP5052的降压调节器内置负电流限制保护电路，可限制一定量的负电流流过低端MOSFET。

折频

ADP5052的降压调节器具有折频特性，当输出发生硬短路时，可防止输出电流失控。折频按如下方式实现：

- 如果FBx引脚电压低于目标输出电压的一半，则开关频率减半。
- 如果FBx引脚电压低于目标输出电压的四分之一，则开关频率降至其当前值的一半，即f_{SW}的四分之一。

降低开关频率可使电感电流有更多时间来减小，但也会提高峰值电流调节期间的纹波电流。这导致平均电流下降，以阻止输出电流失控。

最大占空比下的跳脉冲模式

在最大占空比条件下，折频使输出受到调节。如果达到最大占空比(例如当输入电压降低时)，PWM调制器会跳开1/2的PWM脉冲，导致开关频率折返到一半。如果占空比进一步提高，PWM调制器将跳开2/3的PWM脉冲，导致开关频率折返为1/3。折频可提高有效最大占空比，从而降低输入与输出电压之间的压差。

打嗝保护

ADP5052的降压调节器利用打嗝模式实现过流保护(OCP)。当电感峰值电流达到限流阈值时，高端MOSFET关断，低端MOSFET开启，直到进入下一个周期。

打嗝模式有效时，过流故障计数器会递增。如果过流故障计数器达到15并溢出(表示短路状况)，高端和低端MOSFET将同时关断。降压调节器在打嗝模式下保持七个软启动周期，然后尝试从软启动重启。如果短路故障已清除，调节器将恢复正常工作；否则软启动后重新进入打嗝模式。

在初始软启动周期中，打嗝保护被屏蔽，以便降压调节器能在重负载下启动。注意，为确保降压调节器能在重负载下从打嗝模式恢复，需要精心设计并选择适当的器件。可通过工厂熔丝使能或禁用所有4个降压调节器的打嗝保护功能。打嗝保护禁用时，折频特性仍可用来防止过流。

闩锁保护

ADP5052的降压调节器有一个可选的闩锁模式，用以保护器件不受短路和过压等严重问题影响。可通过工厂熔丝使能闩锁模式。

短路闩锁模式

可通过工厂熔丝使能短路闩锁模式(针对所有4个降压调节器使能或禁用)。当短路闩锁模式使能且软启动后保护电路检测到过流状态，降压调节器就会进入打嗝模式并尝试重启。连续7次尝试重启后，如果调节器仍然处于故障状况，调节器就会关断。此关断(闩锁)状况只能通过重新使能通道或复位通道电源才能清除。注意，如果打嗝模式禁用，短路闩锁模式将不起作用。

图46显示了短路闩锁保护功能。

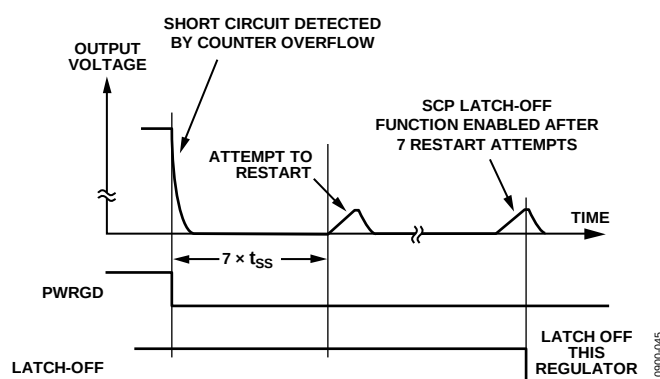


图46. 短路闩锁保护

过压闩锁模式

可通过工厂熔丝使能过压闩锁模式(针对所有4个降压调节器使能或禁用)。过压闩锁阈值为标称输出电压的124%。当输出电压超过此阈值时，保护电路即检测到过压状态，调节器关断。此关断(闩锁)状况只能通过重新使能通道或复位通道电源才能清除。

图47显示了过压闩锁保护功能。

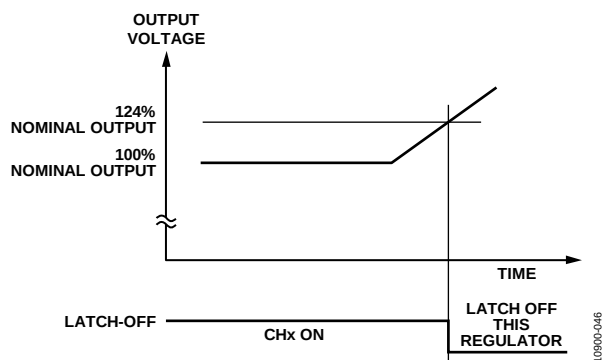


图47. 过压闩锁保护

ADP5052

欠压闭锁(UVLO)

欠压闭锁电路监测ADP5052中各降压调节器的输入电压。若有任何输入电压(PVINx引脚)低于3.78 V(典型值),相应的通道就会关断。输入电压升到4.2 V(典型值)以上后,启动软启动周期,并使能相应的通道(ENx引脚为高电平时)。

注意,通道1(PVIN1引脚)上的UVLO条件的优先级高于其他通道上的UVLO条件,这意味着,PVIN1电源必须在其他通道工作之前可用。

电源良好功能

ADP5052具有一个开漏电源良好输出(PWRGD引脚),当所选降压调节器正常工作时,它变为高电平有效。默认情况下,PWRGD引脚监测通道1的输出电压。订购ADP5052时,可要求配置其他通道来控制PWRGD引脚(参见表19)。

PWRGD引脚上的逻辑高电平表示降压调节器的调节输出电压高于标称输出的90.5%(典型值)。当降压调节器的调节输出电压低于标称输出的87.2%(典型值)且延迟时间大于约50 μ s时,PWRGD引脚为低电平。

PWRGD引脚的输出是内部PWRGx信号的逻辑和。内部PWRGx信号必须为高电平且持续1 ms的验证时间,PWRGD引脚才能变为高电平;如果一个PWRGx信号发生故障,则PWRGD引脚毫无延迟地变为低电平。控制PWRGD引脚的通道(通道1至通道4)由工厂熔丝指定。默认情况下,PWRGD设置监测通道1的输出。

热关断

ADP5052的结温超过150°C时,热关断电路会关闭除内部线性调节器以外的IC。极端的结温可能由工作电流高、电路板设计欠佳或环境温度高等原因引起。热关断有15°C的迟滞,因此片内温度必须低于135°C,ADP5052才会从热关断中恢复。器件退出热关断时,各使能通道开始软启动过程。

LDO调节器

ADP5052集成通用LDO调节器,具有低静态电流和低压差特性。LDO调节器提供高达200 mA的输出电流。

LDO调节器采用1.7 V至5.5 V的输入电压工作。宽电源范围使得该调节器适合于LDO电源电压来自一个降压调节器的级联配置。LDO输出电压通过外部电阻分压器设置(参见图48)。

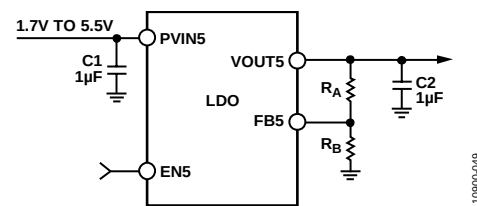


图48. 200 mA LDO调节器

LDO调节器使用1 μ F小陶瓷输入和输出电容,可提供高电源抑制比(PSRR)、低输出噪声和出色的线路与负载瞬态响应。

应用信息

ADIsimPower设计工具

ADIsimPower™设计工具集支持ADP5052。ADIsimPower是一个工具集合，可以根据特定设计目标产生完整的电源设计。利用这些工具，用户只需几分钟就能生成完整原理图和物料清单并计算性能。ADIsimPower可以考虑IC和所有真实外部元件的工作条件与限制，并针对成本、面积、效率和器件数量优化设计。ADIsimPower工具可通过www.analog.com/ADIsimPower网站获得，用户可以通过该工具申请未填充的电路板。

可调输出电压编程

通过输出电压与FBx引脚之间的一个电阻分压器，可从外部设置ADP5052的输出电压。为降低反馈偏置电流对输出电压精度的影响，应确保分压器的底部电阻不能太大，建议使用50 kΩ以下的值。

输出电压设置的方程式为：

$$V_{OUT} = V_{REF} \times (1 + (R_{TOP}/R_{BOT}))$$

其中：

V_{OUT} 为输出电压。

V_{REF} 为反馈基准电压：通道1至通道4为0.8 V，通道5为0.5 V。

R_{TOP} 为 V_{OUT} 到FB之间的反馈电阻。

R_{BOT} 为FB到地之间的反馈电阻。

对于固定输出选项，无需电阻分压器。如需其它固定输出电压，请联系当地的ADI公司办事处或代理商。

电压转换限制

对于给定的输入电压，由于最小导通时间和最小关断时间的原因，输出电压有上下限。

输入电压和开关频率给定时的最小输出电压受最短导通时间的限制。通道1和通道2的最小导通时间为117 ns(典型值)；通道3和通道4的最小导通时间为90 ns(典型值)。结温越高，则最小导通时间越长。

注意，在强制PWM模式下，当超过最小导通时间限值时，通道1和通道2可能会超过标称输出电压。避免此问题需要精心选择开关频率。

在连续导通模式(CCM)下，给定输入电压和开关频率，则最小输出电压的计算公式如下：

$$\begin{aligned} V_{OUT_MIN} &= V_{IN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(ON)1} - R_{DS(ON)2}) \times \\ I_{OUT_MIN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(ON)2} + R_L) \times I_{OUT_MIN} \end{aligned} \quad (1)$$

其中：

V_{OUT_MIN} 为最小输出电压。

t_{MIN_ON} 为最小导通时间。

f_{SW} 为开关频率。

$R_{DS(ON)1}$ 为高端MOSFET的导通电阻。

$R_{DS(ON)2}$ 为低端MOSFET的导通电阻。

I_{OUT_MIN} 为最小输出电流。

R_L 为输出电感的电阻。

输入电压和开关频率给定时的最大输出电压受最短关断时间和最大占空比的限制。注意，折频特性可通过降低开关频率来提高有效最大占空比，从而降低输入与输出电压之间的压差(参见“折频”部分)。

给定输入电压和开关频率，则最大输出电压的计算公式如下：

$$\begin{aligned} V_{OUT_MAX} &= V_{IN} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(ON)1} - R_{DS(ON)2}) \times \\ I_{OUT_MAX} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(ON)2} + R_L) \times I_{OUT_MAX} \end{aligned} \quad (2)$$

其中：

V_{OUT_MAX} 为最大输出电压。

t_{MIN_OFF} 为最小关断时间。

f_{SW} 为开关频率。

$R_{DS(ON)1}$ 为高端MOSFET的导通电阻。

$R_{DS(ON)2}$ 为低端MOSFET的导通电阻。

I_{OUT_MAX} 为最大输出电流。

R_L 为输出电感的电阻。

如公式1和公式2所示，降低开关频率可减少最小导通时间和关断时间的限制。

限流设置

ADP5052的通道1和通道2有三种可选的限流阈值。确保选定的限流值大于电感的峰值电流 I_{PEAK} 。通道1和通道2的限流配置参见表9。

软启动设置

ADP5052的降压调节器内置软启动电路，启动时输出电压以可控方式缓升，从而限制浪涌电流。要将软启动时间设置为2 ms、4 ms或8 ms的值，应在SS12或SS34引脚与VREG引脚和地之间连接一个电阻分压器(参见“软启动”部分)。

电感选择

电感值取决于开关频率、输入电压、输出电压和电感纹波电流。使用小电感值可产生较快的瞬态响应，但会因为电感纹波电流较大而降低效率。使用大电感值则会实现较小的纹波电流和较高的效率，但会导致瞬态响应变慢。因此，需要在瞬态响应和效率之间进行权衡。原则上讲，电感纹波电流 ΔI_L 通常设置为最大负载电流的30%到40%。电感值计算公式如下：

$$L = [(V_{IN} - V_{OUT}) \times D] / (\Delta I_L \times f_{SW})$$

其中：
 V_{IN} 为输入电压。
 V_{OUT} 为输出电压。
 D 为占空比($D = V_{OUT} / V_{IN}$)。
 ΔI_L 为电感纹波电流。
 f_{SW} 为开关频率。

ADP5052在电流环路中使用内部斜率补偿，以防止当占空比大于50%时产生次谐波振荡。

电感峰值电流可通过以下公式计算：

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

电感的饱和电流必须大于峰值电感电流。对于具有快速饱和特性的铁氧体磁芯电感，应确保电感饱和电流额定值大于降压调节器的限流阈值，以防止电感饱和。

电感RMS电流可通过以下公式计算：

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

建议使用屏蔽铁氧体磁芯材料，以实现低铁损、低EMI。
表10列出了推荐电感。

表10. 推荐电感

供应商	产品型号	值 (μH)	ISAT (A)	IRMS (A)	DCR (mΩ)	尺寸 (mm)
Coilcraft	XFL4020-102	1.0	5.4	11	10.8	4 × 4
	XFL4020-222	2.2	3.7	8.0	21.35	4 × 4
	XFL4020-332	3.3	2.9	5.2	34.8	4 × 4
	XFL4020-472	4.7	2.7	5.0	52.2	4 × 4
	XAL4030-682	6.8	3.6	3.9	67.4	4 × 4
	XAL4040-103	10	2.8	2.8	84	4 × 4
	XAL6030-102	1.0	23	18	5.62	6 × 6
	XAL6030-222	2.2	15.9	10	12.7	6 × 6
	XAL6030-332	3.3	12.2	8.0	19.92	6 × 6
	XAL6060-472	4.7	10.5	11	14.4	6 × 6
TOKO	FDV0530-1R0	1.0	11.2	9.1	9.4	6.2 × 5.8
	FDV0530-2R2	2.2	7.1	7.0	17.3	6.2 × 5.8
	FDV0530-3R3	3.3	5.5	5.3	29.6	6.2 × 5.8
	FDV0530-4R7	4.7	4.6	4.2	46.6	6.2 × 5.8

输出电容选择

选择的输出电容会影响输出电压纹波和稳压器的环路动态特性。例如，在输出端出现负载阶跃瞬态期间，当负载突然增加时，输出电容向负载供电，直到控制环可以提高电感电流，此电流可造成输出电压欠冲。

可通过以下公式计算达到欠冲(压降)要求所需的输出电容：

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

其中：
 K_{UV} 为系数值(通常设置为2)。
 ΔI_{STEP} 为负载阶跃。
 ΔV_{OUT_UV} 为容许的输出电压欠冲。

再举一例说明输出电容对调节器环路动态特性的影响：从输出端突然移除负载时，电感中存储的能量会涌入输出电容，导致输出电压过冲。

可通过以下公式计算达到过冲要求所需的输出电容：

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

其中：
 K_{OV} 为系数值(通常设置为2)。
 ΔI_{STEP} 为负载阶跃。
 ΔV_{OUT_OV} 为容许的输出电压过冲。

输出电压纹波由输出电容的ESR及其电容值决定。使用以下公式选择能达到输出纹波要求的电容：

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

其中：

ΔI_L 为电感纹波电流。

f_{SW} 为开关频率。

ΔV_{OUT_RIPPLE} 为容许的输出电压纹波。

R_{ESR} 是该输出电容的等效串联电阻。

选择 C_{OUT_UV} 、 C_{OUT_OV} 和 C_{OUT_RIPPLE} 给定的最大输出电容，以同时满足负载瞬态和输出纹波要求。

所选输出电容的电压额定值必须大于输出电压。输出电容的最小电流有效值额定值可通过以下公式确定：

$$I_{C_{OUT_rms}} = \frac{\Delta I_L}{\sqrt{12}}$$

输入电容选择

输入去耦电容可衰减输入端的高频噪声，并充当储能库。使用陶瓷电容并将其靠近PVINx引脚放置。由输入电容、高端NFET和低端NFET组成的环路必须尽可能小。输入电容的电压额定值必须大于最大输入电压。确保输入电容的RMS电流额定值大于下式计算值：

$$I_{C_{IN_rms}} = I_{OUT} \times \sqrt{D \times (1-D)}$$

其中， D 为占空比($D = V_{OUT}/V_{IN}$)。

低端功率器件选择

通道1和通道2集成了低端MOSFET驱动器，可用于驱动低端N沟道MOSFET (NFET)。低端N沟道MOSFET的选择会影响降压调节器的性能。

选择的MOSFET必须满足以下要求：

- 漏源电压(V_{DS})必须高于 $1.2 \times V_{IN}$ 。
- 漏极电流(I_D)必须大于 $1.2 \times I_{LIMIT_MAX}$ ，其中 I_{LIMIT_MAX} 为选定的最大限流阈值。
- $V_{GS} = 4.5$ V时，所选MOSFET可以完全导通。
- 栅极电荷总量(Q_g , $V_{GS} = 4.5$ V)必须少于20 nC。较低的 Q_g 特性可提供较高的效率。

当高端MOSFET关断时，低端MOSFET提供电感电流。对于低占空比应用而言，多数时候是低端MOSFET提供该电流。要实现较高的效率，必须选择低导通电阻MOSFET。低端MOSFET的功率导通损耗可通过以下公式计算：

$$P_{FET_LOW} = I_{OUT}^2 \times R_{DS(on)} \times (1 - D)$$

其中：

$R_{DS(on)}$ 为低端MOSFET的导通电阻。

D 为占空比($D = V_{OUT}/V_{IN}$)。

表11列出了各种限流设置的推荐双MOSFET。应确保MOSFET能够处理功率损耗造成的散热问题。

表11. 推荐的双MOSFET

供应商	产品型号	V _{DS} (V)	I _D (A)	R _{DS(on)} (mΩ)	Q _g (nC)	尺寸 (mm)
IR	IRFHM8363	30	10	20.4	6.7	3 × 3
	IRLHS6276	20	3.4	45	3.1	2 × 2
Fairchild	FDMA1024	20	5.0	54	5.2	2 × 2
	FDMB3900	25	7.0	33	11	3 × 2
	FDMB3800	30	4.8	51	4	3 × 2
	FDC6401	20	3.0	70	3.3	3 × 3
Vishay	Si7228DN	30	23	25	4.1	3 × 3
	Si7232DN	20	25	16.4	12	3 × 3
	Si7904BDN	20	6	30	9	3 × 3
	Si5906DU	30	6	40	8	3 × 2
	Si5908DC	20	5.9	40	5	3 × 2
	SiA906EDJ	20	4.5	46	3.5	2 × 2
AOS	AON7804	30	22	26	7.5	3 × 3
	AON7826	20	22	26	6	3 × 3
	AO6800	30	3.4	70	4.7	3 × 3
	AON2800	20	4.5	47	4.1	2 × 2

UVLO输入编程

精密使能输入可用于编程输入电压的UVLO阈值，如图38所示。为降低内部1 MΩ下拉电阻容差对输入电压精度的影响，应确保分压器的底部电阻不能太大，建议使用50 kΩ以下的值。

精密导通阈值为0.8 V。可编程 V_{IN} 启动电压的电阻分压器计算如下：

$$V_{IN_STARTUP} = (0.8 \text{ nA} + (0.8 \text{ V}/R_{BOT_EN})) \times (R_{TOP_EN} + R_{BOT_EN})$$

其中：

R_{TOP_EN} 为 V_{IN} 与EN之间的电阻。

R_{BOT_EN} 为EN引脚与地之间的电阻。

补偿器件设计

对于峰值电流模式控制架构，可将功率级简化为向输出电容和负载电阻供应电流的压控电流源。该简化环路包括一个极点和输出电容ESR造成的零点。控制到输出传递函数如下列公式所示：

$$G_{vd}(s) = \frac{V_{OUT}(s)}{V_{COMP}(s)} = A_{VI} \times R \times \frac{\left(1 + \frac{s}{2 \times \pi \times f_z}\right)}{\left(1 + \frac{s}{2 \times \pi \times f_p}\right)}$$

$$f_z = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}}$$

$$f_p = \frac{1}{2 \times \pi \times (R + R_{ESR}) \times C_{OUT}}$$

其中：

$A_{VI} = 10 \text{ A/V}$ (通道1或通道2)、 3.33 A/V (通道3或通道4)。

R 为负载电阻。

R_{ESR} 是该输出电容的等效串联电阻。

C_{OUT} 为输出电容。

ADP5052将跨导放大器用作误差放大器来补偿该系统。图49显示了简化的峰值电流模式控制小信号电路。

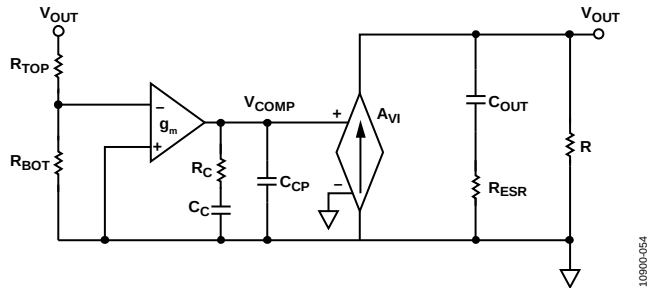


图49. 简化的峰值电流模式控制小信号电路

补偿器件 R_C 和 C_C 形成零点， R_C 和可选的 C_{CP} 形成可选极点。

闭环传递公式如下所示：

$$T_V(s) = \frac{R_{BOT}}{R_{BOT} + R_{TOP}} \times \frac{-g_m}{C_C + C_{CP}} \times \frac{1 + R_C \times C_C \times s}{s \times \left(1 + \frac{R_C \times C_C \times C_{CP} \times s}{C_C + C_{CP}}\right)} \times G_{vd}(s)$$

以下准则说明对于陶瓷输出电容应用如何选择补偿器件 R_C 、 C_C 和 C_{CP} 。

1. 确定交叉频率(f_c)。通常情况下， f_c 介于 $f_{SW}/12$ 和 $f_{SW}/6$ 之间。
2. R_C 的计算公式如下：

$$R_C = \frac{2 \times \pi \times V_{OUT} \times C_{OUT} \times f_c}{0.8 \text{ V} \times g_m \times A_{VI}}$$

3. 将补偿零点放置在域极(f_p)处。 C_C 的计算公式如下：

$$C_C = \frac{(R + R_{ESR}) \times C_{OUT}}{R_C}$$

4. C_{CP} 是可选的。它可用于取消输出电容的ESR引起的零点。 C_{CP} 的计算公式如下：

$$C_{CP} = \frac{R_{ESR} \times C_{OUT}}{R_C}$$

功耗

ADP5052的总功耗可简化为：

$$P_D = P_{BUCK1} + P_{BUCK2} + P_{BUCK3} + P_{BUCK4} + P_{LDO}$$

降压调节器功耗

各降压调节器的功耗(P_{LOSS})包括功率开关导通损耗(P_{COND})、开关损耗(P_{SW})和转换损耗(P_{TRAN})。还存在其它功耗源，但在涉及到散热限制的高输出负载电流应用中，这些损耗一般不太重要。

使用以下公式估算降压调节器的功耗：

$$P_{LOSS} = P_{COND} + P_{SW} + P_{TRAN}$$

功率开关导通损耗(P_{COND})

功率开关导通损耗是由于输出电流流经具有内部导通电阻($R_{DS(ON)}$)的高端和低端功率开关而造成的。

使用以下公式估算功率开关导通损耗：

$$P_{COND} = (R_{DS(ON_HS)} \times D + R_{DS(ON_LS)} \times (1 - D)) \times I_{OUT}^2$$

其中：

$R_{DS(ON_HS)}$ 为高端MOSFET的导通电阻。

$R_{DS(ON_LS)}$ 为低端MOSFET的导通电阻。

D 为占空比($D = V_{OUT}/V_{IN}$)。

开关损耗(P_{SW})

开关损耗与驱动器消耗的电流有关，驱动器以开关频率打开和关闭功率器件。每次功率器件栅极打开或关闭时，驱动器就会将一定的电荷从输入电源传输到栅极，再从栅极传输到地。使用以下公式估算开关损耗：

$$P_{SW} = (C_{GATE_HS} + C_{GATE_LS}) \times V_{IN}^2 \times f_{SW}$$

其中：

C_{GATE_HS} 为高端MOSFET的栅极电容。

C_{GATE_LS} 为低端MOSFET的栅极电容。

f_{SW} 为开关频率。

转换损耗(P_{TRAN})

转换损耗是由于高端MOSFET无法即时接通或断开造成的。在开关节点转换期间，MOSFET提供所有电感电流。MOSFET的源漏电压为输入电压的一半，由此便产生功率损耗。转换损耗随负载和输入电压的提高而提高，每个开关周期发生两次。使用以下公式估算转换损耗：

$$P_{TRAN} = 0.5 \times V_{IN} \times I_{OUT} \times (t_R + t_F) \times f_{SW}$$

其中：

t_R 为开关节点的上升时间。

t_F 为开关节点的下降时间。

热关断

通道1和通道2仅在内部高端MOSFET导通时存储电感电流值，因此，ADP5052会消耗少量功率(以及少量输入均方根电流)，从而降低热限制。

不过，当通道1和通道2在最大负载、高环境温度、高占空比下工作时，输入均方根电流可能变得非常大，导致结温超出125°C的最大结温。如果结温超过150°C，调节器就会进入热关断状态，当结温低于135°C时才恢复工作。

LDO调节器功耗

LDO调节器的功耗通过下式计算：

$$P_{LDO} = [(V_{IN} - V_{OUT}) \times I_{OUT}] + (V_{IN} \times I_{GND})$$

其中：

V_{IN} 和 V_{OUT} 分别为LDO调节器的输入和输出电压。

I_{OUT} 为LDO调节器的负载电流。

I_{GND} 为LDO调节器的地电流。

在ADP5052中，地电流引起的功耗相当小，可忽略不计。

结温

芯片的结温为环境温度与功耗引起的封装内温升之和，如下式所示：

$$T_J = T_A + T_R$$

其中：

T_J 为结温。

T_A 为环境温度。

T_R 为功耗引起的封装温度升幅。

封装的温升与封装功耗成正比。其比例常数就是芯片的结到环境温度之间的热阻，如下式所示：

$$T_R = \theta_{JA} \times P_D$$

其中：

T_R 是封装的温度升幅。

θ_{JA} 是从芯片结到封装环境温度的热阻(见表5)。

P_D 是封装内的功耗。

一个非常重要的考虑因素是热阻值基于4层4 inch × 3 inch、2.5 oz铜PCB(符合JEDEC标准)，而实际应用所用PCB的尺寸和层数可能不同。

必须尽可能多地使用铜，以利于器件散热。暴露于空气中的铜的散热效果优于内层中使用的铜。使用多个过孔将裸露焊盘连接到接地层。

设计示例

本部分通过一个例子说明通道1的设计步骤和所需的外部器件。表12列出了该例的设计要求。

表12. 通道1的设计要求示例

参数	技术规格
输入电压	$V_{PVIN1} = 12\text{ V} \pm 5\%$
输出电压	$V_{OUT1} = 1.2\text{ V}$
输出电流	$I_{OUT1} = 4\text{ A}$
输出纹波	$\Delta V_{OUT1_RIPPLE} = 12\text{ mV (CCM模式)}$
负载瞬变	$\pm 5\%$, 20%至80%负载瞬变, 1 A/ μs

虽然本例显示的是通道1的逐步设计程序，但该程序适用于所有其它降压调节器通道(通道2至通道4)。

设置开关频率

第一步是确定ADP5052设计的开关频率。一般而言，开关频率越高，则所需的器件值越低，因而解决方案尺寸越小；开关频率越低，则开关损耗越低，因而转换效率越高。

将一个电阻连接在RT引脚与地之间，可将ADP5052的开关频率设置为250 kHz到1.4 MHz的值。所选电阻允许用户在效率与解决方案尺寸之间权衡取舍，做出适当选择。(更多信息参见“振荡器”部分。)然而，必须通过检查最小导通时间和最小关断时间所施加的电压转换限制，来确定最高支持的开关频率(参见“电压转换限制”部分)。

本设计示例使用600 kHz的开关频率来实现小尺寸解决方案和高转换效率的良好组合。要将开关频率设置为600 kHz，请使用以下公式来计算电阻值 R_{RT} ：

$$R_{RT} \text{ (k}\Omega\text{)} = [14,822/f_{SW} \text{ (kHz)}]^{1.081}$$

因此，选择标准电阻 $R_{RT} = 31.6\text{ k}\Omega$ 。

设置输出电压

选择10 k Ω 底部电阻(R_{BOT})，然后通过以下公式计算顶部反馈电阻：

$$R_{BOT} = R_{TOP} \times (V_{REF}/(V_{OUT} - V_{REF}))$$

其中：

V_{REF} 为0.8 V(对于通道1)。

V_{OUT} 为输出电压。

要将输出电压设置为1.2 V，应选择以下电阻值： $R_{TOP} = 4.99\text{ k}\Omega$ ， $R_{BOT} = 10\text{ k}\Omega$ 。

设置电流限值

对于4 A输出工作电流而言，峰值限流典型值为6.44 A。本例选择 $R_{ILIM1} = 22\text{ k}\Omega$ (见表9)。更多信息参见“限流保护”部分。

选择电感

将峰峰值电感纹波电流 ΔI_L 设置为最大输出电流的35%。使用以下公式估算电感值：

$$L = [(V_{IN} - V_{OUT}) \times D]/(\Delta I_L \times f_{SW})$$

其中：

$V_{IN} = 12\text{ V}$ 。

$V_{OUT} = 1.2\text{ V}$ 。

D 为占空比($D = V_{OUT}/V_{IN} = 0.1$)。

$\Delta I_L = 35\% \times 4\text{ A} = 1.4\text{ A}$ 。

$f_{SW} = 600\text{ kHz}$ 。

由此得到 L 值为1.28 μH 。最接近的标准电感值为1.5 μH ；因此，电感纹波电流 ΔI_L 为1.2 A。

电感峰值电流可通过以下公式计算：

$$I_{PEAK} = I_{OUT} + (\Delta I_L/2)$$

针对该电感计算的峰值电流为4.6 A。

电感RMS电流可通过以下公式计算：

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

该电感的RMS电流约为4.02 A。

因此，需要一个最小RMS电流额定值为4.02 A、最小饱和电流额定值为4.6 A的电感。然而，为防止电感在限流条件下达到饱和点，电感饱和电流宜高于最大峰值电流限值(典型值7.48 A)，以实现可靠工作。

基于这些要求和建议，本设计选择DCR为13.5 m Ω 的TOKO FDV0530-1R5。

选择输出电容

输出电容必须满足输出电压纹波和负载瞬态响应要求。要满足输出电压纹波要求，可使用以下公式计算ESR和电容：

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

计算的电容 C_{OUT_RIPPLE} 为20.8 μF ，计算的 R_{ESR} 为10 m Ω 。

要满足 $\pm 5\%$ 的过冲和欠冲要求，可使用以下公式计算电容：

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

估算时，使用 $K_{OV} = K_{UV} = 2$ 。因此， $C_{OUT_OV} = 117 \mu\text{F}$ ， $C_{OUT_UV} = 13.3 \mu\text{F}$ 。

输出电容ESR应小于13.3 m Ω ，输出电容应大于117 μF 。建议使用三个陶瓷电容(47 μF 、X5R、6.3 V)，例如ESR为2 m Ω 的Murata GRM21BR60J476ME15。

选择低端MOSFET

对于高效率解决方案，必须选择低 $R_{DS(on)}$ N沟道MOSFET。MOSFET击穿电压(V_{DS})必须大于 $1.2 \times V_{IN}$ ，漏极电流必须大于 $1.2 \times I_{LIMIT_MAX}$ 。

通道1和通道2建议使用20 V、双N沟道MOSFET，例如Vishay Si7232DN。驱动器电压为4.5 V时，Si7232DN的 $R_{DS(on)}$ 为16.4 m Ω ，栅极电荷总量为12 nC。

设计补偿网络

为了获得更好的负载瞬态响应和稳定性能，应将交叉频率 f_c 设置为 $f_{SW}/10$ 。本例中， f_{SW} 设置为600 kHz；因此，将 f_c 设置为60 kHz。

对于1.2 V输出轨，47 μF 陶瓷输出电容值降至40 μF 。

$$R_C = \frac{2 \times \pi \times 1.2 \text{ V} \times 3 \times 40 \mu\text{F} \times 60 \text{ kHz}}{0.8 \text{ V} \times 470 \mu\text{S} \times 10 \text{ A/V}} = 14.4 \text{ k}\Omega$$

$$C_C = \frac{(0.3 \Omega + 0.001 \Omega) \times 3 \times 40 \mu\text{F}}{14.4 \text{ k}\Omega} = 2.51 \text{ nF}$$

$$C_{CP} = \frac{0.001 \Omega \times 3 \times 40 \mu\text{F}}{14.4 \text{ k}\Omega} = 8.3 \text{ pF}$$

选择标准器件： $R_C = 15 \text{ k}\Omega$ ， $C_C = 2.7 \text{ nF}$ 。 C_{CP} 是可选的。

图50显示了1.2 V输出轨的波特图。交叉频率为62 kHz，相位裕量为58°。图51显示负载瞬态响应波形。

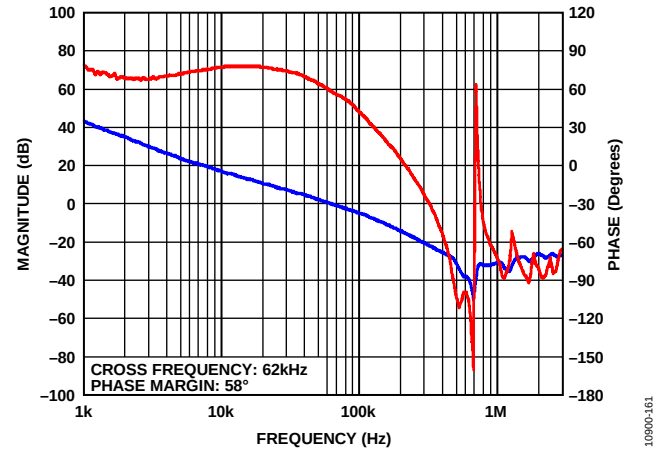


图50. 1.2 V输出的波特图

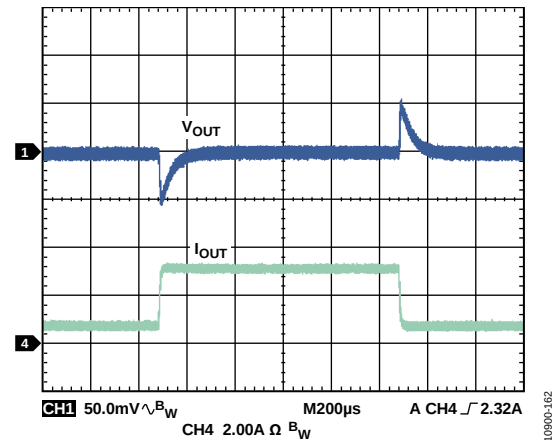


图51. 1.2 V输出的0.8 A至3.2 A负载瞬态响应

选择软启动时间

软启动特性允许输出电压以受控方式缓慢提高，从而避免软启动期间出现输出电压过冲现象，同时限制浪涌电流。SS12引脚可用来设置2 ms、4 ms或8 ms的软启动时间，并且也可用来配置通道1和通道2的并行操作。更多信息参见“软启动”部分和表8。

选择输入电容

输入电容应选择最小值为10 μF 的陶瓷电容，并且靠近PVIN1引脚放置。本例中，建议使用一个10 μF 、X5R、25 V陶瓷电容。

ADP5052

推荐外部器件

表13列出了ADP5052通道1和通道2针对4 A应用的推荐外部器件。表14列出了通道3和通道4针对1.2 A应用的推荐外部器件。

表13. 通道1和通道2针对4 A典型应用的推荐外部器件
(±1%输出纹波、±7.5%容差、~60%阶跃瞬态)

f _{sw} (kHz)	I _{OUT} (A)	V _{IN} (V)	V _{OUT} (V)	L (μH)	C _{OUT} (μF)	R _{TOP} (kΩ)	R _{BOT} (kΩ)	R _C (kΩ)	C _C (pF)	Dual FET
300	4	12 (或5)	1.2	3.3	2 × 100 ¹	4.99	10	10	4700	Si7232DN
		12 (或5)	1.5	3.3	2 × 100 ¹	8.87	10.2	10	4700	Si7232DN
		12 (或5)	1.8	3.3	3 × 47 ²	12.7	10.2	6.81	4700	Si7232DN
		12 (或5)	2.5	4.7	3 × 47 ²	21.5	10.2	10	4700	Si7232DN
		12 (或5)	3.3	6.8	3 × 47 ²	31.6	10.2	10	4700	Si7232DN
		12	5.0	6.8	47 ³	52.3	10	4.7	4700	Si7232DN
600	4	12 (或5)	1.2	1.5	2 × 47 ²	4.99	10	10	2700	Si7232DN
		12 (或5)	1.5	1.5	2 × 47 ²	8.87	10.2	10	2700	Si7232DN
		12 (或5)	1.8	2.2	2 × 47 ²	12.7	10.2	10	2700	Si7232DN
		12 (或5)	2.5	2.2	2 × 47 ²	21.5	10.2	10	2700	Si7232DN
		12 (或5)	3.3	3.3	2 × 47 ²	31.6	10.2	15	2700	Si7232DN
		12	5.0	3.3	47 ³	52.3	10	10	2700	Si7232DN
1000	4	5	1.2	1.0	2 × 47 ²	4.99	10	15	1500	Si7232DN
		5	1.5	1.0	2 × 47 ²	8.87	10.2	15	1500	Si7232DN
		12 (或5)	1.8	1.0	47 ²	12.7	10.2	10	1500	Si7232DN
		12 (或5)	2.5	1.5	47 ²	21.5	10.2	10	1500	Si7232DN
		12 (或5)	3.3	1.5	47 ²	31.6	10.2	10	1500	Si7232DN
		12	5.0	2.2	47 ³	52.3	10	15	1500	Si7232DN

¹ 100 μF电容：Murata GRM31CR60J107ME39(6.3 V、X5R、1206)。

² 47 μF电容：Murata GRM21BR60J476ME15(6.3 V、X5R、0805)。

³ 47 μF电容：Murata GRM31CR61A476ME15(10 V、X5R、1206)。

表14. 通道3和通道4针对1.2 A典型应用的推荐外部器件
(±1%输出纹波、±7.5%容差、~60%阶跃瞬态)

f _{sw} (kHz)	I _{OUT} (A)	V _{IN} (V)	V _{OUT} (V)	L (μH)	C _{OUT} (μF)	R _{TOP} (kΩ)	R _{BOT} (kΩ)	R _C (kΩ)	C _C (pF)
300	1.2	12 (或5)	1.2	10	2 × 22 ¹	4.99	10	6.81	4700
		12 (或5)	1.5	10	2 × 22 ¹	8.87	10.2	6.81	4700
		12 (或5)	1.8	15	2 × 22 ¹	12.7	10.2	6.81	4700
		12 (或5)	2.5	15	2 × 22 ¹	21.5	10.2	6.81	4700
		12 (或5)	3.3	22	2 × 22 ¹	31.6	10.2	6.81	4700
		12	5.0	22	22 ²	52.3	10	6.81	4700
600	1.2	12 (或5)	1.2	4.7	22 ¹	4.99	10	6.81	2700
		12 (或5)	1.5	6.8	22 ¹	8.87	10.2	6.81	2700
		12 (或5)	1.8	6.8	22 ¹	12.7	10.2	6.81	2700
		12 (或5)	2.5	10	22 ¹	21.5	10.2	6.81	2700
		12 (或5)	3.3	10	22 ¹	31.6	10.2	6.81	2700
		12	5.0	10	22 ²	52.3	10	6.81	2700
1000	1.2	5	1.2	2.2	22 ¹	4.99	10	10	1800
		12 (或5)	1.5	3.3	22 ¹	8.87	10.2	10	1800
		12 (或5)	1.8	4.7	22 ¹	12.7	10.2	10	1800
		12 (或5)	2.5	4.7	22 ¹	21.5	10.2	10	1800
		12 (或5)	3.3	6.8	22 ¹	31.6	10.2	10	1800
		12	5.0	6.8	22 ²	52.3	10	15	1800

¹ 22 μF电容：Murata GRM188R60J226MEA0(6.3 V、X5R、0603)。

² 22 μF电容：Murata GRM219R61A226MEA0(10 V、X5R、0805)。

电路板布局建议

要使ADP5052获得最佳性能，良好的线路板布局至关重要(见图53)。不良的布局会影响器件的调节和稳定性以及电磁干扰(EMI)和电磁兼容(EMC)性能。良好的PCB布局应参照以下原则：

- 将输入电容、电感、MOSFET、输出电容和自举电容靠近IC放置。
- 使用短而粗的走线将输入电容连接到PVINx引脚，并使用专用电源地连接输入和输出电容地，使连接长度最小。
- 需要时，使用多个高电流过孔将PVINx、PGNDx和SWx连接到其他电源层。
- 使用短而粗的走线将电感连接到SWx引脚和输出电容。
- 确保高电流环路的走线尽可能短而宽。图52显示高电流路径。
- 最大限度增加裸露焊盘的接地金属量，并在器件侧使用尽可能多的过孔以加强散热。

- 地层通过多个过孔连接到器件侧的地上，以进一步减少敏感电路节点上的噪声干扰。
- 去耦电容应靠近VREG和VDD引脚。
- 频率设置电阻应靠近RT引脚。
- 分压电阻分压器应靠近FBx引脚。此外，应使FBx走线远离高电流走线和开关节点，以避免噪声影响。
- 在板面积受限的情况下，采用0402或0603尺寸的电阻和电容可实现最小尺寸解决方案。

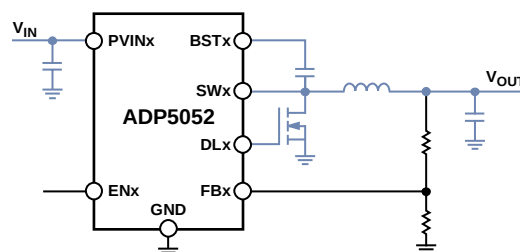


图52. 带高电流走线(显示为蓝色)的典型电路

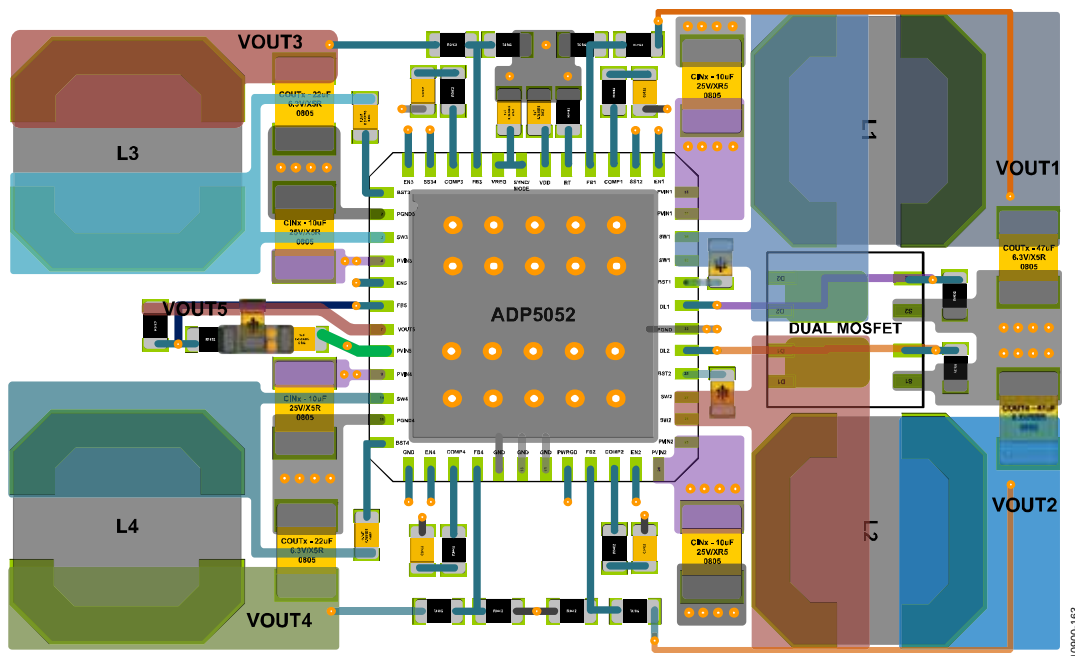


图53. ADP5052典型PCB布局布线

典型应用电路

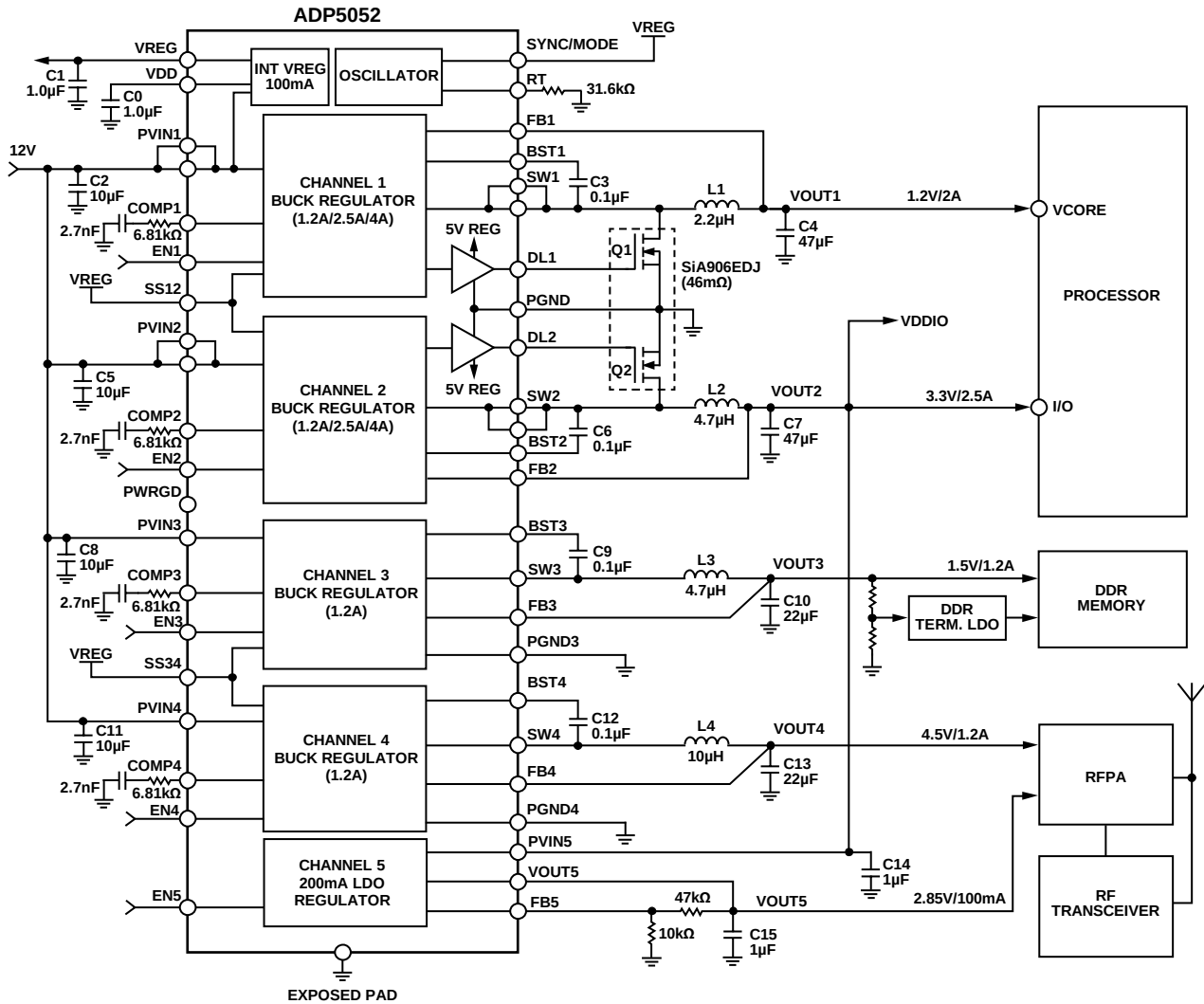


图54. 典型毫微微蜂窝应用，600 kHz开关频率，固定输出型号

10900-056

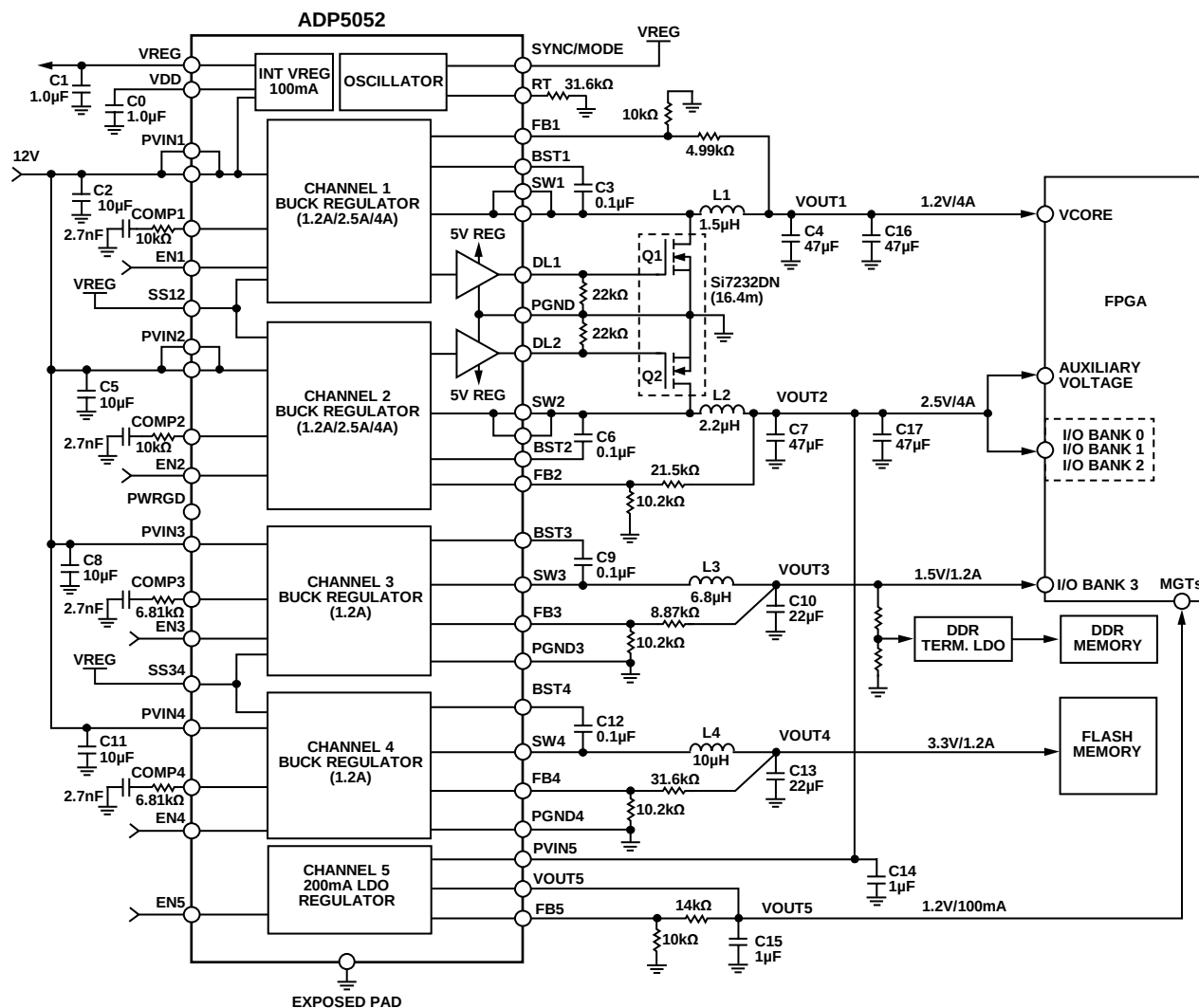


图55. 典型FPGA应用，600 kHz开关频率，可调输出型号

10900-057

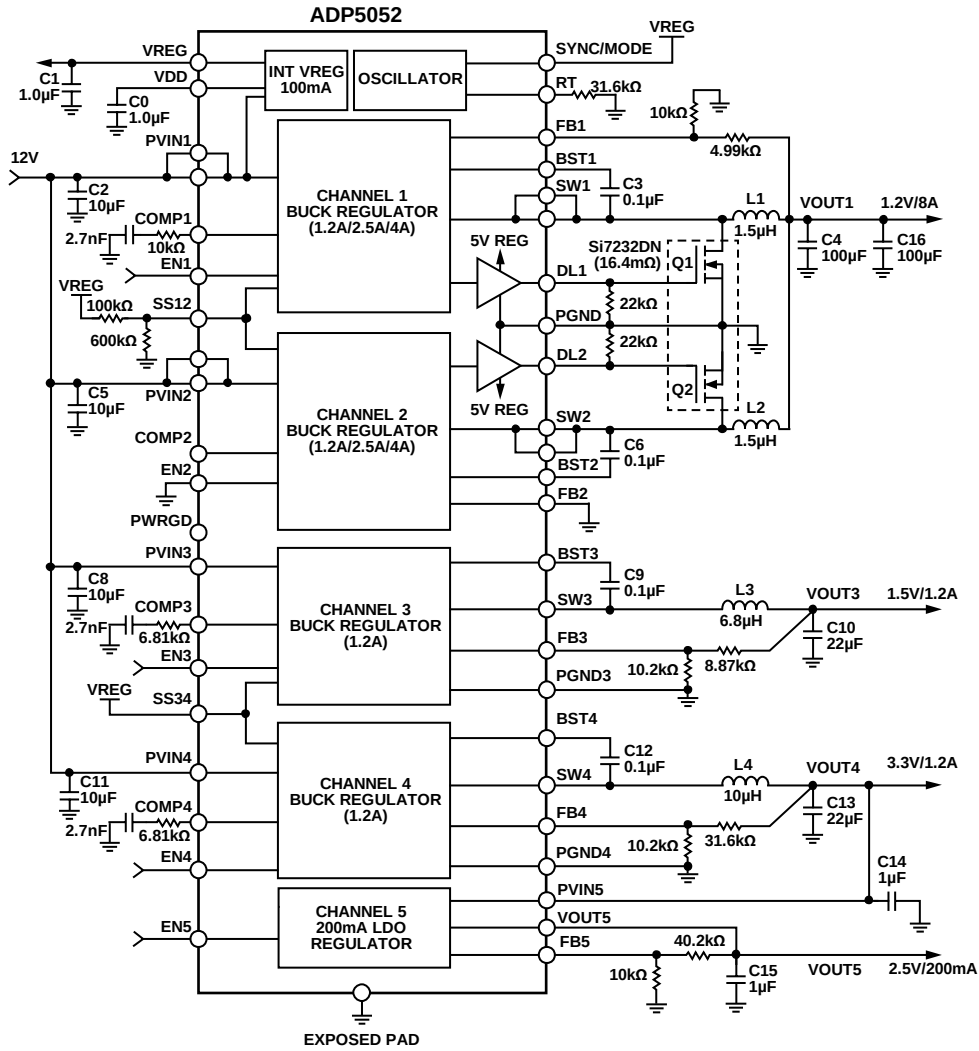


图56. 典型通道1/通道2并行输出应用，600 kHz开关频率，可调输出型号

109000-1B5

工厂编程选项

表15至表26列出了从ADI公司订购ADP5052时可写入器件的选项。默认选项列表参见表27。要订购非默认选项的器件，请联系当地的ADI公司办事处或代理商。

表15. 通道1的输出电压选项(固定输出选项：0.85 V至1.6 V，25 mV增量)

选项	说明
选项0	0.8 V可调输出(默认值)
选项1	0.85 V 固定输出
选项2	0.875 V固定输出
...	...
选项30	1.575 V 固定输出
选项31	1.6 V 固定输出

表16. 通道2的输出电压选项(固定输出选项：3.3 V至5.0 V，300 mV/200 mV增量)

选项	说明
选项0	0.8 V可调输出(默认值)
选项1	3.3 V 固定输出
选项2	3.6 V 固定输出
选项3	3.9 V 固定输出
选项4	4.2 V 固定输出
选项5	4.5 V 固定输出
选项6	4.8 V 固定输出
选项7	5.0 V 固定输出

表17. 通道3的输出电压选项(固定输出选项：1.2 V至1.8 V，100 mV增量)

选项	说明
选项0	0.8 V可调输出(默认值)
选项1	1.2 V 固定输出
选项2	1.3 V 固定输出
选项3	1.4 V 固定输出
选项4	1.5 V 固定输出
选项5	1.6 V 固定输出
选项6	1.7 V 固定输出
选项7	1.8 V 固定输出

表18. 通道4的输出电压选项(固定输出选项：2.5 V至5.5 V，100 mV增量)

选项	说明
选项0	0.8 V可调输出(默认值)
选项1	2.5 V 固定输出
选项2	2.6 V 固定输出
...	...
选项30	5.4 V 固定输出
选项31	5.5 V 固定输出

ADP5052

表19. PWRGD输出选项

选项	说明
选项0	不监控任何通道
选项1	监控通道1输出(默认)
选项2	监控通道2输出
选项3	监控通道1和通道2输出
选项4	监控通道3输出
选项5	监控通道1和通道3输出
选项6	监控通道2和通道3输出
选项7	监控通道1、通道2和通道3输出
选项8	监控通道4输出
选项9	监控通道1和通道4输出
选项10	监控通道2和通道4输出
选项11	监控通道1、通道2和通道4输出
选项12	监控通道3和通道4输出
选项13	监控通道1、通道3和通道4输出
选项14	监控通道2、通道3和通道4输出
选项15	监控通道1、通道2、通道3和通道4输出

表20. 输出放电功能选项

选项	说明
选项0	禁用所有4个降压调节器的输出放电功能
选项1	使能所有4个降压调节器的输出放电功能(默认)

表21. 通道1的开关频率选项

选项	说明
选项0	$1 \times RT$ 引脚设置的开关频率(默认)
选项1	$\frac{1}{2} \times RT$ 引脚设置的开关频率

表22. 通道3的开关频率选项

选项	说明
选项0	$1 \times RT$ 引脚设置的开关频率(默认)
选项1	$\frac{1}{2} \times RT$ 引脚设置的开关频率

表23. 引脚43—SYNC/MODE引脚选项

选项	说明
选项0	强制PWM/自动PWM/PSM模式设置，并能与外部时钟同步
选项1	产生一个等于RT引脚设置的主频率的时钟信号

表24. 4个降压调节器的打嗝保护选项

选项	说明
选项0	使能过流事件的打嗝保护(默认)
选项1	禁用打嗝保护，针对过流事件仅提供折频保护

表25. 4个降压调节器的短路闩锁选项

选项	说明
选项0	禁用输出短路事件的闩锁功能(默认)
选项1	使能输出短路事件的闩锁功能

表26. 4个降压调节器的过压闩锁选项

选项	说明
选项0	禁用输出过压事件的闩锁功能(默认)
选项1	使能输出过压事件的闩锁功能

工厂默认选项

表27列出了订购ADP5052时写入器件的工厂默认选项(参见“订购指南”)。要订购非默认选项的器件，请联系当地的ADI公司办事处或代理商。表15至表26列出了器件的所有可用选项。

表27. 工厂默认选项

选项	默认值
通道1输出电压	0.8 V可调输出
通道2输出电压	0.8 V可调输出
通道3输出电压	0.8 V可调输出
通道4输出电压	0.8 V可调输出
PWRGD引脚(引脚20)输出	监控通道1输出
输出放电功能	所有4个降压调节器均使能
通道1的开关频率	1 × RT引脚设置的开关频率
通道3的开关频率	1 × RT引脚设置的开关频率
SYNC/MODE引脚(引脚43)功能	强制PWM/自动PWM/PSM模式设置，并能与外部时钟同步
打嗝保护	针对过流事件使能
短路闩锁功能	针对输出短路事件禁用
过压闩锁功能	针对输出过压事件禁用

外形尺寸



图57.48引脚引脚架构芯片级封装[LFCSP_WQ]
7 mm x 7 mm, 超薄体
(CP-48-13)
尺寸单位: mm

型号 ¹	温度范围	封装描述	封装选项 ²
ADP5052ACPZ-R7 ADP5052-EVALZ	-40°C至+125°C	48引脚引线框芯片级封装[LFCSP_WQ] 评估板	CP-48-13

² 表27列出了器件的工厂默认选项。关于工厂可编程选项的列表，参见“工厂可编程选项”部分。要订购非默认选项的器件，请联系当地的ADI公司办事处或代理商。

注释

注释