

特性

输出频率范围：35 MHz至4,400 MHz

小数N分频频率合成器和整数N分频频率合成器

具有低相位噪声的VCO

可编程的1/2/4/8/16/32/64分频输出

典型抖动：0.3 ps rms

EVM(典型值, 2.1 GHz)：0.4%

电源：3.0 V至3.6 V

逻辑兼容性：1.8 V

可编程双模预分频器：4/5或8/9

可编程的输出功率

RF输出静音功能

三线式串行接口

模拟和数字锁定检测

在宽带宽内快速锁定模式

周跳减少

应用

无线基础设施(W-CDMA、TD-SCDMA、WiMAX、GSM、
PCS、DCS、DECT)

测试设备

无线局域网(LAN)、有线电视设备

时钟产生

概述

ADF4351结合外部环路滤波器和外部参考频率使用时，可实现小数N分频或整数N分频锁相环(PLL)频率合成器。

ADF4351具有一个集成电压控制振荡器(VCO)，其基波输出频率范围为2200 MHz至4400 MHz。此外，利用1/2/4/8/16/32/64分频电路，用户可以产生低至35 MHz的RF输出频率。对于要求隔离的应用，RF输出级可以实现静音。静音功能既可以通过引脚控制，也可以通过软件控制。同时提供辅助RF输出，且不用时可以关断。

所有片内寄存器均通过简单的三线式接口进行控制。该器件采用3.0 V至3.6 V电源供电，不用时可以关断。

功能框图

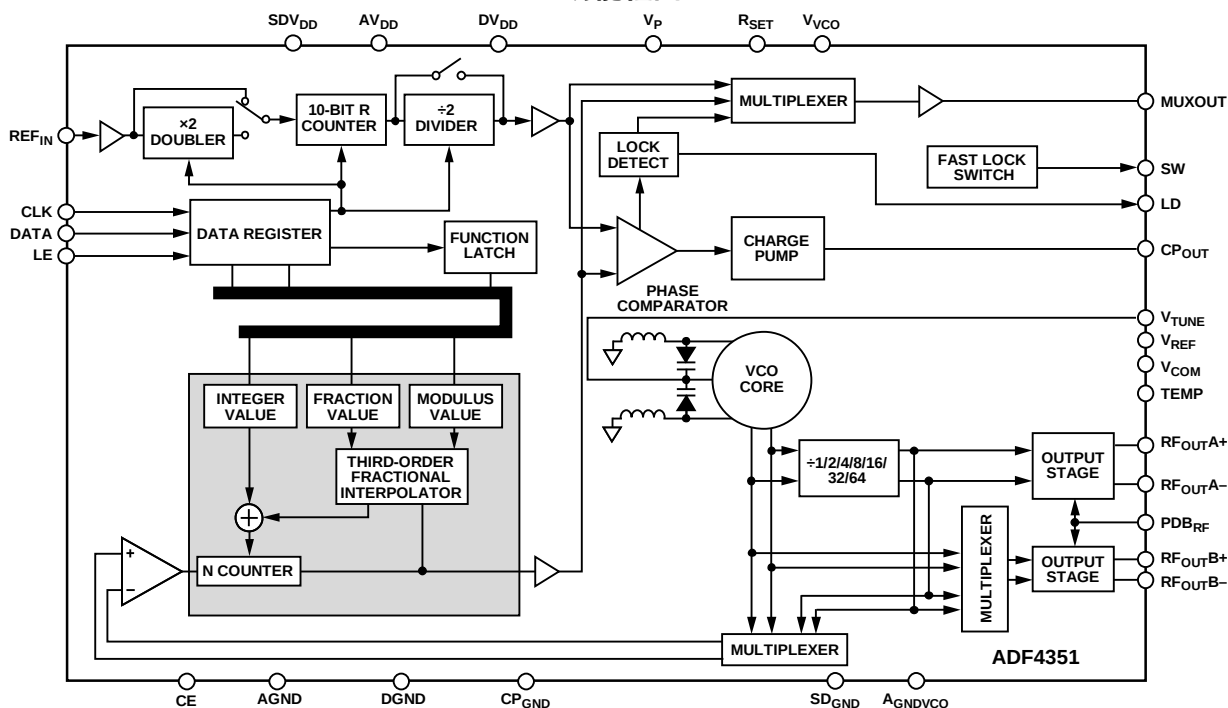


图1.

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

Fax: 781.461.3113

www.analog.com

©2012 Analog Devices, Inc. All rights reserved.

ADI中文数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	寄存器1.....	18
应用.....	1	寄存器2.....	18
概述.....	1	寄存器3.....	19
功能框图.....	1	寄存器4.....	20
修订历史.....	2	寄存器5.....	20
技术规格.....	3	寄存器初始化序列.....	20
时序特性.....	5	RF频率合成器：一个成功范例.....	21
绝对最大额定值.....	6	参考倍频器和参考分频器.....	21
晶体管数量.....	6	12位可编程模数.....	21
热阻.....	6	减少周跳以缩短锁定时间.....	22
ESD警告.....	6	杂散优化和快速锁定.....	22
引脚配置和功能描述.....	7	快速锁定时器和寄存器序列.....	22
典型工作特性.....	9	快速锁定范例.....	22
电路描述.....	11	快速锁定环路滤波器拓扑.....	23
参考输入部分.....	11	杂散机制.....	23
RF N分频器.....	11	杂散一致性和小数杂散优化.....	24
鉴频鉴相器(PFD)和电荷泵.....	11	相位再同步.....	24
MUXOUT和锁定检测.....	12	应用信息.....	25
输入移位寄存器.....	12	直接变频调制器.....	25
编程模式.....	12	与ADuC70xx和ADSP-BF527接口.....	26
VCO.....	12	芯片级封装的PCB设计指南.....	26
输出级.....	13	输出匹配.....	27
寄存器映射.....	14	外形尺寸.....	28
寄存器0.....	18	订购指南.....	28

修订历史

2012年5月—修订版0：初始版

技术规格

除非另有说明， $AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3\text{ V} \pm 10\%$ ； $AGND = DGND = 0\text{ V}$ ； $T_A = T_{MIN}$ 至 T_{MAX} 。工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
REF _{IN} 特性					
输入频率	10		250	MHz	如果 $f < 10\text{ MHz}$ ，确保压摆率大于 $21\text{ V}/\mu\text{s}$ 偏置 $AV_{DD}/2$ ；交流耦合确保 $AV_{DD}/2$ 偏置
输入灵敏度	0.7		AV_{DD}	V p-p	
输入电容		10		pF	
输入电流			± 60	μA	
鉴频鉴相器(PFD)					
鉴相器频率			32	MHz	小数N分频
			45	MHz	整数N分频(频段选择使能)
			90	MHz	整数N分频(频段选择禁用)
电荷泵					
I_{CP} 吸/源电流 ¹					$R_{SET} = 5.1\text{ k}\Omega$
高值		5		mA	
低值		0.312		mA	
R_{SET} 范围	3.9		10	k Ω	
吸电流与源电流匹配		2		%	$0.5\text{ V} \leq V_{CP} \leq 2.5\text{ V}$
I_{CP} 与 V_{CP}		1.5		%	$0.5\text{ V} \leq V_{CP} \leq 2.5\text{ V}$
I_{CP} 与温度		2		%	$V_{CP} = 2.0\text{ V}$
逻辑输入					
输入高电压 V_{INH}	1.5			V	
输入低电压 V_{INL}			0.6	V	
输入电流 I_{INH}/I_{INL}			± 1	μA	
输入电容 C_{IN}		3.0		pF	
逻辑输出					
输出高电压 V_{OH}	$DV_{DD} - 0.4$			V	选择CMOS输出
输出高电流 I_{OH}			500	μA	
输出低电压 V_{OL}			0.4	V	$I_{OL} = 500\text{ }\mu\text{A}$
电源					
AV_{DD}	3.0		3.6	V	这些电压必须等于 AV_{DD}
DV_{DD} , V_{VCO} , SDV_{DD} , V_P		AV_{DD}			
$DI_{DD} + AI_{DD}^2$		21	27	mA	每个二分频输出消耗6 mA
输出分频器		6 to 36		mA	
I_{VCO}^2		70	80	mA	RF输出级可编程
I_{RFOUT}^2		21	26	mA	
低功耗休眠模式		7	10	μA	
RF输出特性					
VCO输出频率	2200		4400	MHz	基波VCO模式 2200 MHz基波输出，选择64分频
使用分频器时最小VCO输出频率	34.375			MHz	
VCO灵敏度 K_V		40		MHz/V	驱动2.00 VSWR负载 基波VCO输出 分频VCO输出 基波VCO输出 分频VCO输出
推频(开环)		1		MHz/V	
拉频(开环)		90		kHz	
谐波成分(二次)		-19		dBc	
		-20		dBc	
谐波成分(三次)		-13		dBc	
		-10		dBc	

ADF4351

参数	最小值	典型值	最大值	单位	测试条件/注释
最小RF输出功率 ³		−4		dBm	可以3 dB步进编程
最大RF输出功率 ³		5		dBm	
输出功率波动		±1		dB	
最小VCO调谐电压		0.5		V	
最大VCO调谐电压		2.5		V	
噪声特性					
VCO相位噪声性能					VCO噪声在开环条件下测量
		−89		dBc/Hz	10 kHz偏移、2.2 GHz载波
		−114		dBc/Hz	100 kHz偏移、2.2 GHz载波
		−134		dBc/Hz	1 MHz偏移、2.2 GHz载波
		−148		dBc/Hz	5 MHz偏移、2.2 GHz载波
		−86		dBc/Hz	10 kHz偏移、3.3 GHz载波
		−111		dBc/Hz	100 kHz偏移、3.3 GHz载波
		−134		dBc/Hz	1 MHz偏移、3.3 GHz载波
		−145		dBc/Hz	5 MHz偏移、3.3 GHz载波
		−83		dBc/Hz	10 kHz偏移、4.4 GHz载波
		−110		dBc/Hz	100 kHz偏移、4.4 GHz载波
		−131		dBc/Hz	1 MHz偏移、4.4 GHz载波
		−145		dBc/Hz	5 MHz偏移、4.4 GHz载波
归一化相位噪底 (PN_{SYNTH}) ⁴					DPLL环路带宽= 500 kHz
		−220		dBc/Hz	ABP = 6 ns
		−221		dBc/Hz	ABP = 3 ns
归一化1/f噪声($PN_{1/f}$) ⁵					10 kHz偏移；归一化为1 GHz
		−116		dBc/Hz	ABP = 6 ns
		−118		dBc/Hz	ABP = 3 ns
带内相位噪声		−100		dBc/Hz	3 kHz偏移、2111.28 MHz载波
积分RMS抖动 ⁶		0.27		ps	
PFD频率引起的杂散 信号		−80		dBc	
使能RF静音时的信号电平		−40		dBm	

¹ 内部改变 I_{CP} 以使环路增益在整个频率范围内保持稳定。

² $T_A = 25^{\circ}\text{C}$ ； $AV_{DD} = DV_{DD} = V_{VCO} = 3.3\text{ V}$ ；预分频 = 8/9； $f_{REFIN} = 100\text{ MHz}$ ； $f_{PFD} = 25\text{ MHz}$ ； $f_{RF} = 4.4\text{ GHz}$ 。

³ 使用50 Ω 电阻接 V_{VCO} ，驱动50 Ω 负载。测量功率时辅助RF输出禁用。辅助输出的功耗与主输出相同。

⁴ 频率合成器相位噪底的估算方法如下：测量VCO输出端的带内相位噪声，然后减去 $20\log N$ (其中N为N分频器的值)和 $10\log F_{PFD}$ 。计算VCO输出端的带内相位噪声性能时，请使用以下公式： $PN_{SYNTH} = PN_{TOT} - 10\log(f_{PFD}) - 20\log N$ 。

⁵ PLL相位噪声由闪烁(1/f)噪声加归一化PLL噪底组成。RF频率为 f_{RF} ，频率偏移为f时，计算1/f噪声贡献的公式如下： $PN = PN_{1/f} + 10\log(10\text{ kHz}/f) + 20\log(f_{RF}/1\text{ GHz})$ 。归一化相位噪底和闪烁噪声均在ADIsimPLL中进行了模拟。

⁶ $f_{REFIN} = 122.88\text{ MHz}$ ； $f_{PFD} = 30.72\text{ MHz}$ ；VCO频率 = 4222.56 MHz； $RF_{OUT} = 2111.28\text{ MHz}$ ；N = 137；环路带宽 = 60 kHz； $I_{CP} = 2.5\text{ mA}$ ；低噪声模式。噪声是利用EVAL-ADF4351EB1Z和Rohde & Schwarz FSUP信号源分析仪测得。

时序特性

除非另有说明， $AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3\text{ V} \pm 10\%$ ； $AGND = DGND = 0\text{ V}$ ；使用1.8 V和3 V逻辑电平， $T_A = T_{MIN}$ 至 T_{MAX} 。

表2.

参数	限值	单位	描述
t_1	20	ns(最小值)	LE建立时间
t_2	10	ns(最小值)	DATA到CLK建立时间
t_3	10	ns(最小值)	DATA到CLK保持时间
t_4	25	ns(最小值)	CLK高电平持续时间
t_5	25	ns(最小值)	CLK低电平持续时间
t_6	10	ns(最小值)	CLK到LE建立时间
t_7	20	ns(最小值)	LE脉冲宽度

时序图

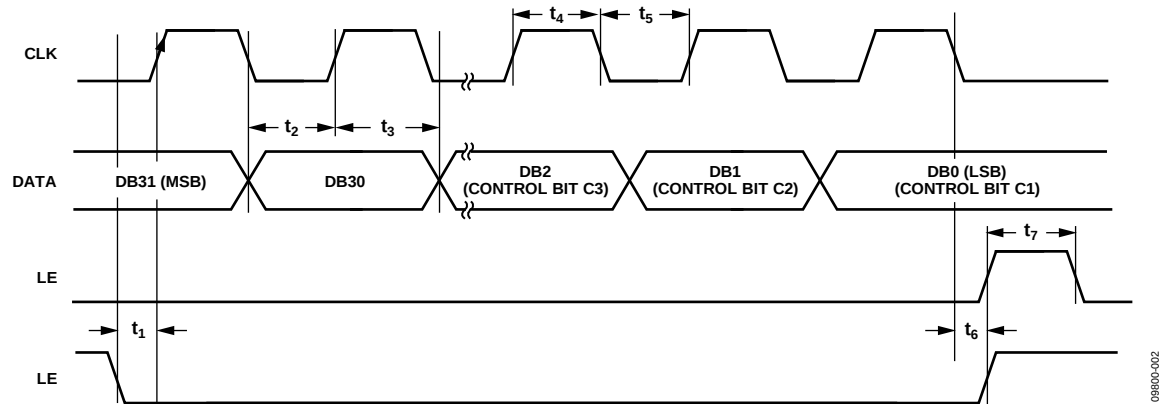


图2. 时序图

绝对最大额定值

除非另有说明，T_A = 25°C。

表3.

参数	额定值
AV _{DD} 至 GND ¹	−0.3 V至+3.9 V
AV _{DD} 至 DV _{DD}	−0.3 V至+0.3 V
V _{VCO} 至 GND ¹	−0.3 V至+3.9 V
V _{VCO} 至 AV _{DD}	−0.3 V至+0.3 V
数字I/O电压至GND ¹	−0.3 V至V _{DD} + 0.3 V
模拟I/O电压至GND ¹	−0.3 V至V _{DD} + 0.3 V
REF _{IN} 至GND ¹	−0.3 V至V _{DD} + 0.3 V
工作温度范围	−40°C至+85°C
存储温度范围	−65°C至+125°C
最高结温	150°C
回流焊	
峰值温度	260°C
峰值温度时间	40 sec

¹ GND = AGND = DGND = CP_{GND} = SD_{GND} = A_{GNDVCO} = 0 V.

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能RF集成电路，ESD额定值小于1.5 kV，对ESD（静电放电）敏感。搬运和装配时应采取适当的防范措施。

晶体管数量

ADF4351的晶体管数量为36,955 (CMOS)和986(双极性)。

热阻

热阻(θ_{JA})针对裸露焊盘焊接到GND的器件指定。

表4. 热阻

封装类型	θ _{JA}	单位
32引脚 LFCSP(CP-32-2)	27.3	°C/W

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

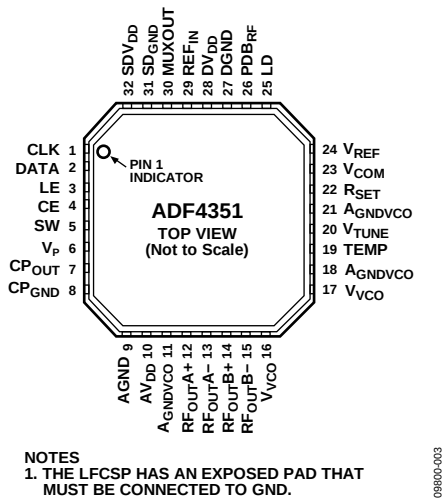


图3. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	CLK	串行时钟输入。数据在CLK上升沿时逐个输入32位移位寄存器。此输入为高阻抗CMOS输入。
2	DATA	串行数据输入。串行数据以MSB优先方式加载，三个LSB用作控制位。此输入为高阻抗CMOS输入。
3	LE	加载使能。当LE变为高电平时，存储在32位移位寄存器中的数据载入三个控制位所选择的寄存器。此输入为高阻抗CMOS输入。
4	CE	芯片使能。此引脚的逻辑低电平将关断器件，并使电荷泵进入三态模式。根据关断位的状态不同，此引脚的逻辑高电平将使器件上电。
5	SW	快速锁定开关。使用快速锁定模式时，必须将环路滤波器与此引脚相连。
6	V _p	电荷泵电源。V _p 的值必须与AV _{DD} 相同。将去耦电容放置到接地层并尽可能靠近此引脚。
7	CP _{OUT}	电荷泵输出。使能时，此输出向外部环路滤波器提供±I _{CP} 。环路滤波器的输出连到V _{TUNE} ，以驱动内部VCO。
8	CP _{GND}	电荷泵接地。此输出是CP _{OUT} 的接地回路引脚。
9	AGND	模拟地。AV _{DD} 的接地回路引脚。
10	AV _{DD}	模拟电源。范围为3.0 V至3.6 V。将去耦电容放置到模拟接地层并尽可能靠近此引脚。AV _{DD} 的值必须与DV _{DD} 相同。
11, 18, 21	AGNDVCO	VCO模拟地。VCO的接地回路引脚。
12	RF _{OUT} A+	VCO输出。输出电平可编程。提供VCO基波输出或分频输出。
13	RF _{OUT} A-	互补VCO输出。输出电平可编程。提供VCO基波输出或分频输出。
14	RF _{OUT} B+	辅助VCO输出。输出电平可编程。提供VCO基波输出或分频输出。
15	RF _{OUT} B-	互补辅助VCO输出。输出电平可编程。提供VCO基波输出或分频输出。
16, 17	V _{VCO}	VCO电源。范围为3.0 V至3.6 V。将去耦电容放置到模拟接地层并尽可能靠近这些引脚。V _{VCO} 的值必须与AV _{DD} 相同。
19	TEMP	温度补偿输出。将去耦电容放置到接地层并尽可能靠近此引脚。
20	V _{TUNE}	VCO的控制输入。此电压决定输出频率，从对CP _{OUT} 输出电压的滤波而获得。

ADF4351

引脚编号	引脚名称	描述
22	R _{SET}	在此引脚与地之间连一个电阻可设置电荷泵输出电流。R _{SET} 引脚的标称电压偏置为0.55 V。I _{CP} 与R _{SET} 的关系如下： $I_{CP} = 25.5/R_{SET}$ 其中： R _{SET} = 5.1 kΩ. I _{CP} = 5 mA.
23	V _{COM}	内部补偿节点。偏置调谐范围的一半。将去耦电容放置到接地层并尽可能靠近此引脚。
24	V _{REF}	基准电压。将去耦电容放置到接地层并尽可能靠近此引脚。
25	LD	锁定检测输出引脚。此引脚输出逻辑高电平时表示PLL锁定。逻辑低电平输出表示PLL失锁。
26	PDB _{RF}	RF关断。此引脚为逻辑低电平时，RF输出静音。此功能也是软件可编程的。
27	DGND	数字地。DV _{DD} 的接地回路引脚。
28	DV _{DD}	数字电源。DV _{DD} 的值必须与AV _{DD} 相同。将去耦电容放置到接地层并尽可能靠近此引脚。
29	REF _{IN}	基准输入。这是一个CMOS输入，标称阈值为AV _{DD} /2，并具有100 kΩ的直流等效输入电阻。此输入可以采用TTL或CMOS晶振驱动，或者交流耦合。
30	MUXOUT	多路复用器输出。此多路复用器输出允许从外部访问锁定检测值、N分频器值或R分频器值。
31	SD _{GND}	数字Σ-Δ调制器地。Σ-Δ调制器的接地回路引脚。
32	SDV _{DD}	数字Σ-Δ调制器的电源引脚。SDV _{DD} 的值必须与AV _{DD} 相同。将去耦电容放置到接地层并尽可能靠近此引脚。
EP	Exposed Pad	裸露焊盘。LFCSP具有一个必须连接至GND的裸露焊盘。

典型工作特性

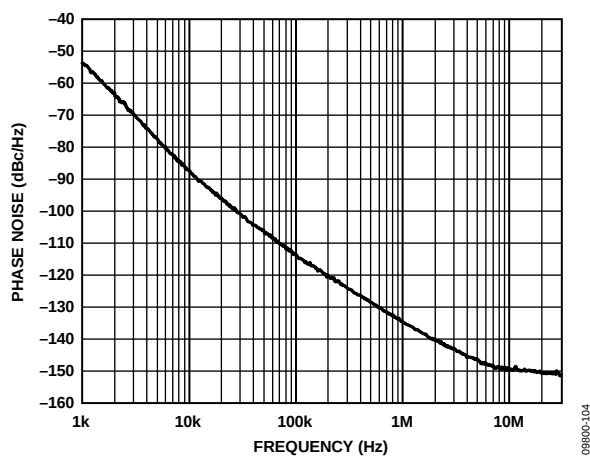


图4. 开环VCO相位噪声, 2.2 GHz

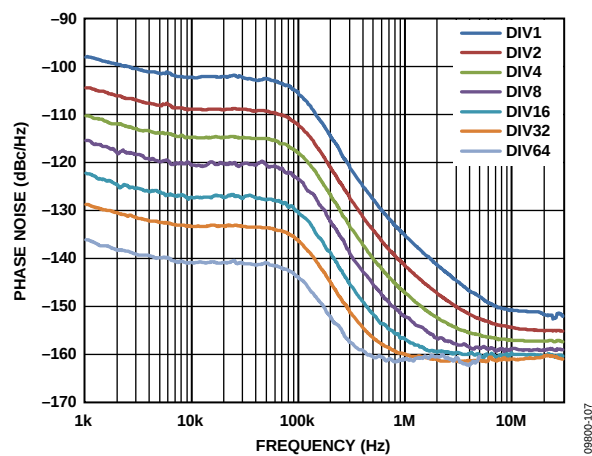
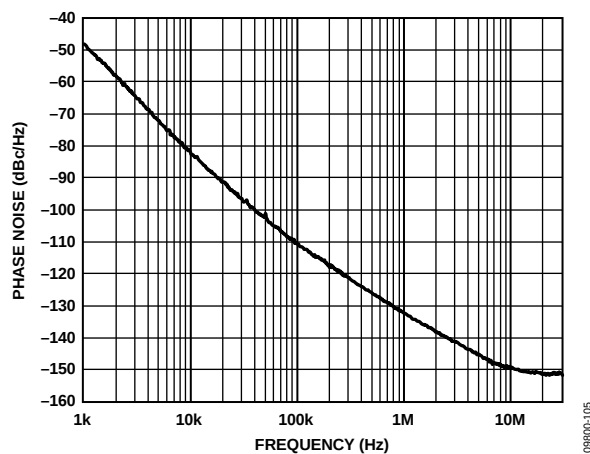
图7. 闭环相位噪声, 基波VCO和分频器,
VCO = 2.2 GHz, PFD = 25 MHz, 环路滤波器带宽 = 63 kHz

图5. 开环VCO相位噪声, 3.3 GHz

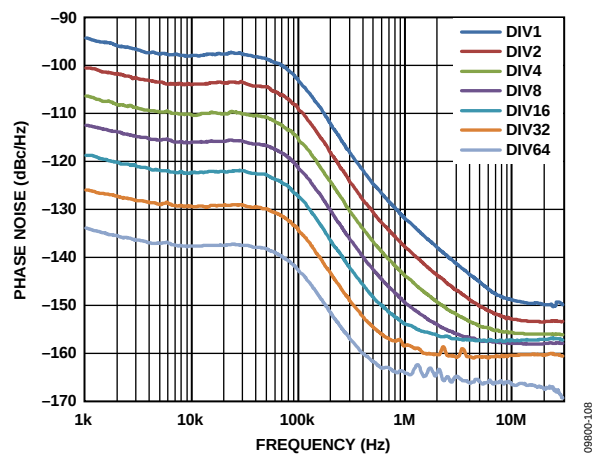
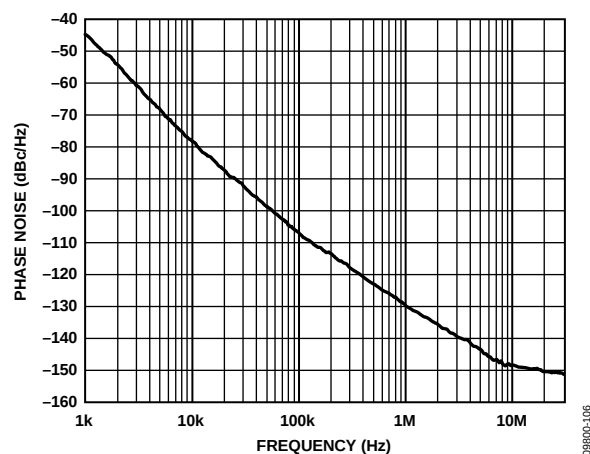
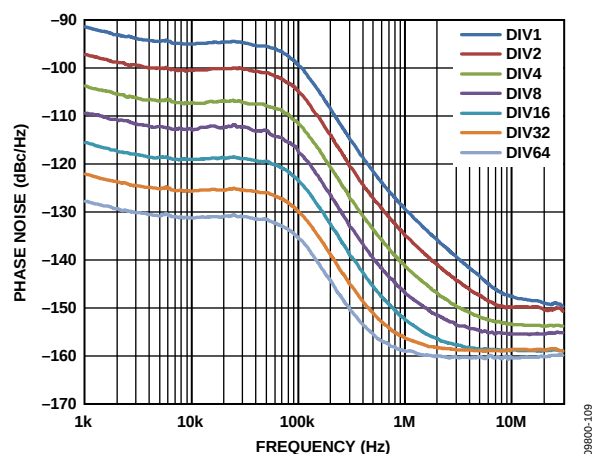
图8. 闭环相位噪声, 基波VCO和分频器,
VCO = 3.3 GHz, PFD = 25 MHz, 环路滤波器带宽 = 63 kHz

图6. 开环VCO相位噪声, 4.4 GHz

图9. 闭环相位噪声, 基波VCO和分频器,
VCO = 4.4 GHz, PFD = 25 MHz, 环路滤波器带宽 = 63 kHz

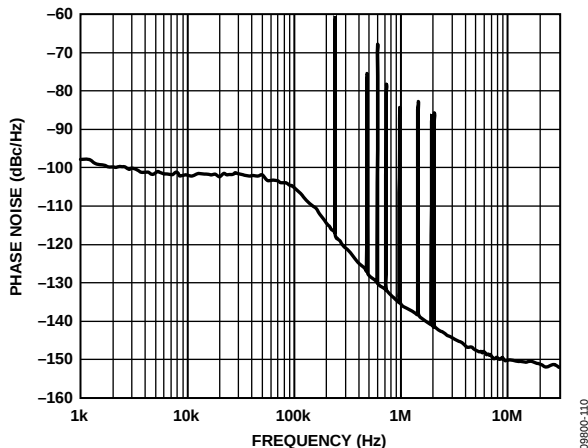


图10. 小数N分频杂散性能, 低噪声模式, W-CDMA频段,
 $RF_{OUT} = 2111.28 \text{ MHz}$, $REF_{IN} = 122.88 \text{ MHz}$, $PFD = 30.72 \text{ MHz}$,
 选择2分频输出; 环路滤波器带宽 = 60 kHz, 通道间隔 = 240 kHz;
 RMS 相位误差 = 0.21° , RMS 抖动 = 0.27 ps , $EVM = 0.37\%$

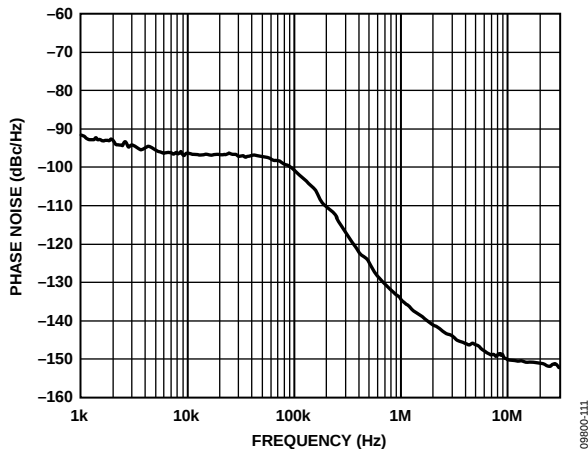


图11. 小数N分频杂散性能, 低杂散模式, W-CDMA频段,
 $RF_{OUT} = 2111.28 \text{ MHz}$, $REF_{IN} = 122.88 \text{ MHz}$, $PFD = 30.72 \text{ MHz}$,
 选择2分频输出; 环路滤波器带宽 = 60 kHz, 通道间隔 = 240 kHz;
 RMS 相位误差 = 0.37° , RMS 抖动 = 0.49 ps , $EVM = 0.64\%$

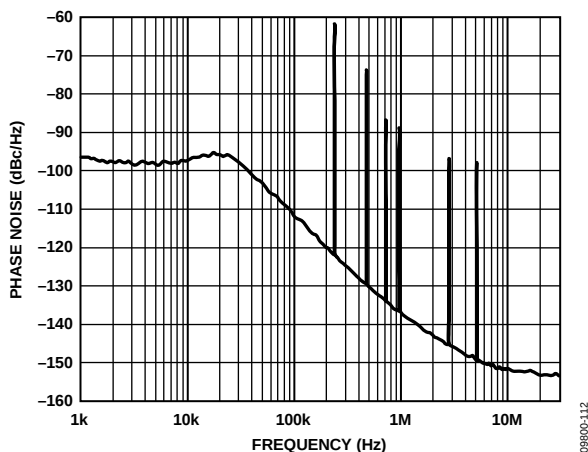


图12. 小数N分频杂散性能, 低噪声模式, W-CDMA频段,
 $RF_{OUT} = 2111.28 \text{ MHz}$, $REF_{IN} = 122.88 \text{ MHz}$, $PFD = 30.72 \text{ MHz}$,
 选择2分频输出; 环路滤波器带宽 = 20 kHz, 通道间隔 = 240 kHz;
 RMS 相位误差 = 0.25° , RMS 抖动 = 0.32 ps , $EVM = 0.44\%$

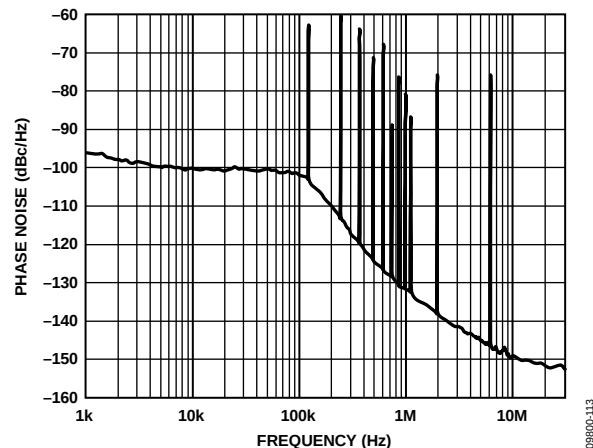


图13. 小数N分频杂散性能, 低噪声模式, LTE频段,
 $RF_{OUT} = 2646.96 \text{ MHz}$, $REF_{IN} = 122.88 \text{ MHz}$, $PFD = 30.72 \text{ MHz}$;
 环路滤波器带宽 = 60 kHz, 通道间隔 = 240 kHz; 相位字 = 9,
 RMS 相位误差 = 0.28° , RMS 抖动 = 0.29 ps , $EVM = 0.49\%$

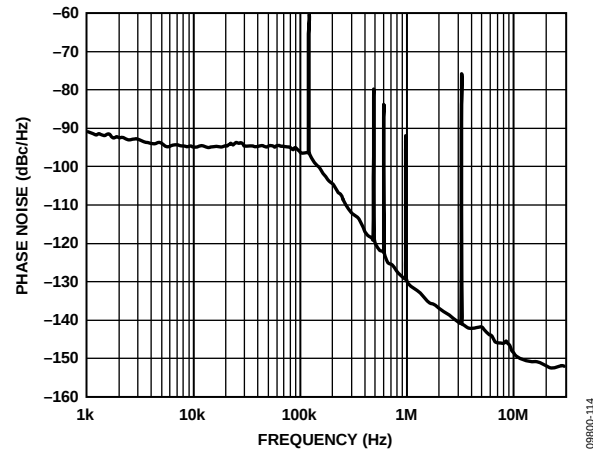


图14. 小数N分频杂散性能, 低杂散模式, LTE频段,
 $RF_{OUT} = 2646.96 \text{ MHz}$, $REF_{IN} = 122.88 \text{ MHz}$, $PFD = 30.72 \text{ MHz}$;
 环路滤波器带宽 = 60 kHz, 通道间隔 = 240 kHz;
 RMS 相位误差 = 0.56° , RMS 抖动 = 0.59 ps , $EVM = 0.98\%$

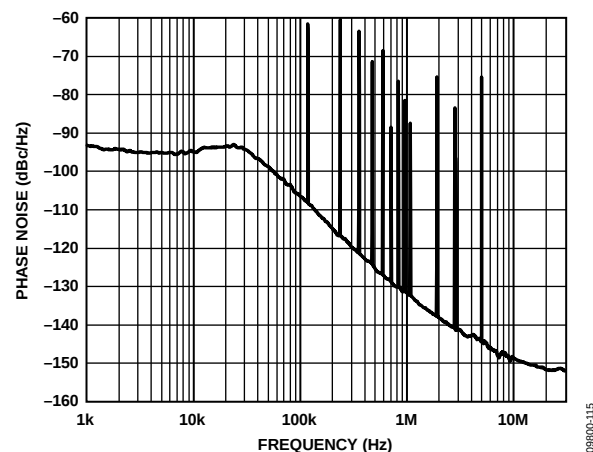


图15. 小数N分频杂散性能, 低噪声模式, W-CDMA频段,
 $RF_{OUT} = 2646.96 \text{ MHz}$, $REF_{IN} = 122.88 \text{ MHz}$, $PFD = 30.72 \text{ MHz}$;
 环路滤波器带宽 = 20 kHz, 通道间隔 = 240 kHz; RMS 相位误差 = 0.35° ,
 RMS 抖动 = 0.36 ps , $EVM = 0.61\%$

电路描述

参考输入部分

参考输入级如图16所示。SW1和SW2为常闭开关。SW3为常开开关。启动关断程序后，SW3闭合，SW1和SW2断开，确保关断期间REF_{IN}引脚无负载。

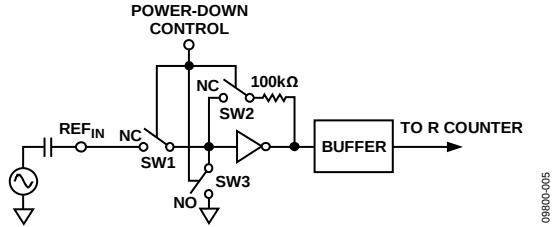


图16. 参考输入级

RF N分频器

RF N分频器可以在PLL反馈路径中提供一个分频比。分频比由构成此分频器的INT、FRAC和MOD的值决定(见图17)。

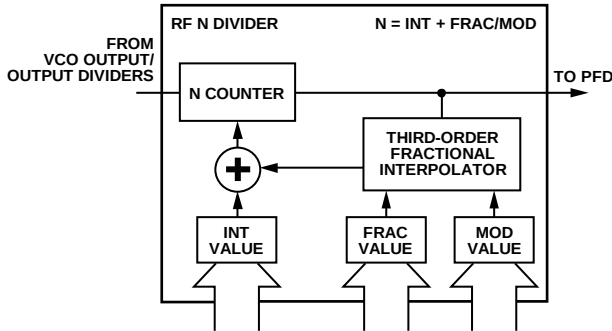


图17. RF N分频器

INT、FRAC、MOD与R分频器的关系

利用INT、FRAC和MOD的值以及R分频器，可以产生间隔为PFD频率的分数的输出频率。详情见“RF频率合成器：一个成功范例”部分。

RF VCO频率(RF_{OUT})公式为：

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC/MOD)) \quad (1)$$

其中：

RF_{OUT}是电压控制振荡器(VCO)的输出频率。

INT是二进制16位计数器的预设分频比(4/5预分频器为23至65535，8/9预分频器为75至65,535)。

FRAC是小数分频的分子(0至MOD - 1)。MOD是预设的小数模数(2至4095)。

PFD频率(f_{PFD})公式为：

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

其中：

REF_{IN}是参考输入频率。

D是REF_{IN}倍频器位(0或1)。

R是二进制10位可编程参考计数器的预设分频比(1至1023)。

T是REF_{IN}2分频位(0或1)。

整数N分频模式

如果FRAC = 0且寄存器2的DB8 (LDF)设为1，则频率合成器工作在整数N分频模式。若要进行整数N数字锁定检测，应将寄存器2的DB8设为1。

R分频器

利用10位R分频器，可以细分输入参考频率(REF_{IN})以产生PFD的参考时钟。分频比可以为1至1023。

鉴频鉴相器(PFD)和电荷泵

鉴频鉴相器(PFD)接受R分频器和N分频器的输入，产生与二者的相位和频率差成比例的输出。图18是该鉴频鉴相器的原理示意图。

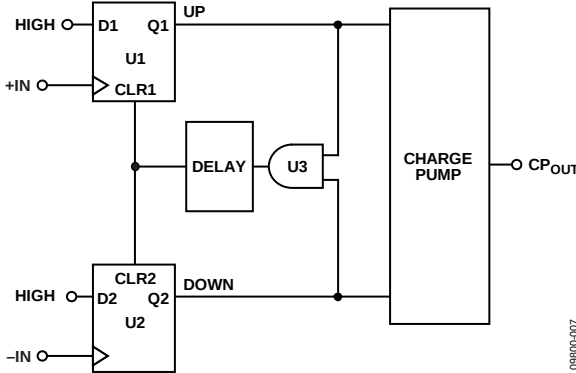


图18. PFD简化原理图

PFD内置一个可编程延迟元件，用来设置防反冲脉冲(ABP)的宽度。此脉冲可确保PFD传递函数中无死区。寄存器3 (R3)中的DB22位用于设置ABP：

- DB22位设为0时，ABP宽度为6 ns，这是小数N分频应用的推荐值。
- DB22位设为1时，ABP宽度为3 ns，这是整数N分频应用的推荐值。

对于整数N分频应用，较短的脉冲宽度有助于改善带内噪声。这种模式下，PFD的工作频率最高可达90 MHz。当PFD工作频率高于45 MHz时，必须将寄存器1中的相位调整位(DB28)设为1以禁用VCO频段选择。

MUXOUT和锁定检测

ADF4351的多路复用器输出允许用户访问芯片的各种内部点。MUXOUT状态由寄存器2中的M3、M2和M1位控制(见图26)。图19以框图形式显示了MUXOUT部分。

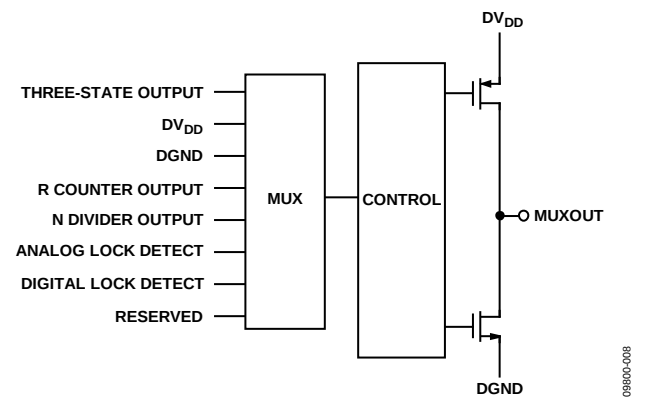


图19. MUXOUT原理图

输入移位寄存器

ADF4351数字部分包括一个10位RF R计数器、一个16位RF N计数器、一个12位FRAC计数器和一个12位模数计数器。数据在CLK的每个上升沿时逐个输入32位移位寄存器。数据输入方式是MSB优先。在LE上升沿时，数据从移位寄存器传输至六个锁存器之一。目标锁存器由移位寄存器中的三个控制位(C3、C2和C1)的状态决定。如图2所示，这些控制位是三个LSB：DB2、DB1和DB0。表6是这些位的真值表。图23总结了这些锁存器的编程方式。

表6. C3、C2和C1控制位的真值表

控制位			寄存器
C3	C2	C1	
0	0	0	寄存器0 (R0)
0	0	1	寄存器1 (R1)
0	1	0	寄存器2 (R2)
0	1	1	寄存器3 (R3)
1	0	0	寄存器4 (R4)
1	0	1	寄存器5 (R5)

编程模式

表6和图23至图29显示了如何设置ADF4351的编程模式。

ADF4351的下列设置采用双缓冲：相位值、模数值、参考倍频器、参考2分频、R分频器值和电荷泵电流设置。器件要使用任何双缓冲设置的新值，必须发生两个事件：

1. 通过写入适当的寄存器，将新值锁存至器件中。
2. 对寄存器0 (R0)执行一次新的写操作。

例如，更新模数值时，必须写入寄存器0 (R0)，以确保模数值正确加载。寄存器4 (R4)中的分频器选择值也是双缓冲，但条件是寄存器2 (R2)的DB13位设为1。

VCO

ADF4351的VCO内核由三个独立VCO组成，每个VCO使用16个重叠频段，如图20所示，以便覆盖较宽的频率范围，而VCO灵敏度(K_V)则较小，不会导致相位噪声和杂散性能较差。

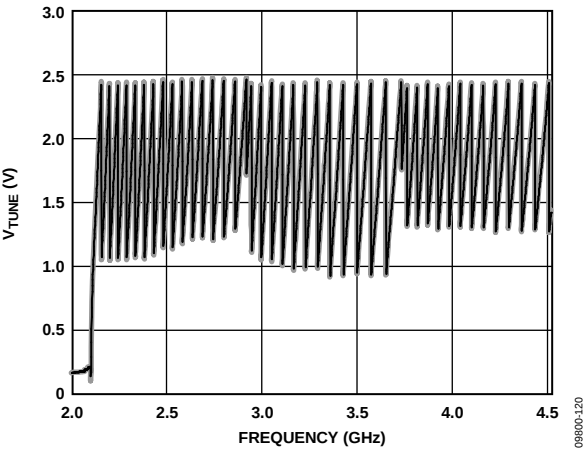


图20. V_{TUNE} 与频率的关系

上电时或寄存器0 (R0)更新时，VCO和频段选择逻辑会自动选择正确的VCO和频段。

VCO和频段选择取10个PFD周期与频段选择时钟分频器值的乘积。VCO V_{TUNE} 与环路滤波器的输出断开，连到内部基准电压。

R计数器用作频段选择逻辑的时钟。R计数器输出端有一个可编程分频器，允许进行1至255整数分频，该分频器值由寄存器4 (R4)中的位[DB19:DB12]设置。当所需PFD频率高于125 kHz时，应设置分频比，以为正确选择频段提供足够的时间。

频段选择需要10个PFD周期，也就是80 μ s。如果需要更快的锁定时间，必须将寄存器3 (R3)的DB23位设为1。此设置允许用户选择最高500 kHz的频段选择时钟频率，从而最短频段选择时间缩短到20 μ s。对于相位调整和小(<1 MHz)频率调整，用户可以将寄存器1 (R1)的DB28位设为1，从而禁用VCO频段选择。此设置选择相位调整特性。

选择频段之后，恢复正常PLL操作。当N分频器采用VCO输出或此值除以D的商驱动时， K_V 的标称值为40 MHz/V。如果N分频器采用RF分频器输出驱动(由寄存器4中的编程位[DB22:DB20]予以选择)，则D为输出分频器值。ADF4351内置线性电路，用以将 I_{CP} 与 K_V 乘积的变化降至最小，从而保持环路带宽不变。

V_{TUNE} 在频段内和频段间变化时，VCO的 K_V 随之变化。针对频率范围较宽(且输出分频器不断变化)的宽带应用，40 MHz/V是最精确的 K_V 值，因为它最接近平均值。图21显示了 K_V 随VCO基频的变化以及频段的平均值。使用窄带设计时，用户可能更倾向于使用此图。

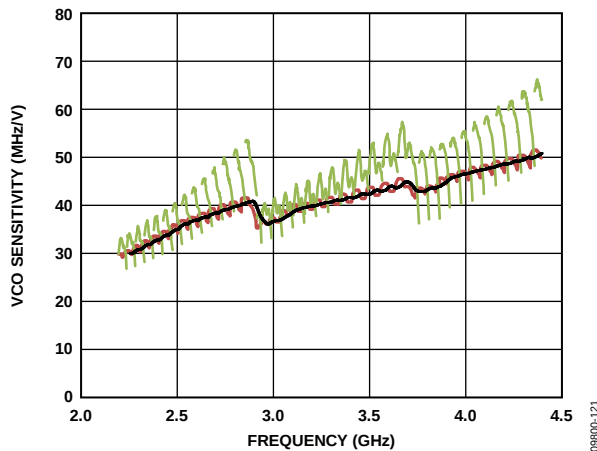


图21. VCO灵敏度(K_V)与频率的关系

输出级

ADF4351的 RF_{OUTA+} 和 RF_{OUTA-} 引脚连到由VCO的缓冲输出驱动的NPN差分对的集电极，如图22所示。

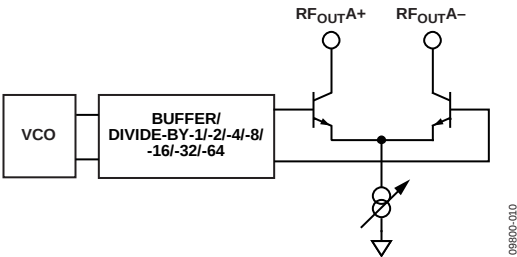


图22. 输出级

为了优化功耗与输出功率之间的关系，用户可以通过寄存器4 (R4)中的位[DB4:DB3]设置该差分对的尾电流。可以设置四种电流水平。使用50 Ω 电阻与 AV_{DD} 相连并交流耦合至50 Ω 负载时，这些电流水平分别提供-4 dBm、-1 dBm、+2 dBm和+5 dBm的输出功率水平。此外，也可以将两路输出合并并在一个1 + 1:1变压器或180°微带耦合器中(参见“输出匹配”部分)。

如果单独使用这些输出，则最佳输出级应包含一个与 V_{VCO} 相连的分流电感。未使用的互补输出必须用与已使用输出相似的电路端接。

引脚 RF_{OUTB+} 和 RF_{OUTB-} 上存在一个辅助输出级，可提供第二组差分输出，用来驱动其它电路。辅助输出级只能在已使能主要输出的情况下使用。如果不使用辅助输出级，可以将其关断。

ADF4351的另一个特性是可以切断RF输出级的电源电流，直到数字锁定检测电路检测到器件实现锁定为止。此特性可通过设置寄存器4 (R4)中的“静音至检测到锁定”(MTLD)位使能。

寄存器映射

REGISTER 0

RESERVED	16-BIT INTEGER VALUE (INT)																12-BIT FRACTIONAL VALUE (FRAC)												CONTROL BITS			
	DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	0	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3(0)	C2(0)	C1(0)

REGISTER 1

RESERVED			PHASE ADJUST	PRESCALER	12-BIT PHASE VALUE (PHASE) DBR ¹												12-BIT MODULUS VALUE (MOD) DBR ¹												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	PH1	PR1	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3(0)	C2(0)	C1(1)

REGISTER 2

RESERVED	LOW NOISE AND LOW SPUR MODES		MUXOUT			REFERENCE DOUBLER DBR ¹	DBR ¹	10-BIT R COUNTER DBR ¹												DOUBLE BUFFER	CHARGE PUMP CURRENT SETTING DBR ¹				LDF	LDP	PD POLARITY	POWER-DOWN	CP THREE-STATE	COUNTER RESET	CONTROL BITS		
						RDIV2																											
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
0	L2	L1	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	U6	U5	U4	U3	U2	U1	C3(0)	C2(1)	C1(0)		

REGISTER 3

RESERVED								BAND SELECT CLOCK MODE	ABP	CHARGE CANCEL	RESERVED		CSR	RESERVED	CLK DIV MODE	12-BIT CLOCK DIVIDER VALUE												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	F4	F3	F2	0	0	F1	0	C2	C1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(0)	C2(1)	C1(1)

REGISTER 4

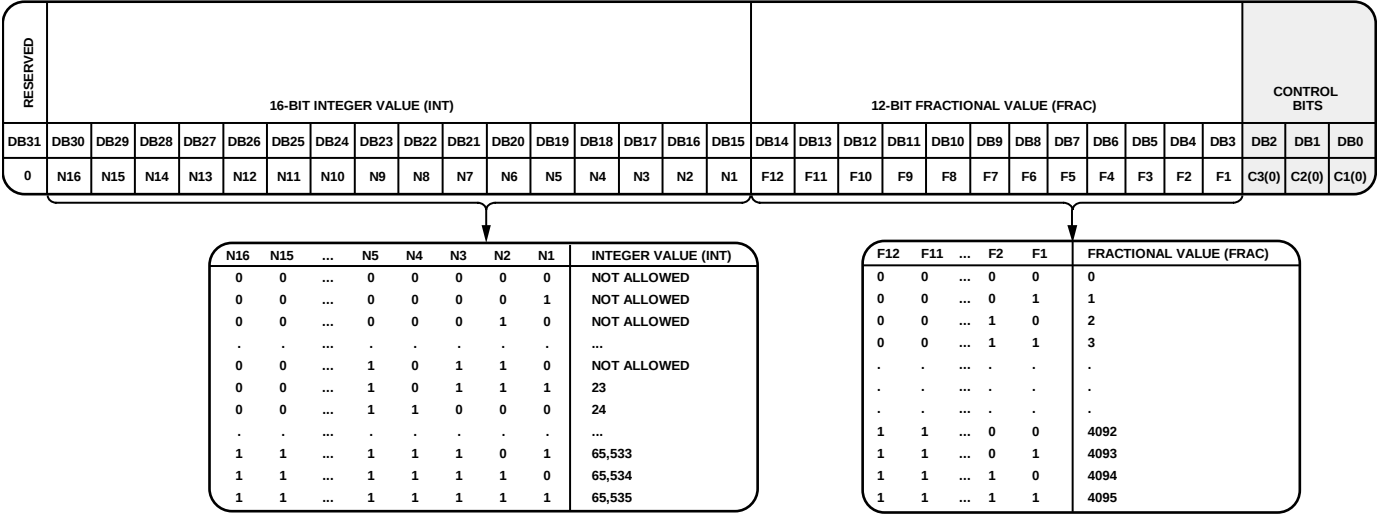
RESERVED								FEEDBACK SELECT	DBB ² RF DIVIDER SELECT				8-BIT BAND SELECT CLOCK DIVIDER VALUE								VCO POWER- DOWN	MTLD	AUX OUTPUT SELECT	AUX OUTPUT ENABLE	AUX OUTPUT POWER		RF OUTPUT ENABLE	OUTPUT POWER		CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	D13	D12	D11	D10	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(1)	C2(0)	C1(0)	

REGISTER 5

RESERVED								LD PIN MODE		RESERVED	RESERVED		RESERVED																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	D15	D14	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(1)	C2(0)	C1(1)

¹DBR = DOUBLE-BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.
²DBB = DOUBLE-BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0, IF AND ONLY IF DB13 OF REGISTER 2 IS HIGH.

图23. 寄存器小结



INTmin = 75 WITH PRESCALER = 8/9

图24. 寄存器0 (R0)

09800-012

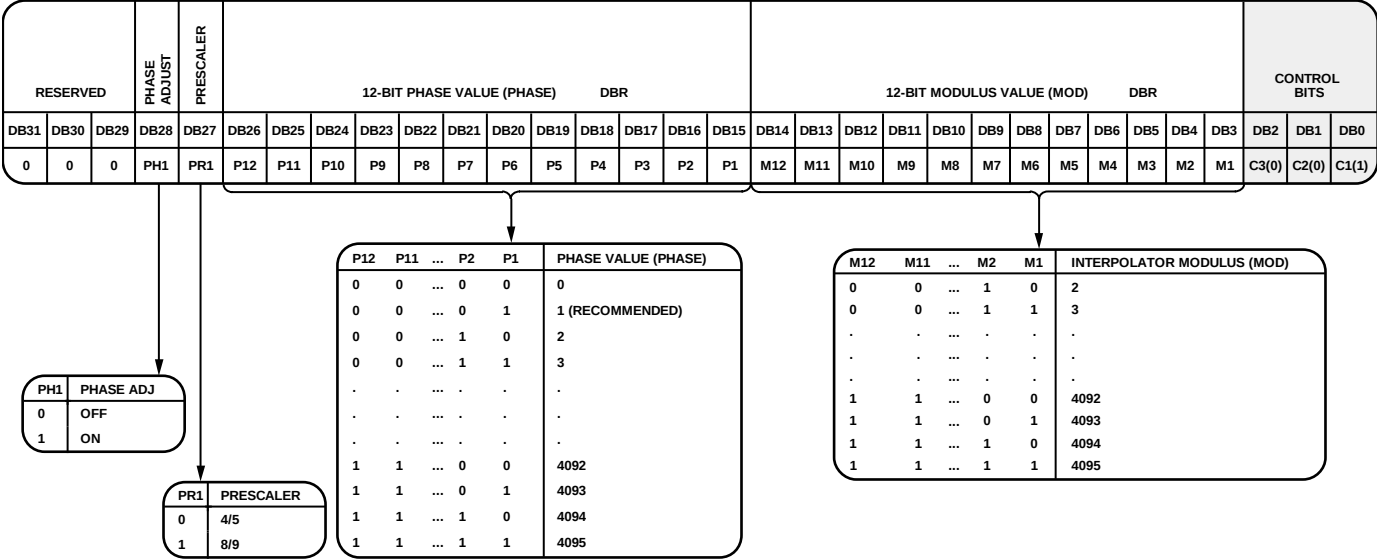


图25. 寄存器1 (R1)

09800-013

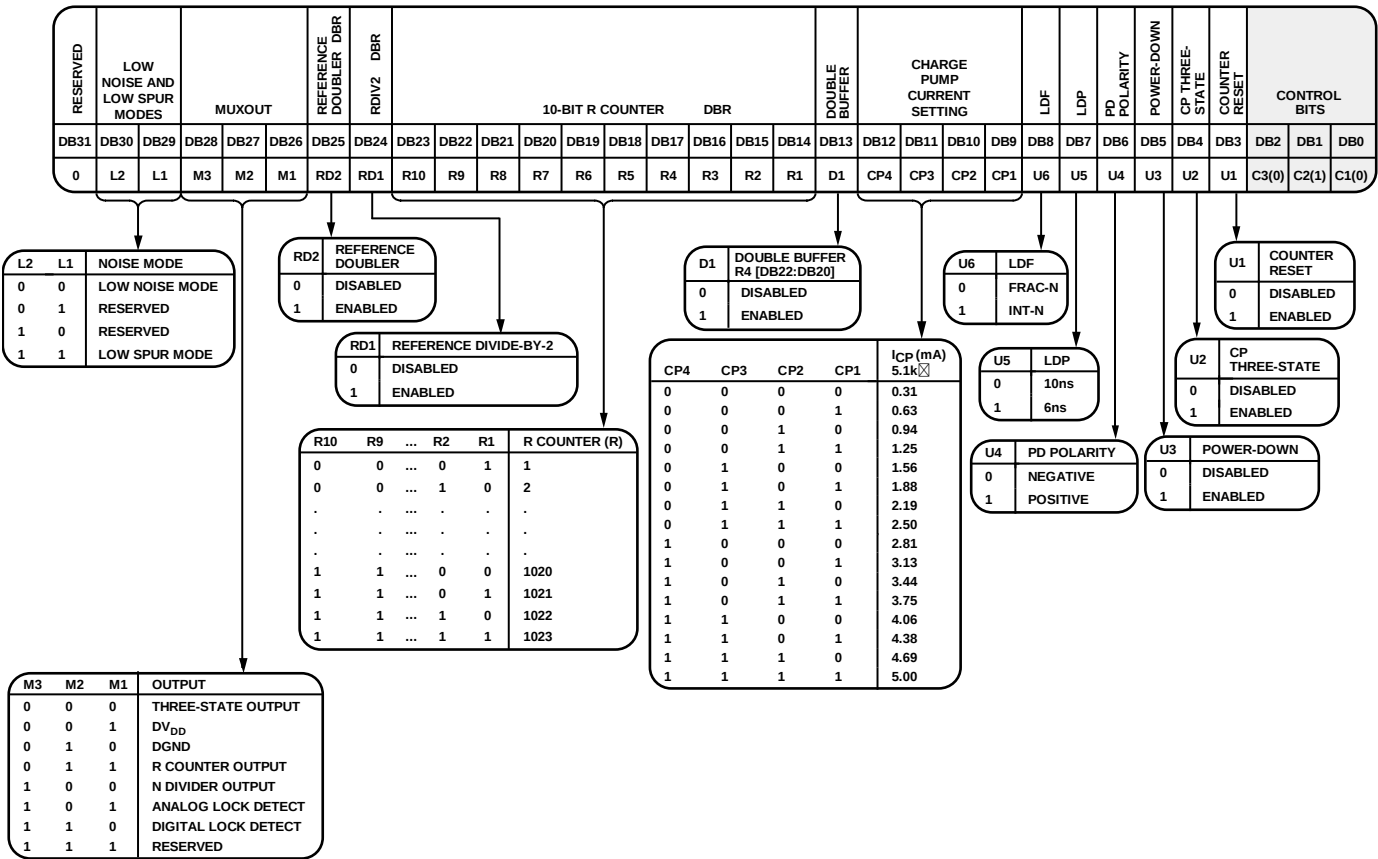


图26. 寄存器2 (R2)

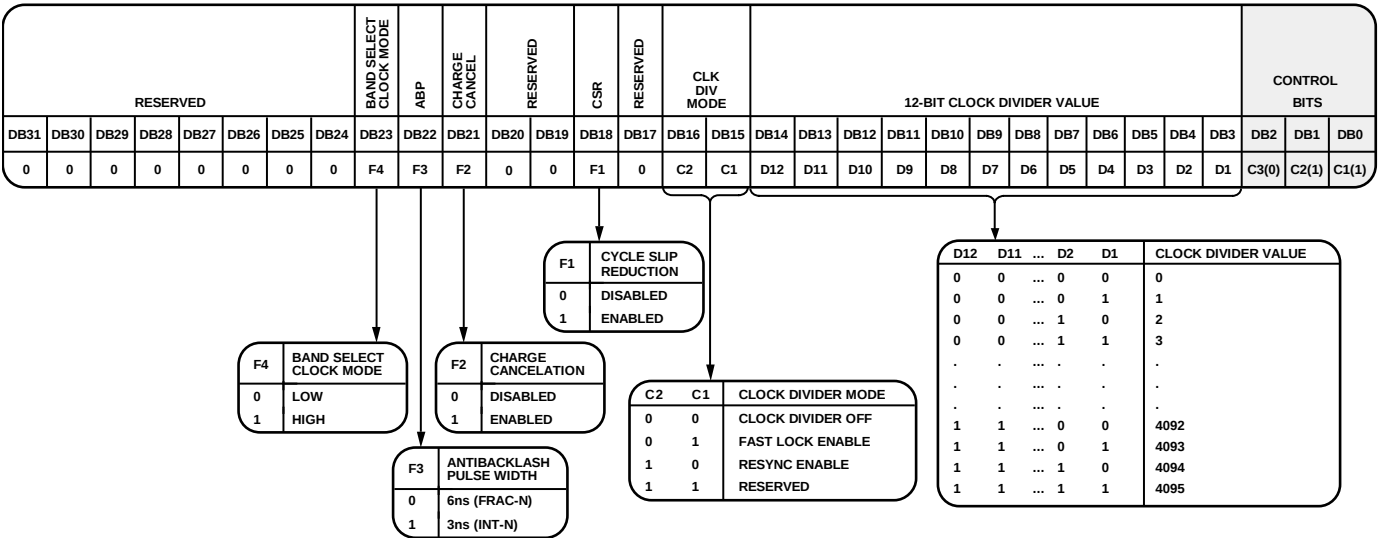


图27. 寄存器3 (R3)

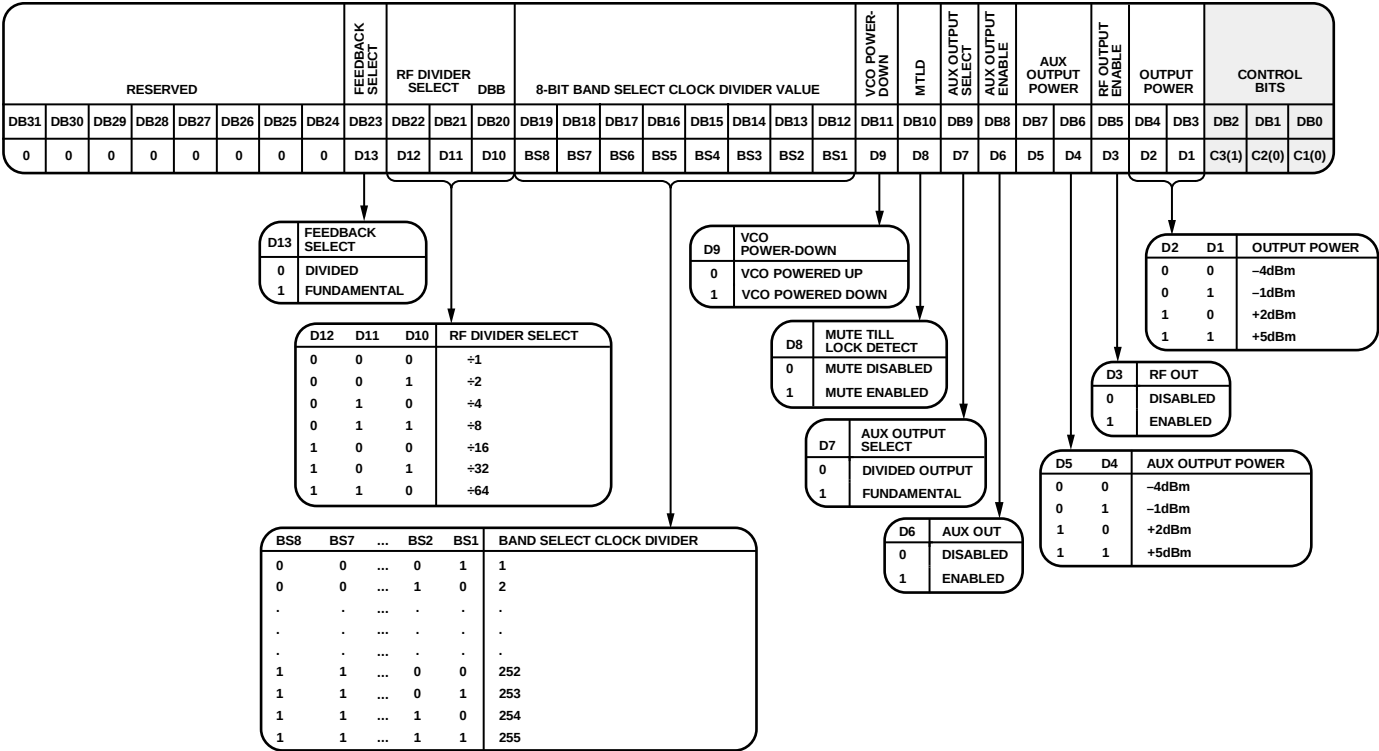


图28. 寄存器4 (R4)

09800-016

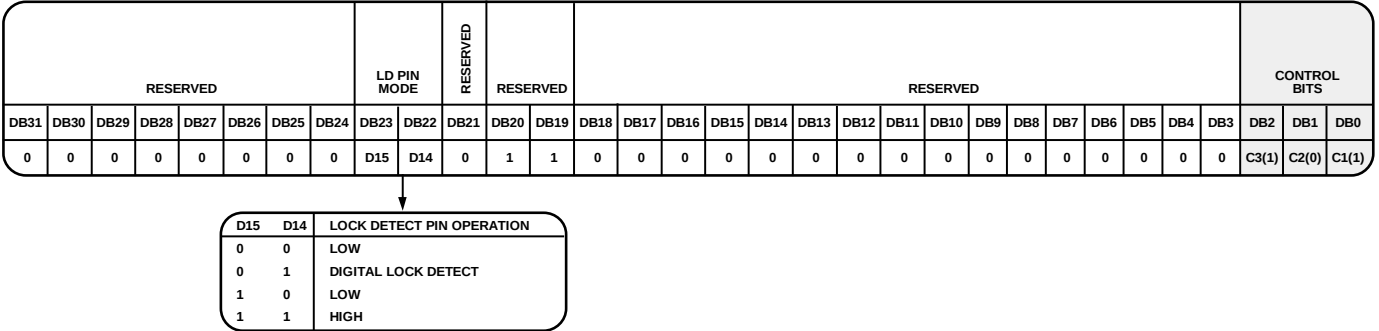


图29. 寄存器5 (R5)

09800-017

ADF4351

寄存器0

控制位

当位[C3:C1]设置为000时，可对寄存器0进行编程。图24显示对此寄存器进行编程的输入数据格式。

16位整数值(INT)

这16个INT位(位[DB30:DB15])设置INT值，它决定反馈分频系数的整数部分，用于公式1(参见“INT、FRAC、MOD与R分频器的关系”部分)。对于4/5预分频器，可以设置23到65,535的整数值；对于8/9预分频器，最小整数值为75。

12位小数值(FRAC)

12个FRAC位(位[DB14:DB3])设置Σ-Δ调制器小数输入的分子。它与INT值一起指定频率合成器所锁定的新频率通道，参见“RF频率合成器：一个成功范例”部分。FRAC值的范围是从0到(MOD - 1)，所涵盖的通道频率范围与PFD基准频率相同。

寄存器1

控制位

当位[C3:C1]设置为001时，可对寄存器1进行编程。图25显示对此寄存器进行编程的输入数据格式。

相位调整

相位调整位(位DB28)决定是否允许对给定输出频率的输出相位进行调整。相位调整使能(位DB28设为1)时，器件在寄存器0更新时不执行VCO频段选择或相位再同步。相位调整禁用(位DB28设为0)时，器件在寄存器0更新时执行VCO频段选择和相位再同步(前提是寄存器3中的相位再同步(位[DB16:DB15])使能)。建议不要禁用VCO频段选择，除非是固定频率应用或相对于原始选择频率的偏差小于1 MHz。

预分频器值

双模预分频器(P/P + 1)与INT、FRAC和MOD值一起，决定从VCO输出到PFD输入的整体分频比。寄存器1中的PR1位(DB27)设置预分频器值。

预分频器工作在CML电平，从VCO输出获得时钟，并针对分频器进行分频。预分频器基于同步4/5内核。当预分频器设置为4/5时，容许的最大RF频率为3.6 GHz。因此，当ADF4351的工作频率超过3.6 GHz时，必须将预分频器设置为8/9。预分频器会限制INT值：

- 预分频器 = 4/5： $N_{\min} = 23$
- 预分频器 = 8/9： $N_{\min} = 75$

12位相位值

位[DB26:DB15]控制相位字。相位字必须小于寄存器1中设置的MOD值。相位字用来设置RF输出相位，从0°到360°，分辨率为360°/MOD(参见“相位再同步”部分)。

多数应用中，RF信号与参考信号之间的相位关系不是很重要。对于这些应用，相位值可用来优化小数和次分小数杂散水平。更多信息见“杂散一致性和小数杂散优化”部分。

如果相位再同步和杂散优化功能均不使用，建议将相位字设置为1。

12位模数值(MOD)

12个MOD位(位[DB14:DB3])设置小数模数，即PFD频率与RF输出端通道步进分辨率的比值。详见“12位可编程模数”部分。

寄存器2

控制位

当位[C3:C1]设置为010时，可对寄存器2进行编程。图26显示对此寄存器进行编程的输入数据格式。

低噪声和低杂散模式

ADF4351的噪声模式由寄存器2中的位[DB30:DB29]控制(参见图26)。噪声模式允许用户优化设计，以改善杂散性能或相位噪声性能。

选择低杂散模式将使能扰动。扰动会将使小数量化噪声随机化，使其类似于白色噪声，而不是杂散噪声。因此，器件的杂散性能便得以改善。对于PLL闭环带宽较宽的快速锁定应用，一般使用低杂散模式。宽环路带宽是指大于 RF_{OUT} 通道步进分辨率(f_{res}) 1/10的环路带宽。宽环路滤波器无法将杂散衰减到与窄环路带宽相同的水平。

为获得最佳噪声性能，可以使用低噪声模式选项。选择低噪声模式将禁用扰动。此模式会确保电荷泵工作在使噪声性能最佳的区域。当环路滤波器带宽较窄时，低噪声模式非常有用。频率合成器会确保噪声极低，滤波器则会衰减杂散。图10至图12显示了典型W-CDMA设置中不同噪声和杂散设置的效果。

MUXOUT

片内多路复用器由位[DB28:DB26]控制(参见图26)。注意，为使VCO频段选择正常工作，必须禁用N分频器输出。

参考倍频器

当DB25位设置为0时，倍频器禁用，REFIN信号直接输入10位R分频器。当此位设置为1时，REFIN频率加倍，然后输入10位R分频器。倍频器禁用时，REFIN下降沿是小数频率合成器的PFD输入端的有效沿。倍频器使能时，REFIN的上升沿和下降沿均是PFD输入端的有效沿。

当使能倍频器且选择低杂散模式时，带内相位噪声性能对REFIN占空比敏感。对于45%至55%范围之外的REFIN占空比，相位噪声性能下降可能多达5 dB。在低噪声模式下，并且倍频器禁用时，相位噪声性能对REFIN占空比不敏感。

倍频器使能时，最大容许REFIN频率为30 MHz。

RDIV2

当DB24位设置为1时，R分频器与PFD之间将插入一个二分频触发器，以扩大REFIN最大输入速率。此功能使得PFD输入端信号占空比为50%，这对于减少周跳是必要的。

10位R分频器

利用10位R分频器(位[DB23:DB14])，可以细分输入参考频率(REFIN)以产生PFD的参考时钟。分频比可以为1至1023。

双缓冲器

DB13位使能或禁用对寄存器4中的位[DB22:DB20]的双缓冲。有关双缓冲工作原理的信息，参见“编程模式”部分。

电荷泵电流设置

位[DB12:DB9]用于设置电荷泵的电流。应将电荷泵电流设置为环路滤波器的设计电流(参见图26)。

锁定检测功能(LDF)

DB8位配置锁定检测功能(LDF)。LDF控制PFD周期数，锁定检测电路监视该周期数以确定是否实现锁定。DB8设为0时，监视的PFD周期数为40。DB8设为1时，监视的PFD周期数为5。对于小数N分频模式，建议将DB8位设为0；对于整数N分频模式，建议将其设为1。

锁定检测精度(LDP)

锁定检测精度位(DB7)设置锁定检测电路的比较窗口。DB7设为0时，比较窗口为10 ns；DB7设为1时，比较窗口为6 ns。当n个连续PFD周期小于比较窗口值时，锁定检测电路变为高电平；n由LDF位(DB8)设置。例如，当DB8 = 0且DB7 = 0时，必须经过40个连续的10 ns或更短PFD周期后，数字锁定检测才会变为高电平。

对于小数N分频应用，位[DB8:DB7]的推荐设置为00；对于

整数N分频应用，位[DB8:DB7]的推荐设置为11。

鉴相器极性

DB6位设置鉴相器极性。如果使用无源环路滤波器或同相有源环路滤波器，则应将此位设置为1。如果使用反相有源滤波器，则应将此位设置为0。

关断(PD)

DB5位提供可编程关断模式。当此位设置为1时，执行关断程序。当此位设置为0时，频率合成器恢复正常工作。在软件关断模式下，器件会保留寄存器中的所有信息。只有当切断电源时，寄存器内容才会丢失。

激活关断时，将发生下列事件：

- 强制频率合成器的分频器进入加载状态。
- VCO关断。
- 强制电荷泵进入三态模式。
- 数字锁定检测电路复位。
- RF_{OUT}缓冲器禁用。
- 输入寄存器保持活动状态，能够加载并锁存数据。

电荷泵三态

DB4位设置为1时，电荷泵进入三态模式。正常工作时，应将此位设置为0。

分频器复位

DB3位是ADF4351的R分频器和N分频器的reset位。当此位设为1时，RF频率合成器N分频器和R分频器处于复位状态。正常工作时，此位应设置为0。

寄存器3

控制位

当位[C3:C1]设置为011时，可对寄存器3进行编程。图27显示对此寄存器进行编程的输入数据格式。

频段选择时钟模式

DB23位设为1时，选择较快的频段选择逻辑序列，这种设置适合高PFD频率，对于快速锁定应用是必要的。对于低PFD(<125 kHz)值，建议将DB23位设为0。对于较快的频段选择逻辑模式(DB23设为1)，频段选择时钟分频器的值必须小于或等于254。

防反冲脉冲宽度(ABP)

DB22位设置PFD防反冲脉冲宽度。DB22位设为0时，PFD防反冲脉冲宽度为6 ns。建议小数N分频使用此设置。DB22位设为1时，PFD防反冲脉冲宽度为3 ns，可改善整数N分频操作的相位噪声和杂散性能。对于小数N分频操作，不建议使用3 ns设置。

ADF4351

电荷消除

DB21位设为1将使能电荷泵电荷消除功能，这可以降低整数N分频模式下的PFD杂散。在小数N分频模式下，此位应设置为0。

CSR使能

DB18位设置为1将使能周跳减少(CSR)功能。利用此功能可缩短锁定时间。请注意，为使周跳减少有效，鉴频鉴相器(PFD)的信号必须有50%的占空比。电荷泵电流设置也必须设置为最小值。详情见“减少周跳以缩短锁定时间”部分。

时钟分频器模式

位[DB16:DB15]设置为10时将激活相位再同步(参见“相位再同步”部分)，设置为01时将激活快速锁定(参见“快速锁定定时器和寄存器序列”部分)，设置为00时将禁用时钟分频器(参见图27)。

12位时钟分频器值

位[DB14:DB3]设置12位时钟分频器值。此值是激活相位再同步的超时计数器(参见“相位再同步”部分)。时钟分频器值还设置快速锁定的超时计数器(参见“快速锁定定时器和寄存器序列”部分)。

寄存器4

控制位

当位[C3:C1]设置为100时，可对寄存器4进行编程。图28显示对此寄存器进行编程的输入数据格式。

反馈选择

DB23位选择从VCO输出到N计数器的反馈。此位设置为1时，信号直接从VCO获得。此位设置为0时，信号从输出分频器的输出获得。这些分频器使得输出可涵盖较宽的频率范围(34.375 MHz至4.4 GHz)。当分频器使能且反馈信号从其输出获得时，两个独立配置PLL的RF输出信号同相。这在需要对信号进行正干涉以提高功率的一些应用中很有用。

RF分频器选择

位[DB22:DB20]选择RF输出分频器的值(参见图28)。

频段选择时钟分频器值

位[DB19:DB12]设置频段选择逻辑时钟输入的分频器。R分频器的输出默认用作频段选择逻辑时钟，但如果此值太大(>125 kHz)，则可以启用一个分频器，以将R分频器输出细分为较小的值(参见图28)。

VCO关断

DB11位设为0时，VCO上电；设为1时，VCO关断。

静音至检测到锁定(MTLD)

如果DB10位设置为1，则切断RF输出级的电源电流，直到数字锁定检测电路检测到器件实现锁定为止。

辅助输出选择

DB9位设置辅助RF输出。DB9设为0时，辅助RF输出为RF分频器的输出；DB9设为1时，辅助RF输出为VCO基频。

辅助输出使能

DB8位使能或禁用辅助RF输出。DB8设为0时，辅助RF输出禁用；DB8设为1时，辅助RF输出使能。

辅助输出功率

位[DB7:DB6]设置辅助RF输出功率水平的值(参见图28)。

RF输出使能

DB5位使能或禁用主RF输出。DB5设为0时，主RF输出禁用；DB5设为1时，主RF输出使能。

输出功率

位[DB4:DB3]设置主RF输出功率水平的值(参见图28)。

寄存器5

控制位

当位[C3:C1]设置为101时，可对寄存器5进行编程。图29显示对此寄存器进行编程的输入数据格式。

锁定检测引脚工作方式

位[DB23:DB22]设置锁定检测(LD)引脚的工作方式(参见图29)。

寄存器初始化序列

初始上电时，对电源引脚施加正确的电压后，[ADF4351](#)寄存器应按以下顺序启动：

1. 寄存器5
2. 寄存器4
3. 寄存器3
4. 寄存器2
5. 寄存器1
6. 寄存器0

RF频率合成器：一个成功范例

下面的公式用于对ADF4351频率合成器进行编程：

$$RF_{OUT} = [INT + (FRAC/MOD)] \times (f_{PFD}/RF \text{ Divider}) \quad (3)$$

其中：

RF_{OUT} 是RF频率输出；

INT 是整数分频系数；

$FRAC$ 是小数分频的分子(0至MOD - 1)。

MOD 是预设的小数模数(2至4095)。

$RF \text{ Divider}$ 是细分VCO频率的输出分频器。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (4)$$

其中：

REF_{IN} 是参考频率输入；

D 是RF REF_{IN} 倍频器位(0或1)；

R 是RF参考分频系数(1至1023)；

T 是参考2分频位(0或1)。

例如，一个UMTS系统要求2112.6 MHz RF频率输出(RF_{OUT})，参考频率输入(REF_{IN})为10 MHz，并且RF输出要求200 kHz通道分辨率(f_{RESOUT})。

请注意，ADF4351 VCO工作在2.2 GHz至4.4 GHz频率范围内。因此，应使用RF二分频(VCO频率 = 4225.2 MHz， RF_{OUT} = VCO频率/RF分频器 = 4225.2 MHz/2 = 2112.6 MHz)。

环路何处闭合也很重要。本例中，环路在输出分频器之前闭合(参见图30)。

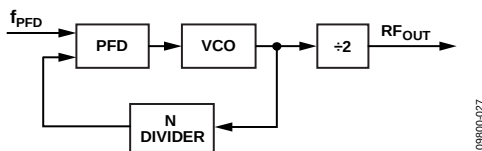


图30. 环路在输出分频器之前闭合

RF分频器的输出要求200 kHz通道分辨率(f_{RESOUT})。因此，VCO输出的通道分辨率(f_{RES})需为 f_{RESOUT} 的两倍，即400 kHz。

$$\begin{aligned} MOD &= REF_{IN}/f_{RES} \\ MOD &= 10 \text{ MHz}/400 \text{ kHz} = 25 \end{aligned}$$

根据公式4，

$$f_{PFD} = [10 \text{ MHz} \times (1 + 0)/1] = 10 \text{ MHz} \quad (5)$$

$$2112.6 \text{ MHz} = 10 \text{ MHz} \times [(INT + (FRAC/25))/2] \quad (6)$$

其中：

$INT = 422$ 。

$FRAC = 13$ 。

参考倍频器和参考分频器

片内参考倍频器可以使输入参考信号频率加倍，参考信号频率加倍意味着PFD比较频率加倍，这可以改善系统的噪声性能。PFD频率加倍一般可使噪声性能改善3 dB。注意，在小数N分频模式下，由于N分频器的Σ-Δ电路存在速度限制，PFD的工作频率不能高于32 MHz。对于整数N分频应用，PFD的工作频率最高可达90 MHz。

参考2分频将参考信号除以2，得到50%占空比的PFD频率。这是周跳减少(CSR)功能正常工作所必需的。详情见“减少周跳以缩短锁定时间”部分。

12位可编程模数

模数(MOD)的选择取决于可用的参考信号(REF_{IN})以及RF输出所需的通道分辨率(f_{RES})。例如，一个13 MHz REF_{IN} 的GSM系统将模数设置为65。这意味着，RF输出分辨率(f_{RES})为GSM所必需的200 kHz (13 MHz/65)。扰动关闭时，小数杂散间隔取决于所选的模数值(参见表7)。

与其它大多数小数N分频PLL不同，ADF4351允许用户在12位范围内设置模数。结合参考倍频器和10位R分频器，用户可以通过12位模块实现许多不同的配置，以适合各种应用。

例如，考虑一个要求1.75 GHz RF频率输出和200 kHz通道步进分辨率的应用。该系统具有13 MHz参考信号。

一种可能的设置是将13 MHz参考信号直接馈入PFD，并将模数设置为除以65，这样就能获得所需的200 kHz分辨率。

另一种可能的设置是使用参考倍频器，从13 MHz输入信号产生26 MHz信号。然后，将此26 MHz馈入模数设置为130的PFD，这样也能获得200 kHz分辨率，而且相位噪声性能优于前一种设置。

可编程模数对于多标准应用也非常有用。例如，如果双模电话要求支持PDC和GSM 1800两种标准，则可编程模数非常有利。

PDC要求25 kHz通道步进分辨率，GSM 1800则要求200 kHz通道设置分辨率。可以将13 MHz参考信号直接馈入PFD，在PDC模式下，模数设置为520 (13 MHz/520 = 25 kHz)。在GSM 1800模式下，必须将模数设置为65 (13 MHz/65 = 200 kHz)。

PFD频率必须保持恒定(本例中为13 MHz)，以使用户为两种设置设计一个环路滤波器，而不会发生不稳定问题。注意，RF频率与PFD频率之比原则上会影响环路滤波器设计，而不是实际的通道间隔。

减少周跳以缩短锁定时间

如“低噪声和低杂散模式”部分所述，ADF4351有多种特性可用来优化噪声性能。但是，快速锁定应用一般要求宽环路带宽，因此滤波器不能大幅衰减杂散。如果启用周跳减少特性，则可以针对杂散衰减保持窄环路带宽，同时仍能实现较快的锁定时间。

周跳

当环路带宽比PFD频率窄时，小数N分频/整数N分频频率合成器就会发生周跳。PFD输入端的相位误差积累过快，PLL来不及校正，电荷泵暂时沿错误方向吸入电荷，这就会大幅延缓锁定时间。ADF4351包含周跳减少特性，可扩展PFD的线性范围，从而加快锁定，而无需更改环路滤波器电路。

当电路检测到将要发生周跳时，就会启动额外的电荷泵电流单元。它将向环路滤波器输出恒定的电流，或者从环路滤波器移除恒定的电流(取决于是要提高还是降低VCO调谐电压，以便得到新的频率)。其结果是，PFD的线性范围得以扩展。环路仍然保持稳定，因为该电流恒定且不是脉冲电流。

如果相位误差再次增大到可能又要发生周跳，ADF4351将再启动一个电荷泵单元。这一过程将持续下去，直至ADF4351检测到VCO频率已超过所需的频率。额外的电荷泵单元逐个关闭，直至所有额外电荷泵单元都已禁用，并且频率在初始环路滤波器带宽下达到稳定。

最多可以启动7个额外电荷泵单元。大多数应用中，这足以彻底消除周跳，从而大幅缩短锁定时间。

将寄存器3中的DB18位设置为1可使能周跳减少。请注意，为使周跳减少(CSR)正常工作，PFD要求45%至55%的占空比。如果REF_{IN}频率没有合适的占空比，使能RDIV2模式(寄存器2中的DB24位)可确保PFD的输入具有50%占空比。

杂散优化和快速锁定

窄环路带宽可以滤除不需要的杂散信号，但锁定时间一般较长。较宽的环路带宽可以实现较快的锁定时间，但环路带宽内的杂散信号可能会增加。

快速锁定特性不仅可以实现与较宽带宽一样的快速锁定时间，而且具有较窄最终环路带宽的优势，可以保持低杂散。

快速锁定定时器和寄存器序列

如果使用快速锁定模式，必须将一个定时器值载入PLL，以确定宽带宽模式的持续时间。

当寄存器3中的位[DB16:DB15]设置为01(快速锁定使能)时，该定时器值由12位时钟分频器值(寄存器3中的位[DB14:DB3])加载。要使用快速锁定，必须设置以下序列：

1. 启动初始化序列(参见“寄存器初始化序列”部分)。器件上电后，此序列仅发生一次。
2. 加载寄存器3，将位[DB16:DB15]设置为01，并设置所选的快速锁定时间值(位[DB14:DB3])。PLL保持宽带宽模式的持续时间等于快速锁定时间除以 f_{PFD} 。

快速锁定范例

如果PLL具有13 MHz的参考频率， $f_{\text{PFD}} = 13 \text{ MHz}$ ，并且要求60 μs 的锁定时间，则将PLL的宽带宽模式持续时间设置为20 μs 。本例假设模数为65，以实现200 kHz的通道间隔。同时必须考虑VCO校准时间20 μs (利用寄存器3的DB23位设置较高频段选择时钟模式来实现)。

如果宽带宽模式下PLL锁定时间为20 μs ，则

快速锁定定时器值 = (VCO频段选择时间 + 宽带宽模式下的PLL锁定时间) $\times f_{\text{PFD}} / \text{MOD}$

快速锁定定时器值 = (20 μs + 20 μs) $\times 13 \text{ MHz} / 65 = 8$

因此，必须将值8载入寄存器3中的时钟分频器值(见“快速锁定计时器和寄存器序列”部分中的第二步)。

快速锁定环路滤波器拓扑

要使用快速锁定模式，需将环路滤波器中的阻尼电阻降至宽带宽模式下该电阻值的¼。为实现较宽的环路滤波器带宽，电荷泵电流增大16倍，而为了保持环路稳定，阻尼电阻必须减小¼。要能使快速锁定，需将寄存器3中的位[DB16:DB15]设置为01，使SW引脚对AGND引脚短路。可用的拓扑结构有两种：

- 阻尼电阻(R1)分为两个值(R1和R1A)，二者之比为1:3(参见图31)。
- 直接从SW连一个额外电阻(R1A)，如图32所示。该额外电阻与阻尼电阻(R1)的并联结果应为R1初始值的¼(参见图32)。

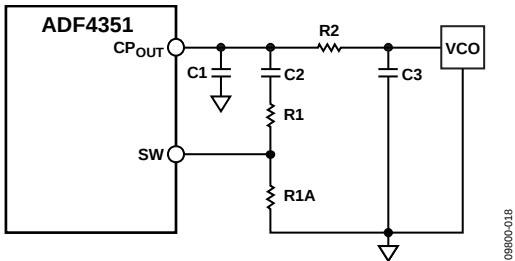


图31. 快速锁定环路滤波器拓扑1

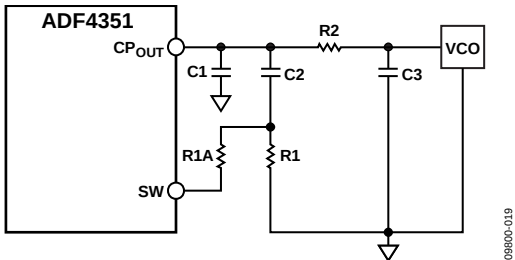


图32. 快速锁定环路滤波器拓扑2

杂散机制

本部分说明小数N分频频率合成器的三种不同杂散机制，以及如何降低ADF4351的杂散。

小数杂散

ADF4351中的小数插值器是一种三阶Σ-Δ调制器，其模数(MOD)可设置为从2到4095的任意整数值。在低杂散模式下(使能扰动)，MOD的最小容许值为50。Σ-Δ调制器的时钟频率为PFD参考频率(f_{PFD})，允许PLL输出频率以 f_{PFD}/MOD 的通道步进分辨率合成。

在低噪声模式下(禁用扰动)，来自Σ-Δ调制器的量化噪声作为小数杂散出现。杂散之间的间隔为 f_{PFD}/L ，其中L是数字Σ-Δ调制器中码序列的重复长度。对于ADF4351所用的三阶Σ-Δ调制器，该重复长度取决于MOD值(参见表7)。

表7. 禁用扰动时的小数杂散(低噪声模式)

MOD值(扰动禁用)	重复长度	杂散间隔
MOD能被2整除，但不能被3整除	$2 \times MOD$	通道步进/2
MOD能被3整除，但不能被2整除	$3 \times MOD$	通道步进/3
MOD能被6整除	$6 \times MOD$	通道步进/6
MOD不能被2、3、6整除	MOD	通道步进

在低杂散模式下(使能扰动)，重复长度扩展至 2^{21} 个周期，与MOD值无关，使得量化误差频谱看起来像宽带噪声。这可能会使PLL输出端的带内相位噪声性能下降多达10 dB。为了获得最低噪声，禁用扰动是更好的选择，尤其是当最终环路带宽低到足以衰减最低频率小数杂散时。

整数边界杂散

小数杂散的另一个产生机制是RF VCO频率与基准频率的交互作用。当这些频率不是整数关系时(小数N分频频率合成器的意义所在)，杂散边带将以一定的偏移频率出现在VCO输出频谱上，该偏移频率与整数倍数的基准频率和VCO频率之间的拍频或差频相对应。这些杂散由环路滤波器予以衰减，在靠近基准频率整数倍数的通道上表现得更为明显；对于这些通道，差频率可能位于环路带宽以内，“整数边界杂散”的名称正是由此而来。

参考杂散

在小数N分频频率合成器中，参考杂散一般不是问题，因为参考偏移远远超出了环路带宽。不过，旁路环路的任何参考馈通机制可能会引起问题。耦合到VCO的低电平片内参考切换噪声的馈通，可能会产生高达-80 dBc的参考杂散。PCB布局必须确保VCO电路与输入参考之间充分隔离，避免电路板上可能出现馈通路径。

杂散一致性和小数杂散优化

扰动关闭时， Σ - Δ 调制器量化噪声所引起的小数杂散码也取决于作为调制器种子值的特定相位字。

可以改变相位字，以优化任何特定频率上的小数和次分小数杂散水平。因此，可以创建一个与各频率相对应的相位值查找表，以便在对ADF4351进行编程时使用。

如果不使用查找表，则应保持相位字不变，确保任一特定频率上的杂散水平保持一致。

相位再同步

当MOD为小数模数时，小数N分频PLL的输出可以建立至相对于输入参考的任何一个MOD相位偏移。ADF4351的相位再同步特性可产生相对于输入参考的一致输出相位偏移。对于输出相位和频率十分重要的应用，如数字波束形成等，这种相位偏移是必需的。使用相位再同步时，特定RF输出相位编程请参见“相位编程”部分。

将寄存器3中的位[DB16:DB15]设置为10时，可使能相位再同步。当相位再同步使能时，内部定时器以下式所给出的间隔 t_{SYNC} 产生同步信号：

$$t_{\text{SYNC}} = \text{CLK_DIV_VALUE} \times \text{MOD} \times t_{\text{PFD}}$$

其中：

CLK_DIV_VALUE是寄存器3的位[DB14:DB3]所设置的小数值。此值可以是1到4095的任意整数。

MOD是寄存器1 (R1)的位[DB14:DB3]所设置的模数值。

t_{PFD} 是PFD参考周期。

新频率设置后，LE上升沿后的第二个同步脉冲用来使输出相位与参考重新同步。 t_{SYNC} 时间的设置值至少应与最差情况下的锁定时间相同，以保证相位再同步发生于PLL建立瞬态中的最后一个周跳之后。

在图33所示的例子中，PFD参考为25 MHz，MOD = 125，因而通道间隔为200 kHz。将CLK_DIV_VALUE设置为80，从而 t_{SYNC} 等于400 μs 。

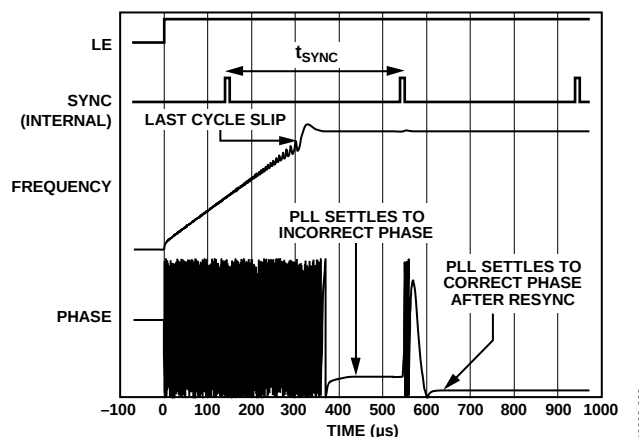


图33 相位再同步示例

相位编程

寄存器1中的相位字控制RF输出相位。当此相位字从0扫至MOD时，RF输出相位以 $360^\circ/\text{MOD}$ 的步进扫过 360° 范围。许多应用中，建议将寄存器1 (R1)的DB28位设为1，从而禁用VCO频段选择。此设置选择相位调整特性。

高PFD频率

为确保选择适合相关频率的正确VCO频段，必须使能VCO频段选择功能。使用高VCO频段选择模式(寄存器3中的DB23位设为1)，VCO频段选择可以支持最高45 MHz的PFD频率。

对于45 MHz以上的PFD频率，建议用户执行以下步骤：

1. 禁用相位调整(寄存器1中的DB28位设为0)，设置所需的VCO频率。确保PFD频率小于45 MHz。
2. 达到正确的频率后，使能相位调整(寄存器1中的DB28位设为1)。
3. 只有整数N分频应用才允许使用32 MHz以上的PFD频率，因此，将防反冲脉冲宽度设为3 ns(寄存器3中的DB22位设为1)。
4. 使用所需的PFD频率设置参考R和反馈N分频器的合适值。

按照这一程序操作，可以实现最低的RMS带内相位噪声。

应用信息

直接变频调制器

基站发射机正越来越多地采用直接变频结构。图34为如何利用ADI公司器件来实现该系统。

图34显示AD9788 TxDAC®与ADL5375一起使用。使用双通道集成DAC，例如额定增益和偏移特性分别为 $\pm 2\%$ FSR和 $\pm 0.001\%$ FSR的AD9788，可确保此部分信号链所贡献的误差(在整个温度范围内)极小。

本振(LO)利用ADF4351来实现。低通滤波器用ADIsimPLL™来设计，通道间隔为200 kHz，闭环带宽为35 kHz。

ADL5375的LO端口可以用ADF4351的互补RF_{OUT}A $\pm$ 输出以差分方式驱动。与单端LO驱动器相比，这种设置可提供更佳的性能，并且不需要使用巴伦来将单端LO输入转换为更适合ADL5375的差分LO输入。这种配置中，LO的典型均方根相位噪声(100 Hz至5 MHz)为0.61° rms。

ADL5375接受-6 dBm至+6 dBm的LO驱动功率。最佳LO功率可以通过软件在ADF4351上设置，各路输出可提供-4 dBm至+5 dBm的功率。

RF输出用来驱动50 Ω 负载，但必须交流耦合，如图34所示。如果用2 V峰峰值信号以正交方式驱动I和Q输入，则ADL5375调制器所产生的输出功率约为2 dBm。

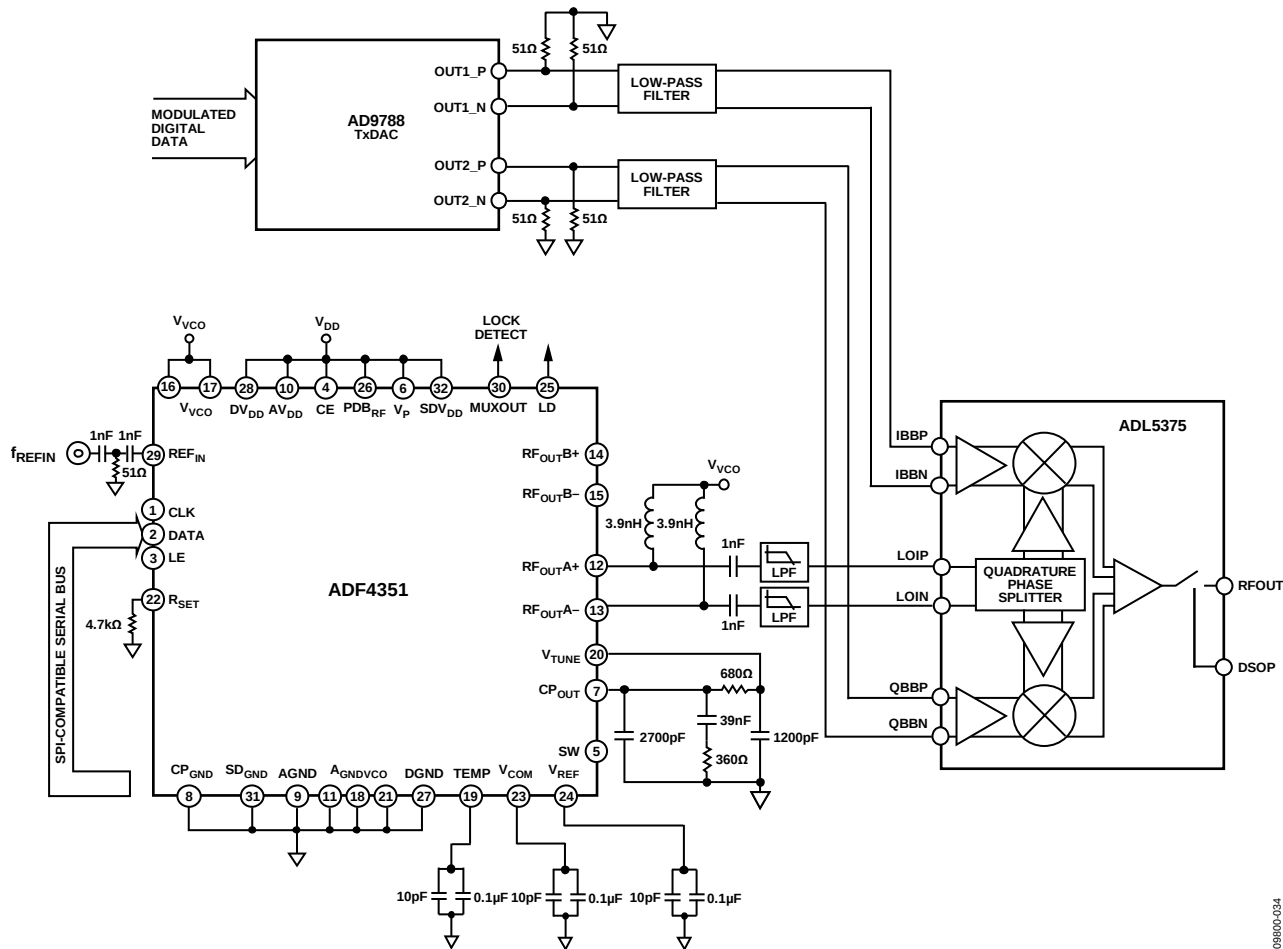


图34. 直接变频调制器

09800-034

ADF4351

与ADuC70xx和ADSP-BF527接口

ADF4351具有一个简易的SPI兼容型串行接口，用于将数据写入器件。CLK、DATA和LE引脚控制数据传输。在CLK上升沿将32位数据逐位写入对应寄存器，当LE变为高电平时，数据波传输至对应的锁存器。时序图见图2，寄存器地址表见表6。

ADuC70xx接口

图35显示ADF4351与ADuC70xx系列模拟微控制器之间的接口。ADuC70xx系列基于AMR7内核，但该接口可以用于任何基于8051的微控制器。

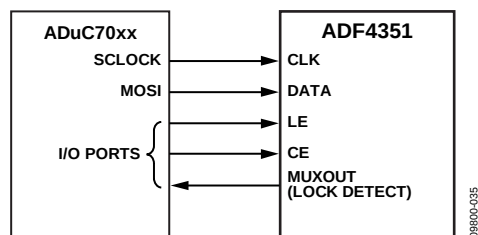


图35. ADuC70xx与ADF4351接口

微控制器设置为SPI主机模式，CPHA = 0。若要启动操作，驱动LE的I/O端口应变为低电平。ADF4351的各锁存器需要一个32位字，其实现方法是从微控制器写入四个8位字节至该器件。写入第四字节之后，LE输入应变为高电平，以完成传输。

ADF4351初始通电时，为使输出有效，器件需要6次写操作（分别写入R5、R4、R3、R2、R1和R0）。

该微控制器的I/O端口线也可用来控制关断输入(CE)和检测锁定(MUXOUT配置为锁定检测，并由单片机输入端口进行轮询)。

当工作在所述模式时，ADuC70xx的最大SPI传输速率为20 Mbps。这意味着，输出频率变化的最大速率为833 kHz。如果使用较快的SPI时钟，应确保满足表2所列的SPI时序要求。

ADSP-BF527接口

图36显示ADF4351与Blackfin® ADSP-BF527数字信号处理器之间的接口。ADF4351的每个锁存器写入需要一个32位串行字。对此，使用Blackfin系列的最简单实现方法是利用帧交替式自缓冲传输工作模式。这样，中断产生之前，可以传输整块的串行数据。

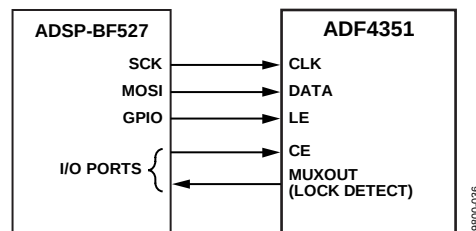


图36. ADSP-BF527与ADF4351接口

将字长度设置为8位，每个32位字使用四个存储器位置。为对各32位锁存器进行编程，存储4个8位字节，使能自缓冲模式，然后写入DSP的传输寄存器。最后一个操作启动自缓冲传输。确保满足表2所列的SPI时序要求。

芯片级封装的PCB设计指南

芯片级封装(CP-32-2)上的焊盘为方形。PCB焊盘必须比封装焊盘长0.1 mm，宽0.05 mm。为确保焊点最大，每个焊盘必须位于电路板焊盘中央。

芯片级封装的底部有一个居中的裸露焊盘用于散热，PCB的散热焊盘至少应与裸露焊盘一样大。在PCB上，散热焊盘与焊盘图形内边的间距至少应为0.25 mm，以确保不会发生短路。

PCB散热焊盘上可以开散热通孔，以改善封装的散热性能。散热通孔必须与散热焊盘合为一体，间距为1.2 mm。通孔直径必须在0.3 mm至0.33 mm之间，通孔管必须镀以1盎司的铜，以堵住通孔。

输出匹配

匹配ADF4351的输出以实现最佳操作的方法有多种，最基本的方法是将一个50 Ω电阻连接到V_{VCO}。如图37所示，串联一个100 pF的直流旁路电容。该电阻与频率无关，因而可提供良好的宽带匹配性能。连接50 Ω负载时，此电路的差分输出功率通常与寄存器4 (R4)中的位[DB4:DB3]所选择的值相等。

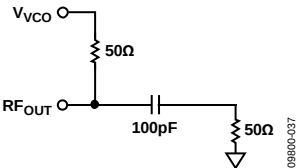


图37. 简易输出级

更好的解决方案是将一个分流电感(充当RF扼流圈)连到V_{VCO}。由此可获得更好的匹配性能，从而提供更高输出功率。

实验表明，对于W-CDMA UMTS频段1(2110 MHz至2170 MHz)，图38所示电路可提供出色的50 Ω匹配。这种情况下，最大输出功率约为5 dBm。两种单端结构均可以使用EVAL-ADF4351 EB1Z评估板进行验证。

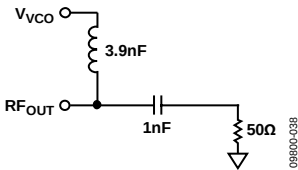


图38. 最佳输出级

如果不需要差分输出，则不用的输出可以端接起来，或者利用巴伦将两路输出合并。

利用分立电感和电容可以实现图39所示的巴伦结构。元件L1和C1构成LC巴伦，L2为RF_{OUTA-}提供直流路径，电容C2用于隔直。

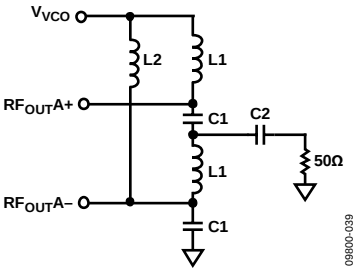
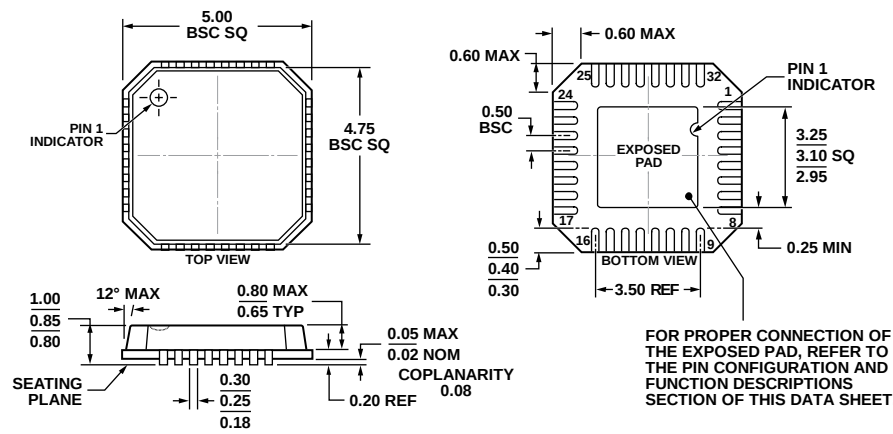


图39. 用于ADF4351的LC巴伦

表8. LC巴伦组成元件

频率范围(MHz)	电感L1 (nH)	电容C1 (pF)	RF扼流圈电感L2 (nH)	隔直电容C2 (pF)	输出功率测量结果(dBm)
137至300	100	10	390	1000	9
300至460	51	5.6	180	120	10
400至600	30	5.6	120	120	10
600至900	18	4	68	120	10
860至1240	12	2.2	39	10	9
1200至1600	5.6	1.2	15	10	9
1600至3600	3.3	0.7	10	10	8
2800至3800	2.2	0.5	10	10	8

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

40. 32引脚|脚架构芯片级封装[LFCSP_VQ]
5 mm × 5 mm，超薄体
(CP-32-2)
图示尺寸单位：mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADF4351BCPZ	−40°C至+85°C	32引脚 脚架构芯片级封装[LFCSP_VQ]	CP-32-2
ADF4351BCPZ-RL7	−40°C至+85°C	32引脚 脚架构芯片级封装[LFCSP_VQ]	CP-32-2
EVAL-ADF4351EB1Z		评估板	

¹ Z = 符合RoHS标准的器件。